

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4332787号
(P4332787)

(45) 発行日 平成21年9月16日(2009.9.16)

(24) 登録日 平成21年7月3日(2009.7.3)

(51) Int.Cl.		F I	
GO6F	17/50	(2006.01)	GO6F 17/50 658E
HO1L	21/82	(2006.01)	GO6F 17/50 658A
HO1L	21/822	(2006.01)	HO1L 21/82 C
HO1L	27/04	(2006.01)	HO1L 27/04 D

請求項の数 5 (全 15 頁)

(21) 出願番号	特願2003-404063 (P2003-404063)	(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成15年12月3日(2003.12.3)	(74) 代理人	100082131 弁理士 稲本 義雄
(65) 公開番号	特開2005-165706 (P2005-165706A)	(72) 発明者	仲野 研一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(43) 公開日	平成17年6月23日(2005.6.23)	審査官	平野 崇
審査請求日	平成18年11月10日(2006.11.10)	(56) 参考文献	特開平05-012381 (JP, A)

最終頁に続く

(54) 【発明の名称】 回路設計装置および方法、記録媒体、プログラム、並びに半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

N(4、8、または16のいずれか)ビットの信号がNビットの信号毎にまとめられるM(M>N)ビット幅の信号を信号処理する回路を設計する回路設計装置において、

前記Mビット幅の信号について、前記Nビット毎の1ビット目のみを1組目としてまとめ、前記Nビット毎のNビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の前記信号組毎に信号処理するように信号条件を設定する条件設定手段と、

前記条件設定手段により設定された前記信号条件に基づいて、前記信号組毎に信号処理するN個のブロックに、前記回路を分割する分割手段と、

前記分割手段により分割されたブロック毎に、複数の素子を配置する配置手段と、

前記配置手段により配置された前記素子同士の間を配線する素子配線手段と、

前記素子配線手段により前記素子同士が配線された前記ブロック同士の間を配線するブロック配線手段と

を備えることを特徴とする回路設計装置。

【請求項2】

条件設定手段、分割手段、配置手段、素子配線手段、ブロック配線手段を備える回路設計装置であって、N(4、8、または16のいずれか)ビットの信号がNビットの信号毎にまとめられるM(M>N)ビット幅の信号を信号処理する回路を設計する回路設計装置の回路設計方法において、

前記条件設定手段によって、前記Mビット幅の信号について、前記Nビット毎の1ビット目のみを1組目としてまとめ、前記Nビット毎のNビット目のみをN組目としてまとめ、 他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の前記信号組毎に信号処理するように信号条件を設定する条件設定ステップと、
前記分割手段によって、前記条件設定ステップの処理により設定された前記信号条件に基づいて、前記信号組毎に信号処理するN個のブロックに、前記回路を分割する分割ステップと、

前記配置手段によって、前記分割ステップの処理により分割されたブロック毎に、複数の素子を配置する配置ステップと、

前記素子配線手段によって、前記配置ステップの処理により配置された前記素子同士の間を配線する素子配線ステップと、

前記ブロック配線手段によって、前記素子配線ステップの処理により前記素子同士が配線された前記ブロック同士の間を配線するブロック配線ステップと

を含むことを特徴とする回路設計方法。

【請求項3】

N(4、8、または16のいずれか)ビットの信号がNビットの信号毎にまとめられるM(M>N)ビット幅の信号を処理する回路を設計する回路設計処理をコンピュータに実行させるプログラムであって、

前記Mビット幅の信号について、前記Nビット毎の1ビット目のみを1組目としてまとめ、前記Nビット毎のNビット目のみをN組目としてまとめ、 他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の前記信号組毎に信号処理するように信号条件を設定する条件設定ステップと、

前記条件設定ステップの処理により設定された前記信号条件に基づいて、前記信号組毎に信号処理するN個のブロックに、前記回路を分割する分割ステップと、

前記分割ステップの処理により分割されたブロック毎に、複数の素子を配置する配置ステップと、

前記配置ステップの処理により配置された前記素子同士の間を配線する素子配線ステップと、

前記素子配線ステップの処理により前記素子同士が配線された前記ブロック同士の間を配線するブロック配線ステップと

を含むことを特徴とするプログラムが記録される記録媒体。

【請求項4】

N(4、8、または16のいずれか)ビットの信号がNビットの信号毎にまとめられるM(M>N)ビット幅の信号を処理する回路を設計する回路設計処理をコンピュータに実行させるプログラムであって、

前記Mビット幅の信号について、前記Nビット毎の1ビット目のみを1組目としてまとめ、前記Nビット毎のNビット目のみをN組目としてまとめ、 他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の前記信号組毎に信号処理するように信号条件を設定する条件設定ステップと、

前記条件設定ステップの処理により設定された前記信号条件に基づいて、前記信号組毎に信号処理するN個のブロックに、前記回路を分割する分割ステップと、

前記分割ステップの処理により分割されたブロック毎に、複数の素子を配置する配置ステップと、

前記配置ステップの処理により配置された前記素子同士の間を配線する素子配線ステップと、

前記素子配線ステップの処理により前記素子同士が配線された前記ブロック同士の間を配線するブロック配線ステップと

を含むことを特徴とするプログラム。

【請求項5】

N(4、8、または16のいずれか)ビットの信号がNビットの信号毎にまとめられて

なる $M (M > N)$ ビット幅の信号を処理する回路を有する半導体集積回路であって、

前記回路は、 M ビット幅の信号について、前記 N ビット毎の 1 ビット目のみを 1 組目としてまとめ、前記 N ビット毎の N ビット目のみを N 組目としてまとめ、他も同様にすることで、 1 組目乃至 N 組目からなる N 個の信号組にまとめて、まとめられた N 個の前記信号組毎にそれぞれ信号処理する N 個のブロックに分割されて構成される

ことを特徴とする半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、回路設計装置および方法、記録媒体、プログラム、並びに半導体集積回路に関し、特に、配線率を向上させることができるようにした回路設計装置および方法、記録媒体、プログラム、並びに半導体集積回路に関する。

10

【背景技術】

【0002】

LSI (Large Scale Integrated Circuit) を設計する場合、まず、仕様設計書が生成され、生成された仕様設計書に基づいて、LSI 内部が、レジスタ (フリップフロップ) とレジスタとの間の組み合わせ回路により構成される機能ブロックに分割される。このレジスタや組み合わせ回路は、AND ゲート、OR ゲート、あるいはフリップフロップなどのトランジスタからなるセルを用いて生成される。LSI のレイアウトは、これらのセルの配置や配線が考慮されて生成される。そして、LSI は、生成されたレイアウトに基づいて、セルが LSI 上に配置され、配線されることにより、設計される。

20

【0003】

このような設計方法により、例えば、ビット幅の少ない信号を取り扱う、通常の LSI の組み合わせ回路を設計する場合、配線性を考慮に入れると、LSI のレイアウト上の 60% 乃至 70% は、セルを配置し、配置されたセル同士を配線することができる。なお、この値は、レイアウト面積に対するセルの配置面積の割合 (Utilization) という。

【0004】

ところで、従来より、多ビット幅の信号を取り扱う LSI を設計する方法が提案されている。例えば、特許文献 1 においては、多ビット幅のうち、使用しないビット列による無駄な論理ゲートを省くようにした設計方法が記載されている。

30

【0005】

図 1 は、従来の多ビット幅の信号を取り扱う LSI 1 の構成例を示している。この場合、LSI 1 により、 6144 ビット幅の信号が 2048 ビット幅の信号に削減される。図 1 の例においては、LSI 1 は、組み合わせ回路 11、組み合わせ回路 11 の前段に位置するフリップフロップ 12、および、組み合わせ回路 11 の後段に位置するフリップフロップ 13 により構成される。

【0006】

フリップフロップ 12 は、図示せぬクロック発生部より入力されるクロック (CLK) に同期して、組み合わせ回路 11 に、 6144 ビット幅の信号を入力する。組み合わせ回路 11 は、フリップフロップ 12 から入力される 6144 ビット幅の信号を、 2048 ビット幅の信号に削減して、フリップフロップ 13 に出力する。フリップフロップ 13 は、組み合わせ回路 11 からの 2048 ビット幅の信号を、クロックに同期して、図示せぬ後段に出力する。

40

【0007】

なお、図 1 の例においては、 6144 ビット幅の信号は、 8 ビット幅のビデオ信号により構成されている。したがって、実際には、 6144 ビット幅の信号が入力される信号線は、 768 組の 8 ビット幅のビデオ信号 (信号線) により構成されている。また、 2048 ビット幅の信号が出力される信号線は、 256 組の 8 ビット幅のビデオ信号 (信号線) により構成されている。

【0008】

50

以上のように構成されるLSI 1は、15万ゲート規模の回路であり、このLSI 1の組み合わせ回路11を、0.13 μ m世代のプロセスでレイアウトした場合、上述したようにレイアウト面積に対するセルの配置面積の割合が60%であると想定すると、1mmでレイアウトが可能とされる。

【0009】

【特許文献1】特開2001-331538号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、実際に、この組み合わせ回路11をレイアウトすると、レイアウト面積に対するセルの配置面積の割合は、10%まで落ち込んでしまう。これは、この組み合わせ回路11が多ビット幅の信号を取り扱う回路であり、6144ビット幅という非常に巨大なビット幅を配線しなければならないためである。

10

【0011】

すなわち、実際には、多ビット幅の信号を取り扱う組み合わせ回路において、多ビット幅の信号線は、例えば、N(任意な値)ビット毎にまとめられ、 $N \times 32$ 組のデータ幅を有する信号として取り扱われる。したがって、この組み合わせ回路11において、多ビット幅の信号を、そのまま組み合わせ回路11にレイアウトしようとする、上述したように、多ビット幅の信号は、8ビット \times 768組のデータ幅を持った信号として処理されてしまう。このため、組み合わせ回路11においては、ビット幅の少ない信号を取り扱うLSIの組み合わせ回路に較べて、必要な配線が多くなってしまい、セルの配置領域が、LSIのレイアウト上の約10%以下になってしまう課題があった。すなわち、配線効率が悪くなってしまふ課題があった。

20

【0012】

逆に、配線効率を高めようとした場合には、ビット幅の少ない信号を取り扱う組み合わせ回路を設計する場合と較べて、LSIのサイズを大きくしなければならない課題があった。

【0013】

本発明は、このような状況に鑑みてなされたものであり、配線率を向上させることができるようにするものである。

30

【課題を解決するための手段】

【0014】

本発明の回路設計装置は、N(4、8、または16のいずれか)ビットの信号がNビットの信号毎にまとめられてなるM(M>N)ビット幅の信号について、Nビット毎の1ビット目のみを1組目としてまとめ、Nビット毎のNビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の信号組毎に信号処理するように信号条件を設定する条件設定手段と、条件設定手段により設定された信号条件に基づいて、信号組毎に信号処理するN個のブロックに、回路を分割する分割手段と、分割手段により分割されたブロック毎に、複数の素子を配置する配置手段と、配置手段により配置された素子同士の間を配線する素子配線手段と、素子配線手段により素子同士が配線されたブロック同士の間を配線するブロック配線手段とを備えることを特徴とする。

40

【0015】

本発明の回路設計方法は、条件設定手段、分割手段、配置手段、素子配線手段、ブロック配線手段を備える回路設計装置であって、N(4、8、または16のいずれか)ビットの信号がNビットの信号毎にまとめられてなるM(M>N)ビット幅の信号を信号処理する回路を設計する回路設計装置の回路設計方法であって、条件設定手段によって、Mビット幅の信号について、Nビット毎の1ビット目のみを1組目としてまとめ、Nビット毎のNビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の信号組毎に信号処理するように信号条件

50

を設定する条件設定ステップと、分割手段によって、条件設定ステップの処理により設定された信号条件に基づいて、信号組毎に信号処理するN個のブロックに、回路を分割する分割ステップと、配置手段によって、分割ステップの処理により分割されたブロック毎に、複数の素子を配置する配置ステップと、素子配線手段によって、配置ステップの処理により配置された素子同士の間を配線する素子配線ステップと、ブロック配線手段によって、素子配線ステップの処理により素子同士が配線されたブロック同士の間を配線するブロック配線ステップとを含むことを特徴とする。

【0016】

本発明の記録媒体に記録されるプログラムは、N(4、8、または16のいずれか)ビットの信号がNビットの信号毎にまとめられてなるM(M>N)ビット幅の信号について、Nビット毎の1ビット目のみを1組目としてまとめ、Nビット毎のNビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の信号組毎に信号処理するように信号条件を設定する条件設定ステップと、条件設定ステップの処理により設定された信号条件に基づいて、信号組毎に信号処理するN個のブロックに、回路を分割する分割ステップと、分割ステップの処理により分割されたブロック毎に、複数の素子を配置する配置ステップと、配置ステップの処理により配置された素子同士の間を配線する素子配線ステップと、素子配線ステップの処理により素子同士が配線されたブロック同士の間を配線するブロック配線ステップとを含むことを特徴とする。

【0017】

本発明のプログラムは、N(4、8、または16のいずれか)ビットの信号がNビットの信号毎にまとめられてなるM(M>N)ビット幅の信号について、Nビット毎の1ビット目のみを1組目としてまとめ、Nビット毎のNビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の信号組毎に信号処理するように信号条件を設定する条件設定ステップと、条件設定ステップの処理により設定された信号条件に基づいて、信号組毎に信号処理するN個のブロックに、回路を分割する分割ステップと、分割ステップの処理により分割されたブロック毎に、複数の素子を配置する配置ステップと、配置ステップの処理により配置された素子同士の間を配線する素子配線ステップと、素子配線ステップの処理により素子同士が配線されたブロック同士の間を配線するブロック配線ステップとを含むことを特徴とする。

【0018】

本発明の半導体集積回路は、N(4、8、または16のいずれか)ビットの信号がNビットの信号毎にまとめられてなるM(M>N)ビット幅の信号について、Nビット毎の1ビット目のみを1組目としてまとめ、Nビット毎のNビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の信号組毎にそれぞれ信号処理するN個のブロックに分割されて構成されることを特徴とする。

【0019】

本発明においては、回路が、N(4、8、または16のいずれか)ビットの信号がNビットの信号毎にまとめられてなるM(M>N)ビット幅の信号について、Nビット毎の1ビット目のみを1組目としてまとめ、Nビット毎のNビット目のみをN組目としてまとめ、他も同様にすることで、1組目乃至N組目からなるN個の信号組にまとめて、まとめられたN個の信号組毎にそれぞれ信号処理するN個のブロックに分割される。

【発明の効果】

【0020】

本発明によれば、配線率を向上させることができる。また、LSIのサイズが大きくなることが抑制される。

【発明を実施するための最良の形態】

【0021】

以下に本発明の実施の形態を説明するが、請求項に記載の構成要件と、発明の実施の形

10

20

30

40

50

態における具体例との対応関係を例示すると、次のようになる。この記載は、請求項に記載されている発明をサポートする具体例が、発明の実施の形態に記載されていることを確認するためのものである。従って、発明の実施の形態中には記載されているが、構成要件に対応するものとして、ここには記載されていない具体例があったとしても、そのことは、その具体例が、その構成要件に対応するものではないことを意味するものではない。逆に、具体例が構成要件に対応するものとしてここに記載されていたとしても、そのことは、その具体例が、その構成要件以外の構成要件には対応しないものであることを意味するものでもない。

【0022】

さらに、この記載は、発明の実施の形態に記載されている具体例に対応する発明が、請求項に全て記載されていることを意味するものではない。換言すれば、この記載は、発明の実施の形態に記載されている具体例に対応する発明であって、この出願の請求項には記載されていない発明の存在、すなわち、将来、分割出願されたり、補正により追加される発明の存在を否定するものではない。

【0023】

本発明の回路設計装置は、 N (4、8、または16のいずれか) ビットの信号が N ビットの信号毎にまとめられてなる M ($M > N$) ビット幅の信号 (例えば、図4の入力信号71) を処理する回路 (例えば、図5のLSI101) を設計する回路設計装置 (例えば、図2の回路設計装置21) において、 M ビット幅 (例えば、6144ビット幅) の信号について、 N (例えば、8) ビット毎の1ビット目のみを1組目としてまとめ、 N ビット毎の N ビット目のみを N 組目としてまとめ、 他も同様にすることで、1組目乃至 N 組目からなる N 個の信号組 (例えば、図4の信号組91-1) にまとめて、まとめられた N 個の信号組毎に信号処理するように信号条件を設定する条件設定手段 (例えば、図2の条件設定部32) と、条件設定手段により設定された信号条件に基づいて、信号組毎に信号処理する N 個のブロック (例えば、図5のブロック111-1乃至111-8) に、回路を分割する分割手段 (例えば、図3のブロック分割部33) と、分割手段により分割されたブロック毎に、複数の素子を配置する配置手段 (例えば、図2のレイアウト部35) と、配置手段により配置された素子同士の間を配線する素子配線手段 (例えば、図2のセル配線部36) と、素子配線手段により素子同士が配線されたブロック同士の間を配線するブロック配線手段 (例えば、図2のブロック配線部37) とを備えることを特徴とする。

【0024】

本発明の回路設計方法は、条件設定手段、分割手段、配置手段、素子配線手段、ブロック配線手段を備える回路設計装置であって、 N (4、8、または16のいずれか) ビットの信号が N ビットの信号毎にまとめられてなる M ($M > N$) ビット幅 (例えば、6144ビット幅) の信号 (例えば、図4の入力信号71) を信号処理する回路 (例えば、図5のLSI101) を設計する回路設計装置の回路設計方法であって、条件設定手段によって、 M ビット幅の信号について、 N (例えば、8) ビット毎の1ビット目のみを1組目としてまとめ、 N ビット毎の N ビット目のみを N 組目としてまとめ、 他も同様にすることで、1組目乃至 N 組目からなる N 個の信号組 (例えば、図4の信号組91-1) にまとめて、まとめられた N 個の信号組毎に信号処理するように信号条件を設定する条件設定ステップ (例えば、図3のステップS1) と、分割手段によって、条件設定ステップの処理により設定された信号条件に基づいて、信号組毎に信号処理する N 個のブロック (例えば、図5のブロック111-1乃至111-8) に、回路を分割する分割ステップ (例えば、図3のステップS2) と、配置手段によって、分割ステップの処理により分割されたブロック毎に、複数の素子を配置する配置ステップ (例えば、図3のステップS4) と、素子配線手段によって、配置ステップの処理により配置された素子同士の間を配線する素子配線ステップ (例えば、図3のステップS5) と、ブロック配線手段によって、素子配線ステップの処理により素子同士が配線されたブロック同士の間を配線するブロック配線ステップ (例えば、図3のステップS6) とを含むことを特徴とする。

【0025】

10

20

30

40

50

本発明の半導体集積回路は、 N (4 、 8 、または 16 のいずれか)ビットの信号が N ビットの信号毎にまとめられてなる M ($M > N$)ビット幅の信号(例えば、図4の入力信号71)を処理する回路(例えば、図5のLSI101)を有する半導体集積回路であって、回路は、 M ビット幅(例えば、 6144 ビット幅)の信号について、 N (例えば、 8)ビット毎の1ビット目のみを1組目としてまとめ、 N ビット毎の N ビット目のみを N 組目としてまとめ、他も同様にすることで、1組目乃至 N 組目からなる N 個の信号組(例えば、図4の信号組91-1)にまとめて、まとめられた N 個の信号組毎にそれぞれ信号処理する N 個のブロック(例えば、図5のブロック111-1乃至111-8)に分割されて構成されることを特徴とする。

【0026】

なお、本発明の記録媒体およびプログラムも上述した本発明の回路設計方法と基本的に同様の構成であるため、繰り返しになるのでその説明は省略する。

【0027】

以下、図を参照して本発明の実施の形態について説明する。

【0028】

図2は、本発明を適用した回路設計装置21の構成例を表している。図2の例の場合、回路設計装置21は、多ビット(M ビット)幅の信号を取り扱うLSI、例えば、 6144 ビット幅の信号を、 2048 ビット幅の信号に削減する処理を行うLSIを設計する装置である。回路設計装置21は、入力部31、条件設定部32、ブロック分割部33、記憶部34、レイアウト部35、セル配線部36、およびブロック配線部37により構成される。

【0029】

入力部31は、ユーザ(設計者)の操作に基づいて、LSIの設計情報を、条件設定部32に入力する。条件設定部32は、ユーザ(設計者)から入力部31を介して入力されるLSIの設計情報に基づいて、処理する信号の信号条件を設定する。すなわち、条件設定部32は、入出力する信号のビット幅および信号の種類などの設計情報に基づいて、入力される M ビット幅信号を、1乃至 N ($N < M$)ビット毎に信号組としてまとめ、まとめられた信号組毎に信号処理するように信号条件を設定する。条件設定部32は、設定された信号条件をブロック分割部33に出力する。

【0030】

ブロック分割部33は、条件設定部32からの信号条件に基づいて、LSI内部を、条件設定部32によりまとめられた信号組毎に信号処理を行うように N 個のブロックに分割する。ブロック分割部33は、 N 個のブロックに分割された各ブロックがレジスタ(フリップフロップ)およびレジスタとの間の組み合わせ回路により構成されるまで、そのブロックの分割を繰り返し、各ブロック内のレジスタおよび組み合わせ回路を決定する。ブロック分割部33は、決定された各ブロックの構成情報をレイアウト部35に出力する。

【0031】

記憶部34には、設計対象回路(いまの場合、組み合わせ回路)を作成するために使用するセルライブラリ41が、ユーザ(設計者)により予め入力され、登録されている。セルライブラリ41には、複数の種類のセルが登録されている。セルとは、トランジスタからなるインバータ、NANDゲート、NORゲートまたはフリップフロップなどの、LSIを構成する素子のことである。

【0032】

レイアウト部35は、ブロック分割部33からの各ブロックの構成情報に基づいて、各ブロックのレジスタおよび組み合わせ回路に用いられるセルを、セルライブラリ41から選択し、選択されたセルの論理的な機能を実現するように、接続関係と幾何学的な配置と配線を決定し、これに基づいてレイアウトを生成する。そして、レイアウト部35は、生成されたレイアウトに基づいて、選択されたセルをLSI上に配置する。

【0033】

セル配線部36は、各ブロックにおいてレイアウト部35により配置されたセル同士の

10

20

30

40

50

配線経路を決定する。ブロック配線部 37 は、レイアウト部 35 により生成されたレイアウトに基づいて、セル配線部 36 によりセルが配線されたブロックとブロック間を配線経路を決定する。

【0034】

図3のフローチャートを参照して、回路設計装置21の回路設計処理を説明する。図3においては、6144ビット幅の信号を、2048ビット幅の信号に削減するLSIが設計される。

【0035】

ユーザ(設計者)は、入力部31を操作し、6144ビット幅の信号を、2048ビット幅の信号に削減するLSIを設計するための入出力する信号のビット幅および信号の種類などの設計情報を、条件設定部32に入力する。これに対して、条件設定部32は、ステップS1において、ユーザから入力されるLSIの設計情報に基づいて、入力されるMビット幅信号の信号条件を設定する。すなわち、条件設定部32は、LSIの設計情報に基づいて、入力されるMビット幅信号を、1乃至N(N<M)ビット毎に各信号組にまとめ、まとめられたN個の信号組毎に信号処理するように信号条件を設定する。

【0036】

いまの場合、設計条件として、LSIに入力される信号(入力信号)が6144ビット幅であり、LSIから出力される信号(出力信号)が2048信号であり、入力信号が8ビットのビデオ信号で構成されているという情報が入力されるので、条件設定部32は、6144ビット幅の信号を、ビデオ信号の1乃至8ビットのそれぞれのビットで構成される8個の信号組にまとめ、これらの信号組毎に信号処理を行うように信号条件を設定し、設定された信号条件をブロック分割部33に出力し、ステップS2に進む。

【0037】

図4を参照して、ステップS1の条件設定処理について詳しく説明する。図4は、LSIに入力されるMビット幅の信号の構成例を示している。

【0038】

図4においては、LSIに入力される信号(入力信号)71は、各1ビットのデータd[0]乃至d[6143]により構成される6144ビット幅の信号である。また、入力信号71は、8ビットのビデオ信号により構成される。したがって、入力信号71は、データd[0]乃至d[7]のビデオ信号81-1、データd[8]乃至d[15]のビデオ信号81-2、...、およびデータd[6136]乃至d[6143]のビデオ信号81-768により構成されている。

【0039】

この信号を、このまま1つの組み合わせ回路にレイアウトすると、8ビット×768組のデータ幅を持った信号として処理されるため、図1を参照して上述したように、配線率が非常に悪くなってしまう。

【0040】

そこで、条件設定部32は、ビデオ信号81-1乃至81-768における1ビット目のデータを、信号組91-1としてまとめ、ビデオ信号81-1乃至81-768における2ビット目のデータを、信号組91-2としてまとめ、ビデオ信号81-1乃至81-768における3ビット目のデータを、信号組91-3としてまとめ、ビデオ信号81-1乃至81-768における4ビット目のデータを、信号組91-4としてまとめ、ビデオ信号81-1乃至81-768における5ビット目のデータを、信号組91-5としてまとめ、ビデオ信号81-1乃至81-768における6ビット目のデータを、信号組91-6としてまとめ、ビデオ信号81-1乃至81-768における7ビット目のデータを、信号組91-7としてまとめ、そして、ビデオ信号81-1乃至81-768における8ビット目のデータを、信号組91-8としてまとめる。

【0041】

これにより、信号組91-1は、ビデオ信号81-1の1ビット目のデータd[0]、ビデオ信号81-2の1ビット目のデータd[8]、...、ビデオ信号81-768の1ビ

10

20

30

40

50

ット目のデータ $d[6136]$ により構成され、信号組 $91-2$ は、ビデオ信号 $81-1$ の2ビット目のデータ $d[1]$, ビデオ信号 $81-2$ の2ビット目のデータ $d[9]$, ... , ビデオ信号 $81-768$ の2ビット目のデータ $d[6137]$ により構成され、信号組 $91-3$ は、ビデオ信号 $81-1$ の3ビット目のデータ $d[2]$, ビデオ信号 $81-2$ の3ビット目のデータ $d[10]$, ... , ビデオ信号 $81-768$ の3ビット目のデータ $d[6138]$ により構成され、信号組 $91-4$ は、ビデオ信号 $81-1$ の4ビット目のデータ $d[3]$, ビデオ信号 $81-2$ の4ビット目のデータ $d[11]$, ... , ビデオ信号 $81-768$ の4ビット目のデータ $d[6139]$ により構成される。

【0042】

また、信号組 $91-5$ は、ビデオ信号 $81-1$ の5ビット目のデータ $d[4]$, ビデオ信号 $81-2$ の5ビット目のデータ $d[12]$, ... , ビデオ信号 $81-768$ の5ビット目のデータ $d[6140]$ により構成され、信号組 $91-6$ は、ビデオ信号 $81-1$ の6ビット目のデータ $d[5]$, ビデオ信号 $81-2$ の6ビット目のデータ $d[13]$, ... , ビデオ信号 $81-768$ の6ビット目のデータ $d[6141]$ により構成され、信号組 $91-7$ は、ビデオ信号 $81-1$ の7ビット目のデータ $d[6]$, ビデオ信号 $81-2$ の7ビット目のデータ $d[14]$, ... , ビデオ信号 $81-768$ の7ビット目のデータ $d[6142]$ により構成され、信号組 $91-8$ は、ビデオ信号 $81-1$ の8ビット目のデータ $d[7]$, ビデオ信号 $81-2$ の8ビット目のデータ $d[15]$, ... , ビデオ信号 $81-768$ の8ビット目のデータ $d[6143]$ により構成される。

【0043】

以上のように、8ビットのビデオ信号で構成される 6144 ビット幅の信号が、1乃至8ビット毎の8個の信号組 $91-1$ 乃至 $91-8$ にまとめられる。そして、条件設定部 32 は、これらの信号組 $91-1$ 乃至 $91-8$ 毎に信号処理を行うように信号条件を設定し、設定された信号条件をブロック分割部 33 に出力する。

【0044】

図3に戻って、ブロック分割部 33 は、ステップ $S2$ において、条件設定部 32 からの信号条件に基づいて、LSI内部を、まとめられた N 個の信号組で信号処理を行うように N 個のブロックに分割する。すなわち、いまの場合、ブロック分割部 33 は、LSI内部を、条件設定部 32 によりまとめられた8組の信号組 $91-1$ 乃至 $91-8$ 毎に、信号処理を行う8個のブロックに分割し、ステップ $S3$ に進む。ステップ $S3$ において、ブロック分割部 33 は、各ブロックがレジスタ(フリップフロップ)およびレジスタとの間の組み合わせ回路により構成されるまで、そのブロックの分割を繰り返し、各ブロック内のレジスタおよび組み合わせ回路を決定する。ブロック分割部 33 は、決定された各ブロックの構成情報をレイアウト部 35 に出力し、ステップ $S4$ に進む。

【0045】

ステップ $S4$ において、レイアウト部 35 は、ブロック分割部 33 からの各ブロックの構成情報に基づいて、各ブロックのレジスタおよび組み合わせ回路に用いられるセルを、セルライブラリ 41 から選択し、選択されたセルの論理的な機能を実現するように、接続関係と幾何学的な配置と配線を決定し、これに基づいてレイアウトを生成する。そして、レイアウト部 35 は、生成されたレイアウトに基づいて、選択されたセルをLSI上に配置し、ステップ $S5$ に進む。

【0046】

ステップ $S5$ において、セル配線部 36 は、各ブロックにおいてレイアウト部 35 により配置されたセル同士の配線経路を決定し、ステップ $S6$ に進み、ブロック配線部 37 は、レイアウト部 35 により生成されたレイアウトに基づいて、セル配線部 36 によりセルが配線されたブロックとブロック間を配線経路を決定し、図3の回路設計処理を終了する。

【0047】

図5は、図2の回路設計装置 21 により設計されたLSI 101 の構成例を示す。図5の例においては、LSI 101 には、 6144 ビットの入力信号 71 が、8組にまとめら

10

20

30

40

50

れた信号組 9 1 - 1 乃至 9 1 - 8 が入力され、LSI 1 0 1 は、入力された信号組 9 1 - 1 乃至 9 1 - 8 毎に、それぞれ信号処理する 8 個のブロック 1 1 1 - 1 乃至 1 1 1 - 8 により構成される。

【 0 0 4 8 】

ブロック 1 1 1 - 1 は、組み合わせ回路 1 2 1 - 1、組み合わせ回路 1 2 1 - 1 の前段に位置するフリップフロップ 1 2 2 - 1、および、組み合わせ回路 1 2 1 - 1 の後段に位置するフリップフロップ 1 2 3 - 1 により構成される。フリップフロップ 1 2 2 - 1 は、LSI 1 0 1 に入力される入力信号 7 1 のうち、7 6 8 ビットの信号組 9 1 - 1 を、組み合わせ回路 1 2 1 - 1 に出力する。組み合わせ回路 1 2 1 - 1 は、フリップフロップ 1 2 2 - 1 からの 7 6 8 ビットの信号組 9 1 - 1 を、2 5 6 ビットの信号組 1 2 4 - 1 に削減する処理を実行し、フリップフロップ 1 2 3 - 1 に、2 5 6 ビットの信号組 1 2 4 - 1 を出力する。フリップフロップ 1 2 3 - 1 は、組み合わせ回路 1 2 1 - 1 からの 2 5 6 ビットの信号組 1 2 4 - 1 を、図示せぬ後段に出力する。

10

【 0 0 4 9 】

同様に、ブロック 1 1 1 - 2 は、組み合わせ回路 1 2 1 - 2、組み合わせ回路 1 2 1 - 2 の前段に位置するフリップフロップ 1 2 2 - 2、および、組み合わせ回路 1 2 1 - 2 の後段に位置するフリップフロップ 1 2 3 - 2 により構成される。フリップフロップ 1 2 2 - 2 は、LSI 1 0 1 に入力される入力信号 7 1 のうち、7 6 8 ビットの信号組 9 1 - 2 を、組み合わせ回路 1 2 1 - 2 に出力する。組み合わせ回路 1 2 1 - 2 は、フリップフロップ 1 2 2 - 2 からの 7 6 8 ビットの信号組 9 1 - 2 を、2 5 6 ビットの信号組 1 2 4 - 2 に削減する処理を実行し、フリップフロップ 1 2 3 - 2 に、2 5 6 ビットの信号組 1 2 4 - 2 を出力する。フリップフロップ 1 2 3 - 2 は、組み合わせ回路 1 2 1 - 2 からの 2 5 6 ビットの信号組 1 2 4 - 2 を、後段に出力する。

20

【 0 0 5 0 】

ブロック 1 1 1 - 3 は、組み合わせ回路 1 2 1 - 3、組み合わせ回路 1 2 1 - 3 の前段に位置するフリップフロップ 1 2 2 - 3、および、組み合わせ回路 1 2 1 - 3 の後段に位置するフリップフロップ 1 2 3 - 3 により構成される。フリップフロップ 1 2 2 - 3 は、LSI 1 0 1 に入力される入力信号 7 1 のうち、7 6 8 ビットの信号組 9 1 - 3 を、組み合わせ回路 1 2 1 - 3 に出力する。組み合わせ回路 1 2 1 - 3 は、フリップフロップ 1 2 2 - 3 からの 7 6 8 ビットの信号組 9 1 - 3 を、2 5 6 ビットの信号組 1 2 4 - 3 に削減する処理を実行し、フリップフロップ 1 2 3 - 3 に、2 5 6 ビットの信号組 1 2 4 - 3 を出力する。フリップフロップ 1 2 3 - 3 は、組み合わせ回路 1 2 1 - 3 からの 2 5 6 ビットの信号組 1 2 4 - 3 を、後段に出力する。

30

【 0 0 5 1 】

ブロック 1 1 1 - 4 は、組み合わせ回路 1 2 1 - 4、組み合わせ回路 1 2 1 - 4 の前段に位置するフリップフロップ 1 2 2 - 4、および、組み合わせ回路 1 2 1 - 4 の後段に位置するフリップフロップ 1 2 3 - 4 により構成される。フリップフロップ 1 2 2 - 4 は、LSI 1 0 1 に入力される入力信号 7 1 のうち、7 6 8 ビットの信号組 9 1 - 4 を、組み合わせ回路 1 2 1 - 4 に出力する。組み合わせ回路 1 2 1 - 4 は、フリップフロップ 1 2 2 - 4 からの 7 6 8 ビットの信号組 9 1 - 4 を、2 5 6 ビットの信号組 1 2 4 - 4 に削減する処理を実行し、フリップフロップ 1 2 3 - 4 に、2 5 6 ビットの信号組 1 2 4 - 4 を出力する。フリップフロップ 1 2 3 - 4 は、組み合わせ回路 1 2 1 - 4 からの 2 5 6 ビットの信号組 1 2 4 - 4 を、後段に出力する。

40

【 0 0 5 2 】

ブロック 1 1 1 - 5 は、組み合わせ回路 1 2 1 - 5、組み合わせ回路 1 2 1 - 5 の前段に位置するフリップフロップ 1 2 2 - 5、および、組み合わせ回路 1 2 1 - 5 の後段に位置するフリップフロップ 1 2 3 - 5 により構成される。フリップフロップ 1 2 2 - 5 は、LSI 1 0 1 に入力される入力信号 7 1 のうち、7 6 8 ビットの信号組 9 1 - 5 を、組み合わせ回路 1 2 1 - 5 に出力する。組み合わせ回路 1 2 1 - 5 は、フリップフロップ 1 2 2 - 5 からの 7 6 8 ビットの信号組 9 1 - 5 を、2 5 6 ビットの信号組 1 2 4 - 5 に削減

50

する処理を実行し、フリップフロップ 1 2 3 - 5 に、2 5 6 ビットの信号組 1 2 4 - 5 を出力する。フリップフロップ 1 2 3 - 5 は、組み合わせ回路 1 2 1 - 5 からの 2 5 6 ビットの信号組 1 2 4 - 5 を、後段に出力する。

【 0 0 5 3 】

ブロック 1 1 1 - 6 は、組み合わせ回路 1 2 1 - 6、組み合わせ回路 1 2 1 - 6 の前段に位置するフリップフロップ 1 2 2 - 6、および、組み合わせ回路 1 2 1 - 6 の後段に位置するフリップフロップ 1 2 3 - 6 により構成される。フリップフロップ 1 2 2 - 6 は、LSI 1 0 1 に入力される入力信号 7 1 のうち、7 6 8 ビットの信号組 9 1 - 6 を、組み合わせ回路 1 2 1 - 6 に出力する。組み合わせ回路 1 2 1 - 6 は、フリップフロップ 1 2 2 - 6 からの 7 6 8 ビットの信号組 9 1 - 6 を、2 5 6 ビットの信号組 1 2 4 - 6 に削減する処理を実行し、フリップフロップ 1 2 3 - 6 に、2 5 6 ビットの信号組 1 2 4 - 6 を出力する。フリップフロップ 1 2 3 - 6 は、組み合わせ回路 1 2 1 - 6 からの 2 5 6 ビットの信号組 1 2 4 - 6 を、後段に出力する。

10

【 0 0 5 4 】

ブロック 1 1 1 - 7 は、組み合わせ回路 1 2 1 - 7、組み合わせ回路 1 2 1 - 7 の前段に位置するフリップフロップ 1 2 2 - 7、および、組み合わせ回路 1 2 1 - 7 の後段に位置するフリップフロップ 1 2 3 - 7 により構成される。フリップフロップ 1 2 2 - 7 は、LSI 1 0 1 に入力される入力信号 7 1 のうち、7 6 8 ビットの信号組 9 1 - 7 を、組み合わせ回路 1 2 1 - 7 に出力する。組み合わせ回路 1 2 1 - 7 は、フリップフロップ 1 2 2 - 7 からの 7 6 8 ビットの信号組 9 1 - 7 を、2 5 6 ビットの信号組 1 2 4 - 7 に削減する処理を実行し、フリップフロップ 1 2 3 - 7 に、2 5 6 ビットの信号組 1 2 4 - 7 を出力する。フリップフロップ 1 2 3 - 7 は、組み合わせ回路 1 2 1 - 7 からの 2 5 6 ビットの信号組 1 2 4 - 7 を、後段に出力する。

20

【 0 0 5 5 】

ブロック 1 1 1 - 8 は、組み合わせ回路 1 2 1 - 8、組み合わせ回路 1 2 1 - 8 の前段に位置するフリップフロップ 1 2 2 - 8、および、組み合わせ回路 1 2 1 - 8 の後段に位置するフリップフロップ 1 2 3 - 8 により構成される。フリップフロップ 1 2 2 - 8 は、LSI 1 0 1 に入力される入力信号 7 1 のうち、7 6 8 ビットの信号組 9 1 - 8 を、組み合わせ回路 1 2 1 - 8 に出力する。組み合わせ回路 1 2 1 - 8 は、フリップフロップ 1 2 2 - 8 からの 7 6 8 ビットの信号組 9 1 - 8 を、2 5 6 ビットの信号組 1 2 4 - 8 に削減する処理を実行し、フリップフロップ 1 2 3 - 8 に、2 5 6 ビットの信号組 1 2 4 - 8 を出力する。フリップフロップ 1 2 3 - 8 は、組み合わせ回路 1 2 1 - 8 からの 2 5 6 ビットの信号組 1 2 4 - 8 を、後段に出力する。

30

【 0 0 5 6 】

なお、図 5 の例において、フリップフロップ 1 2 2 - 1 乃至 1 2 2 - 8 は、図示せぬクロック発生部から供給されるクロックに基づいて、信号を組み合わせ回路 1 2 2 - 1 乃至 1 2 2 - 8 に出力し、フリップフロップ 1 2 3 - 1 乃至 1 2 3 - 8 は、クロック発生部から供給されるクロックに基づいて、信号を後段に出力するが、その図示および説明は説明の便宜上、省略されている。

【 0 0 5 7 】

以上のように、LSI 1 0 1 の内部を、7 6 8 ビットの信号組をそれぞれ処理する 8 個の組み合わせ回路 1 2 1 - 1 乃至 1 2 1 - 8 からなるブロック 1 1 1 - 1 乃至 1 1 1 - 8 に分けて構成、配置することにより、図 1 を参照して上述したように、6 1 4 4 ビット幅の信号を、8 ビット×7 6 8 組のデータ幅の信号として処理する、1 つの組み合わせ回路で L S I を構成、配置するよりも、各組み合わせ回路 1 2 1 - 1 乃至 1 2 1 - 8 において、セルの組み合わせ数が削減される。

40

【 0 0 5 8 】

すなわち、実際には、レイアウト上においては、信号線とコントロール線を考慮した配置や配線をすることができないため、図 1 に示されるような巨大な回路になってしまうと、配線効率が低下してしまうが、回路を組み合わせ回路 1 2 1 - 1 乃至 1 2 1 - 8 に分割

50

して、見かけ回路を小さくすることにより、回路の複雑さを軽減することができ、それに
 応じて、配線数も削減され、配線効率が向上される。

【 0 0 5 9 】

これにより、配線効率が向上された組み合わせ回路 1 2 1 - 1 乃至 1 2 1 - 8 が搭載され
 た L S I 1 0 1 のレイアウト面積に対するセルの配置面積の割合は、70%まで向上され
 る。これにより、15万ゲート規模のゲートサイズのままでも、L S I 1 0 1 のサイズ
 は、略1mmを保つことができ、図1のL S Iのサイズ(6.2mm)のように大きくなることが
 抑制される。

【 0 0 6 0 】

さらに、L S Iのサイズの拡大が抑制されるため、コストも削減でき、L S Iのタイミ
 ング調整も容易になり、L S Iにかかるパワーも小さく抑えることができる。さらに、8
 つの組み合わせ回路を設計することにより、1つのより大きな組み合わせ回路を設計する
 よりも、設計期間の短縮化も図ることができる。

10

【 0 0 6 1 】

なお、上記説明においては、多ビット(Mビット)を6144ビットとして説明したが
 、6144ビットに限定されず、Nよりも大きいビットであれば、他のビット数であって
 もよい。また、Nビットを8ビットとしたが、8ビットに限定されることはなく、4ビッ
 トとしてもよいし、16ビットとしてもよい。

【 0 0 6 2 】

上述した一連の処理は、ハードウェアにより実行させることもできるが、ソフトウェア
 により実行させることもできる。この場合、例えば、図2の回路設計装置21は、図6に
 示されるような回路設計装置201により構成される。

20

【 0 0 6 3 】

図6において、C P U (Central Processing Unit) 2 1 1 は、R O M (Read Only Memo
 ry) 2 1 2 に記憶されているプログラム、または、記憶部218からR A M (Random Acc
 ess Memory) 2 1 3 にロードされたプログラムに従って各種の処理を実行する。R A M 2
 1 3 にはまた、C P U 2 1 1 が各種の処理を実行する上において必要なデータなどが適宜
 記憶される。

【 0 0 6 4 】

C P U 2 1 1、R O M 2 1 2、およびR A M 2 1 3 は、バス214を介して相互に接続
 されている。このバス214にはまた、入出力インタフェース215も接続されている。

30

【 0 0 6 5 】

入出力インタフェース215には、キーボード、マウスなどよりなる入力部216、C
 R T (Cathode Ray Tube)、L C D (Liquid Crystal Display) などよりなるディスプレイ
 、並びにスピーカなどよりなる出力部217、ハードディスクなどより構成される記憶部
 218、モデム、ターミナルアダプタなどより構成される通信部219が接続されている
 。通信部219は、図示しないネットワークを介しての通信処理を行う。

【 0 0 6 6 】

入出力インタフェース215にはまた、必要に応じてドライブ220が接続され、磁気
 ディスク221、光ディスク222、光磁気ディスク223、或いは半導体メモリ224
 などが適宜装着され、それから読み出されたコンピュータプログラムが、必要に応じて記
 憶部218にインストールされる。

40

【 0 0 6 7 】

一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプ
 ログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプ
 ログラムをインストールすることで、各種の機能を実行することが可能な、例えば、汎用の
 パーソナルコンピュータなどに、ネットワークや記録媒体からインストールされる。

【 0 0 6 8 】

この記録媒体は、図6に示されるように、装置本体とは別に、ユーザにプログラムを提
 供するために配布される、プログラムが記録されている磁気ディスク221(フレキシブ

50

ルディスクを含む)、光ディスク 2 2 2 (CD-ROM(Compact Disk-Read Only Memory), D V D(Digital Versatile Disk)を含む)、光磁気ディスク 2 2 3 (MD(Mini-Disk)(商標)を含む)、もしくは半導体メモリ 2 2 4 などよりなるパッケージメディアにより構成されるだけでなく、装置本体に予め組み込まれた状態でユーザに提供される、プログラムが記録されている R O M 2 1 2 や、記憶部 2 1 8 に含まれるハードディスクなどで構成される。

【 0 0 6 9 】

なお、本明細書において、フローチャートに示されるステップは、記載された順序に従って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

10

【 図面の簡単な説明 】

【 0 0 7 0 】

【 図 1 】 従来の L S I の構成例を示す図である。

【 図 2 】 本発明の回路設計装置の構成例を示すブロック図である。

【 図 3 】 図 2 の回路設計装置の回路設計処理を説明するフローチャートである。

【 図 4 】 図 3 のステップ S 1 の条件設定処理を説明する図である。

【 図 5 】 本発明を適用した半導体集積回路の構成例を示すブロック図である。

【 図 6 】 本発明の回路設計装置の他の構成例を示すブロック図である。

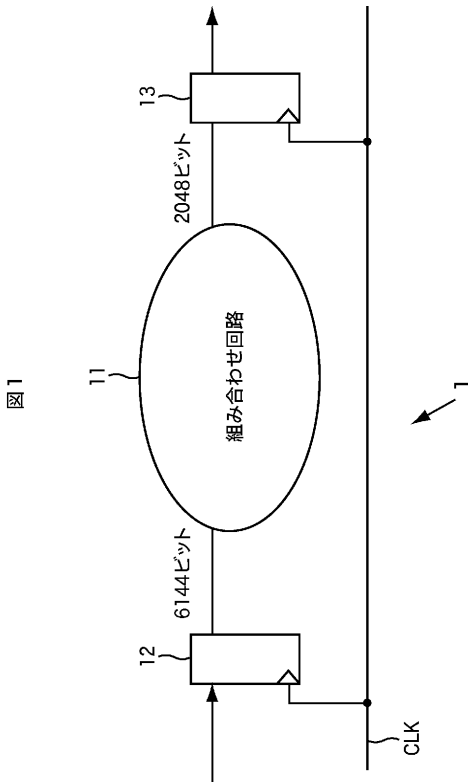
【 符号の説明 】

【 0 0 7 1 】

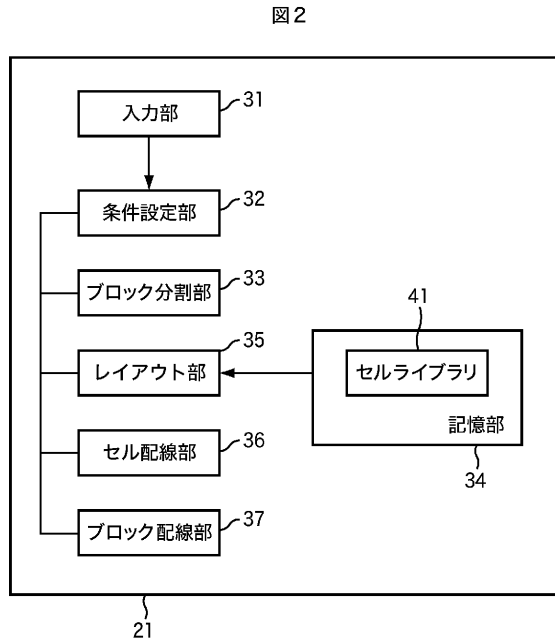
20

2 1 回路設計装置, 3 1 入力部, 3 2 条件設定部, 3 3 ブロック分割部, 9 1 - 1 乃至 8 信号組, 1 0 1 L S I, 1 1 1 - 1 乃至 1 1 1 - 8 ブロック, 1 2 1 - 1 乃至 1 2 1 - 8 組み合わせ回路, 1 2 2 - 1 乃至 1 2 2 - 8 フリップフロップ, 1 2 3 - 1 乃至 1 2 3 - 8 フリップフロップ, 1 2 4 - 1 乃至 1 2 4 - 8 信号組

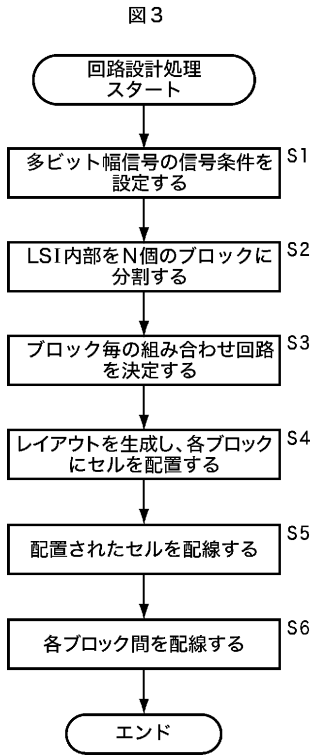
【 図 1 】



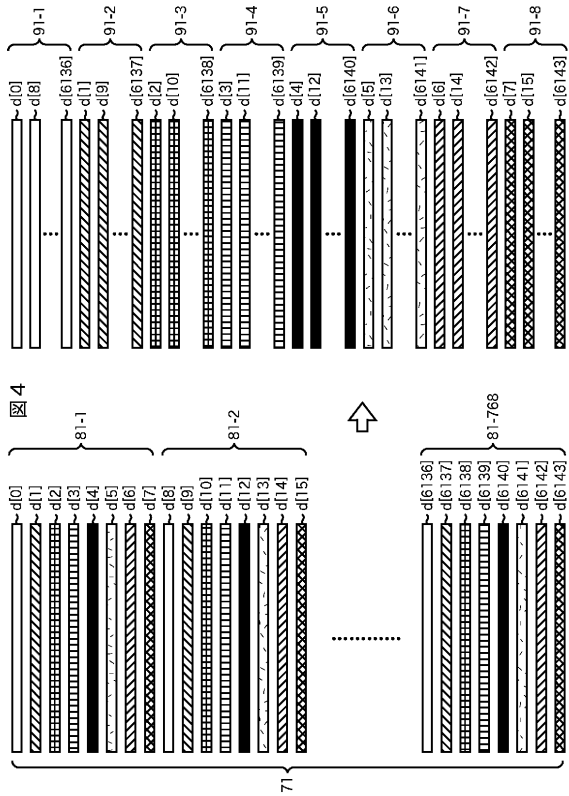
【 図 2 】



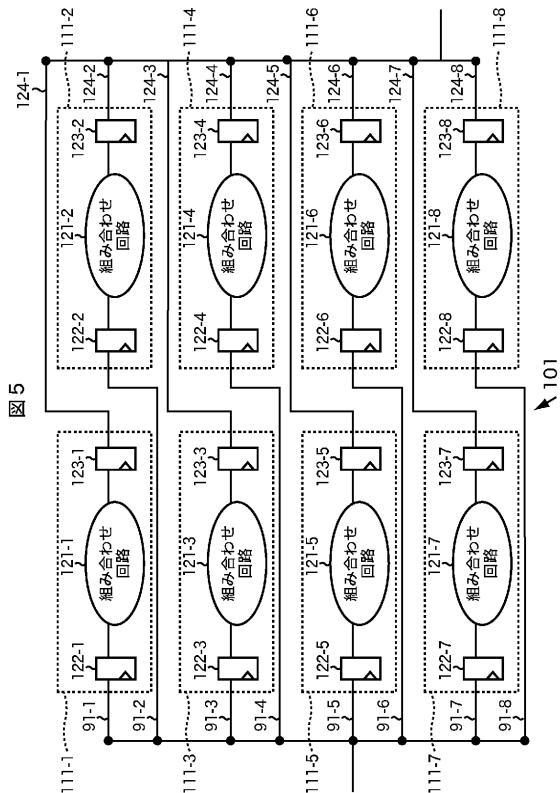
【図3】



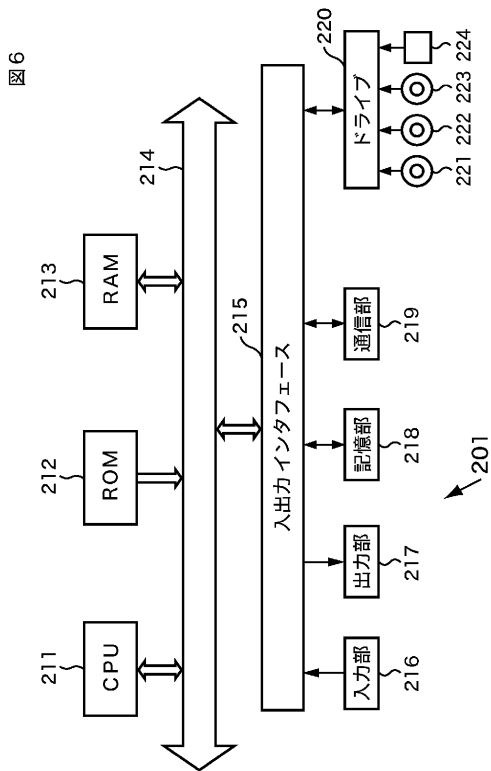
【図4】



【図5】



【図6】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

G 0 6 F 1 7 / 5 0

H 0 1 L 2 1 / 8 2

H 0 1 L 2 1 / 8 2 2

H 0 1 L 2 7 / 0 4

C i N i i

J S T P l u s (J D r e a m I I)