

發明專利說明書 200423150

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92170667

※ 申請日期： 92.11.3 ※IPC 分類： G11C 7/14

壹、發明名稱：(中文/英文)

用以在記憶體中建立參考電壓之方法及裝置

METHOD AND APPARATUS FOR ESTABLISHING A
REFERENCE VOLTAGE IN A MEMORY

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商摩托羅拉公司
MOTOROLA INC.

代表人：(中文/英文)

強納森 E. 瑞斯基
JONATHAN E. RETSKY

住居所或營業所地址：(中文/英文)

美國伊利諾州史堪伯市東阿崗崑路1303號
1303 E. ALGONQUIN ROAD, SCHAUMBURG, IL 60196
U.S.A.

國籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 1 人)

姓名：(中文/英文)

派瑞 H. 培利
PERRY H. PELLE

住居所地址：(中文/英文)

美國德州奧斯汀市靛青林路9606號
9506 INDIGO BRUSH, AUSTIN, TEXAS 78726, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家(地區)申請專利：

1. 美國；2002年11月26日；10/304,662

2.

3.

4.

5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國；2002年11月26日；10/304,662

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

3.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【先前申請案參照】

本申請案於2002年11月26日提出美國專利申請案第10/304,662號。

【發明所屬之技術領域】

概言之，本發明係關於積體電路記憶體，詳言之，本發明係關於記憶體中參考電壓之建立。

【先前技術】

很多記憶體類型，諸如EPROM(電可程式唯讀記憶體)、快閃記憶體、MRAM(磁阻隨機存取記憶體)和單電晶體DRAM(動態隨機存取記憶體)皆係單端者。即，每個記憶體單元係使用一單一位元線進行感測。這不同於SRAM(靜態隨機存取記憶體)，其每一記憶體單元均與一位元線對相連接。為實現在傳統地使用單端感測之各記憶體類型中之差動感測，可建立一參考電壓或電流，藉由該參考電壓或電流與所選擇之記憶體單元中所儲存之狀態進行比較。該參考電壓或電流通常約為該記憶體單元之邏輯高電壓與邏輯低電壓間之中間狀態。

以往曾使用了若干技術以產生用於使用電壓感測之記憶體之參考電壓。曾用以產生參考電壓之一項技術依賴於"空白單元"之使用。空白單元係使用與記憶體陣列之正常單元相當之製程技術加工而成，以盡可能地模擬正常單元之特性。不過，空白單元在實體上將較小，以為該單元產生介

於邏輯高電壓及邏輯低電壓間之參考電壓。該技術所存在之問題為：減小該等單元之幾何結構將招致無法保持空白單元相對於正常單元之電流比恒定之製程問題。

另一用於產生參考電壓之技術為：以串聯或並聯組合方式連接正常尺寸之空白單元。可程式控制該等空白單元其中之一以讀取一"零"狀態，而程式控制其他空白單元以讀取一"一"邏輯狀態，以產生所需之參考電壓。不過，由於單元阻抗與電壓之非線性關係，致使該技術可能產生誤差。

還有另一種技術係關於使用電流鏡以建立該參考電壓。不過，電流鏡有時無法產生所需具有合意精度之電流。

因此，在使用單端感測之記憶體單元中，存在對能夠產生更精確之參考電壓之電路之需求。

【發明內容】

概言之，本發明提供一種用以產生用於單端記憶體之差動感測之精確參考電壓之裝置及方法。在該記憶體中，將該等位元線組織成為位元線對。每一位元線對耦合至一差動感測放大器。在一實施例中，記憶體係非揮發性記憶體。該陣列中每一位元線將具有一對可選擇之空白單元。該空白單元在實體上與陣列中之普通單元相同。該對中每一空白單元將與一獨立空白字元線連接。這些空白單元之一將被程式控制為邏輯高狀態，而其他空白單元將被程式控制為邏輯低狀態。在讀取週期期間，在使感測放大器有效之前，該邏輯高單元將與所選取之位元線持續耦合一第一預定時段，然後邏輯低單元將與該位元線持續耦合一第二預定

時段。將藉由該第一和第二預定時段之長度確定該參考電壓。較佳地，第一預定時段和第二預定時段係相同，使得參考電壓約為邏輯高電壓與邏輯低電壓間之中間狀態。

於另一實施例中，該記憶體可包括使用單端位元單元之揮發性或非揮發性記憶體單元。該等位元單元，或記憶體單元，與該等位元線相耦合。將該等位元線組織成為位元線對，且將每一位元線對與一感測放大器相耦合。該陣列之每一位元線具有一可選擇之空白單元，並將該空白單元預程式控制為邏輯高狀態。該空白單元實體上與該陣列之普通單元具有相同之尺寸，並利用相同之製程製成。於每一讀取週期之初，選擇空白單元並持續一時段，該時段係將該位元線升壓為預定參考電壓所必需之時段。

依賴單端位元單元實現之空白單元與記憶體陣列之每一位元線之連接提供了諸多優點。例如，因正常尺寸之單元用作空白單元，故較之使用許多先前技術，製程追蹤較佳。而且，可以將該等空白單元設置於該等位元線上之任何位置，用以提供可能達到之最佳感測性能。加之，折疊與非折疊位元線結構皆可採用本發明。另外，對於折疊位元線結構，因空白單元與正常單元相同且將該等空白單元定位得非常接近於所選定之記憶體單元，故共態雜訊抑制較佳。此外，所選之位元線及其參考線間之電容性不平衡將較小。

【實施方式】

從下述結合附圖所作之本發明之較佳實施例之詳細說明

中，對熟習此項技術者而言，本發明之前述和其他及更明確之標的和優點將變得顯而易見。

圖1以方塊圖形式表示依照本發明一實施例之積體電路記憶體。圖1所示為一記憶體110，該記憶體110包括：一記憶體陣列112、一寫入字元解碼器114、一寫入字元線驅動器116、一讀取字元解碼器118、一讀取字元線驅動器120、一或多個感測放大器122、一讀取位元解碼器124、一寫入位元解碼器126、一寫入位元驅動器128及一輸出驅動器132。該等元件藉由多條線路耦合於一起。例如讀取位元解碼器124接收一由複數個位址信號組成之行位址。記憶體陣列112係記憶體單元之陣列，該等記憶體單元耦合於位元線與字元線之交點處。記憶體陣列112之一行記憶體單元顯示於圖2中，且於一實施例中該一行記憶體單元包括複數個磁阻隨機存取記憶體(MRAM)單元。於另一實施例中，記憶體陣列112可包括依賴單端感測之任意其他非揮發性記憶體單元。記憶體陣列112之每一MRAM單元包括：一讀取字元線、一寫入字元線。不過，其他MRAM單元可僅具有一用於讀取及寫入之字元線。

讀取字元解碼器118接收一系列位址並與讀取字元線驅動器120相耦合，其順次與記憶體陣列112相耦合。為了讀取，讀取字元解碼器118根據該列位址於記憶體陣列112中選擇一讀取字元線。藉由讀取字元線驅動器120可驅動所選擇之該字元線。讀取位元解碼器124接收該行位址且耦合於感測放大器122及記憶體陣列112之間，根據該行位址，讀取

位解碼器124從記憶體陣列112中選擇一讀取位元線，並將其耦合到感測放大器122。感測放大器122偵測該邏輯狀態並將其耦合到輸出驅動器132。於讀取時，輸出驅動器132提供一標示為"DO"之資料輸出信號。下面將更加詳細地介紹依照本發明從記憶體陣列112中之讀取。

寫入字元解碼器114接收列位址且與寫入字元線驅動器116相耦合，其順次與記憶體陣列112相耦合。於一寫入時，寫入字元解碼器114根據該列位址，於記憶體陣列112中選擇一寫入字元線，且寫入字元線驅動器隨後驅動所選擇之該寫入字元線。寫入位元解碼器126接收該行位址且與寫入位元驅動器128相耦合，該寫入位元驅動器128與記憶體陣列112相耦合。寫入位元解碼器126根據該行位址選擇一寫入位元線，且寫入位元驅動器128隨後驅動所選擇該寫入位元線，用以改變所選擇單元之狀態。

圖2以局部方塊圖之形式及局部示意圖之形式表示圖1之記憶體陣列之一部分。該記憶體陣列包括許多與記憶體單元部分200類似之行。記憶體單元部分200包括：二位元線，標示為BL及BLB；以及與位元線BL及BLB相耦合之全部記憶體單元。例如，代表性記憶體單元210及214為耦合至位元線BL，並且代表性記憶體單元212及216為耦合至位元線BLB。一位元線及與該位元線相耦合之該等記憶體單元通常稱為一行記憶體單元。請注意，在圖2中，該等空白單元以正方形表示，而正常單元以圓形表示。不過，空白單元在實體上係與正常單元相同。空白單元與正常單元間僅

有之不同係它們功能上之不同。每一該等記憶體單元與用以選擇進行讀取操作之記憶體單元之字元線相耦合。例如，記憶體單元210與一標示為"WL1"之字元線相耦合。請注意，所示之該等實施例皆說明讀取操作。由此，寫入操作係依照先前技術進行，且將不予詳細介紹或舉例說明。二位元線皆藉由行選擇電晶體218及220與感測放大器222之輸入端相耦合。當由讀取位元解碼器124確立一標示為"CD0"之行解碼信號時，選擇電晶體218及220電導通，(見圖1)從而將位元線BL/BLB與感測放大器222之輸入端相耦合。感測放大器222係置於圖1之感測放大器122中之若干感測放大器電路之一。於一實施例中，有與各對位元線相耦合之感測放大器222相類似之一感測放大器。於另一實施例中，一感測放大器可由多於一個位元線對"共用"。在介紹本發明之意圖上，感測放大器222中所用之電路類型並非重要。例如，於一實施例中，感測放大器222可包括一對交叉耦合之MOS電晶體，或於另一實施例中，感測放大器222可包括帶有一閃鎖之差動放大器。感測放大器222具有一標示為"SE"之感測賦能輸入端。

一對空白單元與每一位元線相耦合。空白單元202及206與位元線BL相耦合，而空白單元204及208與位元線BLB相耦合。空白單元202與空白字元線DWL11相耦合，空白單元206與空白字元線DLW10相耦合，空白單元204與空白字元線DWL21相耦合，而空白單元208與空白字元線DWL20相耦合。每次讀取位元線BL上一記憶體單元時，由空白字元

線DWL21及DWL20分別選擇空白單元204及208。類似地，每次讀取位元線BLB上一記憶體單元時，由空白字元線DWL11及DWL10分別選擇空白單元202及206。圖2中，將空白單元202及204程式化為邏輯高電壓，而將空白單元206及208程式化為邏輯低電壓。該對空白單元以時間多工方式建立參考電壓，藉由該參考電壓對所選擇之一記憶體單元之讀取狀態進行比較。即，建立邏輯高電壓和邏輯低電壓間約一半之程度之參考電壓，持續選擇每一空白單元預定時段之約一半，或百分之五十。藉由改變選擇該二個空白單元之相對於彼此之時間長度，可調節該參考電壓值。

圖3以示意圖之形式表示圖2中與位元線BL相耦合之空白單元和正常單元。圖3中，空白單元202及206與正常單元210相當。在所圖示之實施例中，它們係具有一耦合於標示為"VDD"之正電源電壓端子與選擇電晶體間之磁阻元件之MRAM單元。一寄生電容211與位元線BL相耦合，且其表示與位元線BL相耦合之全部電容源之累積電容。請注意，即使本發明係使用MRAM進行介紹，但本發明並不限於MRAM，而可採用依賴於單端感測之其他類型之記憶體。而且，請注意，即使所圖示說明之該記憶體單元係與一正電源電壓端子相耦合者，但在其他實施例中，電源電壓端子VDD可係與接地耦合者，或與負電壓耦合者。圖4表示依照圖2和3之實施例之讀取操作之各信號之計時圖。圖5表示對於圖3之實施例之讀取操作之電壓相對時間之圖形。將參照圖2至5對依照圖3中實施例之記憶體110之讀取操作予以

介紹。

在讀取操作之初，藉由判定行位址及列位址選擇一記憶體單元。該列位址選擇一字元線，例如圖3中之字元線WL1。該行位址將選擇哪一位元線對與感測放大器相耦合。例如，字元線WL1及位元BL之選擇將使得記憶體單元210之所儲存之邏輯狀態得以讀取。在圖4中之時刻t0處，將字元線WL1判定為邏輯高電壓。空白單元204(其預先由程序控制儲存一邏輯高電壓)將位元線BLB升壓至與被程式控制為邏輯高電壓之正常單元相當之等級。該等空白單元傳導與被程式控制為與該空白單元相當之邏輯狀態之正常單元相當之電流量。圖5表示時刻t0和t1間之該電壓VREF。於時刻t1處，對空白位元線DWL21停止判定並對空白字元線DWL20進行判定，導致空白單元208(其被預程式控制於邏輯低電壓)將位元線BLB升壓至與程式控制為邏輯低電壓之正常單元相當之等級。圖5表示時刻t1和t2間BLB上之電壓VREF。圖5中時刻t2處，所得該參考電壓VREF係作為邏輯"1"之電壓VHI和作為邏輯"0"之VLOW間之約一半之程度，此處電壓差V1近似於電壓差V2。於時刻t2處，將感測賦能信號SE判定為邏輯高電壓，用以使感測放大器222能夠感測並放大位元線BL和BLB上之相對較小之差動電壓，並將該差動電壓提供給輸出驅動器132。時刻t2之後，WL1恢復為邏輯低，結束讀取操作。於所圖解之實施例中，t0和t1間之時間長度與t1和t2間之時間長度相當。藉由調節一或二個與位元線相耦合之該等空白單元之預定時間長度，可改變VREF之電

壓。而且，在其他實施例中，空白單元與位元線相耦合之次序亦可不同。

圖6以示意圖方式表示依照第二實施例之記憶體陣列112之局部600。記憶體單元局部600包括MRAM代表性空白單元602及604和代表性MRAM正常單元610及612。圖6僅顯示與每一位元線相耦合之單一記憶體單元，不過，如圖2先前所示，每一位元線將與許多記憶體單元相耦合，如省略號所代表者。空白單元602與空白字元線DWL11及位元線BL相耦合。空白單元604與空白字元線DWL21及位元線BLB相耦合。正常單元610與字元線WL1及位元線BL相耦合。正常單元612與字元線WL2及位元線BLB相耦合。位元線對BL/BLB與一感測放大器相耦合，該感測放大器類似於附圖2之感測放大器222。寄生電容器611及613分別與位元線BL及BLB相耦合。該等空白單元及正常單元具有相當之尺寸且採用相當之加工技術製造。電容器611表示與位元線BL相耦合之全部電容來源之累積電容。電容器613表示與位元線BLB相耦合之全部電容來源之累積電容。

如圖6中所圖示，一個空白單元與每一位元線相耦合。該空白單元可耦合於該位元線上任何位置，且假若置於該位元線中央，則可更加密切地追蹤與正常記憶體單元一致之製程變異。對每一空白單元進程式控制以儲存一邏輯高電壓。與先前之圖2之實施例相同，每一空白單元具有與正常記憶體單元相當之結構。在讀取操作期間，空白單元提供一具有介於用作邏輯高狀態及邏輯低狀態之讀取電壓間

之預定位準之參考電壓。

圖7表示依照圖6中實施例之各種信號之計時圖。圖8表示對於圖6之實施例之電壓相對時間之圖形。將參照圖7和8兩者對依照圖6之實施例之記憶體110之讀取操作進行介紹。在讀取操作之初，藉由判定一行位址及一列位址選擇一記憶體單元，例如，記憶體單元610。該列位址選擇一字元線，例如圖6中字元線WL1。該行位址將選擇哪一位元線對與感測放大器相耦合。例如，選擇字元線WL1及位元線BL將使得記憶體單元610所儲存之邏輯狀態得以讀取。在圖7中之時刻 t_0 ，判定字元線WL1處於邏輯高電壓。而且，對空白字元線DWL21進行判定，將空白單元604與位元線BLB相耦合。在一預定時段中將DWL21判定，以將位元線BLB之電壓升至邏輯高"1"電壓VHI與邏輯低"0"電壓VLOW間之一半程度之電壓，此處電壓差V1近似於電壓差V2。圖8表示電壓VREF，及時刻 t_0 與 t_1 間之電壓VHI和VLOW。在時刻 t_1 ，對空白字元線DWL21進行判定，導致空白單元604與位元線BLB脫離耦合。位元線BLB上之電壓VREF將停止升高。在時刻 t_2 ，將感測賦能信號SE判定為邏輯高電壓，以使感測放大器能夠感測並放大位元線BL及BLB上之相對較小之差動電壓，並將該差動電壓提供給輸出驅動器132。在時刻 t_2 之後，WL1恢復為邏輯低，結束讀取操作。

因為採用正常尺寸單元作為空白單元，故較之許多先前技術，依照本發明之用以建立參考電壓之方法及裝置提供了較佳製程追蹤之優點。而且，可將該等空白單元置於位

元線上任何位置，以提供最佳可能之感測特性。再者，本發明可應用於折疊及非折疊位元線結構二者。此外，對於折疊位元線結構，因為空白單元與正常單元相當且位置非常接近所選擇之記憶體單元，故共態雜訊抑制較佳。而且，所選擇之位元線與其參考線間之電容性不平衡將較小。

在所圖示說明之實施例中，記憶體單元及空白單元皆係具有耦合於一標示為 "VDD" 之電源電壓和一選擇電晶體間之磁阻元件之 MRAM 單元。不過，在其他實施例中，可受益於本發明之記憶體類型並不侷限於 MRAM，而可係依賴於單端感測之其他記憶體類型，諸如快閃記憶體(及其它使用浮閘電晶體之非揮發性記憶體類型)、鐵電記憶體裝置及 DRAM。

此處用於示例說明之該等實施例之各種變更及修改，對熟習此項技藝者而言係易於實現的。例如，可容易地實現電晶體傳導性之類型、電晶體之類型等之變更。在此等修改及變化之限度不超出本發明範圍之程度下，有意將它們包含於本發明之範圍之中，該範圍僅由後面之申請專利範圍之合理解釋給予確定。

【圖式簡單說明】

圖 1 以方塊圖形式表示依照本發明一實施例之積體電路記憶體。

圖 2 以局部方塊圖形式及局部示意圖形式表示圖 1 中記憶體陣列之一行。

圖 3 以示意圖形式表示圖 2 中用於一位元線之該等空白單

元之一實施例。

圖4表示依照圖2中實施例之各信號之計時圖。

圖5表示對於圖2之實施例之電壓與時間關係之圖形。

圖6以示意圖形式表示依照第二實施例之記憶體陣列之局部。

圖7表示依照圖6中實施例之各信號之計時圖。

圖8表示對於圖6之實施例之電壓與時間關係之圖形。

【圖式代表符號說明】

110	積體電路記憶體
112	記憶體陣列
114	寫入字元解碼器
116	寫入字元線驅動器
118	讀取字元解碼器
120	讀取字元線驅動器
122, 222	感測放大器
124	讀取位元解碼器
126	寫入位元解碼器
128	寫入位元驅動器
132	輸出驅動器
200	記憶體單元部分
210, 212, 214, 216, 610, 612	記憶體單元
218, 220	選擇電晶體
202, 204, 206, 208, 602, 604	空白單元
611, 613	電容器

伍、中文發明摘要：

本發明揭示一種記憶體(110)，其使用稱為空白單元(202,206)之不供使用者程式控制之記憶體單元。當被選取時，該等空白單元提供一電流，該電流產生一參考電壓，該參考電壓大體上等於由一程式控制為一之單元和一程式控制為零之單元在一位元線中產生之電壓之一半。感測該參考電壓並將其與讀取一記憶體單元時所產生之位元線電壓進行比較。藉由時間多工化一程式控制為邏輯一之空白單元或各位元線上分別程式控制為邏輯一和邏輯零之二空白單元，可精確產生所需之參考電壓。藉由一或多個空白單元之定時選用，諸如MRAM和快閃記憶體之類由於單元製程各異而難於精確感測之記憶體得以增強。

陸、英文發明摘要：

A memory (110) uses memory cells not intended for user programming referred to as 'dummy' cells (202, 206). When selected, the dummy cells provide a current that establishes a reference voltage substantially equal to one-half of voltage created in a bit line by a cell programmed to a one and a cell programmed to a zero. The reference voltage is sensed and compared with a bit line voltage created when a memory cell is read. By time multiplexing either one dummy cell programmed to a logic one or two dummy cells per bit line programmed respectively to logic one and logic zero, the desired reference voltage is accurately created. Memories such as MRAM and Flash that may be difficult to accurately sense due to cell processing variations are enhanced by the timed selective use of one or more dummy cells.

FIG. 2 to accompany the abstract.

拾、申請專利範圍：

1. 一種記憶體，其包括：

複數個可定址儲存單元，該等複數個可定址儲存單元之每一單元形成於複數個字元線中預定之一字元線和複數個位元線中預定之一位元線之一交點處，並形成一由位元線及字元線定址之陣列；

與每一位元線相耦合之一或多個空白單元，該等空白單元用以在該位元線上建立一參考電壓，其係當控制與該位元線相耦合之儲存單元之一字元線為有效時，僅持續小於該時間之百分之一百之一時段之一預定部分之電流傳導；以及

一感測放大器，其與該複數個儲存單元相耦合，用以感測一定址儲存單元係程式控制為一邏輯零亦或一邏輯一狀態。

2. 如申請專利範圍第1項之記憶體，其中該等一或多個記憶體單元進一步包括：

一第一記憶體單元，其與一預定位元線相耦合，用以在該預定位元線內傳導一第一預定電流量並持續該時段之一第一時間百分比；以及

一第二記憶體單元，其與該預定位元線相耦合，用以在該預定位元線內傳導一第二預定電流量並持續該時段之剩餘時間。

3. 如申請專利範圍第1項之記憶體，其中該等複數個可定址儲

存單元包括複數個磁阻隨機存取記憶體(MRAM)單元。

4. 一種記憶體，其包括；

一形成一位元線行及差動位元線行之記憶體單元陣列，每一位元線行及差動位元線行包含與複數個記憶體單元串聯耦合之二空白單元；

與該記憶體單元陣列相耦合之定址電路，該定址電路提供用以讀取該記憶體單元陣列之每一記憶體單元之至少三個字元線信號；以及

與該記憶體單元陣列相耦合之感測電路，該感測電路將一預定位元線行之電壓與一相應差動位元線行之電壓進行比較，以確定一受定址記憶體單元係具有一邏輯一亦或一邏輯零狀態。

5. 一種在一記憶體中產生用於感測之一參考電壓之方法，其步驟包括：

將一位元線及一差動位元線中各位元線中之一或多個空白單元與複數個記憶體單元相耦合，該等一或多個空白單元中每一空白單元皆程式控制為一預定邏輯狀態；

將該位元線及一差動位元線與一感測放大器相耦合；

藉由在一預定時間中讀取該等複數個記憶體單元中之該預定之一記憶體單元，選擇與該位元線或該差動位元線相耦合之該等複數個記憶體單元中之一預定記憶體單元；

在與受讀取之該等複數個記憶體單元中之預定記憶體單元無關之該位元線或該差動位元線中，以小於該預定

時間之百分之百之時間量時間多工化該等一或多個空白單元之啟動，以建立一參考電壓；以及

感測該參考電壓並將該參考電壓與一讀取電壓比較，用以確定該等複數個記憶體單元中所選擇之該預定之一記憶體單元之邏輯狀態，該讀取電壓係由所選擇之該等複數個記憶體單元中之一預定記憶體單元中所產生者。

拾壹、圖式：

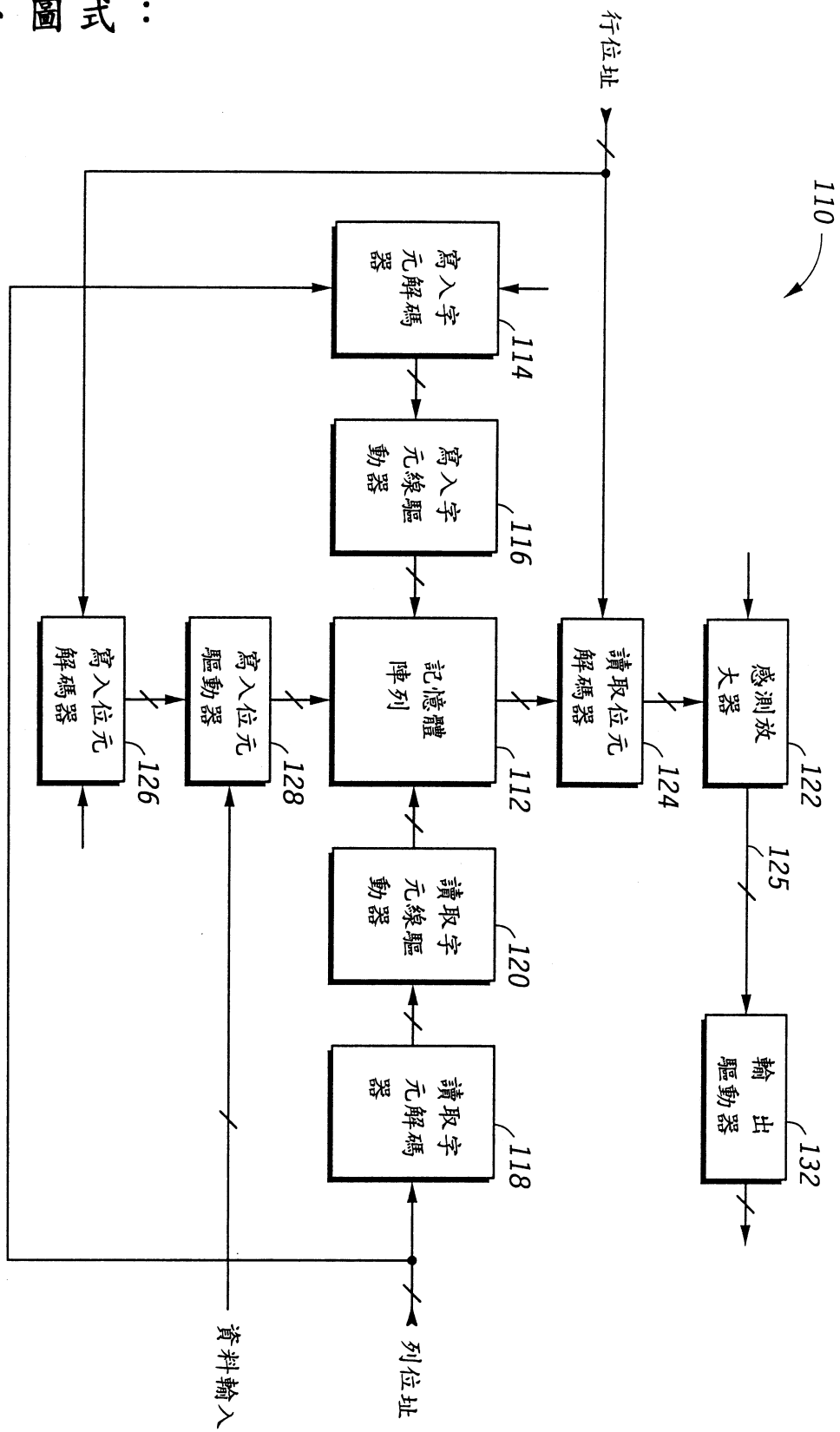


圖 1

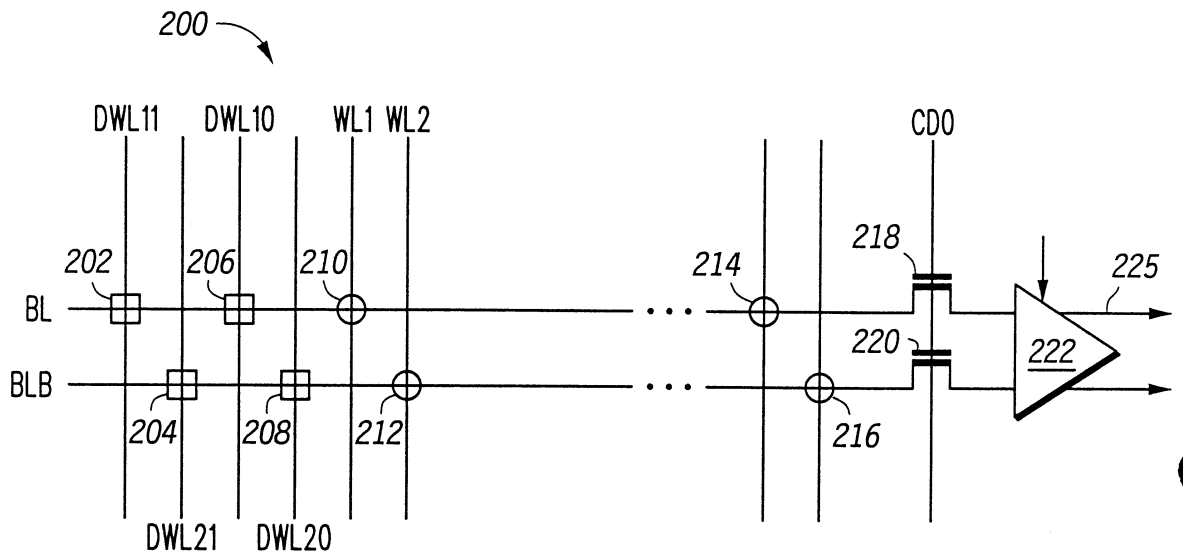


圖 2

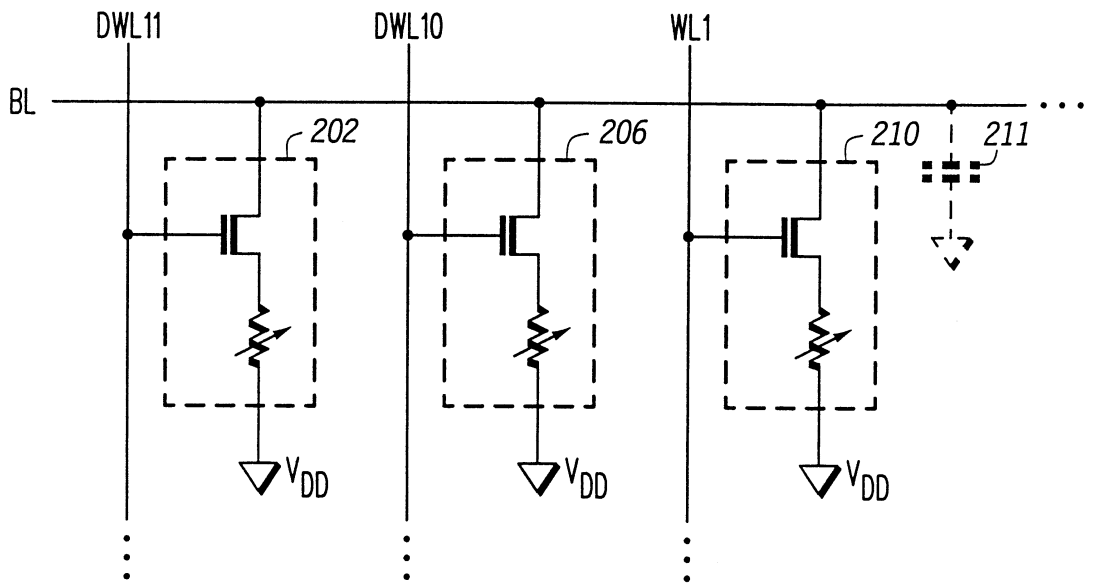


圖 3

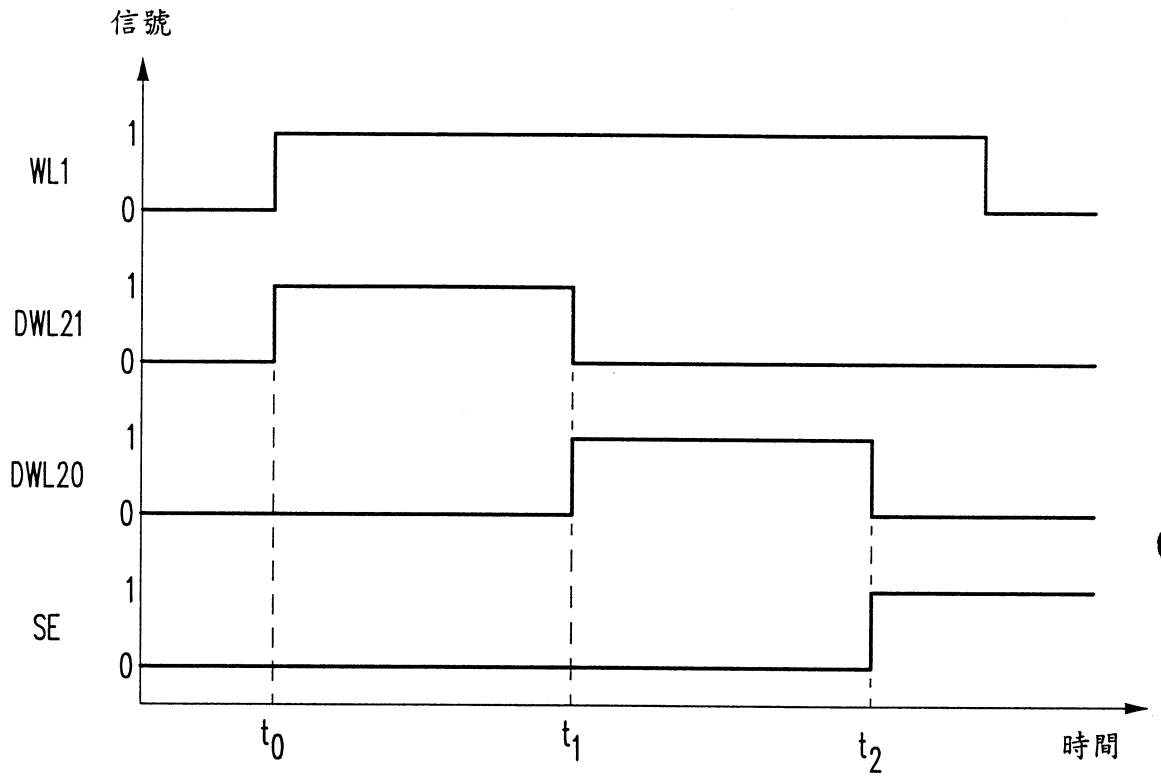


圖 4

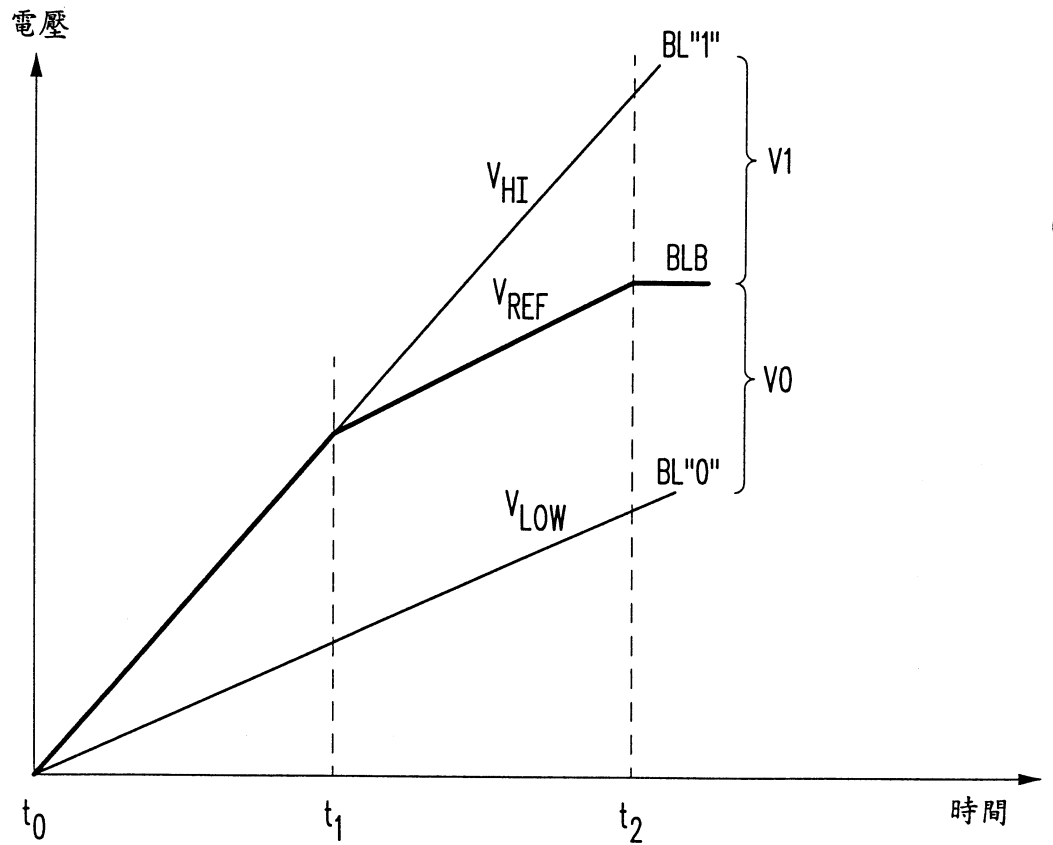


圖 5

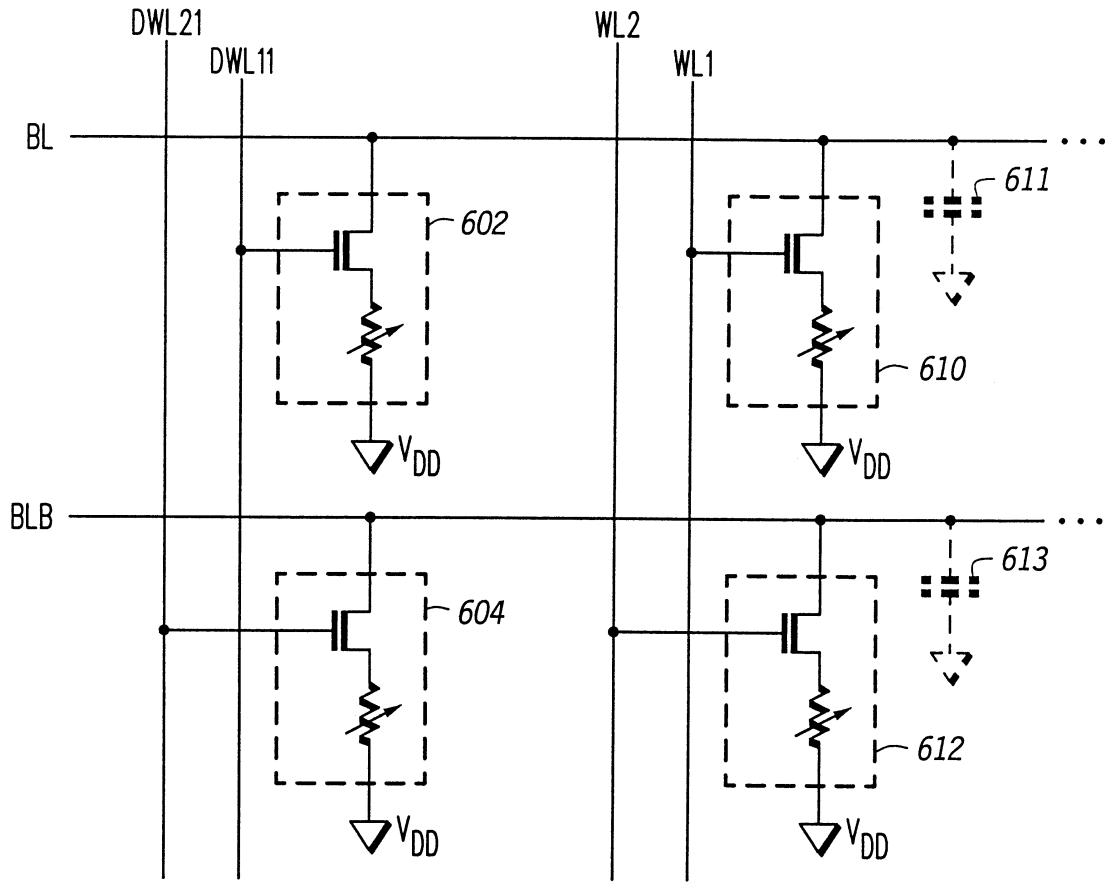


圖 6 600

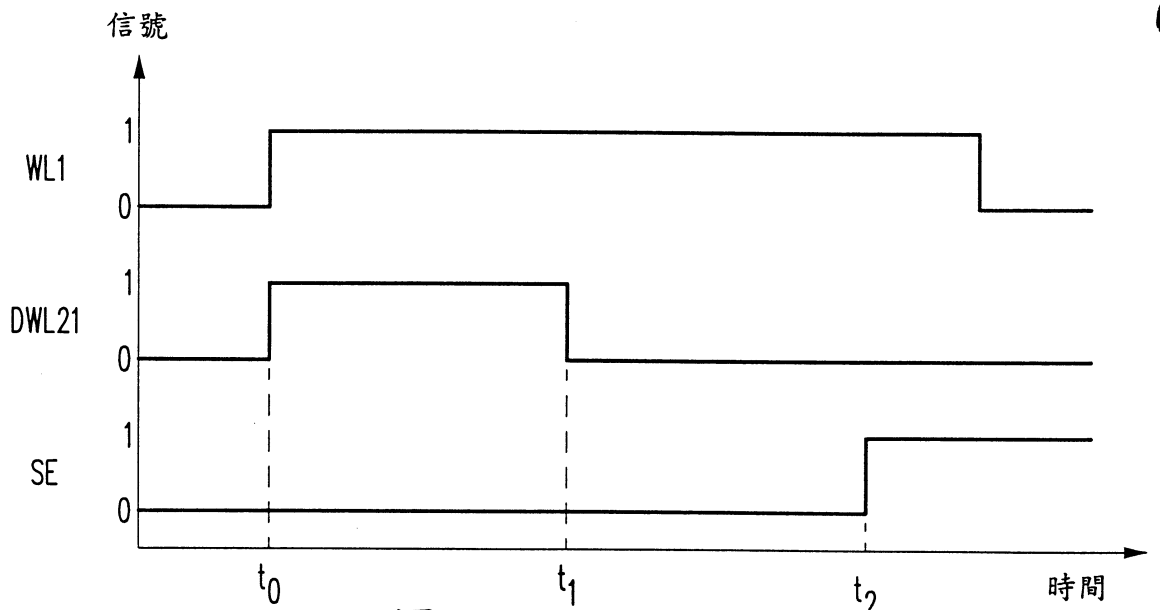


圖 7

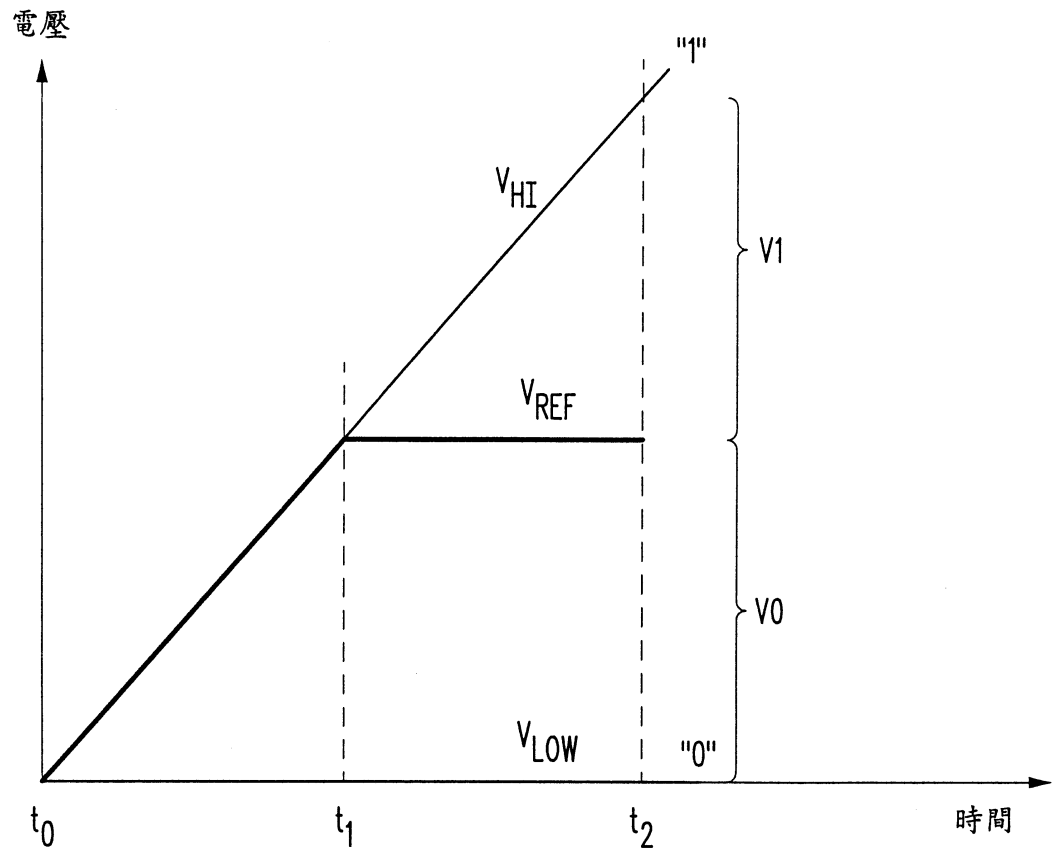


圖 8

柒、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件代表符號簡單說明：

200	記憶體單元部分
202, 204, 206, 208	空白單元
222	感測放大器
210, 212, 214, 216	記憶體單元
218, 220	選擇電晶體

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)