

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 22 日(22.12.2016)

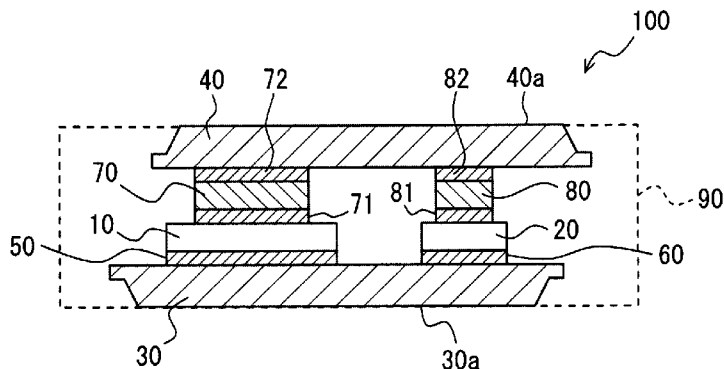


(10) 国際公開番号
WO 2016/203705 A1

- (51) 国際特許分類:
H01L 23/48 (2006.01) H01L 25/07 (2006.01)
H01L 23/29 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2016/002392
- (22) 国際出願日: 2016 年 5 月 16 日(16.05.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-122981 2015 年 6 月 18 日(18.06.2015) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 Aichi (JP).
- (72) 発明者: 森野 友生(MORINO, Tomoo); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦 2 丁目 1 3 番 1 9 号 瀧定ビル 6 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device is provided with: first elements (10 to 14) formed with a first component as a main component; second elements (20 to 24) formed with a second component as a main component; a heat sink (30) on which the first elements and the second elements are placed; a first joining layer (50) which electrically joins the first elements to the heat sink; a second joining layer (60) which electrically joins the second elements to the heat sink; and a molded resin (90) which covers and protects the first elements, the second elements and the heat sink. The physical sizes of the first elements and the second elements are set in such a way that the equivalent plastic strain increment of the first joining layer is greater than that of the second joining layer. By this means, in a semiconductor device provided with semiconductor elements formed using mutually different components, the elements can be thermally protected without the need to provide a temperature detecting means on the side on which the semiconductor elements formed using one of the components are provided.

(57) 要約:

[続葉有]



WO 2016/203705 A1



半導体装置は、第1成分を主成分として形成された第1素子（10～14）と、第2成分を主成分として形成された第2素子（20～24）と、第1素子および第2素子が載置されるヒートシンク（30）と、第1素子とヒートシンクとを電氣的に接合する第1接合層（50）と、第2素子とヒートシンクとを電氣的に接合する第2接合層（60）と、第1素子、第2素子、およびヒートシンクを被覆して保護するモールド樹脂（90）を備える。第1素子および第2素子の体格は、第2接合層よりも第1接合層の相当塑性ひずみ増分が大きくなるように設定される。これにより、互いに異なる成分から構成される半導体素子を備える半導体装置において、一方の成分から構成される半導体素子側に温度検出手段を設けることなく、素子の熱的保護を行うことができる。

明 細 書

発明の名称：半導体装置

関連出願の相互参照

[0001] 本出願は、2015年6月18日に提出された日本出願番号2015-122981号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、複数の素子が並列で駆動される半導体装置に関するものである。

背景技術

[0003] 近年、複数の素子が並列で駆動される半導体装置において、一部の素子の構成材料にワイドバンドギャップ半導体と称される半導体の一種であるシリコンカーバイド（SiC）が採用されつつある。例えば、SiCを主成分とするスイッチング素子は、シリコンを主成分とするものに比較してオン抵抗が小さく電力損失を低減することができる。また、シリコンと比較して高温条件下で動作することができ、冷却機構の小型化が期待されている。

[0004] 特許文献1記載のパワー半導体モジュールは、絶縁ゲートバイポーラトランジスタ（IGBT）と還流ダイオード（FWD）とが並列に接続され、インバータが構成されている。このパワー半導体モジュールでは、FWDの構成材料にSiCを採用することによってリカバリ損失およびスイッチング損失を低減してFWDにおける発熱量を低減させている。したがって、高温域での使用が可能であるというSiCの特徴と合わせて、FWDの許容動作温度を拡大でき、冷却機構の能力を抑制することによる小型化ができるとしている。

先行技術文献

特許文献

[0005] 特許文献1：特開2013-131774号公報

発明の概要

- [0006] ところで、温度に対する素子の保護の観点から、素子を他の部材と電氣的に接続する部材の、熱抵抗悪化を察知することが重要になる。従来、素子上にPN接合温度センサ等の半導体温度センサを配置して温度の検出を行うものがあり、規定以上の温度上昇に対して素子を保護する手段がとられる。
- [0007] しかしながら、ワイドバンドギャップ半導体は一般に高価であり、ワイドバンドギャップ半導体を構成材料として採用した素子に対して半導体温度センサを併設することはコストアップに繋がる虞があった。
- [0008] 本開示は、互いに異なる成分から構成される半導体素子を備える半導体装置において、一方の成分から構成される半導体素子側に温度検出手段を設けることなく、素子の熱的保護を行うことのできる半導体装置を提供することを目的とする。
- [0009] 本開示の一態様によれば、半導体装置は、少なくとも一つの第1素子と、少なくとも一つの第2素子と、ヒートシンクと、第1接合層と、第2接合層と、モールド樹脂と、を備える。第1素子は、第1成分を主成分として形成され、一面とその反対の裏面に電極が設けられている。第2素子は、第1成分とは異なる第2成分を主成分として形成され、一面とその反対の裏面に電極が設けられている。ヒートシンクには、第1素子および第2素子が載置される。第1接合層は、第1素子の裏面側の電極とヒートシンクとを電氣的に接合する。第2接合層は、第2素子の裏面側の電極とヒートシンクとを電氣的に接合する。モールド樹脂は、ヒートシンクの表面の一部を露出しつつ、第1素子、第2素子、およびヒートシンクを被覆して保護する。第1素子および第2素子の体格は、第2接合層よりも第1接合層の相当塑性ひずみ増分が大きくなるように設定される。
- [0010] これによれば、第2接合層よりも第1接合層の歪み量が大きくなり、第1接合層にクラックが発生しやすくなるため、第1接合層の熱抵抗の増加量も大きくなる。すなわち、第1接合層が第2接合層に先行して、規定される寿命を迎えるようにできる。つまり、設計者は先行して寿命を迎える接合層を決定できるので、第1接合層が接続される第1素子側にのみ温度検出手段を

形成して、検出された温度に基づいて素子の熱的保護を行えば、第2素子が先に故障することを防止することができる。

図面の簡単な説明

[0011] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。図面において、

[図1]第1実施形態における半導体装置およびその周辺回路の回路構成を示す回路図であり、

[図2]半導体装置の概略構成を示す上面図であり、

[図3]図2におけるⅠⅠⅠーⅠⅠⅠ線に沿う断面図であり、

[図4]半導体装置の一部について詳細構造を示す斜視図であり、

[図5]チップ一辺の長さに対する相当塑性ひずみ増分の変化をしめす図であり、

[図6]変形例1における半導体装置の概略構成を示す上面図である。

発明を実施するための形態

[0012] 以下、本開示の実施の形態を図面に基づいて説明する。なお、以下の各図相互において、互いに同一もしくは均等である部分に、同一符号を付与する。

[0013] (第1実施形態)

最初に、図1～図3を参照して、本実施形態に係る半導体装置の概略構成について説明する。

[0014] 本実施形態における半導体装置は、例えば、MOSFETとIGBTの2つのスイッチング素子を並列に接続して出力電流を得るスイッチ回路に供される。IGBTはそのターンオフ時にテール電流を発生する特性を有する。このテール電流は、ターンオフ時のスイッチング損失を大きくする原因となっている。これに対して、MOSFETとIGBTとが並列に接続された半導体装置にあっては、MOSFETのオフタイミングをIGBTよりも遅らせることにより、テール電流に起因する消費電力を抑制している。

[0015] まず、図1を参照して、本実施形態における半導体装置100および周辺回路の回路構成を説明する。図1に示すように、本実施形態における半導体装置100はスイッチ回路であり、電源VCCとグランドGNDの間において2つの半導体装置100が直列に接続されて上アームと下アームを構成している。上アームと下アームとの間には負荷200が接続され、上アームを担う半導体装置100と下アームを担う半導体装置100とが交互にオンオフすることによって負荷200に流れる電流の向きを切り替えている。すなわち、2つの半導体装置100はインバータを構成している。

[0016] 上アームおよび下アームを構成する半導体装置100は互いに等価であるので、以降、上アームを構成する半導体装置100について説明する。

[0017] 半導体装置100は、第1素子たるIGBT10と第2素子たるMOSFET20とを有し、これらが電源VCCに対して並列に接続されている。IGBT10およびMOSFET20のゲート電極には、それぞれのスイッチング素子10、20にゲート電圧を供給するためのドライバ300が接続されている。なお、ドライバ300には、IGBT10およびMOSFET20のオンオフのタイミングや、ゲート電圧の電圧値を制御するための図示しない制御装置が接続されている。ドライバ300は制御装置から入力される指示信号に基づいてIGBT10およびMOSFET20を制御している。

[0018] 続いて、図2および図3を参照して、半導体装置100の実装構造について説明する。図2および図3に示すように、この半導体装置100は、上記したように、半導体より成るスイッチング素子として、チップ状のIGBT10とMOSFET20とを有している。また、スイッチング素子10、20が発生する熱の放熱のために、平板状の第1ヒートシンク30および第2ヒートシンク40を有している。IGBT10およびMOSFET20は第1ヒートシンク30と第2ヒートシンク40とに挟まれるように配置されている。さらに、この半導体装置100は、第1ヒートシンク30および第2ヒートシンク40との対向距離を調整するための第1スペーサ70および第2スペーサ80を有している。そして、これらスイッチング素子10、20

、ヒートシンク 30、40、スペーサ 70、80を保護するモールド樹脂 90を有している。

[0019] 本実施形態における IGBT 10はその一面にエミッタ電極が形成され、一面と反対の裏面にコレクタ電極が形成されている。IGBT 10は、図3に示すように、コレクタ電極が第1ヒートシンク 30に電氣的に接続されるよう、第1接合層 50を介して載置されている。一方、MOSFET 20はその一面にソース電極が形成され、一面と反対の裏面にドレイン電極が形成されている。MOSFET 20は、図3に示すように、ドレイン電極が第1ヒートシンク 30に電氣的に接続されるよう、第2接合層 60を介して載置されている。

[0020] 第1ヒートシンク 30および第2ヒートシンク 40は、IGBT 10およびMOSFET 20が発生する熱を外部へ放熱するための平板状の部材であり、第1ヒートシンク 30と第2ヒートシンク 40とは互いに対向して配置されている。上記したように、IGBT 10およびMOSFET 20はヒートシンク 30、40に挟まれて実装されており、第2ヒートシンク 40は、IGBT 10のエミッタ電極、および、MOSFET 20のソース電極と対向している。

[0021] 第1ヒートシンク 30は、図2に示すように、平板状の一辺の一部から突出した突出部 T1を有しており、この突出部 T1が電源 VCCに接続されている。また、第2ヒートシンク 40は、平板状の一辺の一部から突出した突出部 T2を有しており、この突出部 T2が負荷 200および下アームに接続されている。

[0022] 第2ヒートシンク 40と IGBT 10のエミッタ電極は第1スペーサ 70を介して接続されている。また、第2ヒートシンク 40とMOSFET 20のソース電極は第2スペーサ 80を介して接続されている。スペーサ 70、80は、第1ヒートシンク 30と第2ヒートシンク 40とが互いに平行になるように、両ヒートシンク 30、40の対向距離を調整するとともに、IGBT 10およびMOSFET 20と、第2ヒートシンク 40と、を電氣的に

接続する部材である。

[0023] 第1スペーサ70は、第3接合層71を介してIGBT10のエミッタ電極に接続されている。また、第1スペーサ70は、第4接合層72を介して第2ヒートシンク40に接続されている。一方、第2スペーサ80は、第5接合層81を介してMOSFET20のソース電極に接続されている。また、第2スペーサ80は、第6接合層82を介して第2ヒートシンク40に接続されている。

[0024] モールド樹脂90は、IGBT10、MOSFET20、第1スペーサ70、第2スペーサ80、第1接合層50、第2接合層60、第3接合層71、第4接合層72、第5接合層81、および、第6接合層82を内包して保護するように成型されている。また、図3に示すように、第1ヒートシンク30はIGBT10およびMOSFET20が実装されていない表面30aが外部に露出するようされ、且つ、図2に示すように、突出部T1が外部に突出するようにインサート成型されている。さらに、第2ヒートシンク40は第1スペーサ70および第2スペーサ80が接続されていない表面40aが外部に露出するようされ、且つ、突出部T2が外部に突出するようにインサート成型されている。

[0025] なお、本実施形態では、図2に示すように、ドライバ300もモールド樹脂90に内包されるように配置されており、IGBT10およびMOSFET20のゲート電極と、ドライバ300とは、それぞれボンディングワイヤW1およびW2を介して接続されている。ドライバ300は必ずしも半導体装置100とともにモールド樹脂90内にインサート成型される必要はなく、モールド樹脂90の外部に配置するようにしても良い。

[0026] 本実施形態におけるIGBT10は第1成分たるシリコンを主成分として形成されている。また、MOSFET20は第2成分たるシリコンカーバイドを主成分として形成されている。また、第1ヒートシンク30、第2ヒートシンク40、第1スペーサ70および第2スペーサ80は銅を主成分として形成されている。さらに、第1接合層50、第2接合層60、第3接合層

7 1、第4接合層7 2、第5接合層8 1、および、第6接合層8 2は一般的に知られたはんだである。なお、本実施形態における第3接合層7 1、第4接合層7 2、第5接合層8 1、および、第6接合層8 2は、それぞれ、第1接合層5 0および第2接合層6 0よりも薄くなるように形成されている。

[0027] 続いて、図4および図5を参照して、IGBT10とMOSFET20の形状について詳しく説明する。なお、図4では、IGBT10、MOSFET20、第1接合層5 0、第2接合層6 0および第1ヒートシンク3 0を除く要素は図示を省略している。

[0028] IGBT10は、第1ヒートシンク3 0の平板たる面を平面視した場合に、正方形を成している。換言すれば、エミッタ電極が形成された一面あるいはコレクタ電極が形成された裏面が正方形を成している。この正方形の一辺の長さを、図4に示すように、 a_1 とする。また、IGBT10のチップの厚さを b_1 とする。

[0029] このとき、はんだを主成分とする第1接合層5 0には、 $\Delta \varepsilon_1 = (0.004b_1 + 0.0003)a_1^2 + 0.26$ により定義される相当塑性ひずみ増分 $\Delta \varepsilon_1$ が生じる。なお、相当塑性ひずみ増分 $\Delta \varepsilon_1$ の定義式は、長さ a_1 と厚さ b_1 とを変数としてコンピュータシミュレーションにより算出された相当塑性ひずみ増分を関数フィッティングして得られた式である。コンピュータシミュレーションには、IGBT10を構成するシリコンや、第1接合層5 0を構成するはんだに固有の物理量（例えばヤング率、ポアソン比、線膨張係数）が利用されている。

[0030] MOSFET20は、第1ヒートシンク3 0の平板たる面を平面視した場合に、正方形を成している。換言すれば、ソース電極が形成された一面あるいはドレイン電極が形成された裏面が正方形を成している。この正方形の一辺の長さを、図4に示すように、 a_2 とする。また、MOSFET20のチップの厚さを b_2 とする。

[0031] このとき、第2接合層6 0には、 $\Delta \varepsilon_2 = (0.0075b_2 + 0.0003)a_2^2 + 0.03$ により定義される相当塑性ひずみ増分 $\Delta \varepsilon_2$ が生じる

。なお、相当塑性ひずみ増分 $\Delta \varepsilon 2$ の定義式は、長さ $a 2$ と厚さ $b 2$ とを変数としてコンピュータシミュレーションにより算出された相当塑性ひずみ増分を関数フィッティングして得られた式である。

[0032] そして、 $I G B T 1 0$ および $M O S F E T 2 0$ の体格、すなわち、 $I G B T 1 0$ の正方形の一辺の長さ $a 1$ 、厚さ $b 1$ 、および、 $M O S F E T 2 0$ の正方形の一辺の長さ $a 2$ 、厚さ $b 2$ 、が $\Delta \varepsilon 1 > \Delta \varepsilon 2$ の関係を満たすように、それぞれ設定されている。具体的には、図5に示すように、 $b 1 = b 2$ とした上で、 $I G B T 1 0$ のチップ一辺の長さ $a 1$ を $D 1$ に設定し、 $M O S F E T 2 0$ のチップ一辺の長さ $a 2$ を $D 2$ に設定することにより、 $\Delta \varepsilon 1 > \Delta \varepsilon 2$ を実現する。

[0033] 次に、本実施形態における半導体装置100を採用することによる作用効果について説明する。

[0034] 本実施形態における半導体装置100を採用すると、第2接合層60よりも第1接合層50の歪み量が大きくなるため、第1接合層50の熱抵抗の増加量は第2接合層60における増加量よりも大きくなる。すなわち、第1接合層50が第2接合層60に先行して、規定される寿命を迎えるようにできる。つまり、設計者は先行して寿命を迎える接合層が第1接合層50となるように意図的に制御できるので、第1接合層50が接続される第1素子たる $I G B T 1 0$ 側にのみ温度検出手段を形成して、検出された温度に基づいて素子の熱的保護を行えば、第2素子たる $M O S F E T 2 0$ が先に故障することを防止することができる。

[0035] これによれば、シリコンカーバイドにより形成された $M O S F E T 2 0$ 側に温度検出用の手段を設ける必要がないため、シリコンカーバイドを主成分とする素子のチップサイズを小さくすることができる。シリコンカーバイドは、一般にシリコンよりも高価である。よって、この半導体装置100を採用することにより、シリコンカーバイドを主成分とする素子のチップサイズの増大化を抑制でき、半導体装置100の製造にかかるコストを抑制することができる。

[0036] (変形例1)

第1実施形態では、第1素子たるIGBT10と、第2素子たるMOSFET20とを1つずつ有する半導体装置について説明したが、それぞれ複数の素子が一对の第1および第2ヒートシンク30, 40の間に存在する形態であっても良い。

[0037] 例えば、図6に示すように、IGBTを4個(IGBT11~IGBT14)、MOSFETを4個(MOSFET21~MOSFET24)有する半導体装置110について説明する。この半導体装置110は、第1ヒートシンク30上に、IGBT11~14およびMOSFET21~24が、対応する接合層を介して載置されている。そして、それぞれの素子のエミッタ電極あるいはソース電極に、対応するスペーサを介して第2ヒートシンク40が接続されている。つまり、第1実施形態と同様に、第1ヒートシンク30と第2ヒートシンク40とは互いに対向して配置されている。なお、図6においては、ドライバ300の図示を省略しているが、ドライバ300は、IGBT11~14およびMOSFET21~24のゲート電極にそれぞれゲート電圧を供給している。

[0038] ここで、IGBT11~IGBT14が対応する接合層に対して応力を与える相当塑性ひずみ増分を、それぞれ $\Delta \varepsilon_{11} \sim \Delta \varepsilon_{14}$ とする。また、MOSFET21~MOSFET24が対応する接合層に対して応力を与える相当塑性ひずみ増分を、それぞれ $\Delta \varepsilon_{21} \sim \Delta \varepsilon_{24}$ とする。

[0039] このとき、本実施形態における各素子11~14, 21~24の体格は、 $\Delta \varepsilon_{11} \sim \Delta \varepsilon_{14}$ のうち相当塑性ひずみ増分の最大値を $\Delta \varepsilon_{1max}$ とし、 $\Delta \varepsilon_{21} \sim \Delta \varepsilon_{24}$ のうち相当塑性ひずみ増分の最大値を $\Delta \varepsilon_{2max}$ とすると、 $\Delta \varepsilon_{1max} > \Delta \varepsilon_{2max}$ の関係を満たすように、それぞれ設定されている。

[0040] これによれば、IGBT11~IGBT14のいずれか1つの素子に対応する接合層の熱抵抗が、MOSFET21~MOSFET24よりも先行して故障判断に用いられる閾値を超えることになる。したがって、MOSFE

T側に温度検出用の手段を設ける必要がないため、シリコンカーバイドを主成分とする素子のチップサイズを小さくすることができる。

[0041] (その他の実施形態)

以上、本開示の好ましい実施形態について説明したが、本開示は上記した実施形態になんら制限されることなく、本開示の主旨を逸脱しない範囲において、種々変形して実施することが可能である。

[0042] 上記した実施形態および変形例においては、第1素子の構成材料としてシリコンを採用し、第2素子の構成材料としてシリコンカーバイドを採用する例について説明したが、これら構成材料を限定するものではない。例えば、第2素子がシリコンであっても、第2素子側に温度検出用の手段を設ける必要がないという効果を発揮できる。このため、上記手段が形成されないぶん、半導体装置全体の体格を小さくできる。

[0043] しかしながら、第2素子の構成材料をワイドバンドギャップ半導体とすることで、低オン抵抗、動作保証温度の高温化、スイッチング素子速度の向上などが期待できる。よって、第2素子の構成材料をワイドバンドギャップ半導体としたうえで、上記した実施形態および変形例のような構成を採用することがより好ましい。

[0044] ワイドバンドギャップ半導体としては、シリコンカーバイドのほかに、窒化ガリウムや酸化ガリウムを採用することができる。

[0045] また、上記した実施形態および変形例では、2つのヒートシンク30、40によりIGBT10～14、MOSFET20～24が挟まれた、いわゆる両面放熱方式の半導体装置について説明したが、片面放熱方式の半導体装置にも本開示を適用することができる。すなわち、第1実施形態に対して、第2ヒートシンク40、第1スペーサ70、第2スペーサ80、第3接合層71、第4接合層72、第5接合層81、および、第6接合層82を有さない半導体装置であっても、IGBT10およびMOSFET20の体格が、第2接合層60よりも第1接合層50の相当塑性ひずみ増分が大きくなるように設定されていれば良い。

[0046] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

- [請求項1] 第1成分を主成分として形成され、一面とその反対の裏面に電極が設けられた少なくとも一つの第1素子（10～14）と、
- 前記第1成分とは異なる第2成分を主成分として形成され、一面とその反対の裏面に電極が設けられた少なくとも一つの第2素子（20～24）と、
- 前記少なくとも一つの第1素子および前記少なくとも一つの第2素子が載置されるヒートシンク（30）と、
- 前記少なくとも一つの第1素子の裏面側の電極と前記ヒートシンクとを電氣的に接合する第1接合層（50）と、
- 前記少なくとも一つの第2素子の裏面側の電極と前記ヒートシンクとを電氣的に接合する第2接合層（60）と、
- 前記ヒートシンクの表面の一部を露出しつつ、前記少なくとも一つの第1素子、前記少なくとも一つの第2素子、および前記ヒートシンクを被覆して保護するモールド樹脂（90）と、を備える半導体装置であって、
- 前記少なくとも一つの第1素子および前記少なくとも一つの第2素子の体格は、前記第2接合層よりも前記第1接合層の相当塑性ひずみ増分が大きくなるように設定される半導体装置。
- [請求項2] 前記ヒートシンクは、第1ヒートシンク（30）と第2ヒートシンク（40）とを有し、
- 前記少なくとも一つの第1素子は前記第1接合層を介して前記第1ヒートシンクに載置されるとともに、前記少なくとも一つの第2素子は前記第2接合層を介して前記第1ヒートシンクに載置され、
- 前記第2ヒートシンクは前記第1ヒートシンクに対向して配置され、前記少なくとも一つの第1素子の一面側の電極と第1スペーサ（70）を介して接続されるとともに、前記少なくとも一つの第2素子の一面側の電極と第2スペーサ（80）を介して接続され、

前記第2ヒートシンクの表面の一部は前記モールド樹脂から露出している請求項1に記載の半導体装置。

[請求項3]

前記少なくとも一つの第1素子および前記少なくとも一つの第2素子は、それぞれ前記一面および前記裏面が一辺を2mm以上とする正方形を成し、

前記少なくとも一つの第1素子および前記少なくとも一つの第2素子は、それぞれ厚さが0.1mm以上とされ、

前記少なくとも一つの第1素子はシリコンを主成分とし、前記少なくとも一つの第2素子はシリコンカーバイドを主成分とし、

前記第1ヒートシンク、前記第2ヒートシンク、前記第1スペーサおよび前記第2スペーサは銅を主成分とし、

さらに、前記少なくとも一つの第1素子の前記一面および前記裏面が成す正方形の一辺の長さを a_1 、前記少なくとも一つの第1素子の厚さを b_1 とし、

前記少なくとも一つの第2素子の前記一面および前記裏面が成す正方形の一辺の長さを a_2 、前記少なくとも一つの第2素子の厚さを b_2 とし、

前記第1接合層の相当塑性ひずみ増分 $\Delta \varepsilon_1$ を $\Delta \varepsilon_1 = (0.004b_1 + 0.0003)a_1^2 + 0.26$ により定義し、

前記第2接合層の相当塑性ひずみ増分 $\Delta \varepsilon_2$ を $\Delta \varepsilon_2 = (0.0075b_2 + 0.0003)a_2^2 + 0.03$ により定義する場合に、

$\Delta \varepsilon_1 > \Delta \varepsilon_2$ の関係を満たすように、前記少なくとも一つの第1素子の一辺の長さ a_1 、厚さ b_1 、前記少なくとも一つの第2素子の一辺の長さ a_2 、厚さ b_2 が設定される請求項2に記載の半導体装置。

[請求項4]

前記少なくとも一つの第1素子は複数の第1素子であり、

前記複数の第1素子のうち、対応する前記第1接合層の相当塑性ひずみ増分の最大値を $\Delta \varepsilon_{1max}$ とし、

前記少なくとも一つの第2素子の前記第2接合層の相当塑性ひずみ増分を $\Delta \varepsilon_{2 \max}$ とする場合に、

$\Delta \varepsilon_{1 \max} > \Delta \varepsilon_{2 \max}$ の関係を満たすように、前記複数の第1素子および前記少なくとも一つの第2素子の体格が設定される請求項1～3のいずれか1項に記載の半導体装置。

[請求項5]

前記少なくとも一つの第2素子は複数の第2素子であり、

前記少なくとも一つの第1素子の前記第1接合層の相当塑性ひずみ増分を $\Delta \varepsilon_{1 \max}$ とし、

前記複数の第2素子のうち、対応する前記第2接合層の相当塑性ひずみ増分の最大値を $\Delta \varepsilon_{2 \max}$ とする場合に、

$\Delta \varepsilon_{1 \max} > \Delta \varepsilon_{2 \max}$ の関係を満たすように、前記少なくとも一つの第1素子および前記複数の第2素子の体格が設定される請求項1～3のいずれか1項に記載の半導体装置。

[請求項6]

前記少なくとも一つの第1素子は複数の第1素子であり、

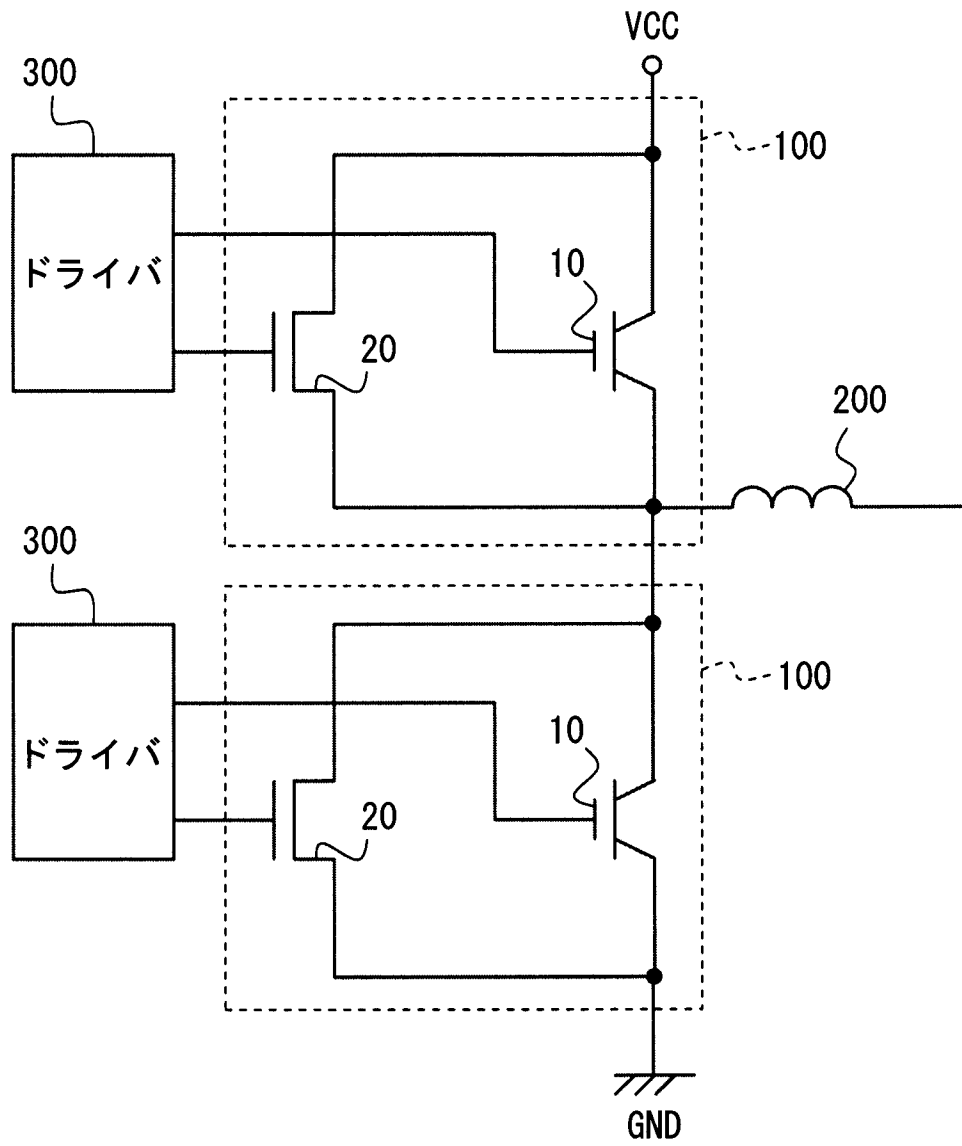
前記少なくとも一つの第2素子は複数の第2素子であり、

前記複数の第1素子のうち、対応する前記第1接合層の相当塑性ひずみ増分の最大値を $\Delta \varepsilon_{1 \max}$ とし、

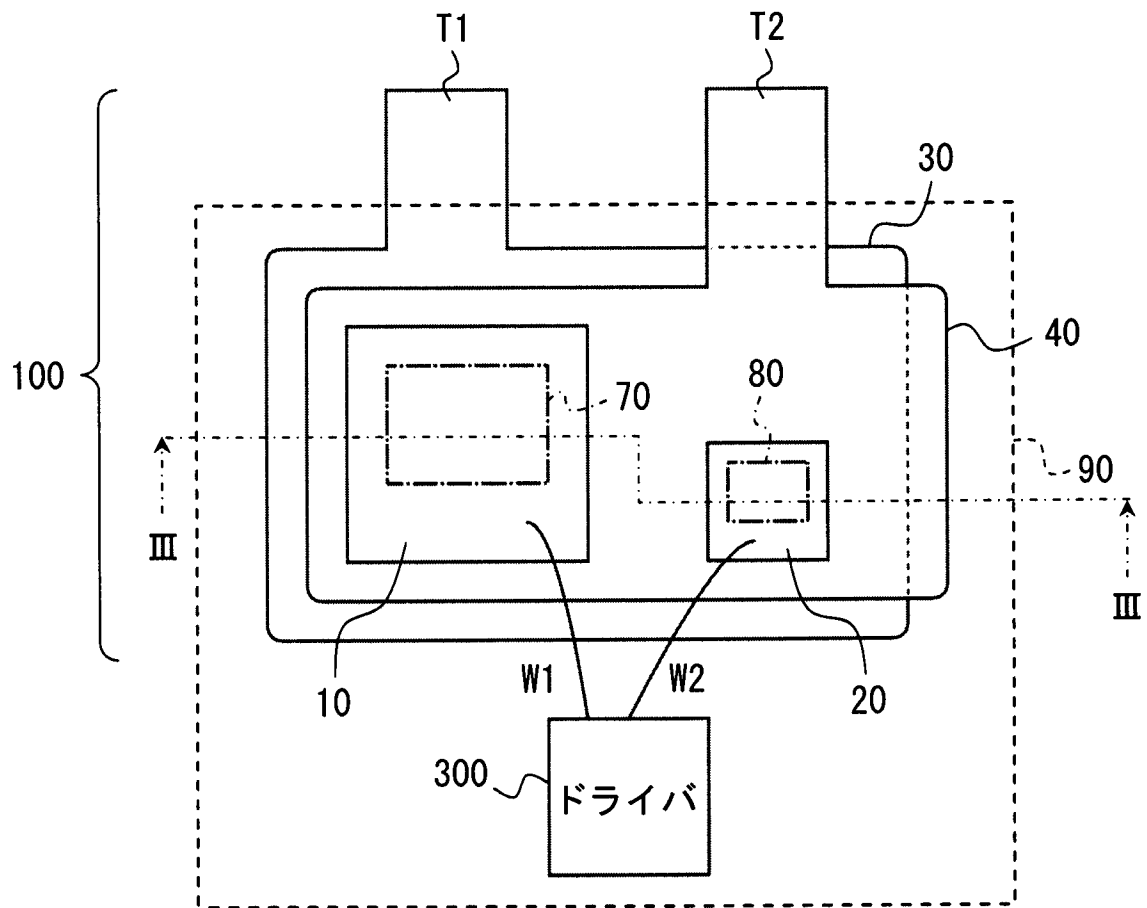
前記複数の第2素子のうち、対応する前記第2接合層の相当塑性ひずみ増分の最大値を $\Delta \varepsilon_{2 \max}$ とする場合に、

$\Delta \varepsilon_{1 \max} > \Delta \varepsilon_{2 \max}$ の関係を満たすように、前記第1素子および前記第2素子の体格が設定される請求項1～3のいずれか1項に記載の半導体装置。

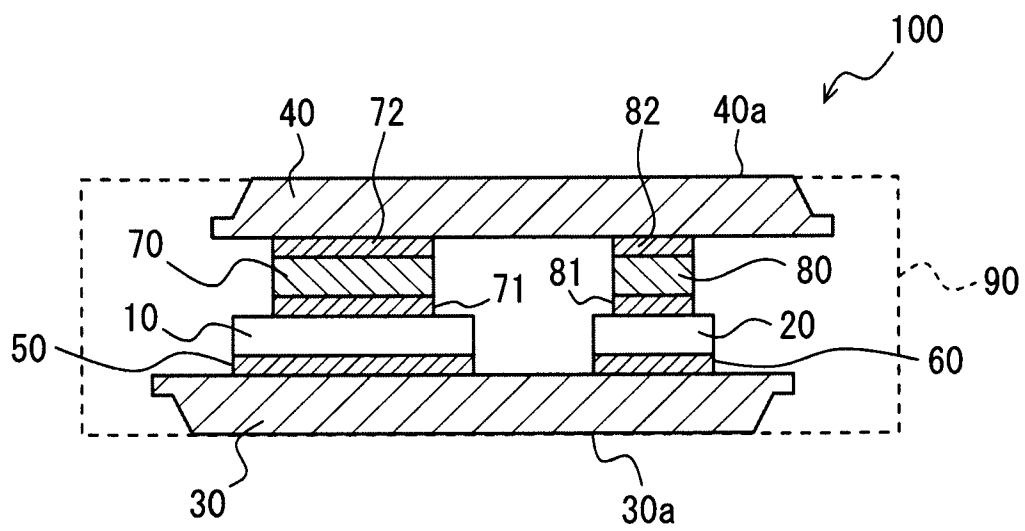
[図1]



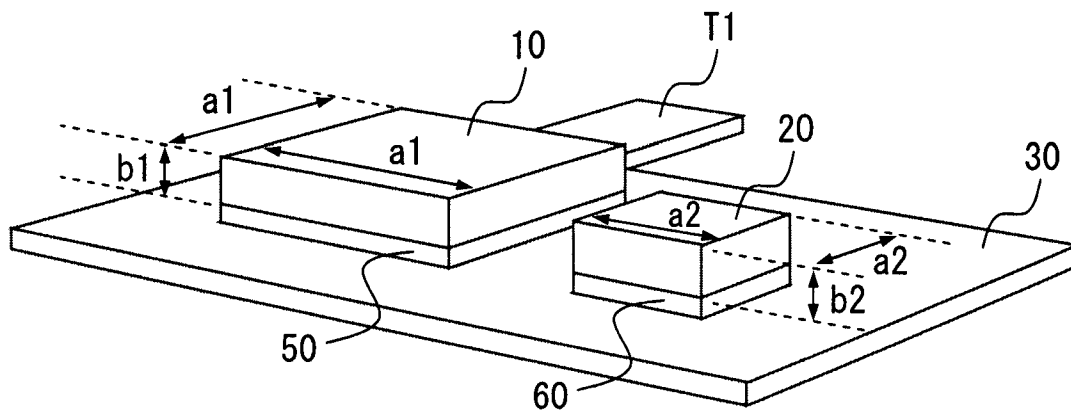
[図2]



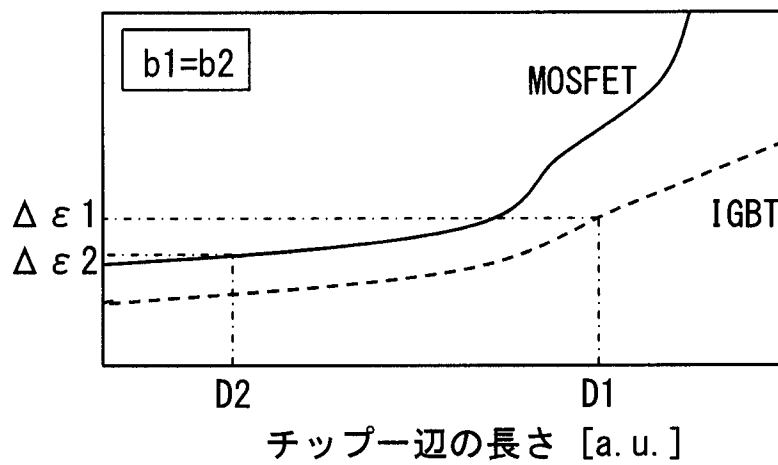
[図3]



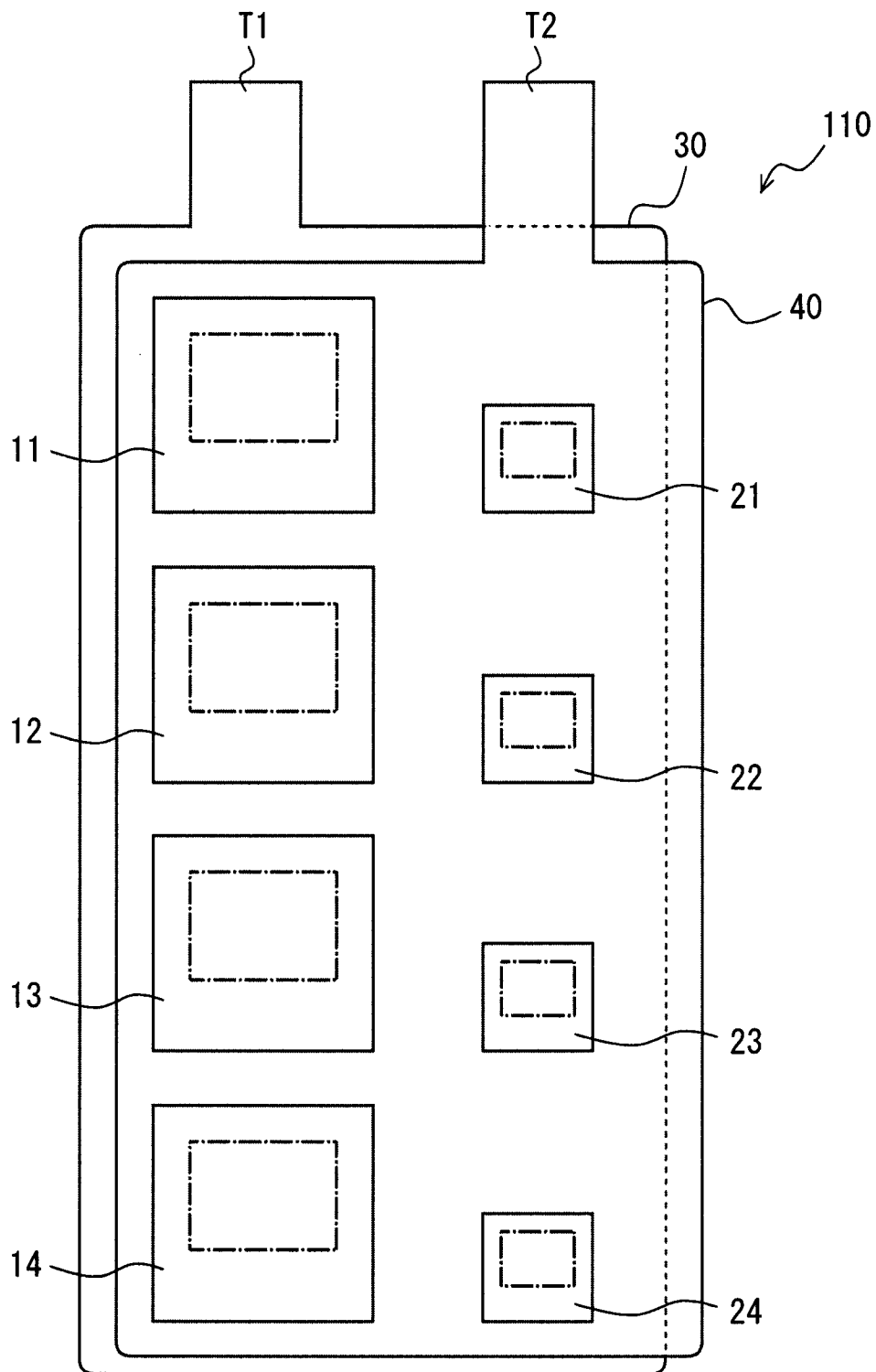
[図4]



[図5]

相当塑性ひずみ増分 $\Delta \varepsilon$ [a. u.]

[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/002392

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/48(2006.01)i, H01L23/29(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/48, H01L23/29, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-244166 A (Denso Corp.), 08 September 2005 (08.09.2005), entire text & US 2005/0167802 A1 entire text & DE 102005002767 A1 & CN 1649098 A	1-6
A	JP 2008-78679 A (Denso Corp.), 03 April 2008 (03.04.2008), entire text & US 2003/0022464 A1 entire text & DE 10234155 A1 & KR 10-2003-0010535 A & KR 10-2006-0109390 A & CN 1400657 A	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 July 2016 (15.07.16)

Date of mailing of the international search report
26 July 2016 (26.07.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/002392

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-131774 A (Mitsubishi Electric Corp.), 04 July 2013 (04.07.2013), entire text (Family: none)	1-6
A	JP 2008-10617 A (Matsushita Electric Industrial Co., Ltd.), 17 January 2008 (17.01.2008), entire text (Family: none)	1-6

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L23/48(2006.01)i, H01L23/29(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L23/48, H01L23/29, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-244166 A (株式会社デンソー) 2005.09.08, 全文 & US 2005/0167802 A1, 全文 & DE 102005002767 A1 & CN 1649098 A	1-6
A	JP 2008-78679 A (株式会社デンソー) 2008.04.03, 全文 & US 2003/0022464 A1, 全文 & DE 10234155 A1 & KR 10-2003-0010535 A & KR 10-2006-0109390 A & CN 1400657 A	1-6
A	JP 2013-131774 A (三菱電機株式会社) 2013.07.04, 全文 (ファミリーなし)	1-6

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 7 . 2 0 1 6

国際調査報告の発送日

2 6 . 0 7 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

原田 貴志

5 D

4 6 9 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-10617 A (松下電器産業株式会社) 2008.01.17, 全文 (ファミリーなし)	1-6