

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

231016

(11)

(B1)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

(22) Přihlášeno 08 02 82
(21) (PV 860-82)

(51) Int. Cl.³
G 06 K 11/00

(40) Zveřejněno 15 02 84

(45) Vydáno 15 06 86

(75)

Autor vynálezu

VANČURA BOHUMIL ing., PARDUBICE, TOMŠŮ JOSEF ing., NYMBURK

(54) Zapojení pro synchronní vyhodnocení signálů
z přírůstkových mechanicko elektrických převod-
níků se zvýšenou rozlišovací schopností

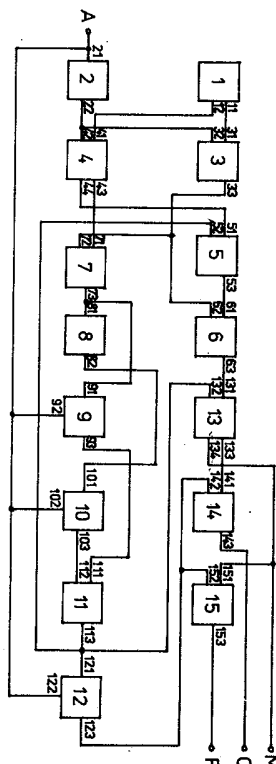
Vynález se týká oboru automatizační a řídicí techniky, kde se pro snímání mechanického úhlu posuvu nebo úhlu natočení používá přírůstkových převodníků, nazývaných též inkrementální čidla.

Zapojení podle vynálezu řeší vyhodnocení impulsů přírůstkových mechanicko elektrických převodníků, bez vzniku chybového impulsu při změně směru snímaného pohybu a se zvýšenou rozlišovací schopností.

Zapojením podle vynálezu, které využívá synchronního způsobu řízení, obvodu nonekvivalence a obvody pro porovnání úrovně stavu před a po změně snímaného pohybu, včetně synchronních monostabilních obvodů se docílí toho, že vyhodnocení směru snímaného pohybu je uskutečněno s časovým předstihem před generováním číselného pulsu odpovídajícího směru snímaného pohybu.

Zapojení podle vynálezu lze využít v oborech automatizační, měřicí a regulační techniky.

Obr. 1



Vynález se týká zapojení pro synchronní vyhodnocení signálů, z přírůstkových mechanicko elektrických převodníků, se zvýšenou rozlišovací schopností, nazývaných též inkrementální čidla, bez vzniku chybového impulsu při změně směru snímaného pohybu.

Převod mechanického posuvu nebo úhlu natočení je často prováděn přírůstkovými převodníky, inkrementálními čidly, které na svém výstupu dávají dva vzájemně posunuté sledy pulsů, jejichž počet je přímo úměrný přírůstku dráhy nebo úhlu natočení a jejichž fázový úhel je určen směrem snímaného pohybu.

Pro vyhodnocení výstupních impulsů těchto převodníků, tj. jejich počtu a směru pohybu, jsou používány číslicové elektronické obvody, které mohou reagovat buď na úroveň impulsů nebo na jejich hrany, a to na jednu nebo na obě hrany jednoho nebo obou impulsových průběhů, přičemž při vyhodnocování více hran se zvyšuje rozlišovací schopnost převodu.

Dosud známá zapojení číslicových elektronických obvodů při vyhodnocování změny směru snímaného pohybu zaznamenávají chybné čítání, neboť dochází k tomu, že impuls opačného směru pohybu je generován v době, kdy ještě trvá předchozí impuls nebo při generování impulsu opačného pohybu nebyla ještě změna pohybu vyhodnocena.

Uvedené nevýhody odstraňuje synchronní způsob vyhodnocení signálů z převodníků v zapojení podle vynálezu. Zapojení reaguje na každou hranu dvou vzájemně posunutých sledů pulsů na výstupu převodníku a tím elektricky zvyšuje rozlišovací schopnost převodu.

Synchronním způsobem řízení a využitím obvodů nonekvivalence, s obvody pro porovnání stavu úrovní před a po změně snímaného pohybu, včetně synchronních monostabilních obvodů se docílí toho, že vyhodnocení směru snímaného pohybu je uskutečněno s časovým předstihem před generováním čítacího pulsu odpovídajícího směru snímaného pohybu.

Na obr. 1 je blokové schéma zapojení, v němž 1 je přírůstkový převodník s výstupy 11 a 12, 2 je binární dělič se vstupem 21 a inverzním výstupem 22, 3, 4, 5 a 13 jsou bistabilní klopné obvody typu D s datovými výstupy 31, 41, 51 a 131, taktovací vstupy 32, 42, 52 a 132, přímými výstupy 33, 43, 53 a 133 a inverzními výstupy 44 a 134, překlápěné náběžnou hranou taktovacích impulsů, 6 a 7 jsou logické obvody nonekvivalence se vstupy 61, 62, 71 a 72 a inverzními výstupy 63 a 73, 8 je invertor se vstupem 81 a výstupem 82, 9, 10 a 12 jsou monostabilní klopné obvody se vstupy 91, 101 a 121, taktovací vstupy 92, 102 a 122, inverzními výstupy 93 a 103 a přímým výstupem 123, 11 je logický součinový obvod se vstupy 111 a 112 a přímým výstupem 113, a 14 a 15 jsou logické součinové obvody se vstupy 141, 142, 151, 152 a inverzními výstupy 143 a 153, A je vstup vnějšího taktovacího kmitočtu, Q je výstup impulsů v kladném směru otáčení a P je výstup impulsů v záporném směru otáčení. M je výstup, na kterém je informace o směru otáčení čidla a který nemusí být použit.

Na obr. 2 jsou průběhy signálů v důležitých bodech zapojení podle obr. 1. A je průběh taktovacích impulsů na vstupu 21 binárního děliče 2, B je průběh taktovacích impulsů na inverzním výstupu 22 binárního děliče 2, C a D jsou průběhy signálů na výstupech 11 a 12 převodníku 1, E a F jsou průběhy signálů na přímých výstupech 33 a 43 bistabilních klopných obvodů 3 a 4, G je invertovaný výstup logického obvodu nonekvivalence 7 invertorem 8, H a I jsou výstupy monostabilních klopných obvodů 9 a 10, J je výstup 113 logického součinového hradla 11, K je přímý výstup 53 bistabilního klopného obvodu 5, L je inverzní výstup 63 logického obvodu nonekvivalence 6, M je přímý výstup 134 bistabilního klopného obvodu 13, N je výstup 123 monostabilního klopného obvodu 12, O a P jsou inverzní výstupy 143 a 153 logických součinových hradel 14 a 15.

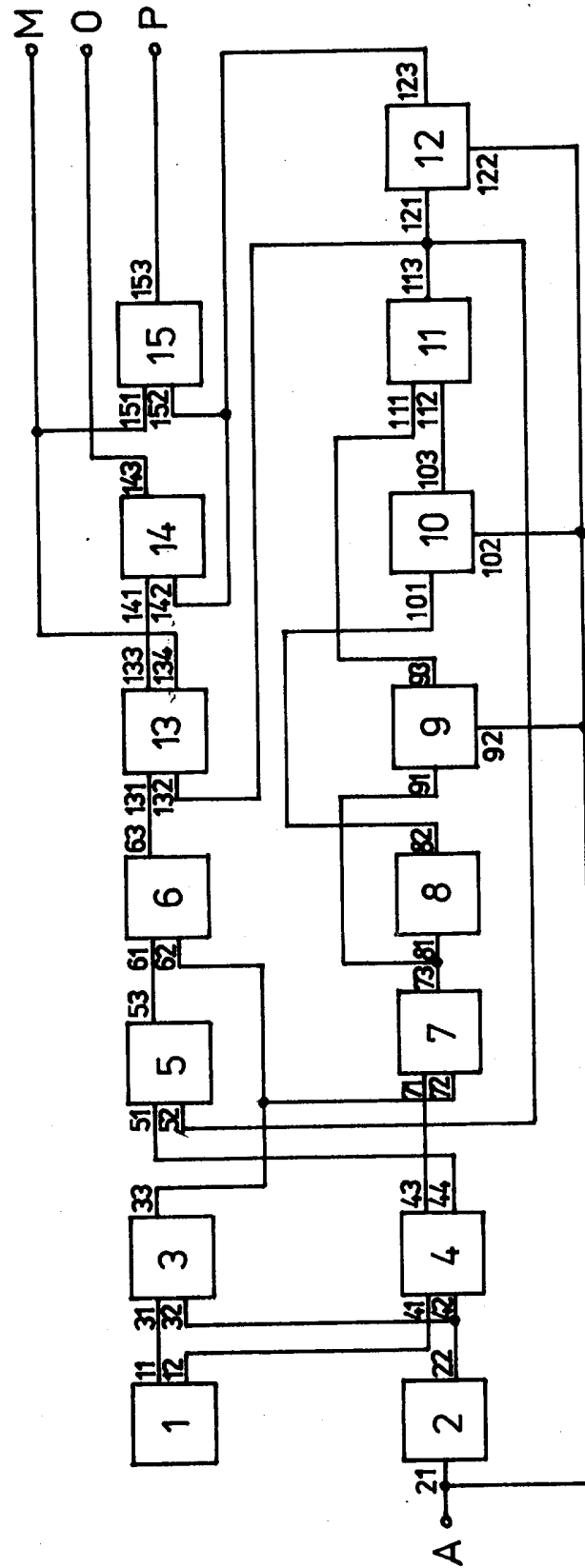
Princip zapojení podle vynálezu je následující: Výstupy 11 a 12 přírůstkového převodníku 1 jsou po řadě připojeny na datové vstupy 31 a 41 bistabilních klopných obvodů 3 a 4, jejichž paralelně spojené taktovací vstupy 32 a 42 jsou připojeny na inverzní výstup 22 binárního děliče 2. Přímé výstupy 33 a 43 bistabilních klopných obvodů 3 a 4 jsou připoje-

ny na vstupy 71 a 72 logického obvodu nonekvivalence 7, přímý výstup 33 bistabilního klopného obvodu 3 je dále připojen na vstup 62 logického obvodu nonekvivalence 6. Inverzní výstup 44 bistabilního klopného obvodu 4 je připojen na datový vstup 51 bistabilního klopného obvodu 5, jehož taktovací vstup 22 je připojen na přímý výstup 113 logického součinnového obvodu 11, který je dále připojen na vstup 121 monostabilního klopného obvodu 12 a na taktovací vstup 132 bistabilního klopného obvodu 13. Přímý výstup 53 bistabilního klopného obvodu 5 je připojen na vstup 61 logického obvodu nonekvivalence 6, jehož inverzní výstup 63 je připojen na datový vstup 131 bistabilního klopného obvodu 13. Přímý výstup 133 bistabilního klopného obvodu 13 je připojen na vstup 141 logického součinnového obvodu 14, inverzní výstup 134 bistabilního klopného obvodu 13 je připojen jednak na vstup 151 logického součinnového obvodu 15, jednak je připojen k vývodní svorce M. Inverzní výstupy 143 a 153 logických součinnových obvodů 14 a 15 jsou připojeny na vývodní svorky Q a P. Inverzní výstup 73 logického obvodu nonekvivalence 7 je připojen jednak přímo na vstup 91 monostabilního klopného obvodu 9, jednak přes invertor 8 na vstup 101 monostabilního klopného obvodu 10. Inverzní výstupy 93 a 103 monostabilních klopných obvodů 9 a 10 jsou připojeny na vstupy 111 a 112 logického součinnového obvodu 11. Inverzní výstup 123 monostabilního klopného obvodu 12 je připojen na paralelně spojené vstupy 142 a 152 logických součinnových obvodů 14 a 15. Paralelně spojené taktovací vstupy 92, 102 a 122 monostabilních klopných obvodů 9, 10 a 12 jsou připojeny na vstupní svorku A, na kterou je zároveň přiváděn vnější taktovací kmitočet.

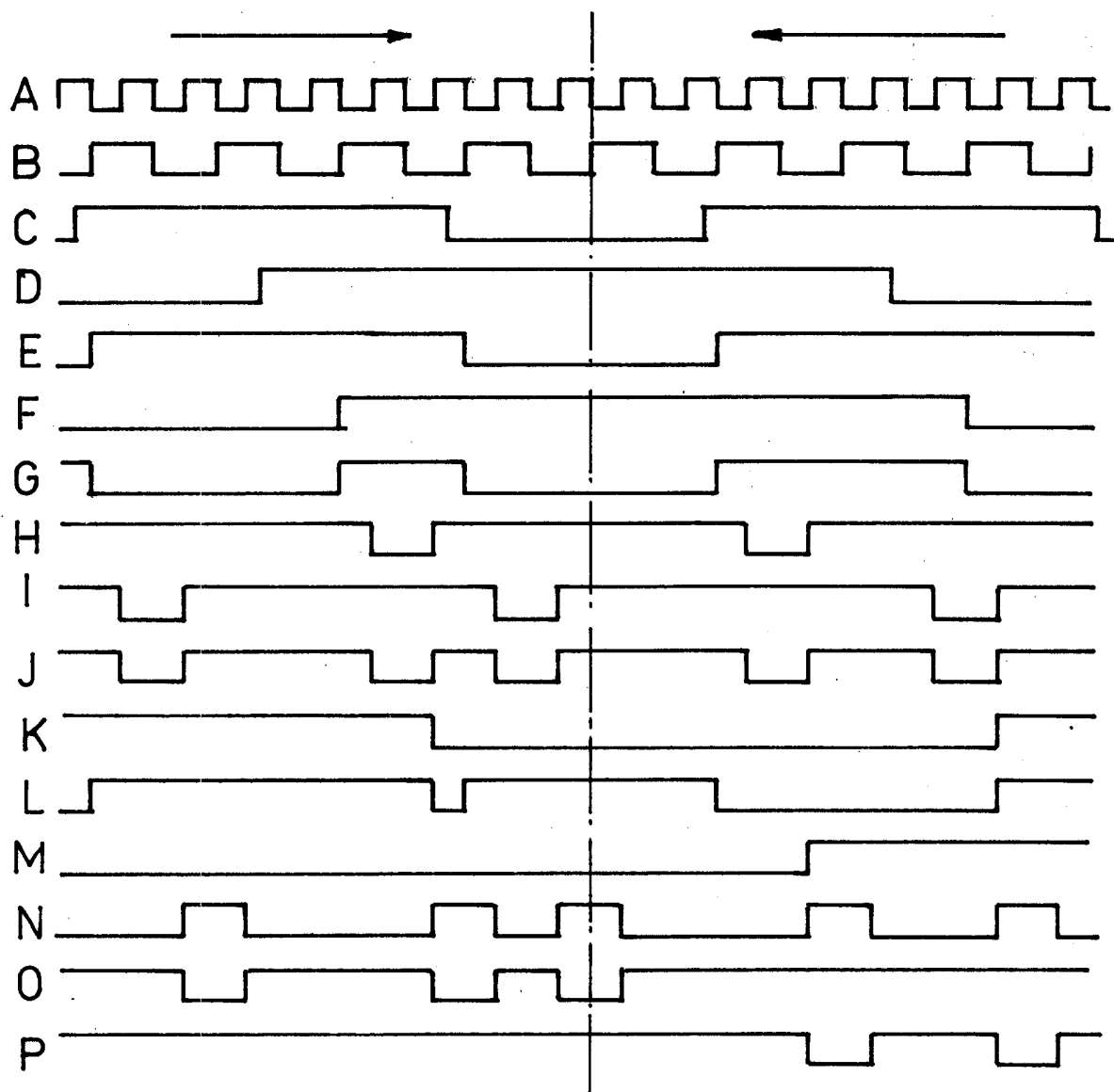
Činnost zapojení je zřejmá z průběhu signálů na obr. 2.

PŘEDMĚT VYNÁLEZU

Zapojení pro synchronní vyhodnocení signálu z přírůstkových mechanicko elektrických převodníků se zvýšenou rozlišovací schopností, vyznačující se tím, že výstupy (11) a (12) přírůstkového převodníku (1) jsou po řadě připojeny na datové vstupy (31, 41) bistabilních klopných obvodů (3, 4), jejichž paralelně spojené taktovací vstupy (32, 42) jsou připojeny na inverzní výstup (22) bistabilního děliče (2), kdežto přímé výstupy (33, 43) bistabilních klopných obvodů (3, 4) jsou připojeny na vstupy (71, 72) logického obvodu nonekvivalence (7), přímý výstup (33) bistabilního klopného obvodu (3) je dále připojen na vstup (62) logického obvodu nonekvivalence (6), zatímco inverzní výstup (44) bistabilního klopného obvodu (4) je připojen na datový vstup (51) bistabilního klopného obvodu (5), jehož taktovací vstup (52) je spojený taktovacím vstupem (132) bistabilního klopného obvodu (13), jenž je dále spojen se vstupem (121) monostabilního klopného obvodu (12) a zároveň je připojen na přímý výstup (113) logického součinnového obvodu (11), přičemž přímý výstup (53) bistabilního klopného obvodu (5) je připojen na vstup (61) logického obvodu nonekvivalence (6), jehož inverzní výstup (63) je připojen na datový vstup (131) bistabilního klopného obvodu (13), jehož přímý výstup (133) je připojen na vstup (141) logického součinnového obvodu (14), kdežto inverzní výstup (134) bistabilního klopného obvodu (13) je připojen jednak na vstup (151) logického součinnového obvodu (15), jednak k vývodní svorce (M), dále inverzní výstupy (143, 153) logických součinnových obvodů (14, 15) jsou připojeny na vývodní svorky (Q, P), zatímco inverzní výstup (73) logického obvodu nonekvivalence (7) je připojen jednak přímo na vstup (91) monostabilního klopného obvodu (9), jednak přes invertor (8) na vstup (101) monostabilního klopného obvodu (10), přičemž inverzní výstupy (93, 103) monostabilních klopných obvodů (9, 10) jsou připojeny na vstupy (111, 112) logického součinnového obvodu (11), inverzní výstup (123) monostabilního klopného obvodu (12) je připojen na paralelně spojené vstupy (142, 152) logických součinnových obvodů (14, 15), přičemž paralelně spojené taktovací vstupy (92, 102, 122) monostabilních klopných obvodů (9, 10, 12) jsou připojeny na vstup (21) binárního děliče (2), který je zároveň připojen ke vstupní svorce (A), na kterou jsou současně přiváděny taktovací pulsy.



Obr. 1



Obr.2