

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-294703
(P2006-294703A)

(43) 公開日 平成18年10月26日(2006.10.26)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 D	4 M 1 0 4
HO 1 L 21/283 (2006.01)	HO 1 L 21/283 B	5 F 1 1 0
HO 1 L 27/12 (2006.01)	HO 1 L 27/12 B	
HO 1 L 21/02 (2006.01)	HO 1 L 29/78 6 2 7 D	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 T	
審査請求 未請求 請求項の数 26 O L (全 22 頁) 最終頁に続く		

(21) 出願番号	特願2005-110250 (P2005-110250)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成17年4月6日(2005.4.6)	(74) 代理人	100077931 弁理士 前田 弘
		(74) 代理人	100113262 弁理士 竹内 祐二
		(74) 代理人	100124349 弁理士 米田 圭啓
		(72) 発明者	福島 康守 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72) 発明者	高藤 裕 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		最終頁に続く	

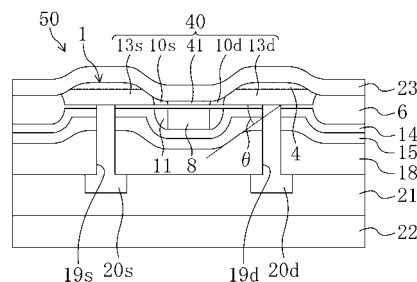
(54) 【発明の名称】 半導体装置の製造方法及び半導体装置並びに液晶表示装置

(57) 【要約】

【課題】半導体基板1に対し、その一部を剥離層17に沿って確実に剥離すると共に、ゲート電極8に対向する領域では比較的薄くする一方、その他の領域では比較的厚く形成することにより、TFT50の特性を向上させる。

【解決手段】半導体基板1にゲート電極8を形成するゲート電極形成工程と、半導体基板1の表面とゲート電極8の表面とに対応して形成される表面段差形状をなだらかな表面段差形状に補償するためのBPSG膜15を、ゲート電極8及び半導体基板1を覆うように形成する絶縁膜形成工程と、半導体基板1に対し、BPSG膜15を介して剥離用物質をイオン注入することにより、剥離層を形成する剥離層形成工程と、半導体基板1の一部を剥離層に沿って分離する分離工程とを行う。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板にゲート電極を形成するゲート電極形成工程と、
上記半導体基板の表面とゲート電極の表面とに対応して形成される表面段差形状をなだらかな表面段差形状に補償するための絶縁膜を、上記ゲート電極及び上記半導体基板を覆うように形成する絶縁膜形成工程と、
上記半導体基板に対し、上記絶縁膜を介して剥離用物質をイオン注入することにより、剥離層を形成する剥離層形成工程と、
上記半導体基板の一部を上記剥離層に沿って分離する分離工程とを備えていることを特徴とする半導体装置の製造方法。

10

【請求項 2】

請求項 1 において、
上記絶縁膜は、上記半導体基板の表面に対する最大傾斜角度が、 $0^\circ < \theta < 50^\circ$ の範囲に規定されていることを特徴とする半導体装置の製造方法。

【請求項 3】

請求項 1 において、
上記絶縁膜形成工程の後に行われ、上記絶縁膜における上記ゲート電極を覆っている部分を薄膜化する薄膜化工程を含むことを特徴とする半導体装置の製造方法。

20

【請求項 4】

請求項 1 において、
上記半導体基板及び上記絶縁膜を覆う平坦化膜を形成する平坦化膜形成工程と、
上記平坦化膜に基板を接合する接合工程とを備え、
上記接合工程は、上記分離工程よりも前に行われることを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 4 において、
上記基板は透明基板であることを特徴とする半導体装置の製造方法。

30

【請求項 6】

請求項 1 において、
上記半導体基板はシリコン基板であることを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 1 において、
上記剥離用物質は、水素及び不活性ガス元素の少なくとも一方であることを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 1 において、
上記ゲート電極は、MOSトランジスタを構成することを特徴とする半導体装置の製造方法。

40

【請求項 9】

請求項 1 において、
上記絶縁膜は、BPSG (Borophosphosilicate glass) 膜であることを特徴とする半導体装置の製造方法。

【請求項 10】

請求項 9 において、
上記BPSG膜は、上記絶縁膜形成工程において900 以上の温度で熱処理されることを特徴とする半導体装置の製造方法。

50

【請求項 1 1】

請求項 1 において、
上記絶縁膜は、S O G (Spin On Glass) 膜であることを特徴とする半導体装置の製造方法。

【請求項 1 2】

請求項 1 において、
上記絶縁膜形成工程の前に行われ、上記ゲート電極に重ならないようにダミーパターンを形成するダミーパターン形成工程を備え、
上記絶縁膜形成工程では、上記ダミーパターン、上記ゲート電極及び上記半導体基板を覆うように、上記絶縁膜を形成することを特徴とする半導体装置。

10

【請求項 1 3】

請求項 4 において、
上記接合工程よりも前に行われ、上記基板に能動素子及び受動素子の少なくとも一方を予め形成する素子形成工程と、
上記ゲート電極が形成された半導体基板に活性領域を形成する活性領域形成工程と、
上記接合工程よりも後に行われ、上記活性領域と、上記基板に形成されている能動素子及び受動素子の少なくとも一方とを電氣的に接続する接続工程とを備えていることを特徴とする半導体装置の製造方法。

20

【請求項 1 4】

半導体層と、
上記半導体層に形成されたゲート電極と、
上記ゲート電極及び上記半導体層を覆うように形成され、上記ゲート電極の表面と半導体層の表面とに対応して形成される表面段差形状をなだらかな表面段差形状に補償するための絶縁膜とを備え、
上記半導体層は、上記絶縁膜の表面段差形状に沿って形成された表面を有していることを特徴とする半導体装置。

【請求項 1 5】

請求項 1 4 において、
上記半導体層の一部は、剥離物質がイオン注入されることにより形成された剥離層に沿って分離されていることを特徴とする半導体装置。

30

【請求項 1 6】

請求項 1 4 において、
上記絶縁膜は、上記半導体層の表面に対する最大傾斜角度が、 $0^\circ < \quad 50^\circ$ の範囲に規定されていることを特徴とする半導体装置。

【請求項 1 7】

請求項 1 4 において、
上記絶縁膜は、上記ゲート電極を覆っている部分が薄膜化して形成されていることを特徴とする半導体装置。

40

【請求項 1 8】

請求項 1 4 において、
上記半導体層及び上記絶縁膜を覆う平坦化膜と、
上記平坦化膜の表面に接合された基板とを備えていることを特徴とする半導体装置。

【請求項 1 9】

請求項 1 8 において、
上記基板は透明基板であることを特徴とする半導体装置。

50

【請求項 20】

請求項 14 において、
上記半導体層はシリコン層である
ことを特徴とする半導体装置。

【請求項 21】

請求項 14 において、
上記剝離用物質は、水素及び不活性ガス元素の少なくとも一方である
ことを特徴とする半導体装置。

【請求項 22】

請求項 14 において、
上記ゲート電極は、MOSトランジスタを構成している
ことを特徴とする半導体装置。

10

【請求項 23】

請求項 14 において、
上記絶縁膜は、BPSG (Borophosphosilicate glass) 膜である
ことを特徴とする半導体装置。

【請求項 24】

請求項 14 において、
上記BPSG膜は、900 以上の温度で熱処理されている
ことを特徴とする半導体装置。

20

【請求項 25】

請求項 18 において、
上記半導体層には、活性領域が形成され、
上記基板には、能動素子及び受動素子の少なくとも一方が、上記活性領域に電氣的に接
続して形成されている
ことを特徴とする半導体装置。

【請求項 26】

複数の薄膜トランジスタが形成されたアクティブマトリクス基板を有する液晶表示装置
であって、

上記薄膜トランジスタは、半導体層と、上記半導体層に形成されたゲート電極と、上記
ゲート電極及び上記半導体層を覆うように形成され、上記ゲート電極の表面と半導体層の
表面とに対応して形成される表面段差形状をなだらかな表面段差形状に補償するための絶
縁膜とを備え、

30

上記半導体層は、上記絶縁膜の表面段差形状に沿って形成された表面を有している
ことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法及び半導体装置並びに液晶表示装置に関するものであ
る。

40

【背景技術】

【0002】

従来より、絶縁層の表面に単結晶のシリコン層が形成されたシリコン基板であるSOI
(Silicon On Insulator) 基板が知られている。SOI基板にトランジスタ等のデバイスを
形成することにより、寄生容量を低減すると共に絶縁抵抗を高くすることができる。す
なわち、デバイスの高集積化や高性能化を図ることができる。上記絶縁層は、例えばシリ
コン酸化膜(SiO₂)により形成されている。

【0003】

上記SOI基板は、デバイスの動作速度を高めると共に寄生容量をさらに低減するため
に、単結晶シリコン層の膜厚を薄く形成することが望ましい。そこで、従来より、シリコ

50

ン基板をガラス基板等の他の基板に貼り合わせた後に、シリコン基板の一部を分離除去することにより、SOI基板を作製する方法が知られている（例えば、非特許文献1参照）。

【0004】

ここで、上記貼り合わせによるSOI基板の作製方法について、図28～図31を参照して説明する。なお、SOI層の薄膜化の方法は、機械研磨や化学ポリッシングやポーラスシリコンを利用した手法など種々あるが、ここでは、水素注入による方法について示す。まず、図28に示すように、第1の基板であるシリコン基板201の表面を酸化処理することにより、絶縁層である酸化シリコン（ SiO_2 ）層202を形成する。次に、図29に示すように、酸化シリコン（ SiO_2 ）層202を介してシリコン基板201中に、剥離用物質である水素をイオン注入する。このことにより、シリコン基板201の所定の深さ位置に剥離層である水素注入層204を形成する。続いて、RCA洗浄等の基板表面洗浄処理を行った後、図30に示すように、上記酸化シリコン層202の表面に第2の基板である例えばシリコン基板203を貼り付ける。その後、熱処理を行うことにより、水素イオン注入深さ部分にマイクロクラックが形成されるため、図31に示すように、シリコン基板201の一部を上記水素注入層204に沿って分離する。こうして、シリコン基板201を薄膜化してシリコン層201を形成する。なお、分離後、必要に応じて研磨、エッチング等の種々の手法によって所望の膜厚に薄膜化し、また、熱処理等により水素注入によって生成される結晶欠陥修復やシリコン表面の平滑化等を行う。

10

【0005】

以上のようにして、シリコン基板（第2の基板）203の表面に SiO_2 層（絶縁層）202が形成されると共に、 SiO_2 層202の表面にシリコン層201が薄く形成されたSOI基板が作製される。

20

【非特許文献1】Michel Bruel, "Smart-Cut: A New Silicon On Insulator Material Technology Based on Hydrogen Implantation and Wafer Bonding", Jpn. J. Appl. Phys., Vol. 36(1997), pp. 1636-1641

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明者らは、MOSトランジスタ等の半導体素子を有する半導体基板に対し、水素注入層を形成して半導体基板の一部を分離することにより、半導体素子を他の基板上に薄膜化して製造できることを見出した。このことにより、上記他の基板を透明基板とすることによって、半導体層が薄膜化された半導体装置を、液晶表示装置に適用することが可能となる。

30

【0007】

ところで、上記他の基板に半導体素子であるトランジスタを薄膜化して形成した場合、そのゲート電極に対向して形成されるチャンネル領域は、シリコン層が50～100nm以下程度に薄いことが望ましい。なぜなら、チャンネル領域のシリコン層を薄く形成することにより完全空乏型のSOI動作が可能となって、Bulkシリコントランジスタに比べて優れたサブスレッシュホールド特性が得られるためである。その結果、トランジスタの低電圧化、高速化、及び低消費電力化を図ることができる。特に、スケール則によりゲート長が短くなるに連れてチャンネル領域の不純物元素濃度を高くする必要があるため、シリコン層は薄くすることが好ましい。この点で、本発明者らが見出した上記半導体層が薄膜化された半導体装置は好適である。

40

【0008】

しかしながら、トランジスタのソース領域及びドレイン領域では、シリコン層を薄くすると、それに逆比例してシート抵抗が大きくなるため、寄生抵抗が増大し、ソース領域及びドレイン領域におけるコンタクト抵抗も増大してしまう。すなわち、シリコン層を薄くし過ぎると、トランジスタの性能を低下させる要因となる。このように、半導体層を薄膜化することは、ゲート電極に対向する領域においては好ましいが、その他の領域において

50

は問題になってしまう。

【0009】

本発明は、斯かる諸点に鑑みてなされたものであり、その目的とするところは、半導体基板に対し、その一部を剥離層に沿って確実に剥離すると共に、ゲート電極に対向する領域では比較的薄くする一方、その他の領域では比較的厚く形成することにより、半導体装置の特性を向上させることにある。

【課題を解決するための手段】

【0010】

すなわち、半導体装置の特性を向上させるためには、チャンネル領域では半導体層の厚みを小さくする一方、ソース領域及びドレイン領域では半導体層の厚みを比較的大きくすることが有効であると考えられる。したがって、本発明者らは、半導体層における剥離層の深さを、チャンネル領域において比較的浅くする一方、ソース領域及びドレイン領域において比較的深くすることを考えた。

10

【0011】

ところが、本発明者らの実験により、剥離用物質の半導体層への注入深さの分布（つまり剥離層の深さ）が、その最大傾斜角度が70°程度以上に急峻に変化した場合には、半導体層を剥離層に沿って分離させようとする、その急峻な変化位置の近傍で予期せぬ分離が起こってしまい、剥離層に沿って上手く分離できないことを確認している。

【0012】

そこで、上記の目的を達成するために、この発明では、半導体基板の表面とゲート電極の表面とに対応して形成される表面段差形状をなだらかな表面段差形状に補償するための絶縁膜を設けるようにした。

20

【0013】

具体的に、本発明に係る半導体装置の製造方法は、半導体基板にゲート電極を形成するゲート電極形成工程と、上記半導体基板の表面とゲート電極の表面とに対応して形成される表面段差形状をなだらかな表面段差形状に補償するための絶縁膜を、上記ゲート電極及び上記半導体基板を覆うように形成する絶縁膜形成工程と、上記半導体基板に対し、上記絶縁膜を介して剥離用物質をイオン注入することにより、剥離層を形成する剥離層形成工程と、上記半導体基板の一部を上記剥離層に沿って分離する分離工程とを備えている。

【0014】

上記絶縁膜は、上記半導体基板の表面に対する最大傾斜角度が、 $0^\circ < \theta < 50^\circ$ の範囲に規定されていることが好ましい。

30

【0015】

上記絶縁膜形成工程の後に行われ、上記絶縁膜における上記ゲート電極を覆っている部分を薄膜化する薄膜化工程を含むようにしてもよい。

【0016】

上記半導体基板及び上記絶縁膜を覆う平坦化膜を形成する平坦化膜形成工程と、上記平坦化膜に基板を接合する接合工程とを備え、上記接合工程は、上記分離工程よりも前に行われることが好ましい。

【0017】

上記基板は透明基板であってもよい。

40

【0018】

上記半導体基板はシリコン基板であることが好ましい。

【0019】

上記剥離用物質は、水素及び不活性ガス元素の少なくとも一方であることが好ましい。

【0020】

上記ゲート電極は、MOSトランジスタを構成するようにしてもよい。

【0021】

上記絶縁膜は、BPSG (Borophosphosilicate glass) 膜であることが好ましい。

【0022】

50

上記BPSG膜は、上記絶縁膜形成工程において900以上の温度で熱処理されるようにしてもよい。

【0023】

上記接合工程よりも前に行われ、上記基板に能動素子及び受動素子の少なくとも一方を予め形成する素子形成工程と、上記ゲート電極が形成された半導体基板に活性領域を形成する活性領域形成工程と、上記接合工程よりも後に行われ、上記活性領域と、上記基板に形成されている能動素子及び受動素子の少なくとも一方とを電氣的に接続する接続工程とを備えていることが好ましい。

【0024】

また、本発明に係る半導体装置は、半導体層と、上記半導体層に形成されたゲート電極と、上記ゲート電極及び上記半導体層を覆うように形成され、上記ゲート電極の表面と半導体層の表面とに対応して形成される表面段差形状をなだらかな表面段差形状に補償するための絶縁膜とを備え、上記半導体層は、上記絶縁膜の表面段差形状に沿って形成された表面を有している。

10

【0025】

上記半導体層の一部は、剥離物質がイオン注入されることにより形成された剥離層に沿って分離されていることが好ましい。

【0026】

上記絶縁膜は、上記半導体層の表面に対する最大傾斜角度が、 $0^\circ < \theta < 50^\circ$ の範囲に規定されていることが好ましい。

20

【0027】

上記絶縁膜は、上記ゲート電極を覆っている部分が薄膜化して形成されていてもよい。

【0028】

上記半導体層及び上記絶縁膜を覆う平坦化膜と、上記平坦化膜の表面に接合された基板とを備えていることが好ましい。

【0029】

上記基板は透明基板であってもよい。

【0030】

上記半導体層はシリコン層であることが好ましい。

【0031】

上記剥離用物質は、水素及び不活性ガス元素の少なくとも一方であることが好ましい。

30

【0032】

上記ゲート電極は、MOSトランジスタを構成しているようにしてもよい。

【0033】

上記絶縁膜は、BPSG (Borophosphosilicate glass) 膜であることが好ましい。

【0034】

上記BPSG膜は、900以上の温度で熱処理されていてもよい。

【0035】

上記絶縁膜は、SOG (Spin On Glass) 膜であってもよい。

【0036】

上記絶縁膜形成工程の前に行われ、上記ゲート電極に重ならないようにダミーパターンを形成するダミーパターン形成工程を備え、上記絶縁膜形成工程では、上記ダミーパターン、上記ゲート電極及び上記半導体基板を覆うように、上記絶縁膜を形成するようにしてもよい。

40

【0037】

上記半導体層には、活性領域が形成され、上記基板には、能動素子及び受動素子の少なくとも一方が、上記活性領域に電氣的に接続して形成されていることが好ましい。

【0038】

また、本発明に係る液晶表示装置は、複数の薄膜トランジスタが形成されたアクティブマトリクス基板を有する液晶表示装置であって、上記薄膜トランジスタは、半導体層と、

50

上記半導体層に形成されたゲート電極と、上記ゲート電極及び上記半導体層を覆うように形成され、上記ゲート電極の表面と半導体層の表面とに対応して形成される表面段差形状をなだらかな表面段差形状に補償するための絶縁膜とを備え、上記半導体層は、上記絶縁膜の表面段差形状に沿って形成された表面を有している。

【0039】

- 作用 -

次に、本発明の作用について説明する。

【0040】

本発明により半導体装置を製造する場合には、まずゲート電極形成工程において、半導体基板にゲート電極を形成する。その結果、半導体基板には、該半導体基板の表面とゲート電極の表面とに対応して表面段差形状が形成される。

10

【0041】

続いて、絶縁膜形成工程において、上記ゲート電極及び半導体基板を覆うように絶縁膜を形成する。このことにより、上記半導体基板の表面とゲート電極の表面とに対応して形成される表面段差形状は、急峻な表面段差形状であっても、上記絶縁膜に覆われることにより、上記表面段差形状はなだらかな表面段差形状に補償される。上記絶縁膜には、例えばBPSG膜が好適である。

【0042】

尚、上記絶縁膜形成工程の前に、ダミーパターン形成工程を行い、ゲート電極に重ならないようにダミーパターンを形成しておくことで、絶縁膜の表面段差形状のなだらかさを調節することが可能となる。

20

【0043】

次に、剥離層形成工程において、上記半導体基板に対し、上記絶縁膜を介して剥離用物質をイオン注入する。その結果、半導体基板には剥離用物質が注入された剥離層が形成される。このとき、剥離用物質は、上記絶縁膜の表面に沿った深さ位置に注入されるため、剥離層の深さ位置を、上記なだらかな表面段差形状である絶縁膜表面に沿ってなだらかに変化させることができる。言い換えれば、剥離用物質をイオン注入する基板表面が上記絶縁膜によってなだらかな表面段差形状に補償されるため、剥離層の深さ位置を急峻に変化させないようにすることが可能となる。

【0044】

その後、分離工程において、上記半導体基板の一部は、深さ位置がなだらかに変化する上記剥離層に沿って分離される。その結果、残った半導体基板の厚みは、自己整合的に、ゲート電極が設けられている領域において比較的薄く形成される一方、ゲート電極が設けられていない領域において比較的厚く形成されることとなる。

30

【0045】

上記絶縁膜における表面段差形状は、仮に、その最大傾斜角度が 50° よりも大きくなると、剥離層が急峻に変化することとなるため、分離工程において、半導体基板の一部が予期せぬ位置で分離してしまい、半導体基板の一部を剥離層に沿って分離させることができない。一方、最大傾斜角度が 0° では、絶縁膜の表面をなだらかな表面段差形状に形成することができない。したがって、最大傾斜角度が $0^\circ < \quad 50^\circ$ に規定することによって、なだらかな表面段差形状の剥離層に沿って、半導体基板の一部を剥離させることが可能となる。

40

【0046】

特に、絶縁膜形成工程の後に、薄膜化工程を行い、絶縁膜におけるゲート電極を覆っている部分を薄膜化することにより、半導体基板におけるゲート電極の下方の領域において、剥離層を深い位置に形成することが可能となる。

【0047】

また、平坦化膜形成工程において半導体基板及び絶縁膜を平坦化膜で覆うと共に、接合工程において平坦化膜の表面に基板を接合し、その後、上記分離工程を行うことによって、一部が剥離層に沿って分離されることで薄型化されると共にゲート電極等が形成され

50

た半導体基板の残りの部分を上記基板へ移すことが可能となる。

【0048】

また、素子形成工程において、上記基板に能動素子及び受動素子の少なくとも一方を予め形成する一方、活性領域形成工程において半導体基板に活性領域を形成する。その後、接合工程の後に、接続工程を行い、上記活性領域と、上記能動素子及び受動素子の少なくとも一方とを電氣的に接続することが可能である。

【発明の効果】

【0049】

本発明によれば、半導体基板の表面とゲート電極の表面とに対応して形成される表面段差形状が急峻であっても、これら半導体基板及びゲート電極を絶縁膜によって覆うことにより、なだらかな表面段差形状に補償することができる。そのことにより、剥離用物質は、半導体基板である半導体層に対し、なだらかな絶縁膜の表面形状に沿った深さ位置に注入されるため、剥離層の深さ位置をなだらかに変化させることができ、剥離層の深さ位置を急峻に変化させないようにすることができる。そのため、半導体基板の一部を、剥離層に沿って確実に剥離することができる。

10

【0050】

また、このとき、剥離層の深さ位置を、ゲート電極に対向する領域では浅く形成すると共に、その他の領域では深く形成することができるため、半導体基板を、ゲート電極に対向する領域では比較的薄くする一方、その他の領域では比較的厚く形成することができる。その結果、半導体装置の特性を向上させることができる。

20

【発明を実施するための最良の形態】

【0051】

以下、本発明の実施形態を図面に基づいて詳細に説明する。尚、本発明は、以下の実施形態に限定されるものではない。

【0052】

《発明の実施形態1》

図1～図16及び図27は、本発明の実施形態1を示している。図1は、本発明に係る半導体装置の実施形態である薄膜トランジスタ（以降、TFTと略称する）50を示す断面図である。また、図2～図16は、TFT50の製造方法を説明する断面図であり、図27は、本発明の実施形態である液晶表示装置Sの要部を概略的に示す断面図である。

30

【0053】

液晶表示装置Sは、図27に示すように、アクティブマトリクス基板42と、このアクティブマトリクス基板42に対向して設けられた対向基板43と、これらの基板42, 43の間に形成された液晶層44とを備えている。

【0054】

上記アクティブマトリクス基板42には、複数の画素（図示省略）が設けられ、図1に示すような複数のTFT50が各画素毎に形成されている。また、アクティブマトリクス基板42は、液晶層44側の表面に配向膜45が設けられると共に、液晶層44とは反対側の表面に偏光板46が積層されている。また、アクティブマトリクス基板42には、各TFT50を駆動制御するためのICドライバ（図示省略）が設けられている。

40

【0055】

上記対向基板43には、図示を省略するが、カラーフィルタやITOからなる共通電極等が形成されている。また、対向基板43は、液晶層44側の表面に配向膜47が設けられると共に、液晶層44とは反対側の表面に偏光板48が積層されている。また、上記液晶層44は、アクティブマトリクス基板42と対向基板43との間に介在されたスペーサ49によって封止されている。こうして、液晶表示装置Sは、TFT50により液晶層44における液晶分子の配向状態を制御して、所望の表示を行うようになっている。

【0056】

尚、本実施形態では、各画素における表示を制御するTFT50を例に挙げて、本発明に係る半導体装置を説明するが、本発明は、例えば上記ICドライバに用いられるトラン

50

ジスタとしても適用することができる。また、1つのNMOSトランジスタであるTF T 50について説明し、PMOSトランジスタについては説明しないが、イオン注入時の不純物の導電型を適宜変更することにより、NMOSトランジスタと同様に形成することができる。また、半導体装置は複数のNMOSトランジスタやPMOSトランジスタが同一の半導体基板上に作り込まれた構造となっている。また、各トランジスタは、LOCOS法やトレンチアイソレーション等により適宜素子分離されている。

【0057】

上記TF T 50は、図1に示ように、透明基板であるガラス基板22に形成され、活性領域40を含む半導体層1と、ゲート電極8とを備えている。

【0058】

ガラス基板22には、第1の平坦化膜である絶縁膜21と、第2の平坦化膜である層間絶縁膜18と、絶縁膜であるBPSG (Borophosphosilicate glass: ボロンリンガラス) 膜15と、絶縁膜14とがこの順に積層されている。言い換えれば、絶縁膜21及び層間絶縁膜18は、半導体層1及びBPSG膜15を覆うように設けられている。そして、ガラス基板22は、絶縁膜21の表面に接合されている。また、BPSG膜は、900以上の温度で熱処理されている。

【0059】

層間絶縁膜18とBPSG膜15との界面は、なだらかな表面段差形状に形成されている。すなわち、層間絶縁膜18とBPSG膜15との界面は、ガラス基板22側に窪んだ領域と、その両側に形成されて半導体層1側へ突出した領域とを有し、上記各領域がなだらかに連続してつながっている。上記BPSG膜15は、上記層間絶縁膜18とBPSG膜15との界面において、半導体層1の表面に対する最大傾斜角度が、 $0^\circ < \theta < 50^\circ$ の範囲に規定されている。

【0060】

一方、BPSG膜15と絶縁膜14との界面には、比較的急峻な表面段差形状が形成されている。すなわち、BPSG膜15と絶縁膜14との界面は、上記層間絶縁膜18とBPSG膜15との界面における凹凸形状に応じて、ガラス基板22側に窪んだ領域と、半導体層1側に突出した領域とを有しているが、これらの領域は不連続に急峻な角度でつながっている。

【0061】

絶縁膜14の半導体層1側の表面は、ガラス基板22側へ窪んでおり、ゲート酸化膜7とLOCOS酸化膜6とが形成されている。ゲート酸化膜7と上記絶縁膜14との間には、ゲート電極8とサイドウォール11とが形成されている。サイドウォール11はゲート電極8の左右両側面にそれぞれ形成されている。

【0062】

上記絶縁膜21には、層間絶縁膜18との界面においてソース電極20s及びドレイン電極20dが形成されている。また、上記層間絶縁膜18、BPSG膜15、絶縁膜14及びゲート酸化膜7には、これらの各膜18, 15, 14, 7を貫通するコンタクトホール19s, 19dが形成され、導電性材料が充填されている。コンタクトホール19s内の導電性材料はソース電極20sと一体に形成される一方、コンタクトホール19d内の導電性材料はドレイン電極20dと一体に形成されている。

【0063】

上記ゲート酸化膜7の表面には、半導体層1が形成されている。半導体層1は、シリコン層であって、例えばホウ素等のP型不純物が注入されたPウェル領域4と、活性領域40とにより構成されている。半導体層1は、LOCOS酸化膜6によって隣り合う他の半導体層(図示省略)との間が分離された状態で、絶縁膜である保護膜23により被覆されている。

【0064】

半導体層1におけるガラス基板22側の表面は平面に形成される一方、保護膜23側の表面は、BPSG膜15の表面段差形状に沿って形成された表面を有している。つまり、

10

20

30

40

50

半導体層 1 における保護膜 2 3 側の表面は、上記層間絶縁膜 1 8 と B P S G 膜 1 5 との界面の形状と略同じなだらかな表面段差形状に形成されている。半導体層 1 は、このなだらかな段差形状の表面側において、剥離用物質がイオン注入されることにより形成されていた剥離層に沿って、その半導体層 1 の一部が分離されている。剥離用物質には、水素及び不活性ガス元素の少なくとも一方を適用することができる。

【 0 0 6 5 】

活性領域 4 0 は、チャネル領域 4 1 と、その左右両側に形成された低濃度不純物領域 1 0 s , 1 0 d と、さらにその左右両側に形成された高濃度不純物領域 1 3 s , 1 3 d とにより構成されている。上記低濃度不純物領域 1 0 s , 1 0 d 及び高濃度不純物領域 1 3 s , 1 3 d には、例えばリン等の N 型不純物が注入されている。低濃度不純物領域 1 0 s , 1 0 d は、いわゆる L D D 領域を構成している。また、高濃度不純物領域 1 3 s はソース領域を構成する一方、高濃度不純物領域 1 3 d はドレイン領域を構成している。

10

【 0 0 6 6 】

チャネル領域 4 1 は、ゲート酸化膜 7 を介して上記ゲート電極 8 に対向して形成されている。また、低濃度不純物領域 1 0 s , 1 0 d は、ゲート酸化膜 7 を介して上記サイドウォール 1 1 に対向して形成されている。そして、高濃度不純物領域 1 3 s にはコンタクトホール 1 9 s を介してソース電極 2 0 s が接続される一方、高濃度不純物領域 1 3 d にはコンタクトホール 1 9 d を介してソース電極 2 0 s が接続されている。

【 0 0 6 7 】

こうして、ガラス基板 2 2 には M O S トランジスタである T F T 5 0 が形成され、半導体層 1 は、ゲート電極 8 に対向している領域（つまりチャネル領域 4 1 ）が比較的薄く形成される一方、その他の領域（例えば高濃度不純物領域 1 3 s , 1 3 d ）が比較的厚く形成されている。さらに、B P S G 膜 1 5 は、ゲート電極 8 及び半導体層 1 を覆うように形成され、ゲート電極 8 の表面と半導体層 1 の表面とに対応して形成されて急峻な傾斜面を含む表面段差形状を、なだらかな表面段差形状に補償するように構成されている。

20

【 0 0 6 8 】

- 製造方法 -

次に、本発明に係る半導体装置の製造方法について説明する。

【 0 0 6 9 】

本実施形態の製造方法には、酸化膜形成工程と、ゲート電極形成工程と、活性領域形成工程と、絶縁膜形成工程と、剥離層形成工程と、平坦化膜形成工程と、接合工程と、分離工程と、保護膜形成工程とが含まれる。

30

【 0 0 7 0 】

すなわち、酸化膜形成工程では、半導体基板 1（上述の半導体層 1 に相当する）に P ウェル領域 4 を形成すると共に、L O C O S 酸化膜 6 及びゲート酸化膜 7 を形成する。図 2 に示すように、まず、シリコン基板である半導体基板 1 に熱酸化膜 2 を形成し、P 型不純物元素 3（例えばホウ素）を半導体基板 1 の内部にイオン注入する。続いて、図 3 に示すように、上記半導体基板 1 に熱処理を行い、イオン注入された P 型不純物元素 3 を拡散すると共に活性化させることによって、P ウェル領域 4 を形成する。

【 0 0 7 1 】

次に、図 4 に示すように、熱酸化膜 2 の表面に窒化珪素膜 5 を形成した後に、後工程で活性領域 4 0 を形成する領域に窒化珪素膜 5 をパターンニングして残す。続いて、熱酸化膜 2 及び半導体基板 1 に対して L O C O S 酸化を行い、図 5 に示すように、窒化珪素膜 5 の左右両側に L O C O S 酸化膜 6 を形成する。次に、図 6 に示すように、窒化珪素膜 5 及び熱酸化膜 2 を一旦除去した後に、熱酸化膜 2 が形成されていた領域にゲート酸化膜 7 を形成する。

40

【 0 0 7 2 】

次に行うゲート電極形成工程では、図 7 に示すように、ゲート酸化膜 7 の表面に積層した導電性材料をフォトリソグラフィ法等によりパターンニングして、後に N M O S トランジスタ（つまり T F T 5 0 ）を構成するゲート電極 8 を半導体基板 1 に形成する。

50

【0073】

次に、活性領域形成工程では、上記半導体基板1のPウェル領域4に活性領域40を形成する。すなわち、図8に示すように、まず、ゲート電極8をマスクとして、リン等のN型不純物元素9をイオン注入し、N型低濃度不純物領域10s, 10dを形成する。続いて、ゲート酸化膜7の表面にCVD等によりSiO₂膜を形成した後、異方性ドライエッチングを行うことにより、図9に示すように、ゲート電極8の両側壁にサイドウォール11を形成する。

【0074】

続いて、図10に示すように、ゲート電極8及びサイドウォール11をマスクとして、リン等のN型不純物元素12をイオン注入することにより、N型高濃度不純物領域13s, 13dを形成する。その結果、低濃度不純物領域10s, 10dは、ゲート酸化膜7を介してサイドウォール11に対向する領域に形成されることとなる。その後、図11に示すように、SiO₂等の絶縁膜14を形成した後、上記低濃度不純物領域10s, 10d及び高濃度不純物領域13s, 13dに対して熱処理を行い、イオン注入した不純物元素の活性化を行う。このことにより、LDD領域を有する活性領域40を形成する。

【0075】

次に行う絶縁膜形成工程では、図11に示すように、絶縁膜14の表面に絶縁膜であるBPSG膜15を積層した後に、このBPSG膜15に対して900以上の温度で熱処理を行う。このことにより、BPSG膜15の表面段差形状をなだらかにしてBPSGリフロー膜15を形成する。尚、上記N型不純物の活性化は、BPSG膜15の熱処理と兼ねて行うようにしてもよい。

【0076】

このことにより、半導体基板1の表面とゲート電極8の表面とに対応して形成される比較的急峻な表面段差形状を、BPSG膜15のなだらかな表面段差形状に補償する。このとき、半導体基板1の表面に対するBPSG膜15の最大傾斜角度を $0^\circ < \theta < 50^\circ$ の範囲に規定する。

【0077】

すなわち、BPSG膜15における表面段差形状は、仮に、その最大傾斜角度が 50° よりも大きいと、剥離層17の段差形状が急峻に変化することとなるため、後の分離工程において、半導体基板1の一部が予期せぬ位置で分離してしまい、半導体基板1の一部を剥離層17に沿って分離させることができない。一方、最大傾斜角度が 0° では、絶縁膜の表面をなだらかな表面段差形状に形成することができない。したがって、最大傾斜角度は $0^\circ < \theta < 50^\circ$ に規定することによって、なだらかな表面段差形状の剥離層17に沿って、半導体基板1の一部を剥離させることが可能となる。

【0078】

次に、剥離層形成工程では、図12に示すように、上記半導体層1のPウェル領域に対し、上記BPSG膜15を介して水素や、He及びNe等の不活性ガス元素からなる剥離用物質16をイオン注入することにより、剥離層17を形成する。このとき、剥離用物質16は、なだらかなBPSG膜15の表面形状に沿った深さ位置に注入されるため、剥離層17は、その深さ位置がなだらかに変化するように形成される。

【0079】

次に、平坦化膜形成工程では、図13に示すように、半導体基板1及びBPSG膜15を覆うようにSiO₂膜を形成し、CMP (Chemical Mechanical Polishing) 等により平坦化することにより、層間絶縁膜18を形成する。

【0080】

続いて、図14に示すように、ソース電極20s及びドレイン電極20dを形成する。すなわち、上記層間絶縁膜18、BPSG膜15、絶縁膜14、及びゲート酸化膜7を貫通するコンタクトホール19s, 19dを形成する。コンタクトホール19sは、上記高濃度不純物領域(ソース領域)13sの上方位置に形成する一方、コンタクトホール19dは、上記高濃度不純物領域(ドレイン領域)13dの上方位置に形成する。そして、電

10

20

30

40

50

極材料である導電性材料を、上記コンタクトホール19s, 19dの内部と層間絶縁膜18の表面とに設けた後にパターニングすることによって、コンタクトホール19sの上方位置にソース電極20sを形成する一方、コンタクトホール19dの上方位置にドレイン電極20dを形成する。その後、絶縁膜21を形成した後に、CMP等により表面を平坦化する。

【0081】

次に、接合工程において、図15に示すように、絶縁膜21の表面を洗浄した後に、その平坦化された表面にガラス基板22を接合する。

【0082】

次に行う分離工程では、図16に示すように、400~600程度の温度で熱処理を行う。このことにより、Pウェル領域4を含む半導体基板1の一部を剥離層17に沿って分離して、TFT50をガラス基板22の上に移す。尚、本実施形態では、分離工程において一部が分離された半導体基板1を、半導体層1と称する。

【0083】

次に、保護膜形成工程では、図17に示すように、剥離層17をエッチング等により取り除いた後、チャンネル領域41の薄膜化すると共に、LOCOS酸化膜6を露出させて素子分離を行うために、半導体層1をエッチングする。その後、露出した半導体層1の表面を保護し、電気絶縁性を確保するため、保護膜である絶縁膜23を形成する。以上の工程によりガラス基板22上にTFT50を製造する。

【0084】

- 実施形態1の効果 -

したがって、この実施形態1によると、半導体基板1の表面とゲート電極8の表面とに対応して形成される表面段差形状が急峻であっても、これら半導体基板1及びゲート電極8を絶縁膜であるBPSG膜15によって覆うことにより、その急峻な表面段差形状をなだらかな表面段差形状に補償することができる。そのことにより、剥離用物質16は、半導体基板1に対し、なだらかなBPSG膜15の表面形状に沿った深さ位置に注入されるため、剥離層17の深さ位置をなだらかに変化させることができる。その結果、剥離層17の深さ位置（言い換えれば段差形状）を急峻に変化させないようにすることができるため、半導体基板1の一部を、剥離層17に沿って確実に剥離することができる。

【0085】

さらに、剥離層17の深さ位置を、ゲート電極8に対向する領域（つまりチャンネル領域41）では浅く形成すると共に、その他の領域（例えばソース領域13s及びドレイン領域13d）では深く形成することができるため、チャンネル領域41を比較的薄くする一方、ソース領域13s及びドレイン領域13dを比較的厚く形成することができる。その結果、完全空乏型のSOI動作を可能としつつソース領域13s及びドレイン領域13dにおけるシート抵抗を低減できるため、TFT50の特性を向上させることができる。

【0086】

ところで、例えばフォトリソグラフィ法等の非自己整合法（ノンセルフアライン）により、チャンネル領域41を部分的に薄膜化して形成しようとする、その薄膜化しようとする半導体層1の領域と、ゲート電極8を形成する領域との間で、位置ずれが必然的に生じてしまう。そのため、位置ずれを考慮したマージンを設ける必要があるため、素子寸法の増大を招く結果となる。この問題は、ゲート長が短くなるほど顕著となり、素子の集積度が低下すると共に、トランジスタ特性のばらつきの要因ともなるので、上記非自己整合法を適用することは望ましくない。

【0087】

これに対し、本実施形態では、チャンネル領域41の薄膜化を自己整合的（セルフアライン）により形成できるため、上述の問題は生じない。すなわち、位置ずれを考慮したマージンを設ける必要がないため、素子寸法を縮小して素子の集積度を向上させると共にトランジスタ特性のばらつきを抑制することができる。

【0088】

10

20

30

40

50

《 発明の実施形態 2 》

図 17 は、本発明の実施形態 2 を示している。尚、以降の各実施形態では、図 1 ~ 図 16 と同じ部分については同じ符号を付して、その詳細な説明を省略する。

【 0089 】

本実施形態の TFT50 は、ソース電極 20s がガラス基板 22 に予め形成されていた電気素子 27 である能動素子及び受動素子の少なくとも一方に対して電氣的に接続されている。

【 0090 】

すなわち、図 17 に示すように、ガラス基板 22 へ移された TFT50 は、ガラス基板 22 の表面に形成された絶縁膜 26 と共に保護膜 23 により被覆されている。また、ソース電極 20s は、側方へ延長されている。上記ソース電極 20s の延長部分の上方位置には、層間絶縁膜 18、BPSG 膜 15、絶縁膜 14、LOCOS 酸化膜 6 及び保護膜 23 を貫通するコンタクトホール 24a が形成されている。

【 0091 】

一方、ガラス基板 22 に形成された電気素子 27 の上方位置には、保護膜 23 を貫通するコンタクトホール 24b が形成されている。そして、金属材料等が、上記各コンタクトホール 24a、24b 内に充填されると共に保護膜 23 の表面にパターンニングされてメタル配線 25 が形成されている。こうして、上記ソース電極 20s と電気素子 27 とは、メタル配線 25 を介して電氣的に接続されている。

【 0092 】

本実施形態の TFT50 を製造する方法は、素子形成工程と、接続工程とを備えている。すなわち、素子形成工程は、上記実施形態 1 で説明した接合工程よりも前に行われ、ガラス基板 22 に絶縁膜 26 を積層し、その絶縁膜 26 の表面に電気素子 27 を予め形成しておく。そして、接続工程は、上記接合工程よりも後に行われ、上記電気素子 27 を、活性領域 40 のソース領域 13s に対し、メタル配線 25 及びソース電極 20s を介して電氣的に接続する。

【 0093 】

尚、電気素子 27 に接続する対象は、ソース電極 20s に限らずドレイン電極 20d や、図示を省略しているが、メタル配線層を介したゲート電極 28 であってもよいのは勿論である。

【 0094 】

《 発明の実施形態 3 》

図 18 ~ 図 20 は、本発明の実施形態 3 を示している。

【 0095 】

本実施形態の TFT50 は、図 20 に示すように、BPSG 膜 15 が少なくともゲート電極 8 を覆っている部分において薄膜化して形成されている。すなわち、BPSG 膜 15 の表面段差形状は、薄膜化されることにより修正され、チャンネル領域 41 に対向する BPSG 膜 15 の表面が、半導体層 1 側に近付けられている。このことにより、本実施形態では、ソース領域 13s 及びドレイン領域 13d における BPSG 膜 15 の厚みと、チャンネル領域 41 における BPSG 膜 15 の厚みとの差が、上記実施形態 1 に比べて小さくなっている。

【 0096 】

本実施形態の TFT50 を製造する方法には、薄膜化工程が含まれる。

【 0097 】

薄膜化工程は、上記実施形態 1 における絶縁膜形成工程の後に行う。そして、図 18 に示すように、CMP 法により BPSG 膜 15 における少なくともゲート電極 8 を覆っている部分を薄膜化する。このことにより、チャンネル領域 41 における BPSG 膜 15 の表面の高さと、ソース領域 13s 及びドレイン領域 13d における BPSG 膜 15 の表面の高さとの差を小さく調整することが可能となる。

【 0098 】

続いて、剥離層形成工程において、図19に示すように、厚みが部分的に小さくなったBPSG膜15を介して水素や、He及びNe等の不活性ガス元素からなる剥離用物質16をイオン注入することにより、剥離層17を形成する。その後、上記実施形態1と同様に、平坦化膜形成工程、接合工程、分離工程、及び保護膜形成工程を経て、図20に示すように、TFT50を製造する。

【0099】

したがって、本実施形態によると、上記実施形態1と同様の効果が得れることに加え、チャンネル領域41と、ソース領域13s及びドレイン領域13dとにそれぞれ形成される剥離層17の高さの差を調整して小さくすることができるので、ゲート電極8の厚みに拘わらず、ガラス基板22に形成されるTFT50のチャンネル領域41とソース領域13s及びドレイン領域13dとにおける半導体層1の厚みの差を最適値に調整することが可能となる。その結果、トランジスタ特性の最適化を図ることができる。

【0100】

《発明の実施形態4》

図21～図23は、本発明の実施形態4を示している。

【0101】

上記実施形態1では、半導体基板1上の表面段差形状を補償するための絶縁膜として、BPSG膜15を適用したのに対し、本実施形態では、SOG(Spin On Glass)膜30を適用している。したがって、半導体基板1上の急峻な表面段差形状は、SOG膜30によってなだらかな表面段差形状に補償されている。

【0102】

本実施形態のTFT50を製造する場合には、図21に示すように、上記実施形態1における絶縁膜形成工程において、絶縁膜14の表面にSOG膜30を塗布して形成する。このことにより、硬化前のSOG膜30が流動性を有しているため、ゲート電極8上の段差形状を容易な方法でなだらかに形成できると共に、その段差自体を小さくすることができる。

【0103】

続いて、剥離層形成工程において、図22に示すように、厚みが部分的に小さくなったSOG膜30を介して水素や、He及びNe等の不活性ガス元素からなる剥離用物質16をイオン注入することにより、剥離層17を形成する。その後、上記実施形態1と同様に、平坦化膜形成工程、接合工程、分離工程、及び保護膜形成工程を経て、図23に示すように、TFT50を製造する。

【0104】

したがって、本実施形態によると、上記実施形態1と同様の効果を得ることができる。さらに、なだらかな表面段差形状を容易に形成することができる。

【0105】

《発明の実施形態5》

図24～図26は、本発明の実施形態5を示している。

【0106】

本実施形態のTFT50は、図26に示すように、BPSG膜15の表面が、ソース領域13s及びドレイン領域13dに対向する部分において高く形成されている。すなわち、ソース領域13s及びドレイン領域13dに対向する部分では、絶縁膜14の表面にBPSG膜15を嵩増しするためのダミーパターン34が形成されている。

【0107】

このことにより、ソース領域13s及びドレイン領域13dに対向するBPSG膜15の表面が半導体基板1とは反対側へ移動するため、半導体基板1の表面とゲート電極8の表面とに対応して形成される表面段差形状は、BPSG膜15によってなだらかな表面段差形状に補償されている。

【0108】

本実施形態のTFT50を製造する場合には、上記実施形態1における絶縁膜形成工程

10

20

30

40

50

の前に、ダミーパターン形成工程を行う。このダミーパターン形成工程では、図 2 4 に示すように、半導体基板 1 の上である絶縁膜 1 4 の表面に対し、例えば SiO_2 の膜を形成した後に、フォトリソグラフィ法等によりパターンニングしてダミーパターン 3 4 を形成する。

【0109】

続いて、絶縁膜形成工程では、上記ダミーパターン 3 4、ゲート電極 8 及び半導体基板 1 を覆うように、BPSG 膜 1 5 を形成すると共に、900 以上の温度で熱処理を行うことにより、図 2 5 に示すように、BPSG 膜 1 5 の表面をなだらかな表面段差形状にする。

【0110】

次に、剥離層形成工程において、図 2 6 に示すように、ソース領域 1 3 s 及びドレイン領域 1 3 d に対向する領域において表面が部分的に高くなった BPSG 膜 1 5 を介して水素や、He 及び Ne 等の不活性ガス元素からなる剥離用物質 1 6 をイオン注入することにより、剥離層 1 7 を形成する。その後、上記実施形態 1 と同様に、平坦化膜形成工程、接合工程、分離工程、及び保護膜形成工程を経て TFT 5 0 を製造する。

【0111】

したがって、この実施形態によると、上記実施形態 3 と同様に、チャンネル領域 4 1 と、ソース領域 1 3 s 及びドレイン領域 1 3 d とにそれぞれ形成される剥離層 1 7 の高さの差を調整して小さくすることができるので、ゲート電極 8 の厚みに拘わらず、ガラス基板 2 2 に形成される TFT 5 0 のチャンネル領域 4 1 とソース領域 1 3 s 及びドレイン領域 1 3 d とにおける半導体層 1 の厚みの差を最適値に調整することが可能となる。その結果、トランジスタ特性の最適化を図ることができる。

【産業上の利用可能性】

【0112】

以上説明したように、本発明は、半導体装置の製造方法及び半導体装置並びに液晶表示装置について有用であり、特に、半導体基板に対し、その一部を剥離層に沿って確実に剥離すると共に、ゲート電極に対向する領域では比較的薄くする一方、その他の領域では比較的厚く形成することにより、半導体装置の特性を向上させる場合に適している。

【図面の簡単な説明】

【0113】

【図 1】実施形態 1 の TFT を拡大して示す断面図である。

【図 2】酸化膜形成工程において半導体基板に形成された熱酸化膜を示す断面図である。

【図 3】酸化膜形成工程において半導体基板に形成された P ウェル領域を示す断面図である。

【図 4】酸化膜形成工程において形成された窒化珪素膜を示す断面図である。

【図 5】酸化膜形成工程において形成された LOCOS 酸化膜を示す断面図である。

【図 6】酸化膜形成工程において形成されたゲート酸化膜を示す断面図である。

【図 7】ゲート電極形成工程において形成されたゲート電極を示す断面図である。

【図 8】活性領域形成工程において形成された低濃度不純物領域を示す断面図である。

【図 9】活性領域形成工程において形成されたサイドウォールを示す断面図である。

【図 10】活性領域形成工程において形成された高濃度不純物領域を示す断面図である。

【図 11】絶縁膜形成工程において形成された BPSG 膜を示す断面図である。

【図 12】剥離層形成工程において形成された剥離層を示す断面図である。

【図 13】平坦化膜形成工程において形成された層間絶縁膜を示す断面図である。

【図 14】平坦化膜形成工程において形成された平坦化膜及び電極を示す断面図である。

【図 15】接合工程において接合されたガラス基板を示す断面図である。

【図 16】分離工程において一部が分離された半導体層を示す断面図である。

【図 17】実施形態 2 の TFT を拡大して示す断面図である。

【図 18】実施形態 3 の薄膜化工程において薄膜化された BPSG 膜を示す断面図である。

【図 19】実施形態 3 の剥離層形成工程において形成された剥離層を示す断面図である。

【図 20】実施形態 3 の T F T を拡大して示す断面図である。

【図 21】実施形態 4 の絶縁膜形成工程において形成された S O G 膜を示す断面図である。

【図 22】実施形態 4 の剥離層形成工程において形成された剥離層を示す断面図である。

【図 23】実施形態 4 の T F T を拡大して示す断面図である。

【図 24】実施形態 5 のダミーパターン形成工程において形成されたダミーパターンを示す断面図である。

【図 25】実施形態 5 の絶縁膜形成工程において形成された B P S G 膜を示す断面図である。

【図 26】実施形態 5 の剥離層形成工程において形成された剥離層を示す断面図である。

【図 27】実施形態 1 の液晶表示装置の要部を模式的に示す断面図である。

【図 28】従来の S O I 基板の作製工程において、酸化シリコン層を形成した状態を示す図である。

【図 29】従来の S O I 基板の作製工程において、水素注入層を形成した状態を示す図である。

【図 30】従来の S O I 基板の作製工程において、ガラス基板に貼り付けた状態を示す図である。

【図 31】従来の S O I 基板の作製工程において、シリコン層の一部を分離した状態を示す図である。

【符号の説明】

【 0 1 1 4 】

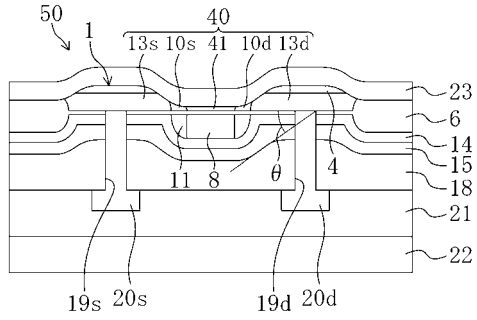
S	液晶表示装置
	絶縁膜の最大傾斜角度
1	半導体基板（半導体層）
7	ゲート酸化膜
15	B P S G 膜（絶縁膜）
16	剥離用物質
17	剥離層
18	層間絶縁膜（第 2 の平坦化膜）
21	絶縁膜（第 1 の平坦化膜）
22	ガラス基板（基板）
27	電気素子（能動素子、受動素子）
30	S O G 膜
34	ダミーパターン
40	活性領域
50	T F T（半導体装置、薄膜トランジスタ）
52	アクティブマトリクス基板

10

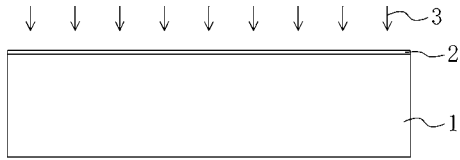
20

30

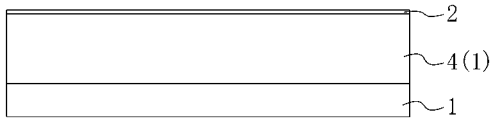
【 図 1 】



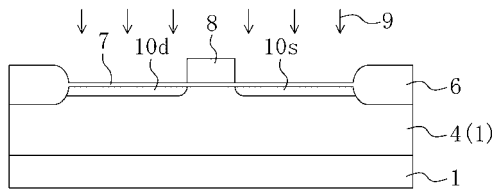
【 図 2 】



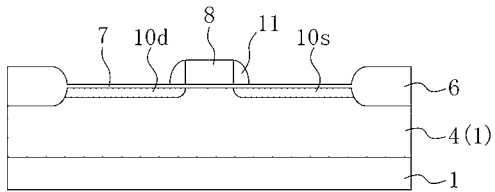
【 図 3 】



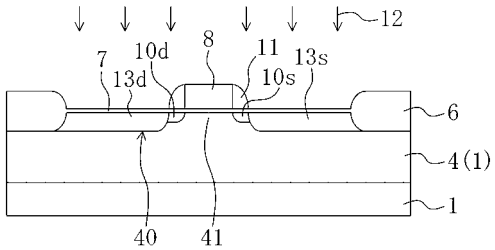
【 図 8 】



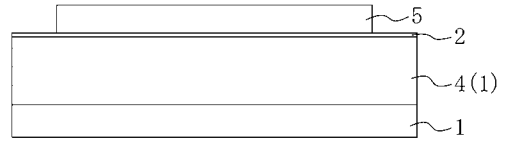
【 図 9 】



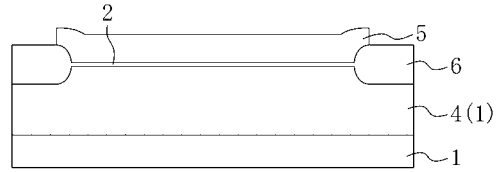
【 図 1 0 】



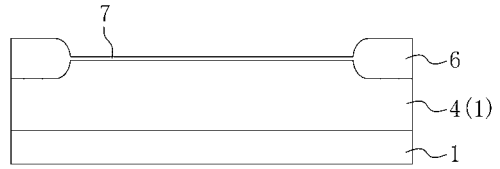
【 図 4 】



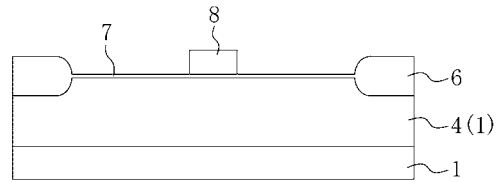
【 図 5 】



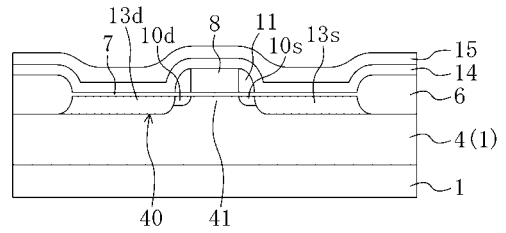
【 図 6 】



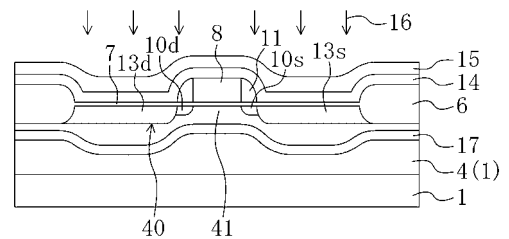
【 図 7 】



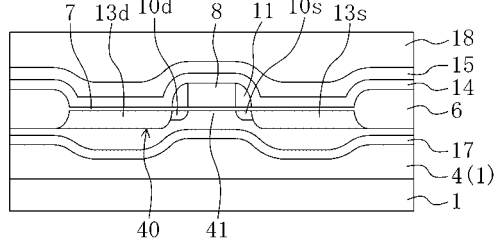
【 図 1 1 】



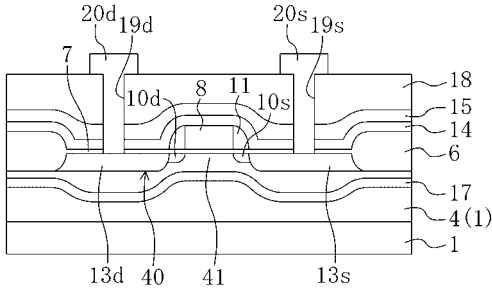
【 図 1 2 】



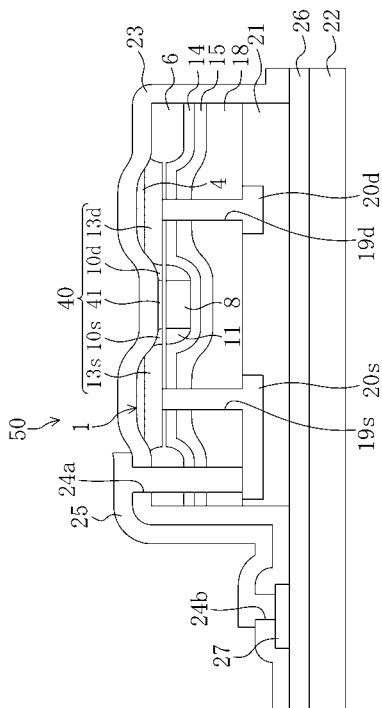
【 図 1 3 】



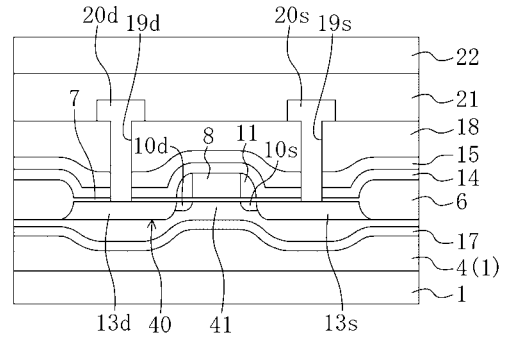
【 図 1 4 】



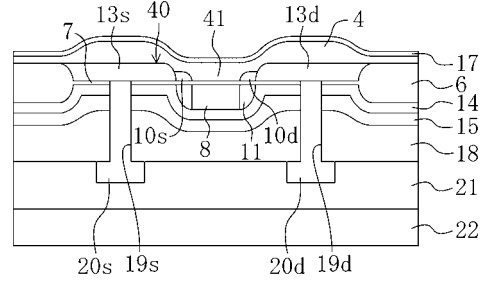
【 図 1 7 】



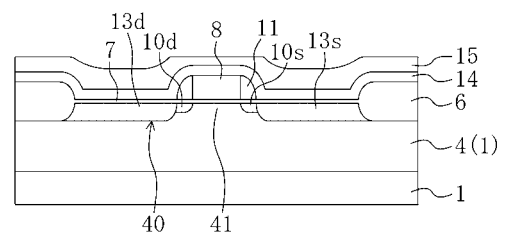
【 図 1 5 】



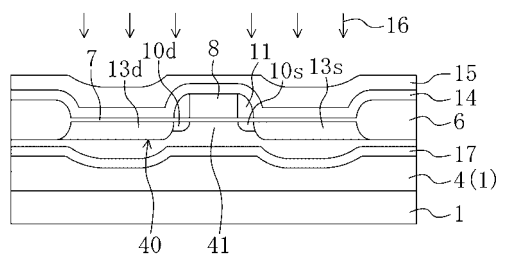
【 図 1 6 】



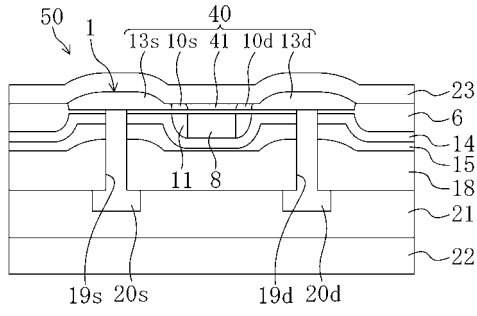
【 図 1 8 】



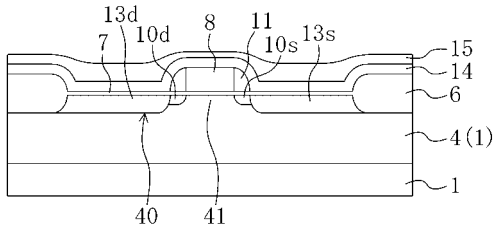
【 図 1 9 】



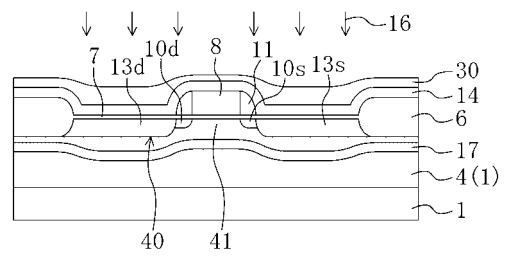
【図 2 0】



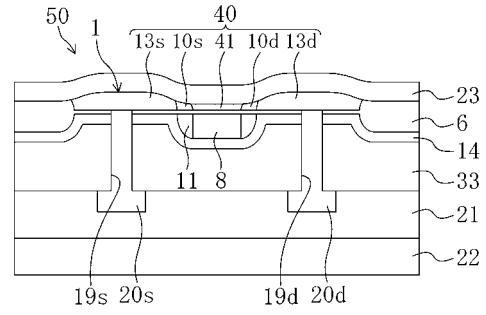
【図 2 1】



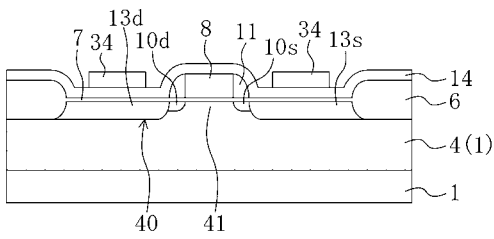
【図 2 2】



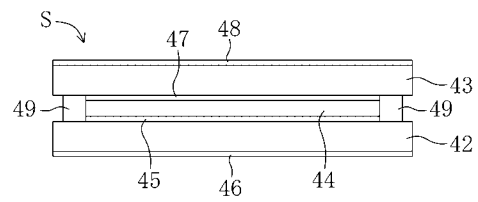
【図 2 3】



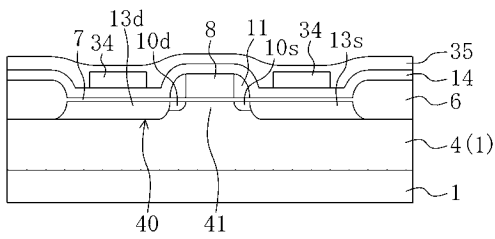
【図 2 4】



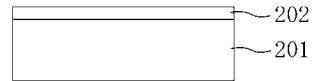
【図 2 7】



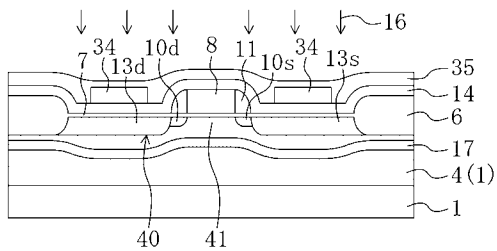
【図 2 5】



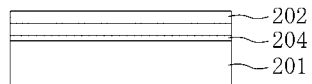
【図 2 8】



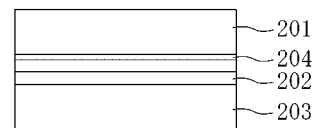
【図 2 6】



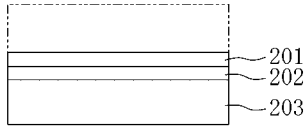
【図 2 9】



【図 3 0】



【 図 3 1 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78 6 1 6 L

Fターム(参考) 4M104 AA01 AA09 AA10 EE05 EE15 GG09 HH12
5F110 AA01 AA09 BB02 CC04 DD02 DD11 EE32 EE42 FF02 GG02
GG12 GG22 GG32 GG52 GG58 HJ01 HJ13 HJ23 HM02 HM15
NN03 NN05 NN22 NN23 NN33 NN36 NN40 NN65 NN66 NN72
QQ11 QQ16 QQ19