

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-10371

(P2010-10371A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8238 (2006.01)	H O 1 L 27/08 3 2 1 C	4 K O 3 O
H O 1 L 27/092 (2006.01)	H O 1 L 27/08 3 3 1 A	5 F O 3 2
H O 1 L 27/08 (2006.01)	H O 1 L 29/78 3 O 1 R	5 F O 3 3
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 O 1 N	5 F O 4 8
H O 1 L 21/76 (2006.01)	H O 1 L 21/76 L	5 F O 5 8
審査請求 未請求 請求項の数 10 O L (全 13 頁) 最終頁に続く		

(21) 出願番号 特願2008-167620 (P2008-167620)
 (22) 出願日 平成20年6月26日 (2008. 6. 26)

(71) 出願人 308014341
 富士通マイクロエレクトロニクス株式会社
 東京都新宿区西新宿二丁目7番1号
 (74) 代理人 100091340
 弁理士 高橋 敬四郎
 (74) 代理人 100105887
 弁理士 来山 幹雄
 (72) 発明者 ビディン セルゲイ
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 Fターム(参考) 4K030 AA06 AA14 BA44 FA10
 5F032 AA35 AA44 AA45 AA46 AA77
 CA03 CA17 DA02 DA04 DA23
 DA33

最終頁に続く

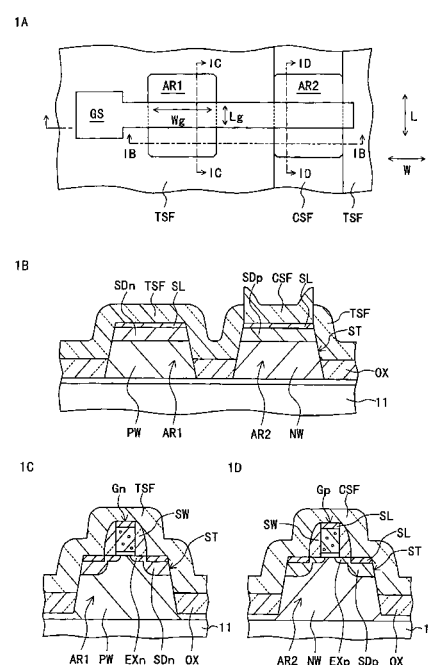
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】 (修正有)

【課題】 S T I の圧縮応力を減少し、チャンネル方向とチャンネル幅方向の応力を印加することにより、駆動能力を増大したC M O S 半導体装置とその製造方法を提供する。

【解決手段】 半導体装置は、N M O S F E T 用活性領域 A R 1、P M O S F E T 用活性領域 A R 2 を画定する素子分離溝 S T と、素子分離溝の下部のみを埋め、その上に凹部を画定する酸化シリコン膜 O X と、N M O S F E T 領域 A R 1 に形成された N M O S F E T と、P M O S F E T 領域 A R 2 に形成された P M O S F E T と、N M O S F E T 構造を覆い、N M O S F E T 用活性領域 A R 1 の周囲における凹部上及び P M O S F E T 用活性領域 A R 2 のゲート幅方向外側における凹部上に延在して形成された引張応力膜 T S F と、P M O S F E T 構造を覆い、P M O S F E T 用活性領域 A R 2 のチャンネル長方向外側における凹部上に延在して形成された圧縮応力膜 C S F とを有する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板表面部に形成され、NMOSFET用活性領域、PMOSFET用活性領域を画定する素子分離溝と、

前記素子分離溝の下部のみを埋め、その上に凹部を画定する酸化シリコン膜と、

前記NMOSFET用活性領域に形成され、絶縁ゲート電極構造、n型ソース／ドレイン領域を有するNMOSFET構造と、

前記PMOSFET用活性領域に形成され、絶縁ゲート電極構造、p型ソース／ドレイン領域を有するPMOSFET構造と、

前記NMOSFET構造を覆い、前記NMOSFET用活性領域周囲の前記凹部上及び前記PMOSFET用活性領域のゲート幅方向外側における前記凹部上に延在して形成された引張応力膜と、

前記PMOSFET構造を覆い、前記PMOSFET用活性領域のチャンネル長方向外側における前記凹部上に延在して形成された圧縮応力膜と、
を有する半導体装置。

【請求項 2】

前記NMOSFET構造と前記PMOSFET構造とが平行なチャンネル長方向を有し、前記引張応力膜、前記圧縮応力膜が前記チャンネル長方向に沿ったストライプ状に形成されている請求項 1 記載の半導体装置。

【請求項 3】

前記凹部の深さは、前記ソース／ドレイン領域より深く、前記素子分離溝の深さの半分以下である請求項 1 または 2 記載の半導体装置。

【請求項 4】

前記引張応力膜、前記圧縮応力膜が接している請求項 1 ～ 3 のいずれか 1 項記載の半導体装置。

【請求項 5】

前記引張応力膜、圧縮応力膜が窒化シリコン膜である請求項 1 ～ 4 のいずれか 1 項記載の半導体装置。

【請求項 6】

(a) 半導体基板表面部に、NMOSFET用活性領域、PMOSFET用活性領域を画定する素子分離溝を形成する工程と；

(b) 前記素子分離溝に圧縮応力を有する酸化シリコン膜を埋め込む工程と、

(c) NMOSFET用活性領域に絶縁ゲート電極構造、n型ソース／ドレイン領域を有するNMOSFET構造、前記PMOSFET用活性領域に絶縁ゲート電極構造、p型ソース／ドレイン領域を有するPMOSFET構造を形成する工程と；

(d) 前記素子分離溝に埋め込まれた酸化シリコン膜の上部を除去し、凹部を形成する工程と、

(e) 前記NMOSFET用活性領域を覆い、前記NMOSFET用活性領域周囲の前記凹部上及び前記PMOSFET用活性領域のチャンネル幅方向外側における前記凹部上に延在する引張応力絶縁膜を形成する工程と、

(f) 前記PMOSFET用活性領域を覆い、前記PMOSFET用活性領域のチャンネル長方向外側における前記凹部上に延在する圧縮応力絶縁膜を形成する工程と、
を含む半導体装置の製造方法。

【請求項 7】

前記工程 (e) が、前記半導体基板上に引張応力絶縁膜を堆積し、前記PMOSFET用活性領域、および前記PMOSFET用活性領域のチャンネル長方向外側における前記凹部の上から前記引張応力絶縁膜を除去し、

前記工程 (f) が、前記半導体基板上に圧縮応力絶縁膜を堆積し、前記NMOSFET用活性領域、前記NMOSFET用活性領域周囲の前記凹部及び前記PMOSFET用活

性領域のチャネル幅方向外側における前記凹部の上から前記圧縮応力絶縁膜を除去する、請求項 6 記載の半導体装置の製造方法。

【請求項 8】

前記工程 (e) における引張応力膜、前記工程 (f) における圧縮応力膜が、窒化シリコン膜である請求項 7 記載の半導体装置の製造方法。

【請求項 9】

前記工程 (e) が、前記引張応力膜を熱 CVD で形成し、前記工程 (f) が前記圧縮応力膜をプラズマ CVD で形成する請求項 8 記載の半導体装置の製造方法。

【請求項 10】

前記工程 (e)、(f) の内、先に行われる工程が前記窒化シリコン膜の上に酸化シリコンカーバー膜を堆積し、前記酸化シリコンカーバー膜を前記窒化シリコン膜と同一パターンにエッチングし、前記工程 (e)、(f) の内、後に行われる工程が前記酸化シリコンカーバー膜をエッチングストップとして使用する請求項 8 又は 9 記載の半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置とその製造方法に関し、特に半導体基板上に応力絶縁膜を有する半導体装置とその製造方法に関する。

【背景技術】

20

【0002】

半導体集積回路装置は、その構成要素である MOSFET をスケールリング則に従って微細化してきた。微細化された MOSFET はその動作速度を向上する。微細化とともに、集積度も増大できる。半導体中の電荷キャリアの移動度は、応力の影響も受けることが知られている。

【0003】

特開 2003-86708 号は、(001) Si 面上に形成したチャネル方向 $\langle 110 \rangle$ の MOSFET において、NMOS のドレイン電流は、チャネル方向、および直交方向の引張応力と共に増大し、PMOS のドレイン電流は、チャネルに直交する方向の引張応力と共に増大し、チャネルに平行な方向の引張応力と共に減少したと報告する。チャネル長方向の応力の効果は、チャネルに直交する方向の応力の効果より大きい。

30

【0004】

特開 2006-13322 号は、NMOSFET、PMOSFET における、ゲート長（チャネル長）方向、ゲート幅（チャネル幅）方向、深さ方向の応力とドレイン電流との関係を記載する。NMOSFET の駆動能力は、ゲート長方向の引張応力、ゲート幅方向の引張応力で向上する。PMOSFET の駆動能力は、ゲート長方向の圧縮応力、ゲート幅方向の引張応力で向上する。チャネル長方向に関しては、NMOSFET は引張応力によって、PMOSFET は圧縮応力によって駆動能力が増加し、チャネル幅（ゲート幅）方向に関しては、NMOSFET も PMOSFET も引張応力によって駆動力が向上することになる。

40

【0005】

MOSFET 間の素子分離は、シャロートレンチアイソレーション (STI) 構造により行われるようになった。素子間に分離用の溝を設け、溝内に絶縁膜を埋め込む。酸化シリコン膜の埋込特性がよいため、埋込材料として酸化シリコンが使用されている。酸化シリコン膜の真性応力は圧縮応力であり、熱処理を行なうにつれて、その圧縮応力は高くなる。STI の圧縮応力によって、シリコン結晶は圧縮歪を生じる。

【0006】

STI の圧縮応力は、PMOSFET のチャネル長方向に関しては、駆動力を向上するが、PMOSFET のチャネル幅方向、NMOSFET のチャネル長方向、チャネル幅方向に関して駆動力を低下させる要素となる。

50

【0007】

半導体装置の製造工程においては、通常MOSトランジスタ構造を形成し、層間絶縁膜で覆った後、層間絶縁膜を貫通してMOSトランジスタの電極領域を露出するコンタクト孔形成工程を含む。コンタクト孔を制御性よく形成するため、層間絶縁膜はエッチングストップ膜とその上の絶縁膜で形成される。エッチングストップ膜としては、主に引張応力を示す窒化シリコン膜が用いられる。圧縮応力を有する窒化シリコン膜も知られている。

【0008】

特開2003-86708号は、NMOSFETは引張応力を有する膜で覆い、PMOSFETは、圧縮応力を有する膜で覆うことを提案する。NMOSFET領域には引張応力を付与し、PMOSFET領域には圧縮応力を付与することにより、CMOSFETの特性は向上する。

10

【0009】

特開2006-13322号は、NMOSFETは引張応力膜で覆い、PMOSFETは圧縮応力膜で覆い、PMOSFETのゲート幅方向で活性領域外の圧縮応力を解放することを提案する。PMOSFETのゲート幅方向の圧縮応力を減少させることにより、駆動力の低下を抑制できる。

【0010】

特開2008-66484号は、NMOSFETは引張応力膜で覆い、PMOSFETは圧縮応力膜で覆うと共に、その境界を、ゲート幅方向に関して、NMOSFETよりPMOSFETに近づけることを提案する。境界をPMOSFETに近づけることにより、駆動力が向上する。

20

【0011】

【特許文献1】特開2003-86708号公報

【特許文献2】特開2006-13322号公報

【特許文献3】特開2008-66484号公報 トランジスタの微細化と共に、トランジスタの寸法（長さ、幅）も狭くなる。トランジスタの長さ、幅が小さいほど、STIの圧縮応力によってチャネル領域の受けるチャネル長方向、チャネル幅方向の圧縮歪は大きくなる。従って、微細化が進むにつれて、トランジスタの駆動力低下の問題は重要な問題になる。

【0012】

30

65nmルール以降のテクノロジー世代では、性能向上のために、NMOSFETは引張応力窒化シリコン膜で覆い、PMOSFETは圧縮応力窒化シリコン膜で覆う構造が用いられている。通常、NMOSFET領域上に引張応力窒化シリコン膜を堆積し、PMOSFET領域上から引張応力窒化シリコン膜を削除し、圧縮応力窒化シリコン膜を堆積する。NMOSFET領域上から圧縮応力窒化シリコン膜を削除し、引張応力窒化シリコン膜のみを残す。

【発明の開示】

【発明が解決しようとする課題】

【0013】

40

PMOSFETは、駆動能力を向上する応力が、チャネル長方向とチャネル幅方向とで異なる。チャネル長方向に関して駆動能力を向上する圧縮応力膜をPMOSFETを覆って堆積すると、チャネル幅方向に関しては駆動能力低下の原因となる。

【0014】

本発明の目的は、チャネル方向の応力と共に、チャネル幅方向の応力も利用して、性能を向上させた半導体装置とその製造方法を提供することである。

【0015】

本発明の他の目的は、STIの一部をより好適な応力膜で置き換えて、チャネル方向の応力と共に、チャネル幅方向の応力を効率的に印加することにより、駆動能力を増大することのできる半導体装置とその製造方法を提供することである。

【課題を解決するための手段】

50

【0016】

本発明の1観点によれば、
半導体基板と、

前記半導体基板表面部に形成され、NMOSFET用活性領域、PMOSFET用活性領域を画定する素子分離溝と、

前記素子分離溝の下部のみを埋め、その上に凹部を画定する酸化シリコン膜と、

前記NMOSFET用活性領域に形成され、絶縁ゲート電極構造、n型ソース／ドレイン領域を有するNMOSFET構造と、

前記PMOSFET用活性領域に形成され、絶縁ゲート電極構造、p型ソース／ドレイン領域を有するPMOSFET構造と、

前記NMOSFET構造を覆い、前記NMOSFET用活性領域周囲の前記凹部上及び前記PMOSFET用活性領域のゲート幅方向外側における前記凹部上に延在して形成された引張応力膜と、

前記PMOSFET構造を覆い、前記PMOSFET用活性領域のチャネル長方向外側における前記凹部上に延在して形成された圧縮応力膜と、
を有する半導体装置
が提供される。

【0017】

本発明の他の観点によれば、

(a) 半導体基板表面部に、NMOSFET用活性領域、PMOSFET用活性領域を画定する素子分離溝を形成する工程と；

(b) 前記素子分離溝に圧縮応力を有する酸化シリコン膜を埋め込む工程と、

(c) NMOSFET用活性領域に絶縁ゲート電極構造、n型ソース／ドレイン領域を有するNMOSFET構造、前記PMOSFET用活性領域に絶縁ゲート電極構造、p型ソース／ドレイン領域を有するPMOSFET構造を形成する工程と；

(d) 前記素子分離溝に埋め込まれた酸化シリコン膜の上部を除去し、凹部を形成する工程と、

(e) 前記NMOSFET用活性領域を覆い、前記NMOSFET用活性領域周囲の前記凹部上及び前記PMOSFET用活性領域のチャネル幅方向外側における前記凹部上に延在する引張応力絶縁膜を形成する工程と、

(f) 前記PMOSFET用活性領域を覆い、前記PMOSFET用活性領域のチャネル長方向外側における前記凹部上に延在する圧縮応力絶縁膜を形成する工程と、
を含む半導体装置の製造方法
が提供される。

【発明の効果】

【0018】

STIの酸化シリコン膜の上部が除去されているため、STIが発生する圧縮応力は減少する。STIが除去された凹部に応力膜が形成され、好適な応力を発生する。素子分離溝下部には酸化シリコン膜が残されるので、その後の応力膜埋込は容易になる。

【0019】

NMOSFETを覆う引張応力絶縁膜をNMOSFET用活性領域周囲の凹部に延在させると共に、PMOSFET用活性領域のチャネル幅方向外側の凹部にも延在させることにより、PMOSFETのチャネル幅方向に引張応力を印加できるようになる。

【発明を実施するための最良の形態】

【0020】

以下、図面を参照して、本発明の実施例によるCMOS（相補型MOS）半導体装置を説明する。

【0021】

図1Aは、CMOS（相補型MOS）半導体装置の平面レイアウトを概略的に示す平面図である。図1Aに示すように、活性領域AR1、AR2を画定するように、シリコン基

10

20

30

40

50

板表層部を選択的にエッチングして素子分離溝を形成し、絶縁膜を堆積して素子分離溝を埋め込んだシャロートレンチ型の素子分離領域が形成される。活性領域A R 1、A R 2の図中面内縦方向中間位置を横方向に横断するように絶縁ゲート電極構造G Sが形成される。

【0022】

活性領域A R 1、A R 2の縦方向がソース・ドレイン間をキャリアが移動するゲート長方向L_gないし長さ方向L、横方向がキャリアが移動する断面積を画定するゲート幅方向W_gないし幅方向Wとなる。後述するように、活性領域A R 1にはN M O S F E T構造が形成され、活性領域A R 2にはP M O S F E T構造が形成される。

【0023】

素子分離領域は、当初シリコン基板をエッチングした素子分離溝を埋め込み特性のよい酸化シリコン膜で埋め込んで形成される。N M O S F E T構造、P M O S F E T構造形成後、表面から埋め込み酸化シリコン膜をエッチバックして凹部を形成し、下部に酸化シリコン膜を残す。素子分離領域上部の酸化シリコン膜を除去することにより、酸化シリコン膜の与える圧縮応力が低減する。酸化シリコン膜上に残る凹部は深さが浅くなるので、成膜条件が緩和される。この状態において、凹部が活性領域を画定する。

【0024】

N M O S F E T構造を覆い、かつ周囲の凹部に延在するように引張応力膜T S Fである窒化シリコン膜が形成される。素子分離領域の圧縮応力を有する酸化シリコン膜上部を置換して、高い引張応力を有する窒化シリコン膜が形成されるので、窒化シリコン膜からチャネル領域に効率的に引張応力が印加される。引張応力膜T S Fが、N M O S F E T構造に対し、チャネル長方向およびチャネル幅方向の引張応力を印加し、チャネル領域の電子の移動度を向上する。

【0025】

P M O S F E T構造と図中上下のチャネル長方向外側の凹部上から引張応力膜T S Fを除去する。露出されたP M O S F E T構造を覆い、そのチャネル長方向外側の凹部に延在するように圧縮応力膜C S Fである窒化シリコン膜が形成され、引張応力膜上からは除去される。酸化シリコン膜上部を置換して、高い圧縮応力を有する窒化シリコン膜が形成されるので、窒化シリコン膜からチャネル領域に効率的にチャネル長方向の圧縮応力が印加される。圧縮応力膜C S FはP M O S F E T構造に対し、チャネル長方向の圧縮応力を印加し、チャネル領域の正孔の移動度を向上する。P M O S F E T構造のチャネル幅方向外側の凹部には、引張り応力膜T S Fが埋め込まれている。従って、P M O S F E T構造にはチャネル幅方向の引張応力も印加され、正孔の移動度が更に向上する。

【0026】

図1 Bは図1 A中横方向のI B—I B線に沿って、活性領域A R 1、A R 2のチャネル幅（ソース／ドレイン幅）方向の概略構造を示す断面図である。半導体基板としてのシリコン基板11の表面から、素子分離溝としてシャロートレンチS Tが形成され、活性領域A R 1、A R 2を画定している。活性領域A R 1にはp型ウェルP Wが形成され、ソース／ドレイン領域S D_n、シリサイド領域S Lを含むN M O S F E T構造が形成される。活性領域A R 2にはn型ウェルN Wが形成され、ソース／ドレイン領域S D_p、シリサイド領域S Lを含むP M O S F E T構造が形成される。N M O S F E T構造を含む活性領域A R 1の上面、側面上に、引張応力膜T S Fが配置されている。P M O S F E T構造を含む活性領域A R 2の上面には圧縮応力膜C S Fが形成され、側面上には引張応力膜T S Fが配置されている。

【0027】

図1 Cは図1 AのI C—I C線に沿うN M O S F E T構造のチャネル長方向の概略構造を示す断面図、図1 Dは図1 AのI D—I D線に沿うP M O S F E T構造のチャネル長方向の概略構造を示す断面図である。活性領域A R 1上に、ゲート絶縁膜／ゲート電極の積層で構成される絶縁ゲート電極G_nが形成され、その両側のp型ウェルP W内にn型のソース／ドレインエクステンション領域E X_nが形成される。活性領域A R 2上に、ゲート

10

20

30

40

50

絶縁膜／ゲート電極の積層で構成される絶縁ゲート電極G_pが形成され、その両側のn型ウェルNW内にp型ソース／ドレインエクステンション領域E_{Xp}が形成される。

【0028】

ゲート電極G_n、G_pの側壁上には絶縁性のサイドウォールS_Wが形成される。絶縁ゲート電極とサイドウォールとを含めた構成を絶縁ゲート電極構造と呼ぶ。絶縁ゲート電極構造の外側のp型ウェルP_Wにn型ソース／ドレイン領域S_{Dn}が形成され、絶縁ゲート電極構造のn型ウェルN_Wにp型ソース／ドレイン領域S_{Dp}が形成される。ソース／ドレイン領域S_{Dn}、S_{Dp}及びゲート電極G_n、G_p表面部にはシリサイド領域S_Lが形成されている。素子分離溝S_Tの下部には、酸化シリコン膜O_Xが配置されている。

【0029】

図1B、1Cに示すように、NMOSFET構造を覆い、その周囲の凹部に延在するように、引張応力膜T_{SF}が形成されている。図1B、1Dに示すように、PMOSFET構造を覆い、チャンネル長方向外側の凹部に延在するように圧縮応力膜C_{SF}が形成されている。図1Bに示すように、活性領域A_{R2}のチャンネル幅方向外側の凹部には、引張応力膜T_{SF}が形成されている。以下、図1A－1Dに示すCMOS半導体装置の製造工程を説明する。

【0030】

図2A－2Jは、図1C、1Dに示すNMOSFET構造、PMOSFET構造の製造工程を示す半導体基板の概略断面図である。

【0031】

図2Aに示すように、シリコン基板11の表面に、酸化シリコン膜12を熱酸化で形成し、その上にエッチングマスク兼CMPストップパとして機能する窒化シリコン膜13を堆積する。レジストパターンを用いて、窒化シリコン膜13、酸化シリコン膜12をパターニングし、活性領域上にのみ残す。パターニングした窒化シリコン膜13をマスクとして、シリコン基板11を200nm－400nm、例においては350nm程度エッチングし、活性領域A_{R1}、A_{R2}の周囲に素子分離溝S_Tを形成する。活性領域A_{R1}、A_{R2}の平面形状は、例えば長さ約2μm、幅約1μmの矩形である。

【0032】

素子分離溝表面を熱酸化して厚さ10nm程度の酸化シリコン膜を形成し、その上にテトラエトキシシラン（TEOS）をシリコンソースとした高密度（HD）プラズマ気相堆積（PCVD）により、酸化シリコン膜14を堆積して素子分離溝S_Tを埋め込み、素子分離領域を形成する。素子分離溝S_Tの幅が狭くなると、埋込特性に優れた絶縁膜で埋め込むことが必要になる。HDPCVDで堆積する酸化シリコン膜はこの条件を満たす。窒化シリコン膜13をストップパとして、化学機械研磨（CMP）により余分の酸化シリコン膜14を除去する。露出した窒化シリコン膜13をエッチング除去する。

【0033】

図2Bに示すように、レジストマスクによって活性領域A_{R1}、A_{R2}を選択的に露出し、活性領域A_{R1}にp型不純物をイオン注入してp型ウェルP_Wを形成し、活性領域A_{R2}にn型不純物をイオン注入してn型ウェルN_Wを形成する。活性領域A_{R1}、A_{R2}表面の酸化膜を除去し、清浄表面を熱酸化して、活性領域表面に例えば厚さ1.2nm－2.0nm程度の酸化シリコン膜を含むゲート絶縁膜15を形成する。ゲート絶縁膜15の上に厚さ80nm－120nmの多結晶シリコン層16を堆積する。

【0034】

なお、ゲート絶縁膜の酸化シリコン膜に窒素を導入してもよい。ゲート絶縁膜として、酸化シリコン膜に窒素を導入した酸化窒化シリコン膜の他、酸化シリコン膜と窒化シリコン膜を積層したり、酸化シリコン膜上にHfO₂等のhigh-k膜を積層したりしてもよい。多結晶シリコン層の上に、例えば厚さ約50nmのキャップ酸化シリコン層を積層してもよい。

【0035】

図2Cに示すように、レジストパターンを用いて多結晶シリコン層16をパターニング

10

20

30

40

50

して、NMOSFET、PMOSFETに共通の絶縁ゲート電極を形成する。ゲート電極高さは、80nm-120nmである。ゲート長は、30nm-40nm、例においては35nm、である。

【0036】

p型ウェルPWにおいては、n型不純物を浅くイオン注入し、n型エクステンション領域21nを形成する。例えばAsを加速エネルギー2keV、ドーズ量 5×10^{14} でイオン注入する。n型ウェルNWにおいてはp型不純物を浅くイオン注入し、p型エクステンション領域21pを形成する。例えばBを加速エネルギー1keV、ドーズ量 4×10^{14} でイオン注入する。注入したイオンを活性化して、深さ約30nmのエクステンション領域を得る。エクステンション領域を取り囲む逆導電型のポケット領域を斜めイオン注入で形成してもよい。

10

【0037】

基板全面に酸化シリコン膜等の絶縁膜を堆積し、異方性エッチングを行うことにより、NMOSFET領域、PMOSFET領域において、絶縁ゲート電極側壁にサイドウォールSWを形成する。サイドウォールSWの幅は、例えば70nmである。

【0038】

p型ウェル領域PWにおいては、n型不純物を深く注入し、n型ソース／ドレイン拡散層22nを形成する。例えば、n型不純物としてPを加速エネルギー10keV、ドーズ量 4×10^{15} でイオン注入する。n型ウェル領域NWにおいては、p型不純物を深く注入し、p型ソース／ドレイン拡散層22pを形成する。例えば、p型不純物としてBを加速エネルギー6keV、ドーズ量 4×10^{15} でイオン注入する。注入したイオンを活性化して、深さ約70-80nmのソース／ドレイン拡散層を得る。エクステンション領域とソース／ドレイン拡散層を併せて、ソース／ドレイン領域と呼ぶことがある。

20

【0039】

図2Dに示すように、シリコン基板上にニッケル等の金属層を堆積し、シリサイド反応を行わせることによって、露出しているシリコン表面にシリサイド領域SLを形成する。例えば、厚さ20nm-25nmのニッケルシリサイド層を形成する。

【0040】

図2Eに示すように、シリサイド層SLを形成した後、埋込酸化シリコン層14を $C_4F_8/Ar/O_2$ ガスを用いたリアクティブイオンエッチング(RIE)により部分的にエッチバックする。素子分離溝STの下部に酸化シリコン層14を残しつつ、例えば深さ100nm-120nmの凹部17を形成する。凹部17は、その後応力膜を埋め込むためのものである。応力膜からチャンネル領域に効率的に応力を印加するためと、応力膜の埋込を容易にするために、凹部17の深さは、ソース／ドレイン拡散層22より深く、素子分離溝STの深さの半分以下とすることが好ましい。

30

【0041】

図2Fに示すように、シリコン基板上に、厚さ60nm-80nmの引張応力を有する窒化シリコン膜18、その上に例えば厚さ20nm程度の薄い酸化シリコン膜19を堆積する。酸化シリコン膜19は、後にエッチングストップとして機能する。

【0042】

引張応力窒化シリコン膜18の堆積条件は、例えば、シリコンソースとしてジクロルシラン($SiCl_2H_2$)、シラン(SiH_4)、ジシラン(Si_2H_6)、トリシラン(Si_3H_8)のいずれかを流量5sccm-50sccm、Nソースとして NH_3 を流量500sccm-10000sccm、キャリアガスとして N_2 またはArを流量500sccm-10000sccm供給し、圧力0.1Torr-400Torr、基板温度400℃-450℃の熱CVDとする。引張応力は、例えば1.7GPaになる。酸化シリコン膜19の堆積条件は、例えば、 SiH_4 と O_2 の混合ガスを用い、基板温度を400℃前後としたプラズマCVDである。酸化シリコン膜19は、エッチングストップとしての機能を果たせばよい。

40

【0043】

50

活性領域AR1, AR2を覆うと共に、周囲の素子分離溝の凹部17内に延在するように、引張応力窒化シリコン膜18、酸化シリコン膜19が形成される。図1Aに示す引張応力膜、圧縮応力膜のレイアウトを得るためには、不要部の引張応力窒化シリコン膜18（及びその上の酸化シリコン膜19）を除去する必要がある。

【0044】

図2Gに示すように、活性領域AR2及びそのチャネル長方向外側に隣接する凹部の酸化シリコン膜／窒化シリコン膜積層上に開口を有するレジストマスクRM1をフォトリソグラフィ工程を用いて形成する。なお、図1Aにおいては、活性領域AR2の側辺に接するように引張応力膜をパターンニングしているが、±20nmの精度があればよい。

【0045】

図2Hに示すように、レジストマスクRM1の開口内に露出した、酸化シリコン膜19、窒化シリコン膜18のエッチングを行う。例えば、酸化シリコン膜19は、 $C_4F_8/Ar/O_2$ ガスを用いたリアクティブイオンエッチングで除去する。窒化シリコン膜18は、 $CHF_3/Ar/O_2$ ガスを用いたリアクティブイオンエッチングで除去する。その後、レジストマスクRM1は除去する。

【0046】

図2Iに示すように、シリコン基板全面上に圧縮応力窒化シリコン膜を厚さ60nm～80nm堆積する。圧縮応力窒化シリコン膜20の堆積条件は、例えば、シリコンソースとしてシラン(SiH_4)を流量100sccm～1000sccm、Nソースとして NH_3 を流量500sccm～10000sccm、キャリアガスとして N_2 またはArを流量500sccm～10000sccm供給し、圧力0.1Torr～400Torr、基板温度400℃～450℃とし、高周波(RF)パワー100W～1000WとしたプラズマCVDとする。圧縮応力は、例えば2.5GPaである。

【0047】

図2Jに示すように、フォトリソグラフィ工程を用い、活性領域AR2及びそのチャネル長方向外側に隣接する凹部に堆積した圧縮応力窒化シリコン膜20を覆うレジストマスクRM2を形成する。レジストマスクRM2の開口は、引張応力膜18に内包される形状とする。レジストマスクRM2をマスクとし、酸化シリコン膜19上の圧縮応力窒化シリコン膜20を、 $CHF_3/Ar/O_2$ ガスを用いたリアクティブイオンエッチングで除去する。酸化シリコン膜19がエッチングストッパとして機能する。引張応力膜18と圧縮応力膜20は互いに接し、一部重なり合う。その後、レジストマスクRM2は除去する。

【0048】

なお、引張応力膜、圧縮応力膜をそれぞれ厚さ60～80nmの窒化シリコン膜で形成する場合を説明したが、窒化シリコン応力膜の厚さは40nm～100nmの範囲から選択できる。引張応力の窒化シリコン膜を初めに形成し、選択的に除去した後、圧縮応力の窒化シリコン膜を形成する場合を説明したが、順序を逆にしてもよい。

【0049】

その後、公知技術に従い、層間絶縁膜を形成し、多層配線を形成する。半導体装置の公知技術については、例えばUSP6,949,830、USP7,208,812（その全内容を、参照によってここに取り込む）の実施例の項を参照できる。

【0050】

以上説明した実施例に従った例のCMOS半導体装置を作成し、PMOSFETのオン電流とオフ電流を測定した。比較のため、従来例による、素子分離領域の酸化シリコン膜のエッチバックを行わず、PMOSFETとその周囲を覆って圧縮応力窒化シリコン膜を形成した比較サンプルも作成し、オン電流とオフ電流を測定した。

【0051】

図3は測定結果を示すグラフである。横軸がオン電流を単位 $A/\mu m$ で示し、縦軸がオフ電流を単位 $A/\mu m$ で示す。中空丸○が比較例によるPMOSFETサンプルの測定値を示し、中実丸●が実施例に従った例によるPMOSFETサンプルの測定値を示す。同一のオフ電流で比較すると、例のPMOSFETのオン電流は比較例のPMOSFETの

10

20

30

40

50

オン電流より約 10 % 大きい。応力印加が効率的になり、かつゲート幅方向に好適な応力を印加できたことを示唆すると考えられる。

【0052】

図 4 は、SRAM 回路のレイアウトを示す平面図である。中央部右側に 4 つの NMOS トランジスタが縦方向に並んで配置され、引張応力窒化膜 TSF で覆われる。その右側に 2 つの NMOS トランジスタが縦方向に並んで配置され、チャネル幅の圧縮応力窒化膜 CSSF で覆われ、側方には引張応力窒化膜 TSF が配置される。これら 6 つの MOS トランジスタが 1 単位の SRAM セルを構成する。中央部左側には、ミラー配置された SRAM セルが配置されている。これらの外側には PMOS トランジスタの縦方向位置を変更した別の SRAM セルが配置されている。全体的に、引張応力窒化膜 TSF と圧縮応力窒化膜

10

【0053】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【図面の簡単な説明】

【0054】

【図 1】図 1A-1D は、実施例による CMOS 半導体装置の構成を概略的に示す平面図及び断面図である。

【図 2-1】、

【図 2-2】、および

20

【図 2-3】図 2A-2J は、図 1A-1D に示す CMOS 半導体装置の製造工程を概略的に示す半導体基板の断面図である。

【図 3】実施例に従った例と比較例の PMOSFET のオン電流とオフ電流の関係を示すグラフである。

【図 4】SRAM 回路のレイアウトを示す平面図である。

【符号の説明】

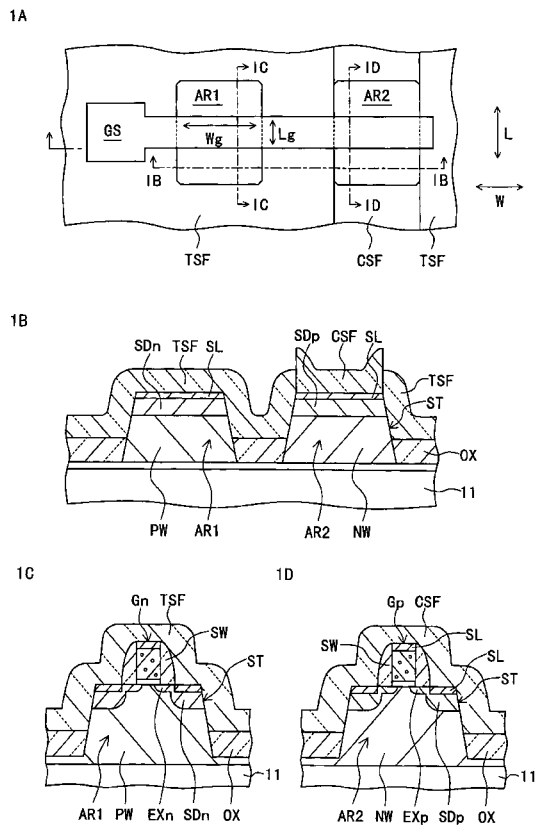
【0055】

- 11 半導体基板、
- 12 酸化シリコン膜、
- 13 窒化シリコン膜、
- 14 酸化シリコン膜、
- AR 活性領域、
- ST 素子分離溝、
- TSF 引張応力膜、
- CSSF 圧縮応力膜、
- EX エクステンション領域、
- SD ソース／ドレイン領域、
- PW p 型ウェル、
- NW n 型ウェル、
- 15 ゲート絶縁膜、
- 16 ゲート電極（多結晶シリコン膜）、
- 18 引張応力窒化シリコン膜、
- 19 酸化シリコン膜、
- 20 圧縮応力窒化シリコン膜、
- 21 エクステンション領域、
- 22 ソース／ドレイン拡散層、
- SW サイドウォール、
- SL シリサイド領域、

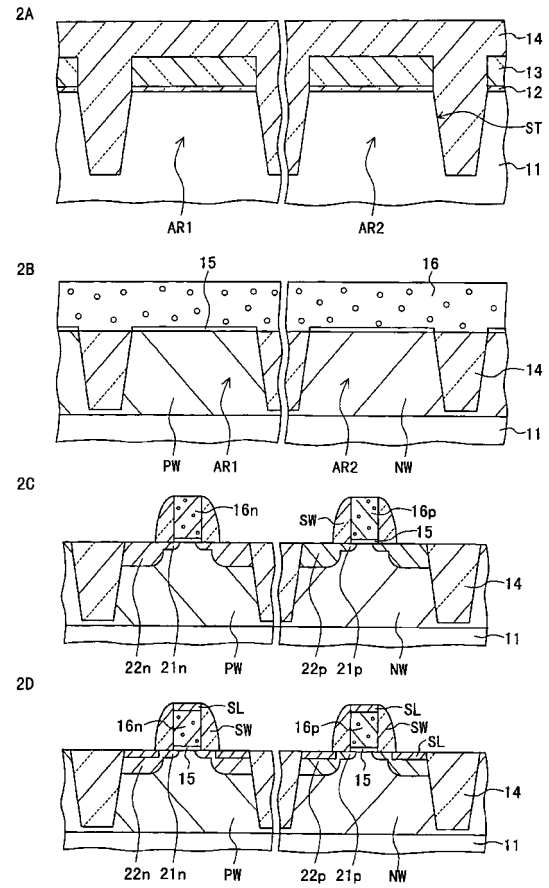
30

40

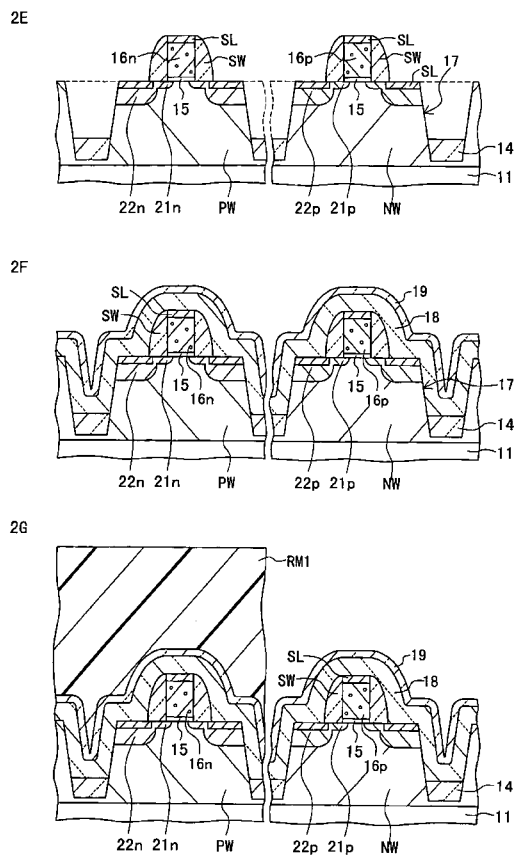
【図 1】



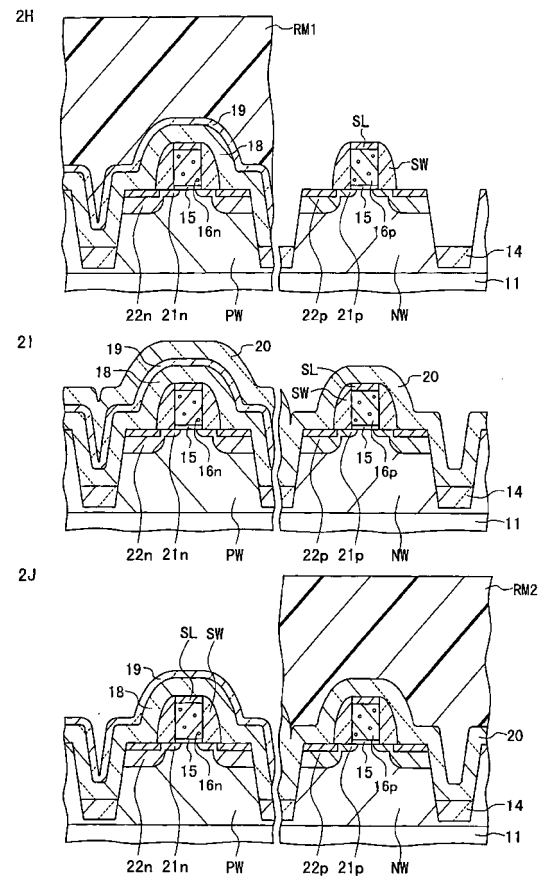
【図 2 - 1】



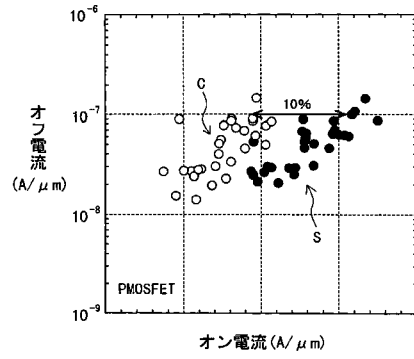
【図 2 - 2】



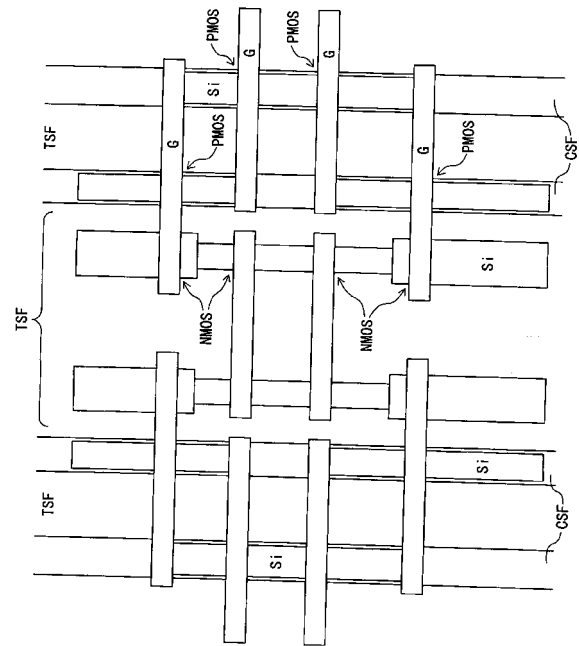
【図 2 - 3】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl.	F I			テーマコード (参考)	
H 0 1 L 21/318 (2006.01)	H 0 1 L	21/318	B	5 F 0 8 3	
H 0 1 L 21/316 (2006.01)	H 0 1 L	21/318	M	5 F 1 4 0	
C 2 3 C 16/42 (2006.01)	H 0 1 L	21/316	M		
H 0 1 L 21/8244 (2006.01)	H 0 1 L	21/316	X		
H 0 1 L 27/11 (2006.01)	C 2 3 C	16/42			
H 0 1 L 21/768 (2006.01)	H 0 1 L	27/10	3 8 1		
H 0 1 L 23/522 (2006.01)	H 0 1 L	21/90	K		

F ターム (参考)	5F033	HH04	HH25	QQ09	QQ13	QQ16	QQ25	QQ48	QQ70	QQ73	RR04
		RR06	SS02	SS04	SS11	SS15	TT02	TT08	VV06	XX19	
	5F048	AA04	AA07	AA08	AB01	AC03	BA01	BB01	BB05	BB08	BB11
		BB12	BC06	BD01	BD04	BE03	BF06	BG13	BG14	DA25	
	5F058	BA20	BC02	BC08	BD02	BD04	BD10	BF04	BF07	BF23	BF24
		BF29	BF30	BJ01	BJ02	BJ04					
	5F083	BS05	BS09	BS12	BS17	BS21	BS24	BS27	BS43	GA27	JA03
		JA04	JA05	JA35	JA39	JA53	JA56	JA60	KA01	LA02	LA16
		NA01	PR03	PR21	PR33	PR36	PR40				
	5F140	AA05	AB03	AC28	AC32	BA01	BD01	BD05	BD09	BD10	BD11
		BE07	BE08	BF04	BF11	BF18	BF51	BG08	BG12	BG34	BH02
		BH14	BH35	BJ01	BJ08	BK02	BK13	BK21	BK22	BK34	CB00
		CB04	CB08	CC01	CC03	CC08	CC12	CC13	CE07	CF04	