

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3711193号

(P3711193)

(45) 発行日 平成17年10月26日(2005.10.26)

(24) 登録日 平成17年8月19日(2005.8.19)

(51) Int.Cl.⁷

H04B 1/44

F I

H04B 1/44

請求項の数 10 (全 20 頁)

(21) 出願番号	特願平10-6468	(73) 特許権者	000006013
(22) 出願日	平成10年1月16日(1998.1.16)		三菱電機株式会社
(65) 公開番号	特開平11-205188		東京都千代田区丸の内二丁目2番3号
(43) 公開日	平成11年7月30日(1999.7.30)	(74) 代理人	100062144
審査請求日	平成15年11月20日(2003.11.20)		弁理士 青山 稔
		(74) 代理人	100086405
			弁理士 河宮 治
		(74) 代理人	100098280
			弁理士 石野 正弘
		(72) 発明者	山本 和也
			東京都千代田区丸の内二丁目2番3号 三
			菱電機株式会社内
		(72) 発明者	森脇 孝雄
			東京都千代田区丸の内二丁目2番3号 三
			菱電機株式会社内
			最終頁に続く

(54) 【発明の名称】 送受信切り換え回路

(57) 【特許請求の範囲】

【請求項1】

送信機とアンテナとの間に接続され、送信時にオンとなりかつ受信時にオフとなる第1のスイッチング回路を備えた送信アーム回路と、

受信機と上記アンテナとの間に接続され、送信時にオフとなりかつ受信時にオンとなるF E Tを有する第2のスイッチング回路を備えた受信アーム回路とを備え、

上記アンテナに上記送信機又は上記受信機を選択的に切り換えて接続するための送受信切り換え回路において、

上記送信アーム回路は、

カスコード型増幅器と、

上記カスコード型増幅器と上記アンテナとの間に接続されたインダクタのみからなるインピーダンス整合回路とを備え、

上記カスコード型増幅器と上記アンテナとの間のインピーダンス整合が、上記インダクタと、上記F E Tのオフ容量とにより達成されるように、上記F E Tのインダクタンス及びゲート幅とが設定されたことを特徴とする送受信切り換え回路。

【請求項2】

送信機とアンテナとの間に接続され、送信時にオンとなりかつ受信時にオフとなる第1のスイッチング回路を備えた送信アーム回路と、

受信機と上記アンテナとの間に接続され、送信時にオフとなりかつ受信時にオンとなるF E Tを有する第2のスイッチング回路を備えた受信アーム回路とを備え、

10

20

上記アンテナに上記送信機又は上記受信機を選択的に切り換えて接続するための送受信切り換え回路において、

上記送信アーム回路は、
ソース接地型増幅器と、

上記ソース接地型増幅器と上記アンテナとの間に接続されたインダクタのみからなるインピーダンス整合回路とを備え、

上記ソース接地型増幅器と上記アンテナとの間のインピーダンス整合が、上記インダクタと、上記 F E T のオフ容量とにより達成されるように、上記 F E T のインダクタンス及びゲート幅とが設定されたことを特徴とする送受信切り換え回路。

【請求項 3】

10

上記第 2 のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに並列に接続された複数個の F E T を備えたことを特徴とする請求項 1 記載の送受信切り換え回路。

【請求項 4】

上記第 2 のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに縦続に接続された複数個の F E T を備えたことを特徴とする請求項 1 記載の送受信切り換え回路。

【請求項 5】

上記第 2 のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに並列に接続された複数個の F E T を備えたことを特徴とする請求項 2 記載の送受信切り換え回路。

20

【請求項 6】

上記第 2 のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに縦続に接続された複数個の F E T を備えたことを特徴とする請求項 2 記載の送受信切り換え回路。

【請求項 7】

上記第 2 のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに並列にかつ互いに縦続に接続された複数個の F E T を備えたことを特徴とする請求項 1 記載の送受信切り換え回路。

【請求項 8】

30

アンテナに第 1 と第 2 の送信機又は受信機を選択的に切り換えて接続するための送受信切り換え回路であって、

上記第 1 の送信機と上記アンテナとの間に接続され、送信時にオンとなりかつ受信時にオフとなる第 1 のスイッチング回路を備えた第 1 の送信アーム回路と、

上記第 2 の送信機と上記アンテナとの間に接続され、送信時にオンとなりかつ受信時にオフとなる第 2 のスイッチング回路を備えた第 2 の送信アーム回路と、

上記受信機と上記アンテナとの間に接続され、送信時にオフとなりかつ受信時にオンとなる F E T を有する第 3 のスイッチング回路を備えた受信アーム回路とを備え、

上記第 1 と第 2 の送信アーム回路はそれぞれ、

カスコード型増幅器と、

40

上記カスコード型増幅器と上記アンテナとの間に接続されたインダクタのみからなるインピーダンス整合回路とを備え、

上記カスコード型増幅器と上記アンテナとの間のインピーダンス整合が、上記インダクタと、上記 F E T のオフ容量とにより達成されるように、上記 F E T のインダクタンス及びゲート幅とが設定されたことを特徴とする送受信切り換え回路。

【請求項 9】

上記第 3 のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに並列に接続された複数個の F E T を備えたことを特徴とする請求項 8 記載の送受信切り換え回路。

【請求項 10】

50

上記第3のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに縦続に接続された複数個のFETを備えたことを特徴とする請求項8記載の送受信切り換え回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、1つのアンテナに送信機又は受信機を選択的に切り換えて接続するための送受信切り換え回路に関し、特に、カスコード型増幅器の出力段を集積化して構成された送受信切り換え回路に関する。

【0002】

【従来の技術】

従来、GaAs送受信切り換え回路は携帯電話用など幅広く用いられている。図11に、従来例1の直並列型送受信切り換え回路の構成を示す。図11において、 F_1 乃至 F_4 は送受信切り換え用デプレッションモード電界効果トランジスタ（以下、電界効果トランジスタをFETという。）であり、 R_{d1} 乃至 R_{d4} は各FETのドレインとソースを同電位にするための数kΩオーダーの抵抗であり、 R_{g1} 乃至 R_{g4} は各FETの数kΩオーダーのゲート抵抗であり、 C_1 及び C_4 はFET F_1 及びFET F_4 のソースを直流的に接地から切り放すためのキャパシタであり、高周波的には接地される。また、1は送信機接続用端子であり、2は受信機接続用端子であり、3はアンテナ接続用端子である。4及び5はそれぞれ、送受信を切り換えるための制御電圧 V_{TX} 及び V_{RX} を印加するための端子である。さらに、送信機接続用端子1は、数kΩオーダーのプルアップ抵抗 R_{up} を介してプルアップ電圧 V_{UP} に接続され、端子1及び3間の送信アーム回路の電位、並びに端子2及び3間の受信アーム回路の電位をプルアップして、正又は0Vの制御電圧で当該切り換え回路を制御できるように構成している。当該切り換え回路の動作を表1に示す。

【0003】

【表1】

従来例1

	V_{UP}	V_{TX}	V_{RX}
送信モード	V_{DD}	V_{DD}	0V
受信モード	V_{DD}	0V	V_{DD}

【0004】

表1から明らかなように、送信時は、プルアップ電圧 V_{UP} 及び制御電圧 V_{TX} をFET F_1 、 F_4 の電源電圧 V_{DD} に設定する一方、制御電圧 V_{RX} を0Vに設定することにより、FET F_1 及び F_3 をオフにし、FET F_2 及び F_4 をオンにし、これによって、送信機から端子1を介して入力された高周波信号をFET F_2 及び端子3を介してアンテナ103に伝送する。このとき、送信機101から受信機102には、FET F_3 がオフで、FET F_4 がオンなので、送信高周波信号は伝送されない。一方、受信時は、プルアップ電圧 V_{UP} 及び制御電圧 V_{RX} をFET F_1 及び F_4 の電源電圧 V_{DD} に設定する一方、制御電圧 V_{TX} を0Vに設定することにより、FET F_2 及び F_4 をオフにし、FET F_1 及び F_3 をオンにし、これによって、アンテナ103によって受信されて端子3を介して入力された高周波信号をFET F_3 及び端子2を介して受信機102によって伝送する。このとき、アンテナ103から送信機101には、FET F_2 がオフで、FET F_1 がオンなので、当該受信高周波信号は伝送されない。ここで、FET F_1 乃至 F_4 の各ピンチオフ電圧 V_p は電源電圧 V_{DD} よりも低いように設定される。

【0005】

図 1 2 は、従来例 2 のカスコード型電力増幅器の構成を示す回路図である。図 1 2 において、 F_1 及び F_2 は、電力増幅用デプレッションモード F E T であり、 R_{g1} 及び R_{g2} は F E T F_1 、 F_2 に対してゲート電圧を印加するためのゲート抵抗であり、 C_{g1} 及び C_{g2} は高周波バイパス用キャパシタであり、 L_d 及び C_d は当該カスコード電力増幅器の出力インピーダンス整合回路を構成するインダクタンスとキャパシタであり、 C_t 及び C_a は高周波結合用キャパシタであり、 L_{d2} は電源供給用の高周波阻止インダクタである。また、8 1 は増幅すべき高周波信号を入力するための入力端子であり、8 2 は増幅後の高周波信号を出力するための出力端子である。さらに、 V_{d2} は電源電圧であり、 V_{g1} 及び V_{g2} はそれぞれ、F E T F_1 及び F_2 に対して印加するゲート電圧である。

【0006】

なお、一般的には、GaAs カスコード型電力増幅器の構成は複雑であって、必要な電力を出力するために、より高い電源電圧を必要とするので、あまり電力増幅器の最終段には用いられず、図 1 2 の回路で F E T F_2 を取り除いた F E T F_1 のみのソース接地型 F E T 増幅回路が頻繁に用いられている。

【0007】

【発明が解決しようとする課題】

しかしながら、図 1 2 の電力増幅器と図 1 1 の送受信切り換え回路を、同一のチップ上に集積化する場合を考えると、従来例の送受信切り換え回路では、図 1 1 の端子 1 と、図 1 2 の端子 8 2 を接続して構成するために、回路寸法が比較的大きくなるという問題点があった。言い換えれば、従来例の図 1 2 の電力増幅器と図 1 1 の送受信切り換え回路を、そのままの形式で集積化すると回路寸法が大きくなり、小型化を図ることができない。

【0008】

本発明の目的は以上の問題点を解決し、従来例に比較して小型化することができる送受信切り換え回路を提供することにある。

【0009】

【課題を解決するための手段】

第 1 の発明に係る送受信切り換え回路は、送信機とアンテナとの間に接続され、送信時にオンとなりかつ受信時にオフとなる第 1 のスイッチング回路を備えた送信アーム回路と、

受信機と上記アンテナとの間に接続され、送信時にオフとなりかつ受信時にオンとなる F E T を有する第 2 のスイッチング回路を備えた受信アーム回路とを備え、

上記アンテナに上記送信機又は上記受信機を選択的に切り換えて接続するための送受信切り換え回路において、

上記送信アーム回路は、

カスコード型増幅器と、

上記カスコード型増幅器と上記アンテナとの間に接続された インダクタのみからなるインピーダンス整合回路とを備え、

上記カスコード型増幅器と上記アンテナとの間のインピーダンス整合が、上記インダクタと、上記 F E T のオフ容量とにより達成されるように、上記 F E T のインダクタンス及びゲート幅とが設定されたことを特徴とする。

【0010】

また、第 2 の発明に係る送受信切り換え回路は、送信機とアンテナとの間に接続され、送信時にオンとなりかつ受信時にオフとなる第 1 のスイッチング回路を備えた送信アーム回路と、

受信機と上記アンテナとの間に接続され、送信時にオフとなりかつ受信時にオンとなる F E T を有する第 2 のスイッチング回路を備えた受信アーム回路とを備え、

上記アンテナに上記送信機又は上記受信機を選択的に切り換えて接続するための送受信切り換え回路において、

上記送信アーム回路は、

ソース接地型増幅器と、

10

20

30

40

50

上記ソース接地型増幅器と上記アンテナとの間に接続されたインダクタのみからなるインピーダンス整合回路とを備え、

上記ソース接地型増幅器と上記アンテナとの間のインピーダンス整合が、上記インダクタと、上記 F E T のオフ容量とにより達成されるように、上記 F E T のインダクタンス及びゲート幅とが設定されたことを特徴とする。

【0011】

また、上記第1の発明に係る送受信切り換え回路において、好ましくは、上記第2のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに並列に接続された複数個の F E T を備える。

【0012】

さらに、上記第1の発明に係る送受信切り換え回路において、好ましくは、上記第2のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに縦続に接続された複数個の F E T を備える。

【0013】

また、上記第2の発明に係る送受信切り換え回路において、好ましくは、上記第2のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに並列に接続された複数個の F E T を備える。

【0014】

さらに、上記第2の発明に係る送受信切り換え回路において、好ましくは、上記第2のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに縦続に接続された複数個の F E T を備える。

【0015】

またさらに、上記第1の発明に係る送受信切り換え回路において、好ましくは、上記第2のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに並列にかつ互いに縦続に接続された複数個の F E T を備える。

【0016】

さらに、第3の発明に係る送受信切り換え回路は、アンテナに第1と第2の送信機又は受信機を選択的に切り換えて接続するための送受信切り換え回路であって、

上記第1の送信機と上記アンテナとの間に接続され、送信時にオンとなりかつ受信時にオフとなる第1のスイッチング回路を備えた第1の送信アーム回路と、

上記第2の送信機と上記アンテナとの間に接続され、送信時にオンとなりかつ受信時にオフとなる第2のスイッチング回路を備えた第2の送信アーム回路と、

上記受信機と上記アンテナとの間に接続され、送信時にオフとなりかつ受信時にオンとなる F E T を有する第3のスイッチング回路を備えた受信アーム回路とを備え、

上記第1と第2の送信アーム回路はそれぞれ、

カスコード型増幅器と、

上記カスコード型増幅器と上記アンテナとの間に接続されたインダクタのみからなるインピーダンス整合回路とを備え、

上記カスコード型増幅器と上記アンテナとの間のインピーダンス整合が、上記インダクタと、上記 F E T のオフ容量とにより達成されるように、上記 F E T のインダクタンス及びゲート幅とが設定されたことを特徴とする。

【0017】

また、上記第3の発明に係る送受信切り換え回路において、好ましくは、上記第3のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに並列に接続された複数個の F E T を備える。

【0018】

さらに、上記第3の発明に係る送受信切り換え回路において、好ましくは、上記第3のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに縦続に接続された複数個の F E T を備える。

【0019】

10

20

30

40

50

【発明の実施の形態】

以下、図面を参照して本発明に係る実施の形態について説明する。

【0020】

実施の形態1.

図1は、本発明に係る実施の形態1である送受信切り換え回路の構成を示す回路図であり、図1において、図11及び図12と同様のものについては同一の符号を付している。この実施の形態の送受信切り換え回路は、送信機接続用端子1と、アンテナ接続用端子3との間の送信アーム回路に、図12のカスコード型電力増幅器と、インピーダンス整合用インダクタ L_d を挿入したことを特徴としている。

【0021】

図1において、端子1と端子3との間の送信アーム回路は、送信時にオンとなる一方、受信時にオフとなる第1のスイッチング回路からなり、端子2と端子3との間の受信アーム回路は、送信時にオフとなる一方、受信時にオンとなる第1のスイッチング回路からなる。ここで、第1のスイッチング回路を、カスコード電力増幅器を用いて構成する一方、第2のスイッチング回路を、従来例1の受信アーム回路を用いて構成する。

【0022】

FET F1乃至F4はそれぞれデプレッション型FETであり、 R_{d2} 、 R_{d3} 及び R_{d4} はそれぞれFET F2、F3、F4のドレインとソースとを同電位にするために各FETのドレインとソース間に接続された数 $k\Omega$ オーダーの抵抗であり、 R_{g1} 、 R_{g2} 、 R_{g3} 及び R_{g4} はそれぞれ各FET F1乃至F4のゲートに対してゲート電圧を印加するための数 $k\Omega$ オーダーのゲート電圧印加用抵抗であり、C1及びC2は高周波バイパス用キャパシタであり、C4はFET F4のソースを高周波的に接地するためのキャパシタである。また、 L_d はカスコード型電力増幅器の出力段とアンテナ103とをインピーダンス整合するためのインピーダンス整合用インダクタであり、Ct、Ca及びCrは高周波結合用キャパシタであり、 L_{d2} は電源供給用の高周波阻止インダクタである。さらに、 V_{d2} は電源電圧であり、 V_{g1} 乃至 V_{g4} はそれぞれFET F1乃至F4のゲート電圧である。さらに、キャパシタCrの一端は受信機接続用端子2に接続され、その他端は数 $k\Omega$ オーダーのプルアップ抵抗 R_{up} を介してプルアップ電圧 V_{UP} に接続され、送信機接続用端子1及びアンテナ接続用端子3間の送信アーム回路の電位、並びに端子2及び端子3間の受信アーム回路の電位をプルアップして、正又は0Vの制御電圧で当該切り換え回路を制御できるように構成している。

【0023】

図1の送信アーム回路において、送信機101が接続された送信機接続用端子1は、結合用キャパシタ C_t を介して、ソース接地のFET F1のゲートに接続され、当該ゲートはゲート電圧印加用抵抗 R_{g1} を介してゲート電圧印加用端子11に接続される。当該端子11は高周波バイパス用キャパシタ C_1 を介して接地される。FET F1のドレインはFET F2のソース及びドレイン、接続点5及びインピーダンス整合用インダクタ L_d を介して接続点4に接続され、当該接続点4は結合用キャパシタ C_a を介して、アンテナ103が接続されたアンテナ接続用端子3に接続される。FET F2のゲートはゲート電圧印加用抵抗 R_{g2} を介してゲート電圧印加用端子12に接続されるとともに、当該ゲートは高周波バイパス用キャパシタ C_2 を介して高周波的に接地される。ここで、FET F2のドレインとインダクタ L_d との間の接続点5は、高周波阻止用インダクタ L_{d2} を介して電源電圧印加用端子22に接続される。

【0024】

一方、図1の受信アーム回路において、接続点4は、FET F3のドレイン及びソース、接続点6、結合用キャパシタ C_r を介して、受信機102が接続された受信機接続用端子2に接続される。ここで、FET F3のゲートは、ゲート電圧印加用抵抗 R_{g3} を介してゲート電圧印加用端子13に接続され、FET F4のゲートは、ゲート電圧印加用抵抗 R_{g4} を介してゲート電圧印加用端子14に接続される。接続点6は、FET F4のドレイン及びソース、並びに結合用キャパシタ C_4 を介して接地される。接続点6は、プルアップ抵

10

20

30

40

50

抗 R_{up} を介してプルアップ電圧 V_{up} を供給する電源に接続される。

【0025】

表2に、当該送受信切り換え回路の送信モード及び受信モードにおいて、プルアップ電圧 V_{up} 及び各ゲート電圧印加用端子11乃至14に印加すべき電圧を示す。 V_{dd} は電源電圧であり、 V_{ga} 及び V_{gb} はそれぞれFET F_1 及びFET F_2 が電圧増幅器として動作するのに必要なゲート電圧であり、ここで、 $V_p < V_{ga} < 0V$ 及び $V_p < V_{gb} < 0V$ である。なお、各FET F_1 及び F_2 のピンチオフ電圧 V_p は電源電圧 V_{dd} より小さいものとする。これらの条件は後述の実施の形態においても同様に設定される。

【0026】

【表2】

10

実施の形態1

	V_{up}	V_{g1}	V_{g2}	V_{g3}	V_{g4}
送信モード	V_{DD}	V_{ga}	V_{gb}	0V	V_{DD}
受信モード	V_{DD}	V_{ga}	0V	V_{DD}	0V

【0027】

20

図1において、FET F_1 及びFET F_2 はカスコード型電圧増幅器を構成し、送信時には、電力増幅器の出力段として働く。その結果、図11の従来例1の送信アーム回路における電力損失はなくなるので、切り換え回路における挿入損失は低減される。このとき、当該電力増幅器とアンテナ103との間の出力インピーダンス整合は、数nHオーダーのインダクタ L_d と、数pFオーダーのFET F_3 のオフ容量 C_3 とによって達成できるように、FET F_3 のソース・ドレイン間のインダクタンス L_{d3} とFET F_3 のゲート幅とを決定して設定する。オフ容量 C_3 の一端は、FET F_4 のオンにより、高周波的に接地されるので、ちょうど、図12のキャパシタ C_d と同じ働きをする。

【0028】

また、受信時には、ゲート電圧 V_{g2} を0VとすることによりFET F_2 をオフし、さらに、FET F_3 をオンし、FET F_4 をオフとすることにより、アンテナ103で受信された高周波信号は、FET F_3 及び F_4 を介して受信機102に伝送され、端子1にはほとんど現れない。

30

【0029】

以上説明したように、実施の形態1によれば、送受信機切り換え回路の送信アーム回路に、カスコード型電力増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。

【0030】

実施の形態2.

40

図2は、本発明に係る実施の形態2である送受信切り換え回路の構成を示す回路図である。実施の形態2は、図1の実施の形態1において、ゲート接地のFET F_2 及びその周辺回路（抵抗 R_{d2} 、抵抗 R_{g2} 及びキャパシタ C_2 ）を取り除いて、FET F_1 で構成されたソース接地型増幅器を送信アーム回路に備えたことを特徴としている。

【0031】

以上のように構成された実施の形態2の送受信切り換え回路においては、図1の実施の形態1の構成に比較して、受信時のアンテナ103と送信機101との間のアイソレーションが低下するが、図1の実施の形態1の構成よりも小さく構成できる利点がある。

【0032】

表3に、当該送受信切り換え回路の送信モード及び受信モードにおいて、プルアップ電圧

50

V_{UP} 及び各ゲート電圧印加用端子 11、13 及び 14 に印加すべき電圧を示す。表 3 に示すように、受信時にゲート電圧 V_{g1} を、 $FET F_1$ のピンチオフ電圧 V_p よりも低い所定のゲート電圧 V_{gp} に設定して、 $FET F_1$ を完全にピンチオフ状態にする必要がある。

【0033】

【表 3】

実施の形態 2

	V_{UP}	V_{g1}	—	V_{g3}	V_{g4}
送信モード	V_{DD}	V_{ga}	—	0 V	V_{DD}
受信モード	V_{DD}	V_{gp}	—	V_{DD}	0 V

10

【0034】

以上説明したように、実施の形態 2 によれば、送受信機切り換え回路の送信アーム回路に、ゲート接地の $FET F_2$ 及びその周辺回路を取り除いたカスコード型電力増幅器、すなわち $FET F_1$ のソース接地型増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。

【0035】

20

実施の形態 3.

図 3 は、本発明に係る実施の形態 3 である送受信切り換え回路の構成を示す回路図である。この実施の形態 3 は、図 1 の実施の形態 1 において、さらに、 $FET F_3$ のソース及びドレインと並列に、 $FET F_5$ のソース及びドレインを接続し、 $FET F_5$ のゲートをゲート電圧印加用抵抗 R_{g5} を介してゲート電圧印加用端子 15 に接続したことを特徴としている。

【0036】

図 3 の送受信切り換え回路において、ゲート電圧 V_{g5} を変化させることにより $FET F_5$ のオフ容量 C_5 を制御することができる。一般に、 FET のオフ容量は電力増幅器の整合に必要な容量に比較して小さい場合が多く、インピーダンス整合用オフ容量 C_3 の静電容量を増加することができ、大出力用の大きなゲート幅の $FET F_1$ 及び $FET F_2$ に対してインピーダンス整合を容易にできるとともに、インピーダンス整合状態に設定することにより、より大きな電力を得るようにインピーダンス整合を行うパワー整合状態や、より大きな効率を得るようにインピーダンス整合を行う効率整合状態などに設定することができる。

30

【0037】

表 4 に、当該送受信切り換え回路の送信モード及び受信モードにおいて、プルアップ電圧 V_{UP} 及び各ゲート電圧印加用端子 11 乃至 15 に印加すべき電圧を示す。

【0038】

【表 4】

40

実施の形態3

	V_{UP}	V_{g1}	V_{g2}	V_{g3}	V_{g4}	V_{g5}
送信モード	V_{DD}	V_{ga}	V_{gb}	0V	V_{DD}	V_{gp} 以下
受信モード	V_{DD}	V_{ga}	0V	V_{DD}	0V	V_{DD} 又は V_{gp} 以下

10

【0039】

以上説明したように、実施の形態3によれば、送受信機切り換え回路の送信アーム回路に、カスコード型電力増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。また、アンテナ103と受信機102との間のインピーダンス整合をより容易に行うことができる。

20

【0040】

以上の実施の形態3においては、2つのFET F_3 及び F_5 を互いに並列に接続しているが、本発明はこれに限らず、FET F_3 に対して複数のFETを互いに並列に接続してもよい。

【0041】

実施の形態4.

図4は、本発明に係る実施の形態4である送受信切り換え回路の構成を示す回路図である。この実施の形態4は、図1の実施の形態1において、FET F_3 に代えて、FET F_3 、FET F_3' 及びFET F_3'' の3つのFETの縦続接続回路を挿入したことを特徴としている。ここで、接続点4は、FET F_3 のドレイン及びソース、FET F_3' のドレイン及びソース、並びに、FET F_3'' のドレイン及びソースを介して接続点6に接続され、各FET F_3 、 F_3' 、 F_3'' のゲートはそれぞれ、抵抗 R_{g3} 、 R_{g3}' 、 R_{g3}'' を介してゲート電圧印加用端子13に接続される。なお、抵抗 R_{d3} 、 R_{d3}' 、 R_{d3}'' はそれぞれ、各FET F_3 、 F_3' 、 F_3'' のソースとドレインとの間を同電位にするために、ソースとドレインに接続される抵抗である。

30

【0042】

表5に、当該送受信切り換え回路の送信モード及び受信モードにおいて、プルアップ電圧 V_{UP} 及び各ゲート電圧印加用端子11乃至14に印加すべき電圧を示す。

【0043】

【表5】

40

実施の形態4

	V_{UP}	V_{g1}	V_{g2}	V_{g3}	V_{g4}
送信モード	V_{DD}	V_{ga}	V_{gb}	0V	V_{DD}
受信モード	V_{DD}	V_{ga}	0V	V_{DD}	0V

【0044】

50

一般に、送受信切り換え回路の送信信号の伝送電力能力（Power Handling Capability：どれくらいの大きな送信信号の電力を、切り換え回路が伝送できるかを示す能力をいう。） P は次式で表される。

【0045】

【数1】

$$P = 2 N^2 (V_c + V_p)^2 / Z_0$$

【0046】

ここで、 V_p はFET（本実施の形態において F_3 、 F_3' 、 F_3'' ）のピンチオフ電圧（＜0V）であり、 V_c はオフ状態のFET（本実施の形態において F_3 、 F_3' 、 F_3'' ）のゲートを制御する制御電圧であり、 N はオフ状態のFET（本実施の形態において F_3 、 F_3' 、 F_3'' ）の縦続接続の段数であり、本実施の形態において $N=3$ である。また、 Z_0 は系の特性インピーダンスである。 10

【0047】

数1から明らかなように、オフ状態のFETの縦続接続の段数 N を大きくすることにより、送信信号を伝送可能な電力 P が増大する。ただし、 N の増加は受信時のFET F_3 、 F_3' 、 F_3'' での挿入損失の増大を招くので、 N の値はこのトレードオフで決定される。

【0048】

以上説明したように、実施の形態4によれば、送受信機切り換え回路の送信アーム回路に、カスコード型電力増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。また、オフ状態のFETの縦続接続の段数 N を実施の形態1に比較して大きくしたので、送信信号の伝送可能な電力 P を増大させることができる。 20

【0049】

以上の実施の形態4においては、オフ状態のFETの縦続接続の段数 $N=3$ としているが、本発明はこれに限らず、 $N=2$ 又は4以上の整数としてもよい。

【0050】

実施の形態5.

図5は、本発明に係る実施の形態5である送受信切り換え回路の構成を示す回路図である。この実施の形態5は、図2の実施の形態2の特徴の構成と、図3の実施の形態3の特徴の構成とを組み合わせた場合であって、図2の実施の形態2において、さらに、FET F_3 のソース及びドレインと並列に、FET F_5 のソース及びドレインを接続し、FET F_5 のゲートをゲート電圧印加用抵抗 R_{g5} を介してゲート電圧印加用端子15に接続したことを特徴としている。 30

【0051】

以上のように構成することにより、実施の形態5によれば、送受信機切り換え回路の送信アーム回路に、ゲート接地のFET F_2 及びその周辺回路を取り除いたカスコード型電力増幅器であるソース接地型増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。また、アンテナ103と受信機102との間のインピーダンス整合をより容易に行うことができる。 40

【0052】

以上の実施の形態5においては、2つのFET F_3 及び F_5 を互いに並列に接続しているが、本発明はこれに限らず、FET F_3 に対して複数のFETを互いに並列に接続してもよい。

【0053】

実施の形態6.

図6は、本発明に係る実施の形態6である送受信切り換え回路の構成を示す回路図である。この実施の形態6は、図2の実施の形態2の特徴の構成と、図4の実施の形態4の特徴の構成とを組み合わせた場合であって、図2の実施の形態2において、FET F_3 に代え 50

て、 $FET F_3$ 、 $FET F_3'$ 及び $FET F_3''$ の 3 つの FET の縦続接続回路を挿入したことを特徴としている。

【0054】

以上説明したように、実施の形態 6 によれば、送受信機切り換え回路の送信アーム回路に、ゲート接地の $FET F_2$ 及びその周辺回路を取り除いたカスコード型電力増幅器であるソース接地型増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。また、オフ状態の FET の縦続接続の段数 N を実施の形態 1 及び 2 に比較して大きくしたので、送信信号の伝送可能な電力 P を増大させることができる。

10

【0055】

実施の形態 7

図 7 は、本発明に係る実施の形態 7 である送受信切り換え回路の構成を示す回路図である。この実施の形態 7 は、図 3 の実施の形態 3 の特徴の構成と、図 4 の実施の形態 4 の特徴の構成とを組み合わせた場合であって、図 3 の実施の形態 3 において、 $FET F_3$ に代えて、 $FET F_3$ 、 $FET F_3'$ 及び $FET F_3''$ の 3 つの FET の縦続接続回路を挿入し、かつ、 $FET F_5$ に代えて、 $FET F_5$ 、 $FET F_5'$ 及び $FET F_5''$ の 3 つの FET の縦続接続回路を挿入したことを特徴としている。

【0056】

図 7 において、接続点 4 は、 $FET F_5$ のドレイン及びソース、 $FET F_5'$ のドレイン及びソース、並びに、 $FET F_5''$ のドレイン及びソースを介して接続点 6 に接続され、各 $FET F_5$ 、 F_5' 、 F_5'' のゲートはそれぞれ、抵抗 R_{g5} 、 R_{g5}' 、 R_{g5}'' を介してゲート電圧印加用端子 15 に接続される。なお、抵抗 R_{d5} 、 R_{d5}' 、 R_{d5}'' はそれぞれ、各 $FET F_5$ 、 F_5' 、 F_5'' のソースとドレインとの間を同電位にするために、ソースとドレインに接続される抵抗である。なお、 $FET F_3$ 、 $FET F_3'$ 及び $FET F_3''$ の 3 つの FET の縦続接続回路は、図 3 の実施の形態 3 のそれと同様に構成される。

20

【0057】

以上説明したように、実施の形態 7 によれば、送受信機切り換え回路の送信アーム回路に、カスコード型電力増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。また、アンテナ 103 と受信機 102 との間のインピーダンス整合をより容易に行うことができる。さらに、オフ状態の FET の縦続接続の段数 N を実施の形態 1 に比較して大きくしたので、送信信号の伝送可能な電力 P を増大させることができる。

30

【0058】

以上の実施の形態 7 においては、2 つずつの $FET F_3$ 及び F_5 、 F_3' 及び F_5' 、 F_3'' 及び F_5'' を互いに並列に接続しているが、本発明はこれに限らず、 $FET F_3$ に対して複数個ずつの FET を互いに並列に接続してもよい。

【0059】

実施の形態 8

図 8 は、本発明に係る実施の形態 8 である送受信切り換え回路の構成を示す回路図である。この実施の形態 8 は、図 1 の送信アーム回路を 2 組備え、これら 2 組の第 1 と第 2 の送信アーム回路を接続点 4 に接続したことを特徴としている。ここで、第 1 の送信アーム回路における各素子及び各端子の符号には添字 a を付加する一方、第 2 の送信アーム回路における各素子及び各端子の符号には添字 b を付加する。ここで、送信機 101a は送信機接続用端子 1a に接続され、当該端子 1a は結合用キャパシタ C_{ta} 、 $FET F_{1a}$ 、 $FET F_{2a}$ 、接続点 5a 及びインピーダンス整合用インダクタ L_{da} を介して接続点 4 に接続される。また、送信機 101b は送信機接続用端子 1b に接続され、当該端子 1b は結合用キャパシタ C_{tb} 、 $FET F_{1b}$ 、 $FET F_{2b}$ 、接続点 5b 及びインピーダンス整合用インダクタ L_{db} を介して接続点 4 に接続される。

40

50

【0060】

表6に、当該送受信切り換え回路の送信モード及び受信モードにおいて、プルアップ電圧 V_{UP} 及び各ゲート電圧印加用端子11a, 11b, 12a, 12b, 13, 14に印加すべき電圧を示す。

【0061】

【表6】

実施の形態8

		V_{g1a}	V_{g2a}			V_{d2a}
	V_{UP}	V_{g1b}	V_{g2b}	V_{g3}	V_{g4}	V_{d2b}
送信モード	V_{DD}	V_{ga}	V_{gb}	0V	V_{DD}	V_{DD}
受信モード	V_{DD}	V_{ga}	0V	V_{DD}	0V	V_{DD}

10

【0062】

なお、図8の送受信切り換え回路において、送信機101aのみを送信状態としてアンテナ103に接続するためには、端子12aのみにゲート電圧 V_{gb} を印加する一方、端子12bを接地電位とすればよく、一方、送信機101bのみを送信状態としてアンテナ103に接続するためには、端子12bのみにゲート電圧 V_{gb} を印加する一方、端子12aを接地電位とすればよい。これにより、送信機101aと送信機101bとを選択的に切り換えて送信状態とすることができる。

20

【0063】

以上説明したように、実施の形態8によれば、送受信機切り換え回路の送信アーム回路に、カスコード型電力増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。また、2つのカスコード型電力増幅器を切り換え回路に組み込むことにより、例えば、いわゆるデュアルバンド機のような2つの異なる周波数のシステムに対応できる小型の送受信切り換え回路を提供することができる。

30

【0064】

以上の実施の形態8においては、2つの送信機101a, 101bとを接続するように構成しているが、本発明はこれに限らず、図1の送信アーム回路を3組以上の複数組備え、これら複数組の送信アーム回路を接続点4に接続してもよい。

【0065】

実施の形態9

図9は、本発明に係る実施の形態9である送受信切り換え回路の構成を示す回路図である。この実施の形態9は、図8の実施の形態8の特徴の構成と、図3の実施の形態3の特徴の構成とを組み合わせた場合であって、図8の実施の形態8において、さらに、FET F_3 のソース及びドレインと並列に、FET F_5 のソース及びドレインを接続し、FET F_5 のゲートをゲート電圧印加用抵抗 R_{g5} を介してゲート電圧印加用端子15に接続したことを特徴としている。

40

【0066】

以上説明したように、実施の形態9によれば、送受信機切り換え回路の送信アーム回路に、カスコード型電力増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。また、2つのカスコード型電力増幅器を切り換え回路に組み込むことにより、例えば、いわゆるデュアルバンド機のような2つの異なる周波数のシステムに対応できる小型の送受信切り換え回路を提供することができ

50

る。さらに、アンテナ 103 と受信機 102 との間のインピーダンス整合をより容易に行うことができる。

【0067】

以上の実施の形態 9 においては、2つの送信機 101a, 101b とを接続するように構成しているが、本発明はこれに限らず、図 1 の送信アーム回路を 3 組以上の複数組備え、これら複数組の送信アーム回路を接続点 4 に接続してもよい。

【0068】

実施の形態 10.

図 10 は、本発明に係る実施の形態 10 である送受信切り換え回路の構成を示す回路図である。この実施の形態 10 は、図 8 の実施の形態 8 の特徴の構成と、図 4 の実施の形態 4 10
の特徴の構成とを組み合わせた場合であって、図 8 の実施の形態 8 において、 $FET F_3$ に代えて、 $FET F_3$ 、 $FET F_3'$ 及び $FET F_3''$ の 3 つの FET の縦続接続回路を挿入したことを特徴としている。ここで、接続点 4 は、 $FET F_3$ のドレイン及びソース、 $FET F_3'$ のドレイン及びソース、並びに、 $FET F_3''$ のドレイン及びソースを介して接続点 6 に接続され、各 $FET F_3$ 、 F_3' 、 F_3'' のゲートはそれぞれ、抵抗 R_{g3} 、 R_{g3}' 、 R_{g3}'' を介してゲート電圧印加用端子 13 に接続される。なお、抵抗 R_{d3} 、 R_{d3}' 、 R_{d3}'' はそれぞれ、各 $FET F_3$ 、 F_3' 、 F_3'' のソースとドレインとの間を同電位にするために、ソースとドレインに接続される抵抗である。

【0069】

以上説明したように、実施の形態 10 によれば、送受信機切り換え回路の送信アーム回路 20
に、カスコード型電力増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。また、2つのカスコード型電力増幅器を切り換え回路に組み込むことにより、例えば、いわゆるデュアルバンド機のような 2 つの異なる周波数のシステムに対応できる小型の送受信切り換え回路を提供することができる。さらに、オフ状態の FET の縦続接続の段数 N を実施の形態 1 に比較して大きくしたので、送信信号の伝送可能な電力 P を増大させることができる。

【0070】

以上の実施の形態 10 においては、2つの送信機 101a, 101b とを接続するように構成しているが、本発明はこれに限らず、図 1 の送信アーム回路を 3 組以上の複数組備え 30
、これら複数組の送信アーム回路を接続点 4 に接続してもよい。

【0071】

【発明の効果】

以上詳述したように、第 1 の発明に係る送受信切り換え回路によれば、送信機とアンテナとの間に接続され、送信時にオンとなりかつ受信時にオフとなる第 1 のスイッチング回路を備えた送信アーム回路と、

受信機と上記アンテナとの間に接続され、送信時にオフとなりかつ受信時にオンとなる FET を有する第 2 のスイッチング回路を備えた受信アーム回路とを備え、

上記アンテナに上記送信機又は上記受信機を選択的に切り換えて接続するための送受信切り換え回路において、

上記送信アーム回路は、

カスコード型増幅器と、

上記カスコード型増幅器と上記アンテナとの間に接続された インダクタのみからなるインピーダンス整合回路とを備え、

上記カスコード型増幅器と上記アンテナとの間のインピーダンス整合が、上記インダクタと、上記 FET のオフ容量とにより達成されるように、上記 FET のインダクタンス及びゲート幅とが設定される。

従って、送受信機切り換え回路の送信アーム回路に、カスコード型電力増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減する 50

ことができる。

【0072】

また、第2の発明に係る送受信切り換え回路によれば、送信機とアンテナとの間に接続され、送信時にオンとなりかつ受信時にオフとなる第1のスイッチング回路を備えた送信アーム回路と、

受信機と上記アンテナとの間に接続され、送信時にオフとなりかつ受信時にオンとなるFETを有する第2のスイッチング回路を備えた受信アーム回路とを備え、

上記アンテナに上記送信機又は上記受信機を選択的に切り換えて接続するための送受信切り換え回路において、

上記送信アーム回路は、

ソース接地型増幅器と、

上記ソース接地型増幅器と上記アンテナとの間に接続されたインダクタのみからなるインピーダンス整合回路とを備え、

上記ソース接地型増幅器と上記アンテナとの間のインピーダンス整合が、上記インダクタと、上記FETのオフ容量とにより達成されるように、上記FETのインダクタンス及びゲート幅とが設定される。

従って、送受信機切り換え回路の送信アーム回路に、ソース接地型増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。

【0073】

また、上記第1の発明に係る送受信切り換え回路において、好ましくは、上記第2のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに並列に接続された複数のFETを備える。

従って、送受信機切り換え回路の送信アーム回路に、カスコード型電力増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。また、上記アンテナと上記受信機との間のインピーダンス整合をより容易に行うことができる。

【0074】

さらに、上記第1の発明に係る送受信切り換え回路において、好ましくは、上記第2のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに縦続に接続された複数のFETを備える。

従って、送受信機切り換え回路の送信アーム回路に、カスコード型電力増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。また、オフ状態のFETの縦続接続の段数Nを第1の発明に係る送受信切り換え回路に比較して大きくしたので、送信信号の伝送可能な電力Pを増大させることができる。

【0075】

また、上記第2の発明に係る送受信切り換え回路において、好ましくは、上記第2のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに並列に接続された複数のFETを備える。

従って、送受信機切り換え回路の送信アーム回路に、ソース接地型増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。また、上記アンテナと上記受信機との間のインピーダンス整合をより容易に行うことができる。

【0076】

さらに、上記第2の発明に係る送受信切り換え回路において、好ましくは、上記第2の

10

20

30

40

50

スイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに縦続に接続された複数個の F E T を備える。

従って、送受信機切り換え回路の送信アーム回路に、ソース接地型増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。また、オフ状態の F E T の縦続接続の段数 N を第 1 の発明及び第 2 の発明に係る送受信切り換え回路に比較して大きくしたので、送信信号の伝送可能な電力 P を増大させることができる。

【0077】

またさらに、上記第 1 の発明に係る送受信切り換え回路において、好ましくは、上記第 2 のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに並列にかつ互いに縦続に接続された複数個の F E T を備える。従って、送受信機切り換え回路の送信アーム回路に、カスコード型電力増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。また、上記アンテナと上記受信機との間のインピーダンス整合をより容易に行うことができる。さらに、オフ状態の F E T の縦続接続の段数 N を第 1 の発明に係る送受信切り換え回路に比較して大きくしたので、送信信号の伝送可能な電力 P を増大させることができる。

【0078】

さらに、第 3 の発明に係る送受信切り換え回路によれば、アンテナに第 1 と第 2 の送信機又は受信機を選択的に切り換えて接続するための送受信切り換え回路であって、

上記第 1 の送信機と上記アンテナとの間に接続され、送信時にオンとなりかつ受信時にオフとなる第 1 のスイッチング回路を備えた第 1 の送信アーム回路と、

上記第 2 の送信機と上記アンテナとの間に接続され、送信時にオンとなりかつ受信時にオフとなる第 2 のスイッチング回路を備えた第 2 の送信アーム回路と、

上記受信機と上記アンテナとの間に接続され、送信時にオフとなりかつ受信時にオンとなる F E T を有する第 3 のスイッチング回路を備えた受信アーム回路とを備え、

上記第 1 と第 2 の送信アーム回路はそれぞれ、

カスコード型増幅器と、

上記カスコード型増幅器と上記アンテナとの間に接続された インダクタのみからなるインピーダンス整合回路とを備え、

上記カスコード型増幅器と上記アンテナとの間のインピーダンス整合が、上記インダクタと、上記 F E T のオフ容量とにより達成されるように、上記 F E T のインダクタンス及びゲート幅とが設定される。

従って、送受信機切り換え回路の送信アーム回路に、カスコード型電力増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。また、2つのカスコード型電力増幅器を切り換え回路に組み込むことにより、例えば、いわゆるデュアルバンド機のような2つの異なる周波数のシステムに対応できる小型の送受信切り換え回路を提供することができる。

【0079】

また、上記第 3 の発明に係る送受信切り換え回路において、好ましくは、上記第 3 のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに並列に接続された複数個の F E T を備える。

従って、送受信機切り換え回路の送信アーム回路に、カスコード型電力増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。また、2つのカスコード型電力増幅器を切り換え回路に組み込むことにより、例えば、いわゆるデュアルバンド機のような2つの異なる周波数のシステムに対応できる小型の送受信切り換え回路を提供することができる。さらに、上記アンテナと上記受信

10

20

30

40

50

機との間のインピーダンス整合をより容易に行うことができる。

【0080】

さらに、上記第3の発明に係る送受信切り換え回路において、好ましくは、上記第3のスイッチング回路は、それぞれ送信時にオフとなりかつ受信時にオンとなり、互いに縦続に接続された複数個のFETを備える。

従って、送受信機切り換え回路の送信アーム回路に、カスコード型電力増幅器を組み込むことにより、当該電力増幅器と切り換え回路を集積化したチップにおいて、チップサイズを大幅に縮小化することできるとともに、送信時の切り換え回路の挿入損失を低減することができる。また、2つのカスコード型電力増幅器を切り換え回路に組み込むことにより、例えば、いわゆるデュアルバンド機のような2つの異なる周波数のシステムに対応できる小型の送受信切り換え回路を提供することができる。さらに、オフ状態のFETの縦続接続の段数Nを第1の発明に係る送受信切り換え回路に比較して大きくしたので、送信信号の伝送可能な電力Pを増大させることができる。

【図面の簡単な説明】

【図1】 本発明に係る実施の形態1である送受信切り換え回路の構成を示す回路図である。

【図2】 本発明に係る実施の形態2である送受信切り換え回路の構成を示す回路図である。

【図3】 本発明に係る実施の形態3である送受信切り換え回路の構成を示す回路図である。

【図4】 本発明に係る実施の形態4である送受信切り換え回路の構成を示す回路図である。

【図5】 本発明に係る実施の形態5である送受信切り換え回路の構成を示す回路図である。

【図6】 本発明に係る実施の形態6である送受信切り換え回路の構成を示す回路図である。

【図7】 本発明に係る実施の形態7である送受信切り換え回路の構成を示す回路図である。

【図8】 本発明に係る実施の形態8である送受信切り換え回路の構成を示す回路図である。

【図9】 本発明に係る実施の形態9である送受信切り換え回路の構成を示す回路図である。

【図10】 本発明に係る実施の形態10である送受信切り換え回路の構成を示す回路図である。

【図11】 従来例1の送受信切り換え回路の構成を示す回路図である。

【図12】 従来例2のカスコード型電力増幅器の構成を示す回路図である。

【符号の説明】

1, 1a, 1b 送信機接続端子、2 受信機接続端子、3 アンテナ接続端子、4, 5, 6 接続点、11, 11a, 11b, 12, 12a, 12b, 13, 14, 15 ゲート電圧印加用端子、22, 22a, 22b 電源電圧印加用端子、101, 101a, 101b…送信機、102…受信機、103…アンテナ、 F_1 , F_{1a} , F_{1b} , F_2 , F_{2a} , F_{2b} , F_3 , F_3' , F_3'' , F_4 , F_5 , F_5' , F_5'' FET、 V_{UP} プルアップ電圧、 V_{g1} , V_{g1a} , V_{g1b} , V_{g2} , V_{g2a} , V_{g2b} , V_{g3} , V_{g4} , V_{g5} ゲート電圧、 V_{d2} , V_{d2a} , V_{d2b} 電源電圧、 R_{g1} , R_{g1a} , R_{g1b} , R_{g2} , R_{g2a} , R_{g2b} , R_{g3} , R_{g3}' , R_{g3}'' , R_{g4} , R_{g5} , R_{g5}' , R_{g5}'' , R_{d2} , R_{d2a} , R_{d2b} , R_{d3} , R_{d3}' , R_{d3}'' 抵抗、 R_{up} プルアップ抵抗、 C_t , C_{ta} , C_{tb} , C_r , C_a 高周波結合用キャパシタ、 C_1 , C_{1a} , C_{1b} , C_2 , C_{2a} , C_{2b} 高周波バイパス用キャパシタ、 C_3 , C_5 FETのオフ容量、 C_4 高周波接地用キャパシタ、 L_d , L_{da} , L_{db} インピーダンス整合用インダクタンス、 L_{d2} , L_{d2a} , L_{d2b} 高周波阻止用インダクタ。

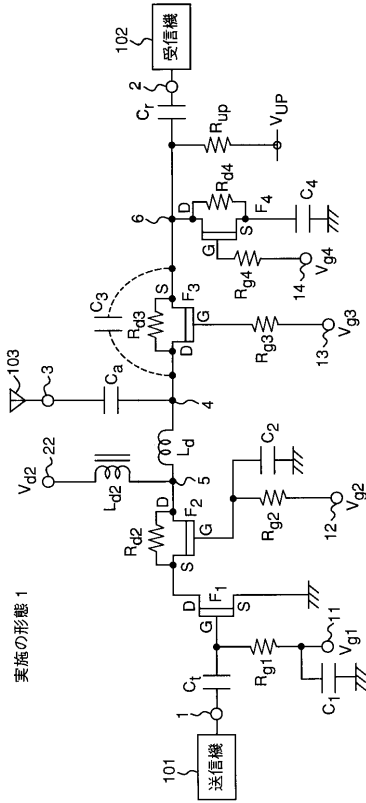
10

20

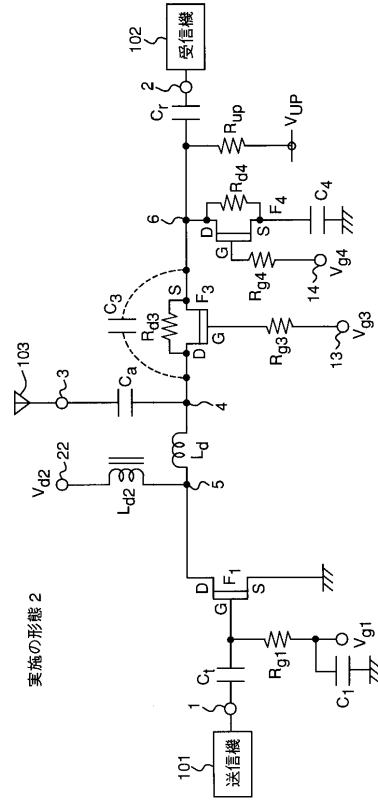
30

40

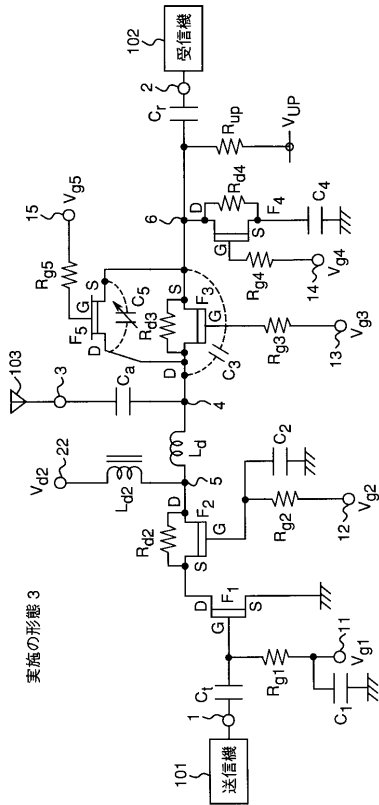
【図 1】



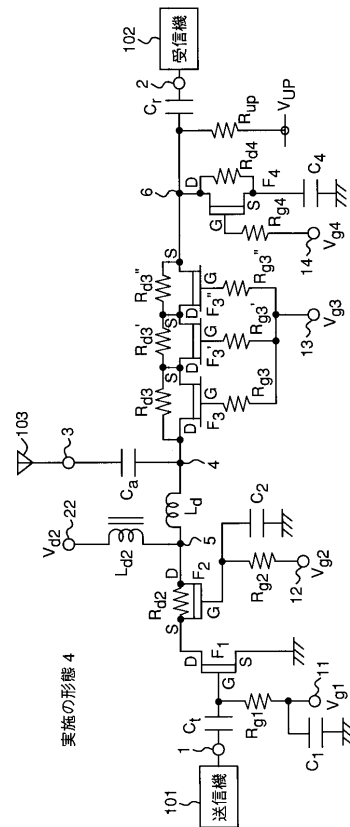
【図 2】



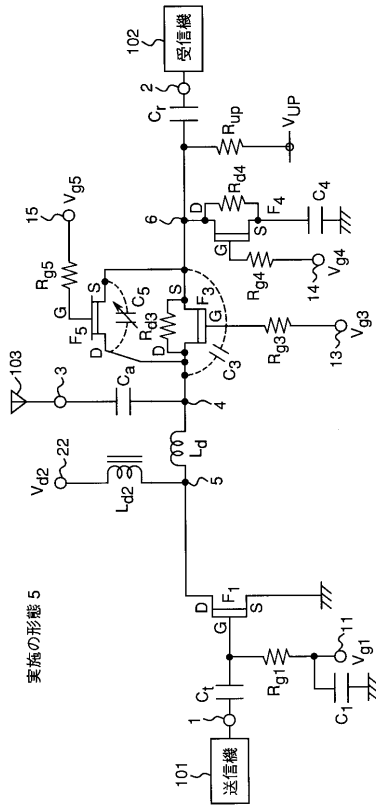
【図 3】



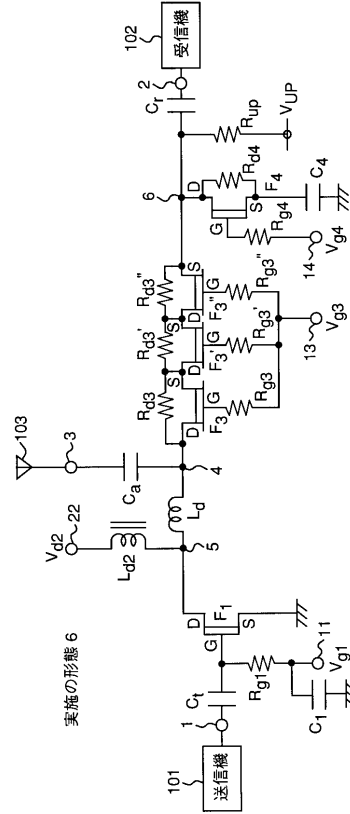
【図 4】



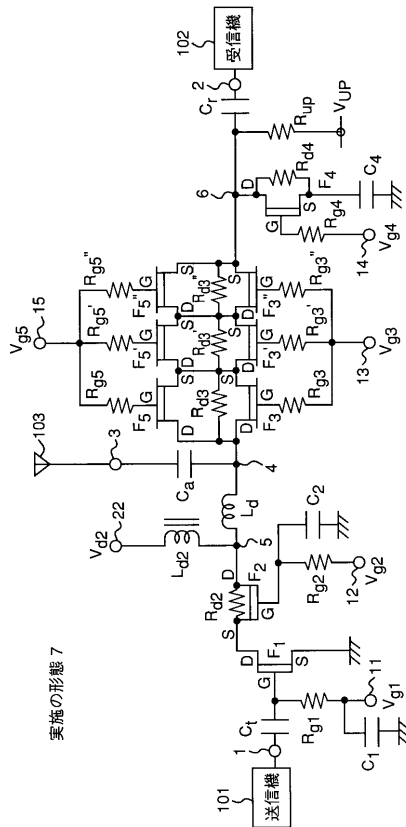
【図 5】



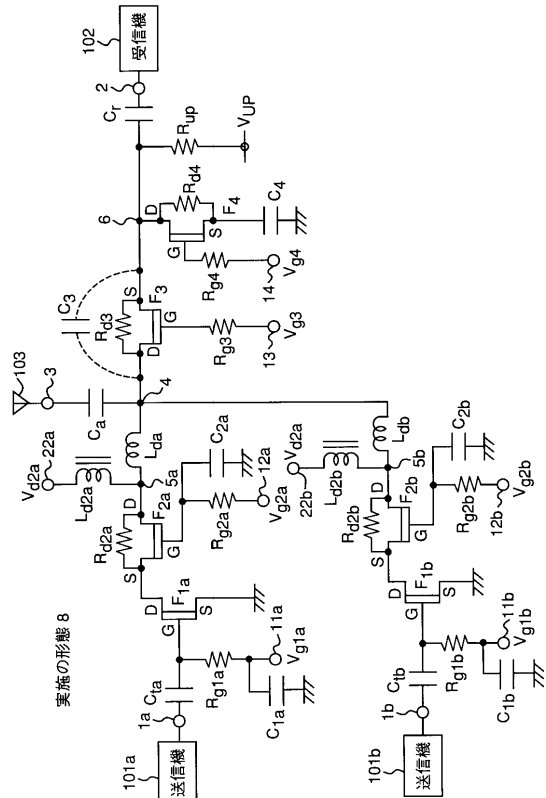
【図 6】



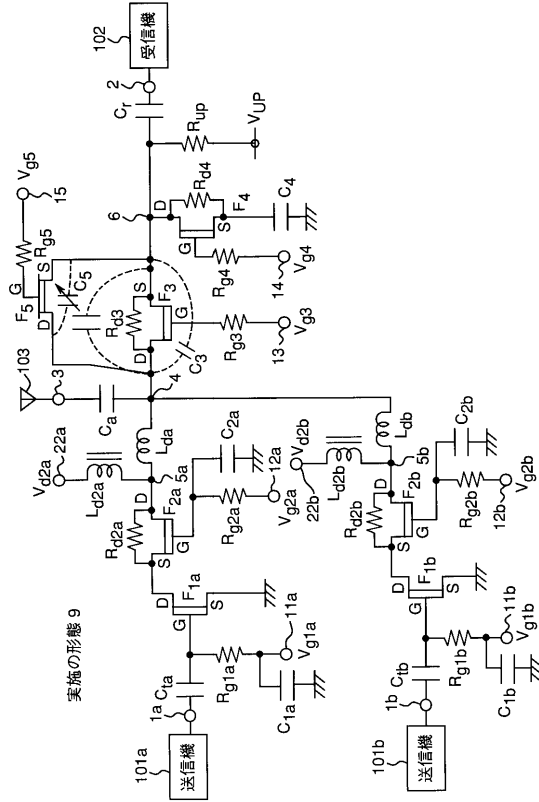
【図 7】



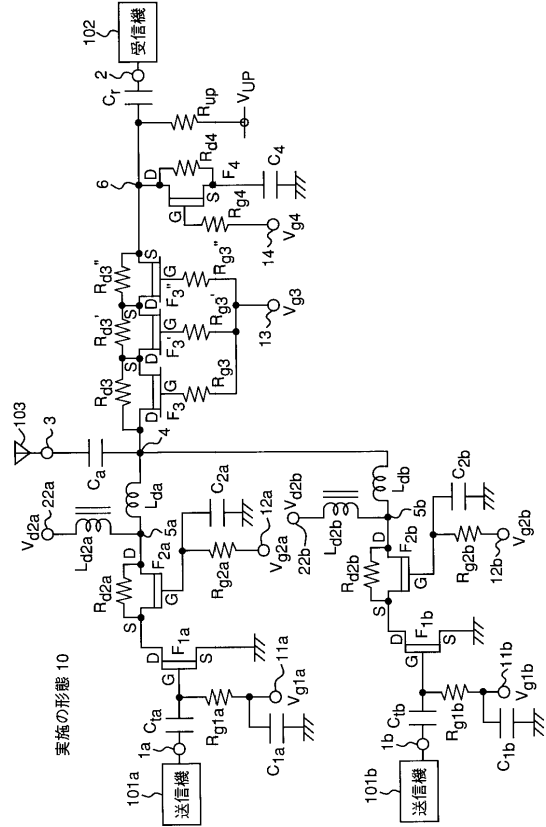
【図 8】



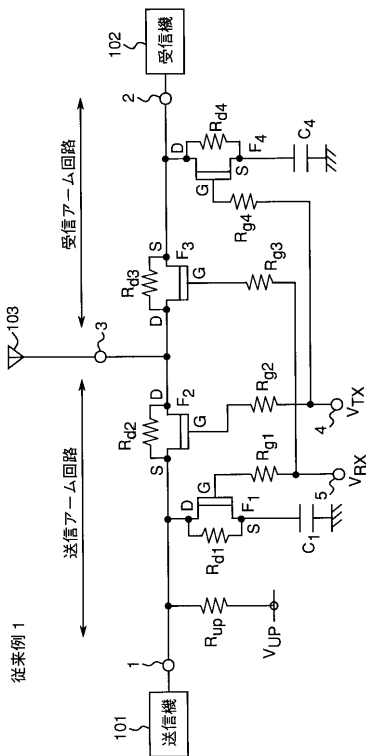
【図 9】



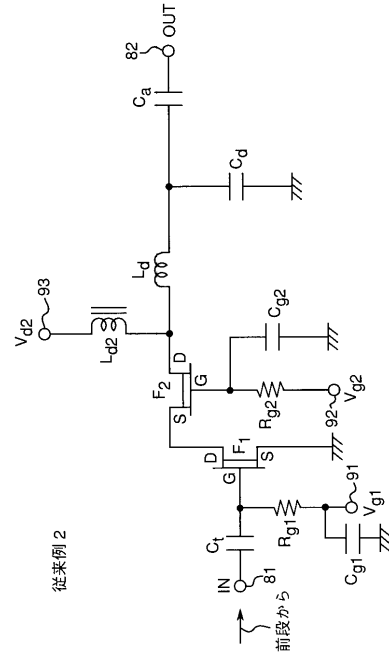
【図 10】



【図 11】



【図 12】



フロントページの続き

審査官 山中 実

(56)参考文献 国際公開第97/023053 (WO, A1)

特開昭61-013823 (JP, A)

特開平09-055681 (JP, A)

特開平06-169266 (JP, A)

特開平06-224647 (JP, A)

特開平05-308233 (JP, A)

特開平05-299995 (JP, A)

特開平09-153781 (JP, A)

特開平08-023270 (JP, A)

実開平01-103930 (JP, U)

特開平10-313266 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H04B 1/44

H01P 1/15

H03K 17/693