

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 2 月 14 日 (14.02.2019)



(10) 国际公布号
WO 2019/029009 A1

(51) 国际专利分类号:
H01L 29/786 (2006.01) **G02F 1/1368** (2006.01)
H01L 21/336 (2006.01)

(21) 国际申请号: PCT/CN2017/106975

(22) 国际申请日: 2017 年 10 月 20 日 (20.10.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710669995.4 2017 年 8 月 7 日 (07.08.2017) CN

(71) 申请人: 武汉华星光电半导体显示技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO.,

LTD.) [CN/CN]; 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430070 (CN)。

(72) 发明人: 李松杉 (LI, Songshan); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) **Title:** THIN FILM TRANSISTOR AND METHOD FOR MANUFACTURING THIN FILM TRANSISTOR, AND LIQUID CRYSTAL DISPLAY PANEL

(54) 发明名称: 薄膜晶体管及薄膜晶体管的制造方法、液晶显示面板

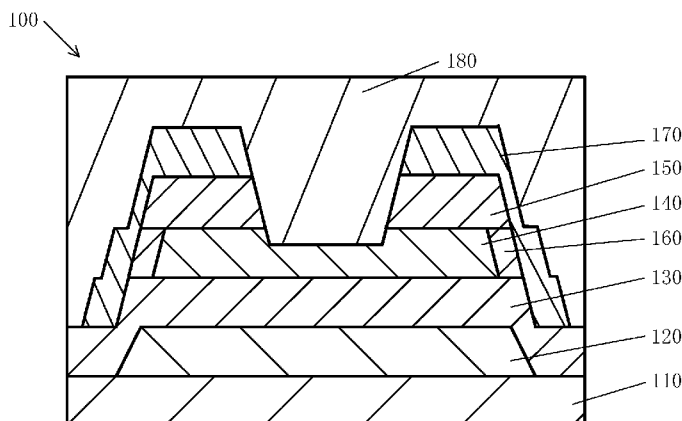


图 1

(57) **Abstract:** A thin film transistor, a method for manufacturing the thin film transistor, and a liquid crystal display panel. The thin film transistor (100) comprises: a substrate (110); a grid layer (120), provided on the substrate; an insulation layer (130), covering the grid layer; a semiconductor layer (140), provided on the insulation layer; a conductor layer (150), provided on the semiconductor layer; a source/drain layer (170), provided on the conductor layer and the insulation layer, a conductor layer or a conductive spacer (160) being provided between the source/drain layer and the semiconductor layer; and a passivation layer (180), provided on the insulation layer, the source/drain layer, and the semiconductor layer. The thin film transistor is low in leakage current and high in quality.

(57) **摘要:** 一种薄膜晶体管、薄膜晶体管的制造方法及液晶显示面板, 其中薄膜晶体管 (100) 包括: 基板 (110); 栅极层 (120), 设置在基板上; 绝缘层 (130), 覆盖于栅极层; 半导体层 (140), 设置在绝缘层上; 导体层 (150), 设置在半导体层上; 源漏极层 (170), 设置在导体层和绝缘层上, 在源漏极层和半导体层之间设置有导体层或者导电间隔部 (160); 钝化层 (180), 设置在绝缘层、源漏极层和半导体层上。该薄膜晶体管中漏电流较小, 薄膜晶体管质量较高。

CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告 (条约第21条(3))。

薄膜晶体管及薄膜晶体管的制造方法、液晶显示面板

[1] **【技术领域】**

[2] 本发明涉及显示技术领域，特别是涉及一种薄膜晶体管及薄膜晶体管的制造方法、液晶显示面板。

[3] **【背景技术】**

[4] 薄膜晶体管(Thin Film Transistor，简称TFT)广泛应用于液晶显示装置(Liquid Crystal Display，简称LCD)和有源矩阵驱动式有机电致发光显示装置(Active Matrix Organic Light-Emitting Diode，简称AMOLED)中，因此，薄膜晶体管影响到显示行业的发展。然而当前薄膜晶体管的制造方法中，形成的薄膜晶体管存在漏电流过大的问题，导致薄膜晶体管的特性受到影响。

[5] **【发明内容】**

[6] 本发明实施例提供一种薄膜晶体管及薄膜晶体管的制造方法、液晶显示面板，以解决薄膜晶体管存在漏电流过大的问题。

[7] 为解决上述技术问题，本发明实施例采用的一个技术方案是：提供一种薄膜晶体管，该薄膜晶体管包括基板；栅极层，设置在基板上；绝缘层，覆盖于栅极层；半导体层，设置在绝缘层上；导体层，设置在半导体层上；源漏极层，设置在导体层和绝缘层上，在源漏极层和半导体层之间设置有导体层或者导电间隔部；钝化层，设置在绝缘层、源漏极层和半导体层上。

[8] 为解决上述技术问题，本发明实施例采用的另一个技术方案是：提供一种薄膜晶体管的制造方法，该制造方法包括基板；在基板上依次形成栅极层及绝缘层，绝缘层覆盖于栅极层；在绝缘层上依次形成半导体层和导体层；在导体层和绝缘层上形成源漏极层，其中源漏极层和半导体层之间设置有导体层或者导电间隔部；若源漏极层和半导体层之间设置有导电间隔部，则在形成源漏极层之前，在绝缘层上设置导电间隔部；在绝缘层、源漏极层和半导体层上设置钝化层。

[9] 为解决上述技术问题，本发明实施例采用的又一个技术方案是：提供一种液晶

显示面板，该液晶显示面板包括薄膜晶体管，薄膜晶体管包括基板；栅极层，设置在基板上；绝缘层，覆盖于栅极层；半导体层，设置在绝缘层上；导体层，设置在半导体层上；半导体层具有一沟道区，沟道区将半导体层分为左右部分，导体层形成于半导体层的左右部分上，以形成两岛体结构；源漏极层，设置在导体层和绝缘层上，在源漏极层和半导体层之间设置有导体层或者导电间隔部；钝化层，设置在绝缘层、源漏极层和半导体层上；栅极层和源漏极层为金属材料；绝缘层、绝缘间隔层以及钝化层均为绝缘材料。

[10] 本发明在基板上依次形成栅极层及绝缘层，绝缘层覆盖于栅极层；在绝缘层上依次形成半导体层和导体层；在导体层和绝缘层上形成源漏极层，其中源漏极层和半导体层之间设置有导体层或者导电间隔部；若源漏极层和半导体层之间设置有导电间隔部，则在形成源漏极层之前，在绝缘层上设置导电间隔部；在绝缘层、源漏极层和半导体层上设置钝化层，通过在源漏极层和半导体层之间设置导体层或者导电间隔部，能够阻止源漏极层和半导体层的直接接触，从而有可以减小漏电流的效果，改善薄膜晶体管的特性。

[11] **【附图说明】**

[12] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[13] 图1是本发明薄膜晶体管一实施例的结构示意图；

[14] 图2是本发明薄膜晶体管另一实施例的结构示意图；

[15] 图3是本发明薄膜晶体管的制造方法一实施例的流程示意图；

[16] 图4是图3所示薄膜晶体管的制造方法中步骤S13之后基板的结构示意图；

[17] 图5是本发明薄膜晶体管的制造方法另一实施例的流程示意图；

[18] 图6是图5所示薄膜晶体管的制造方法中步骤S232后基板的结构示意图；

[19] 图7是图5所示薄膜晶体管的制造方法中步骤S234后基板的结构示意图；

[20] 图8是图5所示薄膜晶体管的制造方法中步骤S25后基板的结构示意图；

[21] 图9是本发明薄膜晶体管的制造方法又一实施例的流程示意图；

[22] 图10是图9所示薄膜晶体管的制造方法步骤S334中光罩蚀刻的示意图；

[23] 图11是本发明液晶显示面板一实施例的结构示意图。

[24] **【具体实施方式】**

[25] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅是本发明的一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[26] 本发明的描述中，“多个”的含义是至少两个，例如两个，三个等，除非另有明确具体的限定。此外，术语“包括”和“具有”以及它们任何变形，意图在于覆盖不排他的包含。例如包含了一系列步骤或单元的过程、方法、系统、产品或设备没有限定于已列出的步骤或单元，而是可选地还包括没有列出的步骤或单元，或可选地还包括对于这些过程、方法、产品或设备固有的其它步骤或单元。

[27] 在本文中提及“实施例”意味着，结合实施例描述的特定特征、结构或特性可以包含在本发明的至少一个实施例中。在说明书中的各个位置出现该短语并不一定均是指相同的实施例，也不是与其它实施例互斥的独立的或备选的实施例。本领域技术人员显式地和隐式地理解的是，本文所描述的实施例可以与其它实施例相结合。

[28] 请参阅图1和图2，图1是本发明薄膜晶体管一实施例的结构示意图，图2是本发明薄膜晶体管另一实施例的结构示意图。

[29] 在图1和图2两实施例中，薄膜晶体管的区别仅仅在于导体层形状的不同以及是否存在导电间隔部，因此图1和图2的两实施例均采用相同标号。

[30] 薄膜晶体管100包括基板110、栅极层120、绝缘层130、半导体层140、导体层150、源漏极层170以及钝化层180，在一实施例中还包括导电间隔部160。

[31] 薄膜晶体管100为层叠结构，上述各层依次形成在基板110上，基板110可以为玻璃基板。其中，栅极层120形成于基板110上，绝缘层130覆盖于栅极层120，本实施例中薄膜晶体管100为底栅结构。

[32] 半导体层140作为薄膜晶体管100的有源层，形成于绝缘层130上；导体层150形成于半导体层140上，用于连接半导体层140和源漏极层170，源漏极层170之间

通过导体层150后经由半导体层140形成电流，相较于源漏极层170直接连接半导体层140，本实施例中导体层150电阻较小，能够减少源漏极层170与半导体层140之间的漏电流情况。

[33] 在本实施例中的绝缘层130上还形成有导体层150或导电间隔部160，即导体层150或导电间隔部160与半导体层140同层设置；源漏极层170则形成在导体层150和导电间隔部160上；导电间隔部160位于半导体层140和源漏极层170之间。

[34] 在实施例中半导体层140和源漏极层170之间设置有导体层150或导电间隔部160，即半导体层140与源漏极层170之间没有直接接触连接，因而能够有效减少半导体层140与源漏极层170之间的漏电流。

[35] 半导体层140具有一沟道区141，沟道区141将半导体层140分为左右部分，导体层150形成在半导体层140的左右部分上，形成两岛体结构。形成在导体层150两岛体结构上的源漏极层170也被区分为源极和漏极。

[36] 钝化层180形成于源漏极层170和半导体层140上，具体形成于半导体140的沟道区141上，且形成于导体层150的两岛体结构之间。

[37] 对于上述结构的薄膜晶体管100，其中绝缘层130以及钝化层180均为绝缘材料构，可以为氧化硅或氮化硅。栅极层120和源漏极层170则为金属材料，可以为钼、铝的等金属材料，还可为钼-铝-钼三层组合的金属材料。半导体层140可以为多晶硅，导体层150和导电间隔部160则可以为掺杂B离子的多晶硅所形成的P+导体层。

[38] 此外，本实施例中半导体层140和源漏极层170之间可设置导体层150或导电间隔部160，例如图1和图2所示的两种方式。

[39] 图1中，导电间隔部160形成在半导体层140的侧面，以使源漏极层170和半导体层140之间设置该导电间隔部160。图2中，导体层150则覆盖半导体层140，以使源漏极层170和半导体层140之间设置该导体层150，还形成于半导体层140侧面，位于绝缘层130上。

[40] 上述实施例中导电间隔部或导体层位于源漏极层和半导体层之间，能够阻隔源漏极层和半导体层的直接接触，减少漏电流的问题，从而提高薄膜晶体管的性能。

- [41] 本实施例薄膜晶体管包括该薄膜晶体管包括基板；栅极层，设置在基板上；绝缘层，覆盖于栅极层；半导体层，设置在绝缘层上；导体层，设置在半导体层上；源漏极层，设置在导体层和绝缘层上，在源漏极层和半导体层之间设置有导体层或者导电间隔部；钝化层，设置在绝缘层、源漏极层和半导体层上，通过在源漏极层和半导体层之间设置导体层或者导电间隔部，从而减少漏电的路径，有减小漏电流的效果。
- [42] 为制得上述薄膜晶体管，本发明还提出一种薄膜晶体管的制造方法，请参阅图3，图3是本发明薄膜晶体管的制造方法一实施例的流程示意图。在本实施例中，薄膜晶体管的制造方法可以包括以下步骤：
- [43] S11：准备基板。
- [44] 准备制造薄膜晶体管的基板，该基板可以是玻璃基板。
- [45] S12：在基板上依次形成栅极层及绝缘层，绝缘层覆盖于栅极层。
- [46] 在本步骤S12中，在上述步骤S11中准备的玻璃基板上沉积一层金属使之图形化形成栅极层，在本实施例中形成栅极层的金属材料是钼，当然在其他实施例中也可以是其他的金属材料；再在已经设置完成的栅极层上设置一层绝缘层，其中绝缘层是覆盖在栅极层上的，即栅极层形成在基板和绝缘层中间，在本实施例中绝缘层的材料是氧化硅，在其他实施例中也可以是氮化硅或其他能够达到绝缘目的的材料，在本步骤中形成的玻璃基板用于下述步骤S13中使用。
- [47] S13：在绝缘层上依次形成半导体层和导体层。
- [48] 在本步骤S13中，在上述步骤S12中得到的玻璃基板上继续设置半导体层和导体层，具体来说，在绝缘层上表面沉积一层非晶硅，通过工艺使其图案化，沉积一层导体材料，通过工艺使其结晶，从而形成半导体层和导体层，半导体层形成于靠近绝缘层的一侧，导体层形成于远离绝缘层的一侧，即绝缘层在半导体层和栅极层之间，半导体层在绝缘层和导体层中间。
- [49] 可结合图4理解上述步骤，图4是图3所示薄膜晶体管的制造方法中步骤S13之后基板的结构示意图。图4中示出玻璃基板110、栅极层120及绝缘层130，栅极层120形成于基板110上，绝缘层130覆盖于栅极层120，半导体层140形成于绝缘层130上，导体层150形成于半导体层140上。

- [50] S14: 在导体层和绝缘层上形成源漏极层, 源漏极层和半导体层之间设置有导体层或导电间隔部。
- [51] 在本步骤S14中, 源漏极层和半导体层之间可能设置有导体层或导电间隔部。
- [52] 对于源漏极层和半导体层之间设置导体层的情况, 即步骤S13中所形成的导体层覆盖于半导体层, 使得本步骤S14中所形成的源漏极层与半导体层之间由导体层间隔。
- [53] 对于源漏极层和半导体层之间设置导电间隔部的情况, 在本步骤S14之前, 会在绝缘层上设置导电间隔部。即该导电间隔部与半导体层同层设置, 使得本步骤S14中形成的源漏极层与半导体层之间由导电间隔部间隔。
- [54] S15: 在绝缘层、源漏极层和半导体层上设置钝化层。
- [55] 由于步骤S14中出现导体层或者导电间隔部两种情况, 导致步骤S15后形成两种不同形状的薄膜晶体管, 对于两种不同形状的薄膜晶体管, 可参阅图1和图2, 图1即对应导电间隔部的情况, 图2对应导体层的情况。
- [56] 在步骤S14中形成源漏极层后, 对导体层进行图案处理, 形成沟道, 导体层为两分离岛体结构。在本步骤S15中所形成的钝化层会形成于半导体层上, 即位于沟道中。
- [57] 本实施例薄膜晶体管包括准备基板; 在基板上依次形成栅极层及绝缘层, 绝缘层覆盖于栅极层; 在绝缘层上依次形成半导体层和导体层; : 在半导体层两端设置导体层或者导电间隔部, 在导体层和绝缘层上形成源漏极层; 在绝缘层、源漏极层和半导体层上设置钝化层, 由于源漏极层被导体层或导电间隔部阻挡不能接触半导体层, 可以有减小漏电流的效果, 改善薄膜晶体管的特性。
- [58] 请参阅图5, 图5是本发明又一实施例薄膜晶体管的制造方法的流程示意图, 在本实施例中, 薄膜晶体管的制造方法可以包括以下步骤。
- [59] S21: 准备基板。
- [60] S22: 在基板上依次形成栅极层及绝缘层, 绝缘层覆盖于栅极层。
- [61] 步骤S21-S22与步骤S11-S12类似。此外, 本步骤S22中在玻璃基板上设置栅极层和绝缘层, 具体来说, 在玻璃基板上利用PVD (Physical Vapor Deposition, 物理气相沉积) 技术沉积一层金属, 并且图形化以形成栅极层, 在本实施例中形

成栅极层的金属材料是钼，当然在其他实施例中也可以是其他金属材料；接着再利用PECVD（Plasma Enhanced Chemical Vapor Deposition，等离子体增强化学的气相沉积法）技术沉积一层绝缘物质形成绝缘层，绝缘层是覆盖在栅极层上的，即栅极层形成在玻璃基板和绝缘层中间，在本实施例中绝缘层的材料是氧化硅，在其他实施例中也可以是氮化硅或其他能够达到绝缘目的的材料。

[62] S23：在绝缘层上依次形成半导体层和导体层，导体层上设置有光阻材料。

[63] 本步骤S23中，在上述步骤S22中得到的玻璃基板上继续设置半导体层和导体层，具体来说，包括以下步骤。

[64] S231：在绝缘层上形成非晶硅层。

[65] 在绝缘层上利用PECVD技术沉积一层非晶硅材料，然后通过曝光刻蚀使非晶硅图形化，得到非晶硅层。

[66] S232：在非晶硅层上沉积导体材料。

[67] 在已经图形化的非晶硅上利用PECVD技术沉积一层导体层材料，PECVD技术中的成膜气体里加入少量的乙硼烷，乙硼烷的用量可以根据实际操作添加，如0.5毫升，1毫升，5毫升，10毫升等，在本实施例中用量可以是10毫升，因此沉积的导体材料中包含硼离子。

[68] S233：对非晶硅层进行结晶处理，得到作为半导体层的多晶硅层。

[69] 利用快速加热技术在650°C（±50°C）的温度下加热15min（±1min）就可以结晶使下层形成半导体层，即非晶硅形成为多晶硅，加热的温度和时间可以根据实际情况进行设定，在本实施例中，利用快速加热技术在650°C的温度下加热15min使非晶硅进行结晶，由于上表面中含有较多的硼离子，结晶的温度和时间会被降低，所以结晶方向是从上向下进行的，形成远离绝缘层的导体材料和接近绝缘层的半导体层。

[70] S234：对导体材料进行图案化处理，得到导体层。

[71] 在对导体材料图案化处理后，不去除导体层上的光阻材料，直接进入步骤S24。

[72] 可结合图6和图7理解上述步骤，图6是图5所示薄膜晶体管的制造方法中步骤S232后基板的结构示意图，图7是图5所示薄膜晶体管的制造方法中步骤S234后基

板的结构示意图。

- [73] 图6中示出玻璃基板110、栅极层120及绝缘层130，栅极层120形成于基板110上，绝缘层130覆盖于栅极层120，非晶硅层140形成于绝缘层130上，导体层材料150沉积于非晶硅层140上。
- [74] 图7中示出半导体层140形成于绝缘层130上，导体层150形成于半导体层140上，光阻材料190设置于导体层150上，其他标号部分与图6中描述相同。
- [75] S24：对半导体层进行掺杂处理，以在绝缘层上及半导体层的侧面设置导电间隔部。
- [76] 利用离子注入技术对半导体层植入一定量的硼离子，硼离子的植入剂量可以根据实际需求进行设定，例如植入0.1毫升、0.5 毫升、1毫升、3毫升等等，本实施例中硼离子的植入剂量为1毫升，除去导体层上的光阻材料后，利用快速加热技术进行活化处理，加热温度为550°C~590°C，加热时间为1~2分钟，其中加热温度和加热时间可根据实际情况进行设定，例如加热温度可以是550°C、560°C、570°C、580°C、590°C，加热时间可以是1分钟、1分15秒、1分30秒、1分45秒、2分钟，在本实施例中，加热温度为550°C，加热时间为2分钟，此时会在半导体层的侧壁也形成导体层材料，即导电间隔部。
- [77] S25：去除光阻材料。
- [78] 形成导电间隔部后，去除光阻材料。
- [79] S26：在导体层和绝缘层上形成源漏极层。
- [80] 利用物理气相沉积技术在导体层上沉积一层由钼、铝、钼三层叠加的金属材料，将近其图案化处理以形成源漏极层，此时源漏极层设置于导体层和绝缘层上，由于半导体层侧壁有导电间隔部，所以源漏极层被导电间隔部阻挡，不与半导体层接触。
- [81] 可结合图8理解上述步骤，图8是图5所示薄膜晶体管的制造方法中步骤S25后基板的结构示意图。
- [82] 图8中示出，导电间隔部160设置于半导体层140的侧壁，还设置于导体层150与绝缘层130之间，其他标号部分与图7中描述相同。
- [83] S27：在绝缘层、源漏极层和半导体层上设置钝化层。

[84] 形成源漏极层之后，对导电层进行处理，从而形成沟道，去掉沟道上表面的导体层，留下沟道下部的半导体层，形成沟道之后，会继续设置一层钝化层来保护沟道，具体来说，以形成的源漏极层为金属电极，将其做为光罩进行对导体层进行刻蚀以形成沟道，将沟道上表面的导体层去除掉，留下下部的沟道半导体层，从而得到薄膜晶体管，此时再利用PECVD沉积一层钝化材料，图案化以形成钝化层，钝化材料可以是氧化硅或其他材料，本实施例中钝化材料为氧化硅。钝化层设置在绝缘层、源漏极层和半导体层上，完成薄膜晶体管的制作。最终得到的薄膜晶体管即可参考图1所示的情况。

[85] 请参阅图9，图9是本发明又一实施例薄膜晶体管的制造方法的流程示意图，在本实施例中，薄膜晶体管的制造方法可以包括以下步骤。

[86] S31：准备基板。

[87] S32：在基板上依次形成栅极层及绝缘层，绝缘层覆盖于栅极层。

[88] S33：在绝缘层上依次形成半导体层和导体层。

[89] S34：在导体层和绝缘层上形成源漏极层，其中源漏极层和半导体层之间设置有导体层。

[90] S35：在绝缘层、源漏极层和半导体层上设置钝化层。

[91] 本实施例中的上述步骤S31-S35与上述实施例的相应步骤类似，相同部分不再赘述。

[92] 不同之处在于，本实施例步骤S33中，具体包括以下步骤。

[93] S331：在绝缘层上形成非晶硅层。

[94] S332：在非晶硅层上沉积导体材料。

[95] S333：对非晶硅层进行结晶处理，得到作为半导体层的多晶硅层。

[96] S334：对导体材料进行图案化处理，得到导体层。

[97] 其中，在步骤S334对导体材料进行图案化处理时，得到覆盖半导体层的导体层，具体结合图10进行理解，图10是图9所示薄膜晶体管的制造方法步骤S334中光罩蚀刻的示意图。在利用光罩进行蚀刻的过程中，光罩尺寸较大，在对导体材料进行图案化过程中，通过光罩来定义导体层区域，使导体层的图形比半导体层的图形稍大一点，即导体层覆盖在半导体层上，导体层还设置在绝缘层之上

- 。
- [98] 在步骤S34中，利用物理气相沉积技术在导体层上沉积一层由钼、铝、钼三层叠加的金属材料，将近其图案化处理以形成源漏极层，此时源漏极层设置于导体层和绝缘层上，由于半导体层被导体层覆盖，所以源漏极层被导体层阻挡，不与半导体层接触。
- [99] 步骤S35中，形成源漏极层之后，对导电层进行处理，从而形成沟道，去掉沟道上表面的导体层，留下沟道下部的半导体层，形成沟道之后，会继续设置一层钝化层来保护沟道，具体来说，以形成的源漏极层为金属电极，将其做为光罩进行对导体层进行刻蚀以形成沟道，将沟道上表面的导体层去除掉，留下下部的沟道半导体层，从而得到薄膜晶体管，此时再利用PECVD沉积一层钝化材料，图案化以形成钝化层，钝化材料可以是氧化硅或其他材料，本实施例中钝化材料为氧化硅。钝化层设置在绝缘层、源漏极层和半导体层上，完成薄膜晶体管的制作。最终得到的薄膜晶体管即可参考图2所示的情况。
- [100] 本实施例薄膜晶体管包括准备基板；在基板上依次形成栅极层及绝缘层，绝缘层覆盖于栅极层；在绝缘层上依次形成半导体层和导体层；：在半导体层两端设置导体层或者导电间隔部，在导体层和绝缘层上形成源漏极层；在绝缘层、源漏极层和半导体层上设置钝化层，由于源漏极层与半导体层之间有导体层或导电间隔部阻挡，从而阻止源漏极层与半导体层直接接触，可以有减小漏电流的效果，改善薄膜晶体管的特性。
- [101] 请参阅图11，图11是本发明液晶显示面板一实施例的结构示意图。本实施例液晶显示面板200包括薄膜晶体管21，薄膜晶体管21与上述薄膜晶体管100类似，具体不再赘述。
- [102] 此外，薄膜晶体管21构成一层，为实现显示，液晶显示面板200中还包括液晶层22。
- [103] 本实施例中，液晶显示面板中薄膜晶体管源漏极层和半导体层之间没有直接接触，减少了二者之间漏电流的问题，从而提高薄膜晶体管的性能，继而提高液晶显示面板的显示性能。
- [104] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用

本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

- [权利要求 1] 一种液晶显示面板，所述液晶显示面板包括薄膜晶体管，其中，所述薄膜晶体管包括：
- 基板；
- 栅极层，设置在所述基板上；
- 绝缘层，覆盖于所述栅极层；
- 半导体层，设置在所述绝缘层上；
- 导体层，设置在所述半导体层上；
- 所述半导体层具有一沟道区，所述沟道区将所述半导体层分为左右部分，所述导体层形成于所述半导体层的左右部分上，以形成两岛体结构；
- 源漏极层，设置在所述导体层和所述绝缘层上，在所述源漏极层和所述半导体层之间设置有所述导体层或者导电间隔部；
- 钝化层，设置在所述绝缘层、源漏极层和所述半导体层上；
- 所述栅极层和所述源漏极层为金属材料；
- 所述绝缘层、所述绝缘间隔层以及所述钝化层均为绝缘材料。
- [权利要求 2] 根据权利要求1所述的液晶显示面板，其中，所述导体层覆盖所述半导体层，以使所述源漏极层和所述半导体层之间设置有所述导体层。
- [权利要求 3] 根据权利要求1所述的液晶显示面板，其中，在所述半导体层的侧面设置所述导电间隔部，以使所述源漏极层和所述半导体层之间设置有所述导电间隔部。
- [权利要求 4] 根据权利要求3所述的液晶显示面板，其中，所述导电间隔部的材料与所述导体层的材料相同。
- [权利要求 5] 根据权利要求1所述的液晶显示面板，其中，所述半导体层包括多晶硅层，所述导体层包括P型导体层或N型导体层，所述源漏极层包括钼、铝、钼三层金属依次叠加的组合层。
- [权利要求 6] 一种薄膜晶体管，其中，所述薄膜晶体管包括：

基板；
栅极层，设置在所述基板上；
绝缘层，覆盖于所述栅极层；
半导体层，设置在所述绝缘层上；
导体层，设置在所述半导体层上；
源漏极层，设置在所述导体层和所述绝缘层上，在所述源漏极层和所述半导体层之间设置有所述导体层或者导电间隔部；
钝化层，设置在所述绝缘层、源漏极层和所述半导体层上。

[权利要求 7] 根据权利要求6所述的薄膜晶体管，其中，所述导体层覆盖所述半导体层，以使所述源漏极层和所述半导体层之间设置有所述导体层。

[权利要求 8] 根据权利要求6所述的薄膜晶体管，其中，在所述半导体层的侧面设置所述导电间隔部，以使所述源漏极层和所述半导体层之间设置有所述导电间隔部。

[权利要求 9] 根据权利要求8所述的薄膜晶体管，其中，所述导电间隔部的材料与所述导体层的材料相同。

[权利要求 10] 根据权利要求6所述的薄膜晶体管，其中，所述半导体层包括多晶硅层，所述导体层包括P型导体层或N型导体层，所述源漏极层包括钼、铝、钼三层金属依次叠加的组合层。

[权利要求 11] 一种薄膜晶体管的制造方法，其中，所述制造方法包括：
基板；
在所述基板上依次形成栅极层及绝缘层，所述绝缘层覆盖于所述栅极层；
在所述绝缘层上依次形成半导体层和导体层；
在所述导体层和所述绝缘层上形成源漏极层，其中所述源漏极层和所述半导体层之间设置有所述导体层或者导电间隔部；
若所述源漏极层和所述半导体层之间设置有所述导电间隔部，则在形成源漏极层之前，在所述绝缘层上设置所述导电间隔部；

在所述绝缘层、源漏极层和所述半导体层上设置钝化层。

[权利要求 12]

根据权利要求11所述的制造方法，其中，所述制造方法进一步包括：

在所述绝缘层上依次形成半导体层和导体层，所述导体层上设置有光阻材料；

对所述半导体层进行掺杂处理，以在所述绝缘层上及所述半导体层的侧面设置所述导电间隔部；

在所述导体层和所述绝缘层上形成源漏极层，其中所述源漏极层和所述半导体层之间设置有所述导电间隔部。

[权利要求 13]

根据权利要求11所述的制造方法，其中，所述在所述绝缘层上依次形成半导体层和导体层包括：

在所述绝缘层上形成半导体层和导体材料；

对所述导体材料进行图案化处理，得到覆盖所述半导体层的导体层；

在所述导体层和所述绝缘层上形成源漏极层，其中所述源漏极层和所述半导体层之间设置有所述导体层。

[权利要求 14]

根据权利要求12所述的制造方法，其中，所述在所述绝缘层上依次形成半导体层和导体层包括：

在所述绝缘层上形成非晶硅层；

在所述非晶硅层上沉积导体材料；

对所述非晶硅层进行结晶处理，得到作为所述半导体层的多晶硅层；

对所述导体材料进行图案化处理，得到导体层。

[权利要求 15]

根据权利要求13所述的制造方法，其中，所述在所述绝缘层上依次形成半导体层和导体层包括：

在所述绝缘层上形成非晶硅层；

在所述非晶硅层上沉积导体材料；

对所述非晶硅层进行结晶处理，得到作为所述半导体层的多晶硅

层;

对所述导体材料进行图案化处理, 得到导体层。

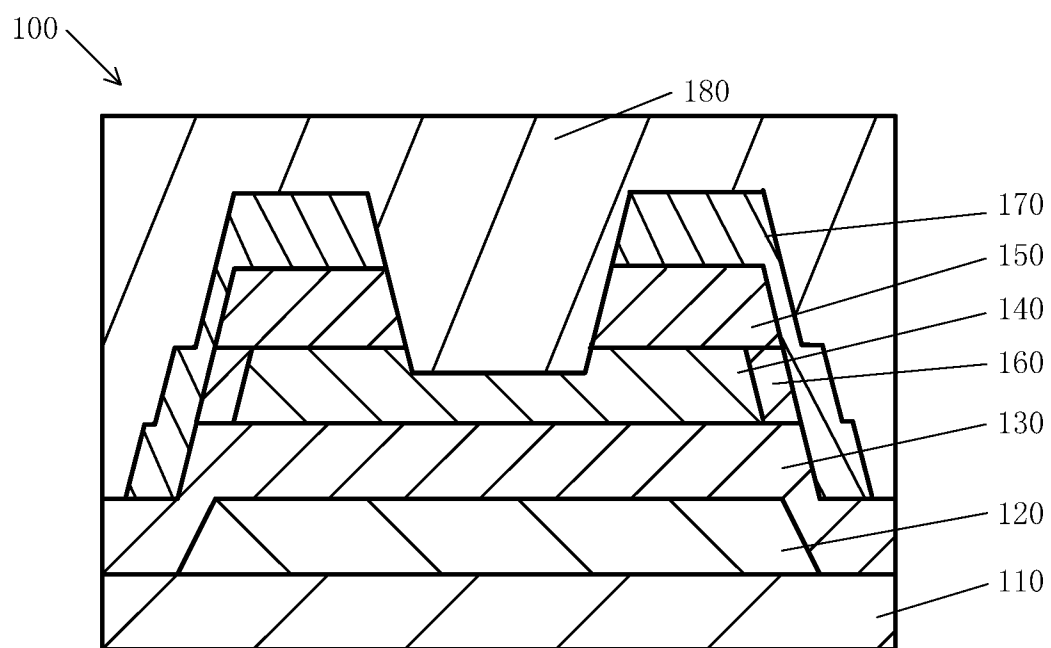


图 1

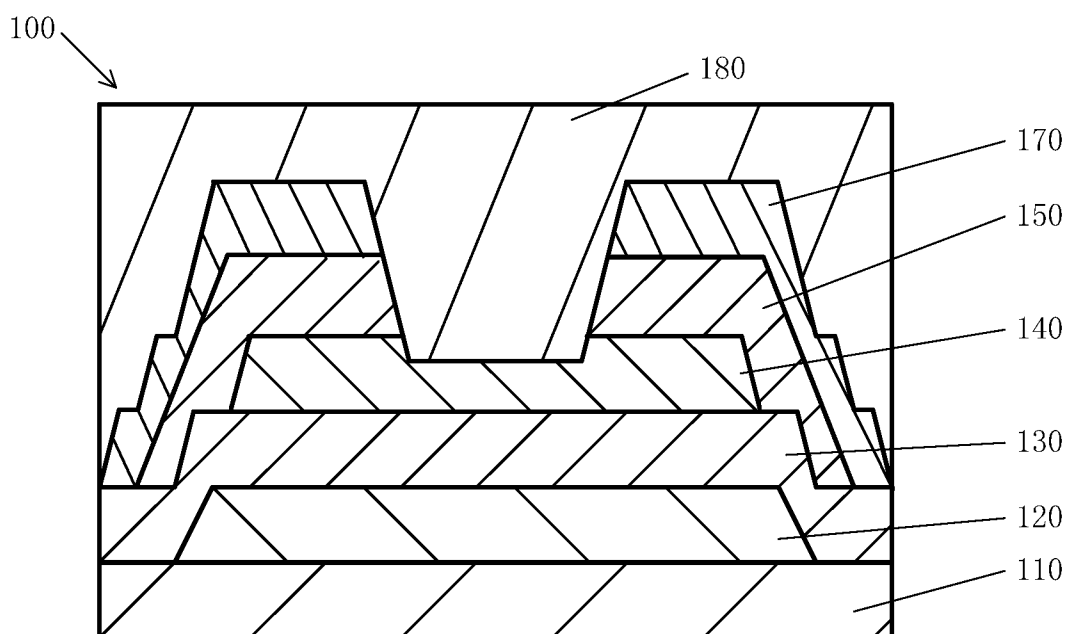


图 2

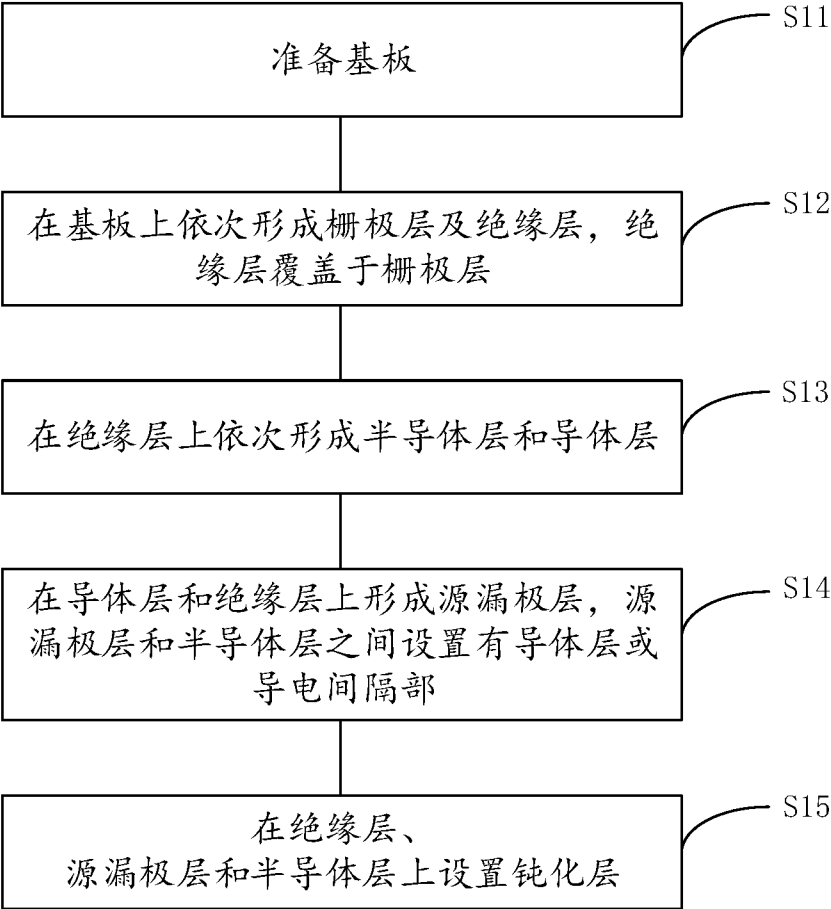


图 3

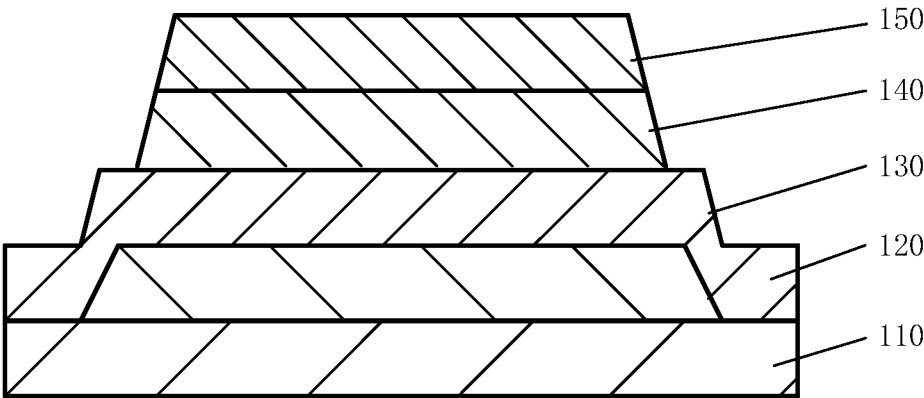


图 4

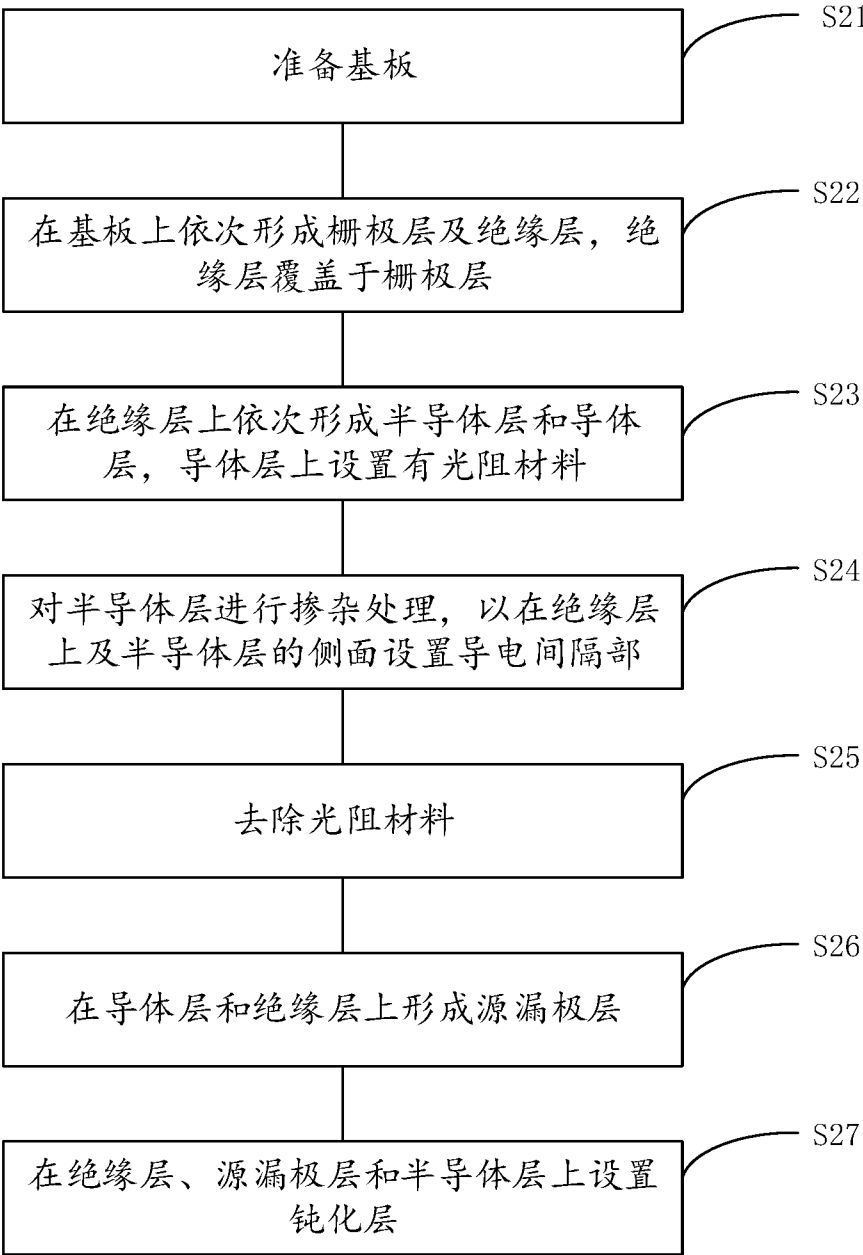


图 5

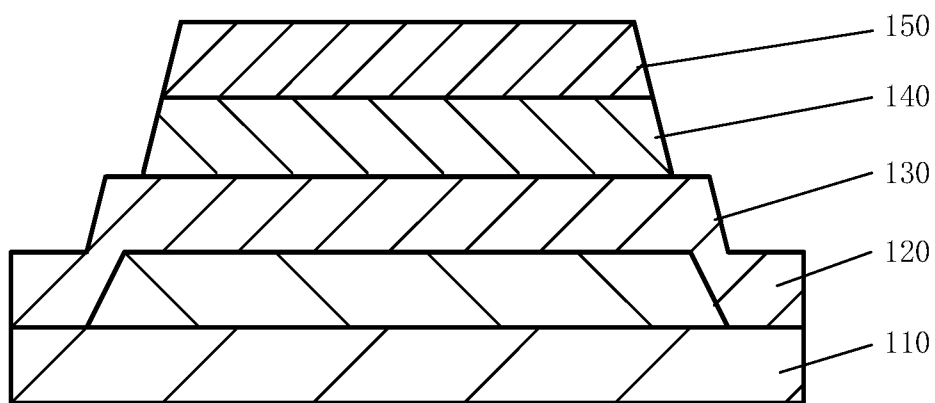


图 6

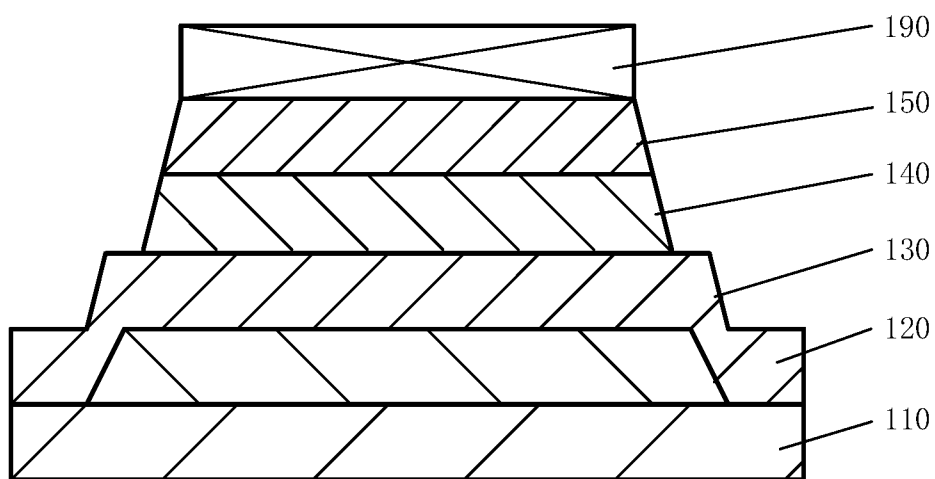


图 7

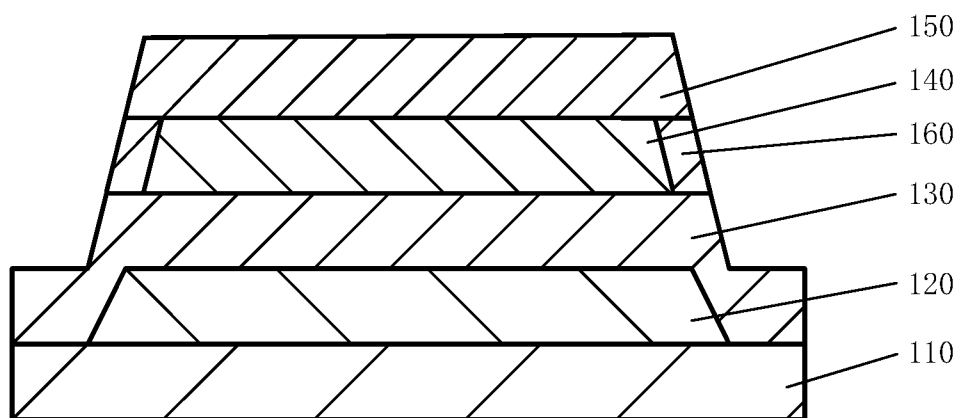


图 8

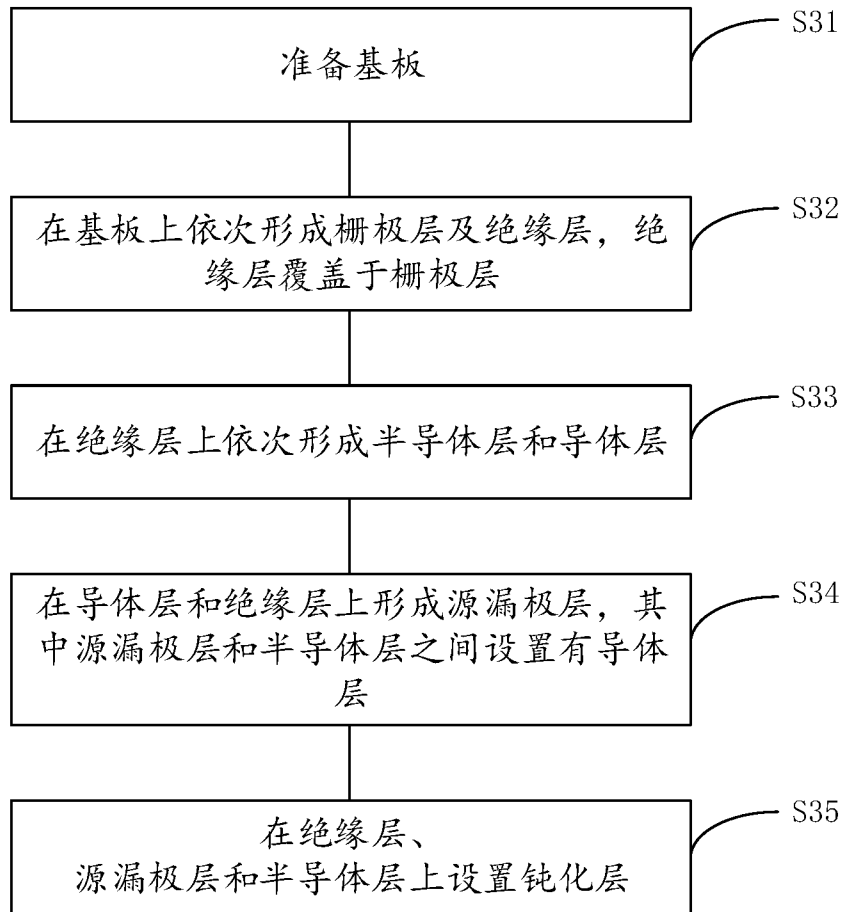


图 9

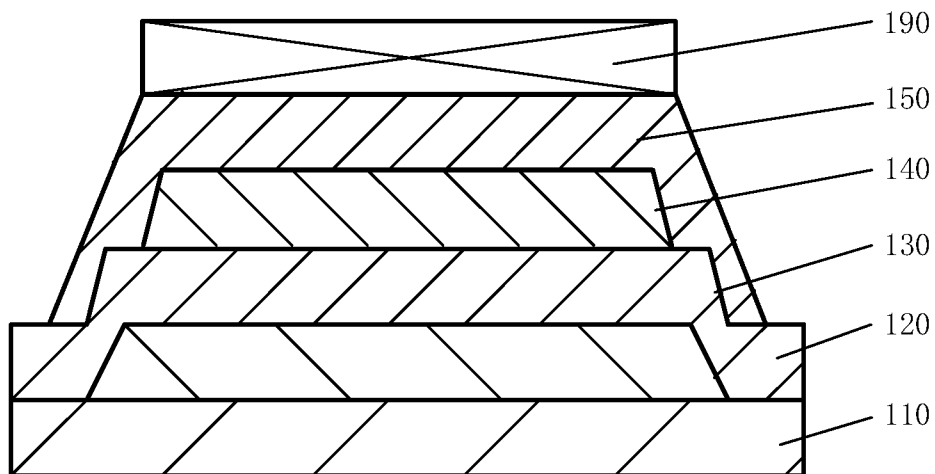


图 10

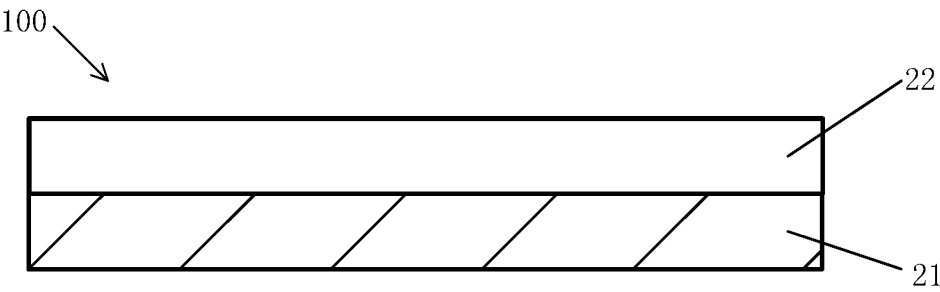


图 11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/106975

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006.01) i; H01L 21/336 (2006.01) i; G02F 1/1368 (2006.01) n
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L, G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, DWPI, SIPOABS, CNKI: 漏极层, 半导体层, 导体层, 漏电流, 薄膜晶体管, 导电间隔部, leakage current, liquid crystal display, semiconductor layer, TFT, conductor layer, source, drain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101320181 A (HITACHI DISPLAYS K.K.) 10 December 2008 (10.12.2008), description, page 6, paragraph 4 to page 15, paragraph 3, and figures 1-10	1-15
A	CN 101409308 A (CHUNGHWA PICTURE TUBES LTD.) 15 April 2009 (15.04.2009), entire document	1-15
A	CN 101339923 A (AU OPTRONICS CORPORATION) 07 January 2009 (07.01.2009), entire document	1-15
A	CN 101800248 A (SONY CORPORATION) 11 August 2010 (11.08.2010), entire document	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	“&” document member of the same patent family

Date of the actual completion of the international search 28 April 2018	Date of mailing of the international search report 18 May 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WU, Haitao Telephone No. (86-10) 62412214

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/106975

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN101320181 A	10 December 2008	TW 200915575 A	01 April 2009
		EP 2001046 A2	10 December 2008
		US 2008303030 A1	11 December 2008
		EP 2001046 A3	05 January 2011
		JP 5303119 B2	02 October 2013
		CN 101320181 B	31 October 2012
		KR 20080107281 A	10 December 2008
		TW I381529 B	01 January 2013
		US 8049255 B2	01 November 2011
		KR 100973361 B1	30 July 2010
		JP 2008305843 A	18 December 2008
CN 101409308 A	15 April 2009	None	
CN 101339923 A	07 January 2009	US 2012126235 A1	24 May 2012
		US 8133773 B2	13 March 2012
		TW 200919735 A	01 May 2009
		JP 2009099977 A	07 May 2009
		TW I383504 B	21 January 2013
		US 2009101913 A1	23 April 2009
		CN 101339923 B	27 June 2012
CN 101800248 A	11 August 2010	JP 4752927 B2	17 August 2011
		US 2012043548 A1	23 February 2012
		CN 101800248 B	20 June 2012
		TW I412137 B	11 October 2013
		US 8497504 B2	30 July 2013
		JP 2010183027 A	19 August 2010
		KR 101651679 B1	26 August 2016
		KR 20100091108 A	18 August 2010
		US 2010200843 A1	12 August 2010

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/106975

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
		TW 201044593 A	16 December 2010
		US 8269217 B2	18 September 2012

国际检索报告

国际申请号

PCT/CN2017/106975

A. 主题的分类

H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; G02F 1/1368(2006.01)n

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L, G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, DWPI, SIPOABS, CNKI:漏极层, 半导体层, 导体层, 漏电流, 薄膜晶体管, 导电间隔部, leakage current, liquid crystal display, semiconductor layer, TFT, conductor layer, source, drain

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101320181 A (株式会社日立显示器) 2008年 12月 10日 (2008 - 12 - 10) 说明书第6页第4段到第15页第3段, 附图1-10	1-15
A	CN 101409308 A (中华映管股份有限公司) 2009年 4月 15日 (2009 - 04 - 15) 全文	1-15
A	CN 101339923 A (友达光电股份有限公司) 2009年 1月 7日 (2009 - 01 - 07) 全文	1-15
A	CN 101800248 A (索尼公司) 2010年 8月 11日 (2010 - 08 - 11) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 4月 28日

国际检索报告邮寄日期

2018年 5月 18日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

吴海涛

电话号码 62412214

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/106975

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101320181	A	2008年 12月 10日	TW	200915575	A	2009年 4月 1日
				EP	2001046	A2	2008年 12月 10日
				US	2008303030	A1	2008年 12月 11日
				EP	2001046	A3	2011年 1月 5日
				JP	5303119	B2	2013年 10月 2日
				CN	101320181	B	2012年 10月 31日
				KR	20080107281	A	2008年 12月 10日
				TW	I381529	B	2013年 1月 1日
				US	8049255	B2	2011年 11月 1日
				KR	100973361	B1	2010年 7月 30日
				JP	2008305843	A	2008年 12月 18日
CN	101409308	A	2009年 4月 15日	无			
CN	101339923	A	2009年 1月 7日	US	2012126235	A1	2012年 5月 24日
				US	8133773	B2	2012年 3月 13日
				TW	200919735	A	2009年 5月 1日
				JP	2009099977	A	2009年 5月 7日
				TW	I383504	B	2013年 1月 21日
				US	2009101913	A1	2009年 4月 23日
				CN	101339923	B	2012年 6月 27日
CN	101800248	A	2010年 8月 11日	JP	4752927	B2	2011年 8月 17日
				US	2012043548	A1	2012年 2月 23日
				CN	101800248	B	2012年 6月 20日
				TW	I412137	B	2013年 10月 11日
				US	8497504	B2	2013年 7月 30日
				JP	2010183027	A	2010年 8月 19日
				KR	101651679	B1	2016年 8月 26日
				KR	20100091108	A	2010年 8月 18日
				US	2010200843	A1	2010年 8月 12日
				TW	201044593	A	2010年 12月 16日
				US	8269217	B2	2012年 9月 18日

表 PCT/ISA/210 (同族专利附件) (2015年1月)