

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 23/522

H01L 21/60



[12] 发 明 专 利 说 明 书

专利号 ZL 01806547.3

[45] 授权公告日 2005 年 8 月 10 日

[11] 授权公告号 CN 1214462C

[22] 申请日 2001.3.15 [21] 申请号 01806547.3

[30] 优先权

[32] 2000.3.15 [33] NO [31] 20001360

[86] 国际申请 PCT/NO2001/000113 2001.3.15

[87] 国际公布 WO2001/069679 英 2001.9.20

[85] 进入国家阶段日期 2002.9.13

[71] 专利权人 薄膜电子有限公司

地址 挪威奥斯陆

[72] 发明人 P. -E. 诺达尔 H. G. 古德森

G. I. 雷斯塔德 G. 古斯塔夫森

审查员 白 燕

[74] 专利代理机构 中国专利代理(香港)有限公司

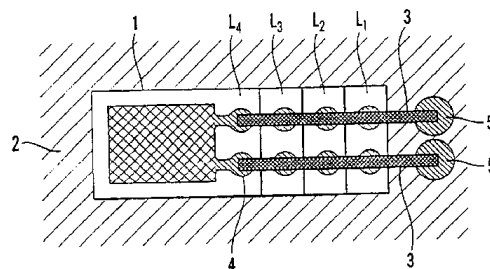
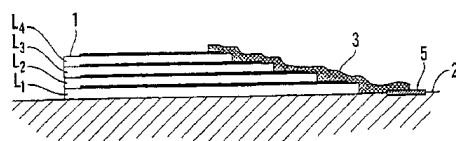
代理人 吴立明 梁 永

权利要求书 3 页 说明书 13 页 附图 16 页

[54] 发明名称 叠层中的垂直电互连

[57] 摘要

在具有至少两个叠置层的存储器和/或数据处理器件中,该叠置层由衬底支撑或形成夹层的自支撑结构,其中所述层包括具有层间的相互连接和/或相互连接到衬底中的电路的存储器和/或处理电路,各层相互关联设置,使邻接层在器件的至少一个边缘形成交错结构,并提供至少一个边缘电导体越过一层的边缘并一次下一个台阶,能连接到叠层中随后的任何层中的电导体。一种制造这种器件的方法包括以下步骤:连续地添加所述各层,一次一层使各层形成交错结构,提供的一层或多层具有至少一个电接触焊盘,该电接触焊盘用于连接到一个或多个层间边缘连接体。



1. 一种具有提供在叠层(1)中的至少两个叠层(L)的存储器和/或数据处理器, 其中叠层(1)形成自支撑结构或交替地提供在衬底(2)上, 其中叠层(1)包括在至少一个方向中的至少一个交错的结构, 由此通过叠层(1)中各层(L)的露出部分形成交错结构中的各台阶, 台阶高度h对应于各层的厚度,

特征在于:

一个或多个接触焊盘(4)提供在交错结构中每个台阶上, 并与各层(L)中的存储和/或处理电路电连接, 并且一个或多个边缘电连接体(3)以台阶上导电结构的形式提供在每层(L)中的台阶上并越过台阶, 并越过每层(L)中各台阶之间的边缘上, 并淀积在各层(L)的表面上, 边缘电连接体接触各层(L)中一个或多个接触焊盘(4), 并提供每层之间以及各层和提供在可选衬底(2)上的接触焊盘(5)之间的电连接。

2. 根据权利要求1的存储器和/或数据处理器件, 特征在于在一层或多层(L)中的两个或多个接触焊盘(4)通过提供在各层中台阶上的导电结构相互连接。

3. 根据权利要求1的存储器和/或数据处理器件, 特征在于提供边缘电连接体(3)作为叠层(1)中至少三个连续层(L)中接触焊盘(4)之间或叠层(1)中至少两个相邻层(L)中接触焊盘(4)和与这些层的一个相邻的可选衬底(2)之间的连续电流路径。

4. 根据权利要求1的存储器和/或数据处理器件, 特征在于提供边缘电连接体(3)作为叠层(1)中两个相邻层(L)之间或可选衬底(2)和与衬底相邻的层(L₁)之间的修补电路路径。

5. 根据权利要求1的存储器和/或数据处理器件, 特征在于叠层(1)形成台阶金字塔结构的至少一部分, 由此各层(L)具有不同的面积。

6. 根据权利要求1的存储器和/或数据处理器件, 特征在于相互移置叠层(1)中的各层(L), 以致交错结构包括各台阶形成叠层(1)中各层(L)上表面的露出部分的至少一个交错部分, 以及各台阶形成叠层(1)中各层(L)下表面的露出部分的至少一个交错部分, 每种情况中每个台阶上的一个或多个接触焊盘(4)与分别提供在各层(L)

相对表面上的导电结构(3)电连接。

7. 根据权利要求1的存储器和/或数据处理器件, 其中叠层(1)提供在衬底(2)上,

特征在于叠层(1)形成倒置的台阶金字塔型结构的至少一部分, 由此每层(L)的面积随与衬底(2)的距离增加, 各重叠层都转入下面各层的边缘并靠在衬底(2)上, 重叠层(L)由一个或多个交错部分形成, 由此一层的交错部分中的台阶的数量对应于位于其下的各层的数量。

8. 根据权利要求7的存储器和/或数据处理器件, 特征在于一个或多个接触焊盘(5)提供在衬底(2)中, 其中各层(L)靠在衬底(2)上。

9. 根据权利要求1的存储器和/或数据处理器件, 特征在于台阶之间的每层(L)的侧边为弧形或形成斜面。

10. 一种存储器和/或数据处理器件的制造方法, 所述器件包括提供在叠层(1)中的至少两层(L)的存储器和/或数据处理器, 其中叠层(1)形成自支撑结构或交替地提供在衬底(2)上, 其中叠层包括在至少一个方向中的至少一个交错的结构, 由此通过叠层(1)中各层(L)的露出部分形成交错结构中的各台阶, 台阶高度h对应于各层的厚度, 该方法的特征在于在分别进行的步骤中添加叠层中的每层, 提供叠层中的每个随后层, 随后层的面积与前一相邻层不同, 或与其相对移置, 使叠层形成在一个方向中的至少一个交错结构, 通过各提供层中的露出部分形成交错结构中的各台阶, 在每层中的台阶上淀积导电材料的结构, 由此一个或多个电流通路和一个或多个接触焊盘形成在每层上, 淀积连续和/或修补的导电结构, 在两层或多层上的接触焊盘之间和/或一层或多层的接触焊盘和衬底之间形成边缘电连接体。

11. 根据权利要求10的方法,

特征在于淀积各层使叠层形成台阶金字塔结构的至少一部分。

12. 根据权利要求10的方法, 其中在支撑衬底(2)上提供各层(L),

特征在于淀积各层使叠层形成倒置的台阶金字塔结构的至少一部分, 每个重叠层淀积在下层的边缘之上, 并靠在衬底上, 由此各重叠层形成一个或多个交错部分, 一层中每个交错部分中的台阶数量对应

于位于下面的各层的数量。

13. 根据权利要求 12 的方法，

特征在于一个或多个接触焊盘提供在各层靠在衬底上的衬底中。

14. 根据权利要求 10 的方法，

- 5 特征在于在选自下面的一个工艺提供所述边缘电连接体：即，光刻、干蚀刻、喷墨印刷、丝网印刷、软光刻、电解、静电淀积或原位转换。

叠层中的垂直电互连

本发明涉及具有提供在叠层中的至少两个叠置层的存储器和/或
5 数据处理器件, 其中叠层形成自支撑结构或交替地提供在衬底上, 其中叠层包括在至少一个方向中的至少一个交错的结构, 由此通过叠层中各层的露出部分形成交错结构中的各台阶, 且台阶高度 h 对应于各层的厚度。本发明还涉及存储器和/或数据处理器的制造方法, 该方法包括提供在叠层中的至少两层, 其中叠层形成自支撑结构或交替地提
10 供在衬底上, 并且其中叠层包括一个方向上的至少一个交错的结构, 由此在叠层中各层的露出部分形成交错结构中的各台阶, 且台阶高度 h 对应于各层的厚度。

现代的电子微电路通常在一系列的工艺步骤中一层接一层地形成在硅芯片上, 其中绝缘层将通过各种淀积和腐蚀技术构图并处理含金
15 属化、绝缘和半导体材料的各层分开。整体地使结构保证位于衬底中和衬底顶部各层中各元件和分支电路之间的电连接。这些连接称为通路 (vias), 通常为金属柱或线, 穿透一个或多个将要连接部件分离的插入材料层。这种通路可以在层形成工艺期间制成, 或通过穿过层产生沟槽 (例如通过腐蚀) 之后将金属栓塞填充到沟槽内使它们插
20 入已存在的各层中。

根据现有技术的硅芯片包含 20-30 个掩蔽步骤, 包含直接或间接连接到通路的构图的内金属层引线的各层数量通常为 3-5。每个通路需要在要横贯或连接的每个层中占据一定量的区域。除了通路自身的金属横界面之外, 在它周围必须设置有缓冲区, 将通路与不能直接接触
25 通路的相邻电路绝缘开, 必须考虑为构图每层限定的精度以及构图掩模的对准精度。

在 IEEE Transactions on components, packaging, and manufacturing technology, part B, volume 21, No.1 (1998 年 2 月) S. F. Al-sarawi, D Abbott 和 P. D. Franzon 的论文 “A review of
30 3-D Packaging Technology” 中, 概述了针对大规模集成的三维封装技术现状。在其中有几处提到集成电路芯片的整个叠层可以相互电连接, 包括使用电路芯片叠层侧表面上提供的垂直通孔和电流路径, 以

及使用焊线连接母芯片和子芯片，其中子芯片叠置在母芯片上，使母芯片的露出表面形成叠层的一个台阶。此时，使用机械地连接到芯片上的接触点的焊线。

总体比较，在挪威专利 No. 308 149 和挪威专利申请 No. 19995975 中公开了存储器和数据处理器件，其中叠层中的各层基本上由有机材料中薄膜的底层制成，并且其中各层中薄膜上的导体传送到各层边缘上的边缘电连接体。在挪威专利申请 No. 19995975 中，各层之间的连接也由通路形成，通路原则上由与包括在薄膜中的相同材料制成导体结构，因此形成它的组成部分，还示出了称做“交错通路”的概念，其中这种叠层中的各层相互交错地设置，通过使用称做交错部分上的交错通路，叠层中的各层相互电连接或电连接到下面的衬底。在挪威专利 No. 308 149 或挪威专利申请 No. 19995975 中，给定任何方向，可以在实际和应用的实施例中实现公开的边缘连接。

以上提及的现有技术已证明通常适用于以上提到的形成在硅衬底上的器件，这里层和通路的数量少而适量，超高精度的光刻 (lithography) 技术为芯片制造工艺的整体部分。然而，通路为整个制造工艺中相当复杂的结构，影响了产量和成本。此外，对于竞争激烈的大商家，希望在未来的几年中对于电子数据处理和存储器件能出现完全新型的器件结构和制造方法。这种新结构的共同特征是它们在含非常大量层的致密叠层中引入薄膜电子器件。在许多情况中，这些器件能够通过大规模生产技术例如薄聚合物衬底上进行的卷装进出 (roll-to-roll) 工艺制造。在本文中，传统的通路连接技术技术上完全不适合并且成本高。

本发明的主要目的是提供一种在引入含相互部分或完全重叠的两片或多片或膜形功能部分的叠层的存储器和/或处理器件中，在各层之间和/或各层和下衬底之间产生电互连的方法和技术措施。

本发明的另一目的是提供一种当这种片或膜形功能部分的数量变大、通常超过 5-10 时能够实现的方法和技术措施。

本发明的再一目的是提供一种当通过大规模低成本技术制造这种片或膜形功能部分和组装器件时能够实现的方法和技术措施。

根据本发明可以实现以上提到的各目的和其它特点和优点，本发明的器件的特征在于一个或多个接触焊盘提供在交错结构中每个台阶

上, 与各层中的存储和/或处理电路电连接, 并且一个或多个边缘电连接体以台阶上导电结构的形式提供在每层中的台阶上并越过台阶, 并越过每层中各台阶之间的边缘上, 并淀积在各层的表面上, 边缘电连接体接触各层中一个或多个接触焊盘, 并提供每层之间以及各层和提供在可选衬底上的接触焊盘之间的电连接。

5 在根据本发明的器件中, 有利之处在于在一层或多层(L)中的两个或多个接触焊盘(4)通过提供在各层中台阶上的导电结构相互连接。此外, 在根据本发明的器件中, 优点在于提供边缘电连接体作为叠层中的至少三个连续层中的接触焊盘之间或叠层中至少两个相邻层中的接触焊盘和与这些层之一相邻的可选衬底之间的连续电流路径, 10 和/或提供边缘电连接体作为叠层中的两个相邻层之间或可选衬底和与衬底相邻的层之间的修补电路路径。

优选根据本发明器件的叠层形成台阶形金字塔结构的至少一部分, 由此各层具有不同的面积。

15 在根据本发明的器件的有利实施例中, 相互移置叠层中的各层, 使交错结构包括各台阶形成叠层中各层上表面的露出部分的至少一个交错部分, 以及各台阶形成叠层中各层下表面的露出部分的至少一个交错部分, 每种情况中每个台阶上的一个或多个接触焊盘与分别提供在各层相对表面上的导电结构电连接。

20 在根据本发明的器件的另一有利实施例中, 其中叠层提供在衬底上, 叠层形成倒置型台阶金字塔型结构的至少一部分, 由此每层的面积随与衬底的距离增加, 各重叠层都转入下面各层的边缘上并靠在衬底上, 重叠层由一个或多个交错部分形成, 由此一层的交错部分中台阶的数量对应于位于其下的各层的数量, 优选一个或多个接触焊盘提供在衬底中, 其中各层靠在衬底上。

25 最后, 在根据本发明的器件中, 有利之处为台阶之间的每层的侧边为弧形或形成斜面。

采用根据本发明的方法也可以实现以上提到的目的和其它特点和优点, 该方法的特征在于在分别进行的步骤中添加叠层中的每层, 提供叠层中的每个随后层, 其面积与前一相邻层不同, 或相对移置, 使叠层形成一个方向中的至少一个交错结构, 通过各提供层中的露出部分形成交错结构中的各台阶, 在每层中的台阶上淀积导电材料的结

构，由此一个或多个电流通路和一个或多个接触焊盘形成在每层上，淀积连续和/或修补的导电结构，在两层或多层上的接触焊盘之间和/或一层或多层和衬底上的接触焊盘之间形成边缘电连接体。

在根据本发明的方法中，有利之处为淀积各层使叠层形成台阶形金字塔结构的至少一部分，或淀积各层使叠层形成倒置的台阶形金字塔结构的至少一部分，每个重叠层淀积在下层的边缘上，并靠在衬底上，由此一个或多个交错部分形成各重叠层，一层中每个交错部分中的台阶数量对应于位于下面的各层的数量。

在以上提到的情况中，优选一个或多个接触焊盘提供在各层靠在衬底上的衬底中。

最后，在根据本发明的方法中，优选在选自下面的一个工艺形成所述边缘连接体：即，光刻、干蚀刻、喷墨印刷、丝网印刷、软光刻、电解、静电淀积或原位转换。

在下文中，用示例性实施例的说明和参考附图更详细地介绍本发明，其中：

图 1a 为根据本发明的第一通用器件的侧视图，
图 1b 为图 1a 中器件的第一实施例的平面图，
图 1c 为图 1a 中器件的第二实施例的平面图，
图 2 为图 1a 中器件的第三实施例的平面图，
图 3 为图 1a 中器件的第四实施例的平面图，
图 4a-c 为不使用衬底的图 1a 中器件的类似实施例，
图 4d 为图 4a 中的可以从两侧形成通路的不同实施例的侧视图，
图 5a-e 为形成图 1a 所示类型器件的制造步骤的第一个例子，
图 6a-d 为形成图 1a 所示类型器件的制造步骤的第二个例子，
图 7 为根据本发明的第二通用器件的侧视图，
图 8a-e 为形成图 7 所示类型器件的制造步骤的一个例子，
图 9a 为在图 1a 所示器件上形成边缘电连接体图形的几何关系，
图 9b 为在图 7 所示器件上形成边缘电连接体图形的几何关系，
图 10 为根据现有技术无源矩阵可寻址器件中电极的示意性布局，
以及

图 11a-m 为在根据本发明的器件的基础上形成叠置的矩阵可寻址存储器件的制造步骤的例子。

在给出根据本发明的器件的各实施例的各例的进一步说明和讨论之前，先介绍本发明的一般背景的简短说明。

随着使用无机、低聚物或聚合物的基于薄膜的有源电路进入商业电子的主流，期望具有“智能”层的叠层器件，即具有单独的处理能力的各层，将变得普遍存在。除了增强了叠层概念中固有的可能性，5 这意味着总线型边缘连接承载了在叠层上整体分布的信息并由计划的那些层选择性地选取信息。另一方面，本发明的互连概念涉及含有不带译码电路的各片或各层的叠层，其中必须提供到这些片的指定边缘连接。后者的极端情况为所有的层都“沉默”，每层具有在电缆连接10 的位置的其它处的支撑衬底或电路上到驱动电路的指定电连接。在下文中，各层中可能的电容量的这些不同方面不在进行进一步的详细说明，是由于根据本发明的解决措施的适当选择对本领域中的技术人员来说是显而易见的。

下面给出根据本发明的通用器件，它的各实施例的各例以及根据15 本发明方法的优选实施例中制造步骤的说明的更具体介绍，以便利用它们实现根据本发明的器件的各实施例。

具体地，图 1a 示出了根据本发明的第一通用器件的侧视图。该通用器件表示为台阶金字塔结构。它包括叠置的功能单元，为提供在衬底上设置的单独但相邻片型或膜型层上。给定层的上表面上的电路与20 层的露出边缘区域上的接触焊盘电连接。在图 1 中的侧视图中，示出了四各这种层 L_1-L_4 ，一起形成叠层 1。如侧视图中所示，右侧上的层 L_1-L_4 形成交错结构，在其上提供有边缘电连接体 3，从层 L_4 的上表面延伸并向下到衬底 2 上的接触焊盘 5。边缘电连接体 3 接触并连接到每层 L 的上表面上提供的电导体，由较厚的表示，没有具体的标识线，25 从图 1a 中可以明显看出。

图 1b 示出了图 1a 中器件的第一实施例，这里可以看出叠层 1 中的层 L_1-L_4 在一个方向中交错，即朝右。然后在层 L_1-L_4 的每一层上，提供了接触焊盘 4，在图中仅重点强调了其中一个，现在已提供了边缘电连接体 3，以便它接触接触焊盘 4，然后将层 L_1-L_4 电连接到衬底 230 上的接触焊盘 5。层 L_1-L_3 中的接触焊盘提供在它的露出部分，其形成交错结构中的各台阶。在图 1b 中，在顶层中示出了表示电路区的矩形阴影区域。图中没有具体示出，但电路区域可以由实际上分离的元件

和网络或连接在一个或多个网络中的电路组成，在图 1b 的实施例中，示出了到衬底的两个连接路径 3。当然应该明白在图 1b 和其它图中，顶层中的阴影区域与下面其它层中的对应电路面积相等。

在图 1c 中，示出了图 1a 的器件中另一实施例的平面图，其中具有层 L_1 - L_4 的叠层 1 现在在两个相互垂直的方向中交错，提供了更大的露出台阶区域，该区域可用于连接的目的。该实施例也允许接触焊盘 4、露出部分以及衬底上的接触焊盘 5 有选择性和更多的分布位置。同时，由于边缘连接提供在两个交错方向的每一个中，因此可以获得接触所有层中的接触焊盘 4 和衬底上的接触焊盘 5 的两个边缘连接 3 之间良好的分离。

图 2 示出了图 1a 中器件的第三实施例，但可以看出，到叠层 1 中各层 L_1 - L_4 的边缘这里在台阶区域中为弧形，这提供了有利之处即，这里表示为 6 的边缘连接在所有层形成的台阶上并向下延伸到衬底 2。如果台阶不垂直，而是弧形，那么图 2 中的实施例能减少边缘电连接体中断裂的可能性。当延伸到陡边，例如图 1a-c 中实施例的情况，总是存在淀积薄导电层形成的边缘连接中断裂的可能性增加。在图 2 实施例的变型中，台阶不需要为弧形，但可以在各台阶之间形成缓坡。

图 3 示出了图 1a 中器件的第四实施例，整体上与图 1c 的实施例类似。此外这里叠层 1 包括提供在衬底 2 上的四层 L_1 - L_4 ，与图 1c 的实施例相对应提供了两个接触焊盘 5。然而，仅有一个边缘连接 3 作为从最上层 L_4 到衬底上接触焊盘 5 的连续连接，并同时接触露出部分上即所示层 L_1 - L_4 中各台阶上所有的接触焊盘 4。在叠层结构 1 的右下方示出了在各层中的每个台阶上也提供了几个接触焊盘 4。这里，例如在每个台阶上提供了三个接触焊盘 4，这提供了两层或多层之间借助所示的短边缘连接 3 的独立连接的可能性，还提供了各层之间以及同时所示层 L_1 的层内的插入电连接的可能性，还可以有到衬底 2 上接触焊盘 5 的进一步附加的边缘电连接 3。

应该理解，根据本发明也可以将叠层 1 形成具有 3、4、5 等交错方向的多边形金字塔，但对于本领域中的技术人员来说显然这只是图 1b 和 1c 所示实施例原理的直接延伸，因此这里不再更详细地介绍。

图 4a-c 示出了根据本发明的第一通用器件的实施例，边缘电连接体 3 示意性地显示为各层之间和各层上的各线。与图 1a 中的区别之处

在于叠层 1 没有提供在衬底上，各层 L 为自支撑结构。因此图 4a 示出了与图 1a 类似的但没有衬底的实施例的侧视图。叠层 1 包括 5 个自支撑层 L_1-L_5 ，在叠层中的每个台阶上提供有接触焊盘 4，对于层 L_1-L_4 的每一个，边缘连接 3 与接触焊盘 4 连接。图 4b 示出了体现为常规台阶金字塔或多边形台阶金字塔的自支撑器件的实例。在右侧，边缘连接 3 借助层 L_1-L_4 上的接触焊盘 4 形成从 L_1 到 L_5 的所有层之间连续的连接，使用几个电流路径以及图 4b 中所示的修补。在左边，可以看出接触焊盘 4 仅提供在 L_2 和 L_3 的露出部分上。以此方式，容易形成叠层 1 中两层或多层之间的电连接，它们不必相邻。因此，图 4c 再次示出叠层 1 为台阶金字塔结构，但边缘连接 3 至少在两个交错方向中。在图 4 中，这里的边缘连接提供在每边的相反一边，接触焊盘 4 提供在这里为 6 层 L_1-L_6 的结构的一个台阶上。

此外，根据本发明的第一通用器件可能体现为两侧接触，如图 4d 所示。为了形成分离的台阶区域，露出 5 层 L_1-L_5 的每层的表面，它们可以具有良好的相同伸展，成为相互台阶形地交错。因此边缘连接 3 和接触焊盘 4 位于每个台阶上的每层 L 的两面上，即接触各层的露出部分，在台阶的一边上的这些部分相对于相对边的对应部分形成倒置的台阶结构，因此能够接触每层 L 的相反面。此外，在图 4d 所示的器件两侧上，边缘连接 3 和接触焊盘 4 的布局相同。

通常在图 1-4 所示实施例中通过使用专门用于接触目的的边缘区域，边缘连接 3 可以形成在每层中，边缘区域形成在叠层 1 中每层的露出部分中，通过使叠层实现为如上所述在一个或多个方向中交错的交错结构可以形成这些露出部分。当然当制备接触时这些台阶露出。

通常叠层 1 中的每层 L 自身也可以形成次层 (sublayer) 的夹层结构，次层可以包括电导体、有源电路和功能材料，例如用于数据存储目的的存储材料。当每层形成所述次层的夹层结构时，优选在薄膜技术中，用特殊性能目的例如为了获得接触和导通功能获得分离的次层，或者它们可以包括有源电路，例如在薄膜技术中形成或整个由功能材料形成，例如用于数据存储目的的存储材料组成。不必更细致地说明，对本领域的技术人员来说显然在各层设置在叠层中之前，每层可以制备在支撑膜上，或者可以通过淀积工艺形成，或者一系列的层形成在该叠层的该表面上。在每种情况中，每个次层需具有一个厚度，

通过支撑层的承载能力给出下限，与预制和叠层添加工艺期间受到的力有关。通过使用附加工艺，单个层的厚度可以制得较薄，而次层基本上可以淀积为单层。

5 现在更详细地介绍边缘连接如何方便地在根据本发明的器件中实现。在图 1-3 中所示的实施例中，通过单独的电极淀积或顺序淀积操作可以形成边缘连接，这将在下面更详细地介绍。在后一种情况中，每种淀积操作意味着仅越过整个边缘高度的较小部分，即边缘结构中的单个台阶，通过顺序淀积的交叠的电极可以得到多个台阶上的连续

10 的边缘连接。高精度地形成边缘连接的技术包括基于湿蚀刻或干蚀刻的光刻方法以及微粒研磨，高精度冲压例如软光刻和电解。大多数高分辨率技术的共同之处为限定了景深，限制了每个单独台阶的高度和/或能在单个制造步骤中电连接的台阶数量。此时，可简单应用共同的导体，例如形成电源线，总线等。

15 图 5a-e 示出了在形成根据本发明的器件的叠层中产生边缘连接的制造步骤的第一个例子。具体地，图 5a 示出了淀积形成叠层 1 自身的各层 L 之前的衬底 2。电路区 C_s 提供在衬底 2 内或衬底 2 上，并且在衬底自身内可以形成电路，该电路区域接着与衬底的接触焊盘 5 相连。在图 5b 中所示的下一步骤中，提供隔离层 I_{L1} ，它的名称表明它与叠层

20 中的第一层 L_1 相连。对于隔离层 I_{L1} ，为层 L_1 提供电路 C_{L1} ，并与提供在隔离层 I_{L1} 上的接触焊盘 4 相连。图 5c 为层 L_2 提供了相同的制造步骤，提供并设置隔离层 I_{L2} 使所得层 L_1 和 L_2 形成交错结构。同样在隔离层 I_{L2} 上，提供电路区 C_{L2} 和与该电路区相连的接触焊盘 4。然后图 5d 示出了淀积第三隔离层 I_{L3} 用于叠层中的第三层 L_3 ，相应的电路区 C_{L3}

25 和接触焊盘 4 相互连接。图 5a-d 显示的例子说明形成的层 L_1-L_3 由各隔离层 $I_{L1}-I_{L3}$ 和与各接触焊盘 4 相连的电路区 $C_{L1}-C_{L3}$ 相连。在最后的制造步骤中，提供连续的电流路径或导电路径 3 并形成现在连接每层中的所有接触焊盘 4 的衬底上的接触焊盘 5 的边缘连接。

代替在单个操作中淀积边缘连接 3，可以象前面提到的淀积成台阶形，可以参考图 6 进行讨论，对于各层和次层与图 5 中所示的那些层

30 相对应，但示出了边缘连接 3 的台阶形淀积。

图 6a 示出了带电路区 C_s 和接触焊盘 5 的衬底 2，而图 6b 示出了

带用于叠层中第一层 L_1 的隔离层 I_{L1} 和电路区 C_{L1} 。现在淀积的边缘连接 3 位于隔离层 I_{L1} 上的边缘上，这些边缘连接在电路区 C_{L1} 和衬底 2 上的接触焊盘 5 之间产生接触。在图 6c 中，另一绝缘层 I_{L2} 上淀积有电路区 C_{L2} 和边缘连接 3，边缘连接 3 从隔离层 I_{L2} 的边缘上向下延伸到下隔离层 I_{L1} 上的边缘连接，由此接触焊盘 4 形成在图 6b 中淀积的边缘连接 3 上。在图 6d 中重复工艺形成具有隔离层 I_{L3} 的第三层 L_3 ，电路区 C_{L3} 以及带接触焊盘 4 的边缘连接 3。结果图 6d 所示的实施例实现了邻接但台阶形淀积的边缘连接 3，从叠层中的最上层越过中间层中的接触焊盘向下到衬底中的接触焊盘 5。这也意味着对于每个边缘连接 3 自身的淀积和接触操作处理成台阶形并重复，因此可以越过叠层的任何需要的高度。用基于光刻技术的淀积工艺得到的深度区域仅需要适合于实际的台阶高度，并且原则上各台阶的高度可以精确地对应于用制造边缘连接 3 的高清晰度光刻得到的区域的实际和有限深度。

在图 7 中，示出了根据本发明的另一通用器件。也体现为台阶形金字塔，但反转倒置，因此称做倒置的台阶金字塔。与图 1 中器件类似，在图 7 中，也由形成器件中功能单元的叠层 1 的层 L_1-L_4 组成。具有提供在衬底 2 上各层 L 和概念“倒置的台阶金字塔”的叠层 1 基于叠层 1 中的第一层 L_1 具有最小面积，但每层的面积随与衬底的距离而增加。与另一层交叠的层延伸超过该层并位于下面各层的边缘上，叠层 1 中的所述每层 L 得到直接靠在衬底 2 上的部分。对于每层 L 在衬底上提供一个或多个接触焊盘 5，如图 7 所示，接触焊盘 5 接触每层 L 中的边缘连接 3，边缘连接 3 将这些层中的功能单元的电路区与衬底连接。边缘连接 3 越过在各层 L 中形成的各台阶的边缘并向下延伸到衬底 2。在图 7 的器件中，可以实现例如各层具有与例如驱动器的直接电连接和提供在衬底 2 中的控制电路，这种情况属于衬底由硅芯片形成的情况。

现在介绍制造形成图 7 所示倒置的台阶金字塔的叠层 1 的一个例子。在图 8a 中，示出衬底 2 具有接触焊盘 5。第一隔离层 I_{L1} 提供在衬底 2 上，如图 8b 所示，这里所示有两个电极 E_{L1} ，借助边缘连接 3 与衬底 2 上的接触焊盘 5 连接，如图 8c 所示。应该理解在隔离层 I_{L1} 上可以形成电路区并且没有详细地示出功能单元，功能单元借助电极 E_{L1} 接触到下层。图 8d 现在示出了通过在第一隔离层 I_{L1} 上提供隔离层 I_{L2} 形成

下一层，但延伸超过后者并在边缘上形成一个台阶，并向下延伸到衬底上至少部分层 I_{L2} 延伸到衬底上接触焊盘 5 的区域。此外提供图 8 中所示的电极 E_{L2} ，借助边缘连接 3 上并向下延伸到衬底中接触焊盘 5 的接触，将第二层中的电路区和功能单元与衬底连接。图 8f 示出了重复工艺淀积另一隔离层 I_{L3} ，掩蔽了电极 E_{L2} ，如图 8g 所示提供与衬底 2 上的接触焊盘 5 接触的电极组 E_{L3} ，因此得到图 8a-g 所示具有三个叠置层的叠层，与图 1a 中的器件相反，叠层提供为倒置的台阶金字塔，即每层的面积随叠层中与衬底 2 的距离增加。可以看出体现为图 8a-8g 所示的图 7 中的器件提供了衬底 2 和叠层结构 1 中交叠层 L 之间的单独接触。以此方式，图 8a-8g 所示方法与图 5 和 6 中所示的方法相反。

通过使用在叠层中构图电极、电路路径、边缘连接等的光刻技术，较小区域的深度要求一次至多构图几个台阶，如果叠层中的层数量很大，这意味着光刻操作必须重复多次，有时使器件的制造更复杂，此外较大程度地增加了成本。为了避免操作数量随叠层的数量和叠层中台阶的数量增加，可以使用光刻构图接触和电流路径的其它方法，结果每层仅需要一次操作，同时可以越过叠层中的所有步骤。这显示在图 9a 中为图 1a 的器件中。这里，没有显示提供在衬底上的叠层 1 在一侧交错，使斜坡变得线性。因此区域的需要深度变小并基本等于叠层 1 中各层 L 中一个的最大高度 h_{max} 。需要叠层中的所有层具有相同的台阶高度，参见图 9a 中层 L_2 具有比其它层小得多的高度。区域的需要深度显示为平行的针脚 (stitched) 斜线之间的距离在叠层的整个高度上延伸。优选光线方向与各台阶的斜线垂直。图 7 中所示的器件的对应情况显示在图 9b 中，可以看出区域的需要深度小于或等于 h ，其中 h 为叠层中一个台阶 L_1-L_4 中的高度，这里位于提供有接触焊盘 5 的衬底上。此外，例如通过使光线方向垂直于图中的针脚线显示的斜线，在单个光刻操作中从顶到底构图边缘连接。

图 1a 或 7 的器件中每层 L 可以体现为例如图 10 中所示的无源矩阵可寻址器件。它包括包含相互平行的条形电极 W 的第一组电极 E_v 和类似地包含相互平行的条形电极 B 的另一电极组 E_h ，但假设垂直于电极组 E_v 中的电极 W。现在提供功能材料，例如存储介质或发光介质，将各电极组 E_h 和 E_v 夹在其间。图 10 中所示的结构可用于实现无源矩阵可寻址铁电存储器件，其中存储介质为铁电存储材料时，例如无机或

有机材料，在后一种情况中，特别优选聚合物或共聚合物。这种存储器中的各存储单元形成在体现字线的电极 W 和体现存储器中位线的电极 B 之间的交叉点。如果电极布局用于在至少一个电极组中的电极体现为透明材料的显示中，那么相应地像素可以形成在夹于电极组 E_b 和 E_v 之间的发光材料中，和各电极组中的电极之间的交叉点中。在以上提到种类的存储器件中，通过激活字线电极 W 和在该单元交叉的位线电极 B 可以写入、读取和删除指定的存储单元。在图 10 中，例如可以激活所有的字线 W_b ，因此可以用所示的阴影位线电极 B 在交叉处寻址所有的单元。包括夹在图 10 中所示布局中字线和位线之间的存储材料层的存储矩阵包括在每个方向中几百和几千个电极并在肉眼可见距离（微米或厘米）上横向延伸。即由形成电极层和存储介质的各层组成的每层的厚度为 $1\mu\text{m}$ 以下数量级。在根据本发明的器件中，这种矩阵可以叠置并形成叠层，然后得到整体结构，其中形成矩阵的每层电隔离以防止受到叠层中其它层的串扰和干扰，由此得到极高容量的存储单元密度。

在大规模无源矩阵的高密度叠层中，与合适的驱动器和控制电路连接的器件中的线数量很大。如果叠层中的各层与位于支撑衬底上或内用于开关、多路复用、检测和处理的所有电路无源，那么叠层中的各层和衬底之间的直接电连接的数量与矩阵线，即器件中的字线和位线总量相当，因此与制造这种器件的相关问题将极为重要。

现在介绍根据本发明的器件的优选制造方法，其中各层可为上面讨论的矩阵寻址器件，并且根据本发明的器件形成它的叠层，由此例如得到高容量的矩阵可寻址存储器件。该方法一步接一步地显示在图 11a-11m 中，但为了简化，字线的数量限制为 2，位线的数量限制为 3，由此每层中的每个矩阵可寻址器件变为 2-3 个矩阵，换句话说，最多 6 个可寻址单元，叠层局限为 3 层。通过使用图 11a-11m 中所示的方法步骤，可以得到紧密叠置的无源矩阵可寻址器件的矩阵，随着一系列的制造步骤得到到衬底高密度的电连接。在示出的例子中，各层中的字线与公共导体连接，同时为各层提供单独的位线组。在接下来的图 11a-11m 中， I_L 表示隔离层，S 为衬底， W_L 为字线， B_L 为位线，而 L 的下标分别指层 L_1 、 L_2 、 L_3 。

图 11a 示出了衬底 S，位线接触区带接触焊盘 B_1 - B_3 分别用于每层

中第一到第三位线，字线接触区仅有两个接触焊盘 W_1, W_2 用于所有层中的每个字线 W_L ，但叠层中第一层淀积之前，在图 11b 中，衬底 S 具有第一隔离层 I_{L1} 以保护衬底 S 和其上提供的叠层之间的电和化学干扰，图 11c 示出了如何提供第一层的位线，即叠层中的第一矩阵可寻址器件，并与衬底 S 上用于位线的第一组接触焊盘连接。在图 11d 中，示出提供了功能材料的层 M_{L1} ，此时为存储材料，位于位线上并与它们接触，而图 11e 示出了字线 W_L 与衬底 S 中的位线接触连接。在图 11f 中示出了在叠层中的第一层或第一存储器件上提供另一隔离层 I_{L2} ，然后提供用于第二层的位线 B_{L2} ，如图 11g 所示。在其上提供用于第二层的存储层 M_{L2} ，并接触位线 B_{L2} ，从图 11h 可以明显看出。图 11i 示出了提供了字线 W_{L2} 。它们接触字线 W_{L1} ，由此得到用于字线的公共接触。

提供用做第三层的新隔离层 I_{L3} ，如图 11j 所示，并提供位线 B_{L3} ，如图 11k 所示。图 11l 示出了用于第三层的存储层 M_{L3} ，淀积在 B_{L3} 上，如图 11m 所示提供字线 W_{L3} 在每层的边缘上延伸并形成到下层上字线 W_{L2} 的边缘连接。

图 11a-11m 所示的方法步骤实现了总体对应于根据本发明器件的叠置无源矩阵可寻址存储器件。当然应该理解图 11a-11m 所示例子中的字线和位线的限制与现实中的不对应，具体化为无源矩阵可寻址存储器件的根据本发明的器件包括许多层并且每层中至少几千个字线和位线。例如可以制造实现二维存储器件，8000x8000 个矩阵，即 64 000 000 个矩阵可寻址存储单元，通过叠加单元数量，当然与叠层中的层数成比例增加，由此可以得到根据本发明的具有高存储容量和高存储密度的高容量器件。

在图 11a-11m 所示的各层中，除了可以修改制造之外，在实际中可以使用几个工序。例如通过使用与图 5a-e 中显示步骤类似的方法在一个步骤中形成字线，相应地，提供位线，例如图 11k 中所示，需要在一个制造步骤中越过许多层。如果存在问题，那么可以使用基于图 9a 中所示的几何结构的备选图形或与图 6a-d 所示的制造步骤类似形成边缘连接依次修补下一台阶。

即使可以将本发明中的原理与根据现有技术的通路相结合，应该指出有几个基本特点可以实质上区分两者。

在本发明中，叠层中的各层设置之后可以在一个制造操作中实现

叠层中的垂直连接和层内修补，增加了选择制造策略（材料兼容性问题；器件的定制，例如柱叠置）。

在本发明中，不需要腐蚀、钻孔或类似的操作穿过叠层中的各层开出连接槽。

- 5 本发明提供了低成本、大规模操作例如基于聚合物器件的卷装进出制造，朝大规模制造叠层器件发展。

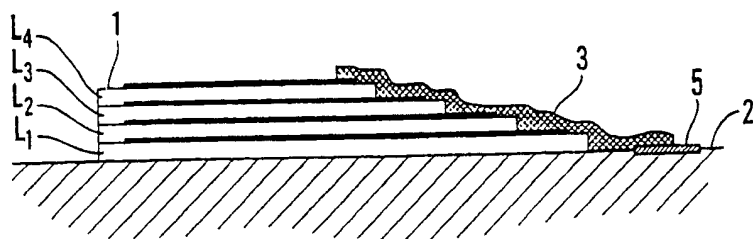


图 1a

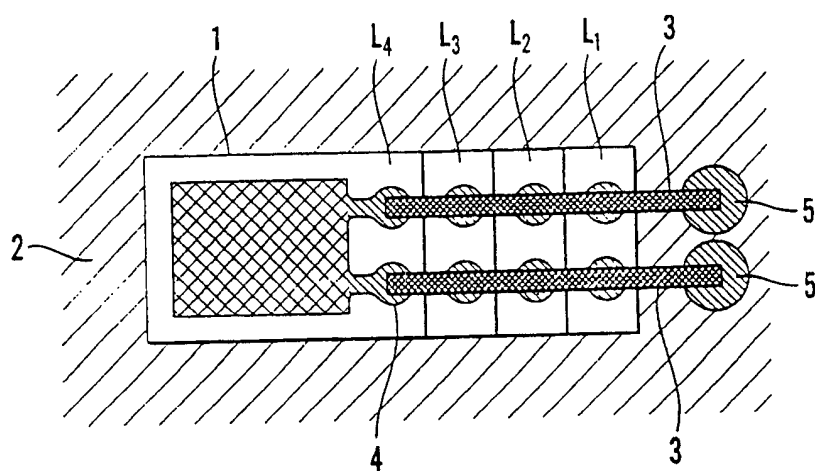


图 1b

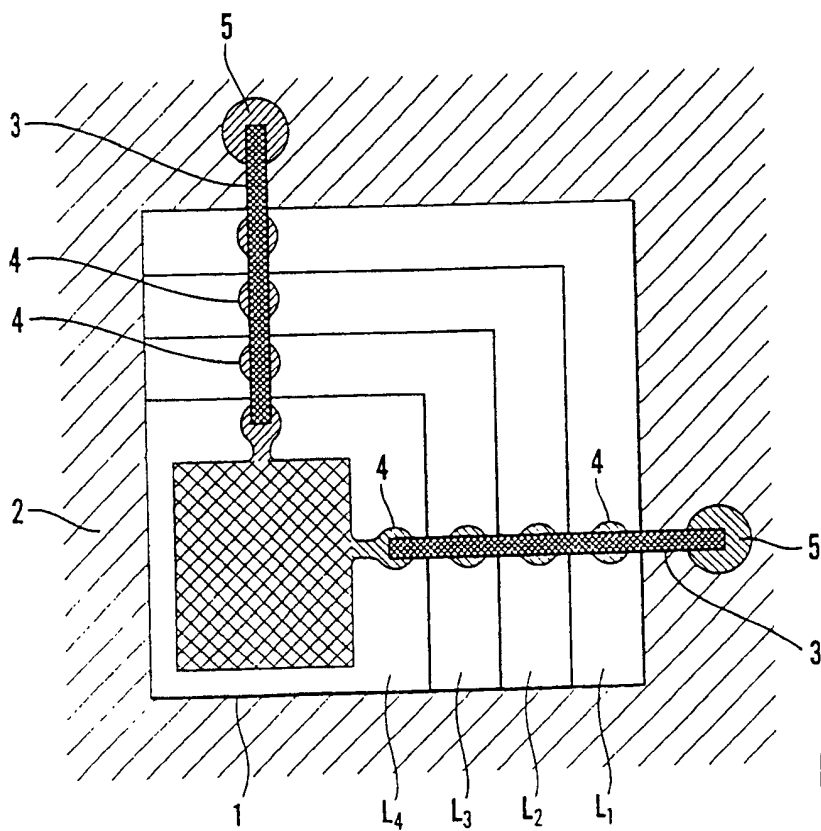


图 1c

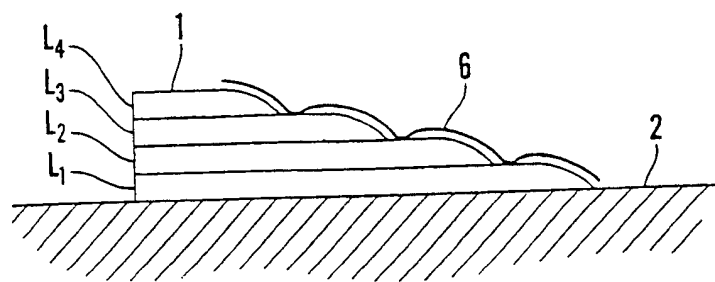


图 2

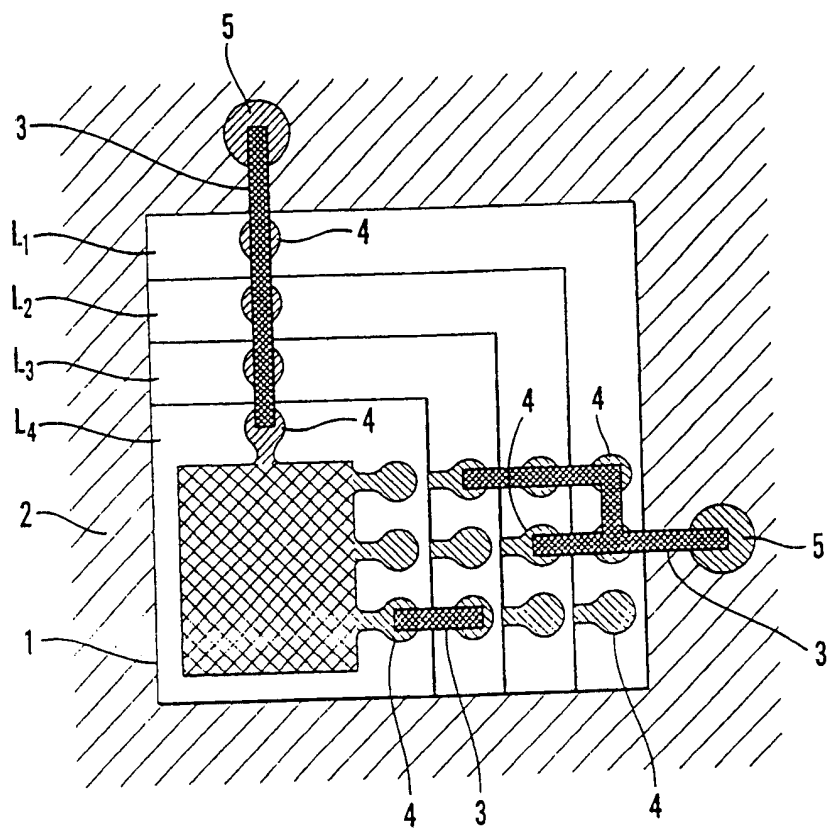


图 3

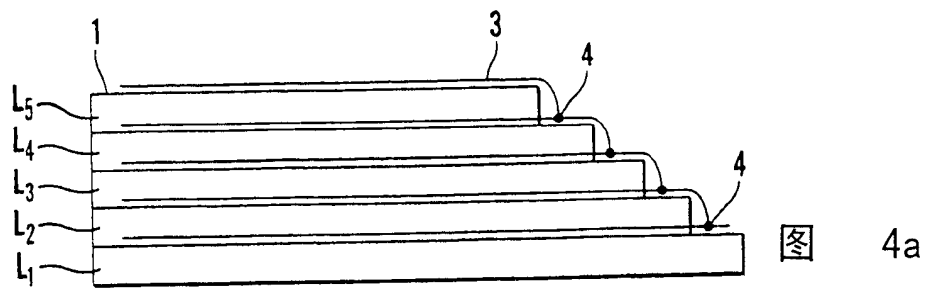


图 4a

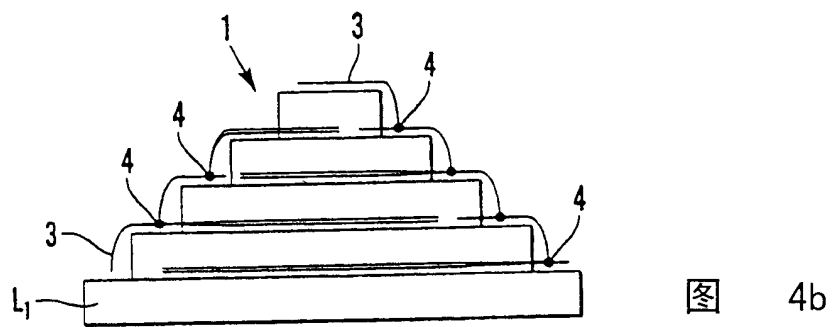


图 4b

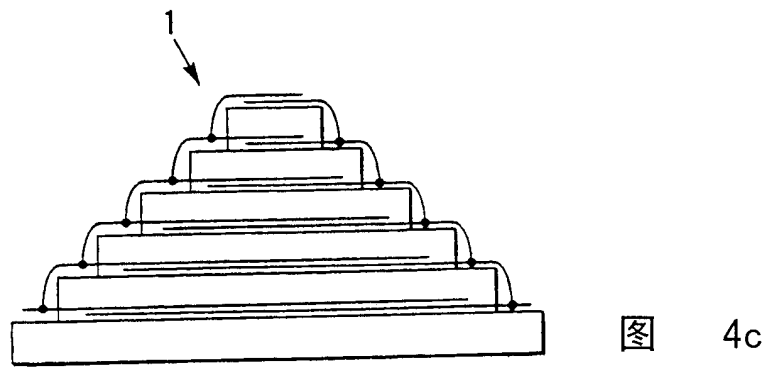


图 4c

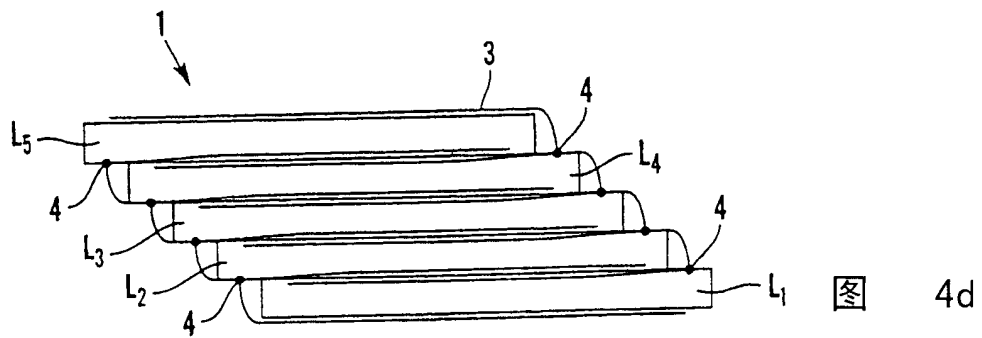


图 4d

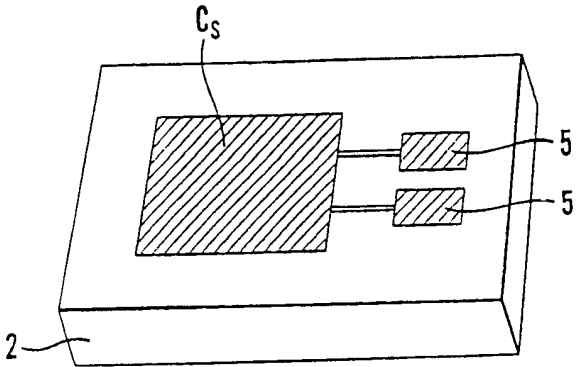


图 5a

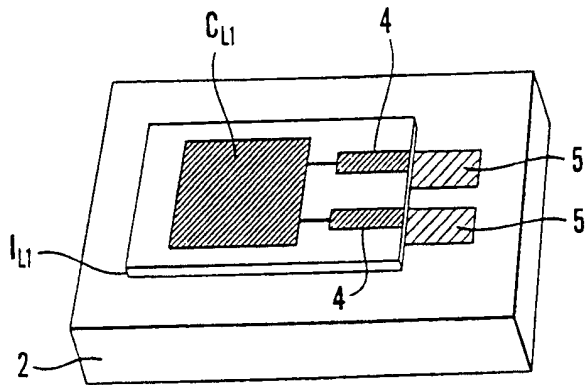


图 5b

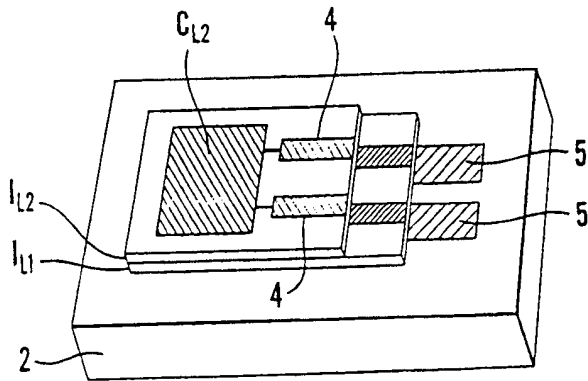


图 5c

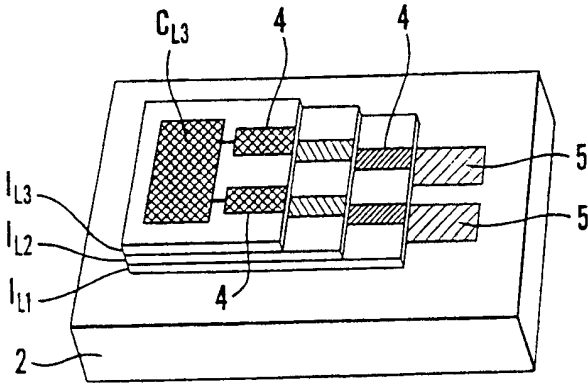


图 5d

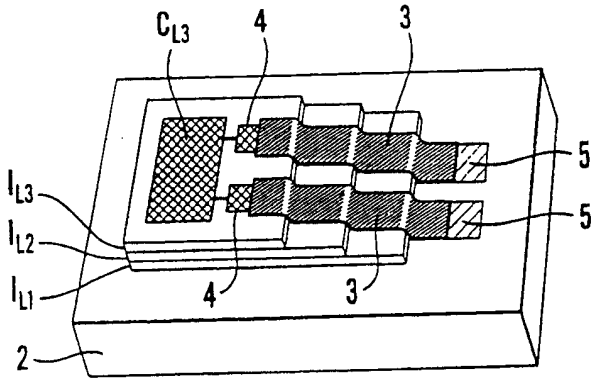


图 5e

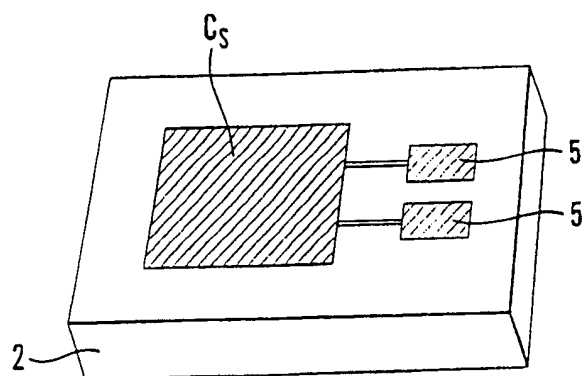


图 6a

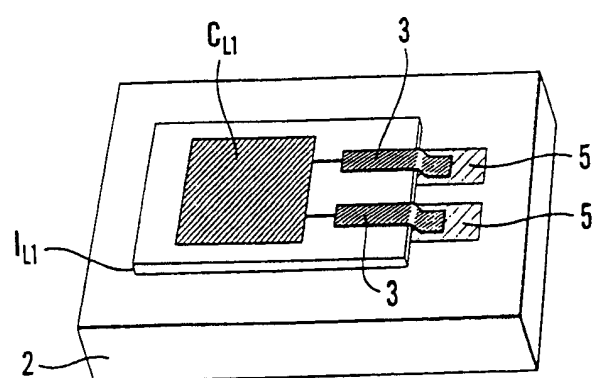


图 6b

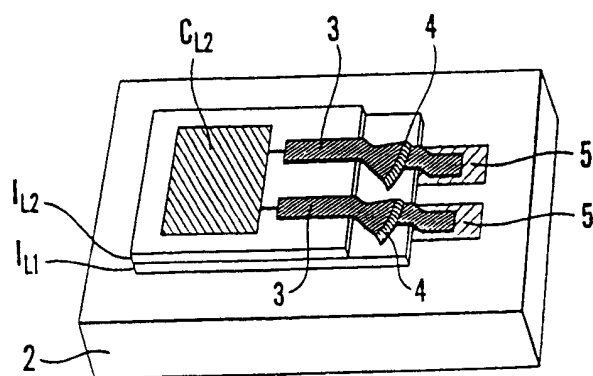


图 6c

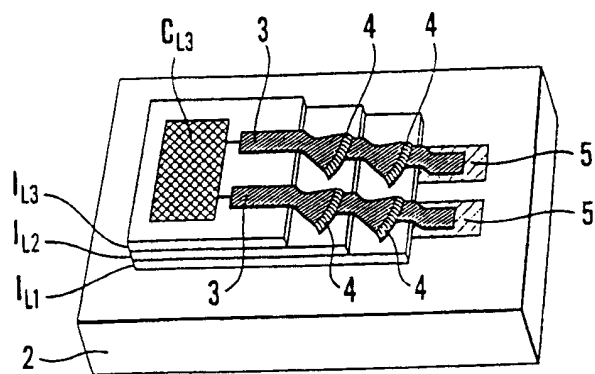


图 6d

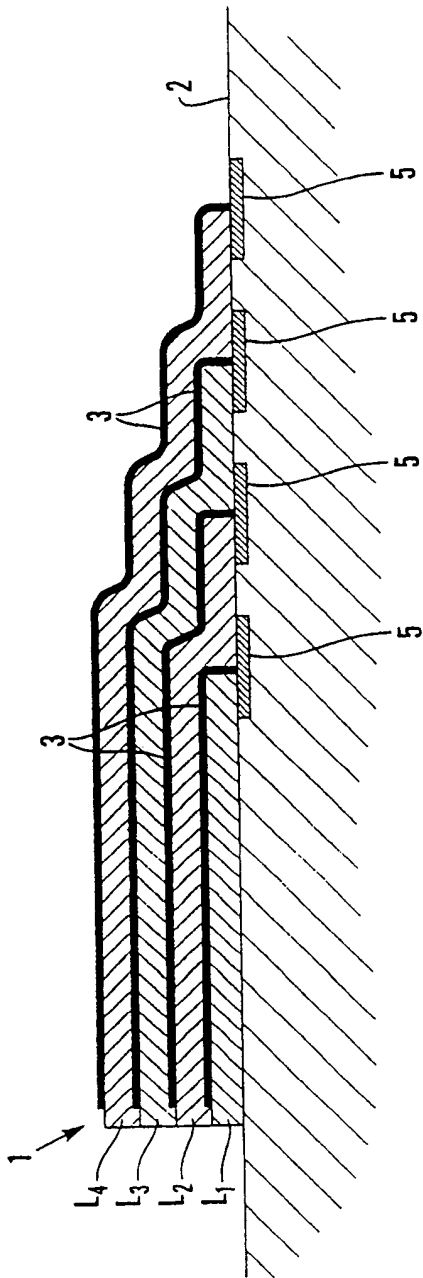


图 7

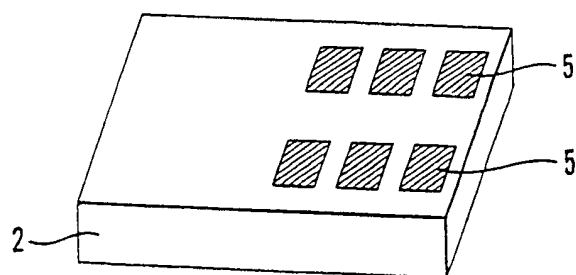


图 8a

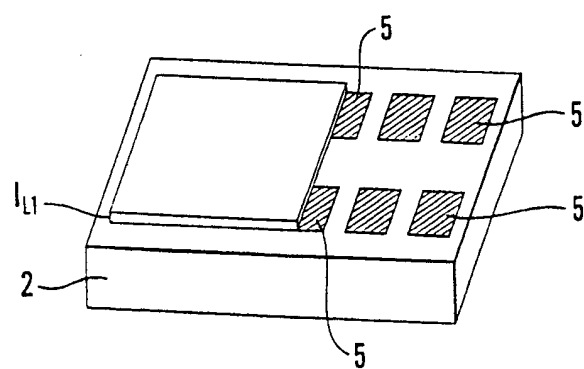


图 8b

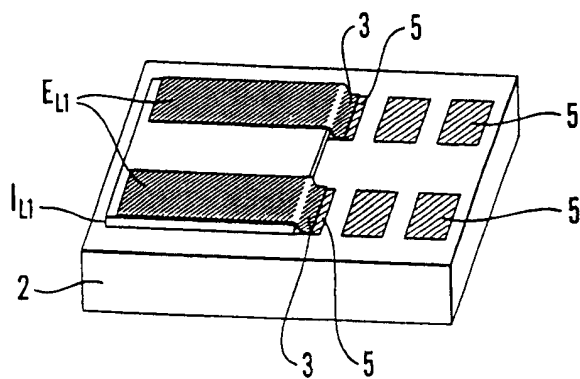


图 8c

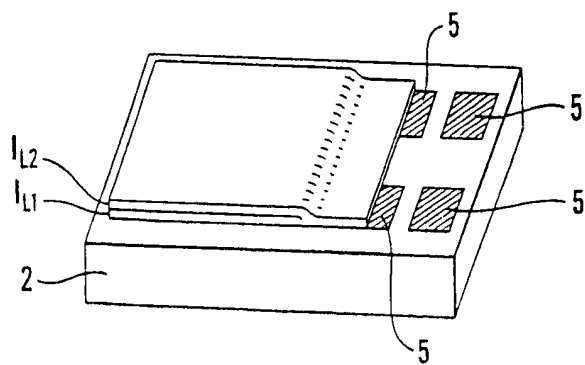


图 8d

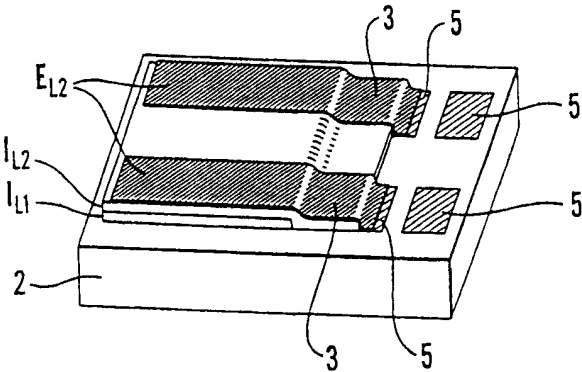


图 8e

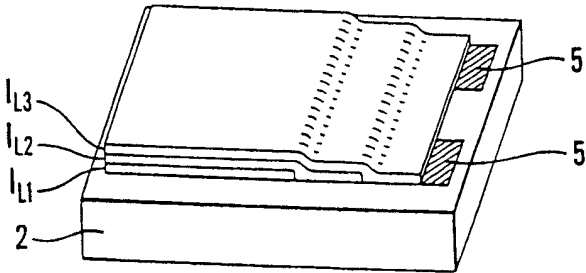


图 8f

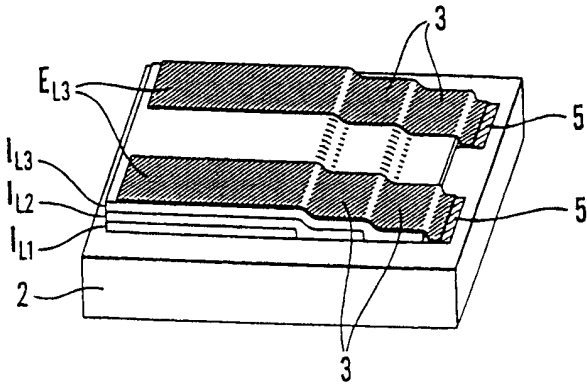


图 8g

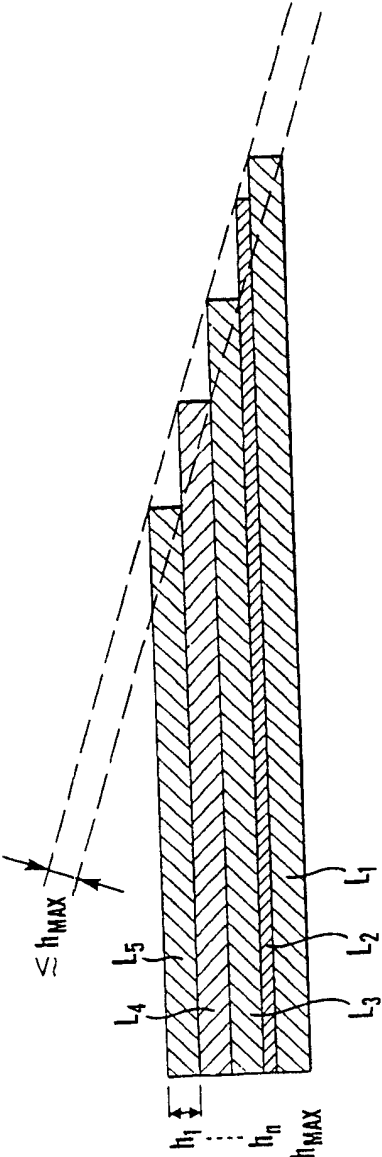


图 9a

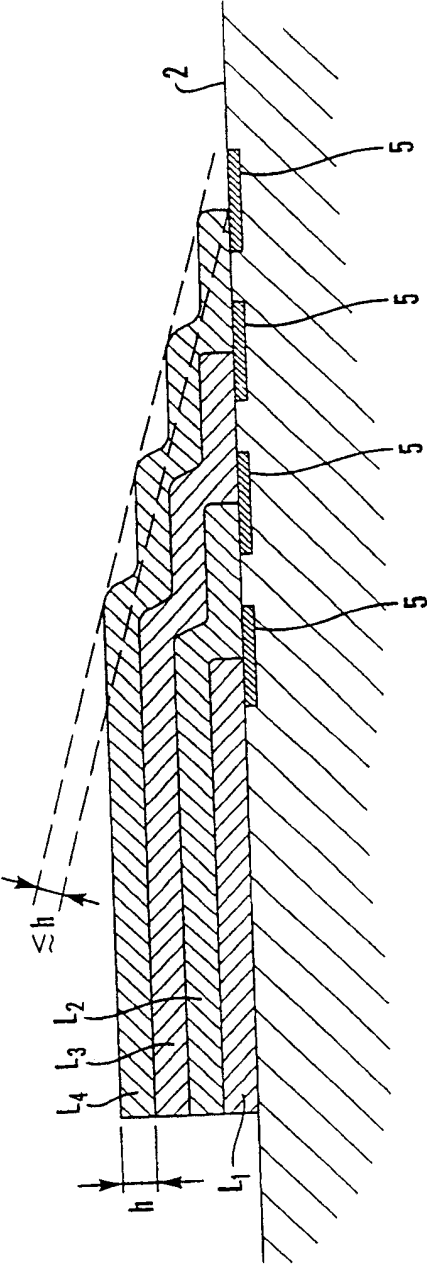


图 9b

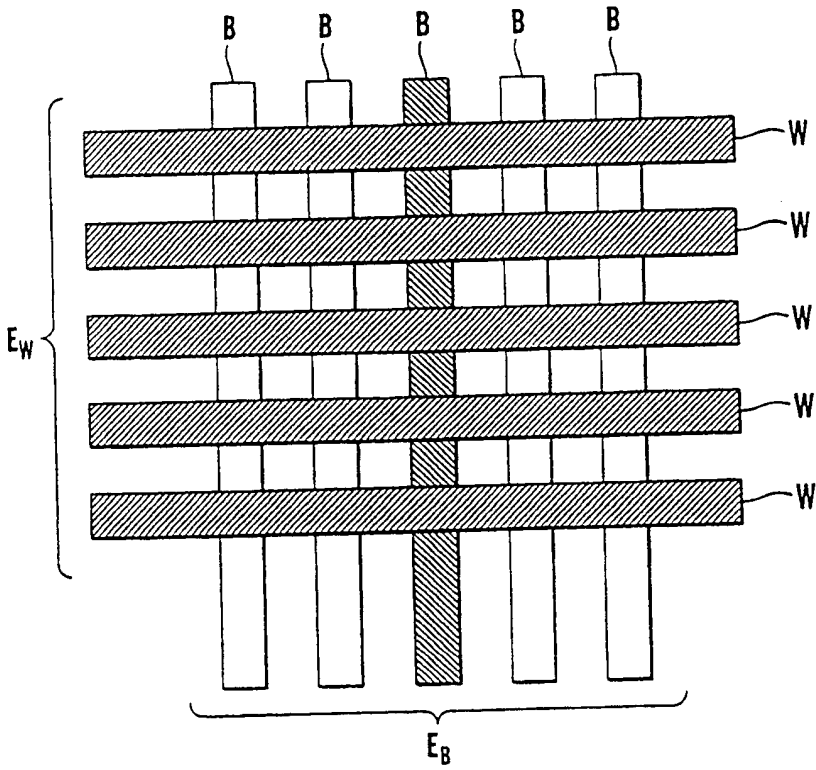


图 10

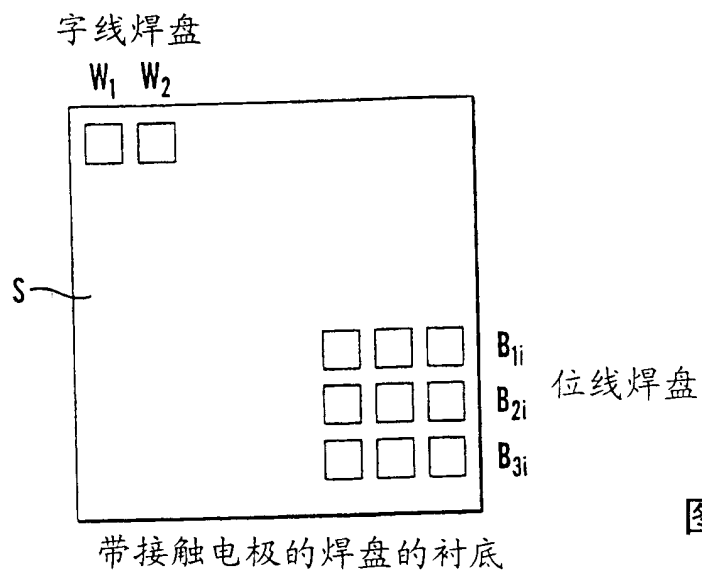


图 11a

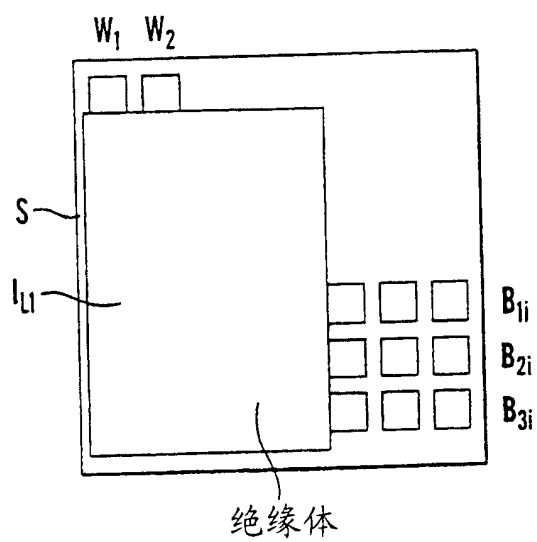


图 11b

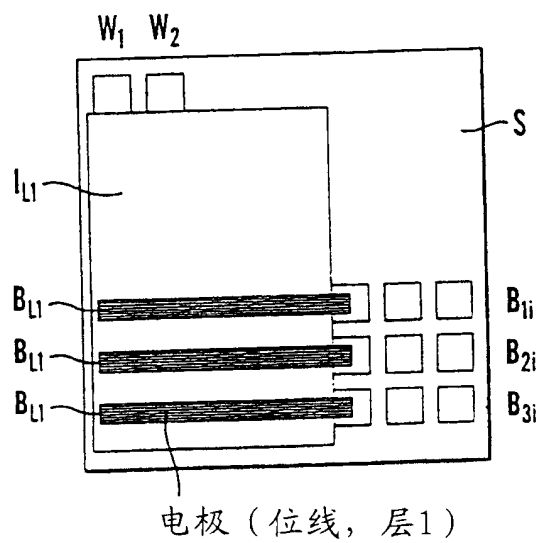


图 11c

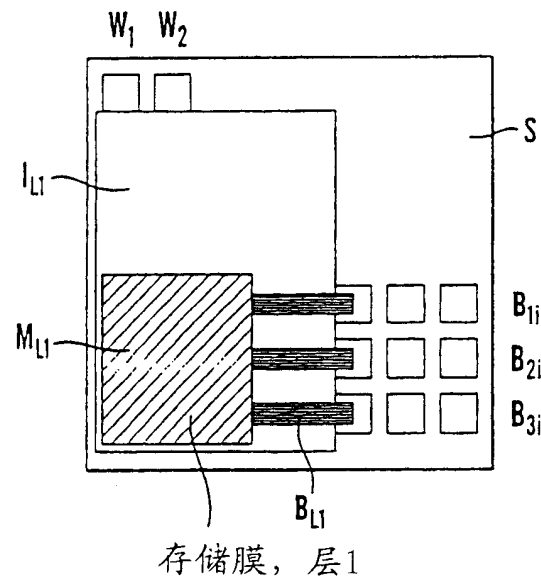


图 11d

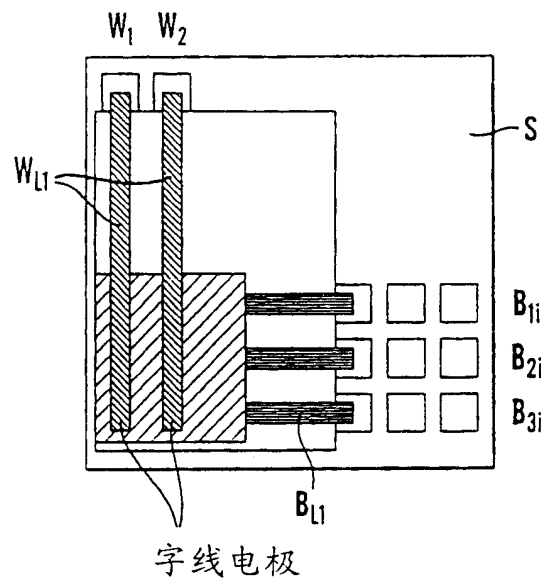


图 11e

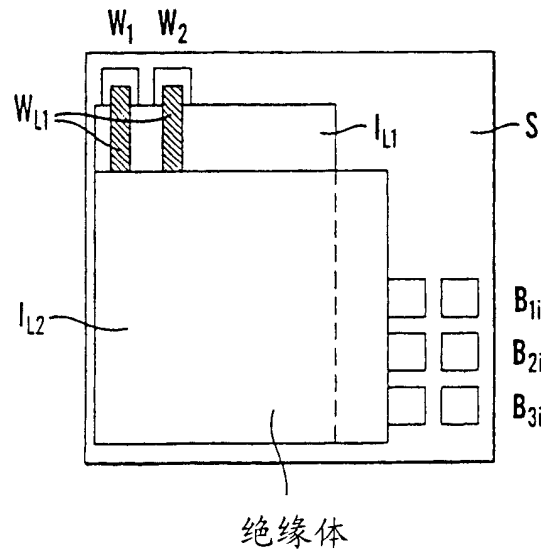
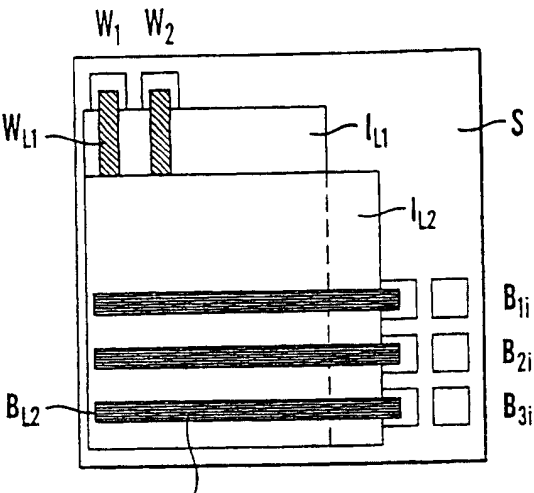
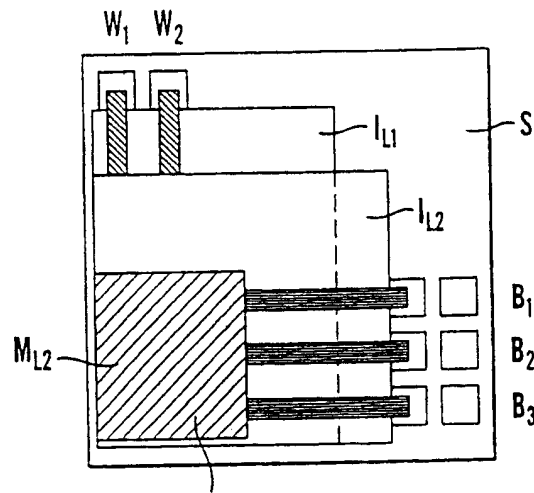


图 11f



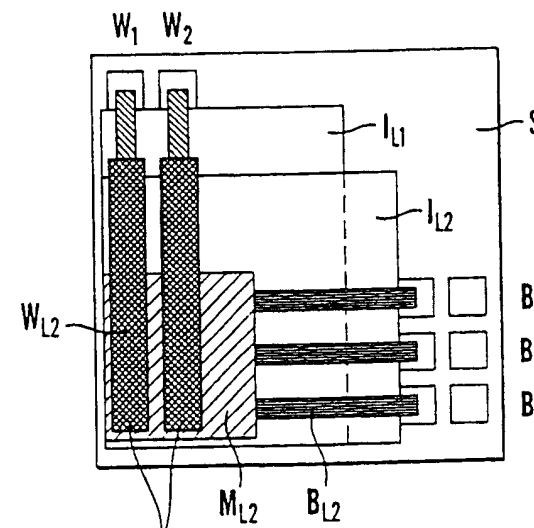
电极 (位线, 层2)

图 11g



存储膜, 层2

图 11h



电极字线, 层2

图 11i

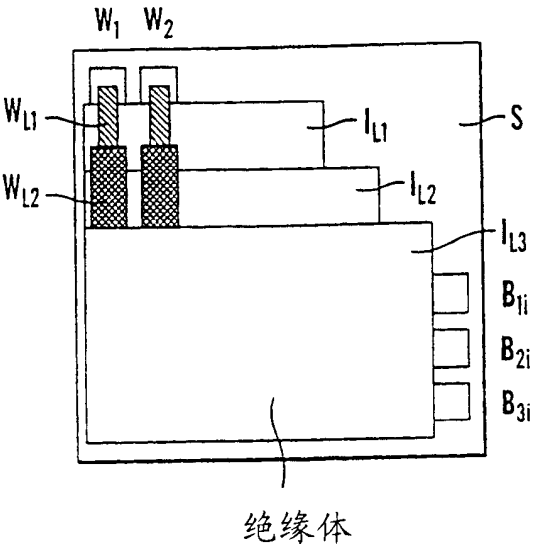


图 11j

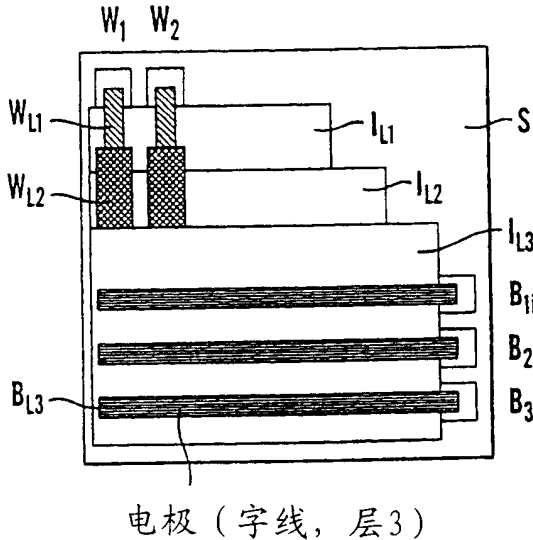


图 11k

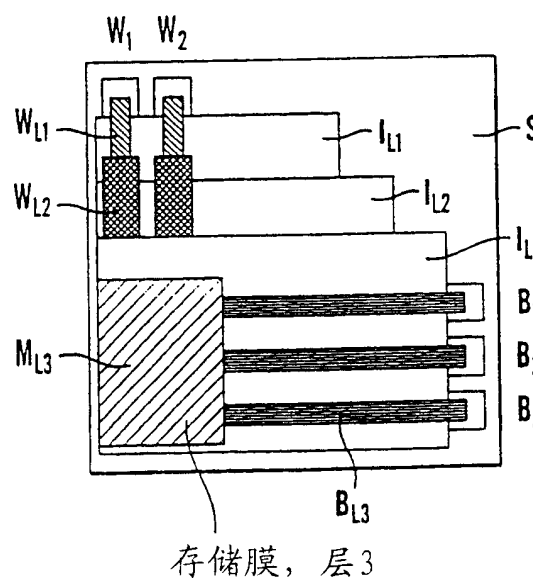
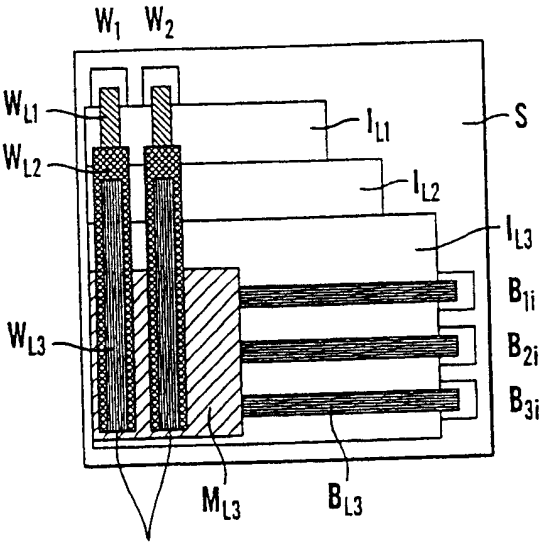


图 11l



电极字线，层3

图 11m