

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5668576号
(P5668576)

(45) 発行日 平成27年2月12日 (2015. 2. 12)

(24) 登録日 平成26年12月26日 (2014. 12. 26)

(51) Int. Cl.	F I				
HO 1 L 29/12 (2006. 01)	HO 1 L	29/78	6 5 2 T		
HO 1 L 29/78 (2006. 01)	HO 1 L	29/78	6 5 3 A		
HO 1 L 21/336 (2006. 01)	HO 1 L	29/78	6 5 2 E		
HO 1 L 21/3065 (2006. 01)	HO 1 L	29/78	6 5 8 E		
	HO 1 L	29/78	6 5 8 A		
請求項の数 24 (全 15 頁) 最終頁に続く					

(21) 出願番号	特願2011-81488 (P2011-81488)	(73) 特許権者	000002130
(22) 出願日	平成23年4月1日 (2011. 4. 1)		住友電気工業株式会社
(65) 公開番号	特開2012-216701 (P2012-216701A)		大阪府大阪市中央区北浜四丁目5番33号
(43) 公開日	平成24年11月8日 (2012. 11. 8)	(74) 代理人	110001195
審査請求日	平成25年11月29日 (2013. 11. 29)		特許業務法人深見特許事務所
		(72) 発明者	増田 健良
			大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内
		(72) 発明者	日吉 透
			大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内
		(72) 発明者	和田 圭司
			大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内
最終頁に続く			

(54) 【発明の名称】 炭化珪素半導体装置

(57) 【特許請求の範囲】

【請求項 1】

六方晶の結晶構造を有する炭化珪素からなり、主表面を有する基板と、
前記基板の前記主表面上にエピタキシャルに形成された炭化珪素層とを備え、
前記炭化珪素層には前記主表面に対して傾斜した側壁を有する溝が設けられており、前記側壁は { 0 0 0 1 } 面に対して 5 0 ° 以上 6 5 ° 以下のオフ角を有し、さらに
前記炭化珪素層の前記側壁上に設けられたゲート絶縁膜と、
前記ゲート絶縁膜の上に設けられたゲート電極とを備え、
前記炭化珪素層は、前記ゲート絶縁膜を介して前記ゲート電極と対向しかつ第 1 導電型を有し、前記ゲート絶縁膜と接するボディ領域と、前記ボディ領域によって互いに分離されかつ第 2 導電型を有する 1 対の領域とを含み、前記ボディ領域は $5 \times 10^{17} \text{ cm}^{-3}$ 以上の不純物密度を有する、炭化珪素半導体装置。

10

【請求項 2】

前記側壁のオフ方位と < 0 1 - 1 0 > 方向とのなす角は 5 ° 以下である、請求項 1 に記載の炭化珪素半導体装置。

【請求項 3】

前記側壁の、 < 0 1 - 1 0 > 方向における { 0 3 - 3 8 } 面に対するオフ角は - 3 ° 以上 5 ° 以下である、請求項 2 に記載の炭化珪素半導体装置。

【請求項 4】

前記側壁は、前記基板を構成する炭化珪素のカーボン面側の面である、請求項 1 ~ 請求

20

項 3 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 5】

前記ボディ領域における不純物密度は $1 \times 10^{20} \text{ cm}^{-3}$ 以下である、請求項 1 ~ 請求項 4 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 6】

ノーマリーオフ型となっている、請求項 1 ~ 請求項 5 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 7】

前記ゲート電極は、前記第 1 導電型を有するポリシリコンからなっている、請求項 6 に記載の炭化珪素半導体装置。

10

【請求項 8】

前記ゲート電極は n 型ポリシリコンからなっている、請求項 1 ~ 請求項 6 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 9】

前記ゲート絶縁膜の厚みは 25 nm 以上 70 nm 以下である、請求項 1 ~ 請求項 8 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 10】

前記第 1 導電型は p 型であり、前記第 2 導電型は n 型である、請求項 1 ~ 請求項 9 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 11】

20

前記ボディ領域における不純物密度は $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $3 \times 10^{18} \text{ cm}^{-3}$ 以下である、請求項 10 に記載の炭化珪素半導体装置。

【請求項 12】

前記ボディ領域に弱反転層が形成されるような前記ゲート電極の閾値電圧が、室温以上 100 以下の温度範囲において 2 V 以上である、請求項 10 または請求項 11 に記載の炭化珪素半導体装置。

【請求項 13】

前記閾値電圧が 100 において 3 V 以上である、請求項 12 に記載の炭化珪素半導体装置。

【請求項 14】

30

前記閾値電圧が 200 において 1 V 以上である、請求項 12 または請求項 13 に記載の炭化珪素半導体装置。

【請求項 15】

前記閾値電圧の温度依存性が $-10 \text{ mV} / \text{ }^\circ\text{C}$ 以上である、請求項 12 ~ 請求項 14 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 16】

室温における電子のチャネル移動度が $30 \text{ cm}^2 / \text{Vs}$ 以上である、請求項 10 ~ 請求項 15 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 17】

100 における電子のチャネル移動度が $50 \text{ cm}^2 / \text{Vs}$ 以上である、請求項 16 に記載の炭化珪素半導体装置。

40

【請求項 18】

150 における電子のチャネル移動度が $40 \text{ cm}^2 / \text{Vs}$ 以上である、請求項 16 または請求項 17 に記載の炭化珪素半導体装置。

【請求項 19】

電子のチャネル移動度の温度依存性が $-0.3 \text{ cm}^2 / \text{Vs} / \text{ }^\circ\text{C}$ 以上である、請求項 16 ~ 請求項 18 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 20】

前記炭化珪素層と前記ゲート絶縁膜との界面におけるバリアハイトは 2.2 eV 以上 2.6 eV 以下である、請求項 1 ~ 請求項 19 のいずれか 1 項に記載の炭化珪素半導体装置

50

【請求項 2 1】

前記 1 対の領域は、前記ボディ領域と前記基板とを隔てる耐圧保持層を含み、オン状態において、前記ボディ領域に形成されるチャンネル領域における抵抗値であるチャンネル抵抗は、前記耐圧保持層における抵抗値であるドリフト抵抗よりも小さい、請求項 1 ~ 請求項 2 0 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 2 2】

縦型絶縁ゲート電界効果トランジスタである、請求項 1 ~ 請求項 2 1 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 2 3】

六方晶の結晶構造を有する炭化珪素からなり、主表面を有する基板と、前記基板の前記主表面上にエピタキシャルに形成された炭化珪素層とを備え、前記炭化珪素層には前記主表面に対して傾斜した側壁を有する溝が設けられており、前記側壁のオフ方位と $\langle 01-10 \rangle$ 方向とのなす角は 5° 以下であり、前記側壁は $(0-33-8)$ 面を含む面であり、さらに前記炭化珪素層の前記側壁上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたゲート電極とを備え、前記炭化珪素層は、前記ゲート絶縁膜を介して前記ゲート電極と対向しかつ第 1 導電型を有し、前記ゲート絶縁膜と接するボディ領域と、前記ボディ領域によって互いに分離されかつ第 2 導電型を有する 1 対の領域とを含み、前記ボディ領域は $5 \times 10^{17} \text{ cm}^{-3}$ 以上の不純物密度を有する、炭化珪素半導体装置。

【請求項 2 4】

六方晶の結晶構造を有する炭化珪素からなり、面方位が $(000-1)$ 面である主表面を有する基板と、前記基板の前記主表面上にエピタキシャルに形成された炭化珪素層とを備え、前記炭化珪素層には前記主表面に対して傾斜した側壁を有する溝が設けられており、前記側壁は、前記溝の底部を取り囲むように配置された、 $(03-3-8)$ 面、 $(-303-8)$ 面、 $(3-30-8)$ 面、 $(0-33-8)$ 面、 $(30-3-8)$ 面、および $(-330-8)$ 面を含み、さらに前記炭化珪素層の前記側壁上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたゲート電極とを備え、前記炭化珪素層は、前記ゲート絶縁膜を介して前記ゲート電極と対向しかつ第 1 導電型を有し、前記ゲート絶縁膜と接するボディ領域と、前記ボディ領域によって互いに分離されかつ第 2 導電型を有する 1 対の領域とを含み、前記ボディ領域は $5 \times 10^{17} \text{ cm}^{-3}$ 以上の不純物密度を有する、炭化珪素半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、炭化珪素半導体装置に関し、より特定的には、ゲート電極を有する炭化珪素半導体装置に関する。

【背景技術】

【0002】

近年、半導体装置の高耐圧化、低損失化、高温環境下での使用などを可能とするため、半導体装置を構成する材料として炭化珪素の採用が進められつつある。炭化珪素は、従来から半導体装置を構成する材料として広く使用されている珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体である。そのため、半導体装置を構成する材料として炭化珪素を採用することにより、半導体装置の高耐圧化、オン抵抗の低減などを達成することができる。また、炭化珪素を材料として採用した半導体装置は、珪素を材料として採用した半導体装置に比べて、高温環境下で使用された場合の特性の低下が小さいという利点も有している。

【0003】

このような炭化珪素を材料として用いた半導体装置のうち、たとえばMOSFET (Metal Oxide Semiconductor Field Effect Transistor) やIGBT (Insulated Gate Bipolar Transistor) など、所定の閾値電圧を境にチャネル領域における反転層の形成の有無をコントロールし、電流を導通および遮断する半導体装置においては、閾値電圧の調整やチャネル移動度の向上について様々な検討がなされている(たとえば非特許文献1参照)。

【先行技術文献】

【非特許文献】

10

【0004】

【非特許文献1】Sei-Hyung Ryu et al., "Critical Issues for MOS Based Power Devices in 4H-SiC", Materials Science Forum (2009), p. 743 - 748

【発明の概要】

【発明が解決しようとする課題】

【0005】

ここで、たとえばnチャネルのMOSFETにおいては、導電型がp型であるp型ボディ領域が形成され、当該p型ボディ領域内にチャネル領域が形成される。そして、p型ボディ領域におけるp型不純物(たとえばB(硼素)、Al(アルミニウム)など)の密度(ドーピング密度)を高くすることにより、閾値電圧をプラス側にシフトさせ、ノーマリーオフ型に近づける、あるいはノーマリーオフ型とすることができる。一方、pチャネルのMOSFETにおいては、上記nチャネルの場合とは逆にn型ボディ領域におけるn型不純物の密度を高くすることにより、閾値電圧をマイナス側にシフトさせ、ノーマリーオフ型に近づける、あるいはノーマリーオフ型とすることができる。

20

【0006】

しかし、このような方法で閾値電圧を調整すると、チャネル移動度が大幅に低下するという問題がある。これは、ドーピング密度を高くすることにより、ドーパントによる電子の散乱が顕著になるためである。そのため、たとえばp型ボディ領域のドーピング密度は、たとえば $1 \times 10^{16} \text{ cm}^{-3} \sim 4 \times 10^{16} \text{ cm}^{-3}$ 程度とされる。その結果、従来の半導体装置においては、十分なチャネル移動度を確保しつつ閾値電圧を自由に設定すること、特にノーマリーオフ型に近づける、あるいはノーマリーオフ型とすることは難しいという問題があった。

30

【0007】

本発明はこのような問題に対応するためになされたものであって、その目的は、チャネル移動度の低下を抑制しつつ閾値電圧の設定の自由度を高めることが可能な炭化珪素半導体装置を提供することである。

【課題を解決するための手段】

【0008】

40

本発明の炭化珪素半導体装置は、基板と、炭化珪素層と、ゲート絶縁膜と、ゲート電極とを有する。基板は、六方晶の結晶構造を有する炭化珪素からなり、主表面を有する。炭化珪素層は、基板の主表面上にエピタキシャルに形成されている。炭化珪素層には主表面に対して傾斜した側壁を有する溝が設けられている。側壁は{0001}面に対して 50° 以上 65° 以下のオフ角を有する。ゲート絶縁膜は炭化珪素層の側壁上に設けられている。ゲート電極はゲート絶縁膜の上に設けられている。炭化珪素層は、ゲート絶縁膜を介してゲート電極と対向しかつ第1導電型を有するボディ領域と、ボディ領域によって互いに分離されかつ第2導電型を有する1対の領域とを含む。ボディ領域は $5 \times 10^{16} \text{ cm}^{-3}$ 以上の不純物密度を有する。

【0009】

50

この半導体装置によれば、ゲート電極によって制御されるチャネルはボディ領域内の側壁上に形成される。この側壁が{0001}面に対して 50° 以上 65° 以下のオフ角を有することによって、チャネルが形成されるボディ領域の不純物密度がたとえ $5 \times 10^{16} \text{ cm}^{-3}$ 以上という高い値とされても、チャネル移動度の低下が抑制されることを、本発明者らは見出した。よってこの半導体装置によれば、チャネル移動度の低下を抑制しつつ、高い不純物密度を用いることによって閾値電圧を大きくシフトすることができる。

【0010】

なお、上述の「不純物」は、炭化珪素中に導入されることにより多数キャリアを生成する不純物を意味する。

【0011】

上記半導体装置においては、上記側壁のオフ方位と $\langle 01-10 \rangle$ 方向とのなす角は 5° 以下となっていてよい。これによりオフ方位がほぼ $\langle 01-10 \rangle$ 方向となり、その結果、側壁の面方位が{03-38}面に近くなる。この場合、上述した作用効果が特に確実に得られることを、本発明者らは見出した。

【0012】

上記半導体装置においては、上記側壁の、 $\langle 01-10 \rangle$ 方向における{03-38}面に対するオフ角は -3° 以上 5° 以下であってもよい。

【0013】

これにより、チャネル移動度を一層向上させることができる。ここで、面方位{03-38}に対するオフ角を -3° 以上 $+5^\circ$ 以下としたのは、チャネル移動度と上記オフ角との関係を調査した結果、この範囲内で特に高いチャネル移動度が得られたことに基づいている。

【0014】

また、「 $\langle 01-10 \rangle$ 方向における{03-38}面に対するオフ角」とは、 $\langle 01-10 \rangle$ 方向および $\langle 0001 \rangle$ 方向を含む平面への上記側壁の法線の正射影と、{03-38}面の法線とのなす角度であり、その符号は、上記正射影が $\langle 01-10 \rangle$ 方向に対して平行に近づく場合が正であり、上記正射影が $\langle 0001 \rangle$ 方向に対して平行に近づく場合が負である。

【0015】

なお、上記側壁の面方位は、実質的に{03-38}であることがより好ましい。ここで、側壁の面方位が実質的に{03-38}であるとは、側壁の加工精度などを考慮して実質的に面方位が{03-38}とみなせるオフ角の範囲に側壁の面方位が含まれていることを意味し、この場合のオフ角の範囲はたとえば{03-38}に対してオフ角が $\pm 2^\circ$ の範囲である。これにより、上述したチャネル移動度をより一層向上させることができる。

【0016】

上記半導体装置においては、上記側壁は、基板を構成する炭化珪素のカーボン面側の面であってもよい。

【0017】

このようにすることにより、チャネル移動度をさらに向上させることができる。ここで、六方晶の単結晶炭化珪素の(0001)面はシリコン面、(000-1)面はカーボン面と定義される。つまり、上記側壁のオフ方位と $\langle 01-10 \rangle$ 方向とのなす角が 5° 以下である構成を採用する場合、上記主面を(0-33-8)面に近いものとすることにより、チャネル移動度をさらに向上させることができる。

【0018】

上記半導体装置においては、上記ボディ領域における不純物密度は $1 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

【0019】

ボディ領域における不純物密度を $1 \times 10^{20} \text{ cm}^{-3}$ 以下としても、閾値電圧は十分な自由度をもって設定することができる。また、 $1 \times 10^{20} \text{ cm}^{-3}$ を超えるドーピング密度を採用すると、結晶性の悪化などの問題が発生する可能性がある。

10

20

30

40

50

【0020】

上記半導体装置は、ノーマリーオフ型となってもよい。このようにノーマリーオフ型になる程度にボディ領域のドーピング密度を高くした場合でも、本発明の半導体装置によればチャネル移動度の低下を十分に抑制することができる。

【0021】

上記半導体装置においては、ゲート電極は第1導電型のポリシリコンからなってもよい。すなわち、第1導電型がp型である場合、ゲート電極はp型ポリシリコンからなるものとし、第1導電型がn型である場合、ゲート電極はn型ポリシリコンからなるものとする。p型ポリシリコンとは、多数キャリアが正孔であるポリシリコンをいい、n型ポリシリコンとは、多数キャリアが電子であるポリシリコンをいう。このようにすることにより、半導体装置をノーマリーオフ型とすることが容易となる。

10

【0022】

上記半導体装置においては、ゲート電極はn型ポリシリコンからなってもよい。このようにすることにより、半導体装置のスイッチング速度を向上させることができる。

【0023】

上記半導体装置においては、上記ゲート絶縁膜の厚みは25nm以上70nm以下であってもよい。上記ゲート絶縁膜の厚みが25nm未満では、動作中に絶縁破壊が発生するおそれがある。一方、上記ゲート絶縁膜の厚みが70nmを超える場合、ゲート電圧の絶対値を大きくする必要が生じる。そのため、上記ゲート絶縁膜の厚みを25nm以上70nm以下とすることにより、上記問題点を容易に解消することができる。

20

【0024】

上記半導体装置においては、上記第1導電型はp型であり、第2導電型はn型であってもよい。すなわち、上記半導体装置は、nチャネル型であってもよい。このようにすることにより、高い移動度を確保することが容易な電子を多数キャリアとする半導体装置を提供することができる。

【0025】

上記半導体装置においては、ボディ領域における不純物密度は $8 \times 10^{16} \text{ cm}^{-3}$ 以上 $3 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。このようにすることにより、通常の動作温度において0~5V程度の閾値電圧を得ることが可能となる。その結果、本願の半導体装置を、珪素を材料として採用した半導体装置と置き換えて使用することが容易になるとともに、半導体装置を安定してノーマリーオフ型とすることができる。また、不純物密度が高くなることによる大幅なチャネル移動度の低下を回避することができる。

30

【0026】

上記半導体装置においては、ボディ領域に弱反転層が形成されるようなゲート電極の閾値電圧は、室温以上100以下の温度範囲において2V以上であってもよい。これにより、通常の動作温度においてより確実にノーマリーオフの状態を維持することができる。ここで、室温とは具体的には27である。

【0027】

上記半導体装置においては、上記閾値電圧が100において3V以上であってもよい。これにより、動作温度が高温である場合でも、より確実にノーマリーオフの状態を維持することができる。

40

【0028】

上記半導体装置においては、上記閾値電圧が200において1V以上であってもよい。これにより、動作温度がより高温である場合でも、より確実にノーマリーオフの状態を維持することができる。

【0029】

上記半導体装置においては、上記閾値電圧の温度依存性は $-10 \text{ mV} /$ 以上であってもよい。このようにすることにより、温度依存性が $-10 \text{ mV} /$ 未満の場合(すなわち、温度依存性の絶対値が $10 \text{ mV} /$ よりも大きく、かつその符号がマイナスの場合)に比して、温度上昇に起因して閾値電圧が減少してゼロに近づく傾向を抑えることができる

50

。これにより、安定してノーマリーオフの状態を維持することができる。

【0030】

上記半導体装置においては、室温における電子のチャネル移動度が $30\text{ cm}^2/\text{Vs}$ 以上であってもよい。このようにすることにより、半導体装置のオン抵抗を十分に抑制することが容易となる。

【0031】

上記半導体装置においては、 100 における電子のチャネル移動度が $50\text{ cm}^2/\text{Vs}$ 以上であってもよい。これにより、動作温度が高温である場合でも、半導体装置のオン抵抗を十分に抑制することが可能となる。

【0032】

上記半導体装置においては、 150 における電子のチャネル移動度が $40\text{ cm}^2/\text{Vs}$ 以上であってもよい。これにより、動作温度がより高温である場合でも、半導体装置のオン抵抗を十分に抑制することが可能となる。

【0033】

上記半導体装置においては、電子のチャネル移動度の温度依存性が $-0.3\text{ cm}^2/\text{Vs}$ 以上であってもよい。これにより、安定して半導体装置のオン抵抗を抑制することが可能となる。

【0034】

上記半導体装置においては、炭化珪素層とゲート絶縁膜との界面におけるバリアハイトは 2.2 eV 以上 2.6 eV 以下であってもよい。

【0035】

バリアハイトを大きくすることにより、ゲート絶縁膜中を流れるリーク電流（トンネル電流）を抑制することができる。しかし、単にゲート絶縁膜との間のバリアハイトが大きい結晶面をゲート絶縁膜と接触する面に採用すると、チャネル移動度が低下することがあり得る。これに対し、バリアハイトが 2.2 eV 以上 2.6 eV となる結晶面をゲート絶縁膜と接触する面に採用することにより、リーク電流を抑制しつつ、高いチャネル移動度を確保することができる。このようなバリアハイトは、 $\{0001\}$ 面に対するオフ角が 50° 以上 65° 以下である側壁を採用することにより、容易に達成することができる。なお、バリアハイトとは、炭化珪素層の伝導帯とゲート絶縁膜の伝導帯との間のバンドギャップの大きさをいう。

【0036】

上記半導体装置は、ボディ領域と基板とを隔てる耐圧保持層を含んでもよい。好ましくは、オン状態において、ボディ領域に形成されるチャネル領域における抵抗値であるチャネル抵抗は、耐圧保持層における抵抗値であるドリフト抵抗よりも小さい。これにより、半導体装置のオン抵抗を低減することができる。このようなチャネル抵抗とドリフト抵抗との関係は、 $\{0001\}$ 面に対するオフ角が 50° 以上 65° 以下である側壁を採用することにより、容易に達成することができる。

【0037】

上記半導体装置は、縦型絶縁ゲート電界効果トランジスタであってもよい。

【発明の効果】

【0038】

以上の説明から明らかなように、本発明の半導体装置によれば、チャネル移動度の低下を抑制しつつ閾値電圧の設定の自由度を高めることが可能な炭化珪素半導体装置を提供することができる。

【図面の簡単な説明】

【0039】

【図1】本発明の一実施の形態における半導体装置の構成を概略的に示す断面図である。

【図2】図1に示した半導体装置の製造方法を説明するための断面模式図である。

【図3】図1に示した半導体装置の製造方法を説明するための断面模式図である。

【図4】図1に示した半導体装置の製造方法を説明するための断面模式図である。

10

20

30

40

50

【図5】図1に示した半導体装置の製造方法を説明するための断面模式図である。

【図6】図1に示した半導体装置の製造方法を説明するための断面模式図である。

【図7】図1に示した半導体装置の製造方法を説明するための断面模式図である。

【図8】図1に示した半導体装置の製造方法を説明するための断面模式図である。

【図9】図1に示した半導体装置の製造方法を説明するための断面模式図である。

【発明を実施するための形態】

【0040】

以下、図面に基づいて本発明の実施の形態について説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

【0041】

図1を参照して、本実施の形態における炭化珪素半導体装置は、傾斜した側壁6を有する溝を含む縦型絶縁ゲート電界効果トランジスタ(MOSFET)である。図1に示した半導体装置は、導電型がn型である炭化珪素からなる基板1と、基板1の主表面上にエピタキシャルに形成された炭化珪素層とを有する。炭化珪素層は、導電型がn型である耐压保持層2と、導電型がp型であるp型ボディ層3(ボディ領域)と、導電型がn型であるn型ソースコンタクト層4と、導電型がp型であるコンタクト領域5とを有する。また半導体装置はさらに、ゲート絶縁膜8と、ゲート電極9と、層間絶縁膜10と、ソース電極12と、ソース配線電極13と、ドレイン電極14と、裏面保護電極15とを有する。

【0042】

基板1は、結晶型が六方晶である炭化珪素からなる。耐压保持層2は、基板1の一方の主表面上に形成されている。耐压保持層2上にはp型ボディ層3が形成されている。よって耐压保持層2は、p型ボディ層3と基板1とを隔てている。

【0043】

p型ボディ層3の不純物密度は $5 \times 10^{16} \text{ cm}^{-3}$ 以上であり、好ましくは $1 \times 10^{20} \text{ cm}^{-3}$ 以下であり、より好ましくは $8 \times 10^{16} \text{ cm}^{-3}$ 以上 $3 \times 10^{18} \text{ cm}^{-3}$ 以下である。

【0044】

p型ボディ層3上には、n型ソースコンタクト層4が形成されている。このn型ソースコンタクト層4に取り囲まれるように、p型のコンタクト領域5が形成されている。

【0045】

n型ソースコンタクト層4、p型ボディ層3および耐压保持層2を部分的に除去することにより溝が形成されている。溝の側壁6は基板1の主表面に対して傾斜した面になっている。側壁6は $\{0001\}$ 面に対して 50° 以上 65° 以下のオフ角を有する。傾斜した面により囲まれた凸部(上部表面上にソース電極12が形成された凸形状部)の平面形状は、たとえば六角形になっていてもよい。

【0046】

好ましくは、側壁6のオフ方位と $\langle 01-10 \rangle$ 方向とのなす角は 5° 以下である。これにより側壁6の面方位は $\{03-38\}$ 面に近くなる。また側壁6の、 $\langle 01-10 \rangle$ 方向における $\{03-38\}$ 面に対するオフ角は -3° 以上 5° 以下である。また側壁6は、基板1を構成する炭化珪素のカーボン面(000-1)側の面である。言い換えれば、側壁6の面方位が $(hklm)$ 面であるとして、mは負の値とされる。

【0047】

たとえば、基板1の主表面の面方位は実質的に(000-1)面であり、側壁6の面方位は実質的に、(03-3-8)面、(-303-8)面、(3-30-8)面、(0-33-8)面、(30-3-8)面、および(-330-8)面を含み、これら6つの面が平面視において溝の底部を取り囲むように配置されている。溝の底部は平面視において六角形の形状を有してもよく、この場合、六角形が有する6つの辺のそれぞれに上記の6つの面がつながっている。あるいは溝の底部はほぼ点状であってもよく、この場合、溝が実質的に側壁6のみによって形成されている。

【0048】

10

20

30

40

50

この溝の側壁6および底部上にはゲート絶縁膜8が形成されている。このゲート絶縁膜8はn型ソースコンタクト層4の上部表面上にまで延在している。好ましくはゲート絶縁膜8の厚みは25nm以上70nm以下である。好ましくは、側壁6上でのp型ボディ層3とゲート絶縁膜8との界面におけるバリアハイトは2.2eV以上2.6eV以下とされる。

【0049】

ゲート絶縁膜8上において、溝の内部を充填するようにゲート電極9が形成されている。ゲート電極9の上部表面は、ゲート絶縁膜8においてn型ソースコンタクト層4の上部表面上に位置する部分の上面とほぼ同じ高さになっている。好ましくはゲート電極は、p型ポリシリコンからなっている。

10

【0050】

上記構成により、p型ボディ層3(第1導電型を有するボディ領域)は、ゲート絶縁膜8を介してゲート電極9と対向している。また耐圧保持層2、p型ボディ層3、およびn型ソースコンタクト層4が、側壁6に沿ってこの順に積層されている。この結果、p型ボディ層3によって耐圧保持層2およびn型ソースコンタクト層4(第2導電型を有する1対の領域)が互いに分離されている。

【0051】

ゲート絶縁膜8のうちn型ソースコンタクト層4の上部表面上にまで延在する部分とゲート電極9とを覆うように層間絶縁膜10が形成されている。層間絶縁膜10とゲート絶縁膜8の一部とを除去することにより、n型ソースコンタクト層4の一部とp型のコンタクト領域5とを露出するように開口部11が形成されている。この開口部11の内部を充填するとともに、p型のコンタクト領域5およびn型ソースコンタクト層4の一部と接触するようにソース電極12が形成されている。ソース電極12の上部表面と接触するとともに、層間絶縁膜10の上部表面上に延在するようにソース配線電極13が形成されている。また、基板1において耐圧保持層2が形成された主表面とは反対側の裏面上には、ドレイン電極14が形成されている。このドレイン電極14はオーミック電極である。このドレイン電極14において、基板1と対向する面とは反対側の面上に裏面保護電極15が形成されている。

20

【0052】

図1に示した半導体装置においては、溝の側壁6が傾斜するとともに、当該側壁6は実質的に{03-3-8}面となっている。図1から分かるように、これらのいわゆる半極性面となっている側壁6を半導体装置の能動領域であるチャネル領域として利用することができる。そして、これらの側壁6は安定な結晶面であるため、当該側壁6をチャネル領域に利用した場合、他の結晶面(たとえば(0001)面)をチャネル領域に利用した場合より、リーク電流を十分低減できるとともに、高い耐圧を得ることができる。

30

【0053】

次に、図1に示した半導体装置の動作について説明する。図1を参照して、ゲート電極9に閾値電圧以下の電圧を与えた状態、すなわちオフ状態では、p型ボディ層3と導電型がn型である耐圧保持層2との間が逆バイアスとなり、非導通状態となる。一方、ゲート電極9に正の電圧を印加すると、p型ボディ層3においてゲート絶縁膜8と接触する領域の近傍であるチャネル領域において、反転層が形成される。その結果、n型ソースコンタクト層4と耐圧保持層2とが電氣的に接続された状態となる。この結果、ソース電極12とドレイン電極14との間に電流が流れる。すなわち半導体装置がオン状態とされる。

40

【0054】

本実施の形態によれば側壁6の{0001}面に対するオフ角が50°以上65°以下となっている。このため、p型不純物密度が $5 \times 10^{16} \text{ cm}^{-3}$ 以上という高いドーピング密度のp型ボディ層3を形成し、閾値電圧をプラス側にシフトさせた場合でも、上記チャネル領域におけるキャリア(電子)の移動度(チャネル移動度)の低下が抑制される。その結果、チャネル移動度の低下を抑制しつつ閾値電圧をプラス側にシフトさせ、ノーマルオフ型に近づける、あるいはノーマリーオフ型とすることが可能なMOSFETとな

50

っている。なお、閾値電圧をさらにプラス側にシフトさせる観点から、p型ボディ層3におけるp型不純物密度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上であってもよく、さらに $5 \times 10^{17} \text{ cm}^{-3}$ 以上とすることもできる。

【0055】

好ましくは、p型ボディ層3の不純物濃度が十分に高くされることによって、半導体装置はノーマリーオフ型とされている。またオン状態において、p型ボディ層3に形成されるチャンネル領域における抵抗値であるチャンネル抵抗は、耐圧保持層2における抵抗値であるドリフト抵抗よりも小さい。

【0056】

好ましくは、p型ボディ層3に弱反転層が形成されるようなゲート電極9の閾値電圧が、室温以上100以下の温度範囲において2V以上である。より好ましくは、閾値電圧が100において3V以上である。また閾値電圧が200において1V以上である。

【0057】

好ましくは、閾値電圧の温度依存性が $-10 \text{ mV} /$ 以上である。閾値電圧の温度依存性の値($\text{mV} /$)は、半導体装置が通常用いられる温度領域においておおよそ一定であるが、厳密に定義される必要がある場合、たとえば、25から200までの閾値電圧の温度依存性を直線近似した際の直線の傾きとして定義され得る。

【0058】

なおp型ボディ層3の不純物密度が $5 \times 10^{16} \text{ cm}^{-3}$ 以上の高密度の下では、側壁6の面方位が本実施の形態と異なり仮に(0001)面とされたとしても、閾値電圧の温度依存性を $-10 \text{ mV} /$ 以上とすることが困難となる。この理由は、(0001)面においては、不純物密度の増大によってトラップ準位が多くなりやすいことによる。トラップ準位が多い場合、トラップされた電子が温度上昇にともない解放される量も多くなる。この結果、温度上昇にともなうドレイン電流の増大が大きくなる。この場合、温度上昇にともなう閾値電圧の低下が大きくなる。言い換えれば、閾値電圧の温度依存性の値が、絶対値の大きな負の値となる。

【0059】

好ましくは、室温における電子のチャンネル移動度が $30 \text{ cm}^2 / \text{Vs}$ 以上である。より好ましくは、100における電子のチャンネル移動度が $50 \text{ cm}^2 / \text{Vs}$ 以上である。また150における電子のチャンネル移動度が $40 \text{ cm}^2 / \text{Vs}$ 以上である。また電子のチャンネル移動度の温度依存性が $-0.3 \text{ cm}^2 / \text{Vs}$ 以上である。

【0060】

次に、図2～図9を参照して、図1に示した本発明による半導体装置の製造方法を説明する。

【0061】

まず、図2を参照して、炭化珪素からなる基板1の主表面上に、導電型がn型である炭化珪素層をエピタキシャルに形成する。当該炭化珪素層のうち基板1側の部分は、そのまま耐圧保持層2となる。炭化珪素層のエピタキシャル成長は、たとえば原料ガスとしてシラン(SiH_4)とプロパン(C_3H_8)との混合ガスを用い、キャリアガスとしてたとえば水素ガス(H_2)を用いたCVD法により実施することができる。また、このとき導電型がn型の不純物としてたとえば窒素(N)やリン(P)を導入することが好ましい。この耐圧保持層2のn型不純物の濃度は、たとえば $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下とすることができる。

【0062】

次に、耐圧保持層2の上部表面層にイオン注入を行なうことにより、p型ボディ層3およびn型ソースコンタクト層4を形成する。p型ボディ層3を形成するためのイオン注入においては、たとえばアルミニウム(Al)などの導電型がp型の不純物をイオン注入する。このとき、注入するイオンの加速エネルギーを調整することによりp型ボディ層3が形成される領域の深さを調整することができる。

【0063】

10

20

30

40

50

次に導電型がn型の不純物を、p型ボディ層3が形成された耐压保持層2へイオン注入することにより、n型ソースコンタクト層4を形成する。n型の不純物としてはたとえばリンなどを用いることができる。このようにして、図3に示す構造を得る。

【0064】

次に、図4に示すように、n型ソースコンタクト層4の上部表面上にマスク層17を形成する。マスク層17として、たとえばシリコン酸化膜などの絶縁膜を用いることができる。マスク層17の形成方法としては、たとえば以下のような工程を用いることができる。すなわち、n型ソースコンタクト層4の上部表面上に、CVD法などを用いてシリコン酸化膜を形成する。そして、このシリコン酸化膜上にフォトリソグラフィ法を用いて所定の開口パターンを有するレジスト膜(図示せず)を形成する。このレジスト膜をマスクとして用いて、シリコン酸化膜をエッチングにより除去する。その後レジスト膜を除去する。この結果、図4に示した溝が形成されるべき領域に開口パターンを有するマスク層17が形成される。

10

【0065】

そして、このマスク層17をマスクとして用いて、n型ソースコンタクト層4、p型ボディ層3および耐压保持層2の一部をエッチングにより除去する。エッチングの方法としてはたとえば反応性イオンエッチング(RIE: Reactive Ion Etching)、特に誘導結合プラズマ(ICP: Inductively Coupled Plasma)RIEを用いることができる。具体的には、たとえば反応ガスとしてSF₆。またはSF₆とO₂との混合ガスを用いたICP-RIEを用いることができる。このよう

20

【0066】

次に、耐压保持層2、p型ボディ層3およびn型ソースコンタクト層4において所定の結晶面を表出させる熱エッチング工程を実施する。具体的には、図4に示した垂直壁16を、酸素ガスと塩素ガスとの混合ガスを反応ガスとして用い、熱処理温度をたとえば700以上1000以下としたエッチング(熱エッチング)を行なうことにより、図5に示すように基板1の主表面に対して傾斜した側壁6を有する溝を形成することができる。

【0067】

ここで、上記熱エッチング工程の条件は、たとえば酸素ガスに対する塩素ガスの流量比率((塩素ガス流量)/(酸素ガス流量))を、0.5以上4.0以下、より好ましくは1.0以上2.0以下、とすることができる。なお、反応ガスは、上述した塩素ガスと酸素ガスに加えて、キャリアガスを含んでもよい。キャリアガスとしては、たとえば窒素(N₂)ガス、アルゴンガス、ヘリウムガスなどを用いることができる。そして、上述のように熱処理温度を700以上1000以下とした場合、SiCのエッチング速度はたとえば70μm/hr程度になる。また、この場合にマスク層17として酸化珪素(SiO₂)を用いると、SiO₂に対するSiCの選択比を極めて大きくすることができるので、SiCのエッチング中にSiO₂からなるマスク層17は実質的にエッチング

30

40

【0068】

なお、この側壁6に表出する結晶面はたとえば{03-3-8}面となっている。つまり、上述した条件のエッチングにおいては、エッチング速度の最も遅い結晶面である{03-3-8}面が溝の側壁6として自己形成される。この結果、図5に示すような構造を得る。

【0069】

次に、マスク層17をエッチングなど任意の方法により除去する。その後、側壁6を有する溝の内部から、n型ソースコンタクト層4の上部表面上にまで延在するように、所定のパターンを有するレジスト膜(図示せず)を、フォトリソグラフィ法を用いて形成する。レジスト膜としては、溝の底部およびn型ソースコンタクト層4の上部表面の一部に開

50

口パターンが形成されているものを用いる。そして、このレジスト膜をマスクとして用いて、導電型がp型の不純物をイオン注入することにより、溝の底部に電界緩和領域7を形成し、n型ソースコンタクト層4の一部領域に導電型がp型のコンタクト領域5を形成する。その後レジスト膜を除去する。この結果、図6に示すような構造を得る。

【0070】

そして、上述したイオン注入により注入された不純物を活性化するための活性化アニール工程を実施する。この活性化アニール工程においては、炭化珪素層の表面に特にキャップ層を形成することなくアニール処理を実施する。ここで、発明者らは、上述した{03-3-8}面については、キャップ層などの保護膜を表面に形成することなく活性化アニール処理を行なっても表面性状が劣化することがなく、十分な表面平滑性を維持できることを見出した。このため、従来必要と考えられていた活性化アニール処理前の保護膜(キャップ層)の形成工程を省略して、直接活性化アニール工程を実施している。なお、上述したキャップ層を形成したうえで活性化アニール工程を実施してもよい。また、たとえばn型ソースコンタクト層4およびp型のコンタクト領域5の上部表面上のみにキャップ層を設けた構成として、活性化アニール処理を実施してもよい。

10

【0071】

次に、図7に示すように、側壁6を有する溝の内部から、n型ソースコンタクト層4およびp型のコンタクト領域5の上部表面上にまで延在するように、ゲート絶縁膜8を形成する。ゲート絶縁膜8としては、たとえば炭化珪素層を熱酸化することにより得られる酸化膜(酸化ケイ素膜)を用いることができる。このようにして、図7に示す構造を得る。

20

【0072】

次に、図8に示すように、側壁6を有する溝の内部を充填するように、ゲート絶縁膜8上にゲート電極9を形成する。ゲート電極9の形成方法としては、たとえば以下のような方法を用いることができる。まず、ゲート絶縁膜8上において、溝の内部およびp型のコンタクト領域5上の領域にまで延在するゲート電極となるべき導電体膜を、スパッタリング法などを用いて形成する。導電体膜の材料としては導電性を有する材料であれば金属など任意の材料を用いることができる。その後、エッチバックあるいはCMP法など任意の方法を用いて、溝の内部以外の領域に形成された導電体膜の部分を除去する。この結果、溝の内部を充填するような導電体膜が残存し、当該導電体膜によりゲート電極9が構成される。このようにして、図8に示す構造を得る。

30

【0073】

次に、ゲート電極9の上部表面、およびp型のコンタクト領域5上において露出しているゲート絶縁膜8の上部表面上を覆うように層間絶縁膜10(図9参照)を形成する。層間絶縁膜としては、絶縁性を有する材料であれば任意の材料を用いることができる。そして、層間絶縁膜10上に、パターンを有するレジスト膜を、フォトリソグラフィ法を用いて形成する。当該レジスト膜(図示せず)にはp型のコンタクト領域5上に位置する領域に開口パターンが形成されている。

【0074】

そして、このレジスト膜をマスクとして用いて、エッチングにより層間絶縁膜10およびゲート絶縁膜8を部分的にエッチングにより除去する。この結果、層間絶縁膜10およびゲート絶縁膜8には開口部11(図9参照)が形成される。この開口部11の底部においては、p型のコンタクト領域5およびn型ソースコンタクト層4の一部が露出した状態となる。その後、当該開口部11の内部を充填するとともに、上述したレジスト膜の上部表面上を覆うようにソース電極12(図9参照)となるべき導電体膜を形成する。その後、薬液などを用いてレジスト膜を除去することにより、レジスト膜上に形成されていた導電体膜の部分を同時に除去する(リストオフ)。この結果、開口部11の内部に充填された導電体膜によりソース電極12を形成できる。このソース電極12はp型のコンタクト領域5およびn型ソースコンタクト層4とオーミック接触したオーミック電極である。

40

【0075】

また、基板1の裏面側(耐圧保持層2が形成された主表面と反対側の表面側)に、ドレ

50

イン電極 14 (図9参照)を形成する。ドレイン電極 14 としては、基板 1 とオーミック接触が可能な材料であれば任意の材料を用いることができる。このようにして、図9に示す構造を得る。

【0076】

その後、ソース電極 12 の上部表面に接触するとともに、層間絶縁膜 10 の上部表面上に延在するソース配線電極 13 (図1参照)、およびドレイン電極 14 の表面に形成された裏面保護電極 15 (図1参照)をそれぞれスパッタリング法などの任意の方法を用いて形成する。この結果、図1に示す半導体装置を得ることができる。

【0077】

なお上記説明は本発明における第1および第2導電型のそれぞれがp型およびn型の場合について行ったが、第1および第2導電型のそれぞれはn型およびp型であってもよい。この場合、ゲート電極9は、n型ポリシリコンからなることが好ましい。

10

【0078】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【産業上の利用可能性】

【0079】

本発明は、ゲート電極を有する炭化珪素半導体装置に特に有利に適用される。

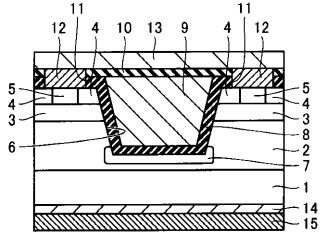
20

【符号の説明】

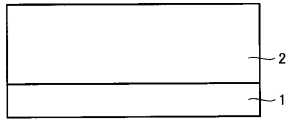
【0080】

1 基板、2 耐圧保持層、3 p型ボディ層(ボディ領域)、4 n型ソースコンタクト層、5 コンタクト領域、6 側壁、7 電界緩和領域、8 ゲート絶縁膜、9 ゲート電極、10 層間絶縁膜、11 開口部、12 ソース電極、13 ソース配線電極、14 ドレイン電極、15 裏面保護電極、17 マスク層。

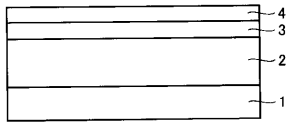
【図 1】



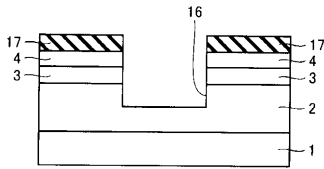
【図 2】



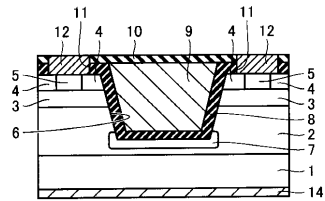
【図 3】



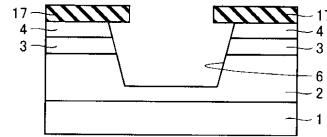
【図 4】



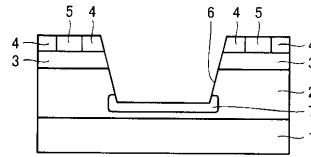
【図 9】



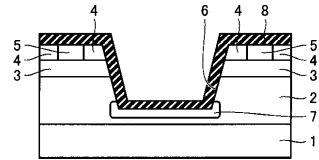
【図 5】



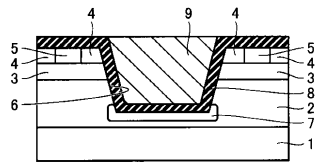
【図 6】



【図 7】



【図 8】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 8 G
H 0 1 L 29/78 6 5 2 J
H 0 1 L 21/302 1 0 5 A

審査官 平野 崇

(56)参考文献 特開2010-040564(JP,A)
国際公開第08/065782(WO,A1)
特開2008-235546(JP,A)
国際公開第10/116886(WO,A1)
特開2005-056868(JP,A)
特開2006-228901(JP,A)
特開2005-317751(JP,A)
特開2002-261275(JP,A)
国際公開第2011/021361(WO,A1)

(58)調査した分野(Int.Cl.,DB名)
H 0 1 L 2 9 / 1 2
H 0 1 L 2 1 / 3 0 6 5
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8