(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-111476
(P2004-111476A)
(43)公開日　平成16年4月8日(2004.4.8)

(51)Int.Cl.⁷	F I	テーマコード（参考）
H01L 29/06	H01L 29/06 301G H01L 29/06 301S	

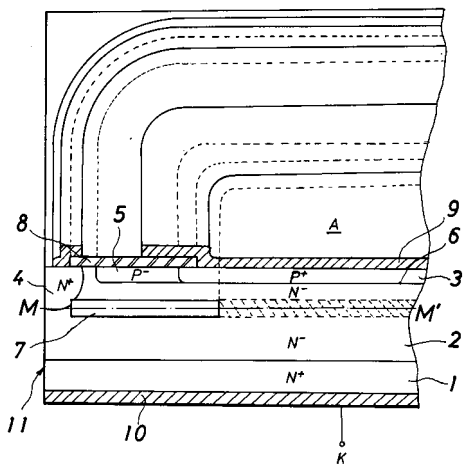
審査請求 未請求　請求項の数 6　OL　（全 45 頁）

(21)出願番号　特願2002-268926(P2002-268926)
(22)出願日　平成14年9月13日(2002.9.13)

(71)出願人　000227928
日本インター株式会社
神奈川県秦野市曽屋１２０４番地
(72)発明者　丸岡　進
神奈川県秦野市曽屋１２０４番地
日本インター株式会社内

(54)【発明の名称】半導体装置及びその製造方法

(57)【要約】
【課題】プラナ接合においても、平面接合に限りなく近いブレーク・ダウンが得られる半導体装置を提供すること。
【解決手段】通常のダイオード構造におけるＰ↑＋層３の外周を囲み、該Ｐ↑＋層３と同じ深さで、かつ、耐圧維持領域のＮ↑－層２内にＲｅｓｕｒｆ層としてＰ↑－層５を設け、また、Ｎ↑＋チャンネル・ストッパ層４の位置から前記Ｐ↑＋層３とＮ↑－層２とで形成される主ＰＮ接合６の下部に至る位置までの横幅で前記Ｐ↑－層５直下に位置する、前記Ｎ↑－層２の内部に形成された埋め込み酸化膜層（ＢＯＸ層）７とを設ける。このため、Ｐ↑－層５による好適なＲｅｓｕｒｆ効果、局所的電界集中の回避が達成でき、その結果、プラナ接合においても、平面接合に限りなく近いブレーク・ダウン電圧が得られる。
【選択図】　図１



【特許請求の範囲】
【請求項１】
Ｎ↑＋型半導体基板上に設けられたＮ↑－層と、
該Ｎ↑－層の中央部の一方主面側に位置するように設けられ、かつ、主ＰＮ接合の端部が一方主面側の表面に露出するように設けられたＰ↑＋層と、
前記半導体基板上の一方主面側の最外周端部であって、前記Ｎ↑－層内に設けられたＮ↑＋チャンネル・ストッパ層と、
該チャンネル・ストッパ層の表面の一部及び前記主ＰＮ接合の一方主面側への露出端部を少なくとも覆う酸化膜と、
前記一方主面側のＰ↑＋層上に形成されたアノード電極及び前記半導体基板の他方主面側に形成されたカソード電極と、
を有する半導体装置において、
前記Ｐ↑＋層の外周を囲み、該Ｐ↑＋層の外周に隣接すると共に、該Ｐ↑＋層の前記一方主面側の表面からの深さと同じ深さで、かつ、該Ｐ↑＋層と前記チャンネル・ストッパ層との間の耐圧維持領域としての前記Ｎ↑－層内に設けられたＰ↑－層と、
前記チャンネル・ストッパ層の位置から前記Ｐ↑＋層とＮ↑－層とで形成される主ＰＮ接合の水平位置の下部に至る位置までの横幅で前記Ｐ↑－層直下に設けられ、かつ、該Ｐ↑－層直下に前記Ｎ↑－層の厚みが残存するように設けられた埋め込み酸化膜層（ＢＯＸ層）と、
を有することを特徴とする半導体装置。
【請求項２】
前記Ｐ↑＋層上に形成されたアノード電極の最外端は、前記Ｐ↑＋層の最外端を超えたフィールド・プレート構造であることを特徴とする請求項１に記載の半導体装置。
【請求項３】
前記Ｐ↑－層の電荷量（ＱＴＰ－）及び前記Ｎ↑－層の電荷量（ＱＴＮ－）の比（ＱＴＰ－／ＱＴＮ－）が、ＱＴＰ－／ＱＴＮ－＝１５～２５の範囲であることを特徴とする請求項１に記載の半導体装置。
【請求項４】
前記Ｐ↑－層の表面不純物濃度（Ｃｓ）が、Ｃｓ＝２×１０↑１６（１／ｃｍ↑３）であることを特徴とする請求項３に記載の半導体装置。
【請求項５】
前記Ｐ↑－層と前記Ｐ↑＋層の深さ（Ｘｊ）が、Ｘｊ＝１．０μｍであることを特徴とする請求項１に記載の半導体装置。
【請求項６】
Ｎ↑＋層上にＮ↑－層を有し、該耐圧維持領域のＮ↑－層の内部に埋め込み酸化膜層（ＢＯＸ層）を有するＳＯＩ基板ウェーハをスタート素材として用い、該素材ウェーハを全面酸化させる第１工程と、
前記Ｎ↑－層内にＰ↑－層（Ｒｅｓｕｒｆ層）及びＰ↑＋層を形成するために、前記第１工程で形成された第１の酸化膜に所定の開口を施し、ボロン・イオン注入を行なう第２工程と、
前記Ｐ↑＋層注入部パターンを形成し、該注入部を介してボロン・イオン注入を行なった後、アニールを施す第３工程と、
前記アニール処理中に、第２の酸化膜を形成した後、フォト・レジストによりＮ↑＋チャンネル・ストッパ層となる部分を開口するために、前記第２の酸化膜をエッチング除去する第４工程と、
前記第４工程で形成した開口部からリン・イオン注入を行い、アニール処理を施してＮ↑＋チャンネル・ストッパ層を形成する第５工程と、
前記Ｐ↑＋層の少なくとも主面上及び前記基板の裏面側のＮ↑＋層の主面　上にアノード電極及びカソード電極を形成する第６工程と、
を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、縦型半導体装置、新規な耐圧維持構造に関するものである。さらに詳しくは、プラナ接合構造を有するシリンドリカル（円筒状）・モードあるいはスフェリカル（球面状）・モードによる耐圧の低下現象を略なくし、より平面接合でのブレーク・ダウン（耐圧）電圧に近いブレーク・ダウン電圧を得ることができる半導体装置に関し、また、より小さい比抵抗（ρ）と厚み（ｔ）を持ったエピタキシャル層を用いることにより順電圧特性（ＶＦ）の向上等の改善を図り得る半導体装置に係るものである。
【０００２】
【従来の技術】
主ＰＮ接合を、シリコン（Ｓｉ）と酸素（Ｏ２）の結合体である安定な熱酸化膜（ＳｉＯ２）を用いて閉じ込めることにより、長期使用における半導体の特性を安定化させ、周囲の汚染から保護することができるプラナ技術は、従来より種々の半導体装置に用いられてきた。
【０００３】
しかしながら、プラナ技術により形成された主ＰＮ接合面６ａは、図８（ａ）に示すような接合曲率（半径ｒｊ）を有しているため、三次元的に示した図８（ｂ）において、円筒状（シリンドリカル）及び球面状（スフェリカル）の主ＰＮ接合面６ａを形成してしまう。
【０００４】
このプラナ技術の接合曲率のために、平面（メサ）接合に比べて接合ブレーク・ダウン電圧の低下を招いてしまうことが、従来より知られている。
かかるブレーク・ダウン電圧の低下の程度を予想する式としては、例えば〔Ｒｅｆ．１〕「Ｐｈｙｓｉｃｓ　ｏｆ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｄｅｖｉｃｅｓ　２ｎｄ　Ｅｄｉｔｉｏｎ　ｐ．１０７～１０８．ｂｙ　Ｓ．Ｍ．Ｓｚｅ」中の式がある。この式を表１として示す。
【０００５】
【表１】

$$V_{CY}/V_B = \left[1/2\,(\eta^2+2\eta^{6/7})\quad n\,(1+2\eta^{-8/7})-\eta^{6/7}\right]\cdot(1)$$

$$V_{sp}/V_B = \left[\eta^2+2.14\eta^{6/7}\right]-(\eta^3+3\eta^{13/7})^{2/3}\Big]\cdot\cdot\cdot\cdot\cdot(2)$$

【０００６】
ただし、η＝ｒｊ／Ｗｍで、Ｗｍは片側平面接合のブレーク・ダウン時の空乏層幅である。
上記表１の（１）式及び（２）式を用いた計算結果の一例を示すと、図９のようになる。
【０００７】
上記図９を参照することで明らかなことは、プラナ技術により形成された接合曲率を有する主ＰＮ接合面は、該略、次のようなことが言えることである。

▲１▼平面接合のブレーク・ダウン電圧（ＶＢ）に比べて、プラナ技術のブレーク・ダウン電圧（Ｖｃｙ及びＶｓｐ）のいずれもが、常に低下すること。
▲２▼その低下率のために、得られるブレーク・ダウン電圧の関係は、これもまた常にＶＢ≫Ｖｃｙ＞Ｖｓｐとなること。
▲３▼Ｖｃｙ、Ｖｓｐ共に（η≡ｒｊ／Ｗｍ）の値が大きく、すなわち、接合深さＸｊが深くなればなるほど（ｒｊ　０．８５Ｘｊであるので、）Ｖｃｙ、Ｖｓｐ共に漸増するが、Ｘｊを相当深くしても、ＶＢ≫Ｖｃｙ＞Ｖｓｐの関係は不変であること。
【０００８】
つまり、プラナ接合である限り、平面接合のブレーク・ダウン電圧（ＶＢ）を決して上回ることは無い言うことができる。そして、現実の素子製作に当たっては、より高い比抵抗（ρ）で、かつ、より厚いエピタキシャル層厚（ｔ）の使用を余儀なく選択させられているのが現状である。
【０００９】
プラナ接合におけるブレーク・ダウン電圧の改善、すなわち、より平面接合でのブレーク・ダウン電圧に近い耐圧を得るための技術も従来から種々のものがある。その中で代表的のものを挙げれば次のようなものがある。
（イ）１本あるいは複数本のガードリング構造
（ロ）フィールド・プレート構造
（ハ）ＪＴＥ（ジャンクション・ターミネーション・エクステンション）構造
（ニ）高耐圧の集積回路等に好んで用いられるＲｅｓｕｒｆ（リデュース・サーフェス・フィールド）
等であるが、これらの技術の詳細を記載した文献を次に挙げておく。
【００１０】
〔Ｒｅｆ．２〕▲１▼（「Ｏｐｔｉｍｉｚａｔｉｏｎ　ａｎｄ　Ｓｕｒｆａｃｅ　Ｃｈａｒｇｅ　Ｓｅｎｓｉｔｉｖｉｔｙ　ｏｆ　Ｈｉｇｈ－Ｖｏｌｔａｇｅ－Ｂｌｏｃｋｉｎｇ　Ｓｔｒｕｃｔｕｒｅｓ　ｗｉｔｈ　Ｓｈａｌｌｏｗ　Ｊｕｎｃｔｉｏｎｓ．」ＩＥＥＥ　Ｔｒａｎｓ　Ｅｌｅｃｔｒｏｎ　Ｄｅｖｉｃｅｓ，Ｖｏｌ３８，ｐｐ．１６６６～１６７５，１９９１．ｂｙ　Ｈ．Ｙｉｌｍａｔｚ．）中には、フィールド・プレートとガードリング構造を併用したような新規な構造が記述されている。
【００１１】
〔Ｒｅｆ．３〕▲２▼（「Ｓｕｆａｃｅ　Ｂｒｅａｋｄｏｗｎ　ｉｎ　Ｓｉｌｉｃｏｎ　Ｐｌａｎａｒ　Ｅｑｕｉｐｐｅｄ　Ｗｉｔｈ　Ｆｉｅｌｄ　Ｐｌａｔｅ」Ｓｏｌｉｄ　Ｓｔａｔｅ　Ｅｌｅｃｔｒｏｎｉｃｓ，１９７２，Ｖｏｌ　１５，ｐｐ．９３～１０５，ｂｙ　Ｆ．ｃｏｎｔｉ　ａｎｄ　Ｍ．ｃｏｎｔｉ．）
中には、フィールド・プレートの基礎理論が詳述されている。
【００１２】
〔Ｒｅｆ．４〕▲３▼（「Ｃｏｍｐｕｔｅｒ　Ｓｔｕｄｙ　ｏｆ　ａ　Ｈｉｇｈ－Ｖｏｌｔａｇｅ　ａ　ｐ－π－ｎ↑－・ｎ↑＋　Ｄｉｏｄｅ　ａｎｄ　ｗｉｔｈ　ａ　ｆｉｅｌｄ　Ｌｉｍｉｔｔｉｎｇ　Ｒｉｎｇ　Ｓｔｒｕｃｔｕｒｅ」ＩＥＥＥ　Ｔｒａｎｓ　Ｅｌｅｃｔｒｏｎ　Ｄｅｖｉｃｅｓ，Ｖｏｌ，ＥＤ－３３，ＮＯ．１，ｐｐ．８０～８４，Ｖ．Ｂｏｉｓｓｏｎ　ａｔ　ａｌ．）
中には、ＪＴＥ構造におけるシミュレーションの検討結果が紹介されている。
【００１３】
〔Ｒｅｆ．５〕▲４▼（「Ｔｈｉｎ　Ｌａｙｅｒ　Ｈｉｇｈ－Ｖｏｌｔａｇｅ　Ｄｅｖｉｃｅｓ（Ｒｅｓｕｒｆ　Ｄｅｖｉｃｅｓ）」Ｐｈｉｌｉｐｓ　Ｊ．Ｒｅｓ．３５，１－１３，１９８０，ｂｙ　Ｊ．Ａ．Ａｐｐｌｅｓ　ｅｔ　ａｌ．）
中には、Ｒｅｓｕｒｆ構造の考え方が述べられている。そして、接合分離型の集積回路をより高耐圧化する、しかも、より薄いｎ↑－エピタキシャル層を用いてのより高耐圧化を目指す場合、Ｒｅｓｕｒｆ構造の手法によって印加された逆電圧を素子の表面に沿って横方向に均一に分布させること、すなわち、素子の表面あるいは少なくとも表面近傍におい

て、電界分布の決定的変化を起こさせることでそれが可能となることが述べられている。

【００１４】

特に、そのような高耐圧集積回路、例えば、２００Ｖ（ＢＶＣＥＯ）系プロセスでは、ｎｐｎ－トランジスタのＰ型ベース層の曲率が小さい場合、高いＢＶＣＥＯが得られないため、どうしてもｎ↑－エピタキシャル層が厚くなり、約４０μｍの深い分離拡散が必要となっていたが、本構造の採用によってｎ↑－エピタキシャル層厚が３～１５μｍでも同等の耐圧が得られることが示されている。

【００１５】

Ｒｅｓｕｒｆの原理は、図１０に示されている。

図１０において、シリコンバルクのｎ↑－・ｐ↑－水平ＰＮ接合面のｎ↑－層厚さ方向に広がる空乏層１４の幅が、表面近くにあるｎ↑－・ｐ↑＋縦方向のＰＮ接合面に形成される表面の電界（Ｅｓ）が、ｎ↑－エピタキシャル層の濃度で決まる臨界電圧（Ｅｃｒｉ）に達するずっと以前に素子表面にピンチ・オフするようにしてやれば、さらに高い電圧を印加し続けた場合も表面の電界（Ｅｓ）は、ｎ↑－・ｐ↑＋接合面より左側に略水平の分布を以って、図示のように伸びるだけなので、結果としてＥｓのピーク値が下がるという点にある。

【００１６】

つまり、Ｒｅｓｕｒｆ効果が、ｐ↑＋層の厚さをｄｅｐｉ、ｎ↑－層の厚さをＮｅｐｉとして、ｄｅｐｉ・Ｎｅｐｉの値を上手く選択すれば起こるといういうことが分かる。

また、この時のｄｅｐｉ・Ｎｅｐｉ　１×１０↑１２（１／ｃｍ↑２）の時に、最適な降伏（ブレーク・ダウン）電圧が得られることも述べられている。

【００１７】

ところで、最近になって、上記図１０で用いたような接合分離型集積回路構造に代えてＳＯＩ（Ｓｉｌｉｃｏｎ　ｏｎ　Ｉｎｓｕｌａｔｏｒ）分離型構造が、より高耐圧な集積回路応用において注目されるようになって来ている。ＳＯＩ分離の良さは何をさておき、接合分離型構造では問題となっていた分離領域間のリーク電流や、隣接素子間での寄生効果が殆ど問題とならないレベルまで改善される点にあることが良く知られている。

【００１８】

ＳＯＩ基板を用いることの他の利点は、印加された電圧の一部を酸化膜にも負担させて、より高耐圧、かつ、ハイパワーな集積回路を得ることができるという点にある。このことは、例えば、〔Ｒｅｆ．６〕「電気学会技術報告　第８４２号　ｐ．８４～８５」に記載されている。

【００１９】

周知のごとく、ＳｉＯ２膜の絶縁耐圧は、６～８×１０↑６（Ｖ／ｃｍ）程度であるとされ、これはシリコンバルク中のそれ、Ｅｃｒｉｔでもある２～３×１０↑５（Ｖ／ｃｍ）と比べて、１桁以上も大きい。

なお、「Ｅｃｒｉｔ」とは、シリコンバルク中で、アバランシェ・ブレーク・ダウンあるいはゼナー・ブレーク・ダウンが起こる時の電界強度をいう。これは例えば、〔Ｒｅｆ．７〕「Ｐｈｙｓｉｃｓ　ａｎｄ　Ｔｅｃｈｎｏｌｏｇｙ　ｏｆ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｄｅｖｉｃｅｓ，ｂｙ　Ａ．Ｓ．Ｇｒｏｖｅ，Ｊｈｏｎ　Ｗｉｌｅｙ＆ＳＯＮＳ．ＩＮＣ，ｐ．１９３，Ｆｉｇ．６．２７」中に記述されている。

【００２０】

ところで、仮に、素子構造、その中でも特に耐圧を決定する部分に、ＳｉＯ２膜層を形成し、この層中に電界を、その一部でも良いから負担させることができるとすれば、同じ電圧負担に対して、ＳｉＯ２膜はシリコンバルクの１／１０以下の膜厚、あるいは同じ膜厚であれば、ＳｉＯ２膜はシリコンバルクの１０倍以上の電圧を負担することができる。

【００２１】

さらに、この考え方を発展させて、素子構造全体（ＳｉＯ２膜及びシリコンバルク）で負担していた電圧を、より高い部分（ＳｉＯ２膜）と、より低くなる部分（シリコンバルク）にグループ分けしたとし、その多くをＳｉＯ２膜中に負担させればさせる程、シリコン

バルク中の負担が軽くなる。
その理由は、ＳｉＯ２膜は清浄で、かつ、品質的にも全く問題が無く、しかも１０倍もの絶縁耐圧を有しているので、かかる部分により多くの電圧を負担させるのが賢明だからである。
こうして、素子全体としての性能と信頼性を向上させる試みは価値のあるものである。
ただ、ここで注意すべきは、ＳｉＯ２膜とシリコンバルクでは熱膨張係数が大きく違うので、厚いＳｉＯ２膜を用いると、ウェーハの反りが大きくなることである。
【００２２】
次に、図１１にＳＯＩ分離型素子構造の一例を、また、図１２にＴＯＸ、ＶＢの従来の研究例（Ｒｅｆ．６）を示す。
以上の従来技術を踏まえ、今日、縦型デバイスが抱えている問題を、図１３の従来技術による縦型プラナ構造のデバイスを参照して整理すると次のようになる。
なお、図１３に示したのものは、最も簡単な構造のプラナ型主ＰＮ接合ダイオードである。
【００２３】
（問題点）
（１）アノード領域を形成するＰ↑＋層領域とＮ↑－層とで形成される主ＰＮ接合が、表面に露出するから、開口部直下にかけて曲率（半径ｒｊ）を有しているため、前記表１に示した（１）式あるいは（２）式によるブレーク・ダウン電圧の低下がある。すなわち、ＶＢ≫Ｖｃｙ、Ｖｓｐとなる。
したがって、Ｎ↑－層の濃度（Ｎｅｐｉ）とその厚さ（ｄｅｐｉ）とした時の平面接合で得られる耐圧（ＶＢ）の５０％程度以下の耐圧（Ｖｃｙ、Ｖｓｐ）しか得られていない。
【００２４】
（２）図中に、Ｐ↑＋・Ｎ↑－接合のチップ中心部の水平部分でのシリコンバルク中の縦方向の電界分布（ＥＢ）、Ｐ↑＋層領域端部のハッチングで示した丸印のコーナＲ部分付近のＰ↑＋・Ｎ↑－接合における横方向の電界分布（ＥＢ－Ｒ）、及び素子表面の横方向電界分布（ＥＳ）に注目すると次のことが言える。
▲１▼ＥＢに関しては、図示のような平面接合と同等の分布となるが、これは縦方向の不純物濃度分布（Ｎｅｐｉ）・層の厚さ（ｄｅｐｉ）で決まるが、素子のブレーク・ダウンが起きていてもまだＥｃｒｉｔに達しないままとなっている。
【００２５】
▲２▼コーナＲ部分のＥＢ－Ｒに関しては、シリコンバルク中では通常この部分が最大電界となっているが、上記の縦方向の不純物濃度分布（Ｎｅｐｉ）・層の厚さ（ｄｅｐｉ）・接合深さ（Ｘｊ）により決定されるＶｃｙ、Ｖｓｐのどちらかが、Ｅｃｒｉｔに達した時点で、局所的で、かつ、時期尚早なブレーク・ダウンに達してしまう。
したがって、デバイスにこれ以上の逆電圧を加えても、すでにブレーク・ダウンが起こってしまっているので、逆方向の漏れ電流が増大するのみで、素子の耐圧（阻止電圧）も、もうこれ以上の増大をすることはない。
さらに、強引に逆電圧の印加を続けると、素子はやがて永久破壊することとなる。
【００２６】
▲３▼素子の電界（ＥＳ）に関しても図示のように、ＰＮ接合露出面近辺をピークとして局所的に高い。そして、ＥＳの値そのものも、空乏層の幅が内部での幅（ＷＮ）に比べ、表面素子では酸化膜中の電荷等の影響もあって、より広がり難い。すなわち、ＷＮ＞ＷＮ’となるため、ＥＳ＞ＥＢとなっている。
その結果、素子表面等に、例えば封止剤やコート剤中から来る可動性イオンがあったとすると、これらの可動イオンは高いＥＳに引かれ、あるいは加速され、非常に動き易くなるであろう。
【００２７】
（３）上記（１）及び（２）の説明からも明らかなように、図１３の構造においては、図１０に示したようなＲｅｓｕｒｆ効果による表面電界の低減効果も全く起こることがない

ので、Ｖｃｙ、Ｖｓｐ支配下での貧弱な素子耐圧（ＶＢの５０～６０％程度がせいぜい）しか得られないだろう。
しかしながら、これを補い改善するために、先の文献▲１▼～▲３▼中に述べられている（イ）ガードリング構造、（ロ）フィールド・プレート構造、（ハ）ＪＴＥ構造等を用いることは不可能ではないが、図１３中に示した素子耐圧維持領域幅（ＷＬ）を広めてしまい、その結果として、素子活性領域のチップ全面積に占める比率を大きく損ねてしまう難点がある。
【００２８】
（４）ＳＯＩ型分離構造において見られた耐圧改善効果、すなわち、素子構造の一部に酸化膜（ＳｉＯ２膜）領域を設け、このＳｉＯ２膜領域部分に、耐圧の一部を負担させる結果、シリコンバルク領域の耐圧負担分を軽減し、より高耐圧化するという効果が期待できないことも、また、当然である。
素子表面の耐圧維持領域を覆うＳｉＯ２膜は、素子構造の一部であって、しかも、表面に露出するＰＮ接合を安定な熱酸化膜で覆いプラナ構造における不純物導入用の開口パターンとしては大いに機能してはいても、これが耐圧の一部を負担してくれるという効果が期待できないことは言うまでもない。
【００２９】
【発明が解決しようとする課題】
以上、述べたように従来の縦型プラナ構造のデバイスにおいては、与えられたＮｅｐｉ、ｄｅｐｉ、Ｘｊの組み合わせの下で得られる筈の平面接合耐圧（ＶＢ）に比べて次のような解決すべき課題があった。
【００３０】
（１）まだ充分な耐圧が得られておらず、所望の耐圧を得ようとすれば、より低濃度のＮｅｐｉで、かつ、厚いｄｅｐｉ、より深いＸｊを選択せねばならず、このことが、素子の重要な特性である順電圧降下（ＶＦ）や逆回復時間（ｔｒｒ）の上昇を招いていた。
【００３１】
（２）安価で安定供給が可能な市販の材料を用いて、平面接合に極めて近い、すなわち、Ｖｃｙ、Ｖｓｐの制限を実質的に皆無とするような新規な耐圧構造の実現が困難であった。
【００３２】
（３）従来のような耐圧維持領域のための広い領域を要することなく、また、チップの有効面積利用効率を損なうこともなく、より理想的で新規な耐圧構造の実現が困難であった。
【００３３】
本発明は、上記の各課題を解決すると共に、最近、比較的安価で供給が安定しており、加えて種々の顧客ニーズにも対応可能なウェーハ張り合わせ技術を駆使したＳＯＩ基板を用いて、その持つ良さを縦型デバイスに適用できることを示した新規な半導体装置を提供するものである。
【００３４】
また、従来では成し得なかった縦型デバイスの製造上の制限、すなわち、耐圧設計上の無駄、安全係数、余裕分故の、単位面積当りの電流密度制限からも解放され、余分なウェーハコスト、余分な発熱・抵抗要因、等々を排除し、必要特性対必要素材が略１対１の関係となるように配慮し、パワー半導体の現状技術の新たなブレーク・スルーさえも企図した新たな半導体装置を提供するものである。
【００３５】
【課題を解決するための手段】
第１の発明の半導体装置は、
Ｎ↑＋型半導体基板上に設けられたＮ↑－層と、
該Ｎ↑－層の中央部の一方主面側に位置するように設けられ、かつ、主ＰＮ接合の端部が一方主面側の表面に露出するように設けられたＰ↑＋層と、

前記半導体基板上の一方主面側の最外周端部であって、前記Ｎ↑－層内に設けられたＮ↑＋チャンネル・ストッパ層と、
該チャンネル・ストッパ層の表面の一部及び前記主ＰＮ接合の一方主面側への露出端部を少なくとも覆う酸化膜と、
前記一方主面側のＰ↑＋層上に形成されたアノード電極及び前記半導体基板の他方主面側に形成されたカソード電極と、
を有する半導体装置において、
前記Ｐ↑＋層の外周を囲み、該Ｐ↑＋層の外周に隣接すると共に、該Ｐ↑＋層の前記一方主面側の表面からの深さと同じ深さで、かつ、該Ｐ↑＋層と前記チャンネル・ストッパ層との間の耐圧維持領域としての前記Ｎ↑－層内に設けられたＰ↑－層と、
前記チャンネル・ストッパ層の位置から前記Ｐ↑＋層とＮ↑－層とで形成される主ＰＮ接合の水平位置の下部に至る位置までの横幅で前記Ｐ↑－層直下に設けられ、かつ、該Ｐ↑－層直下に前記Ｎ↑－層の厚みが残存するように設けられた埋め込み酸化膜層（ＢＯＸ層）と、
を有することを特徴とするものである。
【００３６】
第２の発明の半導体装置は、前記Ｐ↑＋層上に形成されたアノード電極の最外端が、前記Ｐ↑＋層の最外端を超えたフィールド・プレート構造であることを特徴とするものである。
【００３７】
第３の発明の半導体装置は、前記Ｐ↑－層の電荷量（ＱＴＰ－）及び前記Ｎ↑－層の電荷量（ＱＴＮ－）の比（ＱＴＰ－／ＱＴＮ－）が、ＱＴＰ－／ＱＴＮ－＝１５～２５の範囲であることを特徴とするものである。
【００３８】
第４の発明は、前記Ｐ↑＋層の電荷量（ＱＴＰ－）及び前記Ｎ↑－層の電荷量（ＱＴＮ－）の比（ＱＴＰ－／ＱＴＮ－）を、ＱＴＰ－／ＱＴＮ－＝１５～２５の範囲とすると共に、前記Ｐ↑－層の表面不純物濃度（Ｃｓ）が、Ｃｓ＝２×１０↑１６（１／ｃｍ↑３）であることを特徴とするものである。
【００３９】
第５の発明の半導体装置は、前記Ｐ↑－層と前記Ｐ↑＋層の深さ（Ｘｊ）が、Ｘｊ＝１．０μｍであることを特徴とするものである。
【００４０】
第６の発明の半導体装置の製造方法は、Ｎ↑＋層上にＮ↑－層を有し、該耐圧維持領域のＮ↑－層の内部に埋め込み酸化膜層（ＢＯＸ層）を有するＳＯＩ基板ウェーハをスタート素材として用い、該素材ウェーハを全面酸化させる第１工程と、
前記Ｎ↑－層内にＰ↑－層（Ｒｅｓｕｒｆ層）及びＰ↑＋層を形成するために、前記第１工程で形成された第１の酸化膜に所定の開口を施し、ボロン・イオン注入を行なう第２工程と、
前記Ｐ↑＋層注入部パターンを形成し、該注入部を介してボロン・イオン注入を行なった後、アニールを施す第３工程と、
前記アニール処理中に、第２の酸化膜を形成した後、フォト・レジストによりＮ↑＋チャンネル・ストッパ層となる部分を開口するために、前記第２の酸化膜をエッチング除去する第４工程と、
前記第４工程で形成した開口部からリン・イオン注入を行い、アニール処理を施してＮ↑＋チャンネル・ストッパ層を形成する第５工程と、
前記Ｐ↑＋層の少なくとも主面上及び前記基板の裏面側のＮ↑＋層の主面　上にアノード電極及びカソード電極を形成する第６工程と、
を含むことを特徴とするものである。
【００４１】
【作用】

第１の発明では、通常のダイオード構造におけるＰ↑＋層の外周を囲み、該Ｐ↑＋層と同じ深さで、かつ、耐圧維持領域のＮ↑－層内にＲｅｓｕｒｆ層としてＰ↑－層を設け、また、Ｎ↑＋チャンネル・ストッパ層の位置から前記Ｐ↑＋層とＮ↑－層とで形成される主ＰＮ接合の下部に至る位置までの横幅で前記Ｐ↑－層直下に位置する、前記Ｎ↑－層の内部に形成された埋め込み酸化膜層（ＢＯＸ層）とを設けている。

【００４２】

このため、Ｐ↑－層による好適なＲｅｓｕｒｆ効果、局所的電界集中の回避が達成でき、その結果、プラナ接合においても、平面接合に限りなく近いブレーク・ダウン電圧が得られるようになる。

【００４３】

第２の発明では、前記Ｐ↑＋層上に形成されたアノード電極の最外端が、前記Ｐ↑＋層の最外端を超えたフィールド・プレート構造を有するようにした。

このため、第１の発明での効果に加えフィールド・プレート構造による相乗効果が達成でき、ブレーク・ダウン電圧の改善に寄与する。

【００４４】

第３の発明では、前記Ｐ↑－層の電荷量（ＱＴＰ－）及び前記Ｎ↑－層の電荷量（ＱＴＮ－）の比（ＱＴＰ－／ＱＴＮ－）が、ＱＴＰ－／ＱＴＮ－＝１５～２５の範囲とした。

このため、Ｐ↑－層両端部付近での電界強度の最大値（Ｅｍａｘ－ＬとＥｍａｘ－Ｒ）が、Ｅｍａｘ－Ｌ　Ｅｍａｘ－Ｒとなり、かかる最も良好な条件によりＲｅｓｕｒｆ効果が最大限に発揮される。

【００４５】

第４の発明では、前記ＱＴＰ－／ＱＴＮ－＝１５～２５の範囲とすると共に、前記Ｐ↑－層の表面不純物濃度（Ｃｓ）を、Ｃｓ＝２×１０↑１６（１／ｃｍ↑３）とした。

このため、Ｐ↑－層両端部付近での電位分布及び電界強度のいずれもが略均等に配置されることになり、Ｒｅｓｕｒｆ効果が最も良い状態で起こる。

【００４６】

第５の発明では、前記Ｐ↑－層と前記Ｐ↑＋層の深さ（Ｘｊ）が、同じ深さのＸｊ＝１．０μｍとした。この数値を同一深さとすることにより、図５０に示したＢＯＸ層の右端部近傍（Ａ部）及びＰ↑－層とＰ↑＋層との境界（Ｂ部）での局所的電界集中が一挙に解消する。

すなわち、Ａ部では、Ｐ↑＋層の下側にあるＮ↑－層中において、ＢＯＸ層の上下に分割されている電位線が、ＢＯＸ層内に収斂するように入り込んでいるため、Ａ部での電位線の込み具合が解消される。また、Ｂ部においても、ここでは縦方向のＰ↑＋・Ｎ↑－接合が存在しなくなっていて、Ｐ↑＋層底部とＢＯＸ層の間にもＮ↑－層が存在するようになるため、電位線の曲がりが解消され、電位線の込み具合が問題とならなくなる。

【００４７】

第６の発明では、第１～第６工程を経て目的とする半導体装置を得られるようにした。

このため、耐圧維持領域にみにＢＯＸ層を有する、比較的安価で品質の安定している市販のＳＯＩ基板をスタート素材とし、複雑な工程を経ることなく目的とするデバイスが迅速かつ安価に製作できる利点が生じる。

【００４８】

【実施例】

以下に、本発明の実施例を、図を参照して説明する。

図１は、本発明のデバイスの一実施例を示す構造断面図である。

図において、本発明のデバイスは、Ｎ↑＋層１と、該Ｎ↑＋層１上に設けられたＮ↑－層２と、該Ｎ↑－層２内に設けられたＰ↑＋層３と、前記Ｎ↑－層２の外周部に設けられたＮ↑＋チャンネル・ストッパ層４とを有する半導体装置を前提としている。

そして、前記Ｐ↑＋層３の外周を囲み、該Ｐ↑＋層３と同じ深さで、かつ、耐圧維持領域の前記Ｎ↑－層２内に設けられたＲｅｓｕｒｆ層としてのＰ↑－層５と、

前記Ｎ↑＋チャンネル・ストッパ層４の位置から前記Ｐ↑＋層３とＮ↑－層２とで形成さ

れる主ＰＮ接合６の下部に至る位置までの横幅で前記Ｐ↑－層５直下に設けられ、かつ、前記Ｎ↑－層２の内部に形成された埋め込み酸化膜層７（ＢＯＸ層）とを有する半導体基板１１を備えていることを特徴としている。

【００４９】

ここで、特に、図１３に示した従来の縦型プラナ構造のデバイスとの相違点を浮き彫りにして示せば以下通りである。

（１）主ＰＮ接合６を構成するＰ↑＋層３の外側に延在し、それを取り囲むように、耐圧領域のＮ↑－層２の領域中にＲｅｓｕｒｆ層としてＰ↑－層５を追加したこと。

そして、このＰ↑－層５の深さ（Ｘｊ）は、主ＰＮ接合６を構成するＰ↑＋層３の深さ（Ｘｊ）と同じ深さとなっていることである。

なお、図中、Ｐ↑－層５の最外側は、チップ最外周のＮ↑＋チャンネル・ストッパ層４までは至っていないが、これは至っていても、至っていなくても良い。

【００５０】

（２）Ｐ↑－層５の追加に加えて、最外周のＮ↑＋チャンネル・ストッパ層４から主ＰＮ接合６のＰ↑＋層３に至る幅であって、かつ、Ｎ↑－層２おける図示Ｍ－Ｍ’線に沿う深さの位置に、シート状の埋め込み酸化膜（ＳｉＯ２）層７、（以下、Ｂｕｒｒｉｅｄ ＯＸｉｄｅ Ｌａｙｅｒの略称としてＢＯＸ層と略記する。）を有していること。

【００５１】

（３）従来のデバイスに比べて、大きく異なっている点は、上記（１）、（２）の点であるが、アノード電極９の最外端は、Ｐ↑＋層３の最外端を超えており、フィールド・プレート（Ｆｉｅｌｄ－Ｐｌａｔｅ）構造を形成している点でも異なっている。これは後述するが、Ｐ↑－層５や、その下側にあるＮ↑－層２中、あるいはＢＯＸ層７中、さらにその下側のＮ↑－層２中への、デバイスに印加される逆電圧（ＶＲ）を支えるための空乏層の広がり具合（電位線の曲がり具合・形状）に、少なからず影響を与えることとなる。

【００５２】

（４）上記ＢＯＸ層７に囲まれる内側の領域は、デバイスの主電流が通過する活性領域となるところであるが、このチップ中心部に位置する活性領域中にはＢＯＸ層７は存在しない。したがって、主ＰＮ接合６（Ｐ↑＋層３とＮ↑－層２とで形成されるＰＮ接合）を通過する主電流の経路は、図１３に示した従来のデバイスと比べても何等変わるところはない。

しかしながら、本発明のデバイスは、ＳＯＩ基板ウェーハをスタート材とすることを基本としている。

【００５３】

すなわち、図１中のＭ－Ｍ’線を境界として、上下のウェーハ同士を張り合わせたＳＯＩ基板ウェーハを用いており、図示の破線とハッチングで示した部分は、単結晶シリコン、あるいは単結晶化シリコンのＮ↑－層２となっている点が、厳密には従来のデバイスと異なっている。

【００５４】

なお、単結晶シリコンであるか、単結晶化シリコンであるかは、ＳＯＩ基板をスタート材に用いて図１のデバイスを作るか、あるいはＮ↑＋層１上にＮ↑－層２をエピタキシャル成長させたエピタキシャル・ウェーハ基板をスタート材とするかによって決まることである。

つまり、ＳＯＩ基板がスタート材であれば、上記ＢＯＸ層７領域によって囲まれるその内側の、該ＢＯＸ層７と同じ厚さのＮ↑－層２は、単結晶化シリコンであり、エピタキシャル・ウェーハ基板をスタート材とすれば、この領域は単結晶シリコンである。

なお、上記ＳＯＩ基板スタート材の製法については、図示せず、また、その説明を省略する。

【００５５】

それ以外の点である、耐圧維持領域のＳｉＯ２膜８、チップ最外端のＮ↑＋チャンネル・ストッパ層４、アノード電極９及びカソード電極１０の形成方法については、図１３に示

した従来のデバイスと同じである。
【００５６】
縦方向の不純物濃度分布プロファイルと各層の厚さは、チップ中心部の活性領域では、基本的に略従来のメサ構造と同等となり得るので、従来のものに比べれば、より低い比抵抗（ρ）で、より薄いＮ↑－層１が使えるようになる点、また、耐圧維持領域のＰ↑－層５・Ｎ↑－層２・ＢＯＸ層７・Ｎ↑－層２を含む領域の縦方向不純物濃度分布は当然異なるが、これらの点については後に詳述する。
【００５７】
上記（１）～（６）の構成による本発明のデバイス構造は、従来のデバイスに比べて、種々の優れた特徴を有するが、この最終的な構造を決定するまでに至った理由を、以下のシミュレーション１～シミュレーション６の結果を用いて説明する。
【００５８】
なお、（１）シミュレーション１では、平面接合を想定した１次元シミュレーションの結果について検討する。
（２）シミュレーション２では、フィールド・プレート構造追加の効果を検討する。
（３）シミュレーション３では、（２）のフィールド・プレート構造に加えて、ＢＯＸ層を耐圧維持領域に追加する効果について検討する。
（４）シミュレーション４では、上記の構造において、耐圧維持領域にＰ↑－層を追加する効果について検討する。
【００５９】
（５）シミュレーション５では、主ＰＮ接合となるＰ↑＋層の深さを、Ｐ↑－層と同等とすることの効果を追加すること、すなわち、上記（１）の平面接合における縦型不純物濃度分布構造（特に、Ｎ↑－層のＮｅｐｉとｄｅｐｉ）をもとに、上記（２）～（５）の構造を追加することで、初めて本発明のデバイスが完成するが、このシミュレーション５で本発明の種々の特徴的な効果を確認する。
【００６０】
（６）シミュレーション６では、最終的に決定された上記（５）の構造において、上記（３）で導入・追加したＢＯＸ層領域を、敢えて再び取り除いてみる。かかる構造を下に、本発明で得た上記（５）におけるデバイスとの特性比較を行なうことで、ＢＯＸ層の有無による特性差の比較が可能となり、結果的に本発明の優位点が検証・実証されるので、これらの点の検討を行なう。
【００６１】
（１）シミュレーション１
図１４は、従来の構造における１次元のシミュレーション構造を行なうための模式図である。
図において、（ａ）は、構造（１）を示し、横方向に表した厚み全体が４０μｍの試料で、そのうち、Ｐ層が５μｍ、残りの３５μｍがＮ↑－層となっている。また、その厚み方向（Ｌ１－Ｌ’１線沿い）の濃度プロファイルを図１５に示す。
【００６２】
一方、図１４（ｂ）は、構造（２）を示し、厚み全体が３０μｍの試料であって、そのうち、図示左から２．５μｍがＰ層、２６．５μｍがＮ↑－層、１μｍがＮ↑＋層となっていて、厚み方向（Ｌ２－Ｌ’２線沿い）の濃度プロファイルを図１６に示す。
Ｎ↑－層とＮ↑＋層の境界は、図示のようなガウス（Ｇａｕｓｓ）分布形状を示し、その境界が明確ではないが、本発明においては一般的に多用されている、Ｎｄ＝５×１０↑１８（１／ｃｍ↑３）の不純物濃度を以って、それ以下のＮｄの領域をＮ↑－層、それ以上のＮｄを有する領域をＮ↑＋層と定義して表示することとした。
【００６３】
なお、Ｎ↑－層の比抵抗（ρ）は、ρ＝９Ω・ｃｍ、不純物濃度Ｎｄ　５．１３×１０↑１４（１／ｃｍ↑３）であり、Ｐ層の表面不純物濃度（Ｃｓ）＝１×１０↑１８（１／ｃｍ↑３）であり、Ｎ↑＋層の表面不純物濃度（Ｃｓ）＝１×１０↑１９（１／ｃｍ↑３）

として計算を行なう。
以上の計算条件を設定した後、市販の２次元シミュレータ（例えば、ＰＩＳＣＥＳ－２Ｂ）の１次元モードを用いて、この時に得られる耐圧波形を計算させた。
【００６４】
図１７及び図１８に、前記構造（１）及び構造（２）で得られる耐圧波形を、それぞれ示した。
構造（１）では４３９Ｖ、構造（２）では４１５Ｖの耐圧となっている。
上記のシミュレーション１の結果から分かることは、ρ＝９Ω・ｃｍ；Ｎｄ　５．１３×１０↑１４（１／ｃｍ↑３）のＮ↑－層を用いて、該Ｎ↑－層の厚さに制限がなければ、平面接合におけるＰＮ接合のブレーク・ダウン電圧（ＶＢ）は、ＶＢ　４３９Ｖになるであろうと予想されることである。
因みに、このＶＢ　４３９Ｖという値は、図８（ａ），（ｂ）及び図９において説明した、プラナ接合の補正を伴わないものであって、ρ＝９Ω・ｃｍのＮ↑－型シリコン素材で得られる最大耐圧である。
【００６５】
構造（１）においては、前記のようにＮ↑－層の厚みが３５μｍもあり、Ｎ↑－層の厚みに制限が加わらなかったために、ＶＢ　４３９Ｖを得ることができた。
一方、構造（２）においては、Ｎ↑－層の厚みが２６．５μｍしかないので、Ｎ↑－層の不純物濃度が漸増するＮ↑＋側で空乏層が接触していることによる制限を受ける。このため、結果的に内部の電界強度が上昇し、ブレーク・ダウン電圧がやや下がり、４１５Ｖとなっている。
【００６６】
（２）シミュレーション２
図１９にフィールド・プレート構造を備えたデバイスの断面図を、また、図２０に、その２次元シミュレーション領域の図を示した。
図２０によれば、フィールド・プレート２２の張り出し幅は、Ｐ層３’へのコンタクト開口端から、耐圧維持領域にあるＳｉＯ２膜８上に１５μｍ張り出し、ＰＮ接合６がシリコン表面に露出した部分、すなわち、Ｐ層３’の外側から見ると、７．６μｍが張り出している。
【００６７】
Ｎ↑＋チャンネル・ストッパ層４の開口幅は５μｍであり、耐圧維持領域のＳｉＯ２膜８下に該Ｎ↑＋層チャンネル・ストッパ層４が１．６μｍ分潜り込んでいる。逆に、Ｐ層３’側のそれは、図示のように、７．４μｍＳｉＯ２膜８の下に潜り込んでいるので、Ｎ↑－層２の幅２５．０μｍが、実質的な耐圧維持領域において、空乏層が横方向に広がることのできる距離分として確保されている。
【００６８】
次に、図２０の縦方向のディメンジョンについて説明する。
図において、ＳｉＯ２膜８の厚みは１μｍで、また、アノード電極９の厚みは０．５μｍである。Ｖ１－Ｖ’１線沿いの縦方向の不純物濃度分布プロファイルは、図２３の符号ｃ示すようになっている。これは、図１６の不純物濃度プロファイルでＰ層の深さ（Ｘｊ）が、２．５μｍから５μｍとなっている以外は、同じ基板ウェーハである。
なお、ｎ↑＋チャンネル・スットパ層４の深さは３μｍで、該層３の不純物濃度は、１×１０↑１９（１／ｃｍ↑３）で、Ｎ↑＋層１を持つ基板の不純物濃度と同じとしてある。
【００６９】
また、シミュレーションの領域の大きさは、横５０μｍ、縦３３μｍ（－３～３０μｍ）である。
次に、図２１に、図２０で定義したフィールド・プレート構造デバイスの２次元電位分布図を示す。
図では、フィールド・プレート構造２２直下のＳｉＯ２膜８中での電位線の込み合い具合、また、フィールド・プレート構造２２先端部での電位線の込み合い具合も特徴的である

。
【００７０】
しかしながら、シリコンバルク中での電位線の曲率は小さくなり、かなり都合良くパラメータが設定されている部類の計算例である。
なお、図示の電位分布図は、逆電圧を印加時のものである。
次に、図２２には、ＶＲ＝２５０Ｖ印加時の耐圧波形の一例を示す。本例の構造においては、ＶＲ．ｍａｘ　２６２程度であって、前記の図１４（ｂ）で示した構造（２）のＶＲ＝４１５Ｖの約６３％程度に相当しているが、本発明の目標には到底達することができない。フィールド・プレート構造２２の幅、ＳｉＯ２膜８の膜厚、Ｐ層の深さ（Ｘｊ）等々のパラメータを適宜選択することで、その値は多少増減するであろうが、ＶＲ／ＶＢ　６３％では、更なる改善が必要である。
【００７１】
図２３は前記したように、図２０におけるＶ１－Ｖ’１線沿いの２次元不純物濃度プロファイルを示している。
図２３において、Ｎ↑＋層１の表面不純物濃度（Ｃｓ）、Ｃｓ＝１×１０↑１９（１／ｃｍ↑３）は、図１６でのＣｓと同等であるが、Ｐ層３’のＣｓは、Ｃｓ＝１×１０↑１６（１／ｃｍ↑３）であり、これは、図１６でのＣｓ＝１×１０↑１８に比べ、約２桁も低くしてある。これはＰ層３’側での電位負担分をより多くさせたいとの意図である。
なお、通常は、Ｎ↑－層２側が殆ど電位負担をしている。
【００７２】
次に、図２４に、シリコン表面から深さ０．１μｍ（Ｌ１－Ｌ’１線沿い）での横方向の電位分布を、図２５に、同じく図２０におけるＶ１－Ｖ’１線（ｘ＝４８μｍ）沿いの縦方向の電位分布を示した。
さらに、図２６には、図２０におけるＬ１－Ｌ’１線沿いでの横方向電界分布を示した。この図からフィールド・プレート構造２２の端部の手前２μｍ位から該フィールド・プレート構造２２の端部にかけて、すなわち、ｘ＝２３～２５μｍの位置での電界（Ｅ）が高く、Ｅ＝２．６７×１０↑５（Ｖ／ｃｍ）程度にも達していることが分かる。
【００７３】
次に、図２７に、図２０におけるＶ１－Ｖ’１線沿い（ｘ＝４８μｍ）の縦方向の電界分布を示すが、これはＰＮ接合（ｙ＝５μｍ）で最大となり、Ｅ＝１．８３×１０↑５（Ｖ／ｃｍ）を示している。
さらに、図２８には、Ｐ層３’の深さ（Ｘｊ＝５μｍ）と同じ深さの横方向電界分布を示している。これは図２０中に示す鎖線の丸印ｅとハッチングで示した部分の電界がどうしても上昇するため、ｘ　３６μｍあたりが最大となり、Ｅ＝２．０×１０↑５（Ｖ／ｃｍ）程度を示している。
【００７４】
（３）シミュレーション３
図２９にシミュレーション３を説明するための構造図を、図３０に、そのシミュレーション領域の図を示す。
図２９で、図１９に示した構造と大きな差は、Ｐ層３’の領域からＮ↑＋チャンネル・ストッパ層に亘り、ＢＯＸ層７をｎ↑－層２の代りに付加した点である。このＢＯＸ層７の深さは、その厚みの中心がＰＮ接合６の深さ（Ｘｊ）と同じにすることを基本としている。
なお、Ｎ↑＋チャンネル・ストッパ層４の深さについては、さほど厳格に設定する必要がないが、これは図１９と略同様の値の３μｍとしてある。
【００７５】
したがって、本構造は図２９に示すように、耐圧維持領域において、ＳｉＯ２膜８の下部のシリコンバルク中が、Ｎ↑－層２ａ・ＢＯＸ層７・Ｎ↑－層２・Ｎ↑＋層１の構造となっている。
図２９の構造で種々のディメンジョンの組み合わせを変えてシミュレーションを行ったが

、その中でも比較的高い耐圧を得ることができたものの寸法関係を図３０中に示した。

【００７６】

図３０において、フィールド・プレート構造２２に関する寸法は、図２０と殆ど変えていない。その一方、本構造において、追加されたＢＯＸ層７は、シリコン表面から深さ０．５～１．５μｍの間に、厚さ１μｍで、その幅は、ＳｉＯ２膜８の開口部からチップ外周端のＮ↑＋チャンネル・ストッパ層４にかけて、３７μｍとなっている。そしてその先の３μｍの部分が当該チャンネル・ストッパ層４の領域である。

【００７７】

Ｐ層３’の深さ（Ｘｊ）はかなり浅めで、本計算例ではＸｊ＝１．０μｍとした。そして、そのＰ層３’の端部は、図２０に比べてかなり外側に延長されていて、フィールド・プレート構造２２の端部よりも０．７μｍだけ外側にある。結果的に上下をＳｉＯ２膜８とＢＯＸ層７で、また、左右を上記Ｐ層３’とＮ↑＋チャンネル・ストッパ層４とで囲まれ、その内側にＮ↑－層２ａが厚さ０．５μｍ、幅１８μｍの領域として残されることになる。

【００７８】

以上のような、図３０におけるシミュレーション領域構造において、アノード・カソード電極間に逆バイアスを加えたところ、図３２に示すような耐圧波形（ＶＲ＝３０２Ｖ．ｍａｘ）を得た。図１９及び図２０でのフィールド・プレート構造で得た２６２Ｖに比べれば、耐圧が約４０Ｖ程度向上している。

しかしながら、本発明者等の究極目標であるプラナの曲率効果を略皆無とし、極めて平面接合時に近い耐圧（ＶＢ＝４１５Ｖ）を得たいという願望にはまだ遥かに遠い。

すなわち、ＶＲ／ＶＢ＝３０２Ｖ／４１５Ｖ　０．７３（７３％）であり、まだ、１１３Ｖ程度足りないことになる。

【００７９】

また、図３２の波形において、ＶＲ　１００Ｖ近辺に屈曲点ＢＰがあるのが気になる。

なお、図３１中には、逆電圧ＶＲ＝２５０Ｖ印加時の２次元電位分布図を示した。この図では、フィールド・プレート構造２２下方にあるＢＯＸ層７内で電位線がかなり密に取り込まれていることが特徴的である。加えて、フィールド・プレート構造２２端部というよりは、Ｐ層延在端部の付近でも（縦方向に）電位線が密に込み合っているのが特徴的である。

【００８０】

上記ＢＯＸ層７内、及びＰ層端部での電位線の込み合いに比べて、ＢＯＸ層７より下側のＮ↑－層２（シリコンバルク）中では、電位線が込み合うこともなく、かつ、曲率が小さい部分が存在することもなく、スムーズに分布している。

上記のことから類推して、ＢＯＸ層７より下側のＮ↑－層２のシリコンバルク中では、かなり電界強度が弱まっていると考えられる。これらは、Ｐ層端部をフィールド・プレート構造２２端部よりも外側（図２９、図３０参照）にしたことが寄与したと考察される。

【００８１】

次に、図３３に、図３０におけるＹ１－Ｙ’１線沿い（ｘ＝４８μｍ）の不純物濃度プロファイルを示す。

図１９に示したデバイス、あるいは図２３でのＰ層３’の低不純物濃度、Ｃｓ＝１×１０↑１６（１／ｃｍ↑３）ではなく、図１４（ｂ）又は図１６に示す通常のＣｓ　１×１０↑１８（１／ｃｍ↑３）と同じにしてある。また、Ｎ↑＋層１の不純物濃度、Ｃｓ＝１×１０↑１９（１／ｃｍ↑３）も共通である。

【００８２】

ここでは、Ｐ層３’を浅く（Ｘｊ＝１μｍ）したが、該Ｐ層３’側のパンチ・スルーを避けたい。しかし、この程度の濃度（Ｃｓ　１×１０↑１８（１／ｃｍ↑３））であれば、例え、浅いＸｊであったとしても、先ずはパンチ・スルーが起こることはない。

【００８３】

図３４は、シリコン表面から０．１μｍ深さでの横方向電位分布を示す図である。

空乏層の端部（ＶＲ＝０Ｖライン）が表面に露出するｘ　１３μｍ付近から徐々に電位が下がり、Ｐ層端部付近にかけて電位線が込み合っているので、急激に低下し、略Ｐ層３’の端部であるｘ　２４μｍ付近でＶＲ＝－２５０Ｖの電位に達した後、一定の値になる。

【００８４】

この電位変化の形状は、例えば、図２４のフィールド・プレート構造２２の電位変化の形状に比較して、極めてＰ層３’の端部付近（ＰＮ接合）のＮ↑－層２側に変化が集中していることが特徴的であると言える。

そのため、図３６に示すように、表面付近（深さ０．１μｍ）の横方向電界強度が、上記Ｐ層端部付近のＮ↑－層中で急激に上昇し、かつ、Ｐ層領域に入った途端に一気にゼロまで下降すると言うような電界分布となる。その時の電界強度の最大値（Ｅｍａｘ）は、Ｅｍａｘ＝７．６×１０↑５（Ｖ／ｃｍ）にも達しており、これは通常のシリコンバルク中では考え難い程の高いＥｍａｘである。

因みに、シリコンバルク中では、Ｅｍａｘ＝２～３×１０↑５（Ｖ／ｃｍ）程度であることが良く知られている。

上記の高いＥｍａｘの値は、アバランシェ・ブレーク・ダウンが優勢なＮ↑－基板の不純物濃度１×１０↑１４～１×１０↑１７（１／ｃｍ↑３）と、ゼナーブレーク・ダウンが優勢な１×１０↑１８～１０↑１９（１／ｃｍ↑３）（最早、Ｎ↑－基板とは言えないほどの高不純濃度である。）では、前者の１～２×１０↑１７（１／ｃｍ↑３）程度にも相当するＮ↑－基板において初めて見られる程の高いＥｍａｘの値である。

【００８５】

前述した図３２において、ＶＲ＝１００Ｖ付近に屈曲点ＢＰが存在していることと、このＥｍａｘが異常に高いこととは、おそらく関係があると推察される。つまり、ＶＲ　１００Ｖ程度まで逆電圧が上昇させられると、上記Ｅｍａｘの値が通常のρ＝９Ω・ｃｍ、Ｎｄ＝５．１３×１０↑１４（１／ｃｍ↑３）でのＥｍａｘは、臨界電界強度（Ｅｃｒｉ）　２．８７×１０↑５（Ｖ／ｃｍ）の値に既に達してしまい、現実のデバイスでは、この時、既にブレーク・ダウンを起こしていると考えられる。しかし、シミュレーション上では計算の続行が可能であったので、図３２のような屈曲点ＢＰを示した後も耐圧が増加し続けたと考察される。

【００８６】

続いて、図３５は、図３０におけるＹ１－Ｙ’１線沿い（ｘ＝４８μｍ）の電位分布を示している。この縦方向の電位分布は、図２５と比べてもそれ程目立つ違いはない。強いて言えば、Ｐ層３’の深さ（Ｘｊ）が異なるので、その分、図３５で電位の上昇点が左に約１μｍほどシフトしているのみである。その時の電界分布を図３７に示す。このＹ１－Ｙ’１線沿い縦方向電界の最大値は、図示から明らかなように、Ｅｍａｘ　２．１×１０↑５（Ｖ／ｃｍ）程度である。そして、このＥｍａｘ　２．１×１０↑５（Ｖ／ｃｍ）の値は、ρ＝９Ω・ｃｍ（Ｎｄ＝５．１３×１０↑１４（１／ｃｍ↑３））のＮ↑－基板での臨界電圧Ｅｃｒｉ　２．８７×１０↑５（Ｖ／ｃｍ）よりも遥かに小さい値であること、つまり、活性領域での縦方向電界は、充分に小さい値に収められていることが分かる。

【００８７】

図３８は、ｙ＝１μｍ、すなわち、ＢＯＸ層７の厚みに対して、略真中の深さでの横方向電界分布を示す図である。この図では、上記図３５と同様に、ｘ＝２４μｍ付近に、このＢＯＸ層７中においても、高い電界のピーク、Ｅｍａｘ　９．５×１０↑５（Ｖ／ｃｍ）が存在していることが分かる。

しかしながら、上記の場合、シリコンバルク中とは異なり、ＢＯＸ層７、すなわちＳｉＯ２膜中であるので、そのＥｍａｘ　９．５×１０↑５（Ｖ／ｃｍ）の値そのものは、まだまだ余裕があるものと考えられる。

【００８８】

以上、シミュレーション３の結果をまとめると次のようになる。

（１）ＶＲ　１００Ｖで屈曲後、ＶＲ　３０２Ｖを達成でき、かなりの耐圧は得られたが、目標値にはまだ達することができない。

（２）ＢＯＸ層７を付加することにより、そのＢＯＸ層７内部に、より多くの電圧を負担させることは可能となった反面、Ｐ層３端部に近いＮ↑－層２の付近からＰＮ接合６にかけて異常に高い電界が集中している。
（３）かかる電界集中がＶＲ波形の屈曲現象を招いている懸念もある。
【００８９】
（４）シミュレーション４
図３９に、シミュレーション４を実施するＰ↑－層５をさらに追加したデバイスの構造図を、また、図４０に当該デバイスのシミュレーション領域の図を示す。
本構造と図２９及び図３０の差は、次の点である。
▲１▼主ＰＮ接合６を構成するＰ↑＋層３の端部は、フィールド・プレート構造２２の張り出し幅よりも３μｍ程やや内側に戻してある。
【００９０】
▲２▼上下をＳｉＯ２膜８とＢＯＸ層７、左右をＰ↑＋層３とＮ↑＋チャンネル・ストッパ層４で囲まれたＮ↑－層２ａ中の上部領域の一部に、前記Ｐ↑＋層３に繋がり、かつ、前記Ｎ↑＋チャンネル・ストッパ層４からやや離れるように、図示のようにＰ↑－層５を追加してある。
【００９１】
▲３▼上記Ｐ↑－層５を追加した分、Ｎ↑－層２の厚さを０．５μｍから２μｍへと厚くし（ただし、そのうちの半分の１μｍ深さまでがＰ↑－層５）、Ｐ↑＋層３の深さ（Ｘｊ）についても１μｍから２．５μｍへと深くしている。
【００９２】
▲４▼耐圧維持領域の横方向寸法も、ＳｉＯ２膜８の開口部の位置で示すと、４０μｍから１００μｍへと広くしている。しかし、これは後述のＲｅｓｕｒｆ効果を意図したＰ↑－層５の横方向幅寸法依存性を調査するために、広いシミュレーション領域を設定したものである。
【００９３】
▲５▼ＢＯＸ層５の横方向寸法も図示のように、ＳｉＯ２膜８の開口部より２０μｍ分内側に延長してある（図４０の斜線を施した部分）
なお、上記２０μｍ延長した理由は、Ｐ↑＋・Ｎ↑－の主ＰＮ接合６端部付近でのＮ↑－層２中の電界が、前記シミュレーション３における図３１のように、電位線の込み合いにより、高くなってしまうことが分かっているので、より多くの電界負担をＢＯＸ層７中に、より広く（横方向に）取り込み、高い電界の影響からＰ↑＋層３の底部のＰ↑＋・Ｎ↑－接合面を遠ざけてやりたいとの配慮があるからである。
【００９４】
また、周知のように、ＢＯＸ層７中の比誘電率（ε＝３．９）とシリコンバルク中の比誘電率（ε＝１１．９）の間には大きな差があり、ＢＯＸ層７とシリコンバルクの境界では電位線が急に曲がる、つまり、電界強度分布も急に変化し易いので、ＢＯＸ層７の寸法選定には注意が必要である。
なお、このことについては後述する。
【００９５】
先ず、シミュレーションの結果として、その耐圧波形を図４１に示した。
これは、図３９及び図４０の構造において、上記の追加したＰ↑－層５（以下、Ｒｅｓｕｒｆ層と略記する。）横幅の耐圧に耐える状況を事前調査するため、当該横幅の値を、５０μｍ、７０μｍ、１１０μｍとして、かつ、Ｒｅｓｕｒｆ層５のＣｓを１×１０↑１６に固定して計算を行なった結果、ＶＲがそれぞれＶＲ＝３２３Ｖ、３２７Ｖ、３２９Ｖとなり、大差のないことを表している。
【００９６】
つまり、このことは、後述のＲｅｓｕｒｆ効果が起きている、すなわち、図１０における表面電界Ｅｓの左右のピークの中間にあるＥｓが、フラットな領域幅を可能な限り詰めても、換言すれば横方向寸法を小さくしても、本構造においては耐圧による影響がさほど見

られないことが分かった。このことは、また、より耐圧領域の寸法縮小が可能であることを示唆しており、Ｒｅｓｕｒｆ層５の幅が５０μｍ程度でも全く問題がないことが明らかとなった。

【００９７】

ところで、Ｒｅｓｕｒｆ構造を採用する際に、Ｒｅｓｕｒｆ層５の横幅寸法に加え、重要な問題がもう一つある。それは文献▲４▼中等に記載したように、ｄｅｐｉ・Ｎｅｐｉ積が、ｄｅｐｉ・Ｎｅｐｉ　１×１０↑１２（１／ｃｍ↑３）程度であることが望ましいことが述べられていた。このことを踏まえた上で、Ｎ↑－層２のみに限らずＮ↑－層２とＲｅｓｕｒｆ層５の電荷のバランスが大切である。

つまり、Ｒｅｓｕｒｆ層５の表面不純物濃度（Ｃｓ）をどのくらいに選定するかということが大変重要である。

【００９８】

そこで、Ｒｅｓｕｒｆ層５の幅を１１０μｍに固定し、表面不純物濃度（Ｃｓ）＝１×１０↑１５、１×１０↑１６、２×１０↑１６、５×１０↑１６（１／ｃｍ↑３）の４種類の場合について、ＶＲの表面不純物濃度（Ｃｓ）の依存性を調査することとした。

その時得られた結果を表２、及び図４２中に、また、その耐圧波形を図４３中に示した。

【００９９】

【表２】

[表一2] P⁻層およびN⁻層中の電荷量の計算結果

	Csp-	QTP-	QTN-	QTP-/QTN-	備考(VR)
1	1.00E+15	3.00E+10	2.58E+10	1.16	259
2	1.00E+16	4.28E+11	4.15E+10	10.3	329
3	2.00E+16	8.13E+11	4.27E+10	19.0	362
4	5.00E+16	1.88E+12	4.38E+10	42.9	178
単位	[1/cm3]	[1/cm2]	[1/cm2]	無次元	[V]

【０１００】

これによりＲｅｓｕｒｆ層（Ｐ↑－層）５のＣｓが、Ｃｓ　２×１０↑１６（１／ｃｍ↑３）付近にピークを有して耐圧ＶＲが増大していることが明らかになった。

以下、上記図３９に示した構造及びそのシミュレーション領域を示す図４０に基づき、Ｃｓ＝１×１０↑１５、１×１０↑１６、２×１０↑１６、５×１０↑１６（１／ｃｍ↑３）の４種類に関するＲｅｓｕｒｆ層５の追加時の２次元電位分布、Ｒｅｓｕｒｆ層５内（表面から０．３８μｍ深さ；図４０のＬ１－Ｌ’１線沿い）の横方向電位と電界分布について検証を行い、そのＲｅｓｕｒｆ効果の発生状況や効果の良否を述べる。

【０１０１】

先ず、図４４に、Ｃｓ＝１×１０↑１５（１／ｃｍ↑３）での２次元の電位分布図を示す。また、図４５に、Ｒｅｓｕｒｆ層５内の横方向電位を、さらに図４６に、その横方向電界を示す。

そして、図４４では、電位線がＲｅｓｕｒｆ層５の領域側のＰ↑＋・Ｎ↑－接合付近のＮ↑－層２領域内に密集することが分かる。これはＲｅｓｕｒｆ層５の表面不純物濃度（Ｃｓ）が小さすぎるため、電位線がＲｅｓｕｒｆ層５、あるいはその下側のＮ↑－層２ａやＢＯＸ層７、さらにはその下のシリコンバルクであるＮ↑－層２内で水平に曲げられることもなく、直立するような形で表面に至るような分布となるからである。

【０１０２】

その結果、つまり、空乏層が横方向に充分に広がっていないため、Ｒｅｓｕｒｆ層５の電位が殆どの領域（Ｒｅｓｕｒｆ層５の端部からＰ↑－・Ｐ↑＋接合にかけての）でゼロ電位のまま一定となっていて、Ｐ↑－・Ｐ↑＋接合に近づくにつれ、急激に変化することが分かる。

すなわち、図４４において、ｘ＝９３μｍがＰ↑－・Ｐ↑＋接合であり、ｘ　７５μｍか

らｘ　９５μｍにかけて急激に変化している。また、この時の電界強度の最大値（Ｅｍａｘ）は、急激な電位の変化のために、図４６に示すように、Ｅｍａｘ＝２．６０×１０↑５（Ｖ／ｃｍ）程度となってしまっている。
以上より、Ｃｓ＝１×１０↑１５（１／ｃｍ↑３）の場合、Ｐ↑－・Ｐ↑＋接合に近い、Ｒｅｓｕｒｆ層５にのみ電界が集中しているため、結果としてＶＲ＝２５９Ｖ程度しか得られていない。
【０１０３】
次に、Ｃｓ＝１×１０↑１６（１／ｃｍ↑３）の場合について述べる。
この場合も前記と同様に、図４７に２次元電位分布を、図４８にＲｅｓｕｒｆ層５の横方向電位を、図４９に、その横方向電界強度を示す。
上記の場合、Ｒｅｓｕｒｆ層５の表面不純物濃度（Ｃｓ）がやや高濃度となった分、電位線はＰ↑－・Ｎ↑－接合（横方向接合）に遮られ、その結果、横方向に曲がるように分布するので、図４７に示したような電位分布となる。
【０１０４】
しかしながら、それでもＰ↑－・Ｐ↑＋接合に近いＲｅｓｕｒｆ層５内での電位線の密集は、さほど改善されることがないことが分かる。Ｒｅｓｕｒｆ層５内の横方向電位は、図４８に示すように、該Ｒｅｓｕｒｆ層５の端部で約４０Ｖ程度の電位負担をした後、一定となり、ｘ　６０μｍ付近から前記図４５に比べれば、やや緩やかな電位変化をしつつ、ｘ　９５μｍ付近まで変化している。
【０１０５】
その結果、図４９に示すように、Ｒｅｓｕｒｆ層５の端部において、電界のサブ・ピークが発生している。
すなわち、これがＲｅｓｕｒｆ効果の開始であるが、サブ・ピークの電界強度（Ｅｍａｘ－Ｌ）は、Ｅｍａｘ－Ｌ＝０．６８×１０↑５（Ｖ／ｃｍ）と非常に小さい。そして、Ｐ↑－・Ｐ↑＋接合に近い方のメイン・ピークにおける電界強度（Ｅｍａｘ－Ｒ）は、Ｅｍａｘ－Ｒ＝２．１３×１０↑（Ｖ／ｃｍ）程度を示し、ＶＲ＝３２９Ｖを得た。
【０１０６】
結果として、Ｃｓ＝１×１０↑１６（１／ｃｍ↑３）の場合、Ｒｅｓｕｒｆ効果は起こり始めているが、まだ、Ｃｓが低すぎるために、電界の集中がＰ↑－・Ｐ↑＋接合側に片寄りすぎており、Ｒｅｓｕｒｆ層５の端部側との電界強度比のバランスが悪い。
すなわち、目標としなければならないのは、Ｅｍａｘ－Ｌ　Ｅｍａｘ－Ｒとすることであり、さらに適切な表面不純物濃度（Ｃｓ）を選定する必要がある。
【０１０７】
次に、上記のような結果からＣｓ＝２×１０↑１６（１／ｃｍ↑３）の場合の検証を行なう。
図５０、図５１、図５２が前記と同様に、それぞれ２次元電位分布、Ｒｅｓｕｒｆ層５の横方向電位、及びその横方向電界強度を示している。
図５０において、Ｐ↑－・Ｐ↑＋接合付近のＲｅｓｕｒｆ層５における電位線の密集度がかなり緩和され、しかも、空乏層は該Ｒｅｓｕｒｆ層５の横方向全体にわたって、充分広げられている。そして、Ｒｅｓｕｒｆ層５の外端側にも電位線のやや密集している傾向が見られる。
【０１０８】
その結果として、図５１に示すように、Ｒｅｓｕｒｆ層５の外側端部での電界負担分も印加電圧の約半分の１２０Ｖ程度にまで達し、その後、僅かな減少領域を経た後、ｘ＝６０μｍ付近よりもやや手前から既に電位が緩やかな下降を開始し、ｘ　９５μｍにかけてＶＲ＝－２５０Ｖに落ち着くことが分かる。
【０１０９】
また、図５２からも明らかなように、Ｅｍａｘ－Ｌ　Ｅｍａｘ－Ｒの条件が略満たされ、Ｅｍａｘ－Ｌ＝１．６２×１０↑５（Ｖ／ｃｍ）、Ｅｍａｘ－Ｒ＝１．６０×１０↑５（Ｖ／ｃｍ）となっている。

以上より、Ｃｓ＝２×１０↑１６（１／ｃｍ↑３）の場合、Ｒｅｓｕｒｆ層５の両端部付近での電位分布、電界強度のいずれもが略均等に配置されるので、Ｒｅｓｕｒｆ効果の良い状態が達成され、結果として、ＶＲ＝３６２Ｖ程度が達成される。

【０１１０】

次に、Ｃｓ＝５×１０↑１６（１／ｃｍ↑３）の場合について述べる。

図５３、図５４、図５５が前記と同様に、それぞれ２次元電位分布、Ｒｅｓｕｒｆ層５の横方向電位、及びその横方向電界強度を示している。

これらの図から電位及び電界の集中が、Ｒｅｓｕｒｆ層５の外側端部に偏っていることが分かる。

【０１１１】

すなわち、図５３での電位線の密集具合、図５４での電位負担、及び図５５でＥｍａｘ－Ｌ＝４．０７×１０↑５（Ｖ／ｃｍ）が示され、Ｅｍａｘ－Ｒは、そのピークさえ消失していることが分かる。

これは、Ｒｅｓｕｒｆ層５の表面不純物濃度（Ｃｓ）が高濃度過ぎて、電位線がＰ↑＋層３の場合と同様に作用するようになるので、Ｒｅｓｕｒｆ層５側に殆ど食い込めなくなる結果、図示のような分布となっている。

【０１１２】

この時、得られたＶＲの値は、ＶＲ＝１７８Ｖとなってしまい、Ｃｓ＝２×１０↑１６（Ｖ／ｃｍ）からＣｓ＝５×１０↑１６（Ｖ／ｃｍ）という、Ｒｅｓｕｒｆ層５の僅かな表面不純物濃度の増加が、ＶＲ＝３６２ＶからＶＲ＝１７８Ｖへと致命的なＶＲへの減少に結び付くことが分かる。

【０１１３】

以上より、Ｃｓ＝５×１０↑１６（１／ｃｍ↑３）の場合、Ｒｅｓｕｒｆ層５の濃度が高すぎるために、Ｒｅｓｕｒｆ効果が最早期待できず、単に主ＰＮ接合６（Ｐ↑＋層３）が外側に延長されるような状態となって、本構造の意味もまた失われてしまう。その結果として、ＶＲの値もＶＲ＝１７８Ｖとなってしまう。

【０１１４】

以上述べたように、Ｃｓ＝２×１０↑１６（１／ｃｍ↑３）の場合、ＶＲ／ＶＢ＝３６２Ｖ／４１５Ｖ＝０．８７２であり、４種類のうちでは最も良い結果が得られたが、未だ、図５０のＡ部及びＢ部での局所的な電界集中の問題が残っている。

上記図５０におけるＢ部は、ＢＯＸ層７内での電界集中、Ａ部は、ＢＯＸ層７とシリコンバルク境界において発生する電界集中である。これらの電界集中に対する更なるデバイス構造の改善策を検討する必要がある。

すなわち、ＢＯＸ層７と、電界集中が必須である主ＰＮ接合６のＰ↑＋・Ｎ↑－接合とは近づけてはならず、離してやる工夫が必要ということである。

【０１１５】

ところで、図４０におけるＶ１－Ｖ’１線（ｘ＝４０μｍ）沿いのＲｅｓｕｒｆ層５とＮ↑－層２ａの縦方向不純物濃度を積分することによって、各層の電荷量（ＱＴ）が求まる。ここで、Ｒｅｓｕｒｆ層５の電荷量をＱＴＰ－、Ｎ↑－層２ａの電荷量をＱＴＮ－として、それぞれの値を計算し、また、ＱＴＰ－／ＱＴＮ－の比とＶＲの値をまとめて前記表２に示した。

【０１１６】

また、図５６中には、Ｒｅｓｕｒｆ層５の表面不純物濃度（Ｃｓ）に対する上記電荷量ＱＴＰ－，　ＱＴＮ－の値をプロットして示した。

図において、Ｒｅｓｕｒｆ層５における低Ｃｓ側でのＱＴＮ－の値が下がっているのは、Ｎ↑－層２ａ側の濃度がＰ↑－・Ｎ↑－接合付近で、Ｒｅｓｕｒｆ層５により強く補償されているためである。

【０１１７】

上記ＱＴＰ－は、Ｒｅｓｕｒｆ層５のＣｓを高くすれば当然増加することになり、表２や図５６に示したようなＱＴＰ－の値、及びＱＴＮ－の値となっている。

図５７には、ＱＴＰ－／ＱＴＮ－に対する得られたＶＲの値をプロットして示した。この図から前述のＥｍａｘ－Ｌ　Ｅｍａｘ－Ｒの条件が得られた時のＱＴＰ－／ＱＴＮ－の値は、ＱＴＰ－／ＱＴＮ－　１９であることが分かる。
しかし、ＱＴＰ－／ＱＴＮ－の範囲が１５～２５の範囲であれば、充分満足するＶＲの値である。

【０１１８】
加えて文献〔Ｒｅｆ．４〕中で述べられているＮｅｐｉ・ｄｅｐｉ＝１×１０↑１２（１／ｃｍ↑２）のＲｅｓｕｒｆ層５内の電荷量（すなわち、不純物総量）の推奨値に対しては、Ｃｓ＝２×１０↑１６（１／ｃｍ↑３）の時の（ＱＴＰ－）＋（ＱＴＮ－）＝８．１３Ｅ１１＋４．２７Ｅ１０＝８．５６Ｅ１１（１／ｃｍ↑２）となって、略同一レベルの不純物総量となっていることも分かる。

【０１１９】
（５）シミュレーション５
図５８及び図５９で、本発明の最適な構造を提起し、また、その優れた点を、本シミュレーションを通して明らかにする。
図５８は、図３９の構造に対して、主ＰＮ接合６の深さを２．５μｍから１．０μｍにと浅くした以外は、何等変更がない。それにもかかわらず、この１箇所のみの変更により、図５０に示したＡ部及びＢ部の局所的電界の集中が一挙に解決される。

【０１２０】
以下、これについて説明する。さらには、図３９の構造で達成されたＲｅｓｕｒｆ効果が引き続いて維持される結果、耐圧に関してもＶＲ＝４００Ｖが達成されるようになることも示す。
図６０は、図５９中に示すＹ１－Ｙ’１線（ｘ＝４０μｍ）沿いの縦方向の不純物濃度分布を示しているが、シミュレーション４の結果に基づき、Ｒｅｓｕｒｆ層５（Ｐ↑－層）の表面不純物濃度は、Ｃｓ＝２×１０↑１６（１／ｃｍ↑３）を採用している。また、Ｒｅｓｕｒｆ層５の深さ（Ｘｊ）は、Ｘｊ＝１．０μｍである。

【０１２１】
図６１は、図５９中のＹ２－Ｙ’２線（ｘ＝１３８μｍ）沿いの縦方向の不純物濃度分布を示している。Ｐ↑＋層３のＣｓは、Ｃｓ＝１×１０↑１８（１／ｃｍ↑３）で、その深さ（Ｘｊ）は、Ｘｊ＝１．０μｍであるが、これはＲｅｓｕｒｆ層５の深さ（Ｘｊ）と同じ深さ、Ｘｊ＝１．０μｍを採用しており、このことが本発明の特徴である。
ＢＯＸ層７よりも下側のＮ↑－層２及びＮ↑＋層１については、ρ＝９Ω・ｃｍ、Ｎ↑－層２の厚さ＝２９μｍとしてあり、これらはシミュレーション１以後、全て共通の仕様である。

【０１２２】
さて、図６２中には、本発明のデバイスにＶＲ＝２５０Ｖを印加した時の２次元の電位分布図を示す。この図から明らかな通り、図５０で問題となっていた図５０のＡ部及びＢ部での電位線の込み具合が殆ど解消されていることが分かる。

【０１２３】
すなわち、本発明においては、Ｐ↑＋層３の深さを２．５μｍから１．０μｍに浅くし、かつ、Ｒｅｓｕｒｆ層５（Ｐ↑－層）の深さと同一としてあるので、Ａ部においては、Ｐ↑＋層３の下側にあるＮ↑－層２中で、ＢＯＸ層７の上下に分割されている電位線が、該ＢＯＸ層７内に収斂するようにして入り込んでいるため、図５０でＢＯＸ層７と略同一高さから下側にのみ電位線が分布していた場合に比較して、ここでは、ＢＯＸ層７・Ｎ↑－層２の境界での電位線形状がスムーズになっていて、しかもその右側のＮ↑－層２内の電位線の込み具合がより解消されている。

【０１２４】
また、図５０のＢ部においての比較では縦方向のＰ↑＋・Ｎ↑－接合が存在しなくなっていて、Ｐ↑＋層３の底部とＢＯＸ層７の間にもＮ↑－層２が介在するようになるため、このことによって発生していた電位線の曲がりが解消される結果、ＢＯＸ層７内のＢ部の電

位線の込み具合も全く問題にならなくなっている。したがって、図６３中に示した耐圧（ＶＲ）波形のごとく、本発明においては、ＶＲ＝４００Ｖを得ている。

【０１２５】

因みに、ＶＲ／ＶＢ＝４００Ｖ／４１５Ｖ　０．９６となり、プラナ曲率が存在する故の従来からどうしても避けて通れなかった耐圧減少の問題が、本発明の構造を以って初めて、略完全に解決されたということができる。

【０１２６】

図６４中には、シリコン表面から０．１μｍの深さにおける横方向電位を示す。この図では、図５１でも得られたような、ＶＲ＝１２０Ｖ分の略半分の電位分負担がＲｅｓｕｒｆ層５の外側端で担われ、残りがＰ↑－・Ｐ↑＋接合側において担われていることが分かる。

よって、図６５に示すような、Ｅｍａｘ－Ｌ（１．６２×１０↑５（Ｖ／ｃｍ））　Ｅｍａｘ－Ｒ（１．６０×↑５（Ｖ／ｃｍ））となる左右均等のＥｍａｘ分布がここでも得られている。

【０１２７】

図６６に、図５９のＹ２－Ｙ’２線沿いの電位分布を示す。また、図６７は、その時の電界分布であるが、これは、例えば図３５で示したものと略同一となることは言うまでもない。

図６８には、図５９のＹ１－Ｙ’１線沿い電位分布を示す。ｘ＝４０μｍの位置では、表面の電界も約半分のＶＲ　１２５Ｖ分しかかかっていないので、このＶＲ＝－１２５Ｖが深さ方向の起点なる。

【０１２８】

Ｒｅｓｕｒｆ層５及びその下のＮ↑－Ｒｅｓｕｒｆ層２ａ中では、電荷のバランスが上手く取れているので、略直線的にΔＶＲ＝－２０Ｖが負担され、続くＢＯＸ層７では、１μｍの厚さにもかかわらず、ΔＶＲ＝－３５Ｖが負担されるので、傾斜が急である。

そして、残りのΔＶＲ　－７０Ｖ程度がＢＯＸ層７の下側のＮ↑－層２ａで負担されていることが分かる。その時のＹ１－Ｙ’１線沿いの電界分布を、図６９中に示す。

この図において、Ｐ↑－・Ｎ↑－接合での電界が、Ｅ＝１．１８×１０↑５（Ｖ／ｃｍ）と極めて小さい値となっているのに対し、ＢＯＸ層７内の電界は、Ｅ＝３．３０×１０↑５（Ｖ／ｃｍ）と、約３倍も高くなっていることが分かる。

【０１２９】

次に、ＢＯＸ層７内での横方向電界分布の状態も確認したので、これについて述べる。

図７０中に、表面から深さ２．５μｍ（ＢＯＸ層７の横方向中心）での電界分布を示した。

図からも明らかなのように、Ｅｍａｘ＝５．５７×１０↑５（Ｖ／ｃｍ）もの電界が、縦方向のＰ↑－・Ｐ↑＋接合部の直下辺りで発生していることが分かる。以上述べたように、図５８及び図５９で示した構造を以って、従来から避けて通れなかったプラナ接合特有のＶｃｙ、Ｖｓｐモードに伴う耐圧減少の問題が略完全に解消されることが立証された。

【０１３０】

（６）シミュレーション６

最後に、シミュレーション６においては、図５８に示した本発明のデバイス構造から、ＢＯＸ層７を再度取り除き、図７１中に示すようなデバイス構造を以って、ＢＯＸ層７が有ったことによる効果を再検証する。

なお、図７２に、図７１のシミュレーション領域の図を示す。また、それらの図において、破線で囲まれた部分は、ＢＯＸ層７があった位置を示している。

【０１３１】

図７３は、上記デバイス構造の２次元の電位分布を示す図であるが、Ｐ↑－・Ｐ↑＋縦方向接合下部のｄ部付近の電位線が図６２に比べて、より込み合うようになっていることが分かる。

【０１３２】

したがって、図７２のＹ１－Ｙ’１線沿い（ｘ＝４０μｍ）の縦方向の電位分布を示す図７４において、ＢＯＸ層７で負担していたΔＶＲ＝－３０Ｖ分が、ΔＶＲ’＝－１０Ｖ程度にまで減少し、Ｙ１－Ｙ’１線のシリコン表面におけるその分（－２０Ｖ程度）下がり、－１１０Ｖ程度の値しか分担しないようになる。

【０１３３】

なお、図７４中のＢＯＸ層７内で屈曲したのカーブの方は、ＢＯＸ層７が有りの場合のものを比較のために重ね書きしたものである。

その結果、図７５中に示すように、耐圧もかなり下がり、ＶＲ＝４００ＶからＶＲ＝３４１Ｖとなった。

すなわち、ＶＲ／ＶＢ＝３４１Ｖ／４１５Ｖ＝０．８２１となり、ＢＯＸ層７の有ったことの効果が明らかである。

【０１３４】

図７６は、図７２におけるＹ１－Ｙ’１線（ｘ＝４０μｍ）沿いの縦方向電界強度を比較した図である。この図では、ＢＯＸ層７内での高い電界領域（Ｅ＝３．３０×１０↑５（Ｖ／ｃｍ））が失われた結果、Ｐ↑－・Ｎ↑－のＲｅｓｕｒｆ領域接合の電界が、Ｅ＝１．１８×１０↑５（Ｖ／ｃｍ）からＥ＝１．２３×１０↑５（Ｖ／ｃｍ）に上昇することが分かる。

【０１３５】

図７７、図７８、図７９は、シリコン表面からの深さがそれぞれ、０．１μｍ、１．０μｍ、１．５μｍでの横方向電位を比較している。

そのうちのいずれもが、ＢＯＸ層７が無い場合の曲線が上側にある、つまり、Ｒｅｓｕｒｆ層５の外側端部での電位変化が、より急峻となってしまうことが分かる。加えて、シリコン表面からの深さが深くなればなるほど、この横方向電位分布おけるＢＯＸ層７の有無の差が顕著でなくなることも明らかとなっている。

【０１３６】

次に、図８０、図８１、図８２に、それぞれシリコン表面から２．１μｍ、３μｍ、４．５μｍにおける横方向電界分布を示す。これらの図は、上記横方向電位分布の結果が反映されている。

上記図８０では、Ｅｍａｘ－Ｌ＝１．４４×１０↑５（Ｖ／ｃｍ）で、Ｅｍａｘ－Ｒ＝１．６９×１０↑５（Ｖ／ｃｍ）となり、最早、Ｅｍａｘ－Ｌ　Ｅｍａｘ－Ｒであった条件が維持されなくなってしまうことが示されている。

【０１３７】

図８１においては、Ｒｅｓｕｒｆ層５の端部近傍に発生していたＲｅｓｕｒｆ効果を示す電界のピークが失われ、殆どその効果が深さ１μｍ付近のＰ↑－・Ｎ↑－接合付近では期待できなくなることが分かる。そのため、右側のＰ↑－・Ｐ↑＋接合付近の電界のピークが、Ｅ＝２．４１×１０↑５（Ｖ／ｃｍ）からＥ＝２．７３×１０↑５にと上昇する結果を招来している。

【０１３８】

図８２では、深さ４．５μｍ、すなわち、ＢＯＸ層７の厚さの中心での横方向電界分布を比較しているが、ＢＯＸ層７内で、かつ、Ｐ↑－・Ｐ↑＋接合下部でのＥｍａｘの値が、Ｅ＝５．５７×１０↑５（Ｖ／ｃｍ）からＥ＝２．１×１０↑５（Ｖ／ｃｍ）と、通常のシリコンバルク中で良く見られる当然の値に戻ってしまっている。

【０１３９】

以上、シミュレーション６の解説で述べたように、ＢＯＸ層７を除去することは、例え、適切なＲｅｓｕｒｆ層５の表面不純物濃度（Ｃｓ）や、該Ｒｅｓｕｒｆ層５（Ｐ↑－層）及びＰ↑＋層３の深さ（Ｘｊ）等の構造決定要因が、一旦最適化され、Ｒｅｓｕｒｆ効果の良し悪しを示すＥｍａｘ－Ｌ　Ｅｍａｘ－Ｒの条件が確立されたとしても、それが一気に失われてしまう結果、耐圧も下がってしまうことが実証された。

【０１４０】

換言すれば、本発明構造におけるＲｅｓｕｒｆ層５（Ｐ↑－層）の導入、ＢＯＸ層７の導

入、前記Ｒｅｓｕｒｆ層５における表面不純物濃度（Ｃｓ）の最適化、また、Ｒｅｓｕｒｆ層５及びＰ↑＋層３の深さ（Ｘｊ）の最適化、さらにはフィールド・プレート構造２２の維持という要因の全部又は一部を巧みに組み合わせることによって初めて、限りなく平面接合のブレーク・ダウン電圧に近い、プラナ接合のブレーク・ダウン電圧を得ることができるようになるという総合技術の結晶が確認された。

【０１４１】

次に、上記本発明デバイスにおける製造方法の一例を、図２〜図７を参照して述べる。

先ず、本発明のデバイスを製作するために、耐圧維持領域のみにＢＯＸ層７を有するＳＯＩ基板ウェーハ２１をスタート素材として用い、図２に示すように該素材ウェーハ２１を全面酸化させる（第１工程）。

なお、スタート素材の制作方法としては、種々の方法があるが、ここでは市販のものを使用することとして、その制作方法については述べない。

また、上記の場合、ＳｉＯ２膜８の厚さは、例えば０．５μｍとなるような酸化条件が選定される。

さらに、表面よりＮ↑－層２・ＢＯＸ層７・Ｎ↑－層２・Ｎ↑＋層１の各層の厚みは、図３８に示すように、１μｍ、１μｍ、２７μｍ、１μｍの厚みにそれぞれ選ばれる。

【０１４２】

次に、Ｒｅｓｕｒｆ層（Ｐ↑－層）を形成するために、図３に示すように、ＳｉＯ２膜８に所定の開口を施し、ボロン・イオン注入を行なう（第２工程）。

なお、第１のフォト・レジスト工程（Ｌ１）において、ＢＯＸ層７とＲｅｓｕｒｆ層形成パターンのアライメントは、例えば周知の顕微鏡による赤外光等により、相互アライメントを行い完成させる。また、ボロン注入におけるＣａｐ－ＳｉＯ２（Ａｍｏｒｐｈｏｕｓ　ＳｉＯ２）膜は、図示しないが、膜厚が１２００Å程度である。

【０１４３】

次に、図４に示すように、第２のフォト・レジスト工程（Ｌ２）を施し、周知のフォトリソ技術によりＰ↑＋層の注入部パターンを形成した後、これをマスクとしてボロン・イオン注入及びアニールを行なう（第３工程）。

なお、Ｒｅｓｕｒｆ層（Ｐ↑－層）の注入条件は、例えば１５０Ｋｅｖ／１．５×１０↑１２ドーズ、Ｐ↑＋層の注入条件は、７０Ｋｅｖ／５×１０↑１３ドーズ、Ｐ↑－層及びＰ↑＋層のアニールは共通処理とし、１０５０℃／６０分、Ｐ↑－層及びＰ↑＋層の深さ（Ｘｊ）は、共にＸｊ　１．０μｍ、Ｐ↑－層の表面不純物濃度（Ｃｓ）＝２×１０↑１６（１／ｃｍ↑３）、Ｐ↑＋層の表面不純物濃度（Ｃｓ）＝１×１０↑１８（１／ｃｍ↑３）である。

【０１４４】

次の、上記アニール処理中に、第２ＳｉＯ２膜８’を約０．３μｍ形成した後、第３のフォト・レジスト工程（Ｌ３）によりＮ↑＋チャンネル・ストッパ層となる部分を開口すべく第２ＳｉＯ２膜８’をエッチング除去する（第４工程）。

【０１４５】

続いて、Ｎ↑＋チャンネル・ストッパ層４を形成のための工程に移る。この場合もＣａｐ－ＳｉＯ２膜を１２００Åの厚さで形成後、リン・イオンを注入し、アニールを行なう（第５工程）。

なお、リン・イオン注入条件は、例えば１５０Ｋｅｖ／５×１０↑１４ドーズ、アニール条件は、１０００℃／６０分とし、Ｎ↑＋チャンネル・ストッパ層４の深さ（Ｘｊ）　０．７μｍ、表面不純物濃度（Ｃｓ）　１．５×１０↑１９（１／ｃｍ↑３）である。

【０１４６】

次に、図６に示すように、第４のフォト・レジスト工程（Ｌ４）により電極部を開口し、アノード電極９の電極メタルとして、例えばアルミ系金属を１〜５μｍ厚に全面形成し、電極メタルが第５のフォト・レジスト工程（Ｌ５）を経て図７に示すような形状にパターンニングされる。

次いで、裏面側のカソード電極１０が形成され、また、図示を省略した保護膜が形成され

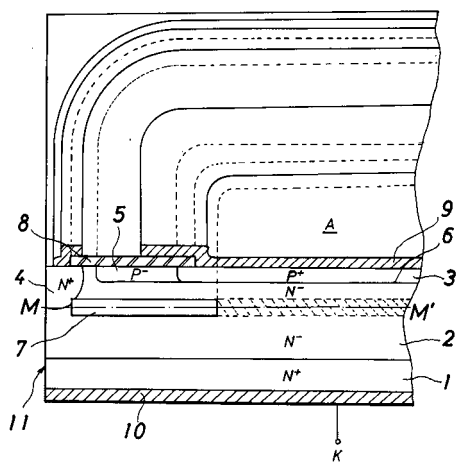
て図示のような本発明のデバイスが完成する（第６工程）。
【０１４７】
上記の製造方法によれば、耐圧維持領域のみにＢＯＸ層７を有する、比較的安価で品質の安定している市販のＳＯＩ基板ウェーハ２１をスタート素材とし、複雑な工程を経ることなく目的とするデバイスを迅速かつ安価に製作できる利点がある。
なお、上記の製造方法は、本発明のデバイスを製作するための一例であって、製作された最終結果物としてのデバイスは、かかる方法によるものに特に限定されされないことは言うまでもない。
【０１４８】
【発明の効果】
本発明の半導体装置によれば、上記のように構成したので、概略次のような効果を奏する。
（１）プラナ接合においても、平面接合に限りなく近いブレーク・ダウン電圧（デバイスの耐圧）が得られという画期的な効果が生じる。
（２）上記（１）の結果、より高不純物濃度（低い比抵抗ρ）で、かつ、より薄い厚みのエピタキシャル層が使用できようになり、半導体装置のＶＦ特性、ＩＦ特性、ｔｒｒ特性が改善される。
（３）Ｒｅｓｕｒｆ層の電界強度が平坦になる部分を狭くしてもさほど影響がでないことが判明したので、耐圧維持領域に要する面積が少なくて済む。
（４）耐圧維持領域にみにＢＯＸ層を有する、比較的安価で品質の安定している市販のＳＯＩ基板をスタート素材とし、複雑な工程を経ることなく目的とするデバイスが迅速かつ安価に製作できる。
【図面の簡単な説明】
【図１】本発明のデバイス構造を示し、上部にその平面をも表した断面図である。
【図２】本発明のデバイスを製作するための製造方法を説明するための図であって、その製造方法の第１工程図である。
【図３】上記製造方法の第２工程図である。
【図４】上記製造方法の第３工程図である。
【図５】上記製造方法の第４工程図である。
【図６】上記製造方法の第５工程図である。
【図７】上記製造方法の第６工程図である。
【図８】従来のプラナ技術によって形成されたＰＮ接合面の説明図であって、（ａ）は、その断面図、（ｂ）は、主ＰＮ接合面の斜視図である。
【図９】円筒状及び球面状の主ＰＮ接合におけるブレーク・ダウン電圧を示した図である。
【図１０】Ｒｅｓｕｒｆ構造の原理を示す図である。
【図１１】ＳＯＩ分離素子の構造例を示す断面図である。
【図１２】ＳＩＯ分離素子のエピタキシャル層厚、Ｔｏｘ、ＶＢの関係を示す図である。
【図１３】従来技術による縦型プラナ構造デバイスの断面図である。
【図１４】平面接合を想定した１次元シミュレーションによる考察を行なうために用いる従来構造の模式図であり、（ａ）は、シミュレーション１を行なうための構造（１）を、（ｂ）は、同じくシミュレーション１を行なうための構造（２）をそれぞれ示す模式図である。
【図１５】図１４（ａ）の構造（１）におけるＬ１－Ｌ’１線に沿った不純物濃度プロファイルを示す図である。
【図１６】図１４（ｂ）の構造（２）におけるＬ２－Ｌ’２線に沿った不純物濃度プロファイルを示す図である。
【図１７】上記構造（１）での耐圧波形を示す図である。
【図１８】上記構造（２）での耐圧波形を示す図である。
【図１９】シミュレーション２に用いるフィールド・プレート構造デバイスの断面図であ

る。
【図２０】上記フィールド・プレート構造デバイスのシミュレーション領域を示す図である。
【図２１】上記フィールド・プレート構造デバイスの２次元電位分布図である。
【図２２】上記フィールド・プレート構造の耐圧波形図である。
【図２３】図２０におけるＶ１－Ｖ’１線沿いの不純物濃度分布図である。
【図２４】図２０におけるＬ１－Ｌ’１線沿い（ｙ＝０．１μｍ）の電位分布図である。
【図２５】図２０におけるＶ１－Ｖ’１線沿い（ｘ＝４８μｍ）の電位分布図である。
【図２６】図２０におけるＬ１－Ｌ’１線沿い（ｙ＝０．１μｍ）の電界分布図である。
【図２７】図２０におけるＶ１－Ｖ’１線沿い（ｘ＝４８μｍ）の電界分布図である。
【図２８】図２０におけるＬ２－Ｌ’２線沿い（ｙ＝５μｍ）の電界分布図である。
【図２９】シミュレーション３に用いるＢＯＸ層構造デバイスの断面図である。
【図３０】上記ＢＯＸ層構造デバイスのシミュレーション領域を示す図である。
【図３１】上記ＢＯＸ層構造デバイスの２次元電位分布図である。
【図３２】上記ＢＯＸ層構造デバイスの耐圧波形図である。
【図３３】上記図３１におけるＶ１－Ｖ’１線沿いの不純物濃度プロファイルを示す図である。
【図３４】上記図３１におけるＬ１－Ｌ’１線沿いの横方向の電位分布図である。
【図３５】上記図３１におけるＶ１－Ｖ’１線沿いの縦方向の電位分布図である。
【図３６】上記図３１におけるＬ１－Ｌ’１線沿いの横方向の電界分布図である。
【図３７】上記図３１におけるＶ１－Ｖ’１線沿いの縦方向の電界分布図である。
【図３８】上記図３１におけるＬ２－Ｌ’２線沿いの横方向の電界分布図である。
【図３９】シミュレーション４に用いるＲｅｓｕｒｆ層（Ｐ↑－層）をさらに追加した構造デバイスの断面図である。
【図４０】上記Ｒｅｓｕｒｆ層（Ｐ↑－層）をさらに追加した構造デバイスのシミュレーション領域を示す図である。
【図４１】上記Ｒｅｓｕｒｆ層の横幅と耐圧（ＶＲ）との関係を示す図である。
【図４２】上記構造デバイスでのＲｅｓｕｒｆ層の表面不純物濃度（Ｃｓ）と耐圧（ＶＲ）との関係を示す図である。
【図４３】上記構造デバイスでのＲｅｓｕｒｆ層の表面不純物濃度（Ｃｓ）と耐圧（ＶＲ）とを変化させた時に得られる耐圧波形を示す図である。
【図４４】上記Ｒｅｓｕｒｆ層の表面不純物濃度がＣｓ＝１×１０↑１５（１／ｃｍ↑３）での２次元電位分布図である。
【図４５】上記Ｒｅｓｕｒｆ層内の横方向の電位分布図である。
【図４６】上記Ｒｅｓｕｒｆ層の横方向の電界分布図である。
【図４７】上記Ｒｅｓｕｒｆ層の表面不純物濃度がＣｓ＝１×１０↑１６（１／ｃｍ↑３）での２次元電位分布図である。
【図４８】上記Ｒｅｓｕｒｆ層内の横方向の電位分布図である。
【図４９】上記Ｒｅｓｕｒｆ層の横方向の電界分布図である。
【図５０】上記Ｒｅｓｕｒｆ層の表面不純物濃度がＣｓ＝２×１０↑１６（１／ｃｍ↑３）での２次元電位分布図である。
【図５１】上記Ｒｅｓｕｒｆ層内の横方向の電位分布図である。
【図５２】上記Ｒｅｓｕｒｆ層の横方向の電界分布図である。
【図５３】上記Ｒｅｓｕｒｆ層の表面不純物濃度がＣｓ＝５×１０↑１６（１／ｃｍ↑３）での２次元電位分布図である。
【図５４】上記Ｒｅｓｕｒｆ層内の横方向の電位分布図である。
【図５５】上記Ｒｅｓｕｒｆ層の横方向の電界分布図である。
【図５６】上記Ｒｅｓｕｒｆ層の表面不純物濃度（Ｃｓ）と該Ｒｅｓｕｒｆ層の電荷量（ＱＴＰ－）、及びＮ↑－層の電荷量（ＱＴＮ－）との関係を示す図である。
【図５７】上記電荷量の比（ＱＴＰ－／ＱＴＮ－）に対する耐圧（ＶＲ）の値との関係を

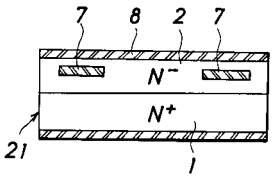
示す図である。
【図５８】シミュレーション５に用いるＰ↑＋層の深さをＲｅｓｕｒｆ層の深さと同じにした構造デバイスの断面図である。
【図５９】上記構造デバイスのシミュレーション領域を示す図である。
【図６０】図５９におけるＹ１－Ｙ’１線沿いの不純物濃度分布図である。
【図６１】図５９におけるＹ２－Ｙ’２線沿いの電位分布図である。
【図６２】上記構造デバイスの２次元電位分布図である。
【図６３】上記構造デバイスの耐圧波形図である。
【図６４】上記構造デバイスのシリコン表面より０．１μｍの深さにおける横方向の電位分布図である。
【図６５】上記構造デバイスのシリコン表面より０．１μｍの深さにおける横方向の電界分布図である。
【図６６】上記図５９のＹ２－Ｙ’２線沿い縦方向の電位分布図である。
【図６７】上記図５９におけるＹ２－Ｙ’２線沿いの縦方向の電界分布図である。
【図６８】上記図５９におけるＹ１－Ｙ’１線沿いの縦方向の電位分布図である。
【図６９】上記図５９におけるＹ１－Ｙ’１線沿いの縦方向の電界分布図である。
【図７０】上記構造デバイスのシリコン表面より４．５μｍの深さにおける横方向の電界分布図である。
【図７１】シミュレーション６に用いるＢＯＸ層を除去した構造デバイスの断面図である。
【図７２】上記構造デバイスのシミュレーション領域を示す図である。
【図７３】上記構造デバイスの２次元電位分布図である。
【図７４】上記ＢＯＸ層の有無による上記図７２におけるＹ１－Ｙ’１線沿いの縦方向の電位分布図である。
【図７５】上記ＢＯＸ層の有無による耐圧波形を比較した図である。
【図７６】上記ＢＯＸ層の有無による上記図７２におけるＹ１－Ｙ’１線沿いの縦方向の電界分布図である。
【図７７】上記図７２における構造デバイスのシリコン表面より深さ０．１μｍの上記ＢＯＸ層の有無による横方向の電位分布図である。
【図７８】上記図７２における構造デバイスのシリコン表面より深さ１μｍの上記ＢＯＸ層の有無による横方向の電位分布図である。
【図７９】上記図７２における構造デバイスのシリコン表面より深さ１．５μｍの上記ＢＯＸ層の有無による横方向の電位分布図である。
【図８０】上記図７２における構造デバイスのシリコン表面より深さ２．１μｍの上記ＢＯＸ層の有無による横方向の電界分布図である。
【図８１】上記図７２における構造デバイスのシリコン表面より深さ３μｍの上記ＢＯＸ層の有無による横方向の電界分布図である。
【図８２】上記図７２における構造デバイスのシリコン表面より深さ４．５μｍ（ＢＯＸ層中）の上記ＢＯＸ層の有無による横方向の電界分布図である。
【符号の説明】
１　Ｎ↑＋層
２，２ａ　Ｎ↑－層
３　Ｐ↑＋層
４　Ｎ↑＋チャンネル・ストッパ層
５　Ｐ↑－層（Ｒｅｓｕｒｆ層）
６　ＰＮ接合
７　埋め込み酸化膜層（ＢＯＸ層）
８　ＳｉＯ２膜
９　アノード電極
１０　カソード電極

２１　ＳＯＩ基板ウェーハ
２２フィールド・プレート構造

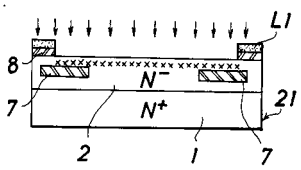
【図１】



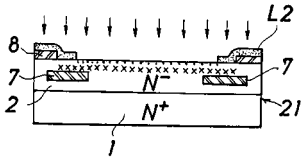
【図２】



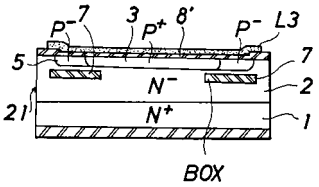
【図３】



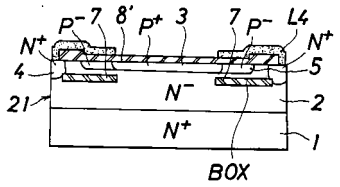
【図４】



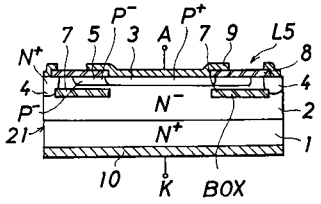
【図５】



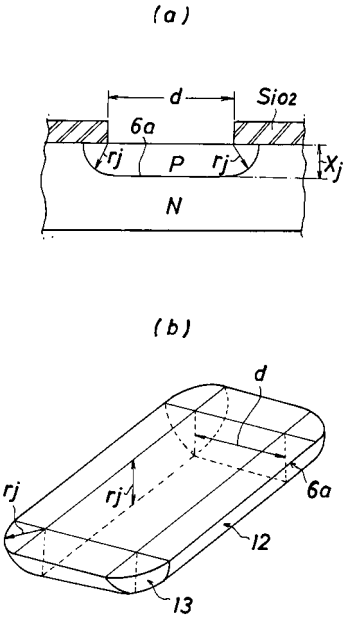
【図６】



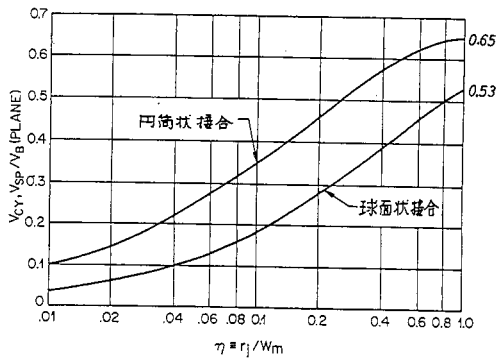
【図７】



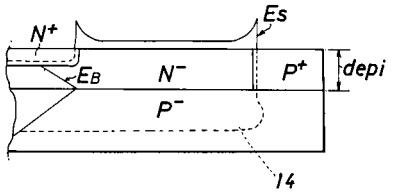
【図８】



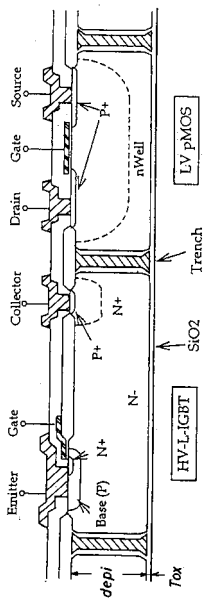
【図９】



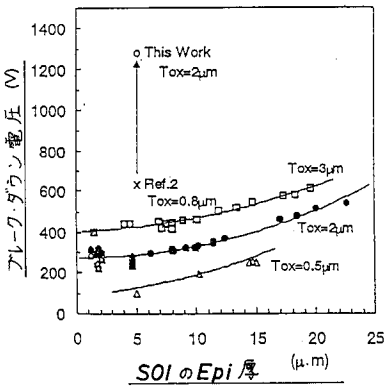
【図１０】



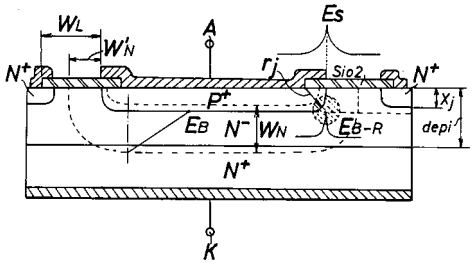
【図１１】



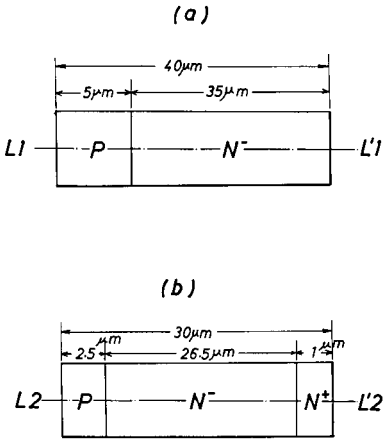
【図１２】



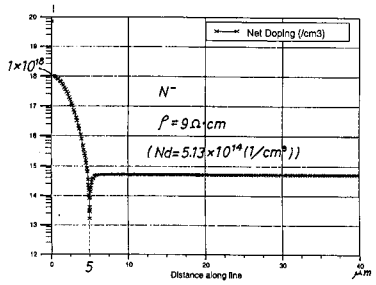
【図１３】



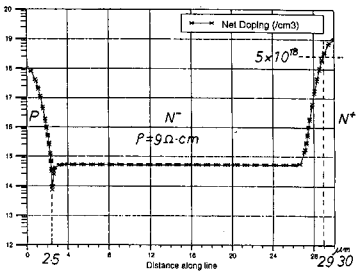
【図１４】



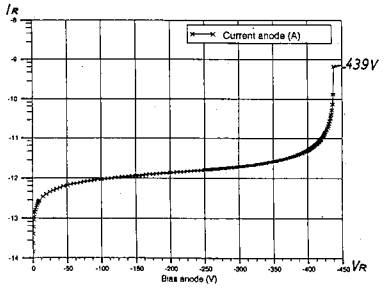
【図１５】



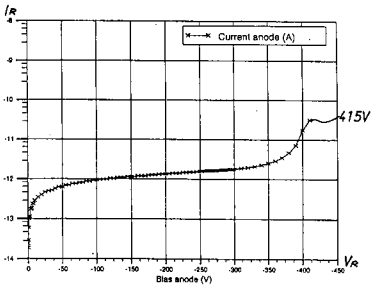
【図１６】



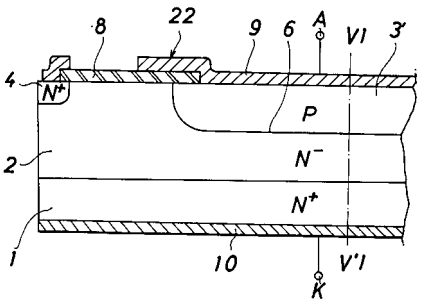
【図１７】



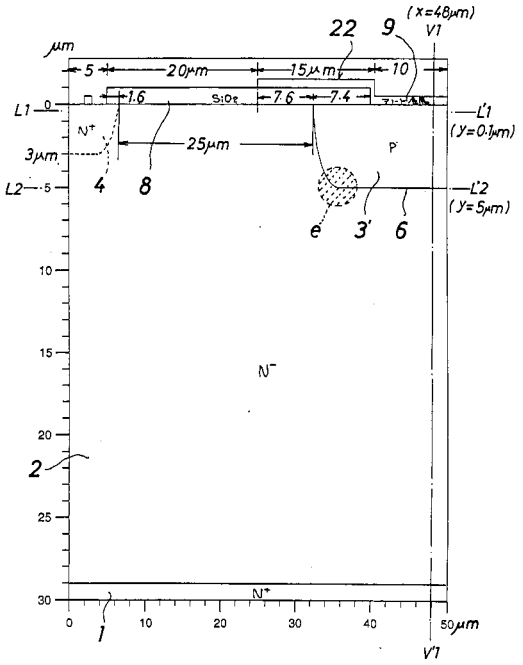
【図１８】



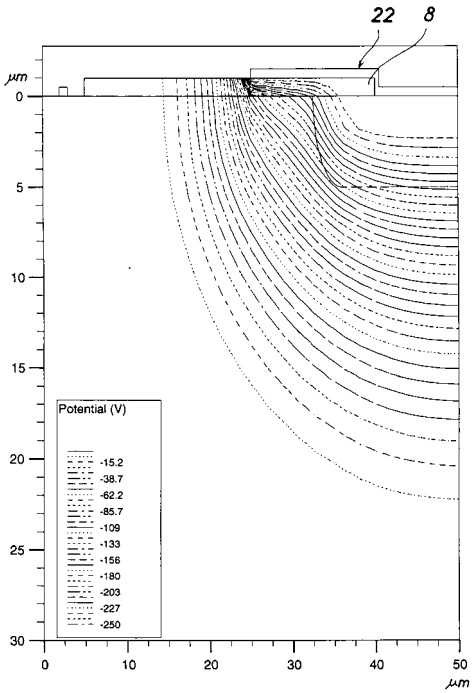
【図１９】



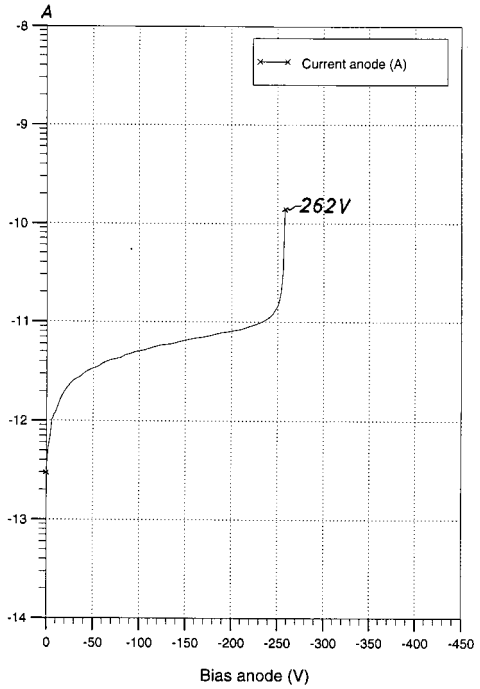
【図２０】



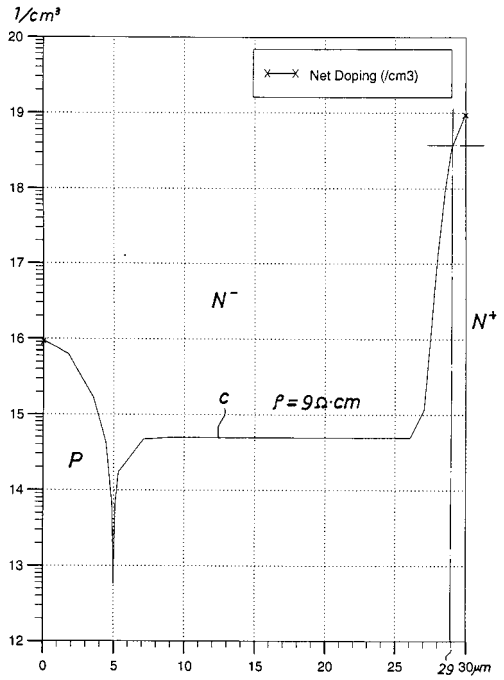
【図２１】



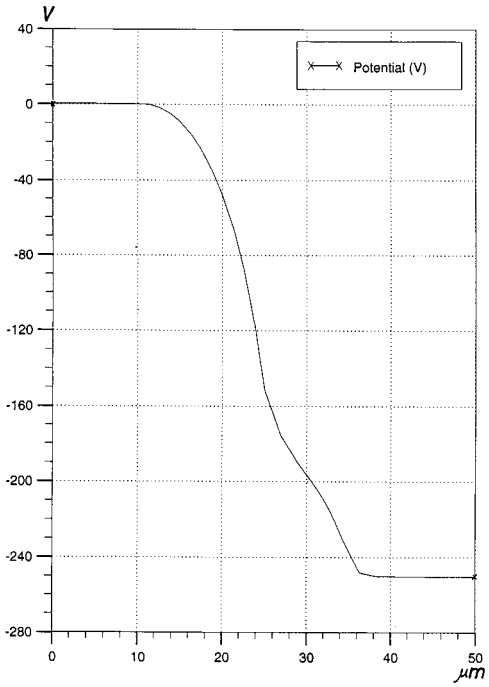
【図２２】



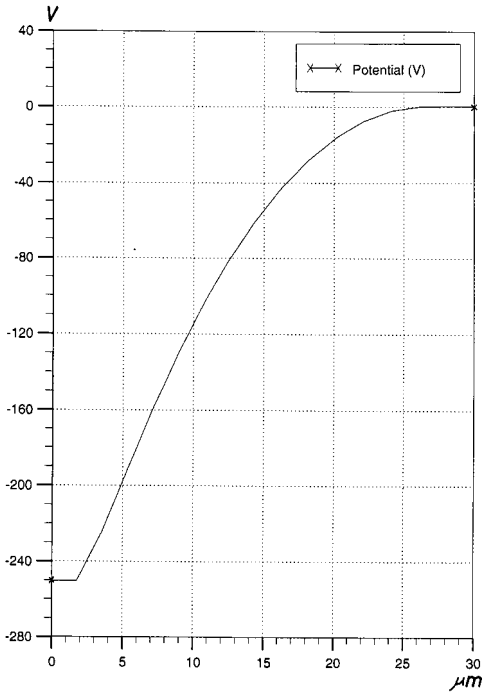
【図２３】



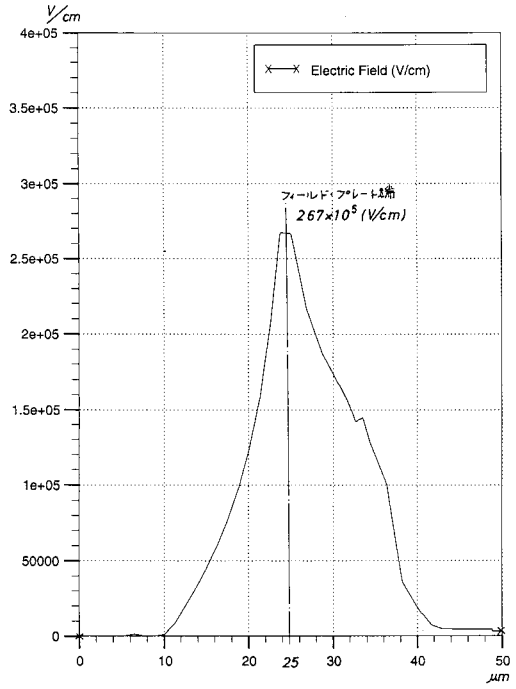
【図２４】



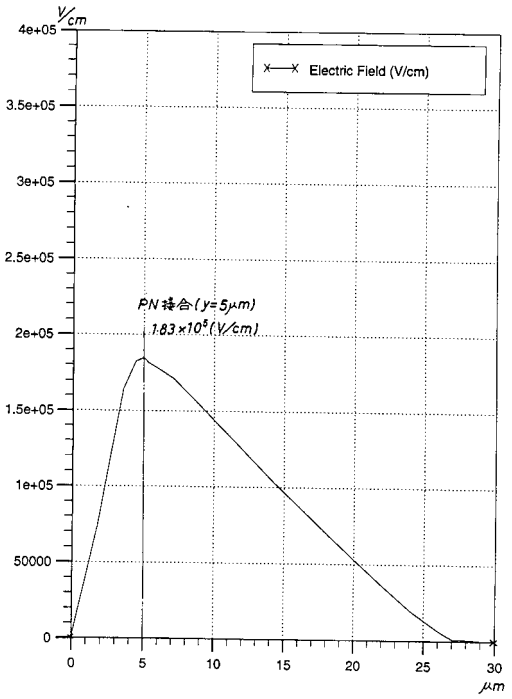
【図２５】



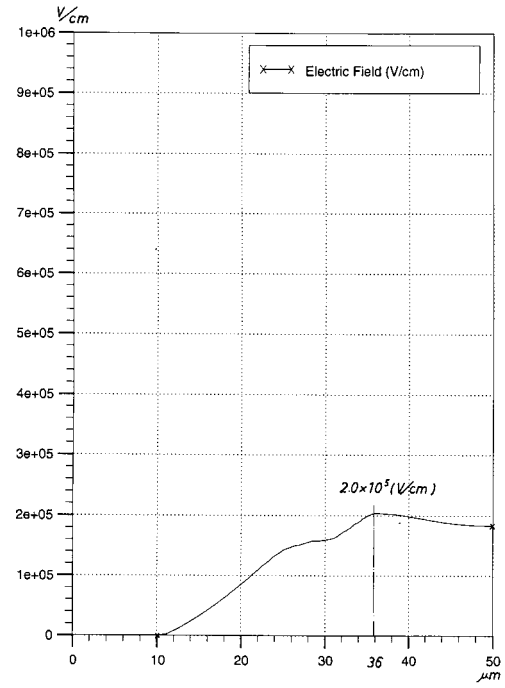
【図２６】



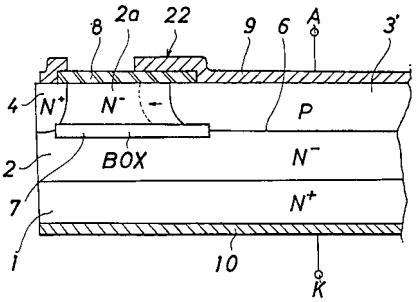
【図２７】



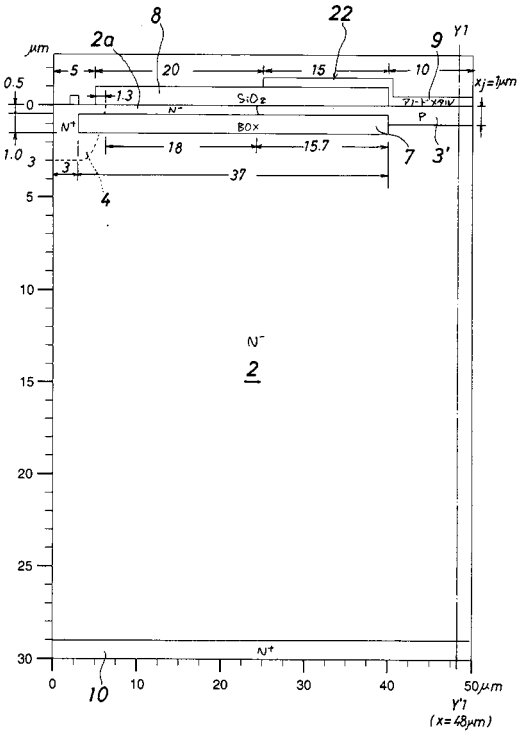
【図２８】



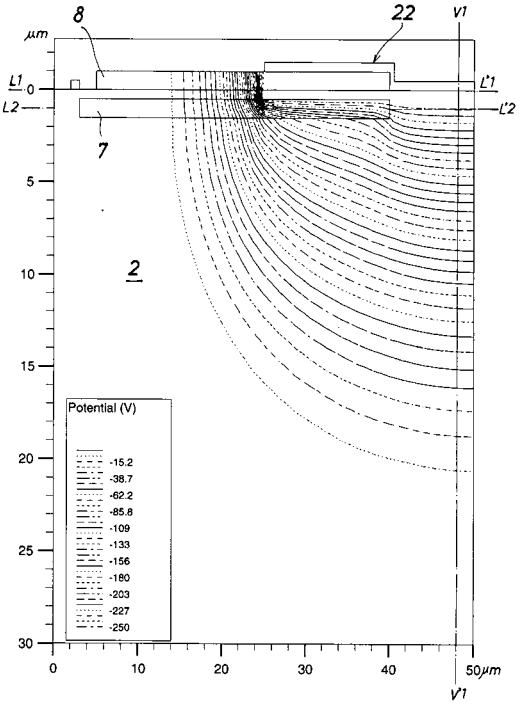
【図２９】



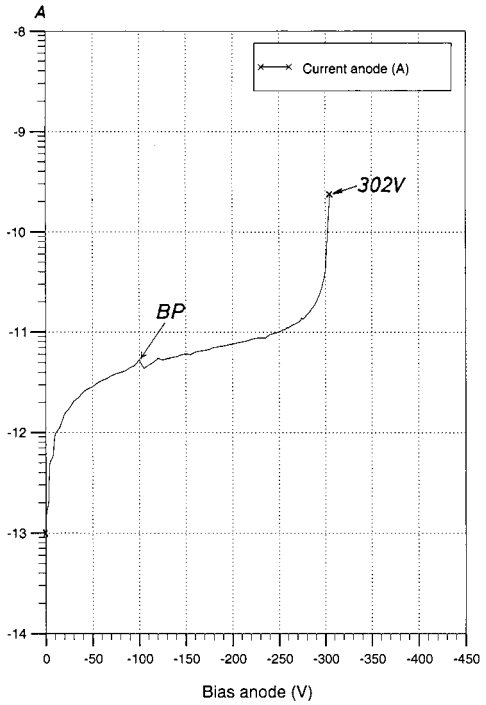
【図３０】



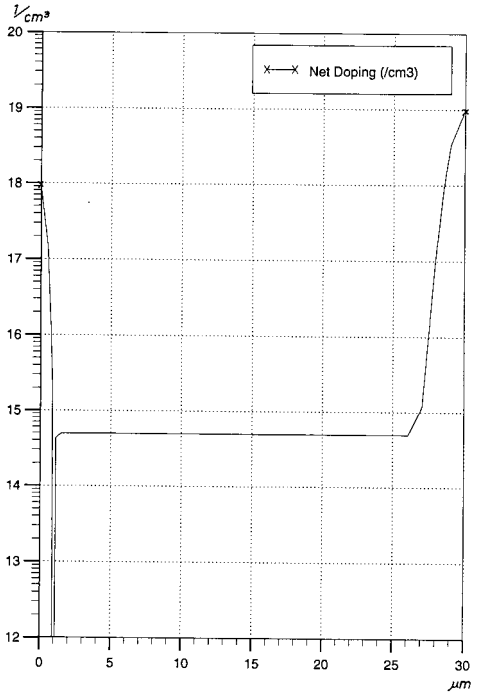
【図３１】



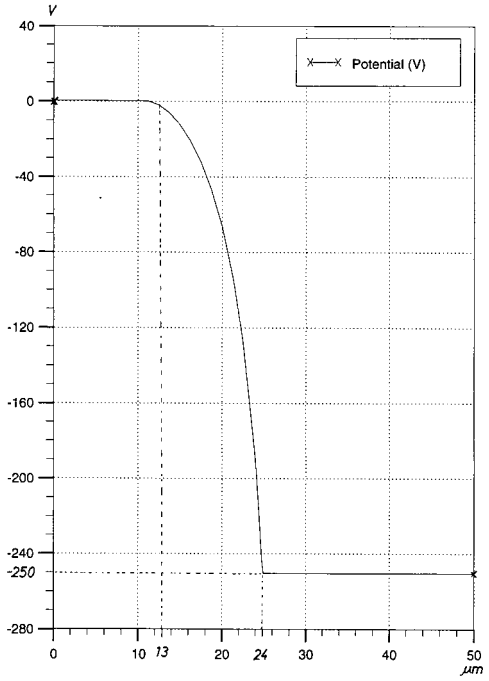
【図３２】



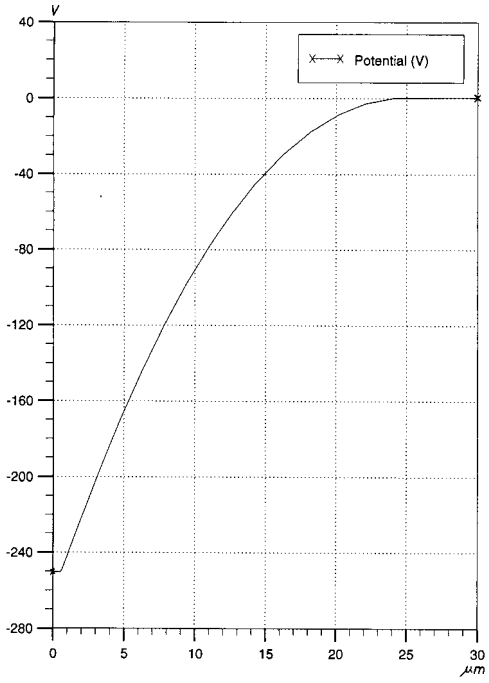
【図３３】



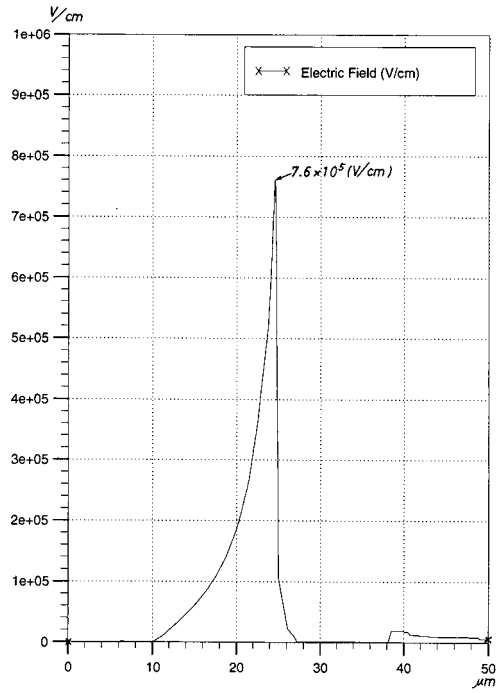
【図３４】



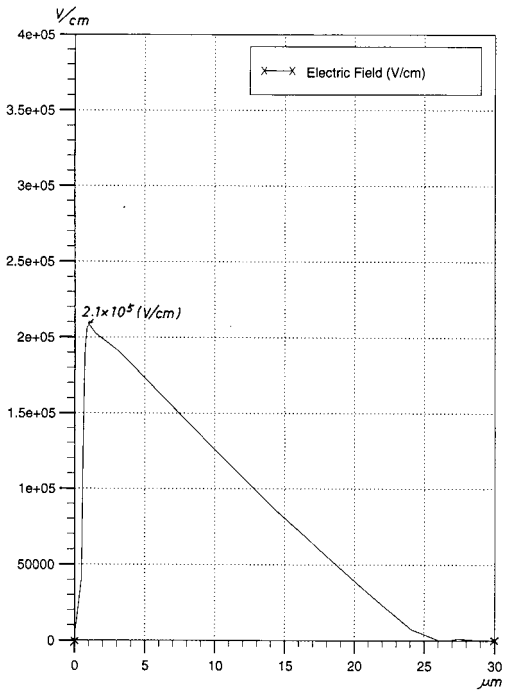
【図３５】



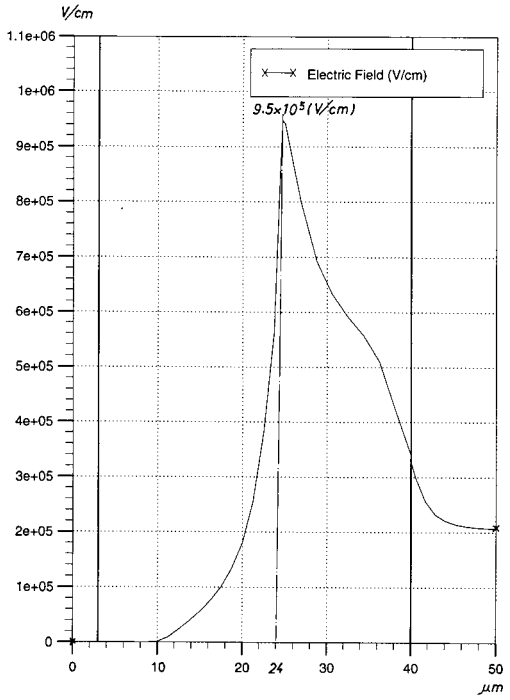
【図３６】



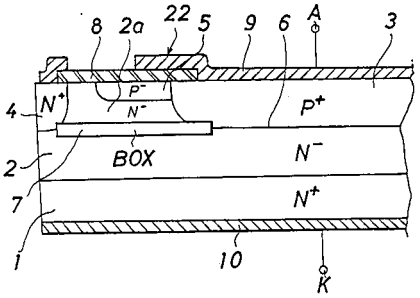
【図３７】



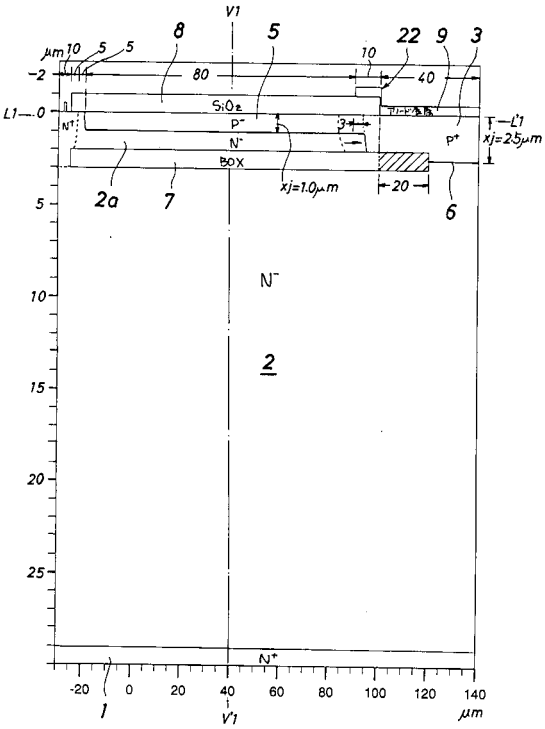
【図３８】



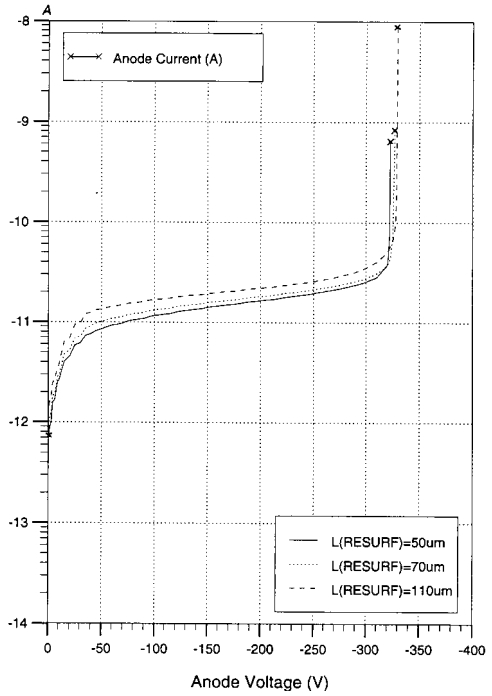
【図３９】



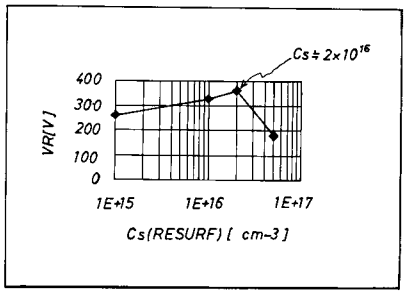
【図４０】



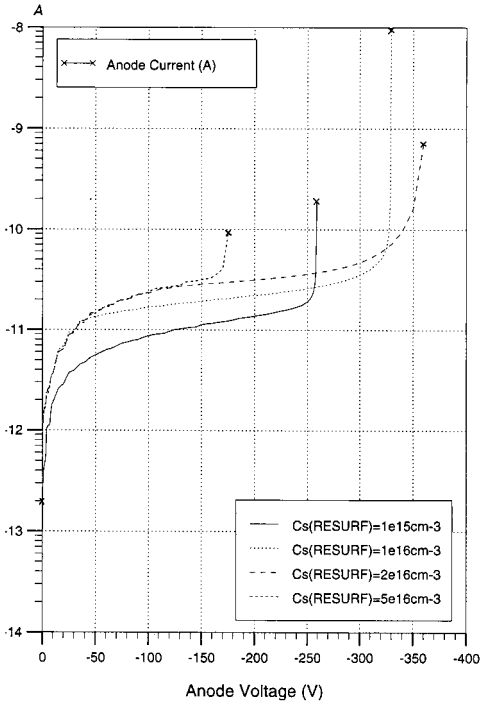
【図４１】



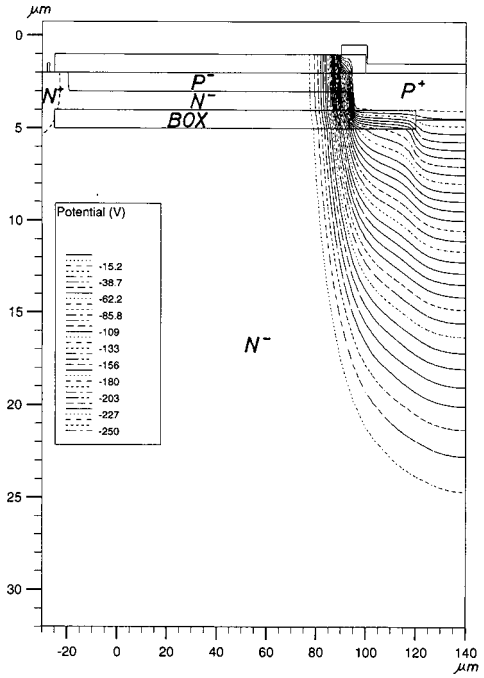
【図４２】



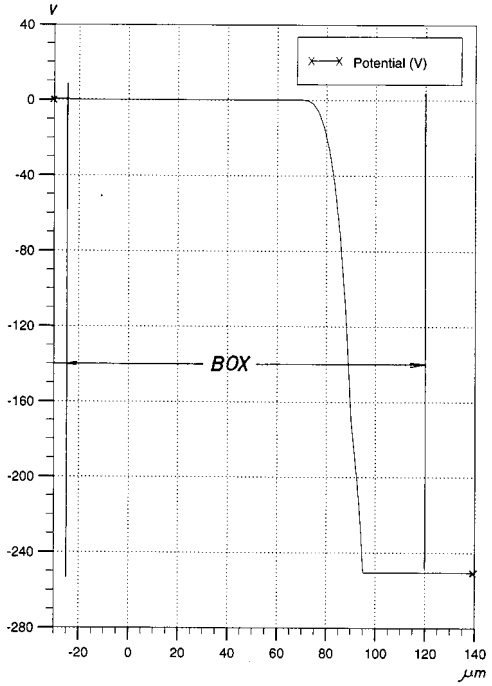
【図４３】



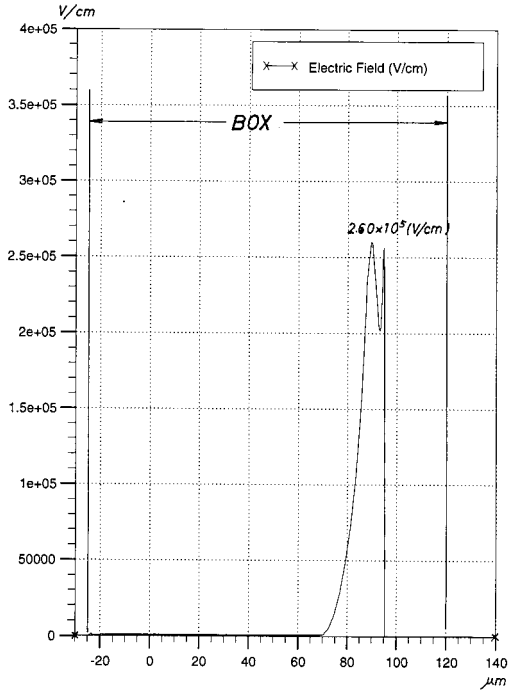
【図４４】



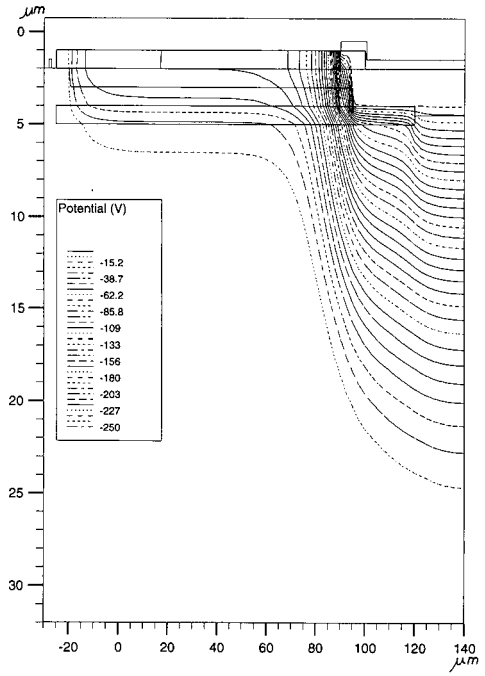
【図４５】



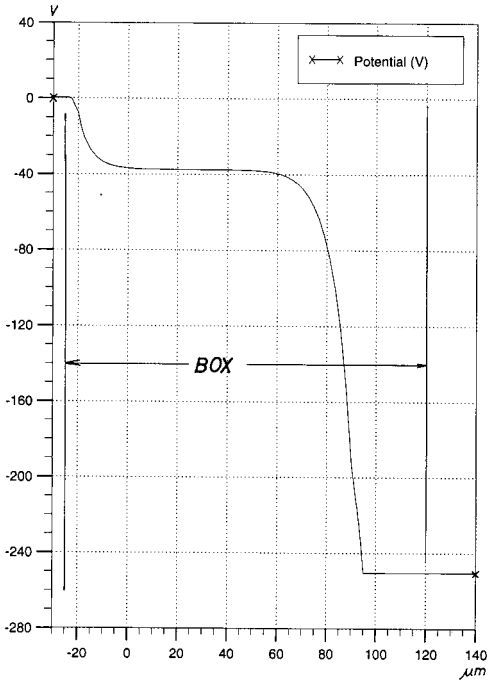
【図４６】



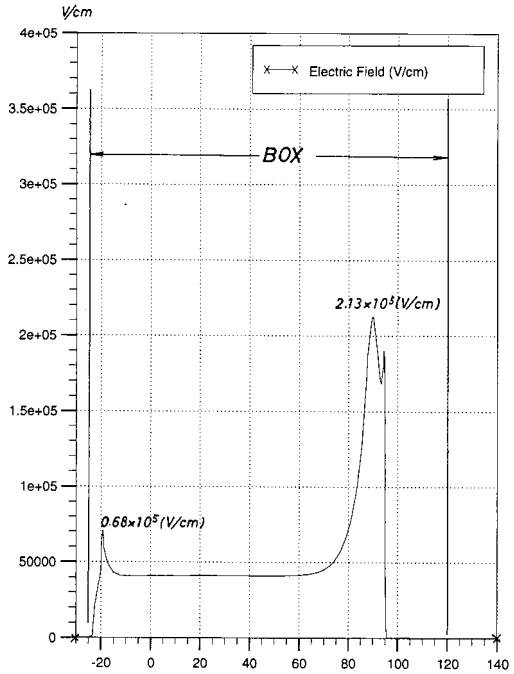
【図４７】



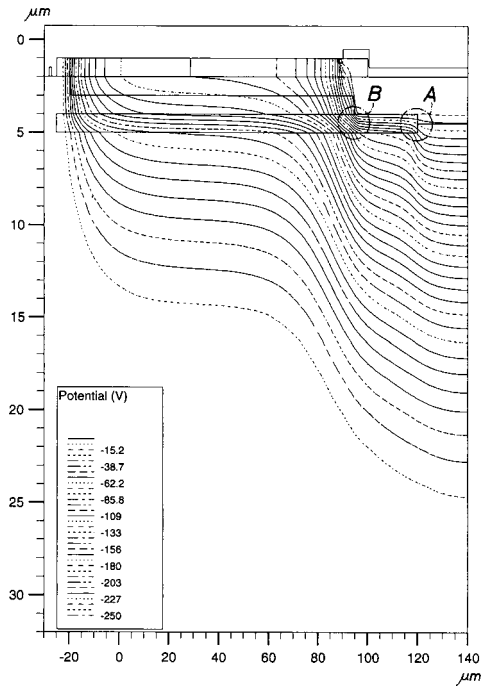
【図４８】



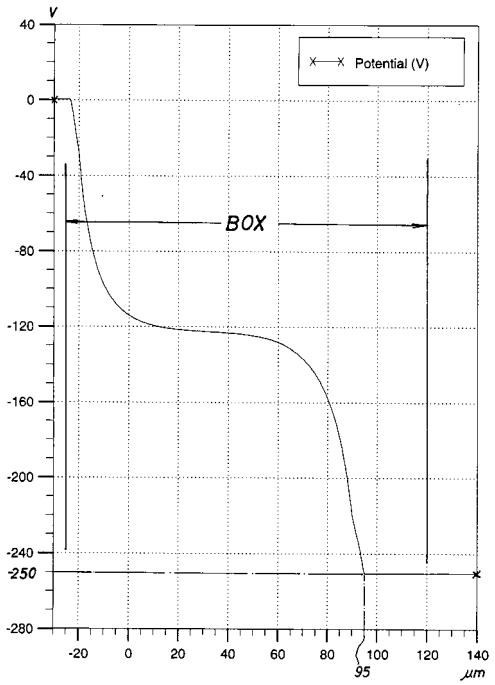
【図４９】



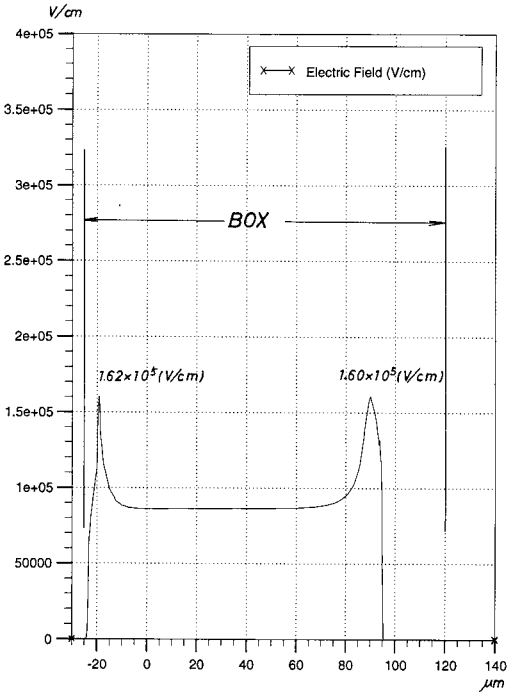
【図５０】



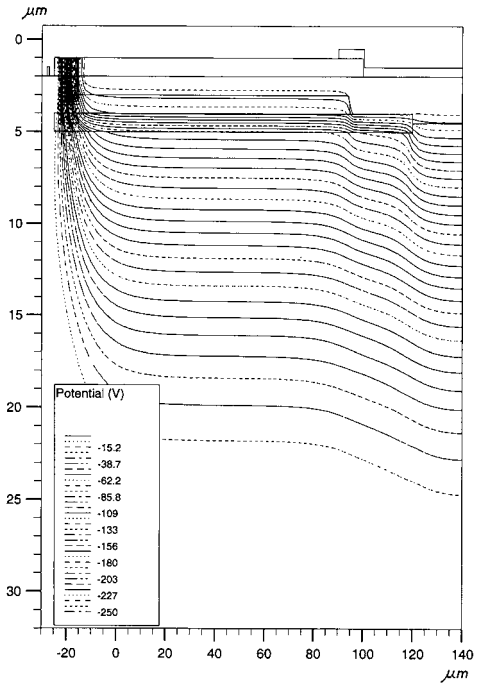
【図５１】



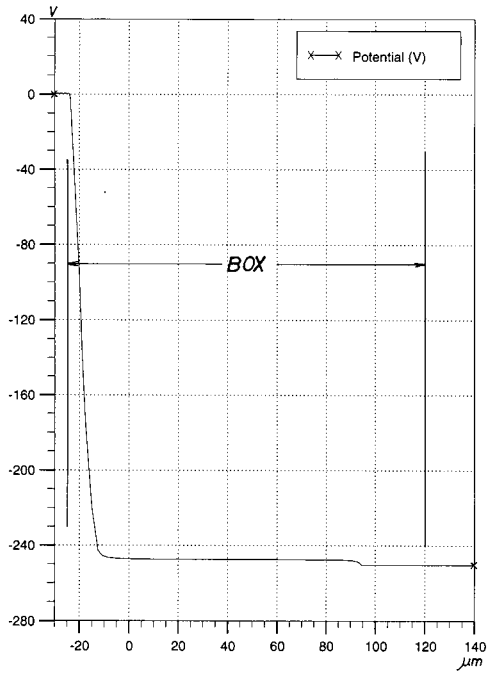
【図５２】



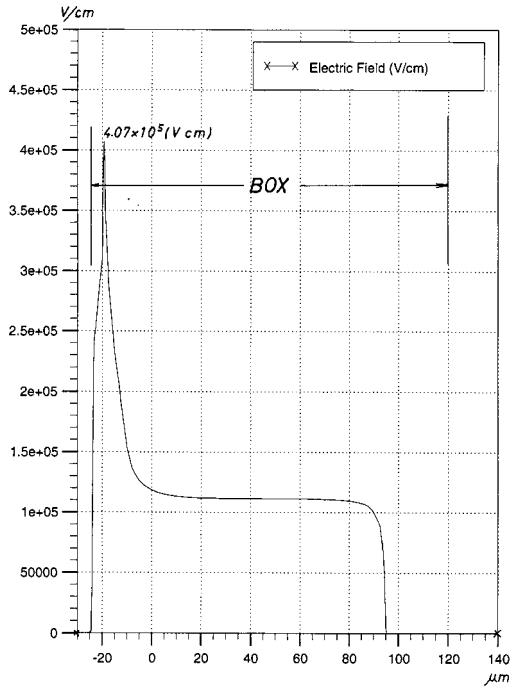
【図５３】



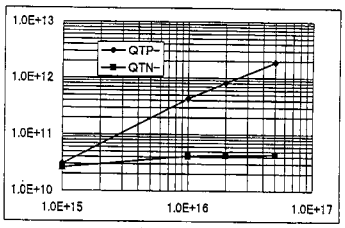
【図５４】



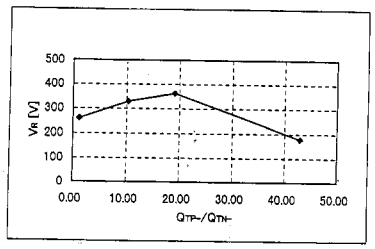
【図５５】



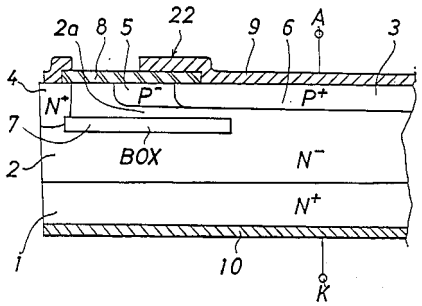
【図５６】



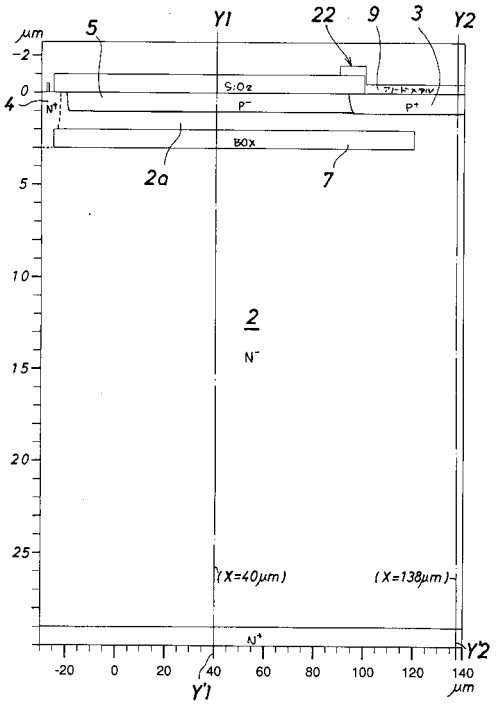
【図５７】



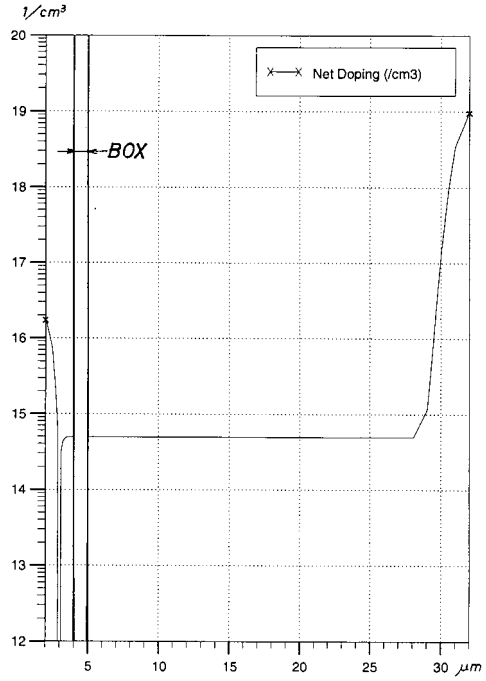
【図５８】



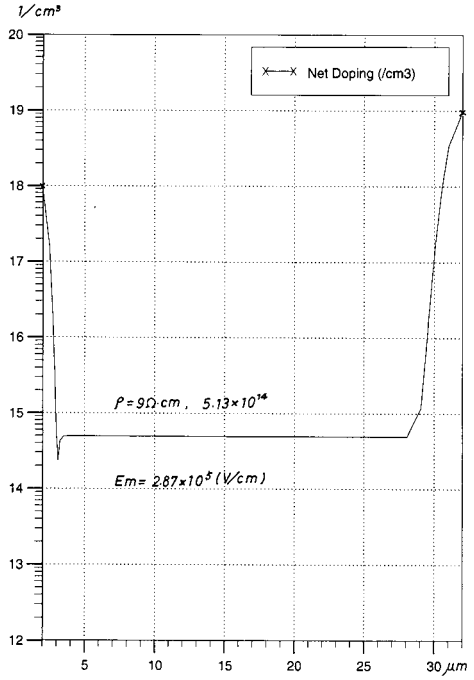
【図５９】



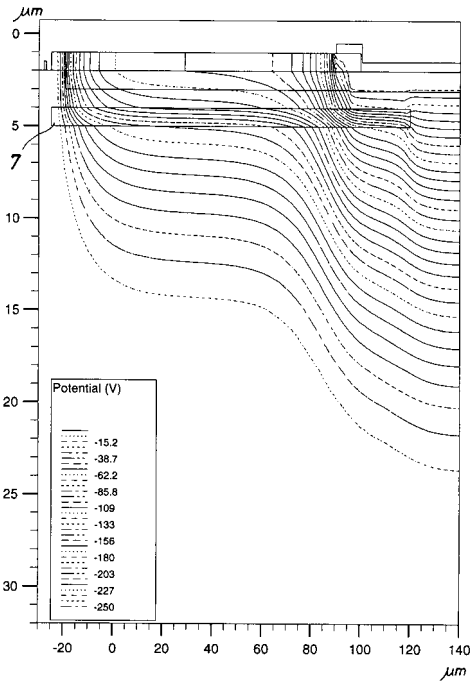
【図６０】



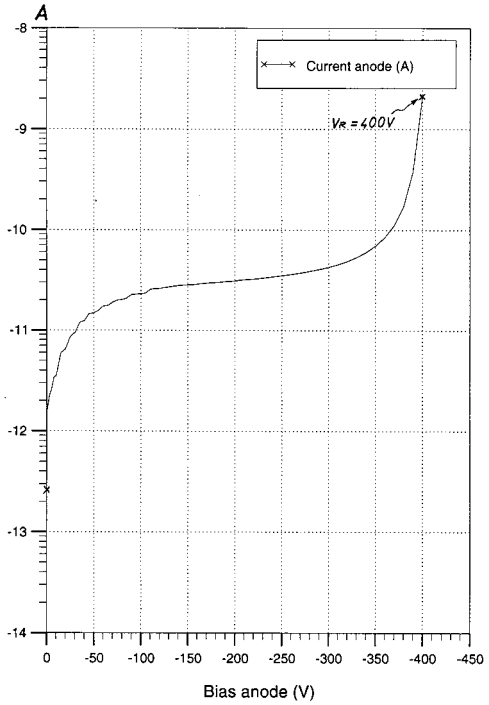
【図６１】



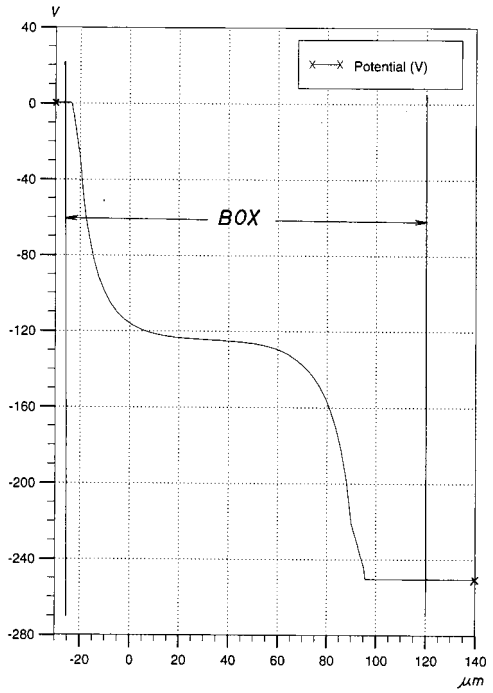
【図６２】



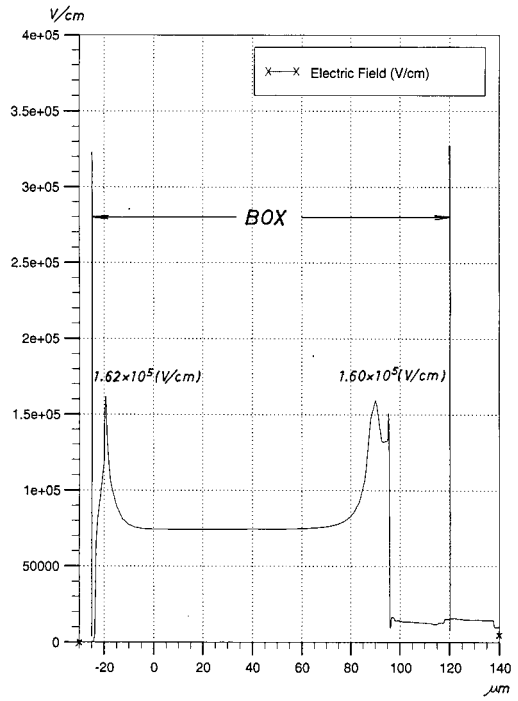
【図６３】



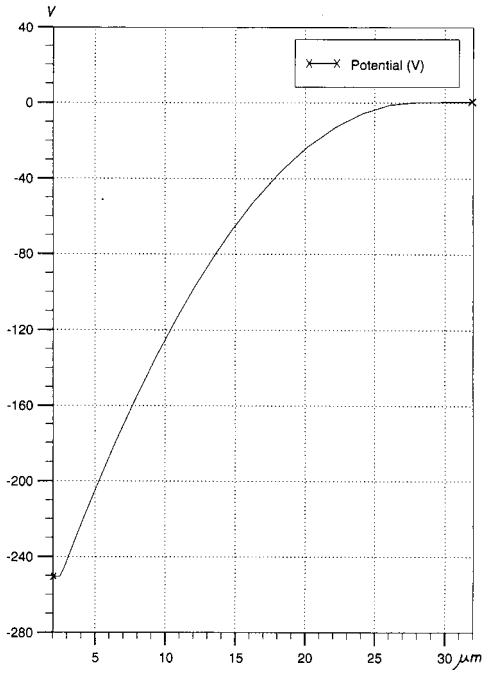
【図６４】



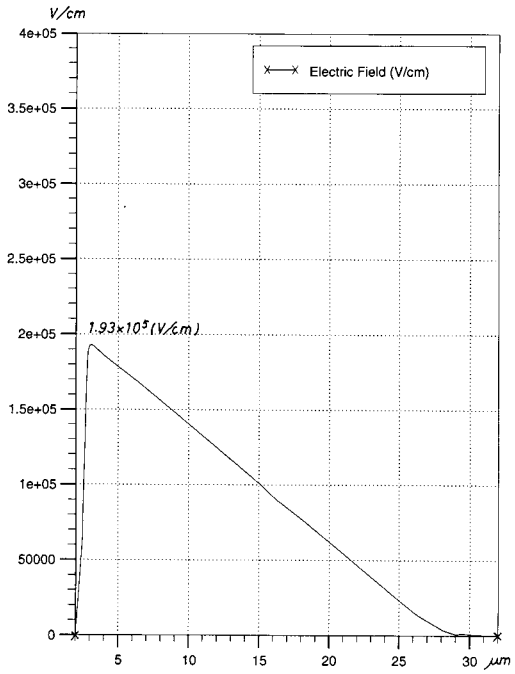
【図６５】



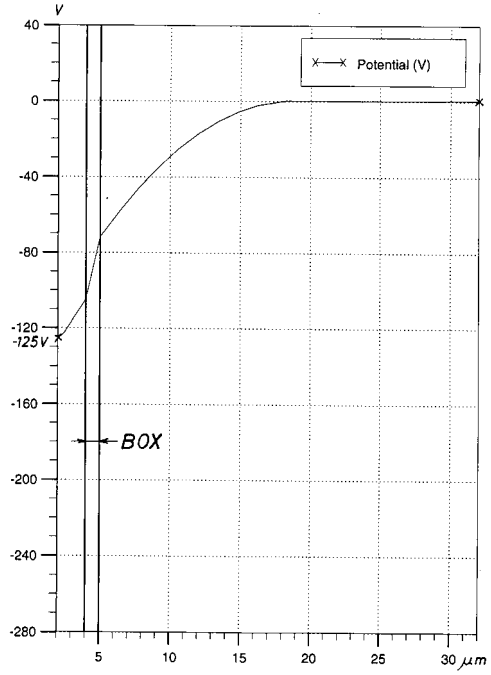
【図６６】



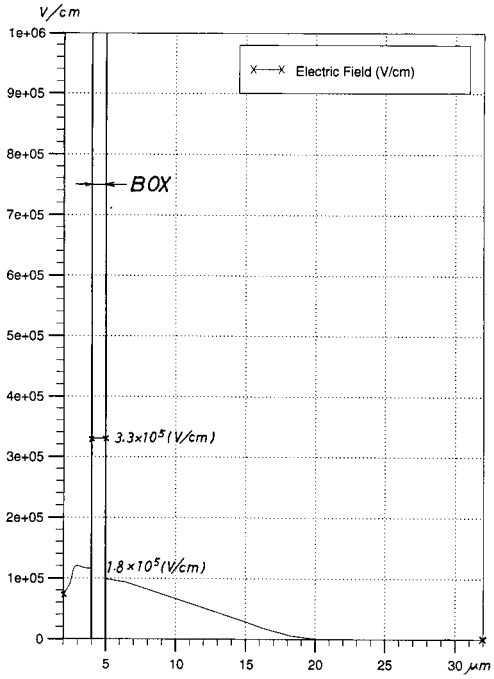
【図６７】



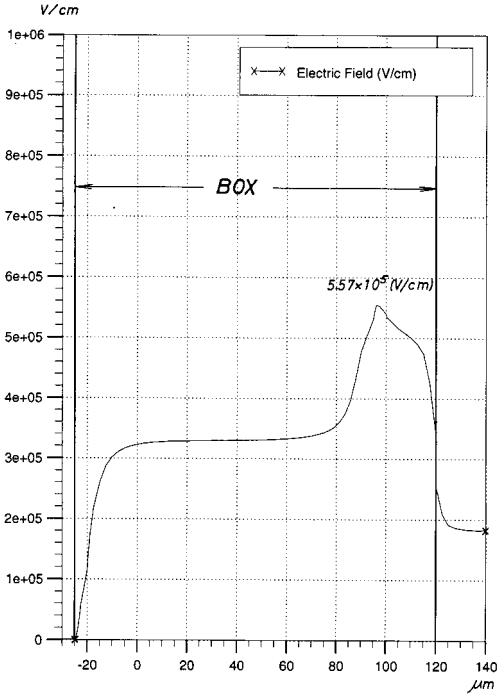
【図６８】



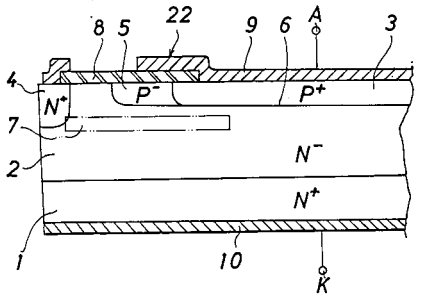
【図６９】



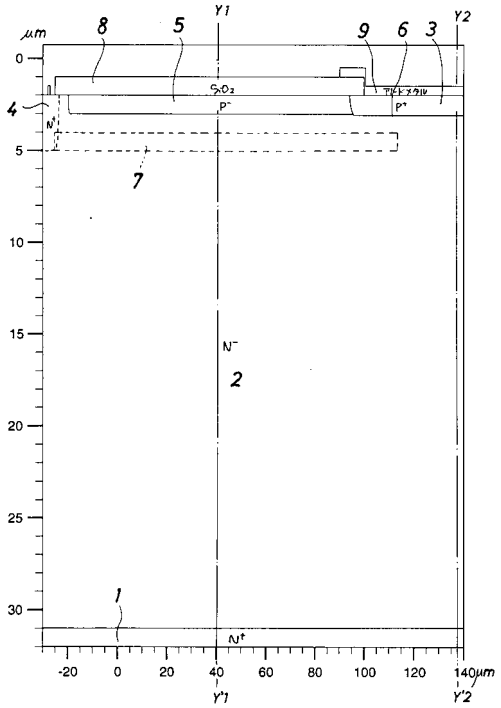
【図７０】



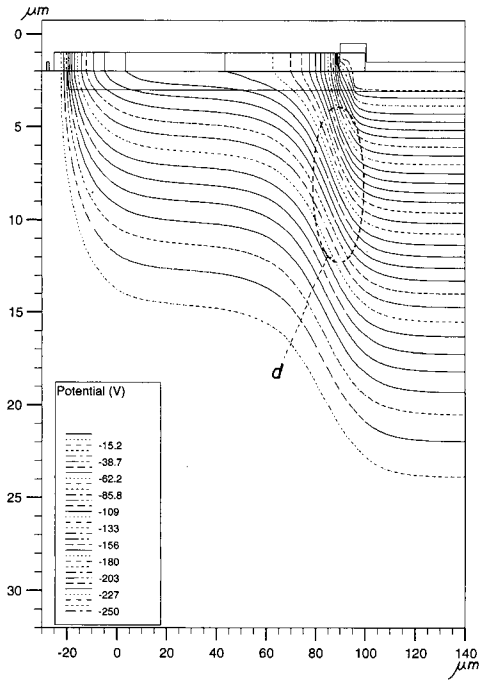
【図７１】



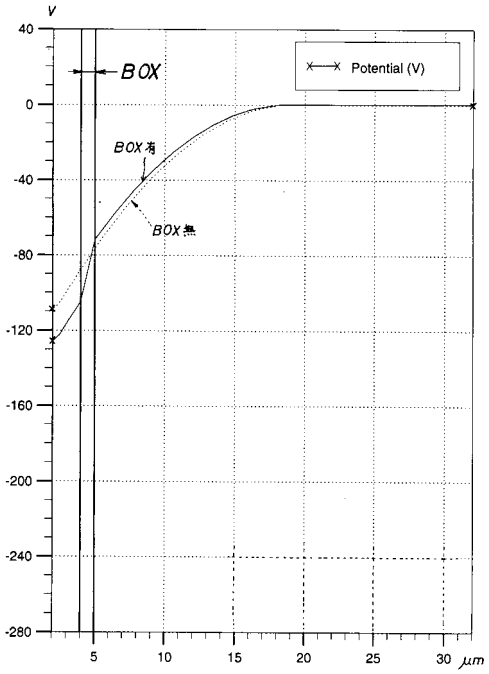
【図７２】



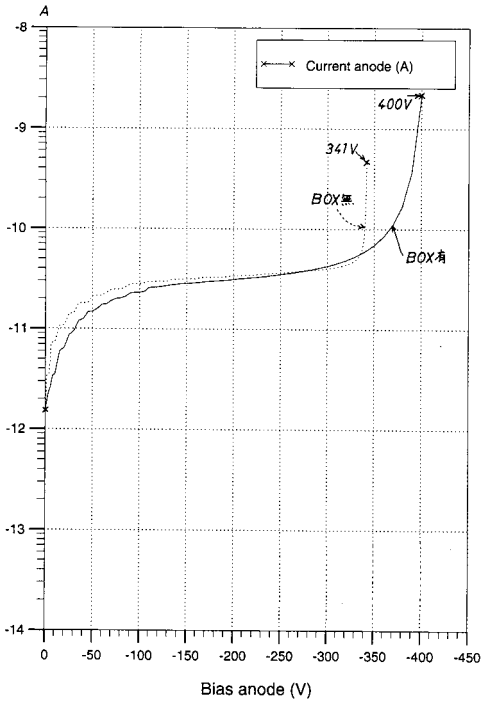
【図７３】



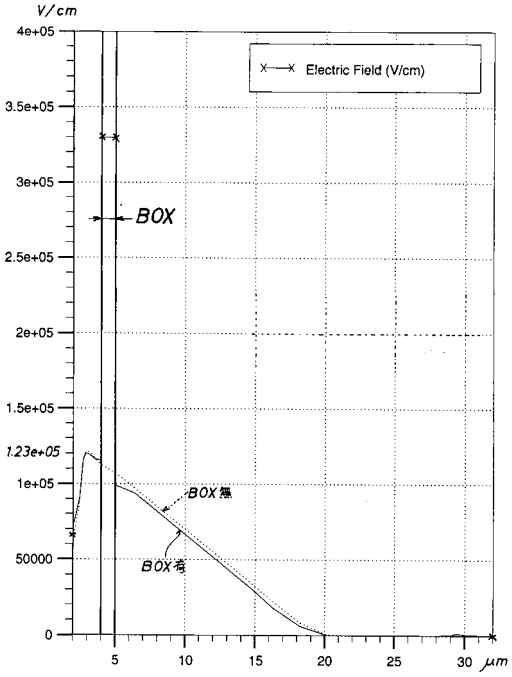
【図７４】



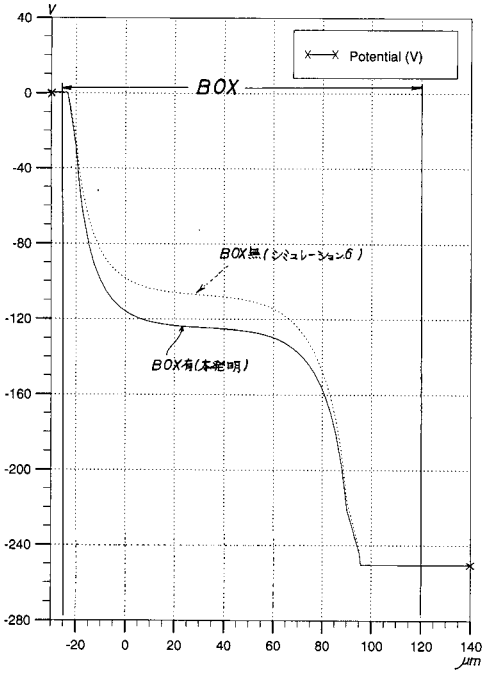
【図７５】



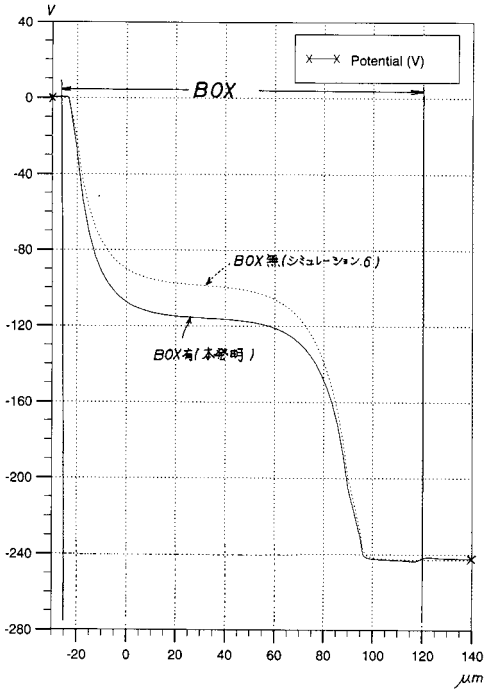
【図７６】



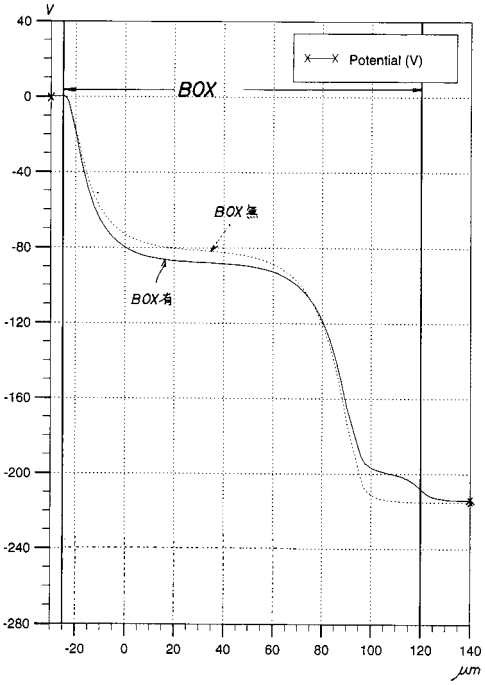
【図７７】



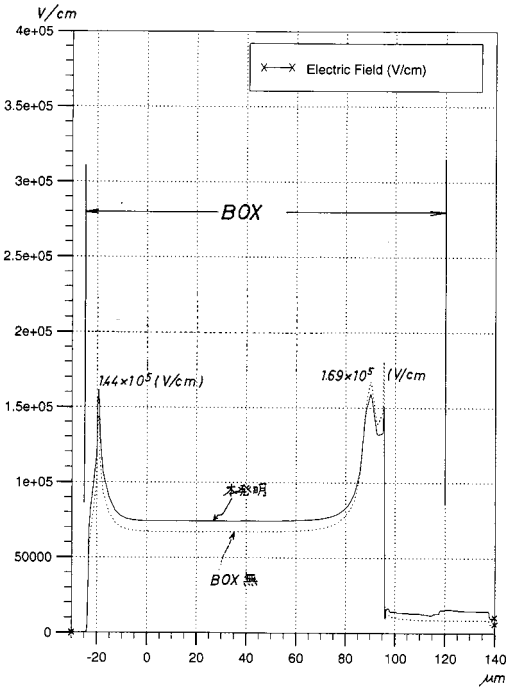
【図７８】



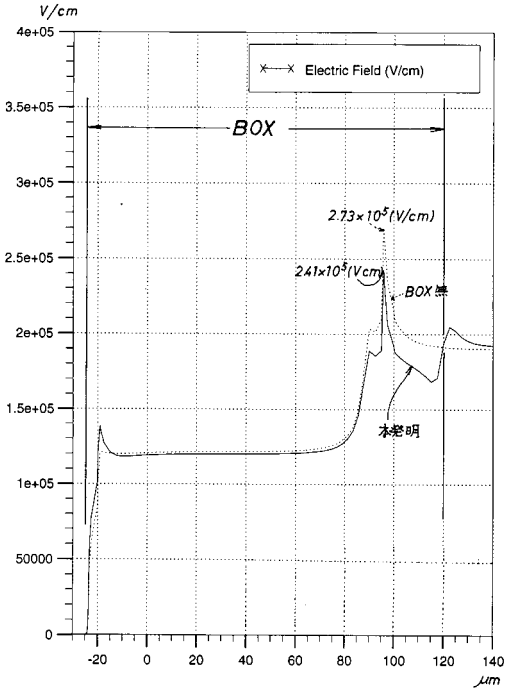
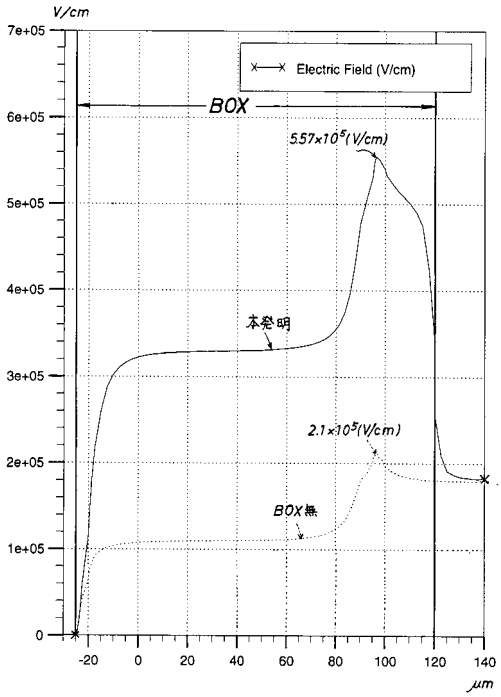
【図７９】



【図８０】



【図８１】



【図８２】