



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0098962
 (43) 공개일자 2009년09월18일

- | | |
|---|--|
| (51) Int. Cl.
C25D 5/10 (2006.01) H01L 31/042 (2006.01)
(21) 출원번호 10-2009-7010132
(22) 출원일자 2007년10월19일
심사청구일자 없음
(85) 번역문제출일자 2009년05월18일
(86) 국제출원번호 PCT/US2007/081912
(87) 국제공개번호 WO 2008/049103
국제공개일자 2008년04월24일
(30) 우선권주장
60/862,164 2006년10월19일 미국(US) | (71) 출원인
솔로파워, 인코포레이티드
미국 캘리포니아 95138 산 호세 옵티칼 코트 5981
(72) 발명자
바졸, 블런트 엠.
미국 캘리포니아 90266 맨하탄 비치 메이플 애비뉴 3001
(74) 대리인
특허법인화우 |
|---|--|

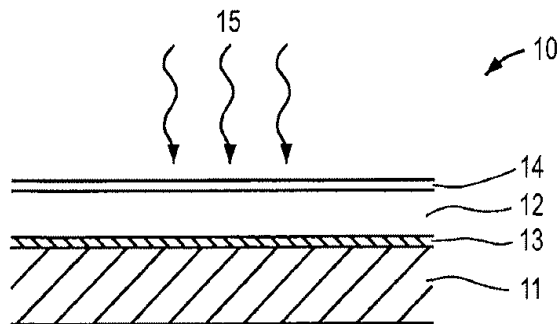
전체 청구항 수 : 총 24 항

(54) 광전지 필름 제조를 위한 톨투를 전기도금

(57) 요약

유연한 포일이 시스템의 유닛들을 통해, 또한 공급 스펀로부터 풀고 권취 스펀 주위에 감음으로써 전진함에 따라 유연한 포일 상에 태양전지에 대한 흡수 구조체를 형성하는 톨투를 시스템이 개시된다. 유연한 포일의 표면은 우선 활성 표면을 형성하기 위해 컨디셔닝 유닛 내에서 컨디셔닝된다. 각각의 층들에 대해 별도의 전기도금 유닛들을 이용함으로써, 활성 표면 상에 구리, 갈륨 및 인듐 층들을 포함한 전구체 스택이 전기도금된다. 전구체 층은 시스템의 어닐링 유닛 내에서 Se 및 S 중 적어도 1 이상과 반응된다.

대표도 - 도1



특허청구의 범위

청구항 1

연속적인 유연한 워크피스(continuous flexible workpiece)가 시스템의 유닛들을 통해 전진함에 따라 상기 연속적인 유연한 워크피스의 전면 상에 태양전지(solar cell)들에 대한 흡수 구조체(absorber structure)를 형성하는 시스템에 있어서:

활성 표면 부분들을 형성하기 위해 상기 연속적인 유연한 워크피스의 전면을 컨디셔닝하는 컨디셔닝 유닛(conditioning unit)- 상기 활성 표면 부분들은 실질적으로 전기도금을 위해 상기 연속적인 유연한 워크피스를 따라 일반적으로 활동하는 표면을 나타냄 -;

상기 연속적인 유연한 워크피스가 제 1 전기도금 유닛을 통해 전진함에 따라, 상기 연속적인 유연한 워크피스의 활성 표면 부분들 중 하나에 걸쳐 IB 족 및 IIIA 족 중 하나에 속하는 금속을 전기도금함으로써 전구체 스택(precursor stack)의 제 1 층을 형성하는 상기 제 1 전기도금 유닛;

상기 제 1 전기도금 유닛 내에서 증착된 상기 제 1 층을 세정하는 제 1 세정 유닛;

상기 연속적인 유연한 워크피스가 상기 제 1 전기도금 유닛 및 제 2 전기도금 유닛들을 통해 전진하고, 반면 상기 제 1 전기도금 유닛 내에서 상기 연속적인 유연한 워크피스의 표면의 상기 활성 표면 부분들 중 뒤이은 하나(a following one) 상에 상기 제 1 층이 계속해서 전기도금되는 동안, 상기 제 1 층에 걸쳐 상기 IB 족 및 IIIA 족 중 다른 하나에 속하는 또 다른 금속을 전기도금함으로써 상기 전구체 스택의 제 2 층을 형성하는 제 2 전기도금 유닛- 상기 제 1 층은 상기 제 2 층과 상이함 -;

상기 제 2 전기도금 유닛 내에서 증착된 상기 제 2 층을 세정하는 제 2 세정 유닛; 및

상기 시스템의 유닛들을 통해 상기 연속적인 유연한 워크피스를 유지하고 선형으로 이동시키는 이동 조립체(moving assembly)- 상기 이동 조립체는 상기 연속적인 유연한 워크피스의 처리되지 않은 부분들을 풀고 상기 시스템 내로 공급하는 공급 스펴(feed spool), 및 처리된 부분들을 수용하고 그것들을 감는 권취 스펴(take-up spool)을 포함함 -를 포함하는 흡수 구조체 형성 시스템.

청구항 2

제 1 항에 있어서,

상기 연속적인 유연한 워크피스가 상기 제 1 및 제 2 전기도금 유닛들 및 제 3 전기도금 유닛을 통해 전진함에 따라, 또한 상기 연속적인 유연한 워크피스의 표면의 다음 활성 부분 상에 전기도금되는 상기 제 1 층 상에 상기 제 2 전기도금 유닛 내에서 상기 제 2 층이 계속해서 전기도금되는 동안, 또한 상기 제 1 전기도금 유닛 내에서 상기 연속적인 유연한 워크피스의 표면의 상기 활성 표면 부분들 중 또 다른 다음 하나 상에 상기 제 1 층이 계속해서 전기도금되는 동안, 상기 전구체 스택을 완성하기 위해 상기 제 2 층에 걸쳐 상기 IB 족 및 IIIA 족 중 하나에 속하는 또 다른 금속을 전기도금함으로써 제 3 층을 형성하는 제 3 전기도금 유닛을 더 포함하고, 상기 제 3 층은 상기 제 1 및 제 2 층들과 상이한 흡수 구조체 형성 시스템.

청구항 3

제 2 항에 있어서,

상기 제 3 전기도금 유닛 내에서 증착된 상기 제 3 층을 세정하고 건조시키는 세정-건조 유닛 및 상기 제 3 층을 세정하는 제 3 세정 유닛 중 하나를 더 포함하는 흡수 구조체 형성 시스템.

청구항 4

제 3 항에 있어서,

상기 제 1, 제 2 및 제 3 층들을 반응시키는 어닐링 유닛(annealing unit)을 더 포함하는 흡수 구조체 형성 시스템.

청구항 5

제 3 항에 있어서,

상기 제 3 층에 걸쳐 VIA 족 재료의 제 4 층을 증착하는 제 4 전착 유닛(electrodeposition unit)을 더 포함하는 흡수 구조체 형성 시스템.

청구항 6

제 5 항에 있어서,

상기 VIA 족 재료는 Se, S 및 Te 중 하나를 포함하는 흡수 구조체 형성 시스템.

청구항 7

제 5 항에 있어서,

상기 제 4 층을 세정하고 건조시키는 세정-건조 유닛 및 상기 제 1, 제 2, 제 3 및 제 4 층들을 반응시키는 어닐링 유닛을 더 포함하는 흡수 구조체 형성 시스템.

청구항 8

제 1 항에 있어서,

상기 컨디셔닝 유닛은:

상기 활성 부분들을 형성하기 위해 상기 연속적인 유연한 워크피스의 전면에 대해 양극 또는 음극으로 극성화(polarize)할 수 있는 전기처리(electrotreating) 용액 및 전극을 갖는 전기처리 챔버;

상기 연속적인 유연한 워크피스의 전면에 걸쳐 시드 층(seed layer)을 증착하는 증착 챔버;

상기 활성 부분들을 형성하기 위해 상기 연속적인 유연한 워크피스의 전면을 처리하는 피클링 챔버(pickling chamber); 및

상기 활성 부분들을 형성하기 위해 상기 연속적인 유연한 워크피스의 전면을 에칭하는 에칭 챔버 중 적어도 하나 이상을 포함하는 흡수 구조체 형성 시스템.

청구항 9

제 1 항에 있어서,

상기 IB 족 재료는 Cu를 포함하고, 상기 제 1 IIIA 족 재료는 Ga 및 In 중 하나를 포함하는 흡수 구조체 형성 시스템.

청구항 10

제 1 항에 있어서,

상기 연속적인 유연한 워크피스가 상기 권취 스펀 주위에 감김에 따라 상기 처리된 부분들 상에 배치하도록 연속적인 패킹 시트(packaging sheet)를 제공하는 패킹 공급 스펀을 더 포함하는 흡수 구조체 형성 시스템.

청구항 11

제 9 항에 있어서,

상기 증착된 제 1, 제 2 및 제 3 층들의 두께를 모니터링하고 제어하는 증착 모니터링 유닛을 더 포함하는 흡수 구조체 형성 시스템.

청구항 12

제 11 항에 있어서,

상기 증착 모니터링 유닛은, 상기 증착된 제 1, 제 2 및 제 3 층들의 두께들이 상기 제 1, 제 2 및 제 3 층들 각각에 대해 사전설정된 두께로 수렴(converge)하게 하도록 상기 제 1, 제 2 및 제 3 전기도금 유닛들 각각에 피드백 신호(feedback signal)들을 제공하는 흡수 구조체 형성 시스템.

청구항 13

제 12 항에 있어서,

상기 수렴은 Cu/In+Ga 및 Ga/In+Ga의 타겟 비율들을 유지하기 위한 흡수 구조체 형성 시스템.

청구항 14

이동 조립체를 포함한 시스템을 이용하여 연속적인 유연한 워크피스의 전면- 상기 전면은 전도층을 포함함 -에 전구체 스택을 형성하는 공정에 있어서:

상기 시스템의 투입 단부로부터 상기 연속적인 유연한 워크피스의 앞서 풀린 부분들을 공급함으로써, 상기 연속적인 유연한 워크피스를 컨디셔닝 유닛, 활성화 표면 세정 유닛, 제 1 전기도금 유닛, 제 1 세정 유닛, 제 2 전기도금 유닛, 제 2 세정 유닛, 제 3 전기도금 유닛 및 세정-건조 유닛으로 이동시키고 후속하여 통과시키는 단계;

활성화 표면 부분을 형성하기 위해 상기 컨디셔닝 유닛 내에서 상기 전도층의 표면을 컨디셔닝하는 단계- 상기 활성화 표면 부분은 전기도금을 위해 실질적으로 상기 연속적인 유연한 워크피스의 전체를 따라 일관적으로 균일한 표면을 나타냄 -;

상기 활성화 표면 세정 유닛 내에서 상기 활성화 표면 부분을 세정하는 단계;

상기 활성화 표면 부분을 세정한 이후에, 상기 활성화 표면 부분에 걸쳐 전구체 스택을 형성하는 단계- 상기 형성 단계는:

상기 제 1 전기도금 유닛 내에서 IB 족 재료 및 IIIA 족 재료 중 하나를 전착함으로써 상기 활성화 표면 부분에 걸쳐 제 1 재료 층을 형성하는 단계;

상기 제 1 세정 유닛 내에서 상기 제 1 재료 층을 세정하는 단계;

상기 제 2 전기도금 유닛 내에서 상기 IB 족 재료 및 IIIA 족 재료 중 다른 하나를 전착함으로써 상기 제 1 재료 층에 걸쳐 제 2 재료 층을 형성하는 단계- 상기 제 2 재료 층은 상기 제 1 재료 층과 상이함 -;

상기 제 2 세정 유닛 내에서 상기 제 2 재료 층을 세정하는 단계;

상기 제 3 전기도금 유닛 내에서 상기 IB 족 재료 및 IIIA 족 재료 중 또 다른 하나를 증착함으로써 상기 제 2 재료 층에 걸쳐 제 3 재료 층을 형성하는 단계- 상기 제 3 재료 층은 상기 제 1 및 제 2 재료 층들과 상이함 -; 및

상기 세정-건조 유닛 내에서 상기 전구체 스택을 세정하고 건조시키는 단계를 포함함 -; 및

상기 시스템의 배출 단부에서 상기 연속적인 유연한 워크피스의 처리된 부분을 취하여 감는 단계를 포함하는 전구체 스택 형성 공정.

청구항 15

제 14 항에 있어서,

세정 및 건조 전에, 제 3 세정 유닛 내에서 상기 전구체 스택을 세정하는 단계; 및

제 4 증착 유닛으로부터 적어도 1 이상의 VIA 족 재료를 증착함으로써 상기 전구체 스택에 걸쳐 제 4 재료 층을 형성하는 단계를 더 포함하고,

상기 연속적인 유연한 워크피스를 이동시키고 후속하여 통과시키는 단계는 상기 제 3 세정 유닛 및 상기 제 4 증착 유닛을 포함하는 전구체 스택 형성 공정.

청구항 16

제 15 항에 있어서,

어닐링 유닛에서 상기 전구체 스택 및 상기 제 4 재료 층을 반응시키는 단계를 더 포함하고, 상기 연속적인 유연한 워크피스를 이동시키고 후속하여 통과시키는 단계는 상기 어닐링 유닛을 포함하는 전구체 스택 형성 공정.

청구항 17

제 16 항에 있어서,

상기 적어도 1 이상의 VIA 족 재료는 Se, S 및 Te 중 하나를 포함하는 전구체 스택 형성 공정.

청구항 18

제 15 항에 있어서,

상기 적어도 1 이상의 VIA 족 재료는 Se, S 및 Te 중 하나를 포함하는 전구체 스택 형성 공정.

청구항 19

제 15 항에 있어서,

상기 적어도 1 이상의 VIA 족 재료는, 상기 전구체 스택을 상기 적어도 1 이상의 VIA 족 재료의 나노-입자들을 포함한 잉크 용액으로 디핑(dipping)하는 단계 및 상기 전구체 스택 상에 상기 적어도 1 이상의 VIA 족 재료를 전착함으로써 증착시키는 단계 중 하나에 의해 증착되는 전구체 스택 형성 공정.

청구항 20

제 14 항에 있어서,

세정 및 건조 이후에 상기 어닐링 유닛에서 적어도 1 이상의 VIA 족 재료와 상기 전구체 스택을 반응시키는 단계를 더 포함하고, 상기 연속적인 유연한 워크피스를 이동시키고 후속하여 통과시키는 단계는 상기 어닐링 유닛을 포함하는 전구체 스택 형성 공정.

청구항 21

제 14 항에 있어서,

상기 활성 부분을 형성하기 위해, 컨디셔닝하는 단계는 음극 및 양극 극성화 중 하나를 적용함으로써 전극에 대하여 처리 용액에서 전도층을 전기처리하는 단계, 상기 연속적인 유연한 워크피스의 전면 상에 시드 층을 증착하는 단계 및 상기 연속적인 유연한 워크피스의 전면을 피클링하는 단계 중 하나를 포함하는 전구체 스택 형성 공정.

청구항 22

제 14 항에 있어서,

상기 컨디셔닝하는 단계는 접촉층 상에 시드 층을 증착하는 단계를 포함하는 전구체 스택 형성 공정.

청구항 23

제 14 항에 있어서,

상기 IB 족 재료는 Cu를 포함하고, 상기 IIIA 족 재료는 Ga 및 In 중 하나를 포함하는 전구체 스택 형성 공정.

청구항 24

제 14 항에 있어서,

상기 제 2 재료 층을 형성한 이후에 제 5 재료 층을 형성하는 단계- 상기 제 5 재료 층 및 제 1 재료 층은 동일함 -, 및 상기 제 3 재료 층을 형성한 이후에 제 6 재료 층을 형성하는 단계- 상기 제 6 재료 층 및 제 2 재료 층은 동일함 -를 더 포함하는 전구체 스택 형성 공정.

명세서

기술분야

<1> 본 출원은 2006년 10월 19일에 제출된 가출원 일련번호 60/862,164에 대한 우선권을 주장한다.

<2> 본 발명은 방사선 검출기 및 광전지 어플리케이션들을 위한 IBIII AVIA 족 화합물 반도체 필름의 박막을 준비하는 장치 및 방법에 관한 것이다.

배경 기술

- <3> 태양전지(solar cell)들은 태양광을 전력으로 직접 변환하는 광전지 디바이스들이다. 가장 일반적인 태양전지 재료는 실리콘이며, 이는 단일 또는 다결정(polycrystalline) 웨이퍼들의 형태이다. 하지만, 실리콘-기반(silicon-based) 태양전지들을 이용하여 발생하는 전기의 비용은 더 오래된 방법들에 의해 발생하는 전기의 비용보다 더 높다. 그러므로, 1970년대 초부터 현실적인 사용을 위해 태양전지의 비용을 감소시키려는 노력이 있었다. 태양전지의 비용을 감소시키는 한가지 방식은, 큰 영역의 기관들 상에 태양전지-특성 흡수재(solar-cell-quality absorber material)들을 증착시킬 수 있는 저가의 박막 성장 기술을 개발하고, 높은-스루풋(throughput)의 저가 방법들을 이용하여 이 디바이스들을 제작하는 것이다.
- <4> 주기율표의 IB 족(Cu, Ag, Au), IIIA 족(B, Al, Ga, In, Tl) 및 VIA 족(O, S, Se, Te, Po) 재료들 또는 원소들을 일부 포함한 IBIIIAVIA 족 화합물 반도체들은 박막 태양전지 구조체들에 대해 뛰어난 흡수재들이다. 특히, 일반적으로 CIGS(S), 또는 $Cu(In,Ga)(S,Se)_2$ 또는 $CuIn_{1-x}Ga_x(S_ySe_{1-y})_k$ - 이때, $0 \leq x \leq 1$, $0 \leq y \leq 1$ 이고, k는 약 2임-라고 칭하는 Cu, In, Ga, Se 및 S의 화합물들은 이미 20 %에 가까운 전환 효율성을 산출하는 태양전지 구조체들에 채택되었다. 또한, IIIA 족 원소 Al 및/또는 VIA 족 원소 Te를 포함한 흡수재들이 가능성을 보였다. 그러므로, 요약하면 i) IB 족으로부터 Cu, ii) IIIA 족으로부터 In, Ga 및 Al 중 적어도 1 이상, 및 iii) VIA 족으로부터 S, Se 및 Te 중 적어도 1 이상을 포함한 화합물들은 태양전지 어플리케이션에 대해 큰 관심을 받고 있다.
- <5> $Cu(In,Ga,Al)(S,Se,Te)_2$ 박막 태양전지와 같은 종래의 IBIIIAVIA 족 화합물 광전지의 구조체가 도 1에 도시되어 있다. 디바이스(10)는 유리판, 금속판, 절연 포일(insulating foil) 또는 웹(web), 또는 전도성 포일(conductive foil) 또는 웹과 같은 기관(11) 상에 제작된다. $Cu(In,Ga,Al)(S,Se,Te)_2$ 계의 재료를 포함하는 흡수막(absorber film: 12)이, 기관(11) 상에 미리 증착되어 디바이스에 대한 전기적 접촉부로서 작용하는 전도층(13) 위에 성장된다. Mo, Ta, W, Ti 및 스테인리스 강 등을 포함한 다양한 전도층들이 도 1의 태양전지 구조체에 사용되었다. 기관 자체가 적절히 선택된 전도성 재료인 경우에는, 기관(11)이 디바이스에 대한 저항 접촉부(ohmic contact)로서 사용될 수 있기 때문에 전도층(13)을 사용하는 것이 불가능하다. 흡수막(12)이 성장된 이후에, CdS, ZnO 또는 CdS/ZnO 스택(stack)과 같은 투명층(transparent layer)이 흡수막 상에 형성된다. 투명층(14)을 통해 방사선(15)이 디바이스에 들어온다. 디바이스의 유효 직렬 저항(effective series resistance)을 감소시키도록 투명층(14) 위에 금속 그리드(metallic grid: 도시되지 않음)들이 증착될 수도 있다. 기관이 투명한 경우, 도 1의 구조체는 뒤집힐 수도 있다는 것을 유의하여야 한다. 그 경우, 광은 태양전지의 기관 측으로부터 디바이스에 입사한다.
- <6> IBIIIAVIA 족 화합물 흡수재를 채택한 박막 태양전지에서, 셀 효율성(cell efficiency)은 IB/IIIA의 몰 비율(molar ratio)의 강한 함수이다. 1 이상의 IIIA 족 재료들이 조성 내에 있는 경우, 이 IIIA 원소들의 상대량 또는 몰 비율들이 특성에 영향을 준다. 예를 들어, $Cu(In,Ga)(S,Se)_2$ 흡수재층에 대해 디바이스의 효율성은 $Cu/(In+Ga)$ 의 몰 비율의 함수이다. 또한, 개방 회로 전압(open circuit voltage), 단락 회로 전류(short circuit current) 및 필 팩터(fill factor)와 같은 태양전지의 중요한 파라미터 중 일부는 IIIA 원소들의 몰 비율, 즉 $Ga/(Ga+In)$ 몰 비율에 따라 변한다. 일반적으로, 양호한 디바이스 성능에 대해 $Cu/(In+Ga)$ 몰 비율은 약 1.0 또는 1.0 이하로 유지된다. 반면에, $Ga/(Ga+In)$ 몰 비율이 증가함에 따라, 흡수재층의 광학 밴드갭(bandgap)이 증가하므로, 태양전지의 개방 회로 전압은 증가하는 한편, 단락 회로 전류는 전형적으로 감소할 수 있다. 박막 증착 공정이 IB/IIIA의 몰 비율 및 조성 내의 IIIA 족 성분들의 몰 비율들 모두를 제어할 능력을 갖는 것이 중요하다. 화학식은 흔히 $Cu(In,Ga)(S,Se)_2$ 로 기록되지만, 화합물에 대한 더 정확한 공식은 $Cu(In,Ga)(S,Se)_k$ 이고, 이때 k는 전형적으로 2에 가깝지만 정확히 2는 아닐 수 있다는 것을 유의하여야 한다. 간단하게, 계속 k의 값을 2로 사용할 것이다. 또한, 화학식에서 표기법 " $Cu(X,Y)$ "는 ($X = 0$ % 및 $Y = 100$ %) 부터 ($X = 100$ % 및 $Y = 0$ %)까지 X 및 Y의 모든 화학 조성들을 의미한다는 것을 유의하여야 한다. 예를 들어, $Cu(In,Ga)$ 는 $CuIn$ 부터 $CuGa$ 까지의 모든 조성들을 의미한다. 이와 유사하게, $Cu(In,Ga)(S,Se)_2$ 는 0부터 1까지 변하는 $Ga/(Ga+In)$ 몰 비율, 및 0부터 1까지 변하는 $Se/(Se+S)$ 몰 비율을 갖는 화합물들의 계 전부를 의미한다.
- <7> $Cu(In,Ga)Se_2$ 층들을 성장시키는데 사용된 첫 번째 기술은, 각 성분의 증착 속도가 주의 깊게 모니터링되고 제어되면서, 별도의 증발 보트(evaporation boat)들로부터 가열된 기관 상으로 Cu, In, Ga 및 Se의 증발을 수반하는 동시증발(co-evaporation) 접근법이다.

- <8> 태양전지 어플리케이션을 위한 $Cu(In,Ga)(S,Se)_2$ 타입 화합물 박막들을 성장하는 또 다른 기술은, $Cu(In,Ga)(S,Se)_2$ 재료의 성분들 중 적어도 2 이상이 기판 상에 먼저 증착된 후, 고온 어닐링(high temperature annealing) 공정으로 S 및/또는 Se와 반응되는 2-단계 공정이다. 예를 들어, $CuInSe_2$ 성장에 대해 Cu 및 In의 얇은 서브-층들이 먼저 전구체 층(precursor layer)을 형성하도록 기판 상에 증착된 후, 이 스택된(stacked) 전구체 층이 높은 온도로 Se와 반응된다. 또한, 반응 대기(reaction atmosphere)가 황을 포함하는 경우, $CuIn(S,Se)_2$ 층이 성장될 수 있다. 전구체 층 내의 Ga의 추가, 즉 Cu/In/Ga 스택된 막 전구체의 사용은 $Cu(In,Ga)(S,Se)_2$ 흡수재의 성장을 허용한다. 다른 종래 기술들은 Cu-Se/In-Se, Cu-Se/Ga-Se, 또는 Cu-Se/In-Se/Ga-Se 스택 및 화합물을 형성하는 그들의 반응을 포함한다. Cu/In-Se 스택 또는 Cu/In-Se/Ga-Se 스택과 같이, 화합물 및 원소 서브-층들을 포함하는 혼합된 전구체 스택들도 사용되었으며, 여기서 In-Se 및 Ga-Se는 각각 In 및 Ga의 셀렌화물을 나타낸다.
- <9> 종래 접근법에서는 금속 전구체 스택들의 IB 족 및 IIIA 족 성분들을 포함한 서브-층들을 증착하기 위해 스퍼터링(sputtering) 및 증발 기술들이 사용되었다. 예를 들어, $CuInSe_2$ 성장의 경우, U.S. 제 4,798,660호에 설명된 바와 같이 Cu 및 In 서브-층들이 Cu 및 In 타겟들로부터 기판 상으로 순차적으로 스퍼터-증착된 후, 이에 따라 얻어진 스택된 전구체 막이 높은 온도로 Se를 포함한 가스 내에서 가열되었다. 더 최근의 U.S. 특허 제 6,048,442호는 금속 후면 전극(metallic back electrode) 상에 Cu-Ga/In 스택을 형성하기 위해 Cu-Ga 합금 서브-층 및 In 서브-층을 포함하는 스택된 전구체 막을 스퍼터-증착한 후, 화합물 흡수재층을 형성하도록 이 전구체 스택막을 Se 및 S 중 하나와 반응시키는 단계를 포함한 방법을 개시하였다. U.S. 특허 제 6,092,669호는 이러한 흡수재층을 생성하는 방법 및 스퍼터링-기반 장비를 설명하였다.
- <10> U.S. 특허 제 4,581,108호에 설명된 한가지 종래 방법은 금속 전구체 준비를 위해 전착(electrodeposition) 접근법을 이용한다. 이 방법에서는, 우선 Cu 서브-층이 기판 상에 전착된다. 그 후, 이 뒤에 In 서브-층의 전착 및 Se를 포함한 반응 대기 내에서의 증착된 Cu/In 전구체 스택의 가열이 이어진다. 이 기술은, 참고 문헌들 [Kapur 등의 "Low Cost Thin Film Chalcopyrite Solar Cells(18th IEEE Photovoltaic Specialists Conf.의 학회지, 1985, p.1429)"; "Low Cost Methods for the Production of Semiconductor Films for CIS/CdS Solar Cells(Solar Cells, vol.21, p.65, 1987)"]에서 설명된 비-균일성 및 기판에 대한 부착의 문제들을 유도하는 매우 높은 도금 전류 밀도를 필요로 한다는 것이 발견되었다.
- <11> 앞선 간략한 리뷰가 설명한 바와 같이, 박막 태양전지 및 모듈들을 제조하기 위해 고-스루풋이고 저가인 기술들을 개발할 필요성이 여전히 존재한다.

발명의 상세한 설명

- <12> 본 발명은 롤투롤 시스템의 처리 유닛들을 통해 유연한 포일(flexible foil)이 전진함에 따라 유연한 포일의 표면을 연속적으로 처리함으로써 태양전지 흡수재들을 형성하는 롤투롤 시스템(roll to roll system)을 제공한다.
- <13> 본 발명의 일 실시형태는 시스템의 유닛들을 통해 연속적인 유연한 워크피스(workpiece)가 전진함에 따라 연속적인 유연한 워크피스의 전면 상에 태양전지들에 대한 흡수 구조체를 형성하는 시스템을 제공한다. 상기 시스템은 활성 표면 부분들을 형성하기 위해 연속적인 유연한 워크피스의 전면을 컨디셔닝하는 컨디셔닝 유닛(conditioning unit)을 포함한다.
- <14> 또한, 상기 시스템은 제 1 전기도금 스테이션을 통해 연속적인 유연한 워크피스가 전진함에 따라 연속적인 유연한 워크피스의 활성 표면 부분 상에 주기율표의 IB 족 및 IIIA 족 중 하나에 속하는 금속을 전기도금함으로써 전구체 스택의 제 1 층을 형성하는 제 1 전기도금 유닛을 포함한다. 상기 시스템의 제 1 세정 유닛은 제 1 전기도금 유닛 내에서 증착된 제 1 층을 세정하기 위한 것이다.
- <15> 또한, 상기 시스템은 제 1 및 제 2 전기도금 유닛들을 통해 연속적인 유연한 포일의 표면의 다음 활성 표면 부분 상에 제 1 층이 계속해서 전기도금되는 동안, 제 1 층 상에 주기율표의 IB 족 및 IIIA 족 중 하나에 속하는 금속을 전기도금함으로써 전구체 스택의 제 2 층을 형성하는 제 2 전기도금 유닛을 포함한다. 제 1 층은 제 2 층과 상이하다. 상기 시스템의 제 2 세정 유닛은 제 2 전기도금 유닛 내에서 증착된 제 2 층을 세정하기 위한 것이다.
- <16> 또한, 상기 시스템은 제 1, 제 2 및 제 3 전기도금 스테이션들을 통해 유연한 포일이 전진함에 따라, 또한 유연한 포일의 표면의 다음 활성 부분 상에 전기도금되는 제 1 층 상에 제 2 전기도금 스테이션 내에서 제 2 층이

계속해서 전기도금되는 동안, 또한 제 1 전기도금 스테이션 내에서 유연한 포일의 표면의 또 다른 다음 활성 표면 부분 상에 제 1 층이 계속해서 전기도금되는 동안, 전구체 스택을 완성하기 위해 제 2 층 상에 주기율표의 IB 족 및 IIIA 족 중 하나에 속하는 금속을 전기도금함으로써 제 3 층을 형성하는 제 3 전기도금 유닛을 포함한다. 제 3 층은 제 1 및 제 2 층들과 상이하다. 또한, 상기 시스템은 상기 시스템의 유닛들을 통해 연속적인 유연한 워크피스를 유지하고 선형으로 이동시키는 이동 조립체(moving assembly)를 포함하고, 상기 이동 조립체는 연속적인 유연한 워크피스의 처리되지 않은 부분들을 풀고 시스템 내로 공급하는 공급 스펴(feed spool), 및 처리된 부분들을 수용하고 그것들을 감는 권취 스펴(take-up spool)을 포함한다.

실시예

- <23> 본 발명은 태양전지를 제조하는 CIGS(S) 타입 흡수재층들의 제작을 위한 저가이고 높은 스루풋을 갖는 2-단계 공정을 제공한다.
- <24> 도 2는 본 발명의 툴 및 공정의 일 실시예를 개략적으로 나타낸다. 이 실시예에서, 롤투롤 처리 기술은 유연한 기관 및 접촉층을 포함한 유연한 포일 베이스와 같은 연속적인 유연한 워크피스(22) 상에서 연속적인 방식으로 IB 족 재료(바람직하게는 Cu) 및 IIIA 족 재료(바람직하게는 In 및 Ga 중 적어도 1 이상)를 전착하는데 사용된다. 상기 툴(19)은 공급 스펴(supply spool: 20) 및 권취 스펴(return spool: 21)을 가지며, 일련의 전기도금 유닛들(23)을 통해 공급 스펴(20)로부터 권취 스펴(21)로 유연한 포일 베이스(22)가 지향된다. 처리 유닛들(23)은 적어도 1 이상의 IB 족 재료 전기도금 유닛 및 적어도 1 이상의 IIIA 족 재료 전기도금 유닛을 포함할 수 있다. 각각의 전기도금 유닛(23) 뒤에는, 세정 유닛들(24A 및 24B)이 존재하는 것이 바람직할 수 있다. 세정 유닛들은 각각의 전기도금 공정 이후에 전기도금된 표면을 행구며, 이에 따라 전기도금 유닛들(23) 내의 전기도금 전해질 또는 처리액(bath)의 교차 오염(cross contamination)을 회피한다. 예를 들어, 베이스(22)의 부분이 전기도금 유닛에서 Cu로 전기도금 또는 전기코팅된 이후에, 상기 부분은 상기 부분 상의 Cu 도금 처리액의 화학 잔여물이 행구지는 세정 유닛을 통과하고, Ga 전기도금 유닛과 같은 IIIA 족 전기도금 유닛으로 이동한다. 상기 부분은 행균 단계 이후에 건조될 수도 있다는 것을 유의하여야 한다; 하지만, 일반적으로 또 다른 전기도금 처리액으로 들어가기 때문에 이미 도금된 재료층의 표면을 젖은 상태로 유지하는 것이 바람직하다. 전기도금된 IB 족 및 IIIA 족 재료들을 포함한 유연한 포일 베이스(22)가 권취 스펴(21) 상에 말리기(roll) 전에 완전히 세정되고 건조될 것을 보장하기 위해, 툴(19)의 단부에 행균/건조 유닛(25)을 제공할 필요가 있다. 전기도금된 층들에 대한 손상을 회피하기 위해, 패킹 스펴(packing spool)로부터 권취 스펴(21) 상의 전기도금된 IB 족 및 IIIA 족 재료들을 포함한 유연한 포일 베이스(22)의 층들 사이로 패킹 시트(26)가 공급될 수 있다. 패킹 시트(26)는 종이 또는 얇은 폴리머 시트일 수 있다.
- <25> 도 5에 나타낸 흐름도(100)는 본 발명의 롤투롤 시스템의 일 실시예에 대한 예시적인 공정 흐름을 제공한다. 처음에는, 박스 101에 나타낸 바와 같이 본 발명의 시스템을 이용하여 본 발명의 전구체 스택이 구성되는 연속적인 유연한 워크피스를 형성하는 연속적인 유연한 기관 상에 접촉층이 형성될 수 있다. 그 다음, 박스 102에 나타낸 바와 같이 표면 활성 단계에서 다음 전착 공정을 위한 활성 표면을 형성하기 위해 접촉층의 표면이 컨디셔닝된다. 박스 103에 나타낸 바와 같이, 컨디셔닝된 접촉층의 표면은 접촉층의 표면으로부터 가능한 화학 잔여물 및 입자들을 제거하기 위해 전착 공정 이전에 세정 용액으로 세정, 예를 들어 행구질 수 있다.
- <26> 표면에 대한 전착 효율성이 재료가 증착되는 표면의 성질에 의존하기 때문에, 표면 활성 단계는 매우 중요하다는 것을 유의하여야 한다. 활성 표면은 전기화학적으로 활동적인 재료 표면이며, 효율적으로 전기도금될 수 있다. 상기 표면이 전기화학적으로 활동적이지 않은 경우, 전착 효율성은 일반적으로 낮으며 부착은 불량하다. 하지만, 활동적이거나 활성인 표면 상에서는 전착 효율성이 더 높고 더 일관된다. 일관된 전착 효율성은 전착된 재료에 대해 일관된 두께를 산출한다. 본 발명에서, CIGS 타입 흡수재층들은 Cu/Ga/In 또는 Cu/Ga/Cu/In 스택들과 같은 전구체 스택들을 채택하여 형성된다. 스택 내의 층들의 두께들은, 전형적으로 1 이하이고, 결과적인 흡수재들의 품질 및 이러한 흡수재 상에 제작된 태양전지들의 성능을 위해 중요한 Cu/(In+Ga) 및 Ga/(In+Cu) 몰 비율들을 제어할 수 있도록 정확하게 제어되어야 한다. Cu/(In+Ga)에 대한 전형적인 타겟 비율은 0.8 내지 0.95의 범위 내에 있을 수 있다. 롤투롤 시스템에서, Cu 층과 같은 제 1 층이 증착되는 접촉층은 롤 상의 위치에 따라 상이한 시간 주기 동안 대기에 노출될 수 있다. 예를 들어, 5000 ft 길이일 수 있는 롤에서는 롤의 시작부에서의 접촉층이 몇 분 내에 Cu로 코팅될 수 있는 반면, 롤의 단부에서의 접촉층의 일부는 연속적인 유연한 워크피스가 2 ft/분의 속도로 이동하는 경우 41 시간 이후에 코팅될 수 있다. 접촉층의 노출에 있어서 이러한 변동은 산화, 화학 증기들에 대한 노출 등으로 인해 접촉층 표면의 조건의 차이들을 유도할 수 있다. 그 후, 접촉층 상의 Cu 층의 도금 효율성은 롤의 시작부 및 롤의 단부에서의 접촉층의 부분들에 대해 상이할 수 있

다. 이러한 효율성의 차이들은 차례로 유연한 워크피스 전체에 걸쳐 Cu 층의 두께의 차이들을 야기할 수 있으며, 이에 따라 Cu/(In+Ga) 몰 비율의 변화를 야기한다. 결과로서, 공정 산출량이 감소되며, 높은 산출량에서의 높은 효율성의 태양전지의 제조가능성(manufacturability)이 달성될 수 없다. 접촉층 상의 제 1 층의 전착 이전에 활성 챔버 및 활성 공정 단계를 채택함으로써, 몰 전체에 걸쳐 접촉층 상의 제 1 층의 전착 효율성의 일관성이 보장되며, 일관된 Cu/(In+Ga) 비율에 대한 산출량이 보장된다.

<27> 본 발명의 컨디셔닝 공정은, 후속한 전기도금 공정이 수행되고 활성 표면 상에 구리 층과 같은 제 1 금속 층이 전기도금되는 경우에 90 % 이상의 전기도금 효율성을 유도한다. 예를 들어, 음극(cathodic) 컨디셔닝 공정에 의해 접촉층 상에 형성된 활성 표면은 구리 전기도금과 같은 후속한 전기도금 공정에 대해 90 % 이상의 전기도금 효율성을 제공한다. 하지만, 상기 표면이 전기화학적으로 활동적이지 않은 경우, 전기도금 효율성은 낮으며, 90 % 보다 낮고, 심지어는 20 내지 50 % 만큼 낮을 수 있다.

<28> 박스 104 내지 박스 108은 본 발명의 전구체 스택을 형성하는 공정 순서를 나타낸다. 박스 104에 나타낸 바와 같이, 제 1 전착 단계에서 접촉층의 컨디셔닝되고 세정된 표면 상에 구리와 같은 IB 족 재료가 전착될 수 있다. 이 단계 이후에, 전착된 IB 족 재료의 표면을 세정하는 세정 단계가 수행된다(박스 105). 박스 106에 나타낸 바와 같이, 제 2 전착 단계에서 세정된 IB 족 재료 층의 표면 상에 갈륨과 같은 제 1 IIIA 족 재료가 전착될 수 있다. 이 단계 이후에, 전착된 제 1 IIIA 족 재료의 표면을 세정하는 세정 단계가 수행된다(박스 107). 박스 108에 나타낸 바와 같이, 제 3 전착 단계에서 세정된 제 1 IIIA 족 재료 층의 표면 상에 인듐과 같은 제 2 IIIA 족 재료가 전착될 수 있으며, 이는 전구체 스택을 완성한다. 전구체 스택은 다음 단계(박스 109)에서 세정되고 건조될 수 있다. 전구체 스택은 흡수제를 형성하기 위해, 가스 상 전달을 이용하여 셀렌 및 황과 같은 VIA 족 재료들의 존재에 반응될 수 있다(박스 110).

<29> 대안적으로, 박스 108에서의 전구체 층은 박스 112에 나타낸 바와 같이 전구체 스택 상에 VIA 족 재료를 전착하기 위해, 박스 111에 나타낸 바와 같이 건조되지 않고 세정만 될 수 있다. 전착 공정 다음에, VIA 족 층을 갖는 전구체 스택이 세정되고(박스 113), 흡수제를 형성하도록 반응된다(박스 114). 반응 시, 선택적으로 추가 VIA 족 재료들이 흡수제를 형성하는데 도입될 수 있다.

<30> 본 발명의 몰투몰 처리 접근법은 몇몇 장점들을 제공한다. 전착은 표면 민감 공정(surface sensitive process)이다. 전착된 층들의 결점들은 대부분 그것들이 도금되는 표면으로부터 발생한다. 그러므로, 전기도금 접근법에서 기관들의 핸들링을 최소화하는 것이 바람직하다. 도금될 표면들은, 이후 이러한 표면들 상에 증착된 막에 결함을 야기할 수 있는 물리적 접촉, 입자 등으로부터 보호되어야 한다. 또한, 도금 효율성 및 전기도금된 층들의 두께 균일성은 도금되는 표면의 컨디셔닝에 의해 영향을 받는다. 예를 들어, 화학적으로 활동적인 새로운(fresh) 표면 상의 Cu, Ga 또는 In의 전착은 변화하는 시간 동안 공기, 화학 증기 또는 일반적으로 외부 환경에 노출될 수 있는 표면 상의 전착에 비해 훨씬 더 반복가능한 공정이다. 몰투몰 공정에서, 모든 증착들은 제어된 환경(도면들에는 나타내지 않은 물에 대한 외장) 내에서 수행되며, 증착들 간의 시간은 베이스 상에 재료들의 스택을 증착하는데 수 개의 로딩 및 언로딩 단계들을 필요로 하는 배치 공정(batch process)과 다르게 최소화된다. 본 발명의 몰투몰 공정에서, 베이스의 일부분 상에 Cu와 같은 재료가 도금된다. 이 도금된 재료의 표면은 도금 이후에, 또한 불행균 단계 이후에 활동적이다. 그러므로, 상기 부분이 다음 도금 처리액, 예를 들어 Ga 또는 In 도금 처리액으로 이동하는 경우, 수 초 또는 수 분 내에 이 활동적인 표면 상에 증착이 시작된다. 포일 베이스의 속도가 일정한 경우, Ga 또는 In 도금은 항상 활동 상태에 관하여 동일한 Cu 표면 상에서 작용한다. 이는 In 및 Ga 층들의 두께 및 균일성에 관하여 매우 반복가능한 결과들을 제공한다. 또한, Cu 층에 대해서도 마찬가지이다.

<31> 유연한 포일 베이스 상에 Cu 층이 우선 증착되어야 하는 경우, 유연한 포일 베이스를 사전-증착 전해질로 통과시키고, 또한 표면에 사전-증착 공정 단계를 적용하거나 컨디셔닝함으로써 유연한 포일 베이스의 표면이 우선 활성화될 수 있다. 사전-증착 공정 단계는 사전-증착 전해질 내의 전극에 대하여 베이스에 음극 전압을 적용하는 단계를 포함한 음극 컨디셔닝 단계 또는 사전-증착 전해질 내의 전극에 대하여 베이스에 양극 전압을 적용하는 단계를 포함한 양극 컨디셔닝 단계와 같은 전기처리(electrotreating) 단계 또는 에칭 단계일 수 있다. 또한, 컨디셔닝 단계는 피클링 단계(pickling step); 또는 Cu의 증착 이전에 베이스 상에 새로운 층을 증착하는 단계를 포함한 증착 단계를 포함할 수 있다. 이러한 모든 경우, Cu 전착 단계에 활동적인 표면이 제공되어, 이 단계가 Cu 층 두께 및 균일성에 관하여 반복가능한 결과들을 산출하게 될 수 있다. 앞서 설명된 바와 같이, 베이스 전체에 걸쳐 Cu/(In+Ga) 및 Ga/(In+Ga) 몰 비율들이 제어되어야 하기 때문에, 증착된 Cu, In 및/또는 Ga 층들에 대한 두께 및 균일성 제어가 매우 중요하다.

<32> 도 3은 유연한 포일 베이스(22) 상에, 우수한 두께 제어 및 균일성을 갖는 Cu, In 및 Ga를 포함한 금속 스택들을 생성할 수 있는 예시적인 롤투롤 전기도금 시스템(30)을 나타낸다. 전기도금 시스템(30)은 일련의 공정 유닛들, 공급 스펙(20), 권취 스펙(21), 및 일련의 공정 유닛들을 통해 공급 스펙(20)로부터 권취 스펙(21)로 유연한 포일 베이스(22)를 지향하는 장치(도시되지 않음)를 포함한다. 일련의 공정 유닛들은 적어도 1 이상의 Cu 전기도금 유닛(31), 적어도 1 이상의 Ga 전기도금 유닛(32) 및 적어도 1 이상의 In 전기도금 유닛(33)을 포함한다. 이 도금 유닛들의 순서는 베이스 상에 다양한 스택들을 얻도록 변화될 수 있다는 것을 유의하여야 한다. 예를 들어, 도 3에 나타난 전기도금 유닛들의 순서는 베이스 상에 Cu/Ga/In의 스택을 산출할 것이다. 이 순서를 변화시키고, 선택적으로 다른 전기도금 유닛들을 추가하는 것은 Cu/In/Ga, In/Cu/Ga, Ga/Cu/In, Cu/Ga/Cu/In, Cu/Ga/Cu/In/Cu, Cu/In/Cu/Ga, Cu/In/Cu/Ga/Cu 등과 같은 스택들을 얻을 수 있다. 이러한 스택들이 더 많이 되풀이될 수 있다는 것을 유의하여야 한다. 하지만, Cu 도금이 높은 도금 효율성으로 정확하게 제어되는 우수한 형태의 코팅들을 산출하고, Cu가 Ga 및/또는 In 막들이 전기도금될 수 있는 우수한 베이스이기 때문에, Cu 층으로 시작하는 스택들이 바람직하다. 아래에서, 본 발명은 각각의 Cu 전기도금 유닛, Ga 전기도금 유닛 및 In 전기도금 유닛 중 하나를 포함한 전기도금 시스템(30)을 갖는 도 3의 구성을 이용하여 설명될 것이다.

<33> 도 3의 전기도금 시스템(30) 내에는, Cu 전기도금 유닛(31)에서 Cu 층이 증착될 유연한 포일 베이스(22)의 표면을 컨디셔닝하는 컨디셔닝 유닛(34)이 존재하는 것이 바람직하다. 유연한 포일 베이스(22)의 전형적인 구조는 도 3a에 도시되어 있다. 유연한 포일 베이스(22)는 유연한 포일 기관(45), 및 유연한 포일 기관(45)의 제 1 표면(45A) 상에 증착된 전도층(46) 또는 접촉층을 포함한다. 유연한 포일 기관(45)은 여하한 폴리머 또는 금속 포일로 구성될 수 있지만, 20 내지 250 μm 두께의 스테인리스 강 포일, Ti 포일, Al 포일 또는 알루미늄 합금 포일과 같은 금속 포일인 것이 바람직하다. (Cu, Ti, Mo, Ni, Al과 같은) 다양한 금속 포일 기관들이 앞서 CIGS(S) 태양전지 적용들[예를 들어, B.M.Basol 등의 "Status of flexible CIS research at ISET(NASA Document ID: 19950014096, 접근 번호(accession No): 95N-20512, 에어로스페이스 정보(AeroSpace Information)에 대한 NASA Center로부터 이용가능함]" 참조]에 대해 확인되었다. 전도층(46)은 단일 층의 형태일 수 있으며, 대안적으로 여러 서브층들(도시되지 않음)의 스택을 포함할 수 있다. 전도층은, 형성시 유연한 포일 기관(45)으로부터 전착될 층들로, 또한 CIGS(S) 층으로 불순물들의 확산을 방지하는 적어도 1 이상의 확산 장벽층(diffusion barrier layer)을 포함하는 것이 바람직하다. 전도층(46)의 재료들로는 Ti, Mo, Cr, Ta, W, Ru, Ir, Os, 및 이 재료들의 질화물 및 산-질화물을 포함하며, 이에 제한되지는 않는다. 전도층(46)의 자유 표면(46A)은 전기도금된 층들의 더 나은 결정핵생성(nucleation)을 위해 Ru, Ir 및 Os 중 적어도 1 이상을 포함하는 것이 바람직하다.

<34> 이 예시에서, 전도층(46)의 자유 표면(46A) 상에 전착이 수행된다. CIGS(S) 화합물을 형성하도록 뒤이어 일어날 어닐링/반응 단계들 동안 유연한 포일 기관(45)을 보호하기 위해, 또는 유연한 포일 기관(45)의 버클링(buckling)을 회피하기 위해 선택적으로 유연한 포일 기관(45)의 후면(45B)이 제 2 층(47)(점선으로 나타냄)으로 덮일 수 있다. 제 2 층(47)의 재료는 Cu, In 및 Ga 도금 처리액의 화학적 성질 내에서 안정적인 것, 즉 이러한 처리액으로 분해되지 않고 이를 오염시키지 않으며, 또한 VIA 족 원자들과의 반응에 강한(resistant) 것이 중요하다. 제 2 층(47)에 사용될 수 있는 재료들로는 Ru, Os, Ir, Ta, W 등을 포함하며, 이에 제한되지는 않는다. Ru, Ir 및 Os 중 적어도 1 이상을 포함한 제 2 층(47)의 사용은 추가적인 장점을 갖는다. 이러한 재료들은 Se, S 및 Te와의 반응에 매우 강하다. 그러므로, 전도층(46)의 자유 표면(46A) 상에 CIGS(S) 화합물 층을 형성하는 여하한 반응 단계 이후에, 제 2 층은 유연한 포일 기관(45)을 Se, S 또는 Te와의 반응으로부터 보호하고, 쉽게 솔더링(solder)될 수 있는 표면을 남긴다. 종래 디바이스들에서는, Mo가 제 2 층(47)으로서 사용되었다. 셀렌화(selenization) 및/또는 황화(sulfidation) 공정들 동안, 또는 CIGS(S) 흡수재의 성장 동안 이 Mo 층은 Mo(S,Se) 표면 층을 형성하는 Se 및/또는 S와 반응하였다. 태양전지가 완성된 이후에, 그것들은 모듈들을 형성하도록 상호연결되어야 한다. 상호연결은 각각의 태양전지의 후면을 인접한 태양전지의 전면에 솔더링 또는 다른 방법으로 부착하는 단계를 수반한다. 태양전지의 후면 상의 Mo(S,Se) 층은 효과적으로 솔더링될 수 없으므로, 셀렌화 및/또는 황화된 Mo 표면의 물리적 제거가 요구된다. 하지만, Ru, Ir 및 Os 중 적어도 1 이상을 포함한 표면은 셀렌화 또는 황화된 표면 층을 제거하는 추가 단계 없이 쉽게 솔더링될 수 있으며, 이는 이 재료들이 감지할 수 있을 정도로 셀렌화 또는 황화되지 않기 때문이다.

<35> 도 3을 다시 참조하면, 유연한 포일 베이스(22)는 Cu 전기도금 유닛(31)에 들어가기 전에 컨디셔닝 유닛(34) 및 선택적인 세정 유닛(35)을 통과한다. 컨디셔닝 유닛(34)에서, (도 3a에서 전도층(46)의 자유 표면(46A)과 같은) 유연한 포일 베이스(22)의 표면이 Cu로의 전착을 위한 준비가 되도록 컨디셔닝된다. 이러한 컨디셔닝은,

유연한 포일 베이스(22)가 Cu 전기도금 유닛(31)으로 이동하기 전에 에칭 및/또는 활성화를 위해 자유 표면(46A)을 산성 또는 염기성 용액에 노출시키는 단계, 전극 및 자유 표면(46A)이 모두 전해질에 노출되는 동안에 전극에 대하여 자유 표면(46A)에 음극 또는 양극 전압을 적용시키는 단계, 자유 표면(46A) 상에 시드 층(seed layer)을 전착하는 단계, 또는 단순히 자유 표면(46A)을 행구고 적시는 단계를 수반할 수 있다. 컨디셔닝 유닛(34)에서 단지 행구 공정만이 수행되는 경우, 세정 유닛(35)은 필요하지 않을 것이다. 다른 경우에는, 유연한 포일 베이스(22)가 Cu 전기도금 유닛(31)으로 이동하기 전에 유연한 포일 베이스(22)의 양 표면 상에 남겨진 여하한의 잔여 화학 물질을 제거하기 위해 세정 유닛(35)이 요구된다. 본 발명에서, 컨디셔닝 유닛(34)에서 자유 표면(46A) 상에 시드 층이 전착되는 경우, 이 시드 층은 2 내지 50 nm 두께의 Cu 층일 수 있으며, 결점이 없는 균일한 층들을 산출하는 처리액으로부터 증착될 수 있다. 높은 pH를 갖는 착물화된(complexed) Cu 전해질이 이를 위해 특히 적절하다. 시드 층들의 사용 및 전기도금을 위한 다양한 화학적 성질은 함께 계류중인(continuing) "Technique and Apparatus for Depositing Layers of Semiconductors For Solar Cell and Modular Fabrication"이라는 제목의 2005 년 11 월 2 일 제출된 U.S. 출원 일련번호 11/266,013 및 "Technique for Preparing Precursor Films and Compound Layers for Thin Film Solar Cell Fabrication and Apparatus Corresponding Thereto"라는 제목의 2004 년 8 월 4 일 제출된 U.S. 출원 일련번호 11/462,685에 개시되어 있으며, 이 전문은 본 명세서에서 인용참조된다.

<36> 일단 전도층(46)의 자유 표면(46A)의 일부분이 컨디셔닝되고 세정되면, 이는 Cu 전기도금 유닛(31)으로 이동한다. Cu 전기도금 유닛(31) 내에서, 자유 표면(46A)(또는 컨디셔닝 유닛(34)에서 시드 층이 증착된 경우에는 시드 층의 표면)이 제 1 저수부(reservoir: 36AA)와 제 1 화학 캐비닛(chemical cabinet: 36A') 사이에서 순환될 수 있는 Cu 도금 처리액(36A)에 노출된다. Cu 도금 처리액(36A)은 순환 동안이나 제 1 화학 캐비닛(36A') 내에 있는 동안에 필터링되고 보충될 수 있다. Cu 증착 공정의 안정성을 보장하기 위해 제 1 화학 캐비닛(36A') 내에서 첨가제 함유량, Cu 함유량, 온도, pH 등과 같은 다양한 처리액 파라미터들의 측정 및 제어가 연속적으로 또는 주기적으로 수행될 수 있다. 전도층(46)에 대한(또는 포일 기관 자체가 전도성인 경우에는 유연한 포일 기관(45)에 대한) 전기적 연결은, 유연한 포일 베이스(22)의 후면 또는 전면의 전체 또는 일부분에 접촉하고 있을 수 있는 스루 롤러(through roller: 39)들을 포함한 다양한 수단에 의해 달성될 수 있다. 전면 접촉부들은 접촉부들에 의해 손상되거나 오염될 수 있는 전면 대부분과의 물리적 접촉을 회피하는 2 개의 에지들에 구성되는 것이 바람직하다. 제 1 양극(40A)이 Cu 도금 처리액(36A) 내에 배치되고, 유연한 포일 베이스(22)가 이동됨에 따라 Cu 도금 처리액(36A)에 노출되는 자유 표면(46A)의 부분 상에 Cu를 증착하기 위해 제 1 양극(40A)과 Cu 전기도금 유닛(31) 내의 전도층(46) 부분 사이에 전위 차가 적용된다.

<37> Cu 전기도금 유닛(31)에서 처리된 유연한 포일 베이스(22)의 부분은 Cu 세정 유닛(37A)을 통과하고, Ga 전기도금 유닛(32)으로 들어간다. Ga 전기도금 유닛 내에서, 이미 증착된 Cu 층의 표면이 제 2 저수부(36BB)와 제 2 화학 캐비닛(36B') 사이에서 순환될 수 있는 Ga 도금 처리액(36B)에 노출된다. Ga 도금 처리액(36B)은 순환 동안이나 제 2 화학 캐비닛(36B') 내에 있는 동안에 필터링되고 보충될 수 있다. Ga 증착 공정의 안정성을 보장하기 위해 제 2 화학 캐비닛(36B') 내에서 첨가제 함유량, Ga 함유량, 온도, pH 등과 같은 다양한 처리액 파라미터들의 측정 및 제어가 연속적으로 또는 주기적으로 수행될 수 있다. 전도층(46)에 대한(또는 유연한 포일 기관 자체가 전도성인 경우에는 유연한 포일 기관(45)에 대한) 전기적 연결은, 유연한 포일 베이스(22)의 후면 또는 전면의 전체 또는 일부분에 접촉하고 있을 수 있는 스루 롤러(39)들을 포함한 다양한 수단에 의해 달성될 수 있다. 전면 접촉부들은 접촉부들에 의해 손상되거나 오염될 수 있는 전면 대부분과의 물리적 접촉을 회피하는 2 개의 에지들에 구성되는 것이 바람직하다. 제 2 양극(40B)이 Ga 도금 처리액(36B) 내에 배치되고, 유연한 포일 베이스(22)가 이동됨에 따라 Ga 도금 처리액(36B)에 노출되는 Cu 표면의 부분 상에 Ga를 증착하기 위해 제 2 양극(40B)과 Ga 전기도금 유닛(32) 내의 전도층(46) 부분 사이에 전위 차가 적용된다.

<38> Ga 전기도금 유닛(32)에서 처리된 유연한 포일 베이스의 부분은 Ga 세정 유닛(37B)을 통과하고, In 전기도금 유닛(33)으로 들어간다. In 전기도금 유닛 내에서, 이미 증착된 Ga 층의 표면이 제 3 저수부(36CC)와 제 3 화학 캐비닛(36C') 사이에서 순환될 수 있는 In 도금 처리액(36C)에 노출된다. In 도금 처리액(36C)은 순환 동안이나 제 3 화학 캐비닛(36C') 내에 있는 동안에 필터링되고 보충될 수 있다. In 증착 공정의 안정성을 보장하기 위해 제 3 화학 캐비닛(36C') 내에서 첨가제 함유량, In 함유량, 온도, pH 등과 같은 다양한 처리액 파라미터들의 측정 및 제어가 연속적으로 또는 주기적으로 수행될 수 있다. 전도층(46)에 대한(또는 유연한 포일 기관 자체가 전도성인 경우에는 유연한 포일 기관(45)에 대한) 전기적 연결은, 유연한 포일 베이스(22)의 후면 또는 전면의 전체 또는 일부분에 접촉하고 있을 수 있는 스루 롤러(39)들을 포함한 다양한 수단에 의해 달성될 수 있다. 전면 접촉부들은 접촉부들에 의해 손상되거나 오염될 수 있는 전면 대부분과의 물리적 접촉을 회피하는 2 개의 에지들에 구성되는 것이 바람직하다. 제 3 양극(40C)이 In 도금 처리액(36C) 내에 배치되고, 유연한 포

일 베이스(22)가 이동됨에 따라 In 도금 처리액(36C)에 노출되는 Ga 표면의 부분 상에 In을 증착하기 위해 제 3 양극(40C)과 In 전기도금 유닛(33) 내의 전도층(46) 부분 사이에 전위 차가 적용된다. In 전착 이후에, 모두 전기도금된 Cu/Ga/In 스택을 포함한 유연한 포일 베이스의 부분이 세정/건조 유닛(38)을 통과하고 권취 스펴(21)로 이동된다.

- <39> 추가 공정 유닛들이 도 3의 전기도금 시스템(30)에 추가될 수 있다는 것을 유의하여야 한다. 예를 들어, Cu/Ga/Cu/In 스택을 제작하기 위해 Ga 세정 유닛(37B)과 In 전기도금 유닛(33) 사이에 또 다른 Cu 전기도금 유닛 및 또 다른 세정 유닛이 삽입될 수 있다. 전기도금 유닛들 내에 채택된 양극들은 불활성 양극(inert anode)들일 수 있으며, 또는 Cu 전착, In 전착 및 Ga 전착 각각에 대해 Cu, In 및 Ga의 분해가능한 양극들일 수 있다. 스택 내의 Cu, In 및 Ga 층들의 두께들은 10 nm 내지 500 nm의 범위일 수 있다. 세정 또는 세정/건조 유닛들의 세부내용은 도 3에서 나타내지 않는다. 하지만, 세정될 부분 상에 세정 용액을 뿌리거나 상기 부분을 세정 용액 내에 침지시키는 것과 같은 입증된 세정 수단들이 이 유닛들 내에서 사용될 수 있다. 건조될 부분 상에 고속 공기 또는 불활성 가스를 지향시키는 공기 나이프들이 건조 수단들로서 사용될 수 있다. 건조 가스는 효과적이고 신속한 건조를 위해 미리 필터링되어 데워질 수 있다.
- <40> 지금까지 IB 족 및 IIIA 족 재료들을 포함한 스택들의 롤투를 전착을 위한 시스템 및 공정의 일 예시가 설명되었다. 다음에 설명되는 바와 같이 기능을 확장하기 위해 도 3의 전기도금 시스템에 다른 처리 유닛들이 추가될 수 있다.
- <41> 도 4는 IB-III A 족 전기도금 유닛(51) 및 VIA 족 재료 전기도금 유닛(62)을 포함한 롤투를 처리 시스템(50)을 도시한다. IB-III A 족 전기도금 유닛(51)은 금속 전구체 막을 형성하는 유연한 포일 베이스(22) 상에 IB 족 재료 및 IIIA 족 재료를 전착하고, 예를 들어 도 3의 전기도금 시스템(30)의 구성요소 전부 또는 대부분을 포함할 수 있다. 일 예시로서, IB-III A 족 전기도금 유닛(51)은 Cu, Ga 및 In 층들을 증착시킬 수 있으며, 도 3의 컨디셔닝 유닛(34), 세정 유닛(35), Cu 전기도금 유닛(31), Cu 세정 유닛(37A), Ga 전기도금 유닛(32), Ga 세정 유닛(37B) 및 In 전기도금 유닛(33)을 포함할 수 있다. 도 3의 세정/건조 유닛(38) 대신에, Cu, Ga 및 In으로 코팅되거나 전기화학적으로 코팅된 유연한 포일 베이스(22)가 세정되어 젖은 표면인 상태로 VIA 족 재료 전기도금 유닛(62)으로 이동하도록 (건조되지 않는) 또 다른 세정 유닛이 채택될 수 있다. VIA 족 재료 전기도금 유닛(62)에서, 금속 전구체 막 상에 Se, S 및 Te 중 적어도 1 이상, 바람직하게는 Se의 층이 증착된다. 그 후, "금속 전구체/VIA 족 재료" 스택을 갖는 유연한 포일 베이스는 최종 세정/건조 모듈(63)을 통과하고, 권취 스펴(21) 상에 감길 수 있다. Cu, In 및 Ga를 포함한 금속 전구체 막 상에 VIA 족 재료가 존재하는 것은 장점들을 갖는다. 이러한 한가지 장점은 VIA 족 재료에 의해 금속 전구체 막의 표면이 보호된다는 것이다. In 및 Ga는 연한(soft) 저용해 재료들이며, 그것들은 롤링 및 핸들링 동안 스크래치에 상처입기 쉽다. 금속 전구체 막 상에 Se와 같은 VIA 족 재료를 증착시킴으로써, 이 취약성이 감소되거나 제거되어 유연한 웹이 권취 스펴(21) 상에 안전하게 감길 수 있다. 전기도금된 VIA 족 재료의 두께는 10 내지 2000 nm의 범위 내에 있을 수 있다.
- <42> 도 4의 롤투를 처리 시스템은 도 4에 나타난 바와 같이 선택적인 어닐링 유닛(64)을 수용할 수 있다. 사용시, 어닐링 유닛(64)은 전착된 금속 전구체 막과 전착된 VIA 족 재료 사이에 반응을 야기하고, 유연한 포일 베이스(22) 상에 반응된 전구체 층을 형성할 것이다. VIA 족 재료가 Se인 경우, 반응된 전구체 층은 어닐링 유닛(64)에 적용된 온도 및 어닐링 유닛(64)에서 소비된 시간에 따라 Cu, In, Ga, Cu-Ga, Cu-In, In-Ga, Cu-Se, In-Se, Ga-Se, Cu-In-Se, Cu-Ga-Se, In-Ga-Se 및 Cu-In-Ga-Se와 같은 상들을 포함할 수 있다. 어닐링 유닛에 의해 적용된 온도는 100 내지 550 °C, 바람직하게는 200 내지 450 °C의 범위 내에 있을 수 있다. 어닐링 유닛(64)을 나간 이후에, 반응된 전구체 층을 포함한 유연한 웹이 권취 스펴(21) 상에 안전하게 감길 수 있다. 또한, 도 2를 참조하여 설명된 바와 같이 유연한 웹을 따라 패키징 시트가 감길 수도 있다. VIA 족 재료 전기도금 유닛(62)은 도 3을 참조하여 설명된 전기도금 유닛들과 유사할 수 있다는 것을 유의하여야 한다. 어닐링 유닛(64)은 함께 계류중인 "Method and Apparatus For Converting Precursor Layers Into Photovoltaic Absorbers"라는 제목의 2006년 10월 13일 제출된 U.S. 특허 출원 일련번호 11/549,590에서 설명된 설계와 유사할 수 있으며, 그 전문은 본 명세서에서 인용참조된다.
- <43> 앞선 예시들은 도 3a에 도시된 것과 같은 유연한 포일 베이스(22)를 채택하였다. 도 3a의 유연한 포일 베이스(22)에서, 전도층(46) 및 선택적인 제 2 층(47)은 별도의 시스템에서 증발, 스퍼터링 등과 같은 다양한 증착 기술들에 의해 유연한 포일 기판(45) 상에 증착될 수 있다. 하지만, 도 3 및 도 4의 시스템들에 또 다른 전기도금 또는 무전해 도금 모듈을 통합하여, 유연한 포일 기판(45)이 도 4의 IB-III A 족 전기도금 유닛과 같은 다른 공정 유닛들로 이동하기 전에 전도층 또는 접촉층과 제 2 층 중 적어도 1 이상으로 전기도금되게 할 수 있다. 이 방식에서, (스크래치, 핀홀 및 다른 결점들과 같은) 접촉층들 안이나 위의 결점들로 인한 전기도금된 Cu, In

및 Ga 층들 내의 결점들은 접촉층들이 새롭게 증착된 후 Cu, Ga 및 In으로 코팅되게 하기 때문에 회피될 수 있다. 이 접근법을 위한 접촉층은 전기도금되거나 무전해 도금될 수 있는 재료들을 포함하여야 하며, 동시에 CIGS(S) 재료에 대해 우수한 저항 접촉부이고, S 및/또는 Se와 광범위하게 반응하지 않아야 한다. 이러한 층들은 출원인의 함께 계류중인 "Technique and Apparatus for Depositing Layers of Semiconductors For Solar Cell and Modular Fabrication"이라는 제목의 2005년 11월 2일 제출된 U.S. 출원 일련번호 11/266,013 및 "Technique for Preparing Precursor Films and Compound Layers for Thin Film Solar Cell Fabrication and Apparatus Corresponding Thereto"라는 제목의 2004년 8월 4일 제출된 U.S. 출원 일련번호 11/462,685에 개시되어 있으며, 그것들은 Ru, Ir 및 Os와 같은 재료들을 포함한다. 유연한 포일 기관의 후면을 접촉 전기도금 용액 및 증착 전류에 노출시킴으로써, 전면이 접촉층에 의해 도금됨에 따라 기관의 후면 상의 제 2 층을 전기도금할 수 있다는 것을 유의하여야 한다.

<44> 2-단계 기술에서- 이는 Cu, In 및 Ga를 포함한 금속 전구체 막의 증착 및 그 후 Se 및 S 중 1 이상과 금속 전구체 막의 반응을 수반함 -, Cu, In 및 Ga 층들의 개별적인 두께들은 반응 단계 이후에 화합물 층의 최종 화학량(stoichiometry) 또는 조성을 결정하기 때문에 훌륭하게 제어되어야 한다. 본 발명의 톨투를 증착 접근법은 스마트(smart)한 공정 제어에 매우 적합하여, 이 두께들이 XRF(X-ray fluorescence)와 같은 인시츄(in-situ) 측정 디바이스들을 이용하여 모니터링되고 제어될 수 있게 한다. 도 2, 도 3 및 도 4의 시스템들 내의 다양한 위치들에 XRF 프로브(probe)들이 배치될 수 있으며, 이 프로브들은 Cu, In, Ga 및 선택적으로는 Se 층들의 증착된 두께들을 모니터링할 수 있다. Cu, In, Ga 층들 중 어느 하나의 증착된 두께와 타겟 사이에 여하한 불일치(discrepancy)가 존재하는 경우, 타겟된 윈도우 내에서 막 두께를 유지하기 위해 도금 전류 밀도를 증가시키거나 감소시키도록 그 두께를 제어하는 전력 공급기가 XRF 튜에 의한 신호를 수신할 수 있다. 이러한 접근법들은 출원인의 함께 계류중인 "Composition Control for Photovoltaic Thin Film Manufacturing"이라는 제목의 2006년 4월 4일 제출된 U.S. 가출원 일련번호 60/744,252에서 더 상세히 설명된다.

<45> 일단 본 발명의 금속 전구체 막들 또는 "금속 전구체/VIA 족 재료" 스택들 또는 반응된 전구체 층들이 형성되면, VIA 족 재료들을 갖는 이 층들의 반응 또는 추가 반응이 다양한 수단에 의해 달성될 수 있다. 예를 들어, 이 층들은 높은 온도에서 VIA 족 증기들에 노출될 수 있다. 이 기술들은 본 발명의 분야에서 잘 알려져 있으며, 고체 Se, 고체 S, 고체 Te, H₂Se 가스, H₂S 가스 등과 같은 소스들에 의해 제공된 Se 증기, S 증기 및 Te 증기 중 적어도 1 이상의 존재 내에서 5분 내지 1시간 범위의 주기 동안 상기 층들을 350 내지 600 °C의 온도 범위로 가열하는 단계를 수반한다. 또 다른 실시예에서, VIA 족 재료의 층 또는 다층이 금속 전구체 층들 상에 증착된 후, 용광로 또는 신속한 열적 어닐링 용광로 등에서 점점 가열될 수 있다. VIA 족 재료들은 별도의 공정 유닛에서 금속 전구체 층들 상에 증기압착, 스퍼터링 또는 도금될 수 있다. 대안적으로, VIA 족 나노 입자들을 포함한 잉크들이 준비될 수 있으며, VIA 족 나노 입자들을 포함한 VIA 족 재료 층을 형성하기 위해 이 잉크들이 금속 전구체 층들 상에 증착될 수 있다. 이러한 층들을 증착하기 위해 디핑(dipping), 스프레이, 닥터-블레이딩(doctor-blading) 또는 잉크 기록 기술들이 채택될 수 있다. 온도에 따라 1분 내지 30분 범위의 시간 동안 높은 온도로 반응이 수행될 수 있다. 반응의 결과로서, IBIII AVIA 족 화합물이 형성된다. 반응 챔버들이 도 4의 장치에 추가될 수도 있으며, 또는 어닐링 유닛(64)이 완전히 형성된 CIGS(S) 층을 갖는 유연한 포일 베이스가 권취 스푼(21) 상에 감길 수 있도록 인라인(in-line)으로 전체 공정을 수행하는 반응 유닛일 수 있다는 것을 유의하여야 한다.

<46> 앞선 예시들에서는, 수평 웹 지오메트리를 갖는 시스템들이 설명되었다. 본 발명의 개념들은, 유연한 포일 베이스가 수직 위치로 이동하거나 수평면에 대해 기울어져서 이동하는 시스템들에 적용될 수 있다는 것을 유의하여야 한다. 증착들은 수평 웹 상에서 "상향 증착(deposit up)" 또는 "하향 증착(deposit down)" 방식으로 수행될 수 있다. 유연한 포일 기관은 왼쪽에서 오른쪽으로, 또는 오른쪽에서 왼쪽으로 이동할 수 있다. 이는 연속적으로, 또는 점차적인 방식으로(stepwise manner) 이동할 수 있다. 또한, 이는 "왕복(back-and-forth)" 동작으로 이동할 수도 있다. 유연한 포일 베이스가 한 방향으로 이동됨에 따라 유연한 포일 베이스 상에 몇몇 층들을 증착한 후, 상기 포일이 역 방향으로 다시 이동됨에 따라 더 많은 층(들)을 증착하는 것이 가능하다. 특히, 전착 단계들을 위해 DC, AC, 펄스화된 또는 펄스-리버스(pulse-reverse) 타입 전력 공급기들이 사용될 수 있다.

<47> 본 발명의 분야에서 잘 알려진 재료들 및 방법들을 이용하여, 본 발명의 IBIII AVIA 족 화합물 층들 상에 태양전지가 제작될 수 있다. 예를 들어, 화학적 딥(dip) 방법을 이용하여 화합물 층의 표면 상에 얇은(0.1 마이크로보다 작은) CdS 층이 증착될 수 있다. MOCVD 또는 스퍼터링 기술들을 이용하여 CdS 층에 걸쳐 ZnO의 투명한 윈도우가 증착될 수 있다. 태양전지를 완성하기 위해, 선택적으로 ZnO에 걸쳐 금속 핑거 패턴(metallic finger pattern)이 증착된다.

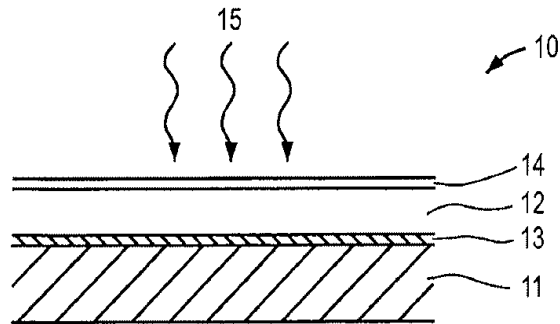
<48> 본 발명은 바람직한 특정 실시예들을 참조하여 설명되지만, 당업자라면 본 발명에 대한 변형예를 분명히 알 것이다.

도면의 간단한 설명

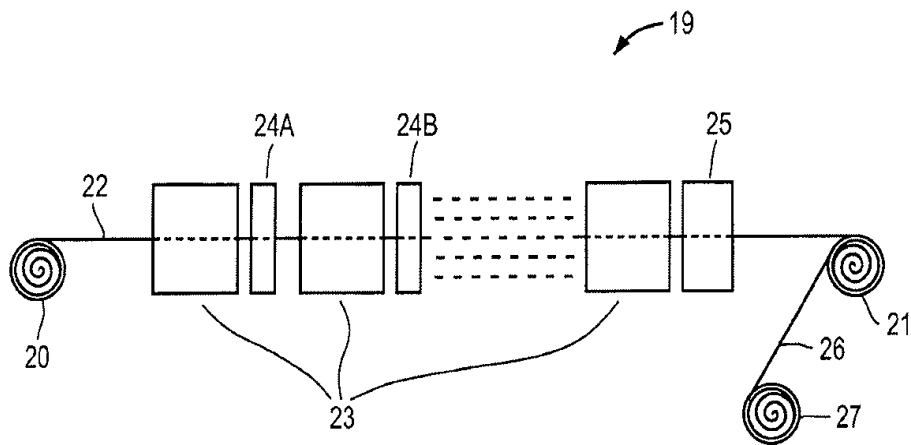
- <17> 도 1은 IBIIIAVIA 족 흡수재층을 채택한 태양전지의 단면도;
- <18> 도 2는 본 발명의 롤투롤 전착 시스템을 나타내는 도면;
- <19> 도 3은 다수 전기도금 유닛들 및 세정 유닛들을 포함한 본 발명의 또 다른 롤투롤 전착 시스템을 나타내는 도면;
- <20> 도 3a는 유연한 포일 베이스의 구조체를 나타내는 도면;
- <21> 도 4는 VIA 족 재료 전기도금 유닛을 포함한 추가 처리 유닛들을 포함하는 롤투롤 처리 시스템을 나타내는 도면; 및
- <22> 도 5는 롤투롤 시스템을 이용한 공정의 일 실시예의 흐름도이다.

도면

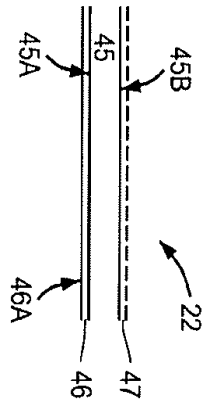
도면1



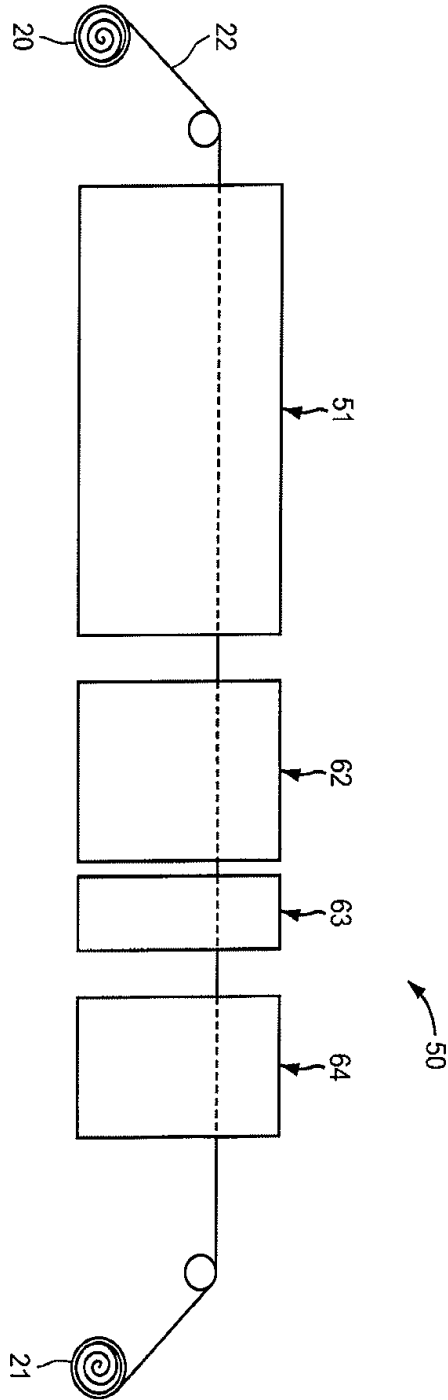
도면2



도면3a



도면4



도면5

