

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6029989号
(P6029989)

(45) 発行日 平成28年11月24日(2016.11.24)

(24) 登録日 平成28年10月28日(2016.10.28)

(51) Int.Cl.

F I

H O 1 L 21/8247 (2006.01)

H O 1 L 27/10 4 3 4

H O 1 L 27/115 (2006.01)

H O 1 L 29/78 3 7 1

H O 1 L 21/336 (2006.01)

H O 1 L 27/10 4 8 1

H O 1 L 29/788 (2006.01)

H O 1 L 29/58 G

H O 1 L 29/792 (2006.01)

請求項の数 10 (全 29 頁) 最終頁に続く

(21) 出願番号 特願2013-11820 (P2013-11820)
 (22) 出願日 平成25年1月25日(2013.1.25)
 (65) 公開番号 特開2014-143339 (P2014-143339A)
 (43) 公開日 平成26年8月7日(2014.8.7)
 審査請求日 平成27年8月21日(2015.8.21)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 佃 栄次
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内
 (72) 発明者 片山 弘造
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内
 (72) 発明者 園田 賢一郎
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の主表面に形成されるメモリセルと周辺トランジスタとを含む半導体装置の製造方法であって、

前記半導体基板を準備する工程と、

前記メモリセルが形成されるメモリセル形成領域における前記主表面に、第1の絶縁膜と、前記第1の絶縁膜の上面に接する第1のダミー電極とが積層された第1の積層構造を形成する工程と、

前記メモリセル形成領域における前記主表面に、前記第1の積層構造の側面に接するとともに前記半導体基板の前記主表面上にまで延びる延長部を有するように形成された第2の絶縁膜と、前記第2の絶縁膜の前記延長部の上面を含めて前記第2の絶縁膜に接する第2のダミー電極とが積層された第2の積層構造を形成する工程と、

前記周辺トランジスタが形成される周辺トランジスタ形成領域における前記主表面に、第3の絶縁膜と、前記第3の絶縁膜の上面に接する第3のダミー電極とが積層された第3の積層構造を形成する工程と、

前記第1、第2および第3の積層構造を覆うように層間絶縁層を形成する工程と、

前記第1、第2および第3のダミー電極の上面が前記層間絶縁層から露出し、前記層間絶縁層の上面と、露出した前記第1、第2および第3のダミー電極の上面とが平坦になるように、前記層間絶縁層の一部と前記第1、第2および第3のダミー電極の上面とを研磨する工程と、

10

20

露出した前記第 1、第 2 および第 3 のダミー電極を除去して第 1 の開口部、第 2 の開口部および第 3 の開口部のそれぞれを形成する工程と、

前記第 1 の開口部と前記第 2 の開口部と前記第 3 の開口部とのそれぞれに、金属含有膜および他の膜を含む金属含有積層膜を埋設することにより、第 1 の金属含有膜と、第 2 の金属含有膜と、第 3 の金属含有膜とを形成する工程とを備え、

前記第 1 および第 2 の積層構造の高さは前記第 3 の積層構造の高さよりも高くなるように形成され、

前記第 2 の絶縁膜には電荷を蓄積する電荷蓄積膜を含み、

前記電荷蓄積膜はシリコン窒化膜である、半導体装置の製造方法。

【請求項 2】

10

前記第 2 の絶縁膜は、第 1 のシリコン酸化膜と、前記シリコン窒化膜と、第 2 のシリコン酸化膜とがこの順に積層された構成を有する、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記シリコン窒化膜の端部は、前記第 2 の金属含有膜の端部よりも内側に配置される、請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 1 および第 2 の積層構造を形成する工程の後、前記メモリセル形成領域における前記主表面に前記メモリセルのソース領域およびドレイン領域を形成する工程と、

前記ソース領域および前記ドレイン領域にシリサイドを形成する工程とをさらに備える、請求項 1 に記載の半導体装置の製造方法。

20

【請求項 5】

前記第 3 の積層構造を形成する工程の後、前記周辺トランジスタ形成領域における前記主表面に前記周辺トランジスタのソース領域およびドレイン領域を形成する工程と、

前記ソース領域および前記ドレイン領域にシリサイドを形成する工程とをさらに備える、請求項 1 に記載の半導体装置の製造方法。

【請求項 6】

前記第 1、第 2 および第 3 の金属含有膜を形成する工程は、前記層間絶縁層の上面と、前記第 1、第 2 および第 3 の開口部とに前記金属含有積層膜を堆積する工程と、前記層間絶縁層が露出するように前記金属含有積層膜を研磨する工程とを含み、

30

前記金属含有積層膜を研磨する工程では、前記第 1 の金属含有膜の上面と、前記第 2 の金属含有膜の上面と、前記第 3 の金属含有膜の上面とが同一の高さの平坦な面を形成するように研磨される、請求項 1 に記載の半導体装置の製造方法。

【請求項 7】

前記金属含有膜は窒化チタンの薄膜のみを含む、請求項 1 に記載の半導体装置の製造方法。

【請求項 8】

前記金属含有膜は、窒化チタンの薄膜と、多結晶シリコンの薄膜とがこの順に積層された構成を有する、請求項 1 に記載の半導体装置の製造方法。

【請求項 9】

40

前記第 1 の金属含有膜は前記第 1 の絶縁膜の上面に形成され、前記第 1 の金属含有膜は前記第 1 の絶縁膜より誘電率が高い誘電体膜と、前記誘電体膜の仕事関数を調整する調整膜と、前記金属含有膜とがこの順に積層された構成を有し、

前記第 2 の金属含有膜は前記第 2 の絶縁膜の上面に形成され、前記第 2 の金属含有膜は前記誘電体膜と、前記調整膜と、前記金属含有膜とがこの順に積層された構成を有し、

前記第 3 の金属含有膜は前記第 3 の絶縁膜の上面に形成され、前記第 3 の金属含有膜は前記誘電体膜と、前記調整膜と、前記金属含有膜とがこの順に積層された構成を有し、

前記他の膜は前記誘電体膜と前記調整膜とを含む、請求項 1 に記載の半導体装置の製造方法。

【請求項 10】

50

前記主表面には、前記メモリセルおよび前記周辺トランジスタが形成される素子形成領域と、前記素子形成領域の周囲に形成されるダイシング領域とを有し、

前記第1または第2の積層構造を形成する工程と同時に、前記ダイシング領域に、前記第1および第2の積層構造と同じ厚みを有する構造体が形成される工程をさらに備える、請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関し、特に、複数のゲートを含むメモリセルを有する半導体装置の製造方法に関するものである。

10

【背景技術】

【0002】

フラッシュメモリやCPU (Central Processing Unit) を内蔵する半導体装置として、たとえばマイクロコンピュータ (Microcomputer) が考えられる。たとえばフラッシュメモリには、電源を切っても記録情報が残る素子である不揮発性メモリが用いられることが好ましい。不揮発性メモリと論理用半導体装置とを同一の半導体基板上に混載することにより、高機能を有するマイクロコンピュータを形成することができる。不揮発性メモリと論理用半導体装置とが配置された当該マイクロコンピュータは、産業用機械、家電製品、自動車搭載装置などに広く用いられている。

【0003】

20

一般的にマイクロコンピュータに含まれる不揮発性メモリは、当該マイクロコンピュータが必要とするプログラムを格納し、随時読み出して使用する。このため不揮発性メモリと論理用半導体装置とが混載したマイクロコンピュータが用いられることが好ましい。このような論理用半導体装置との混載に適した不揮発性メモリのメモリセル構造としては、制御用MIS (Metal Insulator Semiconductor) トランジスタと記憶用MISトランジスタとが一体として形成されたスプリットゲート構造のメモリセルが挙げられる。

【0004】

スプリットゲート構造のメモリセルのうち、記憶用MISトランジスタにMONOS (Metal Oxide Nitride Oxide Silicon) を用いたMONOS型メモリセルが、たとえば特開2011-29631号公報 (特許文献1) に開示されている。

30

【0005】

一方、近年のMISトランジスタのゲート絶縁膜の薄膜化の限界に伴い、ゲート絶縁膜として高誘電率絶縁膜 (いわゆるHigh-k膜) を用い、ゲート電極を金属膜とした構造が、たとえば特開2011-49282号公報 (特許文献2) に開示されている。

【0006】

なお、MONOS型メモリセルのうち、記憶用MISトランジスタを、制御用MISトランジスタの側壁部に形成した構造が、たとえば特開2010-282987号公報 (特許文献3) に開示されている。

【先行技術文献】

【特許文献】

40

【0007】

【特許文献1】特開2011-29631号公報

【特許文献2】特開2011-49282号公報

【特許文献3】特開2010-282987号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

MONOS型メモリセルの周りには、メモリセルの制御やメモリセルと接続されるマイクロコントローラ等の、周辺回路用のMISトランジスタが形成されている。周辺回路用MISトランジスタを高性能化するため、ゲート絶縁膜を高誘電率絶縁膜としゲート電極

50

を金属膜とした場合、特許文献 2 に開示されるように、ゲートラストプロセスを適用する必要がある。

【 0 0 0 9 】

ゲートラストプロセスでは、一旦、多結晶シリコンでダミーのゲート電極を形成し、ゲート電極に接する側壁構造を形成後、ダミーのゲート電極を除去する。そして、除去した部分に、高誘電率絶縁膜と、金属膜を埋め込むことで、ゲート構造を形成する。

【 0 0 1 0 】

一方、特許文献 3 に示す MONOS 型メモリセルの記憶用 M I S トランジスタは制御用 M I S トランジスタの側壁に形成されており、ダミーのゲート電極を用いないゲートファーストプロセスにより形成される。

10

【 0 0 1 1 】

そのため、特許文献 3 に示す MONOS 型メモリセルと、高誘電率絶縁膜のゲート絶縁膜及び金属ゲート電極を有する周辺回路用 M I S トランジスタとを、一緒に形成しようとすると、ゲートファーストプロセスとゲートラストプロセスとを行うことになり、工程数が増加し、信頼性が低下してしまう。

【 0 0 1 2 】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 3 】

20

一実施の形態によれば、メモリセル形成領域の第 1 および第 2 の積層構造が、周辺トランジスタ形成領域の第 3 の積層構造の高さよりも高くなるように形成された後、これらを覆うように層間絶縁層が形成され、研磨される。第 2 の積層構造に含まれる第 2 の絶縁膜には電荷を蓄積する電荷蓄積膜を含む。上記電荷蓄積膜はシリコン窒化膜である。

【発明の効果】

【 0 0 1 4 】

一実施の形態の製造方法によれば、信頼性の高い半導体装置を製造することができる。

【図面の簡単な説明】

【 0 0 1 5 】

【図 1】一実施の形態の半導体装置を構成するメモリセルの概略断面図である。

30

【図 2】図 1 のメモリセルと、その周辺回路としての周辺トランジスタとの概略断面図である。

【図 3】図 1 のメモリセルのコントロールゲート膜およびメモリゲート膜の他の形状を示す概略断面図である。

【図 4】一実施の形態の半導体装置の製造方法を説明するフローチャートである。

【図 5】一実施の形態の半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 6】一実施の形態の半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 7】一実施の形態の半導体装置の製造方法の第 3 工程を示す概略断面図である。

【図 8】一実施の形態の半導体装置の製造方法の第 4 工程を示す概略断面図である。

【図 9】一実施の形態の半導体装置の製造方法の第 5 工程を示す概略断面図である。

40

【図 1 0】一実施の形態の半導体装置の製造方法の第 6 工程を示す概略断面図である。

【図 1 1】一実施の形態の半導体装置の製造方法の第 7 工程を示す概略断面図である。

【図 1 2】一実施の形態の半導体装置の製造方法の第 8 工程を示す概略断面図である。

【図 1 3】比較例の半導体装置を構成するメモリセルの概略断面図である。

【図 1 4】比較例の半導体装置の製造方法を説明するフローチャートである。

【図 1 5】比較例の半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 1 6】比較例の半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 1 7】比較例の半導体装置の製造方法の第 3 工程を示す概略断面図である。

【図 1 8】比較例の半導体装置の製造方法の第 4 工程を示す概略断面図である。

【図 1 9】比較例の半導体装置の製造方法の第 5 工程を示す概略断面図である。

50

【図 20】他の比較例として、図 18 のメモリセルがより薄く形成された態様を示す概略断面図である。

【図 21】図 20 の周辺トランジスタの上面が研磨された態様を示す概略断面図である。

【図 22】実施の形態 2 のメモリセルと、その周辺回路としての周辺トランジスタとの概略断面図である。

【図 23】実施の形態 3 のメモリセルの構成を部分的に拡大して示す概略断面図である。

【図 24】実施の形態 4 の半導体ウェハの概略平面図である。

【図 25】図 24 中の点線で囲まれた領域 X X I V の構成を拡大して示す概略平面図である。

【図 26】実施の形態 4 のメモリセルと、その周辺回路としての周辺トランジスタと、ダイシング領域との概略断面図である。 10

【図 27】実施の形態 4 の半導体装置の製造方法の一工程を示す概略断面図である。

【発明を実施するための形態】

【0016】

以下、一実施の形態について図に基づいて説明する。

(実施の形態 1)

まず一実施の形態の半導体装置に含まれるメモリセルの構成について、図 1 ~ 図 3 を用いて説明する。

【0017】

図 1 を参照して、一実施の形態の半導体装置には、メモリセルとしての F M O N O S 型メモリセル F M S (以下「メモリセル F M S」と記す)を有している。メモリセル F M S は、主表面を有する半導体基板 S U B に形成されている。 20

【0018】

半導体基板 S U B はたとえばシリコンの単結晶により形成されている。半導体基板 S U B 内の主表面(図 1 の半導体基板 S U B の最上面としての左右方向に延びる面)にはドレイン領域 D R およびソース領域 S R が互いに間隔をあけて形成されている。ドレイン領域 D R およびソース領域 S R は、いわゆる n 型または p 型の不純物が拡散されることにより形成されており、後述するコントロールゲート(第 1 のゲート)およびメモリゲート(第 2 のゲート)を挟むように配置されている。

【0019】

なおドレイン領域 D R およびソース領域 S R の上面には通常、後述するシリサイド膜が形成されるが、ここではその図示が省略されている。 30

【0020】

半導体基板 S U B の主表面上にはコントロールゲート絶縁膜 C I (第 1 の絶縁膜)が形成されており、コントロールゲート絶縁膜 C I の上面に接するようにコントロールゲート膜 C G (第 1 の金属含有膜)が形成されている。コントロールゲート膜 C G は読み込み・書き込み・消去動作を行なうものであり、ここではコントロールゲート膜 C G とは電圧が印加される金属含有膜 M T 1 としての金属膜 M L および多結晶シリコン膜 P L Y に加え、高誘電率絶縁膜 H K および調整膜 W A J を含むものと定義する。コントロールゲート膜 C G は、コントロールゲート絶縁膜 C I より誘電率が高い高誘電率絶縁膜 H K (誘電体膜)と、調整膜 W A J と、金属膜 M L と、多結晶シリコン膜 P L Y とがこの順に積層された構成を有している。このようにして、コントロールゲート絶縁膜 C I とコントロールゲート膜 C G とが積層されたコントロールゲート(第 1 のゲート)が形成されている。 40

【0021】

コントロールゲート絶縁膜 C I はたとえばシリコン酸化膜など、通常の M O S 型トランジスタにおけるゲート絶縁膜と同様の材質により形成される。このゲート絶縁膜 C I は、半導体基板 S U B とコントロールゲート膜 C G との密着性を高めるため、および界面準位の抑制のために形成される。

【0022】

高誘電率絶縁膜 H K とはコントロールゲート絶縁膜 C I のシリコン酸化膜に比べて誘電 50

率が有意に高い材質からなる絶縁膜であり、たとえばハフニウム系酸化膜が用いられる。通常のゲート絶縁膜C Iと高誘電率絶縁膜H Kとを直列に形成することにより、これら両者を合わせた全体の誘電率が高くなるため、M O S容量部の容量値を高くすることができる。

【0023】

調整膜W A Jとは、高誘電率絶縁膜H Kを含むコントロールゲート膜C G全体の仕事関数を調整し（低下させ）、結果的にコントロールゲート膜C Gの閾値電圧を調整する（低下させる）ために形成される薄膜であり、たとえばランタノイド系の酸化膜が用いられる。

【0024】

高誘電率絶縁膜H Kは上記のようにM O S容量を増加するために用いられるが、高誘電率絶縁膜H Kを用いるとコントロールゲート膜C Gの仕事関数が低下しなくなるなど、その制御が困難になる場合がある。調整膜W A Jはこの仕事関数の制御を容易にする（低下させる）ために形成される。

【0025】

金属含有膜M T 1は金属膜M Lと多結晶シリコン膜P L Yとにより形成される。金属膜M Lとしては他の材質との密着性が良好な窒化チタンまたは窒化タンタルの薄膜が用いられる。

【0026】

コントロールゲート絶縁膜C Iとコントロールゲート膜C Gとの側面の一部（図1では右側の側面）に接して、半導体基板S U Bの主表面上にまで延びる延長部を有するように、メモリゲート絶縁膜M I（第2の絶縁膜）が形成されている。

【0027】

メモリゲート絶縁膜M Iの側面部と延長部の上面との双方に接するように、メモリゲート膜M G（第2の金属抵抗膜）が形成されている。メモリゲート膜M Gは書き込み／消去のフラッシュ動作を行なうものであり、ここではメモリゲート膜M Gとは電圧が印加される金属含有膜M T 2としての金属膜M Lおよび多結晶シリコン膜P L Yに加え、高誘電率絶縁膜H Kおよび調整膜W A Jを含むものと定義する。すなわちメモリゲート膜M Gは、メモリゲート絶縁膜M Iの側面部と延長部の上面との双方に接するように形成され、コントロールゲート膜C Gと同様に、高誘電率絶縁膜H Kと、調整膜W A Jと、金属膜M Lと、多結晶シリコン膜P L Yとがこの順に積層された構成を有している。メモリゲート膜M Gにおける高誘電率絶縁膜H Kおよび調整膜W A Jのそれぞれの機能は、上記のコントロールゲート膜C Gにおける高誘電率絶縁膜H Kおよび調整膜W A Jと同様である。このようにして、メモリゲート絶縁膜M Iとメモリゲート膜M Gとが積層されたメモリゲート（第2のゲート）が形成されている。

【0028】

メモリゲート絶縁膜M Iは、通常のM O N O S型メモリセルと同様に、（第1の）シリコン酸化膜O 1（ SiO_2 など）と、シリコン窒化膜N F（ Si_3N_4 など）と、（第2の）シリコン酸化膜O 2（ SiO_2 など）との3層がこの順に積層された構成を有している。このうちの特にシリコン窒化膜N Fへの電子の注入によりメモリセルF M Sのデータの書き込みがなされ、シリコン窒化膜N Fへの正孔の注入によりメモリセルF M Sのデータの消去がなされる。データの書き込みの際にはメモリセルF M Sの閾値電圧が上昇し、データの消去の際にはメモリセルF M Sの閾値電圧が低下する。

【0029】

このようにメモリゲート絶縁膜M Iは、データを書き込んだり消去したりするための電荷である電子や正孔を蓄積する電荷蓄積膜を含んでおり、ここではシリコン窒化膜N Fが電荷蓄積膜に該当する。シリコン窒化膜N Fを含むメモリゲート絶縁膜M Iは、M O N O S型メモリセルF M Sの通常の機能を発揮するために必須の構成要素である。

【0030】

以上のようにメモリセルF M Sは、コントロールゲート膜C Gとメモリゲート膜M Gと

10

20

30

40

50

の２つのゲート電極を有しており、これらにより書き込み／消去のフラッシュ動作と読み込み動作との２つの動作を別個に行なうことが可能となっている。コントロールゲート膜ＣＧとメモリゲート膜ＭＧとは、上記のドレイン領域ＤＲおよびソース領域ＳＲの一部の真上に重畳するように形成される。

【００３１】

図１のメモリセルＦＭＳは、コントロールゲート膜ＣＧとメモリゲート膜ＭＧとは平坦な表面（上面）を有しており、かつコントロールゲート膜ＣＧとメモリゲート膜ＭＧと同一高さ（厚み）となるように表面がいわゆるツライチとなっている。言い換えればコントロールゲートとメモリゲートとの高さが同一となっている。これは上面をＣＭＰ（Chemical Mechanical Polishing）により研磨するためであるが、開口部が確保できるのであればツライチである必要はない。またここでの平坦とは、凹凸がほとんど存在せず、かつ表面が半導体基板ＳＵＢの主表面とほぼ平行となる状態を意味する。

10

【００３２】

また同様に、図１のメモリゲート絶縁膜ＭＩの側面部も、コントロールゲート膜ＣＧとメモリゲート膜ＭＧと同一高さ（厚み）となるように表面がいわゆるツライチとなっており、メモリゲート絶縁膜ＭＩの延長部の端部（図１の右側の端部）は、メモリゲート膜ＭＧの端部と同一平面を有するいわゆるツライチとなっている。

【００３３】

なお図１においてはドレイン領域ＤＲとソース領域ＳＲとを単純に図示しているが、実際にはこれらの各領域ＤＲ、ＳＲには通常のドレイン領域ＤＲ（ソース領域ＳＲ）に加え、これよりもｎ型またはｐ型の不純物の濃度が低いＬＤＤ（Light Doped Drain）と呼ばれる領域を有していてもよいし、いわゆるＥｘｔｅｎｓｉｏｎやＨａｌｏと呼ばれる不純物の拡散領域を含んでいてもよい。

20

【００３４】

またメモリセルＦＭＳは、コントロールゲート膜ＣＧおよびメモリゲート膜ＭＧの側面を覆うように側壁絶縁膜ＳＷを有している。側壁絶縁膜ＳＷは、たとえばシリコン酸化膜とシリコン窒化膜との積層構造によりなることが好ましいが、ここではそのような積層構造の図示が省略されている。

【００３５】

図２を参照して、半導体基板ＳＵＢの主表面にはメモリセルＦＭＳのほかに、たとえばＭＯＳ型トランジスタなどのトランジスタＴＲを有している。このトランジスタＴＲはメモリセルＦＭＳの周辺回路として、メモリセルＦＭＳと間隔をあけて形成されたいわゆる周辺トランジスタである。

30

【００３６】

トランジスタＴＲにおいては、通常のＭＯＳ型トランジスタと同様に、半導体基板ＳＵＢ内の主表面に互いに間隔をあけて（後述する第３のゲートを挟むように）形成されたドレイン領域ＤＲおよびソース領域ＳＲを有している。また半導体基板ＳＵＢの主表面上にはゲート絶縁膜ＧＩ（第３の絶縁膜）と、ゲート絶縁膜ＧＩの上面に接するゲート膜ＧＥ（第３の金属含有膜）とが形成されている。ここではゲート膜ＧＥとは電圧が印加される金属含有膜ＭＴ３としての金属膜ＭＬおよび多結晶シリコン膜ＰＬＹに加え、高誘電率絶縁膜ＨＫおよび調整膜ＷＡＪを含むものとする。このようにして、ゲート絶縁膜ＧＩとゲート膜ＧＥとが積層されたゲート（第３のゲート）が形成されている。

40

【００３７】

すなわちゲート膜ＧＥは、コントロールゲート膜ＣＧなどと同様に、高誘電率絶縁膜ＨＫと、調整膜ＷＡＪと、金属膜ＭＬと、多結晶シリコン膜ＰＬＹとがこの順に積層された構成を有している。ゲート膜ＧＥにおける高誘電率絶縁膜ＨＫおよび調整膜ＷＡＪのそれぞれの機能は、上記のコントロールゲート膜ＣＧおよびメモリゲート膜ＭＧにおける高誘電率絶縁膜ＨＫおよび調整膜ＷＡＪと同様である。

【００３８】

また図２のトランジスタＴＲは、ゲート膜ＧＥが平坦な表面（上面）を有しており、か

50

つゲート膜 G E がコントロールゲート膜 C G とメモリゲート膜 M G と同一高さ（厚み）となるように表面がいわゆるツライチとなっている。言い換えればコントロールゲートとメモリゲートとゲートとの高さがすべて同一となっている。

【 0 0 3 9 】

図 2 においてメモリセル F M S とトランジスタ T R との間で共通の構成要素については同一の参照符号を付しているが、これらは同様の構成であり、同一の層として形成されている。

【 0 0 4 0 】

図 1 においては省略されているが、実際には図 2 に示すように、メモリセル F M S とトランジスタ T R とが形成される領域においては、各ゲート電極を取り囲むように層間絶縁層 I I が形成されている。この層間絶縁層 I I はたとえばシリコン酸化膜により形成されている。

【 0 0 4 1 】

さらに、図 2 においてはメモリセル F M S およびトランジスタ T R の双方のドレイン領域 D R およびソース領域 S R の上面に、シリサイド膜 S C が形成されている。シリサイド膜 S C は、ドレイン領域 D R など構成するシリコンの原子が、その上に形成されたコバルトやニッケルなどの原子と反応することにより、ドレイン領域 D R およびソース領域 S R の最上面近傍において形成される薄膜である。

【 0 0 4 2 】

なおトランジスタ T R およびメモリセル F M S は半導体基板 S U B に複数形成され、隣り合う 1 対のトランジスタ T R （メモリセル F M S ）の間には通常、それらを電氣的に分離するための分離絶縁膜が形成されるが、ここではその図示が省略されている。

【 0 0 4 3 】

ここで、後述するように図 1 および図 2 におけるコントロールゲート膜 C G 、メモリゲート膜 M G など構成する高誘電率絶縁膜 H K や金属膜 M L などは、ダミーとしてのゲート電極が除去された開口部を埋め込むように形成される。このとき、スパッタ法などでコントロールゲート膜 C G およびメモリゲート膜 M G を成膜すれば、図 1 および図 2 のように形成される。しかしながら、有機原料ガスを用いた M O C V D （Metal Organic Chemical Vapor Deposition）法などの C V D 法を用いてコントロール膜 C G およびメモリゲート膜 M G を成膜すれば、図 3 に示すように開口部の底面および側面を覆うように、カップ状の断面形状を有するように形成される。以降においては、図 1 および図 2 のコントロールゲート膜 C G およびメモリゲート膜 M G を用いて説明するが、コントロールゲート膜 C G およびメモリゲート膜 M G は、図 3 のような形状となってもよい。

【 0 0 4 4 】

次に、図 4 ～ 図 1 2 を参照しながら、上記の一実施の形態の半導体装置の製造方法について説明する。

【 0 0 4 5 】

まずたとえばシリコンの単結晶からなる半導体基板 S U B （図 1 ～ 図 3 参照）が準備される。図 4 を参照して、当該半導体基板 S U B の主表面に、たとえば通常の L O C O S （LOCaI Oxidation of Silicon）法または S T I （Shallow Trench Isolation）法により、互いに間隔をあけて複数の素子分離絶縁膜が形成される（図 4 中の「分離形成」に相当）。また半導体基板 S U B 内の主表面には、互いに隣接する素子分離絶縁膜に挟まれた領域に、必要に応じて不純物が拡散された Well 領域が形成される（図 4 中の「Well 形成」に相当）。これらについては図示が省略される。

【 0 0 4 6 】

さらに図 4 および図 5 を参照して、半導体基板 S U B の主表面の、メモリセルが形成されるメモリセル形成領域に、コントロールゲート絶縁膜 C I （第 1 の絶縁膜）と、周辺トランジスタが形成される周辺トランジスタ形成領域におけるゲート絶縁膜 G I （第 3 の絶縁膜）とが同時に形成される（図 4 中の「ゲート酸化」に相当）。これらはたとえば通常の熱酸化法により形成されたシリコン酸化膜であり、通常の写真製版およびエッチングに

10

20

30

40

50

より所望のパターンに形成される。

【 0 0 4 7 】

引き続き図 4 および図 5 を参照して、コントロールゲート絶縁膜 C I の上面に接する第 1 のダミー電極 P E 1 と、ゲート絶縁膜 G I の上面に接する第 3 のダミー電極 P E 3 とが同時に形成される（図 4 中の「ダミー周辺・C G p o l y ゲート形成」に相当）。これらのダミー電極 P E 1、P E 3 はたとえば C V D (Chemical Vapor Deposition) 法による多結晶シリコンの薄膜により形成されている。このようにして、コントロールゲート絶縁膜 C I と第 1 のダミー電極 P E 1 とが積層された第 1 の積層構造と、ゲート絶縁膜 G I と第 3 のダミー電極 P E 3 とが積層された第 3 の積層構造とが形成される。第 1 のダミー電極 P E 1 はメモリセルを形成するためのダミーのコントロールゲートであり、第 3 のダミー電極 P E 3 は周辺トランジスタを形成するためのダミーのゲートである。

10

【 0 0 4 8 】

ここで第 1 のダミー電極 P E 1 を含む第 1 の積層構造は、第 3 のダミー電極 P E 3 を含む第 3 の積層構造に比べてその高さが図 5 の h だけ高くなるように形成される。ここで高さとは、半導体基板 S U B の主表面に対する、図の上下方向の距離を意味する。

【 0 0 4 9 】

具体的にはまず第 1 のダミー電極 P E 1 と第 3 のダミー電極 P E 3 とが同時に成膜されることにより、同じ厚みになるように形成された後、第 1 のダミー電極 P E 1 を覆うフォトレジストが形成された状態で、第 3 のダミー電極 P E 3 がエッチングにより除去される。このようにすれば、第 1 のダミー電極 P E 1 より第 3 のダミー電極 P E 3 を厚くすることが

20

【 0 0 5 0 】

第 1 のダミー電極 P E 1 と第 3 のダミー電極 P E 3 との厚みが異なるように形成される点を除き、以上の各工程は周辺トランジスタの形成領域およびメモリセルの形成領域の双方に共通である。

【 0 0 5 1 】

図 4 および図 6 を参照して、メモリセルの形成領域において、半導体基板 S U B の主表面にメモリゲート絶縁膜 M I が形成される（図 4 中の「O N O 形成」に相当）。メモリゲート絶縁膜 M I は、第 1 の積層構造の側面に接するとともに、そこから半導体基板 S U B の主表面上にまで延びる延長部を有するように形成される。メモリゲート絶縁膜 M I として具体的には、シリコン酸化膜 O 1 と、シリコン窒化膜 N F と、シリコン酸化膜 O 2 との 3 層がこの順に積層される。これらの絶縁膜 O 1、N F、O 2 が、たとえば通常の C V D 法により形成される。

30

【 0 0 5 2 】

このとき、第 1 の積層構造の側面および上面を覆うように、半導体基板 S U B の主表面上に、シリコン酸化膜 O 1 と、シリコン窒化膜 N F と、シリコン酸化膜 O 2 との 3 層がこの順に積層される。

【 0 0 5 3 】

次に、メモリゲート絶縁膜の延長部の上面を含めてメモリゲート絶縁膜 M I に接する第 2 のダミー電極 P E 2 が形成される（図 4 中の「M G 形成」に相当）。第 2 のダミー電極 P E 2 はたとえば C V D 法により形成された多結晶シリコンの薄膜である。具体的には、図 6 の第 1 の積層構造の上面、ならびにメモリゲート絶縁膜 M I の側面部および延長部の上面を覆うように、多結晶シリコンの薄膜が形成された後、異方性エッチングにより、多結晶シリコンおよびメモリゲート絶縁膜 M I がエッチバックされる。その結果、図 6 に示すように、多結晶シリコンからなるダミー電極 P E 2 およびメモリゲート絶縁膜 M I が第 1 の積層構造の側壁として形成される。その後通常の写真製版およびエッチングにより不要な部分が除去されることにより、図 6 の構造が形成される。このようにして、メモリゲート絶縁膜 M I と第 2 のダミー電極 P E 2 とが積層された第 2 の積層構造が形成される。第 2 のダミー電極 P E 2 はメモリセルを形成するためのダミーのメモリゲート膜である。

40

【 0 0 5 4 】

50

ここで第2のダミー電極PE2を含む第2の積層構造は、第3のダミー電極PE3を含む第3の積層構造に比べてその高さが高くなるように形成される。第1のダミー電極PE1が第3のダミー電極PE3に比べてその高さが高くなるように形成されるため、第2のダミー電極PE2を含む第2の積層構造についても第1の積層構造と同様に、第3の積層構造よりも高くなるように形成される。

【0055】

ただし第2のダミー電極PE2はその上面が平坦ではなく図6に示すようにやや右肩下がりの形状を有するように形成される。このため第2のダミー電極PE2は少なくとも最大の高さを有する（シリコン酸化膜O2などと接する）領域の高さが第1の積層構造よりも高く形成され、最小の高さを有する（右肩下がりになり最も高さが低い）領域についても第3の積層構造よりも高くなるように形成されることがより好ましい。

10

【0056】

以上の各工程はメモリセルの形成領域のみに対して行なわれるが、これ以降の各工程は周辺トランジスタの形成領域およびメモリセルの形成領域の双方に共通である。

【0057】

図4および図7を参照して、周辺トランジスタの形成領域およびメモリセルの形成領域において、第1、第2および第3の積層構造の側面を覆うように側壁絶縁膜SWが形成される（図4中の「周辺・メモリセルSW形成」に相当）。側壁絶縁膜SWは、第1、第2および第3の積層構造の上面および側面を覆うように絶縁膜が形成された後、異方性ドライエッチングにより絶縁膜がエッチバックされることにより、形成される。側壁絶縁膜は、シリコン酸化膜またはシリコン窒化膜のいずれか1層のみから形成されてもよいが、シリコン酸化膜とシリコン窒化膜との積層構造から形成されてもよい。

20

【0058】

図4および図7を参照して、第1および第2の積層構造および側壁絶縁膜SWによる構造体を用いた自己整合技術により、半導体基板SUBの主表面から不純物をイオン注入することにより、メモリセル形成領域における半導体基板SUBの主表面にメモリセルのソース領域SRおよびドレイン領域DRが形成される（図4中の「S/D形成」に相当）。同様に、第3の積層構造および側壁絶縁膜SWによる構造体を用いた自己整合技術により、周辺トランジスタ形成領域における半導体基板SUBの主表面に周辺トランジスタのソース領域SRおよびドレイン領域DRが形成される。

30

【0059】

その後、ドレイン領域DRおよびソース領域SRが形成された領域の結晶状態を修復するために、たとえばいわゆるRTA（Rapid Thermal Anneal）により、半導体基板SUBの熱処理がなされる。

【0060】

ところで図7においては側壁絶縁膜SWより内側の第1のダミー電極PE1および第3のダミー電極PE3の真下の領域の一部にまで広がるようにドレイン領域DRおよびソース領域SRが形成される。このようにするためには、たとえば第1～第3の積層構造の形成後、側壁絶縁膜SWの形成前に一度、第1～第3の積層構造を用いた自己整合技術により、半導体基板SUBの主表面から不純物をイオン注入することにより、上記のドレイン領域DRおよびソース領域SRよりも不純物濃度の低いいわゆるLDD領域が形成されることが好ましい。すなわちこの場合は、第1～第3の積層構造の形成後、LDD領域が形成され、その後側壁絶縁膜SWが形成される。さらにその後、ドレイン領域DRおよびソース領域SRが形成される。

40

【0061】

図4および図8を参照して、第1のダミー電極PE1、第2のダミー電極PE2、第3のダミー電極PE3、ドレイン領域DRおよびソース領域SRの上面にシリサイド膜SCが形成される（図4中の「シリサイド」に相当）。具体的には、第1、第2、第3のダミー電極PE1、PE2、PE3の上面を覆うように、半導体基板SUBの主表面上にたとえばコバルトまたはニッケルの金属膜が、たとえばスパッタリング法などの一般的な金属

50

薄膜形成方法により形成される。

【 0 0 6 2 】

次に、図示されないがこの状態で半導体基板 S U B が熱処理される。具体的には、たとえば半導体基板 S U B が、たとえばニッケルの場合 5 0 0 以上 6 0 0 以下の温度で 2 0 秒以上 3 分以下の時間加熱される。するとドレイン領域 D R およびソース領域 S R を構成するシリコンの原子と、その上に形成されたコバルトの原子とが反応してシリサイド膜 S C が形成される。ただしコバルトの場合は 7 0 0 以上 8 0 0 以下の温度で加熱される。ダミー電極 P E 1 ~ P E 3 とその上に形成されたコバルトやニッケルの原子とも同様に反応してシリサイド膜 S C が形成される。

【 0 0 6 3 】

図 4 および図 9 を参照して、第 1 のダミー電極 P E 1、第 2 のダミー電極 P E 2、第 3 のダミー電極 P E 3 を含む第 1 ~ 第 3 の積層構造の上面などを覆うように、半導体基板 S U B の主表面に層間絶縁層 I I が形成される（図 4 中の「層間絶縁層形成」）。層間絶縁層 I I は、たとえばシリコン酸化膜であり、たとえば C V D 法により形成される。

【 0 0 6 4 】

図 4 および図 1 0 を参照して、層間絶縁層 I I に覆われた第 1 のダミー電極 P E 1、第 2 のダミー電極 P E 2 の上面が露出するように、層間絶縁層 I I の一部を含む第 1 および第 2 の積層構造の上面が研磨される（図 4 中の「C M P 工程 1」に相当）。このとき第 1 のダミー電極 P E 1 および第 2 のダミー電極 P E 2 は、その上面が露出し、かつその上面に開口部を形成するように一部が研磨される。この開口部は、第 1 のダミー電極 P E 1 および第 2 のダミー電極 P E 2 の、半導体基板 S U B の主表面に沿う方向に関する幅に比べて小さすぎないように、後の工程において当該開口部から第 1 のダミー電極 P E 1 および第 2 のダミー電極 P E 2 を抜き取り除去することが可能な程度に十分に広いことが好ましい。

【 0 0 6 5 】

このとき、第 1 および第 2 のダミー電極 P E 1、P E 2 に加えて第 3 のダミー電極 P E 3 の上面が露出するように、層間絶縁層 I I の一部を含む第 3 の積層構造の上面が研磨される。第 3 の積層構造の上面は、第 1 および第 2 の積層構造の上面と同時に研磨される。すなわち、ここでは第 3 の積層構造は第 1 および第 2 の積層構造よりもその高さが低くなるように形成されているため、第 1 および第 2 の積層構造（ダミー電極 P E 1、P E 2）の上面が露出した後も引き続き、第 3 のダミー電極 P E 3 の上面が露出するまで、研磨が続けられる。

【 0 0 6 6 】

ここでの研磨は、たとえば通常の C M P によりなされることが好ましい。また研磨の後には層間絶縁層 I I の上面およびダミー電極 P E 1、P E 2、P E 3 の上面が平坦になるように処理がなされる。

【 0 0 6 7 】

図 4 および図 1 1 を参照して、第 1 のダミー電極 P E 1 および第 2 のダミー電極 P E 2 が、通常の写真製版およびエッチングにより除去される（図 4 の「周辺、C G、M G ゲート p o l y 除去」に相当）。この処理により、第 1 のダミー電極 P E 1 が形成されていた領域には第 1 の開口部 C V 1 が、第 2 のダミー電極 P E 2 が形成されていた領域には第 2 の開口部 C V 2 が、それぞれ形成される。

【 0 0 6 8 】

このとき、第 1 および第 2 のダミー電極 P E 1、P E 2 に加えて第 3 のダミー電極 P E 3 が、第 1 および第 2 のダミー電極 P E 1、P E 2 と同時に除去され、第 3 のダミー電極 P E 3 が形成されていた領域には第 3 の開口部 C V 3 が形成される。

【 0 0 6 9 】

図 4 および図 1 2 を参照して、メモリセルの形成領域において、第 1 の開口部 C V 1（コントロールゲート絶縁膜 C I の上面）に、高誘電率絶縁膜 H K（誘電体膜）と、調整膜 W A J とがこの順に形成され、さらにその上に、金属含有膜 M T 1 としての金属膜 M L と

10

20

30

40

50

多結晶シリコン膜 P L Y とがこの順に形成される。これにより、層間絶縁層 I I の上面と第 1 の開口部 C V 1 とに金属含有積層膜が堆積（埋設）され、その結果、第 1 の金属含有膜（コントロールゲート膜 C G ）を構成する積層構造が形成される。すなわち金属含有膜 M T 1 ならびに高誘電率絶縁膜 H K および調整膜 W A J が第 1 の開口部 C V 1 に埋め込まれることにより、コントロールゲート膜 C G が形成される。

【 0 0 7 0 】

なおここでは金属膜 M L と多結晶シリコン膜 P L Y とを合わせた積層膜を「金属含有膜（M T 1）」と、高誘電率絶縁膜 H K と調整膜 W A J とを合わせた積層膜を「他の膜」と、金属含有膜と他の膜とを合わせた積層膜を「金属含有積層膜」と定義する。金属含有積層膜を構成する各膜の厚みと開口部 C V 1 の深さとの関係により、図 1 2 に示すように層間絶縁層 I I の上面には金属含有積層膜のうち多結晶シリコン膜 P L Y のみが堆積する態様となってもよい。

10

【 0 0 7 1 】

高誘電率絶縁膜 H K は、コントロールゲート絶縁膜 C I （第 1 の絶縁膜）よりも誘電率が高い。高誘電率絶縁膜 H K としては、たとえばハフニウム系の酸化膜が、C V D 法などにより形成される。調整膜 W A J としては、たとえばランタノイド系の酸化膜が、C V D 法などにより形成される。また金属膜 M L としてはたとえば窒化チタンまたはタンタルチタンの薄膜が、たとえばスパッタリング法により形成される。さらに多結晶シリコン膜 P L Y が、たとえば C V D 法により形成される。

【 0 0 7 2 】

20

上記のコントロールゲート膜 C G と同時に、第 2 の開口部 C V 2 （メモリゲート絶縁膜 M I の延長部の上面）に、メモリゲート絶縁膜 M I の側面部に接するように、高誘電率絶縁膜 H K と調整膜 W A J と（他の膜）が形成され、さらにその上に、金属膜 M L と多結晶シリコン膜 P L Y と（金属含有膜 M T 2 ）がこの順に形成される。これにより、金属含有積層膜としての第 2 の金属含有膜（メモリゲート膜 M G ）を構成する積層構造が形成される。すなわち金属含有膜 M T 2 ならびに高誘電率絶縁膜 H K および調整膜 W A J が第 2 の開口部 C V 2 に埋め込まれることにより、メモリゲート膜 M G が形成される。

【 0 0 7 3 】

さらにコントロール膜 C G 、メモリゲート膜 M G と同時に、第 3 の開口部 C V 3 （ゲート絶縁膜 G I の上面）に、高誘電率絶縁膜 H K と、調整膜 W A J と（他の膜）が形成され、さらにその上に、金属膜 M L と多結晶シリコン膜 P L Y と（金属含有膜 M T 3 ）がこの順に形成される。これにより、金属含有積層膜としての第 3 の金属含有膜（ゲート膜 G E ）を構成する積層構造が形成される。すなわち金属含有膜 M T 3 ならびに高誘電率絶縁膜 H K および調整膜 W A J が第 3 の開口部 C V 3 に埋め込まれることにより、ゲート膜 G E が形成される。以上の工程は、図 4 の「H i g h - K / M e t a l 埋め込み」に相当する。

30

【 0 0 7 4 】

この高誘電率絶縁膜 H K と調整膜 W A J とを形成する工程は、上記のシリサイド膜 S C を形成するための熱処理がなされた後に行なわれる。より具体的には、高誘電率絶縁膜 H K と調整膜 W A J とを形成する工程の後、半導体装置が完成するまでの間には、熱処理がなされないことが好ましい。なおここでの熱処理とは、ドレイン領域 D R やシリサイド層 S C などを形成した後に（たとえば 5 0 0 や 8 0 0 などの）高温でなされるアニールなどの処理（高温熱処理）を指すものとする。たとえばこの後においても配線の形成のための成膜などの工程があり、当該成膜時にも半導体基板 S U B の温度が上がる。このためこのような成膜工程なども厳密には熱処理に含まれ得るが、このような温度の上昇はここでは熱処理に含まないものとし、高誘電率絶縁膜 H K と調整膜 W A J とを形成する工程の後にこのような温度の上昇がなされてもよい。

40

【 0 0 7 5 】

図 4、図 1 2 および図 2 を参照して、その後、「C M P 工程 2」により、図 1 2 に示す層間絶縁層 I I の上面に接するように形成された多結晶シリコン膜 P L Y が除去され、図

50

2に示すように層間絶縁層ⅠⅠが露出するまで層間絶縁層ⅠⅠの上面が研磨される。層間絶縁層ⅠⅠが露出した結果、開口部C V 1 ~ C V 3に埋め込まれた多結晶シリコン膜P L Yなどを含むコントロールゲート膜C G、メモリゲート膜M Gおよびゲート膜G Eの上面が露出し、これらの上面は同一の高さの平坦な面となる。以上により、コントロールゲート膜C G、メモリゲート膜M Gおよびゲート膜G Eが形成される。

【0076】

その後、層間絶縁層ⅠⅠと同一の層および/またはそれより上層に各種の配線などが形成され(図4の「配線工程」に相当)、たとえば図1に示すような一実施の形態のメモリセルおよび周辺トランジスタを有する半導体装置が形成される。

【0077】

次に、図13~図21の比較例を参照しながら、一実施の形態の作用効果について説明する。

【0078】

図13を参照して、比較例の半導体装置のメモリセルF M Sは、一実施の形態の半導体装置のメモリセルF M Sと大筋で同様の構成を備えている。このため図13において図1と同様の構成を有する要素については図1と同一の符号を付し、その説明を繰り返さない。

【0079】

図13のメモリセルF M Sは、コントロールゲート膜が(ダミー電極P E 1と同様に)多結晶シリコン膜P E 1 1により形成されており、メモリゲート膜が(ダミー電極P E 2と同様に)多結晶シリコン膜P E 1 2により形成されている点において、図1に示す一実施の形態のメモリセルF M Sと異なっている。多結晶シリコン膜P E 1 1, P E 1 2の上面にはシリサイド膜S Cが形成される。

【0080】

図14を参照して、比較例の半導体装置の製造方法は、図4の一実施の形態の製造方法の「ダミー周辺・C G p o l y ゲート形成」において形成される多結晶シリコンのダミー電極P E 3は一実施の形態と同様にダミーとして形成されるため除去されるが、多結晶シリコン膜P E 1 1は除去されることなくそのままメモリセルF M Sの電極として用いられる。つまり、周辺回路としてのトランジスタT Rはダミー電極を用いるゲートラストラプロセスにより形成されるが、メモリセルF M Sはダミー電極を用いないゲートファーストプロセスにより形成される。以下、図14~図18を参照しながら、比較例の半導体装置の製造方法について説明する。

【0081】

図14を参照して、一実施の形態と同様に、半導体基板S U Bが準備され、「分離形成」「Well形成」がなされる。次に図14および図15を参照して、半導体基板S U Bの主表面上に、コントロールゲート絶縁膜C Iとゲート絶縁膜G Iとが同時に形成される。さらにコントロールゲート絶縁膜C Iの上面に接するコントロールゲート膜として機能する多結晶シリコン膜P E 1 1と、ゲート絶縁膜G Iの上面に接する第3のダミー電極P E 3とが同時に形成される。なおここでは、多結晶シリコン膜P E 1 1と第3のダミー電極P E 3とがほぼ同じ厚みとなるように形成される。以上は図14の「ゲート酸化」「周辺・C G p o l y ゲート形成」に相当する。

【0082】

図14および図16を参照して、図6と同様にメモリゲート絶縁膜M Iが形成され(図14中の「O N O形成」に相当)、その後、メモリゲート膜として機能する多結晶シリコン膜P E 1 2が形成される(図14中の「M G形成」に相当)。

【0083】

図14および図17を参照して、図7と同様に側壁絶縁膜S Wが形成され(図14中の「周辺・メモリセルS W形成」に相当)、ドレイン領域D Rおよびソース領域S Rが形成され(図14中の「S / D形成」に相当)、シリサイド膜S Cが形成される(図14中の「シリサイド」に相当)。さらに図示されないが熱処理がなされ、図9と同様に層間絶縁

10

20

30

40

50

層 I I が形成される（図 1 4 中の「層間絶縁層形成」に相当）。

【 0 0 8 4 】

図 1 4 および図 1 8 を参照して、図 1 0 と同様に多結晶シリコン膜 P E 1 1 , P E 1 2 , P E 3 の上面が露出するまで層間絶縁層 I I を研磨する（図 1 4 中の「 C M P 工程 1 」に相当）。

【 0 0 8 5 】

ところが、図 1 8 の工程においては本来、周辺トランジスタの形成領域の第 3 のダミー電極 P E 3 のみ上面が露出すれば十分であるが、第 3 のダミー電極 P E 3 と多結晶シリコン膜 P E 1 1 , P E 1 2 との上面がともに研磨される。このため多結晶シリコン膜 P E 1 1 , P E 1 2 の上面のシリサイド膜 S C が削り取られてしまう。多結晶シリコン膜 P E 1 1 , P E 1 2 は多結晶シリコンで形成されるため、その上面のシリサイド膜 S C が存在しなければゲート抵抗が高くなってしまう。このような問題は、多結晶シリコン膜 P E 1 1 と第 3 のダミー電極 P E 3 とがほぼ同じ厚みとなるように形成されるために起こり得る。

10

【 0 0 8 6 】

図 1 4 および図 1 9 を参照して、多結晶シリコン膜 P E 1 1 , P E 1 2 の上面のシリサイド膜 S C が露出された状態で、周辺トランジスタの形成領域のみに対して第 3 のダミー電極 P E 3 が除去され（図 1 4 の「周辺ゲート p o l y 除去」に相当）、第 3 のダミー電極 P E 3 が除去された領域に対して、ゲート絶縁膜 G I の上面に、高誘電率絶縁膜 H K と、調整膜 W A J とが形成され、さらにその上に、金属含有膜 M T 3 としての金属膜 M L と、多結晶シリコン膜 P L Y とがこの順に形成されることにより、ゲート膜 G E が形成される（図 1 4 の「 H i g h - K / M e t a l 埋め込み」に相当）。その後は一実施の形態と同様に図 1 4 の「配線工程」に相当する処理がなされる。

20

【 0 0 8 7 】

上記のように多結晶シリコン P E 1 1 , P E 1 2 の上面にシリサイド膜 S C が存在しないために高抵抗になるという問題を解決するためには、図 2 0 および図 2 1 に示すように、ゲートファーストプロセスにより形成されるメモリセルの形成領域の多結晶シリコン膜 P E 1 1 , P E 1 2 およびその上面のシリサイド膜 S C が研磨されることを抑制すればよい。つまり多結晶シリコン膜 P E 1 1 , P E 1 2 が第 3 のダミー電極 P E 3 よりも低く（薄く）なるように形成すればよい。このようにすれば、周辺トランジスタの形成領域の第 3 のダミー電極 P E 3 のシリサイド膜 S C が研磨されても、メモリセルの形成領域の多結晶シリコン膜 P E 1 1 , P E 1 2 のシリサイド膜 S C は研磨されないので、ゲート抵抗を低く保つことができる。

30

【 0 0 8 8 】

ところが実際にはメモリセルの多結晶シリコン膜 P E 1 2 は、側壁絶縁膜 S W のような右肩下がりの断面形状を有するため、これの高さを低く（薄く）形成すれば型崩れする可能性がある。また多結晶シリコン膜 P E 1 2 が薄ければ、多結晶シリコン膜 P E 1 2 にイオン注入しようとする不純物が多結晶シリコン膜 P E 1 2 を貫通するため、多結晶シリコン膜 P E 1 2 に適正な量の不純物を注入することが困難になる可能性がある。

【 0 0 8 9 】

図 2 0 および図 2 1 のようにメモリセルを周辺トランジスタよりも低く形成するのではなく、反対に周辺トランジスタを低く、メモリセルを高く（厚く）形成する方が好ましい。周辺トランジスタは素子の動作速度を高めるため微細化がすすめられており、微細化に伴いゲートの高さが低くなっている。仮に周辺トランジスタのゲートが高く形成されれば、ゲートの断面のアスペクト比が大きくなりそのバランスを確保できなくなる。このため周辺トランジスタはメモリセルよりもゲートが低く形成される方が好ましい。

40

【 0 0 9 0 】

しかしこのようにすれば、上記の図 1 4 ~ 図 1 9 の工程と同様に、メモリセルにおける多結晶シリコン膜 P E 1 1 , P E 1 2 のシリサイド膜 S C が除去される問題が再び発生する。

【 0 0 9 1 】

50

すなわちメモリセルFMSがゲートファーストプロセスにより形成され、周辺トランジスタTRがゲートラストプロセスにより形成されれば、メモリセルFMSの多結晶シリコン膜PE11, PE12が周辺トランジスタの第3のダミー電極PE3に対してどのような厚み(高さ)の大小関係となるように形成されようと、上記のような問題が生じ得るため、最終製品の信頼性が低下する可能性がある。

【0092】

そもそも、メモリセルFMSがゲートファーストプロセスにより形成され、周辺トランジスタTRがゲートラストプロセスにより形成されるという製造方法は、一部の領域にゲートラストプロセスを施すだけのために工程数を増加する必要があるため、非常に煩雑である。

10

【0093】

そこで一実施の形態のように、メモリセルFMSと周辺トランジスタTRとの双方をゲートラストプロセスにより形成することにより、周辺トランジスタTRがゲートラストプロセスにより形成される比較例の工程に比べて工程数を増加することなく、より信頼性の高い半導体装置を提供することができるという知見が得られた。

【0094】

具体的には、一実施の形態のように、第1, 第2のダミー電極PE1, PE2が第3のダミー電極PE3に比べて厚く形成されることが好ましい。このようにすれば、メモリセルの電極の型崩れを抑制し、かつ周辺トランジスタの微細化により周辺トランジスタを薄くすることができる。また、第2のダミー電極PE2は、第1のダミー電極PE1の側壁部に形成されているため、第2のダミー電極PE2の上面は斜めになっている。そのため、図10に示す工程において、第2のダミー電極PE2が第3のダミー電極PE3よりも高くないと、第2のダミー電極PE2の露出部が狭くなってしまい、図11の工程で、第2の電極を除去するのが困難になってしまう。また、図12の工程で、開口部に金属膜を埋め込むのも困難になる。そのため、一実施の形態では、第2のダミー電極PE2が第3のダミー電極PE3よりも高くなるようにしている。

20

【0095】

第1, 第2のダミー電極PE1, PE2が第3のダミー電極PE3に比べて厚く形成される場合、第3のダミー電極PE3の上面が研磨されることにより第1, 第2の電極の上面も研磨される。このように第1, 第2のダミー電極PE1, PE2の上面が研磨されて開口部が形成されることにより、後の工程において当該開口部を通じて第1, 第2のダミー電極PE1, PE2を確実に除去することができる。

30

【0096】

このように、一実施の形態では、メモリセルFMSのダミーのコントロールゲートである第1のダミー電極PE1と、ダミーのメモリゲートである第2のダミー電極PE2とが、周辺トランジスタTRのダミーのゲートである第3のダミー電極PE3よりも高く形成される。このため、CMPによる平坦化工程後に、ダミーのコントロールゲートとダミーのメモリゲートとダミーのゲートとを確実に除去し、その除去後の開口部に金属膜を埋め込むことができる。そして、メモリセルFMSと周辺トランジスタTRとをともに容易にゲートラストプロセスで形成することができる。

40

【0097】

この結果、図14～図19に示す工程のように周辺トランジスタはゲートラストプロセスとしメモリセルはゲートファーストプロセスとする作り分けをする必要がなくなり、プロセス工程数を大幅に削減することが可能となる。その結果、工程数が削減したことにより特性ばらつきの影響も小さくなり、半導体装置としての信頼性が向上する。

【0098】

なお、第1, 第2のダミー電極PE1, PE2が第3のダミー電極PE3に比べて厚く形成されることは、第1, 第2のダミー電極PE1, PE2は後工程において除去される電極であるためまったく問題はない。第1, 第2のダミー電極PE1, PE2が第3のダミー電極PE3に比べて厚く形成されることにより、メモリセルの側壁絶縁膜SWおよび

50

メモリゲート絶縁膜 M I の高さ（厚み）が最終的に周辺トランジスタとほぼ等しい高さ（厚み）を有するものとすることができる。

【 0 0 9 9 】

次に一実施の形態においては、いったん形成された多結晶シリコンからなるダミー電極 P E 1 ~ P E 3 が除去され、その後にコントロールゲート膜 C G、メモリゲート膜 M G およびゲート膜 G E が形成される。これらは金属含有膜 M T 1 ~ M T 3 を含むために、多結晶シリコンのダミー電極 P E 1 ~ P E 3 よりも抵抗が小さくなる。このため、周辺トランジスタおよびメモリセルの微細化に伴う抵抗の増加を抑制することができる。金属含有膜 M T 1 ~ M T 3 は多結晶シリコン膜 P L Y を含んでいるが、金属膜 M L を含むことにより、十分に抵抗値を下げることもできる。

10

【 0 1 0 0 】

またコントロールゲート膜 C G およびメモリゲート膜 M G などが金属膜 M L を含むことにより、ゲート空乏化が抑制される。そのため反転ゲート容量が大きくなり短チャネル特性を改善することが可能となる。

【 0 1 0 1 】

メモリゲート膜 M G などが金属膜 M L を含むことにより、メモリゲート膜 M G の仕事関数の変化を通じてメモリゲート膜 M G からシリコン窒化膜 N F への電子の注入を抑制することができ、結果的にメモリセル F M S をより深く（確実に）データ消去することができる。

【 0 1 0 2 】

20

またコントロールゲート膜 C G などが高誘電率絶縁膜 H K を有することにより、コントロールゲート絶縁膜 C I などの薄膜化が困難となっても高い容量性を維持することができる。

【 0 1 0 3 】

ところが高誘電率絶縁膜 H K を用いた場合、メモリゲート膜 M G の仕事関数の制御が困難になる可能性がある。そこで仕事関数の調整膜 W A J を形成することにより、メモリゲート膜 M G の仕事関数が調整できる。ただし調整膜 W A J は熱に弱いため、たとえば調整膜 W A J を含むメモリゲート膜 M G の形成後にソース領域 S R やドレイン領域 D R のアニールなどの熱処理がなされると、仕事関数の調整が不可になる可能性がある。

【 0 1 0 4 】

30

そこでメモリセル F M S を構成するコントロールゲート膜 C G およびメモリゲート膜 M G を形成する前に、ダミー電極 P E 1 , P E 2 を形成し、上記の（高温）熱処理を含む通常のトランジスタのプロセスの後にダミー電極 P E 1 , P E 2 を除去したうえで、調整膜 W A J を含むコントロールゲート膜 C G およびメモリゲート膜 M G が形成される、いわゆるゲートラストプロセスがなされる。このようにすれば、調整膜 W A J が熱による悪影響を被ることが抑制され、仕事関数の調整がより容易になされる。その結果、メモリゲート膜 M G のデータの消去などをより確実に（より深く）行なうことができる。

【 0 1 0 5 】

コントロールゲート膜 C G およびメモリゲート膜 M G はダミー電極 P E 1 , P E 2 に比べて低抵抗であるため、コントロールゲート膜 C G およびメモリゲート膜 M G の形成後はこの上面にシリサイド膜 S C を形成する必要がない。このためコントロールゲート膜 C G およびメモリゲート膜 M G の形成後には上記のようにアニールなど高温の熱処理の必要がなくなり、上記の効果を奏することができる。さらにコントロールゲート膜 C G およびメモリゲート膜 M G の上面にシリサイド膜 S C が形成されないため、これらの電極上のシリサイド膜 S C 同士が接触することに起因する両者の短絡を抑制することもできる。

40

【 0 1 0 6 】

なお上記のように、図 1 0 の C M P 工程 1 においてダミー電極 P E 1 , P E 2 などの上面が完全に露出するように研磨がなされることが好ましい。このようにすれば、図 1 1 の工程においてダミー電極 P E 1 , P E 2 などを確実に除去することができる。

【 0 1 0 7 】

50

さらに周辺トランジスタのゲート膜 G E についてもメモリセルのコントロールゲート膜 C G およびメモリゲート膜 M G と同様の構成を有することにより、周辺トランジスタ T R をより高容量化、低抵抗化することができる。また周辺トランジスタのゲート膜 G E とメモリセルのコントロールゲート膜 C G およびメモリゲート膜 M G とを同時に形成することができるので、工程数の増加を抑制することができる。

【 0 1 0 8 】

(実施の形態 2)

図 2 2 を参照して、本実施の形態の半導体装置は、図 2 に示す実施の形態 1 の半導体装置と大筋で同様の構成を備えている。しかし本実施の形態においては、金属含有膜 M T 1 ~ M T 3 が多結晶シリコン P L Y を含まず金属膜 M L のみになっている点で、実施の形態 1 と相違する。金属膜 M L はたとえば窒化チタンの薄膜である。

10

【 0 1 0 9 】

本実施の形態の金属含有膜 M T 1 ~ M T 3 は、実施の形態 1 の金属含有膜 M T 1 ~ M T 3 とほぼ同じ厚みを有する。本実施の形態の金属膜 M L の膜厚は、実施の形態 1 の金属膜 M L と多結晶シリコン膜 P L Y との厚みの和にほぼ等しい。

【 0 1 1 0 】

本実施の形態は上記の点においてのみ実施の形態 1 と異なっており、他の点においては実施の形態 1 と同様であるため、実施の形態 1 と同一の構成要素については図 2 2 においても実施の形態 1 と同一の符号を付し、その説明を繰り返さない。このことは以降の各実施の形態においても同様である。

20

【 0 1 1 1 】

実施の形態 1 においては、金属含有膜 M T 1 ~ M T 3 を形成するために金属膜 M L と多結晶シリコン膜 P L Y との 2 層を形成する必要があるが、本実施の形態においては金属膜 M L の 1 層のみを形成すればよい。このためプロセスがより簡略化される。

【 0 1 1 2 】

また多結晶シリコン膜 P L Y の代わりに金属である窒化チタンの薄膜が配置されることにより、金属含有膜 M T 1 ~ M T 3 全体の抵抗を減少させることができる。

【 0 1 1 3 】

(実施の形態 3)

図 2 3 を参照して、本実施の形態においては、メモリゲート絶縁膜 M I を構成するシリコン窒化膜 N F の延長部において、その端部がシリコン酸化膜 O 1 , O 2 の延長部の端部よりも内側に形成されている。その結果、シリコン窒化膜 N F の延長部の端部はメモリゲート膜 M G の端部 (図 2 3 の右側の側面) よりも内側に形成されている。なおここで内側とは図 2 3 の左側 (コントロールゲート膜 C G の配置される側) である。

30

【 0 1 1 4 】

シリコン窒化膜 N F は、下記のようにオーバーエッチングされることにより、その端部がメモリゲート膜 M G の端部よりも内側に形成され、その後の側壁絶縁膜 S W が形成される際に、当該絶縁膜によりシリコン窒化膜 N F の端部の外側が埋め込まれる。ただし他の実施の形態と同様に、メモリゲート絶縁膜 M I のシリコン酸化膜 O 1 , O 2 の端部は、メモリゲート膜 M G の端部と同一平面を有する (ツライチとなる) ように形成されている。

40

【 0 1 1 5 】

図 2 3 の構成は、以下に述べる方法により形成される。

図 6 と同様にメモリセルの形成領域にメモリゲート絶縁膜 M I と第 2 のダミー電極 P E 2 とが形成された後、半導体基板 S U B の主表面の、ソース領域 S R よりも内側 (図 2 3 における左側) に高濃度注入ソース M S が形成される。この高濃度注入ソース M S はソース領域 S R などと同様にイオン注入により形成される。高濃度注入ソース M S における不純物濃度は、ソース領域 S R と位置的に連続するように形成される。

【 0 1 1 6 】

当該メモリセルがホットホール消去型である場合には、高濃度注入ソース M S は、高濃度注入による急峻なプロファイルが必要なため L D D としないことが好ましい。しかし当

50

該メモリセルがトンネル消去型である場合には、高濃度注入ソースM Sは高濃度である必要はなく、通常のM I Sトランジスタと同様に短チャネル特性が良くなるように低濃度化してもよい。

【0117】

高濃度注入ソースM Sの形成後、メモリゲート絶縁膜M Iのシリコン窒化膜N Fのみが、選択的に延長部の端部からオーバーエッチングされる。この処理により、メモリゲート絶縁膜M Iの中でもシリコン窒化膜N Fのみ、その端部がメモリゲート膜M Gの端部よりも内側に形成される。

【0118】

本実施の形態の構成は、以上の構成を有するために、メモリセルF M Sのデータの消去の効率を高めることができる。このことについて以下に説明する。

【0119】

高濃度注入ソースM Sは、シリコン窒化膜N Fに正孔を注入してメモリセルF M Sのデータを消去する際に、高濃度注入ソースM Sの端部の近傍における半導体基板S U Bのシリコンに正孔を形成させ、当該正孔を電界により加速させてシリコン窒化膜N F中に注入させるために配置される。

【0120】

しかしながら、シリコン窒化膜N Fが配置されていれば、当該領域においては正孔を加速させる電界が弱くなるために、高濃度注入ソースM Sの真上のシリコン窒化膜N Fには正孔が注入されにくくなる。その結果、データの消去が遅くなる可能性がある。

【0121】

具体的には、仮に高濃度注入ソースM Sの真上にメモリゲート膜M Gがオーバーラップすれば、高濃度注入ソースM Sの真上にあるシリコン窒化膜N Fには通常は正孔は注入されない。特にいわゆるE x t e n s i o nと呼ばれる不純物の拡散領域が形成された場合にはそのようになる。この場合にはメモリゲート膜M Gと高濃度注入ソースM Sとの間の電界強度は変化せず、データの消去は通常通りになされる。しかしながら仮に高濃度注入ソースM Sの真上のシリコン窒化膜N Fに正孔が注入されれば、注入された正孔はオーバーラップされたメモリゲート膜M Gにまで移動できる。そのようになれば、メモリゲート膜M Gと高濃度注入ソースM Sとの間の電界強度が弱くなり、データの消去が遅くなる。

【0122】

そこで図23のように、高濃度注入ソースM Sの真上にはシリコン窒化膜N Fが配置されない態様とすることにより、正孔を加速させる電界が弱くなることが抑制され、より高効率に正孔がシリコン窒化膜N F中に注入される。したがってメモリセルF M Sのデータの消去の効率をより高めることができる。

【0123】

(実施の形態4)

図24を参照して、本実施の形態、および以上に述べた各実施の形態のメモリセルF M Sおよび周辺トランジスタT Rは、たとえばシリコンの単結晶により形成された半導体ウェハW F Rに形成されている。具体的には、半導体ウェハW F Rの主表面には互いに間隔をあけて複数のチップ領域C R(素子形成領域)が行列状に配置されている。このチップ領域C Rに、上記のメモリセルF M Sおよび周辺トランジスタT Rなどの半導体素子が形成される。なお上記の半導体基板S U Bとは半導体ウェハW F Rの土台としての基板を意味し、実質的に半導体ウェハW F Rと半導体基板S U Bとは同義である。

【0124】

隣り合う1対のチップ領域C Rに挟まれた領域、言い換えればチップ領域C Rの周囲に形成された領域はダイシング領域D L Rであり、ダイシング領域D L Rにおいて1枚の半導体ウェハW F Rがチップ領域C Rごとに分割された半導体チップとして形成される。

【0125】

図25を参照して、ダイシング領域D L Rは半導体ウェハW F Rが切断される領域であるため、ここにはメモリセルF M Sなどを形成するための位置合わせ用マークなどが形成

10

20

30

40

50

される。ただしこのダイシング領域DLRには、少なくともその一部に、構造体形成領域FMRが形成されており、構造体形成領域FMRには複数の構造体FFMSが形成されている。

【0126】

図26を参照して、ダイシング領域DLRの構造体FFMSは、ダミーとして形成されるものであるため、たとえば多結晶シリコンの薄膜により形成されるなど、メモリセルFMSおよびトランジスタTRの電極とは異なる構成や材質であってもよい。

【0127】

図27を参照して、ダイシング領域DLRの構造体FFMSは、図5に示す第1の積層構造を形成する工程、または図6に示す第2の積層構造を形成する工程と同時に、ダイシング領域に対して形成されることが好ましい。上記のとおり構造体FFMSの構成や材質は第1および第2の積層構造の電極などとは異なってもよい。

【0128】

構造体FFMSは、第1または第2の積層構造の厚み（高さ）とほぼ同じ厚みとなるように形成されることが好ましい。なお第2の積層構造を構成する第2のダミー電極PE2は、エッチバックされることによりその断面形状が右肩下がりになるためその厚み（高さ）が一定にならない。ここでは第2の積層構造の厚み（高さ）とはその最大の厚みであり、第1の積層構造の上面と同一平面をなす上面部（ツライチとなった部分）の厚みを意味するものとする。

【0129】

上記の各実施の形態において形成される第1のダミー電極PE1と第2のダミー電極PE2とほぼ同じ高さの構造体FFMSが形成されれば、たとえば図10に示す工程のようにダミー電極PE1、PE2の上面が研磨されるCMPがなされる場合に、構造体FFMSがCMPの際に半導体基板SUB側に加わる力を支えることができる。このため、たとえばダミー電極PE1、PE2とダミー電極PE3との厚みが異なる場合においても、半導体基板SUBの位置に対するCMPの加工量のばらつきなどを低減し、より均一にCMPの研磨がなされる。

【0130】

構造体FFMSの支持の下でダミー電極PE1～PE3がCMPにより、構造体FFMSと高さが同一となるように研磨されれば、図26に示すように、その後形成されるコントロールゲート膜CG、メモリゲート膜MGおよびゲート膜GEと、構造体FFMSとの高さがほぼ同一となるようにすることができる。

【0131】

上記のCMPは、ゲートラストプロセスを行なう際にメモリセルFMSおよびトランジスタTRのダミー電極PE1、PE2などを効果的に除去するために極めて重要な工程であり、CMPの加工量にばらつきが生じれば、最終的に形成されるメモリセルFMSなどの電極の形状に異常を来す可能性がある。しかしながら上記のようにダイシング領域DLRにダミーの構造体FFMSを形成することにより、CMPの加工精度を高めることができるため、最終的に形成されるメモリセルFMSなどの信頼性を高めることができる。

【0132】

その他、実施の形態に記載された内容の一部を以下に記載する。

(1) 半導体装置は、半導体基板の主表面に形成されるメモリセルと周辺トランジスタとを備える半導体装置である。上記メモリセルは、主表面に形成される第1の絶縁膜と、第1の絶縁膜の上面に接する第1の金属含有膜とが積層された第1のゲートを含む。上記メモリセルは、主表面に形成される、第1のゲートの側面に接するとともに半導体基板の主表面上にまで延びる延長部を有するように形成された第2の絶縁膜と、第2の絶縁膜の延長部の上面を含めて第2の絶縁膜に接する第2の金属含有膜とが積層された第2のゲートを含む。上記周辺トランジスタは、主表面に形成される第3の絶縁膜と、第3の絶縁膜の上面に接する第3の金属含有膜とが積層された第3のゲートを含む。上記第1、第2および第3の金属含有膜の上面は平坦な面である。

【 0 1 3 3 】

(2) (1) の半導体装置において、上記第 1、第 2 および第 3 のゲートの高さが同一である。

【 0 1 3 4 】

(3) (1) の半導体装置において、上記第 2 の絶縁膜には電荷を蓄積する電荷蓄積膜を含む。

【 0 1 3 5 】

(4) (1) の半導体装置において、上記電荷蓄積膜はシリコン窒化膜である。

(5) (1) の半導体装置において、上記第 2 の絶縁膜は、第 1 のシリコン酸化膜と、シリコン窒化膜と、第 2 のシリコン酸化膜とがこの順に積層された構成を有する。

10

【 0 1 3 6 】

(6) (4) または (5) の半導体装置において、上記シリコン窒化膜の端部は、第 2 の金属含有膜の端部よりも内側に配置される。

【 0 1 3 7 】

(7) (1) の半導体装置において、上記メモリセルは、主表面に形成され、第 1 および第 2 のゲートを挟むように配置されるドレイン領域およびソース領域を有する。上記ドレイン領域およびソース領域にはシリサイドが形成されている。

【 0 1 3 8 】

(8) (1) の半導体装置において、上記周辺トランジスタは、主表面に形成され、第 3 のゲートを挟むように配置されるドレイン領域およびソース領域を有する。

20

【 0 1 3 9 】

(9) (1) の半導体装置において、上記第 1、第 2 および第 3 の金属含有膜は金属含有膜 (他の膜を含んでもよい) を含む。上記金属含有膜は窒化チタンの薄膜のみから構成される。

【 0 1 4 0 】

(1 0) (1) の半導体装置において、上記第 1、第 2 および第 3 の金属含有膜は金属含有膜 (他の膜を含んでもよい) を含む。上記金属含有膜は、窒化チタンの薄膜と、多結晶シリコンの薄膜とがこの順に積層された構成を有する。

【 0 1 4 1 】

(1 1) (9) または (1 0) の半導体装置において、上記第 1、第 2 および第 3 の金属含有膜は、第 1、第 2 および第 3 の絶縁膜より誘電率が高い誘電体膜と、高誘電率絶縁膜の仕事関数を調整する調整膜と、金属含有膜とがこの順に積層された構成を有する。

30

【 0 1 4 2 】

(1 2) (1) の半導体装置において、上記主表面には、メモリセルおよび周辺トランジスタが形成される素子形成領域と、素子形成領域の周囲に形成されるダイシング領域とを有する。上記ダイシング領域には、第 1、第 2 および第 3 のゲートと同じ厚みを有する構造体が形成される工程をさらに備える。

【 0 1 4 3 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

40

【 符号の説明 】

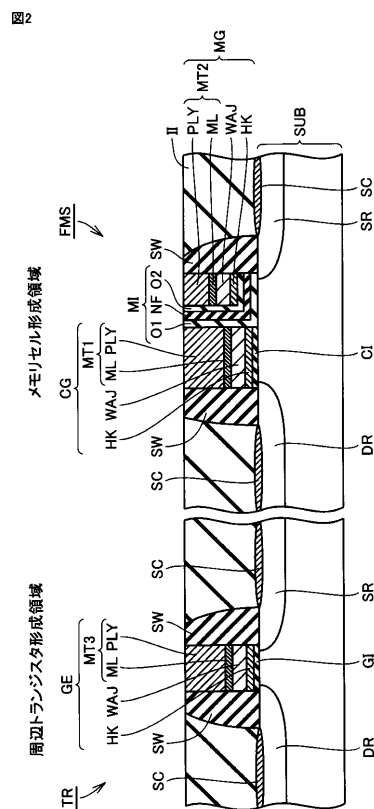
【 0 1 4 4 】

C G コントロールゲート膜、C I コントロールゲート絶縁膜、C R チップ領域、C V 1 , C V 2 , C V 3 開口部、D L R ダイシング領域、D R ドレイン領域、F F M S 構造体、F M R 構造体形成領域、F M S メモリセル、G E ゲート膜、G I ゲート絶縁膜、H K 高誘電率絶縁膜、I I 層間絶縁層、M G メモリゲート膜、M I メモリゲート絶縁膜、M L 金属膜、M S 高濃度注入ソース、M T 1 , M T 2 , M T 3 金属含有膜、N F シリコン窒化膜、O 1 , O 2 シリコン酸化膜、P E 1 第 1 のダミー電極、P E 2 第 2 のダミー電極、P E 3 第 3 のダミー電極、P L Y 多結晶シ

50

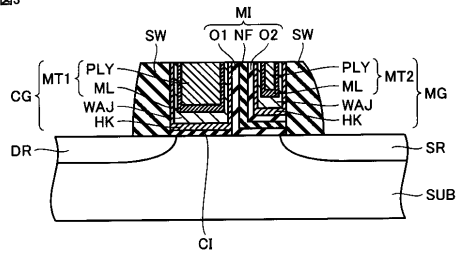
リコン膜、ＳＣ シリサイド膜、ＳＲ ソース領域、ＳＵＢ 半導体基板、ＳＷ 側壁絶縁膜、ＴＲ トランジスタ、ＷＡＪ 調整膜、ＷＦＲ 半導体ウェハ。

【 図 2 】



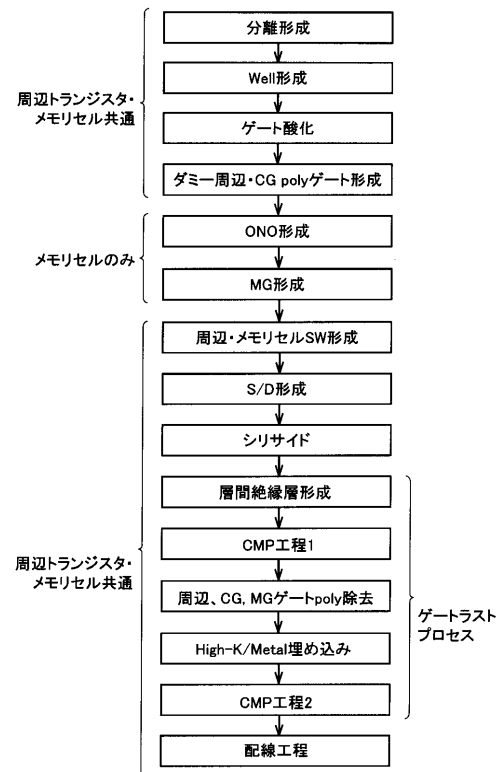
【図 3】

図3



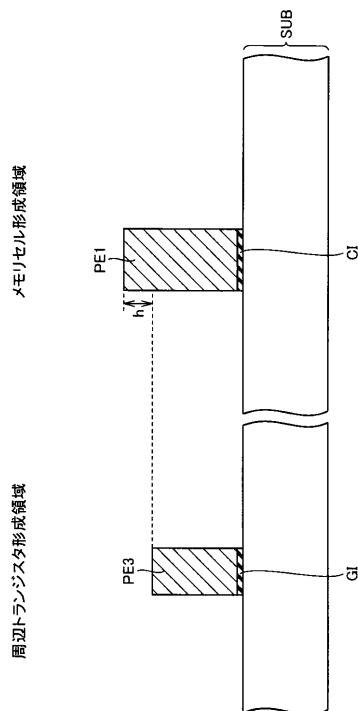
【図 4】

図4



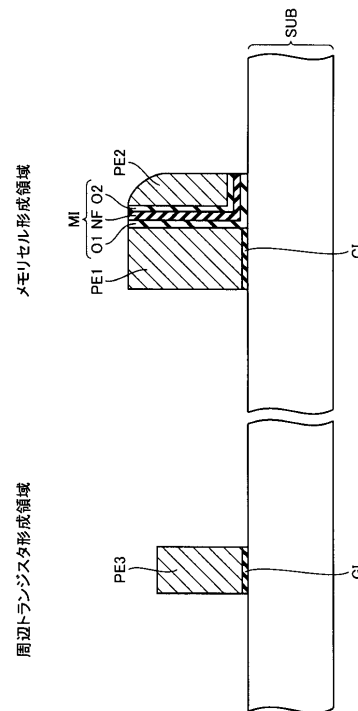
【図 5】

図5



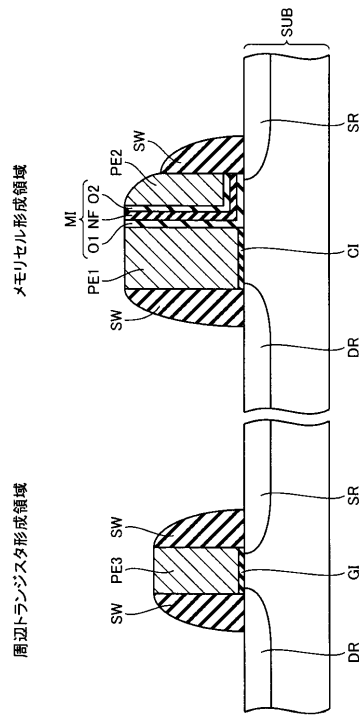
【図 6】

図6



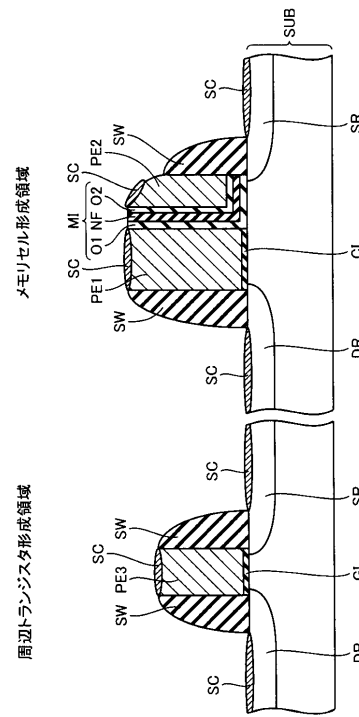
【図 7】

図 7



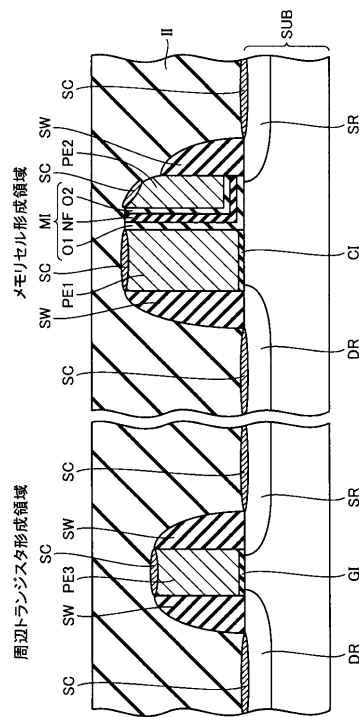
【図 8】

図 8



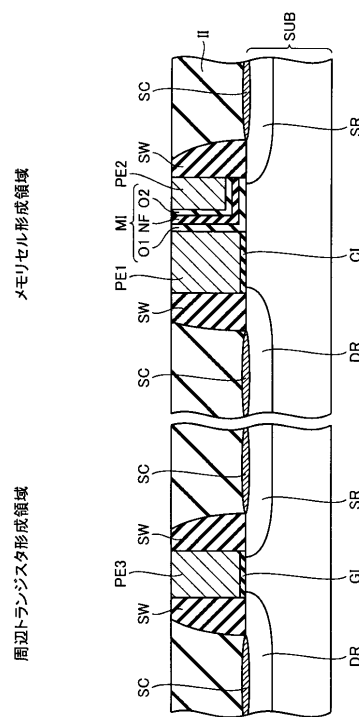
【図 9】

図 9



【図 10】

図 10

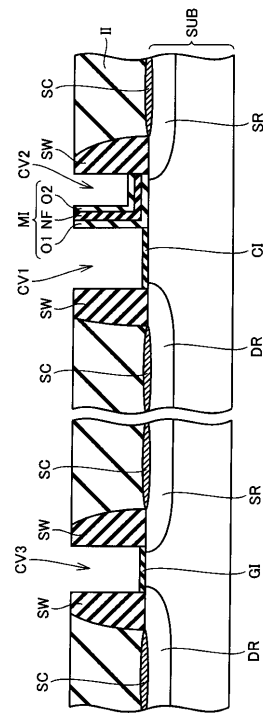


【図 1 1】

図11

メモリセル形成領域

周辺トランジスタ形成領域

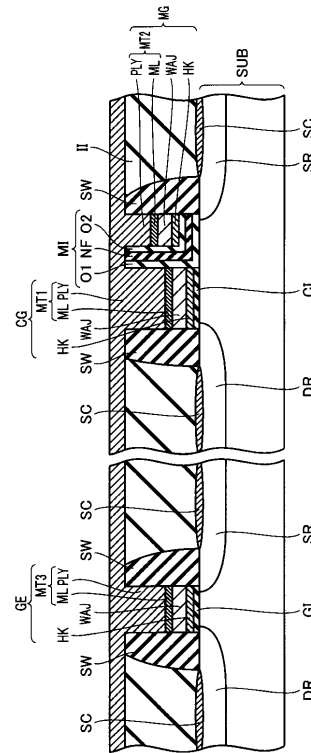


【図 1 2】

図12

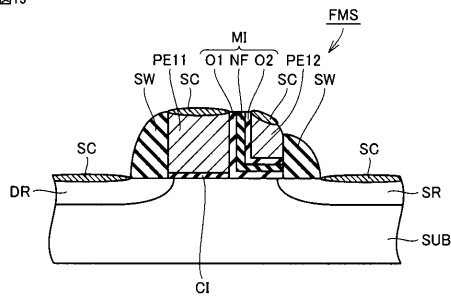
メモリセル形成領域

周辺トランジスタ形成領域



【図 1 3】

図13



【図 1 4】

図14

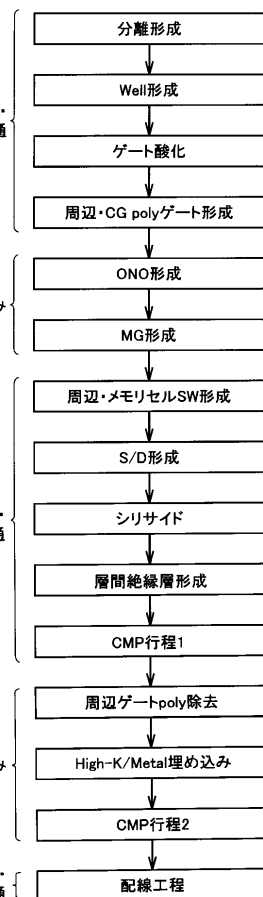
周辺トランジスタ・メモリセル共通

メモリセルのみ

周辺トランジスタ・メモリセル共通

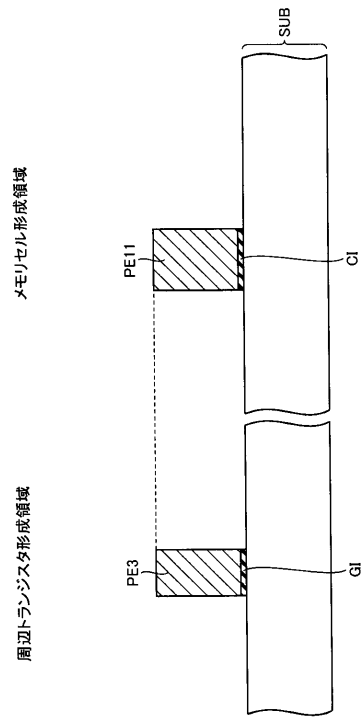
周辺トランジスタのみ

周辺トランジスタ・メモリセル共通



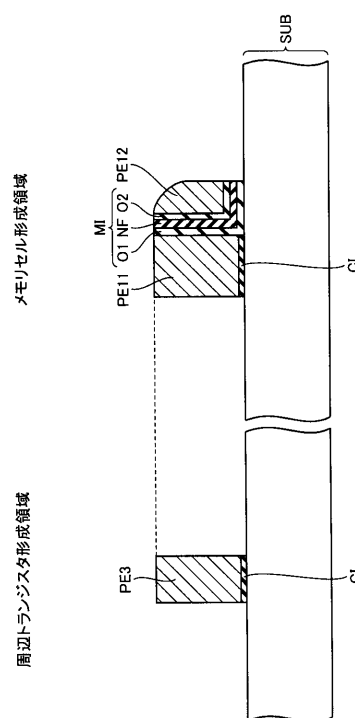
【図 15】

図15



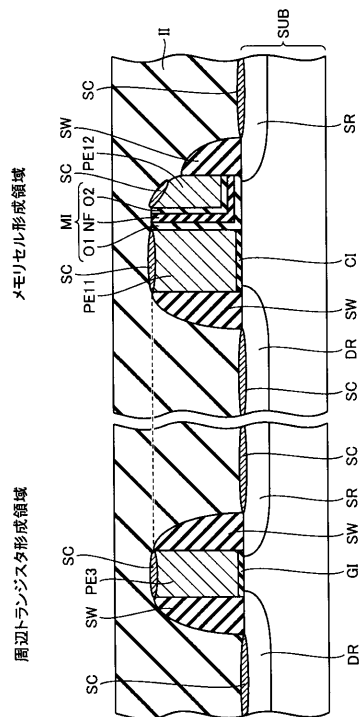
【図 16】

図16



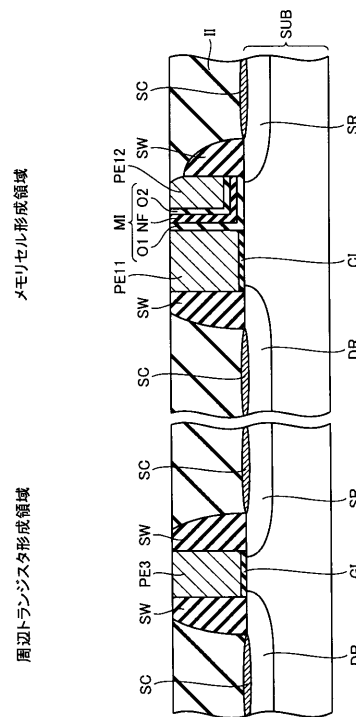
【図 17】

図17



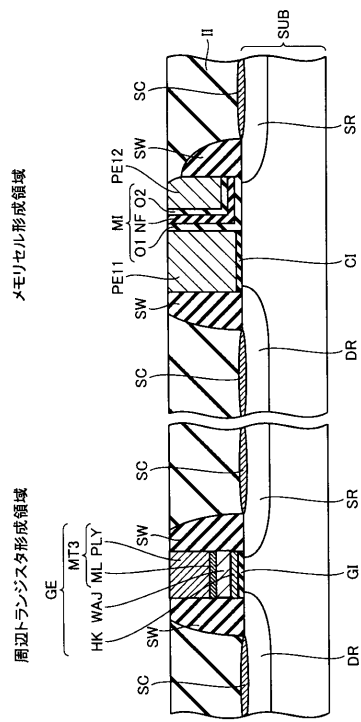
【図 18】

図18



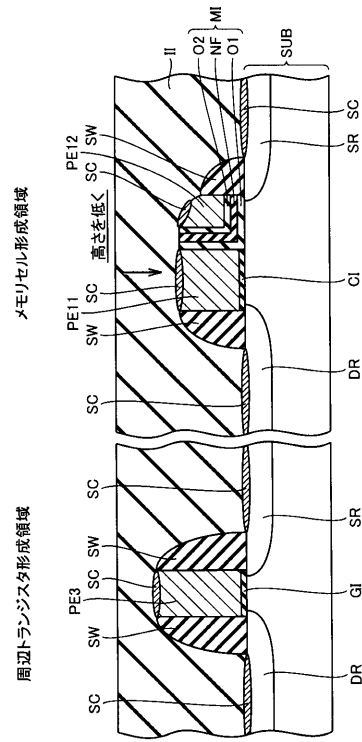
【図 19】

図19



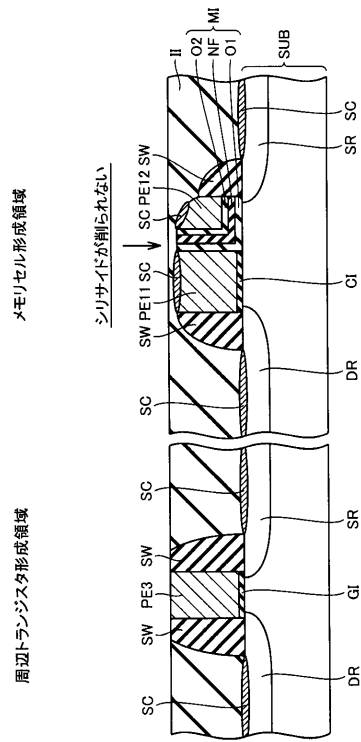
【図 20】

図20



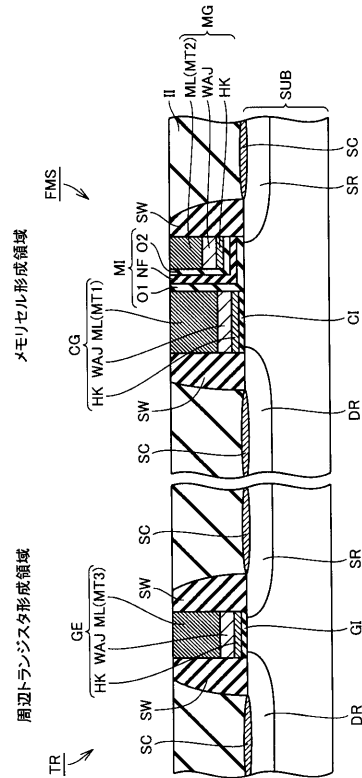
【図 21】

図21

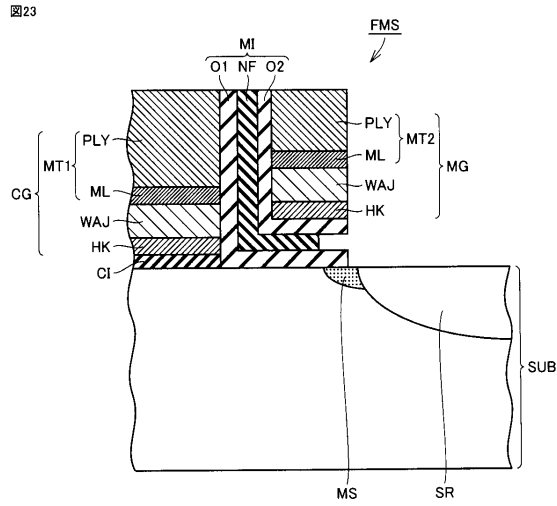


【図 22】

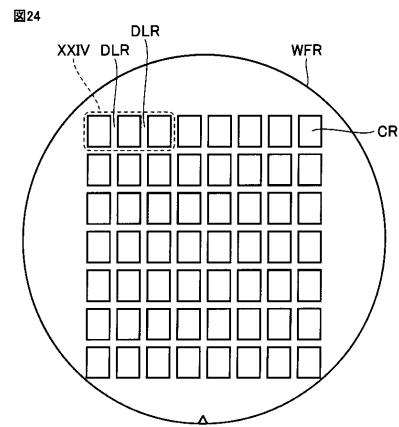
図22



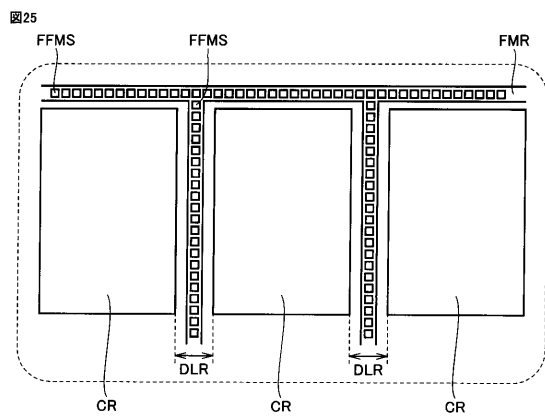
【図 23】



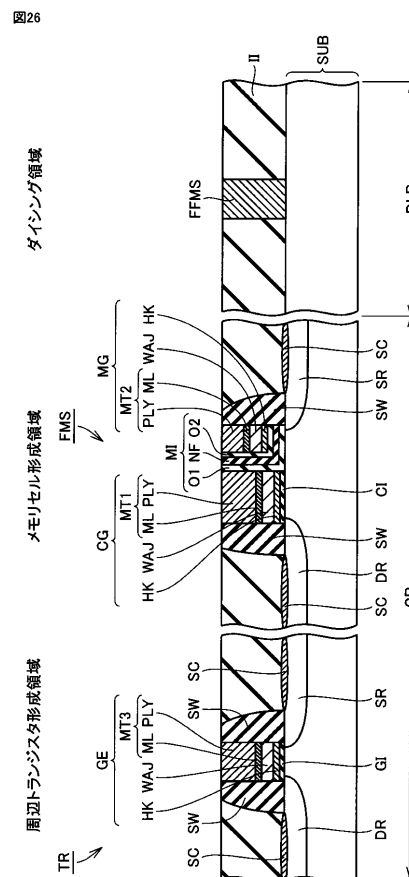
【図 24】



【図 25】

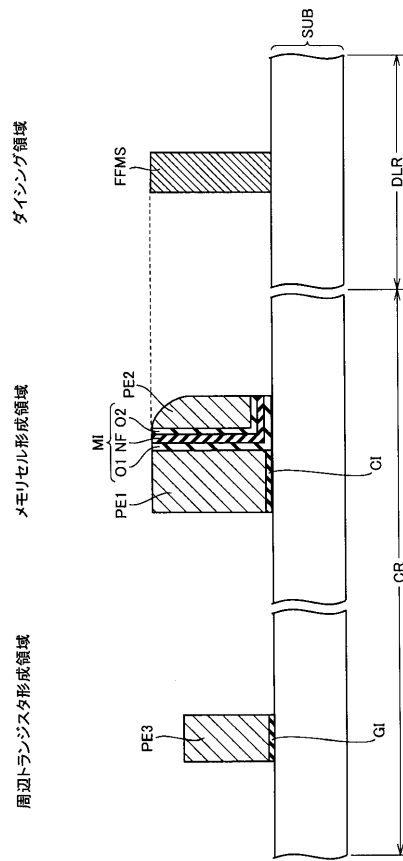


【図 26】



【図 27】

図27



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/10 (2006.01)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/49 (2006.01)

(72)発明者 國清 辰也

神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

審査官 小山 満

(56)参考文献 特開 2 0 1 1 - 0 4 9 2 8 2 (J P , A)

特開 2 0 0 3 - 3 1 8 2 9 0 (J P , A)

米国特許出願公開第 2 0 1 1 / 0 3 0 9 4 3 4 (U S , A 1)

特開 2 0 0 9 - 0 5 9 9 2 7 (J P , A)

特開 2 0 1 0 - 2 4 5 3 4 5 (J P , A)

特開 2 0 0 4 - 3 0 3 9 1 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2 4 7

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 7 / 1 0

H 0 1 L 2 7 / 1 1 5

H 0 1 L 2 9 / 4 2 3

H 0 1 L 2 9 / 4 9

H 0 1 L 2 9 / 7 8 8

H 0 1 L 2 9 / 7 9 2