

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 11/40

(45) 공고일자 1991년05월11일
(11) 공고번호 특 1991-0002966

(21) 출원번호	특 1987-0004925	(65) 공개번호	특 1987-0011619
(22) 출원일자	1987년05월19일	(43) 공개일자	1987년12월24일
(30) 우선권주장	114156 1986년05월19일 일본(JP)		
(71) 출원인	가부시기이사 도시바 와타리 스기이치로 일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지		

(72) 발명자
이와타 요시히사
일본국 가나가와현 가와사키시 사이와이구 고무가이 도시바정 1번지 가
부시기이사 도시바 종합연구소내
(74) 대리인
김윤배

심사관 : 김영길 (책자공보 제2289호)

(54) 반도체기억장치의 버퍼회로로 적합한 반도체감지회로

요약

내용 없음.

대표도

도1

영세서

[발명의 명칭]

반도체기억장치의 버퍼회로로 적합한 반도체감지회로

[도면의 간단한 설명]

제1도는 본 발명의 1실시예에 따른 버퍼회로를 나타낸 회로도.

제2도는 제1도의 버퍼회로동작을 설명하기 위한 신호파형도.

제3도는 제1도의 레벨변환회로를 구체화시켜 나타낸 버퍼회로의 회로구성도.

제4도는 제3도의 버퍼회로동작을 설명하기 위한 신호파형도.

제5도는 다른 형태의 레벨변환회로가 갖추어진 버퍼회로를 나타낸 회로도.

제6도는 DRAM에 본 발명에 따른 행어드레스버퍼회로를 적용한 경우를 나타낸 회로도.

제7도는 제6도의 버퍼회로동작을 설명하기 위한 신호파형도.

제8도는 종래의 버퍼회로를 도시해 놓은 회로구성도.

제9도는 제8도에 도시된 버퍼회로의 동작을 설명하기 위한 신호파형도.

제10도 및 제11도는 종래의 다른 버퍼회로의 예를 도시해 놓은 회로구성도이다.

* 도면의 주요부분에 대한 부호의 설명

1i : 버퍼회로 2 : 기준전압발생회로

11 : 감지증폭기 12 : 제1전송게이트

13 : 제2전송게이트 14 : 레벨변환회로

N1 : 제1점속점 N2 : 제2점속점

B_i : 외부입력신호 V_R : 기준전압

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체메모리의 각종 버퍼회로로 사용할 수 있도록 된 반도체감지회로에 관한 것이다.

[종래의 기술 및 그 문제점]

최근 대규모 DRAM의 경우에는 MOS트랜지스터로 구성되고, 또 반도체메모리로 입력신호와 제어신호를 공급하는 외부논리회로는 바이폴라트랜지스터로 구성되어 있기 때문에, 반도체메모리는 MOS논리신호레벨에서 동작되고 외부논리회로는 TTL신호레벨에서 동작되도록 되어 있다.

그리고, MOS반도체메모리에 이용되는 MOS논리레벨시스템에서는 논리신호의 하이레벨이 전원전압의 하이레벨(V_{cc})인 예컨대 +5V로 설정되고 논리신호의 로우레벨은 전원전압의 로우레벨(V_s , 접지전위)로 설정되는 반면, 외부논리회로에 이용되고 있는 TTL레벨시스템에서는 논리신호의 하이레벨은 +2.4V~+6.5V 범위로 설정되고 논리신호의 로우레벨은 -1V~-0.8V의 범위로 설정되어 있다.

그런데, 외부논리회로와 반도체메모리는 전술한 바와 같이 신호의 논리레벨에 차이가 있기 때문에 반도체메모리내에는 TTL신호레벨을 MOS논리레벨로 전환시켜 주기 위한 버퍼회로가 필요하게 된다. 이러한 버퍼회로는 어드레스입력신호용의 어드레스버퍼회로와, 데이터입력신호용의 데이터입력버퍼회로 및, 제어신호용의 제어신호버퍼회로로 구분되어 있는데, 그중 어드레스버퍼회로가 대표적으로 많이 사용되게 된다.

제8도는 상기와 같은 일반적인 버퍼회로를 도시해 놓은 구성도이고, 제9도는 그 동작파형도로, 제8도에서 각 버퍼회로($1_1, 1_2, \dots, 1_i$)는 제1입력($N1$)과 제2입력($N2$)을 갖춘 감지증폭기(11)의 제1 및 제2전송게이트(12, 13)로 구성되게 되는데, 외부적으로 공급되는 입력신호($B1, B2, \dots, Bi$)는 제1전송게이트(12)를 통해서 감지증폭기(11)의 제1입력($N1$)에 접속되고, 또 공통기준전압발생회로(2)는 제2전송게이트(13)를 통해서 감지증폭기(11)의 제2입력($N2$)에 접속된다.

여기서 외부적으로 공급되는 입력신호는 하이레벨(V_{IH}) 또는 로우레벨(V_{IL}) 중 한 레벨을 취하게 되고, 또 기준전압(V_R)은 외부입력신호(Bi)의 하이레벨과 로우레벨의 중간인 일정한 값으로 설정되게 된다.

이어 제1전송게이트(12)와 제2전송게이트(13)는 공통클록신호인 제어신호($\phi 1, \phi 2, \dots, \phi i$)에 의해 제어되게 되는 바, 그 결과 외부입력신호($B1, B2, \dots, Bi$)와 기준전압(V_R)이 감지증폭기(11)의 제1 및 제2입력($N1, N2$)에 각각 랫치되게 되고, 감지증폭기(11)는 외부입력신호의 전압레벨과 기준전압레벨을 비교함으로써 입력신호를 감지 및 증폭시키게 된다. 또, 통상적으로 감지증폭기(11)는 상보적인 출력을 공급하게 된다.

그러나, 상기한 종래의 버퍼회로에서는 기준전압(V_R)이 일정한 레벨로 설정되어 있기 때문에 외부입력신호의 전압레벨에 변동이 발생되게 되면 입력신호전압과 기준전압사이의 레벨차이가 적어져서 버퍼회로의 동작마진이 저하될 우려가 있게 된다.

상기와 같은 문제점을 해결하기 위한 종래의 버퍼회로로서 일본국 특허공개 소 56-134385호에는 제10도에 도시된 회로가 제안되어 있다.

제10도에서, 참조부호 A1~An은 각각 TTL버퍼회로이고, E1~En은 TTL버퍼회로(A1~An)의 각각의 출력부이며, F1~Fn은 감지증폭기, C1~Cn은 기준전압발생회로, D1~Dn은 출력신호인데, 이 버퍼회로는 기준전압발생회로(C1, C2, ..., Cn)가 TTL논리시스템에서 하이레벨 및 로우레벨사이의 중간레벨인 기준전압을 발생시키고, 외부입력신호(B1~Bn)의 전압레벨의 반대위상관계로 그 기준전압을 변화시킴으로써 버퍼회로의 동작마진이 커지도록 한 것이다.

그러나, 이러한 종래의 버퍼회로에서는 입력신호의 변화에 따라 기준전압이 변동되기 때문에 기준전압의 변동에 유한지연이 발생되게 된다. 따라서, 입력신호가 랫치될 때 기준전압변동이 완료되지 않게 되면 회로의 동작마진이 작아지게 된다.

또한, 상기한 버퍼회로의 동작마진을 향상시키기 위한 종래의 회로로서, 일본국 특허공개 소 60-76087호에는 제11도에 도시된 바와 같은 어드레스버퍼회로가 소개되어 있는 바, 제11도에서 참조부호 2는 기준전압발생회로이고, 11은 감지증폭기, 12 및 13은 전송게이트, 14는 레벨시프트회로이다. 이 버퍼회로에서는 레벨시프트동작이 전송게이트(13)의 외부에서 수행되고, 그 레벨시프트된 전압(Aref)이 전송게이트(13)를 통해서 감지증폭기(11)의 노드(N2)에 결합되도록 되어 있다.

이 어드레스버퍼회로의 경우에는 상술한 버퍼회로와 같이 외부입력신호에 대응하는 기준전압발생회로(2)가 제1 및 제2전송게이트(12, 13)가 클럭에 의해 제어되기 전에 제어신호에 의해 동작되도록 설계되어 있다. 그러나, 어드레스신호(Ai)가 감지증폭기(11)의 제1입력에 랫치되기 전에 기준전압발생회로(2)를 동작시키기 위해서는 제1 및 제2전송게이트(12, 13)의 클록타이밍을 지연시킬 필요가 있게 되는데, 이는 버퍼회로를 반도체메모리의 행어드레스버퍼회로로 사용하는 경우의 행어드레ஸ출드시간(t_{RAH})용 마진을 축소시키게 된다.

[발명의 목적]

이에 본 발명은 상기와 같은 사정을 감안하여 발명된 것으로, 반도체메모리의 각종 버퍼회로로 사용할 수 있도록 넓은 동작마진을 갖는 반도체감지회로를 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 본 발명의 반도체감지회로는 미리 정해진 레벨의 기준전압을 발생시키는 기준전압발생회로와, 제1 및 제2점속점을 갖춤과 더불어 그 제1 및 제2점속점에 랫치된 신호전압의 전위차를 증폭하는 감지증폭기, 입력신호와 상기 기준전압발생회로로부터의 기준전압을 각각 상기 감지증폭기의 제1 및 제2점속점으로 전송하여, 그 입력신호와 기준전압이 각각 상기 감지증폭기의 제1 및 제2점속점에 랫치되도록 하는 제1 및 제2전송게이트 및; 상기 감지증폭기의 제2점속점과 제2전송게이트 사이에 접속됨과 더불어, 상기 감지증폭기의 제1점속점에 랫치된 입력신호의 전압레벨에 응답하여 상기 감지증폭기의 제2점속점에 랫치된 기준전압을 시프트시키는 레벨변환회로를 포함하여

구성되어 있다.

[실시예]

이하, 본 발명의 1실시예를 예시도면에 의거하여 상세히 설명한다.

제1도는 본 발명의 1실시예에 따른 반도체메모리에서의 버퍼회로로서, 예컨대 DRAM에서 사용되는 어드레스버퍼회로인 버퍼회로(ϕi)는 감지증폭기(11)와 제1전송게이트(12) 및 제2전송게이트(13)로 구성되는바, 그중 제1전송게이트(12)는 감지증폭기(11)의 제1접속점(N1)에 외부입력신호(B_i)를 랫치시켜 주게되고, 제2전송게이트(13)는 감지증폭기(11)의 제2접속점(N2)에 기준전압을 랫치시켜 주게 된다. 그리고, 기준전압발생회로(2)는 외부입력신호(B_i)의 하이레벨과 로우레벨중간의 일정레벨인 기준전압(V_R ; +1.6V)을 출력하는 것으로서 공지의 것이다. 또, 제1전송게이트(12)와 제2전송게이트(13)의 동작은 예컨대 메모리칩에서 행어드레스스토로브신호에 의해 만들어지는 제어신호인 클록신호(ϕi)의 공급에 따라 턴온 및 턴오프되게 된다.

또 감지증폭기(11)의 제2접속점(N2)과 제2전송게이트(13) 사이에 접속된 레벨변환회로(14)는 감지증폭기(11)의 제1접속점(N1)에 랫치된 외부입력신호의 전위에 의해 제어되게 되는 바, 즉 제1접속점(N1)에 랫치된 외부입력신호의 전압레벨에 따라 레벨변환회로(14)가 제2접속점(N2)에 랫치되어 있는 기준전압(V_R)의 레벨을 시프트하게 된다. 특히 레벨변환회로(14)는 감지증폭기(11)의 제1접속점(N1)에 랫치되어져 있던 외부입력신호(B_i)가 하이레벨일 때 제2접속점(N2)에 랫치되어져 있는 기준전압의 레벨을 기준전압(V_R)보다 낮게 시프트하게 되고, 이와 달리 외부입력신호(B_i)가 로우레벨일 때에는 제2접속점(N2)에 랫치되어 있는 기준전압의 레벨을 기준전압(V_R)보다 높게 시프트하게 된다. 그리고, 여기서 버퍼회로와 레벨변환회로 및 기준전압발생회로는 메모리칩으로 집적화할 수 있게 된다.

제2도는 제1도의 버퍼회로동작을 설명하기 위한 신호파형도로서, 클록신호(ϕi)가 하이레벨로부터 로우레벨로 변환될 때 제1전송게이트(12)와 제2전송게이트(13)가 턴오프상태로 된다. 따라서 TTL레벨인 어드레스입력신호(B_i)가 감지증폭기(11)의 제1접속점(N1)에 랫치되어 레벨변환회로(14)에 의해 레벨시프트된 기준전압(V'_R)이 제2접속점(N2)에 랫치된다. 그리고, 외부입력신호(B_i)가 하이레벨일 때 제2접속점(N2)에 랫치된 기준전압(V'_R)은 기준전압발생회로(2)로부터 공급되는 고정전압(V_R)보다 더 낮은 레벨로 시프트되며 반면, 외부입력신호(B_i)가 로우레벨일 때에는 감지증폭기(11)의 제2접속점(N2)에 랫치된 기준전압(V)은 고정전압(V_R)보다 더 높은 레벨로 시프트되게 된다.

제3도는 CMOS트랜지스터로 이루어지는 반도체메모리에서 사용되는 레벨변환회로(14)의 보다 구체적인 구성예를 도시해 놓은 것으로, 여기서 클록드(clocked) CMOS회로로 이루어진 레벨변환회로(14)는 P챈널 MOS트랜지스터(Q1), (Q2)와 N챈널 MOS트랜지스터(Q3), (Q4)로 구성되면서, P챈널 MOS트랜지스터(Q1), (Q2)의 드레인 · 소오스통로는 전원전압(Vcc ; +5V)과 제2접속점(N2) 사이에 직렬접속되고, N챈널 MOS트랜지스터(Q3), (Q4)의 드레인 · 소오스통로는 접지(Vss)와 감지증폭기(11)의 제2접속점(N2) 사이에 직렬접속된다. 그리고, 트랜지스터(Q1), (Q4)는 그 게이트에 인가되는 상보클록신호(ϕi)에 의해 제어되며, 또 트랜지스터(Q2), (Q3)는 감지증폭기(11)의 제1접속점(N1)의 전위에 의해 제어되며, 따라서 N챈널 트랜지스터로 이루어지는 제1전송게이트(12)와 제2전송게이트(13)가 온상태로 될 때 레벨변환회로(14)의 MOS트랜지스터(Q1), (Q4)는 오프상태로 되며, 제1전송게이트(12)와 제2전송게이트(13)가 오프상태로 될 때에는 레벨변환회로(14)의 MOS트랜지스터(Q1), (Q4)가 온상태로 된다.

제4도는 제3도의 버퍼회로동작을 설명하기 위한 신호파형도로서, 클록신호(ϕi)가 하이레벨일 경우 제1전송게이트(12)와 제2전송게이트(13)는 턴온상태로 된다. 따라서 외부입력신호(B_i)가 감지증폭기(11)의 제1접속점(N1)에 인가되면서 기준전압(V_R)이 제2접속점(N2)에 인가된다.

또 클록신호(ϕi)가 로우상태로 변경될 때에는 제1전송게이트(12)와 제2전송게이트(13)가 턴오프상태로 되므로, 외부입력신호(B_i)가 제1접속점(N1)에 랫치되면서 기준전압(V_R)이 제2접속점(N2)에 랫치되고, 그에 따라 레벨변환회로(14)의 MOS트랜지스터(Q1), (Q4)가 턴온상태로 되며, 이러한 상태에서 제2접속점(N2)의 전위(B_i')가 하이레벨로 되면 N챈널 트랜지스터(Q3)가 P챈널 트랜지스터(Q4)보다 더 높은 정도로 도통되며 제2접속점(N2)에 랫치된 기준전압의 레벨은 기준전압(V_R)이하로 시프트되는데 반하여, 제2접속점(N2)의 전위(B_i')가 로우레벨로 되면 P챈널 트랜지스터(Q2)가 N챈널 트랜지스터(Q3)보다 더 높은 정도로 도통되며 제2접속점(N2)에 랫치된 기준전압의 레벨은 기준전압(V_R) 이상으로 시프트되게 된다.

그리고, 클록신호(ϕi) 이후에 발생하는 감지증폭기활성화용 클록신호(ψi)에 의해 입력신호에 대한 감지동작이 개시된다.

본 실시예에 의하면, 외부입력신호의 전압레벨이 변동되더라도 외부입력신호와 기준전압 사이의 차이레벨이 크게 되므로 큰 동작마진이 얻어지게 된다. 더우기 기준전압의 레벨시프트동작이 감지증폭기의 접속점에 랫치된 입력신호와 전압레벨에 근거하여 이루어지기 때문에 신호지연에 대한 동작마진도 충분히 크게 되고, 데이터랫치에 필요로 되는 훌드시간의 마진은 억으로 영향을 받지 않게 된다.

제5도는 제3도의 레벨변환회로(14)부분을 N챈널 MOS트랜지스터만을 이용하여 구성한 실시예로서, 이 레벨변환회로(14)에서 MOS트랜지스터(Q11), (Q12)는 제2접속점(N2)과 전원전압(Vcc) 사이에 직렬로 접속되고, 또 MOS트랜지스터(Q13), (Q14)는 제2접속점(N2)과 접지(Vss) 사이에 직렬로 접속된다.

한편, 전원전압(Vcc)과 접지(Vss) 사이에는 MOS트랜지스터(Q15), (Q16)가 접속되어 있는데, 이 MOS

트랜지스터(Q15, Q16)의 접속점은 MOS트랜지스터(Q12)의 게이트에 접속되고, MOS트랜지스터(Q16)의 게이트와 MOS트랜지스터(Q13)의 게이트는 공통접속되어 있다.

또한, MOS트랜지스터(Q11), (Q14), (Q15)의 게이트에는 전송게이트(12), (13)를 제어하는 클록신호(ϕ_i)의 역위상인 클록신호($\bar{\phi}_i$)가 입력되고, MOS트랜지스터(Q13), (Q16)의 게이트에는 제1접속점(N1)의 전위가 입력되게 된다.

그리고 본 실시예의 버퍼회로에서도 전술한 실시예와 마찬가지로 전송게이트(12), (13)가 턴오프상태로 될 때 레벨변환회로가 동작되어 외부입력신호와 기준전압이 제1접속점(N1)과 제2접속점(N2)에 랫치되게 된다.

이러한 상태하에서는 트랜지스터(Q11), (Q14)가 턴온되고, 트랜지스터(Q15)는 도통되게 되는데, 이때 제1접속점(N1)의 전위가 하이레벨일 경우에는 트랜지스터(Q13), (Q16)가 턴온상태로 되고, 트랜지스터(Q15), (Q16)의 상호콘덕턴스(gm)는 트랜지스터(Q12)가 턴오프상태로 될 때 결정되어지게 된다. 특히 클록신호(ϕ_i)와 제1접속점(N1)의 전위(Bi')가 하이레벨일 때 트랜지스터(Q16)를 트랜지스터(Q15)보다 더 높은 정도로 도통시키기 위해서는 트랜지스터(Q15), (Q16)가 다른 상호콘더턴스를 갖도록 해 줄 필요가 있는데, 그렇게 되면 제2접속점(N2)에 랫치된 기준전압(V_R)의 레벨이 접지레벨(V_{SS})쪽으로 시프트되게 된다. 이 트랜지스터(Q16)의 상호콘더턴스와 트랜지스터(Q15)의 상호콘더턴스의 비율은 약 4로 설정되게 된다.

한편, 제1접속점(N1)에 랫치된 입력신호의 전위(Bi')가 로우레벨로 될 때에는 트랜지스터(Q13, Q16)는 비도통상태로 유지되게 된다. 따라서 트랜지스터(Q15)가 도통됨에 따라 트랜지스터(Q12)는 더 높은 정도로 도통되게 된다. 이에 따라 제2접속점(N2)에 랫치된 기준전압의 레벨은 전원전압(V_{CC} , +5V)으로 시프트되게 된다.

제6도는 본 발명에 따른 어드레스버퍼회로를 DRAM에 적용한 경우를 도시해 놓은 실시예로서, 여기서 감지증폭기(11)는 통상적으로 알려져 있는 것이고 레벨변환회로(14)는 전술한 바 있는 회로를 사용한 것이다. 또 전술한 도면과 대응하는 부분에는 동일한 창조부호를 붙이고 그에 대한 동작설명은 생략한다.

제7도는 제6도에 도시된 어드레스버퍼회로의 동작을 설명하기 위한 신호파형도로서, 참조부호(\overline{RAS})는 메모리의 기록/독출동작을 수행하도록 하기 위해 반도체메모리칩의 외부로부터 부여되는 제어신호를 나타내는 것인 바, 이 제어신호(\overline{RAS})가 로우레벨일 때에는 메모리가 억세스되면서 이 제어신호(\overline{RAS})에 의거 메모리칩에서 제어신호(RAS1), (RAS2)가 발생되게 되고, 또 제어신호(RAS)가 로우레벨로 될 때에는 제어신호(RAS1)가 로우레벨로 되면서 제어신호(RAS2)는 하이레벨로 된다. 그리고 제어신호(RAS2)는 상술한 버퍼회로에서 사용되는 감지증폭기활성화용 클록신호(ψ_i)에 대응하는 것이다.

한편, 제어신호(\overline{RAS})가 로우레벨로 된 직후 제어신호($\overline{RAS1}$)가 로우레벨로 변환될 때에는 전송게이트(12), (13)가 턴오프상태로 됨으로써 어드레스비트신호(Ain)와 기준전압(V'_R) 각각 제1접속점(N1)과 제2접속점(N2)에 랫치되게 된다. 또한 이와 더불어 레벨변환회로(14)는 제2접속점(N2)에 랫치된 기준전압(V_R)의 레벨이 시프트되도록 동작하게 되고, 이때 제어신호(RAS2)가 하이레벨로 되어 감지증폭기(11)가 활성화되게 되는데, 이것은 감지증폭기(11)의 접속점(N3), (N4) 사이의 전위차를 발생시키게 된다. 그리고 이 전위차는 플립플롭에 의해 증폭되어 MOS논리레벨시스템에서 상보 출력(Aout), ($Aout$)을 공급해 주기 위해 MOS논리레벨변환부로 전송되게 된다.

제6도는 예컨대 DRAM의 행어드레스버퍼회로에 적용된 어드레스버퍼회로를 나타낸 것이지만, 일반적으로 DRAM에 사용되는 어레스멀티플렉싱시스템에 있어서는 제어신호(\overline{RAS})에 따라 메모리칩의 어드레스핀집단을 통해 행어드레스입력신호가 공급됨과 더불어 제어신호(\overline{CAS})에 따라 어드레스핀의 동일집단을 통해 열어드레스입력신호가 공급되게 된다. 따라서 메모리칩에는 상술한 행어드레스버퍼회로와 동일한 구성으로 되어 있는 열어드레스버퍼회로를 갖추게 되는 바, 본 발명은 이러한 데이터입력버퍼회로로서도 사용할수 있게 된다.

또, 본 발명은 상기 실시예에 한정되지 않고 그 요지를 벗어나지 않는 범위내에서 여러종류로 변형해서 실시할 수 있다.

[발명의 효과]

상기한 바와 같이 본 발명에 의하면, 외부입력신호나 전원전압의 레벨변동에 대해 동작마진이 클 뿐만 아니라 외부신호입력의 타이밍지연에 따른 동작마진의 저하가 없는 반도체감지회로를 제공할 수 있게 된다.

(57) 청구의 범위

청구항 1

미리 정해진 레벨의 기준전압(V_R)을 발생시키는 기준전압발생회로(2)와, 제1 및 2접속점(N1, N2)을 갖춤과 더불어 그 제1 및 제2접속점(N1, N2)에 랫치된 신호전압의 전위차를 증폭하는 감지증폭기(11), 입력신호(B_1, B_2, \dots, B_i)와 상기 기준전압발생회로(2)로부터의 기준전압(V_R)을 각각 상기 감지증폭기(11)의 제1 및 제2접속점(N1, N2)으로 전송하여, 그 입력신호(B_1, B_2, \dots, B_i)와 기준전압(V_R)이 각각 상기 감지증폭기(11)의 제1 및 제2접속점(N1, N2)에 랫치되도록 하는 제1 및 제2전송게

이트(12, 13) 및, 상기 감지증폭기(11)와 제2접속점(N2)과 제2전송게이트(13) 사이에 접속됨과 더불어, 상기 감지증폭기(11)의 제1접속점(N1)에 랫치된 입력신호의 전압레벨에 응답하여 상기 감지증폭기(11)의 제2접속점(N2)에 랫치된 기준전압(V_R)을 시프트시키되, 상기 감지증폭기(11)의 제1접속점(N1)에 랫치된 입력신호가 높은 전압레벨인 때는 상기 감지증폭기(11)의 제2접속점(N2)에 랫치된 기준전압(V_R)의 레벨을 미리 정해진 전압레벨보다 낮게 시프트시키고, 상기 제1접속점(N1)에 랫치된 입력신호가 낮은 전압레벨일 때는 상기 감지증폭기(11)의 제2접속점(N2)에 랫치된 기준전압(V_R)의 레벨을 미리 정해진 전압레벨보다 높게 시프트시키는 레벨변환회로(14)를 포함하여 구성된 것을 특징으로 하는 반도체 기억장치의 버퍼회로로 적합한 반도체감자회로.

청구항 2

제1항에 있어서, 상기 제1 및 제2전송게이트(12), (13)가 턴오프상태로 될 때 상기 감지증폭기(11)의 제1접속점(N1)과 제2접속점(N2)에 입력신호(B1, B2, …, Bi)와 기준전압(V_R)이 랫치되고, 상기 제1 및 제2전송게이트(12), (13)가 턴오프될 때 레벨변환회로(14)가 제2접속점(N2)에 랫치된 기준전압(V_R)의 레벨을 시프트시키도록 제1 및 제2전송게이트(12, 13)와 레벨변환회로(14)에 제어신호를 공급해 주는 수단을 추가로 구비하여 구성되어 있는 것을 특징으로 하는 반도체 기억장치의 버퍼 회로로 적합한 반도체감자회로.

청구항 3

제1항에 있어서, 상기 레벨변환회로(14)가 상보형 MOS트랜지스터로 이루어진 것을 특징으로 하는 반도체 기억장치의 버퍼회로로 적합한 반도체감자회로.

청구항 4

제1항에 있어서, 상기 레벨변환회로(14)가 N채널 MOS트랜지스터로 이루어진 것을 특징으로 하는 반도체 기억장치의 버퍼회로로 적합한 반도체감자회로.

청구항 5

제1항에 있어서, 상기 레벨변환회로(14)는 제1 및 제2P채널 MOS트랜지스터(Q1, Q2)와 제3 및 제4N채널 MOS트랜지스터(Q3, Q4)를 갖추되, 제1 내지 제4트랜지스터(Q1~Q4)의 드레인·소오스통로가 전원사이에 직렬접속되고, 제2 및 제3트랜지스터(Q2, Q3)의 접속점이 감지증폭기(11)의 제2접속점(N2)에 접속되면서 그 게이트가 감지증폭기(11)의 제1접속점(N1)에 공통접속된 구성으로 되어 있고, 상기 제1전송게이트(12) 및 제2전송게이트(13)가 턴오프상태로 될 때 상기 제1 및 제4트랜지스터(Q1, Q4)가 턴온되도록 상기 제1 및 제2전송게이트(12, 13)와 제1 및 제4트랜지스터(Q1, Q4)의 게이트에 제어신호(ϕ_i , $\overline{\phi_i}$)를 공급해 주는 수단을 추가로 구비하여 구성된 것을 특징으로 하는 반도체 기억장치의 버퍼회로로 적합한 반도체 감자 회로.

청구항 6

제1항에 있어서, 상기 레벨변환회로(14)는 제1 N채널 MOS트랜지스터 내지 제6 N채널 트랜지스터(Q11~Q16)를 갖추되, 제1 내지 제4트랜지스터(Q11~Q14)의 드래인·소오스통로가 전원사이에 직렬로 접속되면서 제5 및 제6트랜지스터(Q15, Q16)의 드래인·소오스통로가 전원사이에 직렬로 접속되고, 제2트랜지스터(Q12)와 제3트랜지스터(Q13)의 접속점이 상기 감지증폭기(11)의 제2접속점(N2)에 연결되며, 제5트랜지스터(Q15) 및 제6트랜지스터(Q16)의 접속점이 상기 제2트랜지스터(Q12)의 게이트에 접속되고, 제3트랜지스터(Q13) 및 제6트랜지스터(Q16)의 게이트가 상기 감지증폭기(11)의 제1접속점(N1)에 연결된 구성으로 되어 있고, 상기 제1전송게이트(11) 및 제2전송게이트(12)가 턴오프상태로 될 때 상기 제1트랜지스터(Q11)와 제4트랜지스터(Q14) 및 제5트랜지스터(Q15)가 턴온되도록 상기 제1 및 제2전송게이트(12, 13)와 제1트랜지스터(Q11), 제4트랜지스터(Q14) 및 제5트랜지스터(Q15)에 제어신호(ϕ_i , $\overline{\phi_i}$)를 공급하는 수단을 추가로 구비하여 구성된 것을 특징으로 하는 반도체 기억장치의 버퍼회로로 적합한 반도체감자회로.

청구항 7

반도체메모리를 어드레스하는 복수의 비트로 이루어지는 어드레스신호를 감지하는 어드레스버퍼회로에 있어서, 반도체메모리침에 형성됨과 더불어 외부입력신호(B1, B2, …, Bi)의 각 비트를 감지하는 복수의 감자회로(1_1 , 1_2 , …, 1_i)와, 상기 반도체메모리 침내에 형성됨과 더불어 미리 정해진 레벨의 기준전압(V_R)을 공하는 공통기준전압발생회로(2)를 포함하여 구성되고, 상기 복수의 감자회로(1_1 , 1_2 , …, 1_i)는 각각 제1 및 2접속점(N1, N2)을 갖출과 더불어 그 제1 및 제2접속점(N1, N2)에 랫치된 신호전압의 전위차이를 증폭하는 감지증폭기(11)와, 어드레스신호에 대응하는 비트의 입력신호와 상기 기준전압발생회로(2)로부터 송출된 기준전압(V_R)을 각각 상기 감지증폭기(11)의 제1 및 제2접속점(N1, N2)으로 전송하여 그 입력신호와 기준전압(V_R)이 각각 상기 감지증폭기(11)의 제1 및 제2접속점(N1, N2)에 랫치되도록 하는 제1 및 제2전송게이트(12, 13) 및, 상기 감지증폭기(11)의 제2접속점(N2)과 제2전송게이트(13) 사이에 접속됨과 더불어, 상기 감지증폭기(11)의 제1접속점(N1)에 랫치된 입력신호의 전압레벨에 응답하여 상기 감지증폭기(11)의 제2접속점(N2)에 랫치된 기준전압(V_R)을 시프트시키되, 상기 감지증폭기(11)의 제1접속점(N1)에 랫치된 입력신호가 높은 전압레벨일 때는 상기 감지증폭기(11)의 제2접속점(N2)에 랫치된 기준전압의 레벨을 미리 정해진 기준전압의 레벨보다 낮은 레벨로 시프트시키고, 상기 제1접속점(N1)에 랫치된 입력신호가 낮은 전압레벨일 때는 상기 감지증폭기(11)의 제2접속점(N2)에 랫치된 기준전압(V_R)의 레벨을 미리 정해진 기준전압(V_R)의 레벨보다 높은 레벨로 시프트시키는 레벨변환회로(14)를 구비하여 구성된 것을 특징으로 하는 반도체 기억

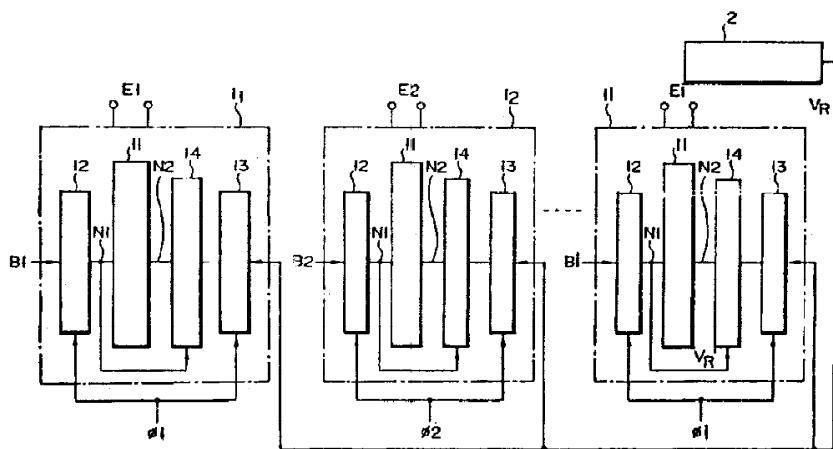
장치의 버퍼회로로 적합한 반도체감지회로.

청구항 8

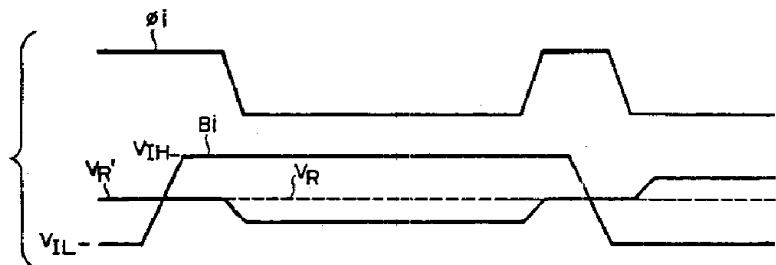
미리 정해진 레벨의 기준전압(V_R)을 공급하는 기준전압발생회로(2)와, 제1 및 제2접속점(N1, N2)을 갖출과 더불어, 제1접속점(N1)과 제2접속점(N2)에 랫치된 신호전압의 전위차이를 증폭시키는 감지증폭기(11), 입력신호와 기준전압(V_R)을 각각 상기 감지증폭기(11)의 제1 및 제2접속점(N1, N2)으로 전송하여 그 입력신호와 기준전압(V_R)이 각각 상기 감지증폭기(11)의 제1 및 제2접속점(N1, N2)에 랫치되도록 하는 제1 및 제2전송게이트(12, 13) 및, 상기 감지증폭기(11)의 제2접속점(N2)과 제2전송게이트(13) 사이에 접속됨과 더불어, 상기 감지증폭기(11)의 제1접속점(N1)에 랫치된 입력신호의 전압레벨에 응답하여 상기 감지증폭기(11)의 제2접속점(N2)에 랫치된 기준전압(V_R)의 레벨을 시프트시키는 레벨변환회로(14)를 구비하여 구성된 것을 특징으로 하는 반도체기억장치의 버퍼회로로 적합한 반도체감지회로.

도면

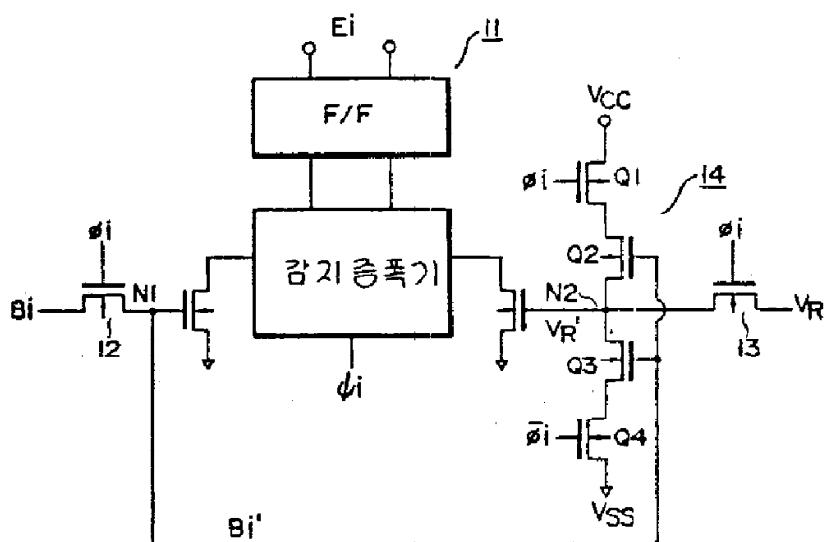
도면1



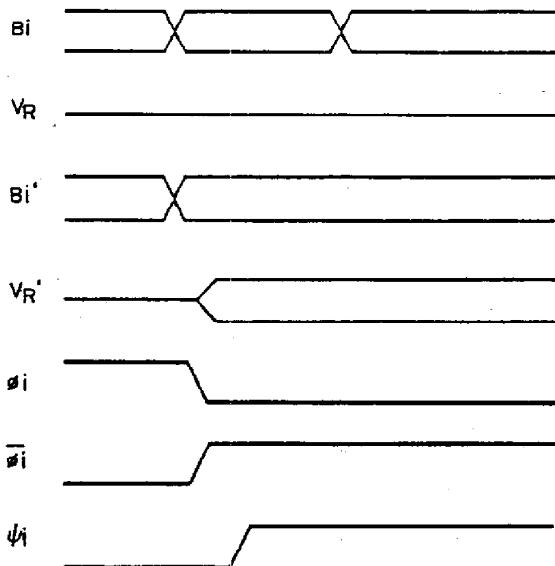
도면2



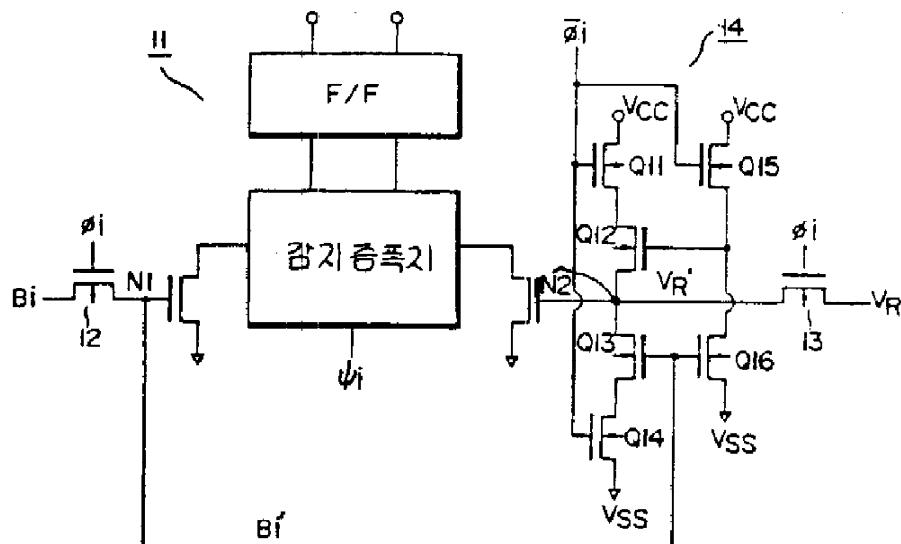
도면3



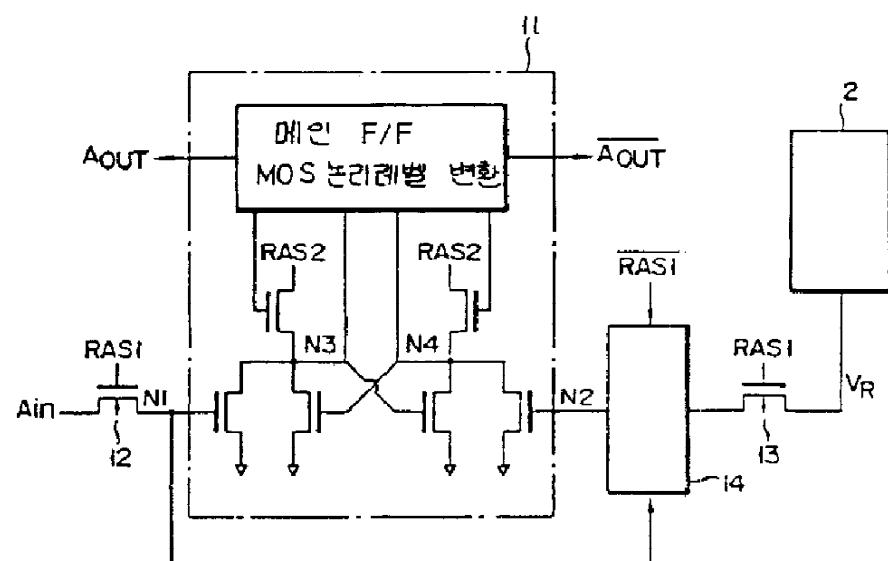
도면4



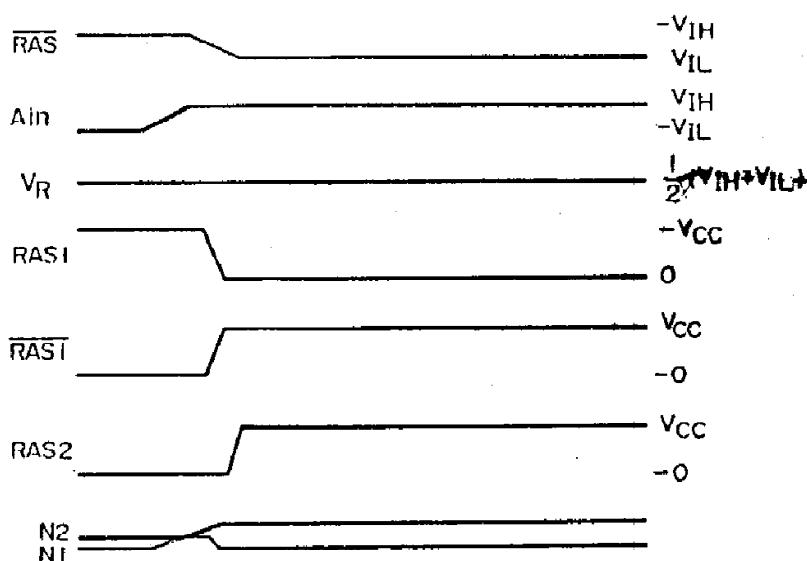
도면5



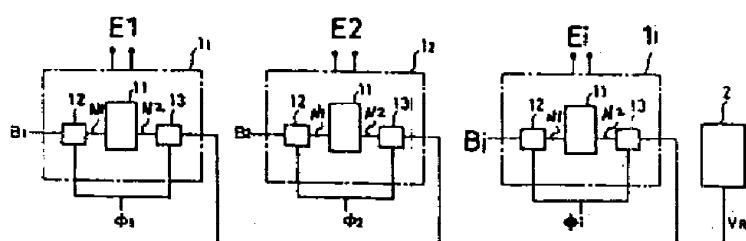
도면6



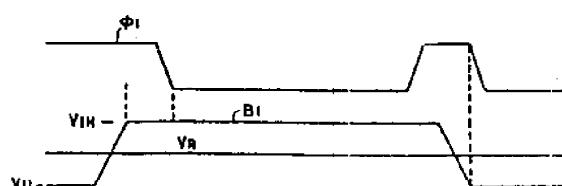
도면7



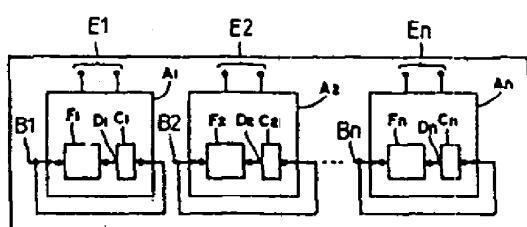
도면8



도면9



도면10



도면 11

