

公告本

申請日期	89.2.9
案號	89102008
類別	G05H ^{3/16} , ^{1/10} ; H03H ^{3/04} , H03H ^{3/01}

A4
C4

459169

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	高速電流鏡射電路及方法
	英文	HIGH SPEED CURRENT MIRROR CIRCUIT AND METHOD
二、發明 創作人	姓名	櫻井哲悟
	國籍	日本
	住、居所	美國,加州 95130,聖荷西,哈利費克斯路 5182 號
三、申請人	姓名 (名稱)	國家半導體公司
	國籍	美國
	住、居所 (事務所)	美國,加州 95051,聖塔克羅雷市,半導體大道 2000 號
	代表 姓名	約翰M·克拉克三世

裝
訂
線

經濟部智慧財產局員工消費合作社印製

459169

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美國(地區) 申請專利，申請日期：1999.2.18, 案號： 09/052,537 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(/)

本發明之背景

1. 本發明之領域

本發明一般而言有關於電子電路及方法，而更特別的是，有關於一種用來充當諸如一主動放大器負載之高速電流鏡電路。

2. 習知技術之說明

相較於被動或電阻性的負載，放大器電路通常使用主動的負載，以為提昇增益與低電壓操作的目的。電流鏡乃是一般型式的主動負載。參照附圖，圖 1 為緩衝器電路的方塊圖，其使用差動放大器 10。如同將要說明的，放大器 10 包含一個傳統的電流鏡之主動負載。

圖 2 為圖 1 的緩衝電路之簡化圖示，顯示放大器 10 組構為一種電壓隨耦器電路，且其輸出直接連接回反相的輸入端。在典型的應用中，放大器 10 用來緩衝參考電壓電路(並無顯示)的輸出，致使參考電路所產生的固定之參考電壓能夠由其它的局部電路所使用。由於局部電路可能會將雜訊傳入參考電路而致使其電路惡化，因此需要緩衝的動作。

放大器 10 包含 N 型電晶體 12A 和 12B，其形成一差動電晶體對，而它們的源極連接到一個共同的尾端電流源 20。電流源 20 產生一相當固定的輸出電流 I_B 。一對柵地-陰地放大器(cascode)連接的 N 型電晶體 14A 和 14B 連接到輸入電晶體 12A 和 12B，且它們的閘極連接到偏壓電壓 V_{BN} 。如同眾所周知的，電晶體 14A 和 14B 係操作用來增加由主

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(>)

動負載所見的等效阻抗，藉以提昇放大器的電壓增益。

主動負載包含 P 型電晶體對 18A 和 18B，它們所具有的閘極連接到一共同的偏壓電壓點上。如同將要說明的，由於電晶體中的額定電流相等，因此電晶體 18A 和 18B 係一起作用為一電流鏡電路。主動負載進一步地包含串接的電晶體 16A 和 16B，它們的閘極連接到一偏壓電壓源 V_{BP} 。電晶體 16A 和 16B 用來增加主動負載的輸出阻抗，藉以提昇放大器的增益。

如同眾所周知的，當 MOS 電晶體偏壓以在飽和區操作時，則其汲源極電流正比於電晶體縱深比，即通道寬度對通道長度的比率(W/L)。如果兩個操作在飽和區中相匹配的電晶體偏壓在相同的點上，則其相對的電流大小比率將會相同於兩個縱深比的比率。對於一個共同的積體電路中所實現之電晶體而言，如此的電晶體通常具有相同的通道長度 L，致使其通道縱深比受控於有效的通道寬度 W 之改變。

電晶體 18A 和 18B 乃是相匹配的元件，其具有相同的幾何尺寸以及相同的閘源極電壓。此外，由於電晶體 16A 和 16B 的行為，因而兩個電晶體的穩態汲源極電壓乃是相同的。由於電流源 20 所產生的電流 I_B 均等地分配於兩電晶體之間，電晶體 18A 和 16B 因而作用為高進動(precession)的電流鏡。電晶體 18A 和 18B 的偏壓行為確保汲源極電壓大於電晶體臨界電壓與閘源極電壓之間的差值，致使其電晶體操作於飽和區中，此乃是為實現高增益的一種需求。

五、發明說明(3)

如果汲源極電壓小於閘源極電壓與臨界電壓之間的差值，則電晶體將會操作在三極體(線性)區中，而且所具有的阻抗將會明顯地小於在飽和區操作時所達到的阻抗。

放大器 10 的輸出位於電晶體 14B 和 16B 中間的節點，並且直接連接到電晶體 12B 之閘極，其係構成反相的放大器輸入端。電晶體 16A 和 14A 中間的節點連接到電晶體 18A 和 18B 的閘極，如此的連接提供將電晶體 18A 及 18B 偏壓在一適當位準上的回授。

爲了將輸出 Out 的有效電壓擺幅最大化，偏壓電壓 V_{BP} 盡可能地靠近電源供應電壓 V_{DD} 。然而電壓 V_{BP} 必須足夠地小，藉以確保跨於電晶體 18A 和 18B 上的汲源極電壓足夠大，以便使電晶體 18A 和 18B 處於飽和區之中。藉由致使電晶體 16A 和 16B 寬大(寬的通道)，來保持所需要的飽和電壓盡可能的小，藉以進一步地提高有效的電壓擺幅。

由於放大器 10 只具有單一層級，因此對所需的電流量而言，單極點系統的暫態響應非常地快速。然而，當爲了之前所提到的原因而製成寬大的電晶體 16A 和 16B 時，電晶體的寄生電容量會產生與其有關的非主極點，而不利地影響其暫態響應。所以，當放大器試圖從動態的擾動中回復時，振鈴便會出現在輸出中，而其中擾動則是由連接到放大器輸出的局部電路所傳入的。

本發明克服以上所提到的習知技術之缺點。一種適合用來充當主動的放大器負載之電流鏡電路隨著提供高增益、寬電壓擺幅、以及改善的暫態響應，而允許低電壓的操

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

作。對熟知習知者而言，基於閱讀以下的“本發明之細節說明”，本發明這些以及其它的優點將會是顯而易見的。

附圖之簡略說明

圖 1 為習知技術的緩衝器電路之電路圖。

圖 2 為圖 1 的緩衝器電路之簡化方塊圖。

圖 3 為合併根據本發明的電流鏡電路之緩衝器電路之電路圖。

元件符號說明

10	差動放大器
12A 和 12B	N 型電晶體
14A 和 14B	N 型電晶體
18A 和 18B	P 型電晶體
20	電流源
22	放大器
23A	N 型電晶體
23B	N 型電晶體
24	偏壓電路
25A	N 型電晶體
25B	N 型電晶體
28A	P 型電晶體
28B	P 型電晶體
30	電流源
32	產生電流 I_{c2} 的第三電流源
34	產生電流 I_{c3} 的第二電流源

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明(5)

36	提供電流 I_{c4} 的電流源
38	P 型電晶體
40	P 型電晶體
42	P 型電晶體
44	提供電流 I_{c4} 的電流源

本發明之概要

揭示一種適合用來充當高速放大器的主動負載之電流鏡電路。其電路包含四個電晶體，典型地全部皆為 P 型的 MOS 電晶體，其中第一個和第二個串聯連接，並且第三個和第四個串聯連接。第四電晶體所具有的通道縱深比大於第二電晶體的縱深比，典型為十的因數。其包含偏壓電路，操作用來保持第一和第三電晶體的汲極電壓於相同的位準上，藉以確保電流鏡的準確性。此外，偏壓電路用來保持第一、第三和第四電晶體於飽和區中，當電流鏡電路用來充當主動的放大器負載時，藉以確保高增益操作。較小的第二電晶體操作於三極體區中，而較小的尺寸則提昇了電路的暫態響應。

本發明之細節說明

再次參照附圖，揭示合併根據本發明的電流鏡電路之放大器 22。同樣也揭示用來從事電流鏡電路的偏壓之偏壓電路 24。放大器 22 配置為一個電壓緩衝器，且其反相輸入端直接連接到輸出端 Out。放大器 22 包含一組差動電晶體對 23A 和 23B，它們所具有的源極則連接到尾端的電流源 30。電晶體 25A 和 25B 以柵地-陰地放大器連接的配置

五、發明說明(6)

連接，藉以提高由主動負載所鍵的等效阻抗。電晶體 25A 和 25B 的兩閘極皆連接到偏壓電壓 V_{BN} 。電晶體 23A、23B、25A 和 25B 全部皆是 N 型的元件。

用於放大器 22 的電流鏡主動負載包含 P 型的電晶體 28A 和 28B，它們所具有的閘極連接在一起，並且連接到電晶體 25 的汲極。如同之前結合圖 2 所說明的，如此的回授配置用來從事負載電晶體 28A 和 28B 閘極之偏壓。電晶體 26A 和 26B 乃是柵地-陰地放大器連接的電晶體，其用來提高主動負載的阻抗。本發明一個重要的觀點為：相較於電晶體 26B，電晶體 26A 使用幾何尺寸較小的電晶體。由於電晶體 26B 會直接影響輸出電壓擺幅的範圍以及放大器的增益，因而此一電晶體仍保持大尺寸的。只減小電晶體 26A 的尺寸則會大大地降低相關的寄生電容量，並且因而明顯地提昇放大器的暫態響應。較佳的是電晶體 26B 所具有的縱深比大於電晶體 26A 所具有的縱深比十倍，但即使是 1.5 比 1 的尺寸差別，仍然能提供本發明若干的優點。

相對於電晶體 26B，將晶體 26A 的尺寸減小會引出如此的問題：需要滿足放大器 22 保持其它的性能參數。例如，由於放大器使用於典型的實施例中，藉以充當參考電壓的緩衝器，因此重要的是，其放大器具有相當小的偏移電壓，特別是在整個溫度範圍上。在放大器中任何的 DC 誤差將會導致放大器所緩衝的參考電壓之偏差。為了達成低的輸入偏移電壓，因此負載電晶體 28A 和 28B 在穩態的操作條件下，必須等分電流源 30 所提供的電流 I_{c1} 。如此則

五、發明說明(7)

需要：兩相匹配的電晶體 28A 和 28B 之閘源極電壓和汲源極電壓要相同。

將電晶體 28A 和 28B 各別的閘極和源極連接在一起，致使其閘極和源極的電壓相等。爲了其汲源極電壓相等，因此在負載電晶體 28B 和 26B 中間節點上的電壓 V1 必須等於負載電晶體 28A 和 26A 中間節點上的電壓 V2。在整個溫度範圍中需要保持此一關係。如同將要說明的，電晶體 26A 和 26B 尺寸上的差別會有致使 V1 和 V2 不相等之傾向。

偏壓電路 24 各別地控制電晶體 26A 和 26B 的閘極電壓，藉以保持電壓 V1 和 V2 之間所要的相等性質，並且藉以控制兩電壓的實際數值。對所給定的電流而言，處於飽和區中的電晶體之閘源極電壓反比於通道寬度 W 的平方根。由於電晶體 26A 在通道寬度上較小於電晶體 26B，因此就相同的電流而言，電晶體 26A 的閘源極電壓將會大於電晶體 26B 閘源極電壓。(此乃是真實的，如同將要說明的，即使電晶體 26A 實際並不是操作在飽和區中)。因此在其它的事務之間，偏壓電路 24 會將電晶體 26A 的閘極電壓設定在低於電晶體 26B 閘極電壓一個等於電晶體 26A 和 26B 閘源極電壓差的數值上。

電晶體 26A 的汲極連接到電晶體 28A 和 28B 的閘極，而電晶體 26A 的汲極電壓因此會保持相當地固定。如同之後將要說明的，電晶體 26A 的源極電壓限制在一範圍中。因此，電晶體 26A 的汲源極電壓具有受限的大小。因爲電

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

晶體 26A 是小的元件，故比起若該電晶體為較大的話，其將會具有較大的閘源極電壓。電晶體 26A 的汲源極電壓將會小於電晶體 26A 的閘源極電壓和臨界電壓之間的差值。因此，藉由定義，電晶體 26A 將會操作在相對於飽和區的線性區或三極體區中。電晶體 26A 操作在三極體區、以及電晶體 26B 操作在飽和區的事實致使偏壓電路複雜化，但是不會不利地影響緩衝器電路的 DC 準確性。

偏壓電路 24 包含一個 P 型電晶體 40，串聯連接另一個 P 型電晶體 42，其接著串聯連接到產生電流 I_{c3} 的第二電流源 34。第三 P 型電晶體 38 連接於電晶體 40 的汲極與產生電流 I_{c2} 的第三電流源 32 之間。因此，藉由檢視則可以看出，電晶體 40 傳導具有等於電流源 32 和 34 總和($I_{c2}+I_{c3}$) 大小之電流，電晶體 42 傳導等於 I_{c3} 的電流，而電晶體 38 則傳導等於 I_{c2} 的電流。

電晶體 38 所具有的閘極和汲極連接一起，致使此電晶體將會操作在飽和區中。電晶體 38 的閘極/汲極連接到同樣也操作在飽和區中的電晶體 26B 之閘極。因此，藉由迫使兩操作在飽和區中的電晶體 26B 與 38 之閘源極電壓相等，則在電晶體 26B 之源極上的電壓 V_1 便能夠等於電晶體 38 源極上的電壓 V_3 。根據以下的方程式，藉由控制相對的電晶體之大小和電流，則能夠實現之：

$$W_{38}/W_{26B}=I_{c2}/(I_{c1}/2) \quad (1)$$

其中 W_{38} 和 W_{26B} 分別為電晶體 38 和 26B 的通道寬度，而 I_{c2} 和 $I_{c1}/2$ 則分別為電晶體 38 和 26B 的汲源極電流。

五、發明說明(9)

因此，例如，如果電晶體 38 和 26B 的尺寸相同，且 I_{c2} 等於 I_{c1} 的一半，則源極電壓 $V3$ 便會等於源極電壓 $V1$ 。所要注意的是，這些電壓將會歷經整個的溫度範圍。在典型的實施中，電晶體 38 實際上大約會是 26B 尺寸的十分之一左右，並且在電晶體 38 中的電流會因而降低，藉以保存電路的面積以及藉以降低電流的消耗。

電晶體 42 乃是小幾何尺寸的元件，並且以相類似於電晶體 26A 的方式來偏壓之，因此其將會操作在三極體區中，如同電晶體 26A。藉由致使電晶體 40 和 28A 的閘極電壓相等、以及致使電晶體 42 和 26A 的汲源極電壓相同，電壓 $V3$ 便可以等於電壓 $V2$ 。由於兩電晶體 40 和 28A 操作在飽和區中，因此根據以下的方程式，其閘源極電壓則可以相等：

$$W_{40}/W_{28A}=(I_{c3}+I_{c2})/(I_{c1}/2) \quad (2)$$

其中 W_{40} 和 W_{28A} 分別為電晶體 40 和 28B 的通道寬度，而 $(I_{c3}+I_{c2})$ 和 $I_{c1}/2$ 則分別為電晶體 40 和 28B 的汲源極電流。

因此，例如，如果 I_{c3} 和 I_{c2} 兩者皆相等於 I_{c1} 的一半，並且電晶體 40 為電晶體 28A 的兩倍寬，則將會滿足方程式 (2)。

繼續，由於電晶體 42 和 26A 的汲極分別連接到電晶體 40 和 28A 的閘極，因此會使電晶體 42 和 26A 的汲極設定在相同的電壓上。如果致使電晶體 42 和 26A 的汲源極電壓相等，則電壓 $V2$ 便會等於電壓 $V3$ 。由於電晶體 42 和

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(10)

26A 兩者皆操作在三極體區中，因此如果匹配以下的方程式，便能夠致使兩電晶體的汲源極電壓相等：

$$W_{42}/W_{26A}=I_{C3}/(I_{C1}/2) \quad (3)$$

其中 W_{42} 和 W_{26A} 分別為電晶體 42 和 26A 的通道寬度，而 I_{C3} 和 $I_{C1}/2$ 則分別為電晶體 42 和 26A 的汲源極電流。

因此，例如，如果致使 I_{C3} 等於 I_{C1} 的一半，且兩電晶體的尺寸相同，則會滿足方程式(3)。最後，如果電晶體 42 和 26A 的源汲極電壓相等，則其各別的源極電壓 V_3 和 V_2 便會相等。由於電壓 V_1 和 V_3 相等，並且由於電壓 V_2 和 V_3 便會相等，因此導致電壓 V_1 和 V_2 同樣也會相等。

由於需要保持電晶體 28A 和 28B 在飽和區中，因此電壓 V_1 和 V_2 的實際數值乃是重要的。P 型電晶體 44 串聯連接於電源供應電壓 V_{DD} 以及提供電流 I_{C4} 的電流源 36 之間。電晶體 44 的閘極和汲極連接在一起，藉以保持其電晶體處於飽和區中。如同藉由檢視所得知的，將電壓 V_3 設定等於電源供應電壓 V_{DD} 減去電晶體 44 和 42 的閘源極之電壓差。如同之前所說明的，電壓 V_1 和 V_2 等於 V_3 ，並且樣也等於電源供應電壓 V_{DD} 減去電晶體 44 和 42 的閘源極之電壓差。藉由控制其幾何尺寸以及相對於電晶體 42 而流經電晶體 44 的電流，便能夠設定其閘源極電壓差的大小。設定其電壓差的大小，致使電晶體 28A 和 28B 的汲源極電壓，相對於兩電晶體的臨界電壓和閘源極電壓之差值，將會明顯地大，藉以確保電晶體 28A 和 28B 操作在飽和區之中。再者，如同眾所周知的，電晶體 42 和 44 閘源極的電壓

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(11)

差會具有一溫度係數，其追蹤保持電晶體 28A 和 28B 在飽和區中所需的最小汲源極電壓之溫度係數。因此，隨著最小值在整個溫度範圍中變化，藉以補償整個溫度範圍中最小飽和電壓的變化，則能夠將電晶體 28A 和 28B 的汲源極電壓設定於靠近保持電晶體在飽和區中所需的最小值。此一特點允許電流鏡電路在所降低的電源供應電壓 V_{DD} 之層級上可靠地操作。

根據本發明，使用充當放大器 22 中的主動負載之電流鏡電路將會明顯地改善放大器的暫態響應。經由範例，測試行為已經顯示圖 3 的緩衝器電路在 2 伏特的步級輸入之後，安定於穩態值 0.2 毫伏所需的時間數量大約為圖 1 的習知技術之一半。

因此，已經揭示了一種用於放大器以及其它相關應用的新穎之高速電流鏡電路。儘管已經相當詳細地說明了一個實施例，然而所要了解的是，習知技術者能夠從事其種種的修改而不違反由所附的申請專利範圍所定義的本發明之觀念。經由範例，儘管依據改善暫態響應的觀點，較為慢速的 P 型電晶體配置最為有利，其仍然可使用 N 型電晶體替代 P 型電晶體來實現電流鏡電路。

(請先閱讀背面之注意事項再填寫本頁)

訂 · 線

四、中文發明摘要(發明之名稱:)

高速電流鏡電路及方法

一種適合用來充當高速放大器的主動負載之電流鏡電路，其電路具有串聯連接的第一和第二 MOS 電晶體，以及串聯連接的第三和第四 MOS 電晶體。第一和第三電晶體具有共源極和共閘極的連接，而第二電晶體的汲極形成電流鏡的輸入，且第四電晶體的汲極形成其電流鏡輸出。偏壓電路操作來保持第二電晶體於操作的三極體區中，並且用來保持第四電晶體於操作的飽和區中。第二電晶體相較於第四電晶體，具有較小的幾何尺寸，藉以提昇電流鏡電路的暫態響應之性能。

英文發明摘要(發明之名稱: HIGH SPEED CURRENT MIRROR CIRCUIT AND)
METHOD

A current mirror circuit suitable for use as an amplifier active load having first and second MOS transistors connected in series together with third and fourth MOS transistors connected in series. The first and third transistors have common source and common gate connections, with the drain of the second transistor forming the current mirror input and the drain of the fourth transistor forming the current mirror output. Bias circuitry operates to maintain the second transistor in the triode region of operation and to maintain the fourth transistor in the saturation region of operation. The second transistor has a small geometry compared to the fourth transistor so as to enhance the transient response performance of the current mirror circuit.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種電流鏡電路，包含：

第一傳導性型式的第一和第二 MOS 電晶體，其第一電晶體定義一汲源極電流路徑，與第二電晶體所定義的汲源極電流路徑串聯連接，藉以形成第一電流路徑；

第一傳導性型式的第三和第四 MOS 電晶體，其第三電晶體定義一汲源極電流路徑，與第四電晶體所定義的汲源極電流路徑串聯連接，藉以形成第二電流路徑，第一和第三電晶體的源極連接在一起，第一和第三電晶體的閘極連接在一起，第二電晶體的汲極形成電流鏡的一個輸入，而第四電晶體的汲極則形成電流鏡的輸出；以及

偏壓電路，包含連接到第二電晶體的閘極之第一偏壓輸出與連接到第四電晶體的閘極之第二偏壓輸出，配置其偏壓電路乃是要致使第二電晶體操作在三極體區中，以及致使第四電晶體操作在飽和區中。

2. 如申請專利範圍第 1 項之電路，其中第二電晶體所具有的通道寬度較第四電晶體的通道寬度為小。

3. 如申請專利範圍第 2 項之電路，其中第四電晶體的通道寬度至少為第二電晶體通道寬度的一倍半大。

4. 如申請專利範圍第 1 項之電路，其中的偏壓電路乃是配置來保持第一和第三電晶體大約相等的汲極電壓。

5. 如申請專利範圍第 4 項之電路，其中的偏壓電路包含第一傳導性型式的第五 MOS 電晶體，其所操作的汲源極電流與通道縱深比之比率大約相等於第一電晶體的汲源極電流與通道縱深比之比率，並且其中第五電晶體的汲極電

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

六、申請專利範圍

壓大約等於第一電晶體的汲極電壓。

6.如申請專利範圍第 5 項之電路，其中的偏壓電路包含第一傳導性型式的第六 MOS 電晶體，其定義一汲源極路徑，與第五電晶體所定義的汲源極路徑串聯連接，並且其所操作的汲源極電流與通道縱深比之比率大約相等於第二電晶體的汲源極電流與通道縱深比之比率，以及其中第六電晶體的閘極電壓大約等於第二電晶體的閘極電壓。

7.如申請專利範圍第 6 項之電路，其中的偏壓電路包含第一傳導性型式的第七 MOS 電晶體，其定義一汲源極路徑，與第五電晶體所定義的汲源極路徑串聯連接，並且第五電晶體所操作的汲源極電流與通道縱深比之比率大約相等於第四電晶體的汲源極電流與通道縱深比之比率，以及其中第七電晶體的閘極電壓大約等於第四電晶體的閘極電壓。

8.如申請專利範圍第 7 項之電路，其中第六電晶體的閘極電壓包括第一偏壓電壓輸出，而第七電晶體的閘極電壓包第二偏壓電壓輸出。

9.如申請專利範圍第 8 項之電路，其中的偏壓電路進一步地包含第一傳導性型式的第八 MOS 電晶體，連接到第六電晶體，致使第一和第三電晶體的汲源極電壓大約等於第八和第六電晶體閘源極電壓大小之差值。

10.如申請專利範圍第 9 項之電路，其中第八電晶體的閘極連接到第六電晶體的閘極。

11.一種電流鏡電路，包含：

六、申請專利範圍

第一傳導性型式的第一和第二 MOS 電晶體，其第一電晶體定義一汲源極電流路徑，與第二電晶體所定義的汲源極電流路徑串聯連接，藉以形成第一電流路徑；

第一傳導性型式的第三和第四 MOS 電晶體，其第三電晶體定義一汲源極電流路徑，與第四電晶體所定義的汲源極電流路徑串聯連接，藉以形成第二電流路徑，而第四電晶體的通道縱深比至少為第二電晶體通道縱深比的一倍半大，第一和第三電晶體的源極連接在一起，且第一和第三電晶體的閘極連接在一起，其第二電晶體的汲極形成電流鏡的輸入，而第四電晶體的汲極則形成電流鏡的輸出；以及

偏壓電路，配置來保持第一電晶體的汲源極電壓大約等於第三電晶體的汲源極電壓。

12.如申請專利範圍第 11 項之電路，其中至配置第一和第三電晶體操作在大約相等的電流通對縱深比之比率上。

13.如申請專利範圍第 12 項之電路，其中的偏壓電路致使第一、第三和第四電晶體操作在飽和區中，並且致使第二電晶體則操作在三極體區中。

14.如申請專利範圍第 11 項之電路，進一步地包含第二傳導性型式的第一和第二電晶體，相對於第一傳導性型式，並且連接成爲一差動對，其第二傳導性型式的第一電晶體所定義的汲源極電流路徑串聯連接於第一電流路徑，而第二傳導性型式的第二電晶體所定義的汲源極電流路徑

六、申請專利範圍

則串聯連接於第二電流路徑，其電路與差動對形成一具有第一放大器輸入、第二放大器輸入、以及一放大器輸出的放大器，而第一放大器輸入位於第二傳導性型式的第一電晶體之閘極上，第二放大器輸入位於第二傳導性型式的第二電晶體之閘極上，而放大器輸出則位於第一傳導性型式的第四電晶體與第二傳導性型式的第二電晶體中間的節點上。

15.如申請專利範圍第 14 項之電路，其中的放大器輸出連接到第二放大器輸入。

16.一種電流鏡電路，包含：

第一傳導性型式的第一和第二 MOS 電晶體，其第一電晶體定義一汲源極電流路徑，與第二電晶體所定義的汲源極電流路徑串聯連接，藉以形成第一電流路徑；

第一傳導性型式的第三和第四 MOS 電晶體，其第三電晶體定義一汲源極電流路徑，與第四電晶體所定義的汲源極電流路徑串聯連接，藉以形成第二電流路徑，第一和第三電晶體的源極連接在一起，第一和第三電晶體的閘極連接在一起，第二電晶體的汲極形成電流鏡的一個輸入，而第四電晶體的汲極則形成電流鏡的輸出；以及

偏壓電路，配置其偏壓電路乃是要致第一、第三和第四電晶體操作在飽和區中，以及致使第二電晶體操作在三極體區中。

17.如申請專利範圍第 16 項之電路，其中第一和第三電晶體具有大約相等相等到縱深比，並且其中第四電晶體

六、申請專利範圍

所具有的通道縱深比至少大於第二電晶體的通道縱深比之一倍半。

18.如申請專利範圍第 17 項之電路，進一步地包含第二傳導性型式的第一和第二電晶體，相對於第一傳導性型式，並且連接成爲一差動對，其第二傳導性型式的第一電晶體所定義的汲源極電流路徑串聯連接於第一電流路徑，而第二傳導性型式的第二電晶體所定義的汲源極電流路徑則串聯連接於第二電流路徑，其電路與差動對形成一具有第一放大器輸入、第二放大器輸入、以及一放大器輸出的放大器，而第一放大器輸入位於第二傳導性型式的第一電晶體之閘極上，第二放大器輸入位於第二傳導性型式的第二電晶體之閘極上，而放大器輸出則位於第一傳導性型式的第四電晶體與第二傳導性型式的第二電晶體中間的節點上。

19.一種電流鏡電路，包含：

第一傳導性型式的第一和第二 MOS 電晶體，其第一電晶體定義一汲源極電流路徑，與第二電晶體所定義的汲源極電流路徑串聯連接，藉以形成第一電流路徑；以及

第一傳導性型式的第三和第四 MOS 電晶體，其第三電晶體定義一汲源極電流路徑，與第四電晶體所定義的汲源極電流路徑串聯連接，藉以形成第二電流路徑，第四電晶體的通道縱深比至少爲第二電晶體通道縱深比的一倍半大，第一和第三電晶體的源極連接在一起，第一和第三電晶體的閘極連接在一起，第二電晶體的汲極形成電流鏡的輸

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

六、申請專利範圍

入，而第四電晶體的汲極則形成電流鏡的輸出。

20.如申請專利範圍第 19 項之電路，進一步地包含一偏壓電路，其偏壓電路包含第一傳導性型式的第五 MOS 電晶體與第一傳導性型式的第六 MOS 電晶體，第一傳導性型式的第五 MOS 電晶體所操作的汲源極電流與通道縱深比之比率大約相等於第四電晶體的汲源極電流與通道縱深比之比率，而第一傳導性型式的第六 MOS 電晶體所操作的汲源極電流與通道縱深比之比率大約相等於第二電晶體的汲源極電流與通道縱深比之比率。

21.如申請專利範圍第 20 項之電路，其中的第五電晶體操作在飽和區中，而第六電晶體操作在三極體區中。

22.如申請專利範圍第 21 項之電路，進一步地包含第二傳導性型式的的第一和第二電晶體，相對於第一傳導性型式，並且連接成爲一差動對，其第二傳導性型式的的第一電晶體所定義的汲源極電流路徑串聯連接於第一電流路徑，而第二傳導性型式的第二電晶體所定義的汲源極電流路徑則串聯連接於第二電流路徑，其電路與差動對形成一具有第一放大器輸入、第二放大器輸入、以及一放大器輸出的放大器，而第一放大器輸入位於第二傳導性型式的的第一電晶體之閘極上，第二放大器輸入位於第二傳導性型式的第二電晶體之閘極上，而放大器輸出則位於第一傳導性型式的第四電晶體與第二傳導性型式的第二電晶體中間的節點上。

23.如申請專利範圍第 22 項之電路，其中的第一和第

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

二傳導性型式分別為 P 型和 N 型。

24.一種用來控制一電流鏡電路的方法，其包含第一傳導性型式的第一和第二 MOS 電晶體與第一傳導性型式的第三和第四 MOS 電晶體，其第一電晶體定義一汲源極電流路徑，與第二電晶體所定義的汲源極電流路徑串聯連接，藉以形成第一電流路徑，而第三電晶體定義一汲源極電流路徑，與第四電晶體所定義的汲源極電流路徑串聯連接，藉以形成第二電流路徑，而第一和第三電晶體的源極連接在一起，且第一和第三電晶體的閘極連接在一起，該方法包含：

偏壓第一、第三和第四電晶體於飽和區中；

偏壓第二電晶體於三極體區中；

提供一輸入電流給第二電晶體的汲極；以及

在第四電晶體的汲極上接收一輸出電流，且其輸出電流正比於輸入電流。

25.如申請專利範圍第 24 項之方法，其中的第一和第三電晶體具有大約相等的各自之通道縱深比，並且其中的輸入電流和輸出電流大約相等。

26.如申請專利範圍第 25 項之方法，進一步地包含連接第二傳導性型式的第一 MOS 電晶體之汲源極路徑，其相對於第一傳導性型式，將之串聯連接於第一電流路徑，以及包含連接第二傳導性型式的第二 MOS 電晶體之汲源極路徑，串聯連接於第二電流路徑，並且其中提供行為包含變更第二傳導性型式的第一電晶體之閘源極電壓，致使其輸

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

出電流將會變更。

27.一種用來控制一電流鏡電路的方法，其包含第一傳導性型式的第一和第二 MOS 電晶體與第一傳導性型式的第三和第四 MOS 電晶體，其第一電晶體定義一汲源極電流路徑，與第二電晶體所定義的汲源極電流路徑串聯連接，藉以形成第一電流路徑，而第三電晶體定義一汲源極電流路徑，與第四電晶體所定義的汲源極電流路徑串聯連接，藉以形成第二電流路徑，而第一和第三電晶體的源極連接在一起，且第一和第三電晶體的閘極連接在一起，並且第四電晶體所具有的通道縱深比至少和第二電晶體的通道縱深比一倍半大，該方法包含：

偏壓第一、第三和第四電晶體於飽和區中；

保持第一和第三電晶體於大約相等的電壓上，

提供一輸入電流給第二電晶體的汲極；以及

在第四電晶體的汲極上接收一輸出電流，且其輸出電流正比於輸入電流。

28.如申請專利範圍第 27 項之方法，其中的第一和第三電晶體具有大約相等的各自之通道縱深比，並且其中的輸入電流和輸出電流大約相等。

29.如申請專利範圍第 28 項之方法，進一步地包含偏壓第二電晶體於三極體區中。

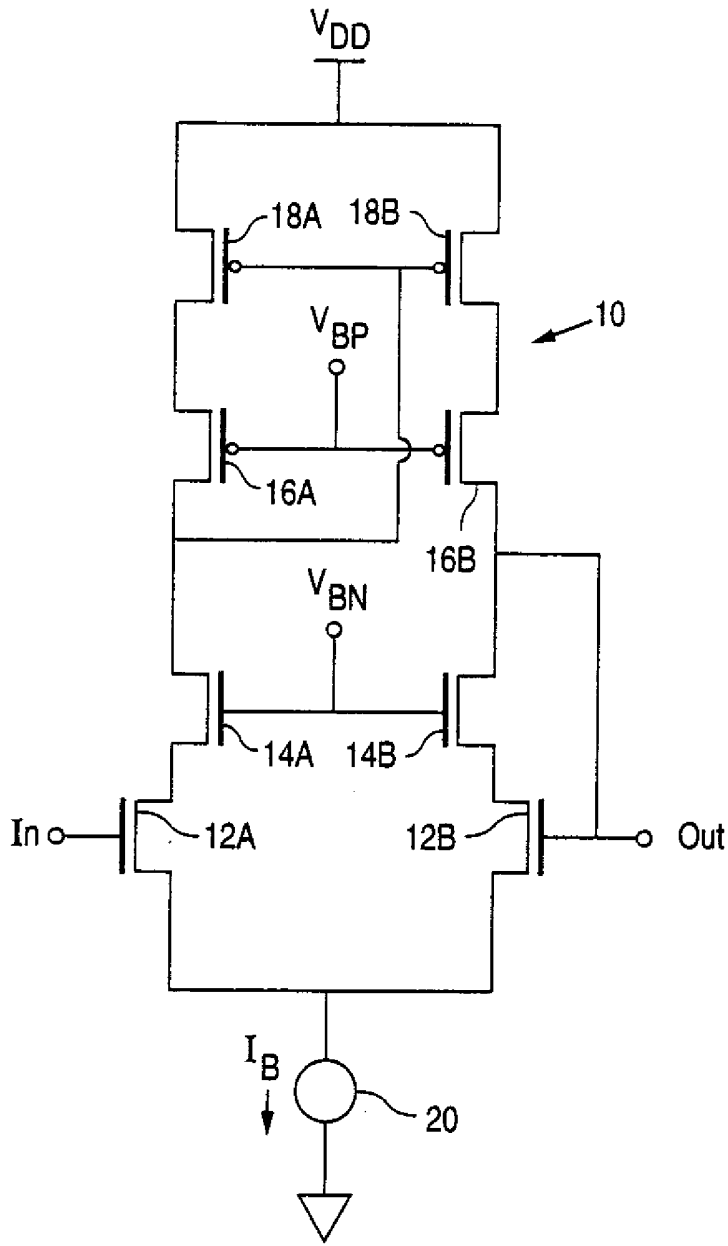


圖 1

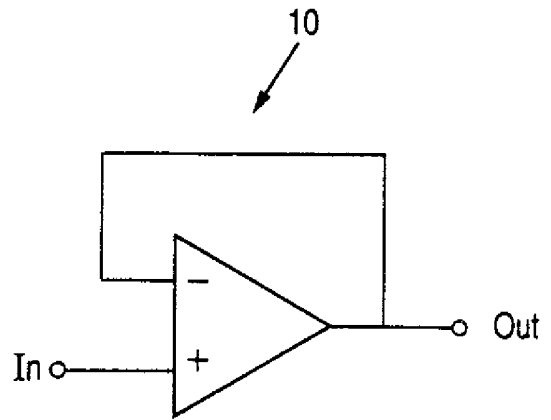


圖 2

