

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011年4月7日(07.04.2011)



(10) 国際公開番号
WO 2011/040426 A1

- (51) 国際特許分類:
H01L 21/76 (2006.01) H01L 21/316 (2006.01)
- (21) 国際出願番号: PCT/JP2010/066886
- (22) 国際出願日: 2010年9月29日(29.09.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-227638 2009年9月30日(30.09.2009) JP
特願 2010-207773 2010年9月16日(16.09.2010) JP
- (71) 出願人(米国を除く全ての指定国について): 東京エレクトロン株式会社(TOKYO ELECTRON LIMITED) [JP/JP]; 〒1076325 東京都港区赤坂五丁目3番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 佐藤 吉宏(SATO Yoshihiro) [JP/JP]; 〒4070192 山梨県韮崎市穂坂町三ツ沢650番地 東京エレクトロンA T株式会社内 Yamanashi (JP). 塩澤 俊彦(SHIOZAWA Toshihiko) [JP/JP]; 〒4070192 山梨県韮崎市穂坂町三ツ沢650番地 東京エレクトロ

ンA T株式会社内 Yamanashi (JP). 西田 辰夫(NISHITA Tatsuo) [JP/JP]; 〒4070192 山梨県韮崎市穂坂町三ツ沢650番地 東京エレクトロンA T株式会社内 Yamanashi (JP). 廣田 良浩(HIROTA Yoshihiro) [JP/JP]; 〒4070192 山梨県韮崎市穂坂町三ツ沢650番地 東京エレクトロン株式会社内 Yamanashi (JP).

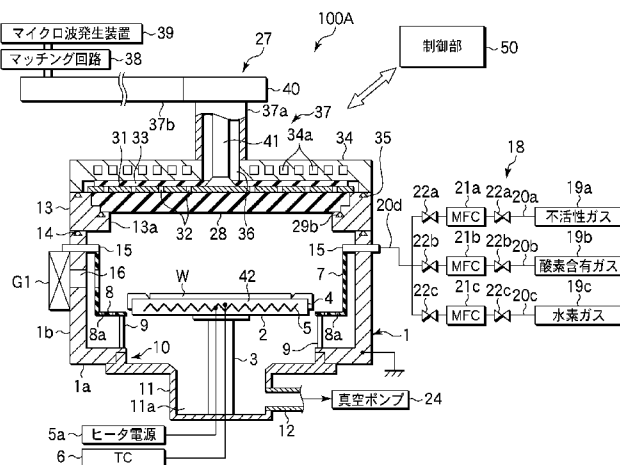
- (74) 代理人: 高山 宏志(TAKAYAMA Hiroshi); 〒1020093 東京都千代田区平河町一丁目7番20号 平河町辻田ビル2階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: PROCESS FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法

[図14A]



- 39 MICROWAVE GENERATING DEVICE
38 MATCHING CIRCUIT
5a HEATER POWER SUPPLY
24 VACUUM PUMP
50 CONTROL UNIT
19a INERT GAS
19b OXYGEN-CONTAINING GAS
19c HYDROGEN GAS

(57) Abstract: Disclosed is a process for manufacturing a semiconductor device, wherein the formation of a sacrificial oxide film and removal thereof by wet etching and/or the formation of a silicon dioxide film and removal thereof by wet etching are performed. In the process for manufacturing a semiconductor device, the formation of the sacrificial oxide film and/or the silicon dioxide film is performed within a processing vessel of a plasma processing apparatus using a plasma in which $O(^1D_2)$ radicals produced using a processing gas that contains oxygen are dominant.

(57) 要約: 犠牲酸化膜の形成とウエットエッチングによる剥離、および/または、二酸化珪素膜の形成とウエットエッチングによる剥離を行う半導体装置の製造プロセスにおいて、犠牲酸化膜および/または二酸化珪素膜の形成を、プラズマ処理装置の処理容器内で、酸素を含む処理ガスを用いて生成させた $O(^1D_2)$ ラジカルが支配的なプラズマにより行う。



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF,

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] 本発明は、例えばトランジスタなどの製造に適用可能な半導体装置の製造方法に関する。

背景技術

[0002] 従来、半導体素子を分離する方法として、熱酸化法で素子分離膜を形成するLOCOS(Local Oxidation of Silicon)法が使用されてきた。しかし、LOCOS法は、素子分離領域が占める面積が大きいため、素子の微細化に限界があった。そこで、LOCOS法に代わる技術としてSTI(Shallow Trench Isolation)法が開発された。STI法では、シリコンウェハにトレンチを形成して素子分離膜を埋め込むため、素子分離領域の占める面積が少なく、微細化への対応が可能である。

[0003] STIプロセスでは、半導体基板にパッド酸化膜およびフォトリソグラフィ技術により所定のパターンで窒化珪素膜を形成した後、この窒化珪素膜をマスクとしてエッチングを行ってトレンチを形成する。通常は、界面特性の向上を図り、アクティブ領域と素子分離領域のエッジをラウンディングさせるために、トレンチ内部を酸化して薄い酸化膜を形成する。次に、薄い酸化膜が形成されたトレンチを埋めるように半導体基板の全面に二酸化珪素膜を厚く形成し、前記窒化珪素膜をストッパーとして化学的機械研磨(Chemical Mechanical Polishing)を行って平坦化することにより、素子分離膜を形成する。STI法におけるトレンチへの二酸化珪素膜の埋め込みは熱酸化法では困難であるため、TEOS(Tetra Ethyl Ortho Silicate)を原料とするCVD(Chemical Vapor Deposition)法やプラズマCVD法で行っていた。しかし、最近では、微細化、低コスト化が求められるデバイスの形成では、CVD法やプラズマCVD法から、より微細なトレンチへの埋め込みが可能なSOD(Spin On Dielectric)やSOG(Spin On Glass)な

どの塗布方式の手法に置き換わってきている。

[0004] ところで、ロジックデバイスや、DRAM (Dynamic Random Access Memory) などのメモリデバイスにおいては、これらを構成するトランジスタのゲート酸化膜として、それぞれ膜厚が異なる複数の二酸化珪素膜を形成することが行われている。例えば、I/O部やセルでは、相対的に厚いゲート酸化膜が使用され、コアCMOSなどでは相対的に薄いゲート酸化膜が使用される。また、電界効果型トランジスタを周囲のロジックデバイスと組み合わせた装置においては、周囲のロジックデバイスのトランジスタには、装置全体としての駆動速度性能を高めるために薄いゲート酸化膜を使用し、DRAMセルのトランジスタには、高いゲート電圧を考慮して耐圧性に優れた厚いゲート酸化膜を使用する設計も行われている。さらに、異なる電源電圧で動作する複数のトランジスタを備えたCMOS集積回路でも、電源電圧に応じて、異なる厚さのゲート酸化膜が必要になってくる。

[0005] このように、複数の異なる膜厚でゲート酸化膜を形成するためには、酸化珪素膜の成膜工程とウエットエッチング工程を繰返す必要がある。しかし、STI法でトレンチに埋め込まれた素子分離膜は、プラズマCVD法やSOD・SOGなどの塗布方式で形成された酸化珪素膜であるため、膜質的に粗密であり、或いは欠陥が多い。そのため、エッチング耐性が熱酸化膜に比べて低く、デバイスの製造工程においてウエットエッチングを繰返す間に素子分離膜が大幅に目減りしてしまう。素子分離膜の目減りが大きくなると、アクティブ領域周辺で窪みが生じてしまい、素子分離機能が不十分となってデバイスの信頼性と歩留まりを低下させる原因となる。この素子分離膜の目減りの問題は、素子分離膜を熱酸化法で形成するLOCOS法では問題となっていなかったが、近年の微細化の進行に伴い、素子分離膜をCVD法やSOD/SOG法で形成するようになり、顕在化してきた。

発明の概要

[0006] 半導体装置の製造過程で、ウエットエッチング工程を繰返すことによって生じる素子分離膜の目減りへの対策として、予め目減り分を予測して素子分

離膜を厚く形成しておくことも可能であるが、この方法ではデバイス設計の精度の低下につながるおそれがあり、根本的な解決策ではない。また、プロセス途中で、素子分離膜上に保護膜（マスク）を形成することによって、目減りを防止または抑制することも可能である。しかし、マスクの形成のための工程が増加してしまうため、プロセス効率の観点、さらには歩留りの観点からも満足できるものではない。

[0007] したがって、本発明の目的は、S T Iを利用して形成した素子分離膜がウエットエッチング工程により目減りすることを出来るだけ抑制しながら半導体装置を製造することができる半導体装置の製造方法を提供することにある。

[0008] 本発明の第1の観点によれば、シリコン基板と、前記シリコン基板に所定間隔で形成されたトレンチと、前記トレンチ内に埋め込まれた素子分離用酸化膜と、前記素子分離用酸化膜の間に露出したシリコン表面と、を有する被処理体を準備することと、前記シリコン表面をプラズマ酸化処理して犠牲酸化膜を形成することと、前記犠牲酸化膜をウエットエッチングにより剥離してシリコン表面を再び露出させることと、露出した前記シリコン表面を酸化処理して二酸化珪素膜を形成することと、を有し、前記シリコン表面のプラズマ酸化処理は、プラズマ処理装置の処理容器内で酸素を含む処理ガスを用いて生成させた $O(^1D_2)$ ラジカルが支配的なプラズマにより行われる、半導体装置の製造方法が提供される。

[0009] 本発明の第2の観点によれば、シリコン基板と、前記シリコン基板に所定間隔で形成されたトレンチと、前記トレンチ内に埋め込まれた素子分離用酸化膜と、前記素子分離用酸化膜の間に露出したシリコン表面と、を有する被処理体を準備することと、前記シリコン表面を酸化処理して犠牲酸化膜を形成することと、前記犠牲酸化膜をウエットエッチングにより剥離してシリコン表面を再び露出させることと、露出した前記シリコン表面をプラズマ酸化処理して二酸化珪素膜を形成することと、前記二酸化珪素膜の少なくとも一部分をウエットエッチングにより除去することと、前記二酸化珪素膜が除去

されて露出した部分のシリコン表面を酸化処理して前記二酸化珪素膜よりも厚みの薄い二酸化珪素膜を形成することとを有し、前記露出したシリコン表面のプラズマ酸化処理は、プラズマ処理装置の処理容器内で、酸素を含む処理ガスを用いて生成させた $O(^1D_2)$ ラジカルが支配的なプラズマにより行われる、半導体装置の製造方法が提供される。

[0010] 上記第2の観点において、前記露出したシリコン表面をプラズマ酸化処理して二酸化珪素膜を形成すること、および前記二酸化珪素膜の少なくとも一部分をウエットエッチングにより除去することは、繰り返し行ってもよい。

[0011] また、上記第1の観点における酸化処理、上記第2の観点における前記シリコン表面の酸化処理および／または前記二酸化珪素が除去されて露出した部分のシリコン表面の酸化処理は、プラズマ処理装置の処理容器内で、酸素を含む処理ガスを用いて生成させた $O(^1D_2)$ ラジカルが支配的なプラズマにより行われることが好ましい。

[0012] また、上記第1、第2の観点の半導体装置の製造方法において、前記プラズマの $O(^1D_2)$ ラジカルの密度が $1 \times 10^{12} [cm^{-3}]$ 以上であることが好ましい。

[0013] この場合に、前記処理容器内の圧力が、 $1.33 \sim 333 Pa$ の範囲内であることが好ましい。また、前記処理ガス中の酸素の割合が $0.2 \sim 1\%$ の範囲内であることが好ましい。さらに、前記処理ガスは、水素を 1% 以下の割合で含むことが好ましい。

[0014] また、上記第1、第2の観点の半導体装置の製造方法において、前記プラズマは、前記処理ガスと、複数のスロットを有する平面アンテナにより前記処理室内に導入されるマイクロ波と、によって形成されるマイクロ波励起プラズマであることが好ましい。

[0015] また、上記第1、第2の観点の半導体装置の製造方法において、前記プラズマ酸化処理の間、被処理体を載置する載置台に、高周波電力を供給することが好ましい。

[0016] さらに、上記第1、第2の観点の半導体装置の製造方法において、本発明

の半導体装置の製造方法において、前記プラズマ酸化処理は、前記シリコン表面の酸化処理と同時に前記素子分離用酸化膜を改質することが好ましい。

図面の簡単な説明

[0017] [図1]本発明方法によるゲート酸化膜の形成において、CMP工程後の状態を示す図面である。

[図2]図1に続く工程図であり、窒化珪素膜を剥離した後の状態を示す図である。

[図3]図2に続く工程図であり、パッド酸化膜107を剥離した後の状態を示す図面である。

[図4]図3に続く工程図であり、プラズマ酸化処理によって犠牲酸化膜を形成した状態を示す図面である。

[図5]図4に続く工程図であり、犠牲酸化膜を剥離した状態を示す図面である。

[図6]図5に続く工程図であり、プラズマ酸化処理によって厚膜のゲート酸化膜を形成した状態を示す図面である。

[図7]図6に続く工程図であり、ウェットエッチング後にマスクを剥離した状態を示す図面である。

[図8]図7に続く工程図であり、プラズマ酸化処理によって薄膜のゲート酸化膜を形成した状態を示す図面である。

[図9]比較方法において、熱酸化処理によって犠牲酸化膜を形成した状態を示す図面である。

[図10]図9に続く工程図であり、犠牲酸化膜を剥離した後の状態を示す図面である。

[図11]図10に続く工程図であり、厚膜のゲート酸化膜を熱酸化法で形成した後の状態を示す図面である。

[図12]図11に続く工程図であり、部分的にゲート酸化膜を剥離した後の状態を示す図面である。

[図13]図12に続く工程図であり、薄膜のゲート酸化膜を熱酸化法で形成し

た後の状態を示す図面である。

[図14A]本発明方法の実施に適したプラズマ処理装置の一例を示す概略断面図である。

[図14B]本発明方法の実施に適したプラズマ処理装置の別の例を示す概略断面図である。

[図15]平面アンテナの構造を示す図面である。

[図16]制御部の構成例を示す説明図である。

[図17]O (1D_2) ラジカルによるプラズマ酸化の作用機構を説明する図面である。

[図18A]実験1における酸化膜の深さとウエットエッチングレートとの関係を示すグラフである。

[図18B]図18Aのグラフの一部の条件を抜き出して示すグラフである。

[図19]実験2におけるSiO₂膜の表面のRMSラフネスを示すグラフである。

[図20]実験2におけるSi/SiO₂界面のRMSラフネスを示すグラフである。

[図21]実験3におけるSIMS（二次イオン質量分析計）によるシリコン中のホウ素の濃度分布の測定結果を示すグラフである。

[図22]実験4における酸化膜の深さとウエットエッチングレートとの関係を示すグラフである。

発明を実施するための形態

[0018] 以下、添付図面を参照して本発明の実施の形態について詳細に説明する。

図1～図8は、本発明の半導体装置の製造方法を、半導体装置としてのトランジスタの製造におけるゲート酸化膜の形成に適用した場合の手順を示す工程図である。まず、図1は、シリコン基板101に複数のトレンチ103が形成され、各トレンチ103内に素子分離膜としての二酸化珪素膜105が埋め込まれた状態を示している。二酸化珪素膜105と二酸化珪素膜105との間は、トランジスタを形成するアクティブ領域である。図1では、異

なる二つのデバイス領域を例示しており、中央の点線を境に、紙面に向かって左側が例えばI/O、セルなどに用いられるトランジスタ形成用の領域201であり、右側が例えばコアCMOSなどに用いられるトランジスタ形成用の領域203である。領域201は、高電圧トランジスタ形成用であり、領域203は、低電圧トランジスタ形成用である（なお、「高電圧」、「低電圧」の表現はあくまでも相対的な意味である）。

[0019] シリコン基板101上には、パッド酸化膜107が形成され、その上に窒化珪素膜109が形成されている。パッド酸化膜107は、シリコン表面を保護する目的で形成された厚みが0.02~0.05 μm 程度の熱酸化による SiO_2 膜である。窒化珪素膜109は、シリコン基板101にトレンチ103を形成した際のマスクであるとともにCMPにより二酸化珪素膜105を平坦化した際のストッパーである。

[0020] 図1は、CMP工程後の状態を示している。ここで、図示は省略するが、CMP工程以前の手順の概要は以下のとおりである。まず、シリコン基板101のシリコン表面を熱酸化処理してパッド酸化膜107を形成する。次に、パッド酸化膜107の上に積層して窒化珪素膜109を例えばCVD法で形成する。次に、窒化珪素膜109上にフォトリソ膜（図示せず）をパターン形成する。このパターン形成されたフォトリソ膜をマスクとして窒化珪素膜109、パッド酸化膜107およびシリコン基板101をエッチングしてシリコン基板101にトレンチ103を形成する。次に、トレンチ103の内部および窒化珪素膜109上に、後で素子分離膜（二酸化珪素膜105）となる二酸化珪素膜を形成する。この工程では、後述するように、微細化への対応からSOD、SOG、CVDまたはプラズマCVDによりトレンチ103を埋め込む。必要に応じて、熱酸化処理、熱アニール処理を行って Si-O 結合を形成させる工程を含むことができる。次に、窒化珪素膜109をストッパーとして化学機械研磨（CMP）を行い、窒化珪素膜109上に存在する二酸化珪素膜を除去するとともにトレンチ103内に二酸化珪素膜105を残すことにより、図1の構造を作製することができる。

- [0021] 素子分離膜としての二酸化珪素膜 105 は、SOD 膜、SOG 膜、CVD またはプラズマ CVD により形成された膜である。SOD 膜・SOG 膜は例えばポリシラザンや、ゾルゲル法により得られる無機材料などから成膜できる。より具体的には、例えば Spinfil（登録商標）シリーズ 400、同 600（AZ Electronic Materials 社製）などを用いることができる。SOD 材料・SOG 材料は、いずれもトレンチ内に埋め込みを行った後、例えば水蒸気雰囲気中で熱酸化を行うことにより Si-O 結合を形成して SiO₂ にすることができる。CVD またはプラズマ CVD でトレンチへ SiO₂ を埋め込んだ場合は、熱アニールを施すことにより二酸化珪素膜 105 を形成できる。
- [0022] 図 2 は、図 1 の状態から、窒化珪素膜 109 を剥離した後の状態を示している。窒化珪素膜 109 は、例えばホットリン酸（加温したリン酸水溶液）を用いるウエットエッチングにより剥離できる。
- [0023] 次に、例えば希フッ酸を用いるウエットエッチングでパッド酸化膜 107 を剥離する。図 3 は、パッド酸化膜 107 を剥離した後の状態を示している。この工程では、パッド酸化膜 107 が除去されてシリコン表面 S1, S2 が露出するだけでなく、素子分離膜としての二酸化珪素膜 105 の表面が削られ、膜厚が目減りする。パッド酸化膜 107 は熱酸化膜であり、二酸化珪素膜 105 は SOD 膜、SOG 膜または CVD 膜であるため、二酸化珪素膜 105 の方がパッド酸化膜 107 よりもエッチングされやすいためである。
- [0024] 次に、シリコン表面 S1, S2 を平滑化する目的で、シリコン表面 S1, S2 を酸化処理して犠牲酸化膜 111 を形成する。本発明では、後述するように、O（¹D₂）ラジカルが支配的なプラズマを利用してプラズマ酸化処理を行って犠牲酸化膜 111 を形成することが好ましく、さらに、被処理体であるシリコン基板 101 にバイアス電圧を印加しながらプラズマ酸化処理を行うことがより好ましい。図 4 は、プラズマ酸化処理によって犠牲酸化膜 111 が形成された状態を示している。ここでは、例えば 1～6 nm の厚みで犠牲酸化膜 111 が形成されると同時に、二酸化珪素膜 105 も、例えば表面から深さ 3～200 nm の厚みで改質され緻密化される。二酸化珪素膜 1

１０５の表面付近の緻密化された改質層を符号１０５aで示している。

[0025] 次に、犠牲酸化膜１１１を、希フッ酸を使用してウエットエッチングによって除去し、シリコン表面Ｓ１、Ｓ２を再び露出させる。図５は、犠牲酸化膜１１１を剥離してシリコン表面Ｓ１、Ｓ２が露出した状態を示している。二酸化珪素膜１０５は、プラズマ酸化処理されると同時に緻密化されて改質層１０５aが形成されているので、エッチング耐性が増している。そのため、犠牲酸化膜１１１を剥離した後も二酸化珪素膜１０５の目減りが抑制されている。なお、ウエットエッチングによって、改質層１０５aの膜厚はわずかに減少する。このように本発明方法では、プロセス中の一部の酸化工程で $O(^1D_2)$ ラジカルが支配的なプラズマを利用してプラズマ酸化処理を行うことによって、二酸化珪素膜１０５の表面が改質されて緻密になり、ウエットエッチングの際の膜減りを抑制できる。

[0026] 次に、ゲート酸化膜を形成するため、領域２０１、２０３において、露出したシリコン表面Ｓ１、Ｓ２に対し、再び $O(^1D_2)$ ラジカルが支配的なプラズマを利用してプラズマ酸化処理を行う。図６は、プラズマ酸化処理によって厚膜のゲート酸化膜１１３が形成された状態を示している。ここでは、例えば２～６nmの厚みでゲート酸化膜１１３が形成されると同時に、二酸化珪素膜１０５の表面の改質層１０５aが増膜する。この工程でも、被処理体であるシリコン基板１０１にバイアス電圧を印加しながらプラズマ酸化処理を行うことにより、低温での処理が可能であり、また、同時に二酸化珪素膜１０５が更に改質されるので、より好ましい。

[0027] 次に、領域２０１のゲート酸化膜１１３を残したまま、領域２０３のゲート酸化膜１１３を剥離する。ここでは、領域２０１のゲート酸化膜１１３上に図示しないマスクを形成した後、領域２０３のゲート酸化膜１１３をウエットエッチングして除去する。図７は、ウエットエッチング後（上記マスクも剥離した後）の状態を示しており、領域２０３はゲート酸化膜１１３が除去されてシリコン表面Ｓ２が露出している。また、領域２０３では、二酸化珪素膜１０５の改質層１０５aもわずかにエッチングされて目減りする。そ

の結果、図 7 で模式的に示すように、領域 201 側の二酸化珪素膜 105 と領域 203 側の二酸化珪素膜 105 では、後者（領域 203 側）の方の膜厚が減少し、二酸化珪素膜 105 の表面高さが下がっているが、プラズマ酸化処理と同時に形成された緻密な改質層 105a が存在するため、目減り幅が抑制されており、窪みは発生しない。

[0028] 次に、再び $O(^1D_2)$ ラジカルが支配的なプラズマを利用して露出したシリコン表面 S2 に対してプラズマ酸化処理を行う。図 8 はプラズマ酸化処理後の状態を示している。このプラズマ酸化処理によって、領域 203 のシリコン表面 S2 が酸化され、例えば 1～4 nm の厚みで薄膜のゲート酸化膜 115 が形成される。本実施形態では、素子分離膜（改質層 105a を含む二酸化珪素膜 105）の目減りが抑制されていることにより、領域 203 においてゲート酸化膜 115 と隣接する二酸化珪素膜 105 との間に段差や窪みは生じていない。プラズマ酸化処理によって領域 201 では、二酸化珪素膜 105 の表面の改質層 105a が増膜する。

[0029] ここで、本発明方法の優位性を示す目的で、比較方法として、犠牲酸化膜 111 の形成と、領域 201 のゲート酸化膜の形成を熱酸化法で行った場合について説明する。図 9～図 13 は、図 1～図 8 と同様のプロセスで、 $O(^1D_2)$ ラジカルが支配的なプラズマを利用するプラズマ酸化処理に替えて、熱酸化処理を行った場合を示している。なお、図 1～8 と同様の構成については同一の符号を付して説明を省略する。

[0030] 図 9 は、図 4 に対応するもので、犠牲酸化膜 111 を形成した後の状態を示している。ここでは、熱酸化法によって犠牲酸化膜 111 を形成しているため、同時に二酸化珪素膜 105 も熱処理されることになるが、二酸化珪素膜 105 の表面は緻密化されていない（改質層が形成されていない）。これは、熱酸化処理では、分子間結合または原子間結合を切断できるだけの十分なエネルギーが供給されないためであると考えられる。そして、図 9 の状態から、犠牲酸化膜 111 を、希フッ酸を用いウエットエッチングによって剥離する。図 10 は、図 5 に対応するもので、犠牲酸化膜 111 を剥離した後

の状態を示している。図 10 と図 5 との比較では、図 10 では、図 5 よりも二酸化珪素膜 105 の膜厚が大きく目減りしている。これは、熱酸化膜よりもエッチング耐性が低い SOD/SOG 膜や CVD 膜である二酸化珪素膜 105 がウエットエッチングによって大きく削り取られたためである。

[0031] 図 11 は、図 6 に対応するもので、厚膜のゲート酸化膜 113 を熱酸化法で形成した後の状態を示している。この工程でも、比較方法では熱酸化法によってゲート酸化膜 113 を形成しているため、二酸化珪素膜 105 の表面は緻密化されていない。そして、図 11 の状態から、厚膜のゲート酸化膜 113 を部分的に（領域 203 側のみ）ウエットエッチングによって剥離する。すなわち、領域 201 側に図示しないマスクを形成し、領域 203 側のみを希フッ酸でエッチングする。図 12 は、図 7 に対応するもので、ゲート酸化膜 113 を部分的に（領域 203 側のみ）剥離した後の状態を示している。図 12 と図 7 との比較では、図 12 では、図 7 よりも領域 203 側の二酸化珪素膜 105 が表面から大きく目減りし、シリコン表面 S2 よりも低い窪み D が生じている。この窪み D は、熱酸化膜よりもエッチング耐性が低い二酸化珪素膜 105 が、ウエットエッチングを繰返す度に削り取られた結果生じたものである。このような窪み D は、後の工程を難しくするとともに、隣接する素子間を分離する機能を低下させるため、デバイスの信頼性と歩留まりを低下させる原因となる。

[0032] さらに、図 13 は、図 8 に対応するもので、薄膜のゲート酸化膜 115 を熱酸化法で形成した後の状態を示している。図 13 と図 8 との比較から、図 13 では図 8 よりも、領域 203 側で二酸化珪素膜 105 の表面が大きく目減りし、シリコン表面よりも低くなっており、ゲート酸化膜 115 で被覆されているにも係らず、シリコンのコーナー部 C の形状が、そのままゲート酸化膜 115 と二酸化珪素膜 105 との表面段差形状として表出している。このような形状は、熱酸化膜よりもエッチング耐性が低い二酸化珪素膜 105 が、ウエットエッチングを繰返す度に削り取られた結果生じたものである。このようなシリコンのコーナー部 C の形状は、リーク電流発生の起点になり

やすく、デバイスの信頼性と歩留まりを低下させる原因となる。

[0033] 比較方法において、窪みDの形成は、二酸化珪素膜105上に保護マスクを形成したり、二酸化珪素膜105を改質処理してウエットエッチングレートを下げたりする工程を別途設けることによって抑制できるが、いたずらに工程数が増加してしまう。本発明方法では、シリコンを酸化する工程で、O (1D_2) ラジカルが支配的なプラズマを利用してプラズマ酸化処理を行い、シリコン表面S1, S2の酸化と二酸化珪素膜105のSiO₂表面の改質（緻密化）を同時に行うことが出来るので、別個に改質工程を設けずに、窪みDの形成を抑制可能であり、プロセス効率に優れている。さらに、必要に応じて被処理体にバイアス電圧を印加しながらプラズマ酸化処理を行うことにより、二酸化珪素膜105の深いところまで改質させて、より緻密な膜にすることができる。これは、ラジカルが、膜中に拡散して分子間または原子間の結合エネルギーより大きなエネルギーを供給することによって、分子間または原子間の結合を切断することができるからであると考えられる。

[0034] このように、犠牲酸化膜やゲート酸化膜を形成するための酸化処理を、O (1D_2) ラジカルが支配的なプラズマを利用して行うことによって、低温での処理が可能であり、且つ同時に素子分離膜の表面を改質して緻密化することができる。そのため、付加的な改質工程を設けずに、ウエットエッチングによる素子分離膜表面の目減りを抑制することができる。特に、ウエットエッチング工程が繰返されるプロセスにこのようなO (1D_2) ラジカルが支配的なプラズマによるプラズマ酸化処理を適用することによって、素子分離膜の目減りを効果的に抑制できる。このため、素子分離膜の目減りに起因する半導体装置の信頼性の低下を防止できるとともに、プロセス効率を低下させることなく半導体装置を製造できる。

[0035] また、O (1D_2) ラジカルが支配的なプラズマによりプラズマ酸化処理を行うことによって、ゲート酸化膜の表面およびシリコンとゲート酸化膜との界面の平坦性を高めることができるため、モビリティ特性や信頼性を向上させ、フリッカーノイズ ($1/f$ ノイズ) を低減できる。また、O (1D_2)

ラジカルが支配的なプラズマを用いる本発明のプロセスは、600℃以下の低温での処理が可能であることから、不純物の拡散などの問題が生じにくく、デバイス設計およびチャネルエンジニアリングが容易であるという効果も奏する。

[0036] 図1～図8では、膜厚が異なる2種類のゲート酸化膜113およびゲート酸化膜115を順次形成するプロセスを例示したが、膜厚が異なる3種類以上のゲート絶縁膜を形成するプロセスにも、同様に本発明方法を適用可能であり、同様の作用効果が得られる。いずれの場合も、最後に形成するゲート酸化膜は、 $O(^1D_2)$ ラジカルが支配的なプラズマを利用するプラズマ酸化処理ではなく、熱酸化処理等の他の手法によって形成することも可能であるが、 $O(^1D_2)$ ラジカルが支配的なプラズマを利用するプラズマ酸化処理によって行うことが好ましく、被処理体であるシリコン基板101にバイアス電圧を印加しながらプラズマ酸化処理を行うことがより好ましい。

[0037] また、本発明方法は、素子分離膜としての二酸化珪素膜105を形成後に犠牲酸化膜111を形成し、かつ、この犠牲酸化膜111をウエットエッチングで剥離する工程を1回以上有するプロセスであれば、広く適用可能である。また、半導体装置の製造工程において、犠牲酸化膜111の形成に $O(^1D_2)$ ラジカルが支配的なプラズマを利用してプラズマ酸化処理することによって二酸化珪素膜105の目減りを抑制する効果が得られる（図4および図5参照）。犠牲酸化膜111の形成工程で $O(^1D_2)$ ラジカルが支配的なプラズマを利用することにより、素子分離膜としての二酸化珪素膜105の表面に改質層105aが形成されるので、ウエットエッチング耐性が向上する。従って、後の酸化工程、例えばゲート酸化膜113等の形成は、例えば熱酸化法で行ってもよい。プラズマ酸化処理する場合は、被処理体であるシリコン基板101にバイアス電圧を印加しながら行うことがより好ましい。

[0038] また、本発明方法は、素子分離膜としての二酸化珪素膜105を形成した後、ゲート酸化膜113を形成し、かつ、ゲート酸化膜113の少なくとも

一部分をウエットエッチングで剥離する工程を1回以上有するプロセスであれば、広く適用可能である。また、半導体装置の製造工程において、ゲート酸化膜113の形成に $O(^1D_2)$ ラジカルが支配的なプラズマを利用してプラズマ酸化処理することによって二酸化珪素膜105の目減りを抑制する効果が得られる(図6および図7参照)。特に、本発明方法は、膜厚が異なる複数のゲート酸化膜を半導体基板上に形成する目的で、シリコン表面S1, S2の部分的もしくは全体的な酸化(ゲート酸化工程)と、ゲート酸化膜の少なくとも一部分をウエットエッチングで剥離する工程を2回以上有するプロセスにおいて大きな効果が得られる(図6～図8参照)。なお、この場合、犠牲酸化膜111の形成は、例えば熱酸化法で行ってもよい。また、プラズマ酸化処理は、被処理体であるシリコン基板101にバイアス電圧を印加しながら行うことがより好ましい。

[0039] さらに、本発明方法は、素子分離膜としての二酸化珪素膜105を形成後に、犠牲酸化膜111を形成し、かつ、この犠牲酸化膜111をウエットエッチングで剥離する工程と、ゲート酸化膜113を形成し、かつゲート酸化膜113の少なくとも一部分をウエットエッチングで剥離する工程との組み合わせを有するプロセスに広く適用可能である。この場合、犠牲酸化膜111の形成とゲート酸化膜113の形成に、それぞれ $O(^1D_2)$ ラジカルが支配的なプラズマを利用してプラズマ酸化処理をすることによって、素子分離膜の目減りを抑制する効果が得られる(図4～図7参照)。この場合も、膜厚が異なる複数のゲート酸化膜(例えば、ゲート酸化膜113, 115等)を半導体基板上に形成するため、シリコン表面の部分的もしくは全体的な酸化(例えば、犠牲酸化工程、ゲート酸化工程)と、ゲート酸化膜(例えばゲート酸化膜113)の少なくとも一部分をウエットエッチングで剥離する工程を2回以上有するプロセスにおいて特に大きな効果が得られる(図4～図8参照)。また、プラズマ酸化処理は、被処理体であるシリコン基板101にバイアス電圧を印加しながら行うことがより好ましい。

[0040] 以上のようにして、素子分離膜の目減りを抑制しながらゲート酸化膜を形

成できる。このようにして得られるゲート酸化膜は、トランジスタのゲート酸化膜として利用できる。すなわち、本発明に係る半導体装置の製造方法は、トランジスタの製造過程で、ゲート絶縁膜を形成する場合に好ましく適用できる。上記説明では、本発明方法の特徴的な工程のみを示しており、それ以外の工程の説明を省略している。トランジスタの製造における他の工程、例えばトレンチ形成、素子分離膜の埋め込み、CMPによる平坦化、ウエル形成、イオン注入、ゲート電極の形成、保護膜の形成、配線形成、および、これらに付随するフォトリソグラフィ、エッチング、アニール、洗浄等の各工程については、本発明の効果を損なわないかぎり、どのような手法でも採用することが可能である。

[0041] 以上のように、酸化珪素膜の形成とウェットエッチングによる剥離を1回以上行うプロセスにおいて、剥離対象ではない素子分離膜が削られ、目減りすることを防止するため、プラズマ酸化処理と素子分離膜の改質を同時に行うことができる本発明方法を適用することは、窪み防止策として有効である。

[0042] 次に、本発明方法に使用可能な $O(^1D_2)$ ラジカルが支配的なプラズマを生成できるプラズマ処理装置について説明する。

[0043] 図14Aおよび図14Bは、プラズマ処理装置100Aおよび100Bの概略構成を模式的に示す断面図である。また、図15は、図14A、14Bのプラズマ処理装置100A、100Bに使用可能な平面アンテナを示す平面図である。ここで、図14Aに示すプラズマ処理装置100Aと、図14Bに示すプラズマ処理装置100Bとの違いは、被処理体にバイアス電圧を印加するバイアス印加手段を備えているかどうか、である。したがって、まずプラズマ処理装置100Aおよび100Bに共通する構成について説明し、次に、両者の相違点であるプラズマ処理装置100Bのバイアス印加手段について説明する。

[0044] [プラズマ処理装置100A、100Bに共通する構成]

プラズマ処理装置100A、100Bは、複数のスロット状の孔を有する

平面アンテナ、特にRLSA (Radial Line Slot Antenna; ラジアルラインスロットアンテナ) にて処理容器内にマイクロ波を導入することにより、高密度かつ低電子温度のマイクロ波励起プラズマを発生させ得るRLSAマイクロ波プラズマ処理装置として構成されている。プラズマ処理装置100A, 100Bでは、 $1 \times 10^{10} \sim 5 \times 10^{12} / \text{cm}^3$ のプラズマ密度で、かつ0.7~2 eVの低電子温度を有するプラズマによる処理が可能である。プラズマ処理装置100A, 100Bは、各種半導体装置の製造過程において、シリコンを酸化して酸化珪素膜 (SiO_2 膜) を形成するプラズマ酸化処理装置として好適に利用できる。

[0045] プラズマ処理装置100A, 100Bは、主要な構成として、処理容器1と、処理容器1内にガスを供給するガス供給装置18と、このガス供給装置18に接続するガス導入部15と、処理容器1内を減圧排気するための、真空ポンプ24を備えた排気装置と、処理容器1にプラズマを生成させるプラズマ生成手段としてのマイクロ波導入装置27と、これらプラズマ処理装置100A, 100Bの各構成部を制御する制御部50と、を備えている。なお、ガス供給装置18をプラズマ処理装置100A, 100Bの構成部分には含めずに、外部のガス供給装置をガス導入部15に接続して使用する構成としてもよい。

[0046] 処理容器1は、接地された略円筒状の容器により形成されている。なお、処理容器1は角筒形状の容器により形成してもよい。処理容器1は、アルミニウム等の金属またはその合金からなる底壁1aと側壁1bとを有している。

[0047] 処理容器1の内部には、被処理体である半導体ウエハ (以下、「ウエハ」と記す) Wを水平に支持するための載置台2が設けられている。載置台2は、熱伝導性の高い材質例えばAlN等のセラミックスにより構成されている。この載置台2は、排気室11の底部中央から上方に延びる円筒状の支持部材3により支持されている。支持部材3は、例えばAlN等のセラミックスにより構成されている。

- [0048] また、載置台 2 には、その外縁部をカバーし、ウエハ W をガイドするためのカバーリング 4 が設けられている。このカバーリング 4 は、例えば石英、A l N、A l ₂ O₃、S i N 等の材質で構成された環状部材である。
- [0049] また、載置台 2 には、温度調節機構としての抵抗加熱型のヒータ 5 が埋め込まれている。このヒータ 5 は、ヒータ電源 5 a から給電されることにより載置台 2 を加熱して、その熱で被処理基板であるウエハ W を均一に加熱する。
- [0050] また、載置台 2 には、熱電対 (T C) 6 が配備されている。この熱電対 6 によって載置台 2 の温度計測を行うことにより、ウエハ W の加熱温度を例えば室温から 900℃までの範囲で制御可能となっている。
- [0051] また、載置台 2 には、ウエハ W を支持して昇降させるためのウエハ支持ピン (図示せず) が設けられている。各ウエハ支持ピンは、載置台 2 の表面に対して突没可能に設けられている。
- [0052] 処理容器 1 の内周には、石英からなる円筒状のライナー 7 が設けられている。また、載置台 2 の外周側には、処理容器 1 内を均一排気するため、多数の排気孔 8 a を有する石英製のバッフルプレート 8 が環状に設けられている。このバッフルプレート 8 は、複数の支柱 9 により支持されている。
- [0053] 処理容器 1 の底壁 1 a の略中央部には、円形の開口部 10 が形成されている。底壁 1 a にはこの開口部 10 と連通し、下方に向けて突出する排気室 11 が設けられている。この排気室 11 には、排気管 12 が接続されており、この排気管 12 を介して真空ポンプ 24 に接続されている。
- [0054] 処理容器 1 の上部には、中央が円形に開口したプレート 13 が接合されている。開口の内周は、内側 (処理容器内空間) へ向けて突出し、環状の支持部 13 a を形成している。プレート 13 は、処理容器 1 の上部に配置されて開閉する蓋体としての機能を有している。このプレート 13 と処理容器 1 との間は、シール部材 14 を介して気密にシールされている。
- [0055] 処理容器 1 の側壁 1 b には、環状をなすガス導入部 15 が設けられている。このガス導入部 15 は、ガスライン 20 d を介して酸素含有ガスやプラズ

マ励起用ガスを供給するガス供給装置 18 に接続されている。なお、ガス導入部 15 は複数のガスライン（配管）に接続していてもよい。また、ガス導入部 15 はノズル状またはシャワー状に設けてもよい。

[0056] また、処理容器 1 の側壁 1b には、プラズマ処理装置 100A、100B と、これに隣接する搬送室（図示せず）との間で、ウエハ W の搬入出を行うための搬入出口 16 と、この搬入出口 16 を開閉するゲートバルブ G1 とが設けられている。

[0057] ガス供給装置 18 は、ガス供給源（例えば、不活性ガス供給源 19a、酸素含有ガス供給源 19b、水素ガス供給源 19c）と、配管（例えば、ガスライン 20a、20b、20c、20d）と、流量制御装置（例えば、マスフローコントローラ 21a、21b、21c）と、バルブ（例えば、開閉バルブ 22a、22b、22c）とを有している。なお、ガス供給装置 18 は、上記以外の図示しないガス供給源として、例えば処理容器 1 内雰囲気置換する際に用いるパージガス供給源等を有していてもよい。

[0058] 不活性ガスとしては、例えば希ガスを用いることができる。希ガスとしては、例えば Ar ガス、Kr ガス、Xe ガス、He ガスなどを用いることができる。これらの中でも、経済性に優れている点で Ar ガスを用いることが特に好ましい。また、酸素含有ガスとしては、例えば酸素ガス（ O_2 ）、水蒸気（ H_2O ）、オゾン（ O_3 ）などを用いることができる。

[0059] ガス供給装置 18 の不活性ガス供給源 19a、酸素含有ガス供給源 19b および水素ガス供給源 19c から供給された不活性ガス、酸素含有ガスおよび水素ガス（添加する場合）は、それぞれガスライン 20a、20b、20c を介してガスライン 20d に合流し、このガスライン 20d を介してガス導入部 15 に至り、ガス導入部 15 から処理容器 1 内に導入される。各ガス供給源に接続する各々のガスライン 20a、20b、20c には、マスフローコントローラ 21a、21b、21c およびその前後の 1 組の開閉バルブ 22a、22b、22c が設けられている。このようなガス供給装置 18 の構成により、供給されるガスの切替えや流量等の制御が出来るようになって

いる。

[0060] 排気装置は、真空ポンプ 24 を備えている。真空ポンプ 24 としては、例えばターボ分子ポンプなどの高速真空ポンプなどを用いることができる。前記のように、真空ポンプ 24 は、排気管 12 を介して処理容器 1 の排気室 11 に接続されている。処理容器 1 内のガスは、排気室 11 の空間 11a 内へ均一に流れ、さらに空間 11a から真空ポンプ 24 を作動させることにより、排気管 12 を介して外部へ排気される。これにより、処理容器 1 内を所定の真空度、例えば 0.133 Pa まで高速に減圧することが可能となっている。

[0061] 次に、マイクロ波導入装置 27 の構成について説明する。マイクロ波導入装置 27 は、主要な構成として、透過板 28、平面アンテナ 31、遅波材 33、カバー部材 34、導波管 37、マッチング回路 38 およびマイクロ波発生装置 39 を備えている。マイクロ波導入装置 27 は、処理容器 1 内に電磁波（マイクロ波）を導入してプラズマを生成させるプラズマ生成手段である。

[0062] マイクロ波を透過させる透過板 28 は、プレート 13 において内周側に張り出した支持部 13a 上に支持されている。透過板 28 は、誘電体、例えば石英や Al_2O_3 、 AlN 等のセラミックスから構成されている。この透過板 28 と支持部 13a との間は、シール部材 29 を介して気密にシールされている。したがって、処理容器 1 内は気密に保持される。

[0063] 平面アンテナ 31 は、透過板 28 の上方において、載置台 2 と対向するように設けられている。平面アンテナ 31 は、円板状をなしている。なお、平面アンテナ 31 の形状は、円板状に限らず、例えば四角板状でもよい。この平面アンテナ 31 は、プレート 13 の上端に係止されている。

[0064] 平面アンテナ 31 は、例えば表面が金または銀メッキされた銅板またはアルミニウム板から構成されている。平面アンテナ 31 は、マイクロ波を放射する多数のスロット状のマイクロ波放射孔 32 を有している。マイクロ波放射孔 32 は、所定のパターンで平面アンテナ 31 を貫通して形成されている。

- 。
- [0065] 個々のマイクロ波放射孔 3 2 は、例えば図 1 5 に示すように、細長い長方形形状（スロット状）をなしている。そして、典型的には隣接するマイクロ波放射孔 3 2 が「T」字状に配置されている。また、このように所定の形状（例えば T 字状）に組み合わせて配置されたマイクロ波放射孔 3 2 は、さらに全体として同心円状に配置されている。
- [0066] マイクロ波放射孔 3 2 の長さや配列間隔は、マイクロ波の波長（ λ_g ）に応じて決定される。例えば、マイクロ波放射孔 3 2 の間隔は、 $\lambda_g / 4 \sim \lambda_g$ となるように配置される。図 1 5 においては、同心円状に形成された隣接するマイクロ波放射孔 3 2 どうしの間隔を Δr で示している。なお、マイクロ波放射孔 3 2 の形状は、円形状、円弧状等の他の形状であってもよい。さらに、マイクロ波放射孔 3 2 の配置形態は特に限定されず、同心円状のほか、例えば、螺旋状、放射状等に配置することもできる。
- [0067] 平面アンテナ 3 1 の上面には、真空よりも大きい誘電率を有する遅波材 3 3 が設けられている。この遅波材 3 3 は、真空中ではマイクロ波の波長が長くなることから、マイクロ波の波長を短くしてプラズマを調整する機能を有している。遅波材 3 3 の材質としては、例えば石英、ポリテトラフルオロエチレン樹脂、ポリイミド樹脂などを用いることができる。
- [0068] なお、平面アンテナ 3 1 と透過板 2 8 との間、また、遅波材 3 3 と平面アンテナ 3 1 との間は、それぞれ接触させても離間させてもよいが、接触させることが好ましい。
- [0069] 処理容器 1 の上部には、これら平面アンテナ 3 1 および遅波材 3 3 を覆うように、カバー部材 3 4 が設けられている。カバー部材 3 4 は、例えばアルミニウムやステンレス鋼等の金属材料によって形成されている。このカバー部材 3 4 と平面アンテナ 3 1 とで偏平導波路が形成されている。プレート 1 3 の上端とカバー部材 3 4 とは、シール部材 3 5 によりシールされている。また、カバー部材 3 4 の内部には、冷却水流路 3 4 a が形成されている。この冷却水流路 3 4 a に冷却水を通流させることにより、カバー部材 3 4、遅

波材 33、平面アンテナ 31 および透過板 28 を冷却できるようになっている。なお、平面アンテナ 31 およびカバー部材 34 は接地されている。

[0070] カバー部材 34 の上壁（天井部）の中央には、開口部 36 が形成されており、この開口部 36 には導波管 37 が接続されている。導波管 37 の他端側には、マッチング回路 38 を介してマイクロ波を発生するマイクロ波発生装置 39 が接続されている。

[0071] 導波管 37 は、上記カバー部材 34 の開口部 36 から上方へ延出する断面円形状の同軸導波管 37a と、この同軸導波管 37a の上端部にモード変換器 40 を介して接続された水平方向に延びる矩形導波管 37b とを有している。モード変換器 40 は、矩形導波管 37b 内を TE モードで伝播するマイクロ波を TEM モードに変換する機能を有している。

[0072] 同軸導波管 37a の中心には内導体 41 が延在している。この内導体 41 は、その下端部において平面アンテナ 31 の中心に接続固定されている。このような構造により、マイクロ波は、同軸導波管 37a の内導体 41 を介してカバー部材 34 と平面アンテナ 31 とで形成される偏平導波路へ放射状に効率よく均一に伝播される。

[0073] 以上のような構成のマイクロ波導入装置 27 により、マイクロ波発生装置 39 で発生したマイクロ波が導波管 37 を介して平面アンテナ 31 へ伝搬され、平面アンテナ 31 のマイクロ波放射孔（スロット）32、さらに透過板 28 を介して処理容器 1 内に導入されるようになっている。なお、マイクロ波の周波数としては、例えば 2.45 GHz が好ましく用いられ、他に 8.35 GHz、1.98 GHz 等を用いることもできる。

[0074] プラズマ処理装置 100A、100B の各構成部は、制御部 50 に接続されて制御される構成となっている。制御部 50 は、コンピュータを有しており、例えば図 16 に示したように、CPU を備えたプロセスコントローラ 51 と、このプロセスコントローラ 51 に接続されたユーザーインターフェース 52 および記憶部 53 を備えている。プロセスコントローラ 51 は、プラズマ処理装置 100A、100B における各構成部、例えば温度、圧力、ガ

ス流量、マイクロ波出力などのプロセス条件に係るヒータ電源 5 a、ガス供給装置 18、真空ポンプ 24、マイクロ波発生装置 39などを統括して制御する制御手段である。

[0075] ユーザーインターフェース 52は、工程管理者がプラズマ処理装置 100 A, 100 Bを管理するためにコマンドの入力操作等を行うキーボードや、プラズマ処理装置 100 A, 100 Bの稼働状況を可視化して表示するディスプレイ等を有している。また、記憶部 53には、プラズマ処理装置 100 A, 100 Bで実行される各種処理をプロセスコントローラ 51の制御にて実現するための制御プログラム（ソフトウェア）や処理条件データ等が記録されたレシピが保存されている。

[0076] そして、必要に応じて、ユーザーインターフェース 52からの指示等にて任意のレシピを記憶部 53から呼び出してプロセスコントローラ 51に実行させることで、プロセスコントローラ 51の制御下、プラズマ処理装置 100 A, 100 Bの処理容器 1内で所望の処理が行われる。また、前記制御プログラムや処理条件データ等のレシピは、コンピュータ読み取り可能な記憶媒体、例えばCD-ROM、ハードディスク、フレキシブルディスク、フラッシュメモリ、DVD、ブルーレイディスクなどに格納された状態のものを利用したり、あるいは、他の装置から、例えば専用回線を介して随時伝送させてオンラインで利用したりすることも可能である。

[0077] [バイアス印加手段]

次に、プラズマ処理装置 100 Bに特徴的な構成である、載置台 2にバイアスを印加するバイアス印加手段について説明する。プラズマ処理装置 100 Bの載置台 2の表面側には電極 42が埋設されている。この電極 42には、給電線 42 aによって、マッチングボックス（M. B.）43を介してバイアス印加用の高周波電源 44が接続されている。つまり、電極 42に高周波電力を供給することによって、基板であるウエハWにバイアスを印加できる構成となっている。電極 42、給電線 42 a、マッチングボックス（M. B.）43および高周波電源 44は、プラズマ処理装置 100 Bにおいてバ

イアス印加手段を構成している。電極 42 の材質としては、例えばモリブデン、タングステンなどの導電性材料を用いることができる。電極 42 は、例えば網目状、格子状、渦巻き状等の形状に形成されている。

[0078] このように構成されたプラズマ処理装置 100A, 100B では、600℃以下の低温で下地層等へのダメージフリーなプラズマ処理を行うことができる。また、プラズマ処理装置 100A, 100B は、プラズマの均一性に優れていることから、例えば 300mm 径以上の大型のウエハ W に対してもウエハ W の面内で処理の均一性を実現することができる。

[0079] 次に、プラズマ処理装置 100A, 100B において行われるプラズマ酸化処理の手順を説明する。まず、ゲートバルブ G1 を開にして搬入出口 16 からウエハ W を処理容器 1 内に搬入し、載置台 2 上に載置する。そして、ガス供給装置 18 の不活性ガス供給源 19a および酸素含有ガス供給源 19b から、例えば Ar ガスおよび O₂ ガスを所定の流量でガス導入部 15 を介して処理容器 1 内に導入し、所定の処理圧力に維持する。この際、O (¹D₂) ラジカルの密度が $1 \times 10^{12} [\text{cm}^{-3}]$ 以上のプラズマを形成する上で、処理ガス中の O₂ ガスの割合（体積比率）は、例えば 1% 以下が好ましく、0.2% から 1% の範囲内がより好ましい。ガス流量は、例えば Ar ガスが 100 ~ 10000 mL/min (sccm)、O₂ ガス：1 ~ 100 mL/min (sccm) の範囲から、全ガス流量に対する酸素の割合が上記値となるように選択することができる。

[0080] また、不活性ガス供給源 19a および酸素含有ガス供給源 19b からの Ar ガスおよび O₂ ガスに加え、水素ガス供給源 19c から H₂ ガスを所定比率で導入することもできる。この場合、H₂ ガスの割合は、例えば処理ガス全体の量に対して体積比率で 1% 以下となるようにすることが好ましく、0.01 ~ 1% がより好ましい。

[0081] また、処理圧力の上限は、O (¹D₂) ラジカルの密度が $1 \times 10^{12} [\text{cm}^{-3}]$ 以上のプラズマを形成する上で 333 Pa 以下とすることが好ましく、2

67 Pa以下がより好ましく、133 Pa以下が望ましい。処理圧力の下限は、133 Paとすることが好ましい。

[0082] また、処理温度（載置台2の温度）は、室温～600℃から選択可能であり、例えば300～500℃の範囲内が好ましい。

[0083] 次に、マイクロ波発生装置39で発生させた所定周波数例えば2.45 GHzのマイクロ波を、マッチング回路38を介して導波管37に導く。導波管37に導かれたマイクロ波は、矩形導波管37bおよび同軸導波管37aを順次通過し、内導体41を介して平面アンテナ31に供給される。つまり、マイクロ波は、矩形導波管37b内ではTEモードで伝搬し、このTEモードのマイクロ波はモード変換器40でTEMモードに変換されて、同軸導波管37aを介してカバー部材34と平面アンテナ31とにより構成される偏平導波路を伝搬していく。そして、マイクロ波は、平面アンテナ31に貫通形成されたスロット状のマイクロ波放射孔32から透過板28を介して処理容器1内におけるウエハWの上方空間に放射される。この際のマイクロ波の出力密度は、透過板28の面積1 cm²あたり0.6 W以上例えば0.7～3 Wとすることが好ましく、0.7～2.4 Wがより好ましい。マイクロ波出力は、例えば200 mm径以上のウエハWを処理する場合には、1000 W以上4000 W以下の範囲内から選択することができる。

[0084] 平面アンテナ31から透過板28を経て処理容器1に放射されたマイクロ波により、処理容器1内で電磁界が形成され、ArガスおよびO₂ガスおよび添加する場合はH₂ガスがプラズマ化する。このように励起されたプラズマは、略 $1 \times 10^{10} \sim 5 \times 10^{12} / \text{cm}^3$ の高密度で、かつウエハW近傍では、略1.2 eV以下の低電子温度を有する。そして、プラズマ中の活性種、主にO(¹D₂)ラジカル作用によりウエハWのシリコン表面にプラズマ酸化処理が行われる。具体的には、犠牲酸化膜の形成を例に挙げれば、図3および図4に示したように、O(¹D₂)ラジカル作用によりシリコン表面S1、S2が低温で酸化されて犠牲酸化膜111が形成されると同時に、素子分離膜である二酸化珪素膜105の表面がO(¹D₂)ラジカル作用により膜深

く改質され、 SiO_2 が高密度化されて改質層105aが形成される。また、ゲート酸化膜の形成を例に挙げれば、図5～図8に示したように、 $\text{O} (^1\text{D}_2)$ ラジカル作用によりシリコン表面S1, S2が低温で酸化されてゲート酸化膜113, 115が形成されると同時に、素子分離膜である二酸化珪素膜105の表面が $\text{O} (^1\text{D}_2)$ ラジカル作用によりさらに膜深く改質が進み、改質層105aが増膜する。

[0085] [高周波バイアス電圧]

また、プラズマ処理装置100Bを用いる場合には、プラズマ酸化処理を行なっている間、載置台2の電極42に高周波電源44から所定の周波数およびパワーの高周波電力を供給することができる。この高周波電源44から供給される高周波電力によってウエハWへバイアス電圧が印加され、プラズマの低い電子温度(0.7～2 eV)を維持しつつ、プラズマ酸化処理が促進される。すなわち、バイアス電圧を印加することにより、 $\text{O} (^1\text{D}_2)$ ラジカルによる改質を行いつつ、プラズマ中の酸素イオンをウエハWへ引き込むことが可能であるため、シリコンの酸化レートを増大させ、低温でも膜深く改質することができる。

[0086] 高周波電源44から供給する高周波電力の周波数は、例えば400kHz以上60MHz以下の範囲が好ましく、400kHz以上13.5MHz以下の範囲がより好ましい。高周波電力は、ウエハWの面積当たりのパワー密度として例えば0.14W/cm²以上1.4W/cm²以下の範囲内で供給することが好ましく、0.42W/cm²以上1.4W/cm²以下の範囲内で供給することがより好ましい。パワー密度が0.07W/cm²未満では、イオンの引き込み力が弱く、高酸化レートおよび高ドーズ量が得られない。一方、パワー密度が1.4W/cm²超では、素子分離膜である二酸化珪素膜105にダメージが入ってしまい、膜質を悪化させてしまう。また、高周波電力は100W以上が好ましく、例えば100W以上900W以下の範囲がより好ましく、300W以上900W以下の範囲が望ましい。このような高周波電力の範囲から、上記パワー密度になるように設定すればよい。

。

[0087] このように、載置台 2 の電極 4 2 に供給された高周波電力は、プラズマの低い電子温度を維持しつつ、プラズマ中のイオン種をウエハ W へ引き込む作用を有している。従って、載置台 2 の電極 4 2 に高周波電力を供給してウエハ W にバイアス電圧を印加することにより、 $O(^1D_2)$ ラジカルによる改質と同時に酸素イオンが引き込まれてプラズマ酸化レートと酸素ドーズ量が大きくなるため、低温でも膜深くまで改質させることができる。

[0088] [作用]

プラズマ処理装置 100A, 100B を用いて酸素を含む処理ガスのプラズマを生成する場合、処理圧力によってプラズマ中の活性種が変化する。すなわち、プラズマ処理において設定可能な圧力範囲の中で、比較的高い圧力条件（例えば、 3.33 Pa 超 1.333 Pa 以下）では、プラズマ中の活性種として O_2^+ イオンや $O(^1D_2)$ ラジカルは減少し、代わりに $O(^3P_2)$ ラジカルが主体となる。一方、比較的低い圧力条件（ 3.33 Pa 以下）では、プラズマ中の活性種として O_2^+ イオンや $O(^1D_2)$ ラジカルが支配的となる。この条件で生成する $O(^1D_2)$ ラジカルは、 SiO_2 膜中に含まれる N や H などの不純物を酸素原子に置き換える作用を有している。従って、 $O(^1D_2)$ ラジカルが支配的なプラズマによる酸化では、図 17 に示すように、 $O(^1D_2)$ ラジカルが膜中に含まれる不純物 Imp を酸素原子で置き換えることにより、 SiO_2 膜の膜質が緻密化されるものと考えられる。また、このような SiO_2 膜の改質効果は、被処理体であるシリコン基板 101 にバイアス電圧を印加しながら行うことによって、酸素イオンが引き込まれるため、いっそう増大する。本発明方法では、シリコンを酸化する工程で、 $O(^1D_2)$ ラジカルが生成する条件を選択してプラズマを生成し、シリコン表面と同時に SiO_2 膜を処理することによって、膜中の不純物が除去されて規則的な $Si-O$ 結合が形成された、欠陥の少ない緻密な SiO_2 膜に改質できる。そして、このように改質された SiO_2 膜は、SOD 膜や SOG 膜、プラズマ CVD 膜と比較して高いウエットエッチング耐性を有することにより、後の半導体プロ

セスでウエットエッチングが繰返されても目減りを抑制できる。

[0089] 次に、本発明の基礎となった実験結果について説明する。

[0090] 実験 1 :

ポリシラザンを原料として SOD 法により塗布成膜し、水蒸気酸化 (WVG) して形成した二酸化珪素膜 (膜厚 450 nm) に対して、図 14 A に示したものと同様のプラズマ処理装置 100 A を用い、以下の条件でプラズマ処理を行った。処理後の二酸化珪素膜について、希フッ酸処理 (50% HF : H₂O = 1 : 200) を行い、ウエットエッチングレートを調べた。また、比較のため、プラズマ処理を行わない二酸化珪素膜および熱酸化膜についても、同じ条件でのウエットエッチングレートを調べた。その結果を図 18 A および図 18 B に示した。なお、図 18 B は図 18 A の一部の条件を抜き出して示したものである。

[0091] [プラズマ処理条件 1]

体積流量比 [(O₂/Ar + O₂ + H₂) × 100] ; 0.5 ~ 3%

体積流量比 [(H₂/Ar + O₂ + H₂) × 100] ; 0.05 ~ 0.3%

処理圧力 ; 66.6 ~ 266 Pa (0.5 ~ 2 Torr)

マイクロ波パワー密度 ; 1 ~ 3 W/cm² (透過板の面積 1 cm² あたり)

載置台 2 の温度 ; 400 ~ 500 °C

処理時間 ; 360 秒

(より限定した条件)

体積流量比 [(O₂/Ar + O₂ + H₂) × 100] ; 0.8 ~ 1.5%

体積流量比 [(H₂/Ar + O₂ + H₂) × 100] ; 0.08 ~ 0.15%

処理圧力 ; 106.4 ~ 199.5 Pa (0.8 ~ 1.5 Torr)

マイクロ波パワー密度 ; 1.2 ~ 2.4 W/cm² (透過板の面積 1 cm² あたり)

載置台 2 の温度 ; 400 ~ 500 °C

処理時間 ; 360 秒

[0092] [プラズマ処理条件 2]

体積流量比 $[(O_2 / Ar + O_2) \times 100]$; 0.5 ~ 3%

処理圧力 ; 66.6 ~ 266 Pa (0.5 ~ 2 Torr)

マイクロ波パワー密度 ; 1 ~ 3 W/cm² (透過板の面積 1 cm²あたり)

載置台 2 の温度 ; 400 ~ 500 °C

処理時間 ; 360 秒

(より限定した条件)

体積流量比 $[(O_2 / Ar + O_2) \times 100]$; 0.8 ~ 1.5%

処理圧力 ; 106.4 ~ 199.5 Pa (0.8 ~ 1.5 Torr)

マイクロ波パワー密度 ; 1.2 ~ 2.4 W/cm² (透過板の面積 1 cm²あたり)

載置台 2 の温度 ; 400 ~ 500 °C

処理時間 ; 360 秒

[0093] [プラズマ処理条件 3]

体積流量比 $[(O_2 / Ar + O_2 + H_2) \times 100]$; 15 ~ 30%

体積流量比 $[(H_2 / Ar + O_2 + H_2) \times 100]$; 0.05 ~ 0.3%

処理圧力 ; 239.4 Pa 以上 (1.8 Torr)

マイクロ波パワー密度 ; 1 ~ 3 W/cm² (透過板の面積 1 cm²あたり)

載置台 2 の温度 ; 400 ~ 500 °C

処理時間 ; 360 秒

(より限定した条件)

体積流量比 $[(O_2 / Ar + O_2 + H_2) \times 100]$; 20 ~ 23%

体積流量比 $[(H_2 / Ar + O_2 + H_2) \times 100]$; 0.05 ~ 0.3%

処理圧力 ; 266 ~ 931 Pa (2 ~ 7 Torr)

マイクロ波パワー密度 ; 1.2 ~ 2.4 W/cm² (透過板の面積 1 cm²あたり)

載置台 2 の温度 ; 400 ~ 500 °C

処理時間 ; 360 秒

[0094] [熱酸化膜形成条件]

雰囲気； $\text{H}_2/\text{O}_2=450/900\text{ mL/min (sccm)}$

温度； 950°C

圧力； 15000 Pa

[0095] 図18Aおよび図18Bより、 $\text{O} (^1\text{D}_2)$ ラジカルが支配的となるプラズマ処理条件1、2でプラズマ処理を行うことにより、プラズマ処理を行わない場合や、 $\text{O} (^3\text{P}_2)$ ラジカルが支配的となるプラズマ処理条件3でプラズマ処理を行った場合に比較してウェットエッチングレートが大幅に低下した。従って、SOD酸化膜を $\text{O} (^1\text{D}_2)$ ラジカルが支配的となるプラズマで処理することによって、エッチング耐性を向上させ得ることが確認された。

[0096] 実験2：

図14Aに示したものと同様のプラズマ処理装置100Aを用い、上記条件1～3でシリコン(100)面および(111)面をプラズマ酸化処理した。形成された SiO_2 膜の表面と、 Si/SiO_2 界面のRMS(平均二乗平方根)ラフネスを測定した。 SiO_2 膜の表面のラフネスを図19、 Si/SiO_2 界面のラフネスを図20に示した。図19および図20より、 $\text{O} (^1\text{D}_2)$ ラジカルが支配的となるプラズマを生成できる条件1、2で形成した SiO_2 膜は、熱酸化膜と比較して表面および Si/SiO_2 界面のRMSラフネスが低く、より平坦化されていることがわかる。従って、条件1、2で形成した SiO_2 膜をトランジスタのゲート酸化膜として使用することにより、半導体装置のモビリティ特性と信頼性を改善させ、フリッカーノイズ($1/f$ ノイズ)も低減できることが十分に予測された。

[0097] 実験3：

シリコン表面に5nmの厚みでスクリーン酸化膜を形成した後、 11 B^+ イオンを5eVのエネルギーで 1×10^{13} 個/ cm^2 注入した。その後、 1000°C で10秒間アニールを行い、スクリーン酸化膜をウェットエッチングで除去してシリコン表面を露出させ、初期サンプルとした。この初期サンプルに、図14Aに示したものと同様のプラズマ処理装置100Aを用い、上記条件2でプラズマ酸化処理を行って3nmの二酸化珪素膜を形成した後、

これを剥離し、SIMS（二次イオン質量分析計）でシリコン中のホウ素の濃度分布を調べた。比較のため、プラズマ酸化処理に替えて初期サンプルを 950°C の O_2/H_2 雰囲気で熱酸化処理した後に同様にホウ素の濃度分布を調べた。その結果を図21に示した。

[0098] プラズマ処理装置100Aを用い、初期サンプルに上記条件2でプラズマ酸化処理を行った場合、シリコン中のホウ素の濃度分布のプロファイルは、初期サンプルとほぼ同じであった。一方、初期サンプルを 950°C の O_2/H_2 雰囲気で熱酸化処理した場合は、ホウ素の拡散が生じてシリコン中の濃度プロファイルが変化していた。このことから、プラズマ処理装置100Aを用いて比較的低温（ $400^{\circ}\text{C}\sim 500^{\circ}\text{C}$ ）の条件2のプラズマ酸化処理を半導体装置の製造工程で行うことにより、デバイス設計およびチャネルエンジニアリングのしやすさの観点で高温での熱酸化を行う場合よりも優位性が大きいことが確認された。

[0099] 実験4：

本実験では、図14Bに示したものと同様のプラズマ処理装置100Bを用い、ウエハWを載置する載置台2に高周波電力を印加しながらプラズマ酸化処理を行い、バイアス印加の効果を検証した。ポリシラザンを原料としてSOD法により成膜し、水蒸気酸化して形成した二酸化珪素膜（膜厚 450nm ）に対して、以下の条件でプラズマ処理を行った。処理後の二酸化珪素膜について、希フッ酸処理（ $50\%\text{HF}:\text{H}_2\text{O}=1:200$ ）を行い、ウエットエッチングレート調べた。また、比較のため、プラズマ処理を行わない二酸化珪素膜および熱酸化膜についても、同じ条件でのウエットエッチングレートを調べた。その結果を図22に示した。

[0100] [プラズマ処理条件4]

体積流量比 [$(\text{O}_2/\text{Ar} + \text{O}_2 + \text{H}_2) \times 100$] ; 23%

体積流量比 [$(\text{H}_2/\text{Ar} + \text{O}_2 + \text{H}_2) \times 100$] ; 1.9%

処理圧力 ; 666.7Pa (5Torr)

マイクロ波パワー密度 ; $2.4\text{W}/\text{cm}^2$ (透過板の面積 1cm^2 あたり)

載置台 2 の温度 ; 500°C

高周波電力の周波数 : 13.56 MHz

高周波電力のパワー : 600 W (パワー密度 0.85 W/cm² 当り) 、

処理時間 ; 360 秒

[0101] [プラズマ処理条件 5]

体積流量比 [(O₂/Ar + O₂ + H₂) × 100] ; 2.4 %

体積流量比 [(H₂/Ar + O₂ + H₂) × 100] ; 0.6 %

処理圧力 ; 40 Pa (300 mTorr)

マイクロ波パワー密度 ; 0.7 W/cm² (透過板の面積 1 cm² あたり)

載置台 2 の温度 ; 500°C

高周波電力の周波数 : 13.56 MHz

高周波電力のパワー : 600 W (パワー密度 0.85 W/cm² 当り) 、

処理時間 ; 360 秒

[0102] [熱酸化膜形成条件]

雰囲気 ; H₂/O₂ = 450/900 mL/min (sccm)

温度 ; 950°C

圧力 ; 15000 Pa

[0103] 図 22 より、ウエハ W にバイアス電圧を印加してプラズマ酸化処理を行った条件 4 および条件 5 では、プラズマ処理を行わない場合に比較してウェットエッチングレートが低下した。また、ウエハ W にバイアス電圧を印加した条件 4 と条件 5 の比較では、O (¹D₂) ラジカルが支配的となるプラズマ処理条件 5 でプラズマ処理を行うことにより、O (³P₂) ラジカルが支配的となるプラズマ処理条件 4 でプラズマ処理を行った場合に比べて、ウェットエッチングレートが大幅に低下した。従って、ウエハ W にバイアス電圧を印加しながら、SOD 酸化膜を O (¹D₂) ラジカルが支配的となるプラズマで処理することによって、酸素イオンの引き込みにより、低温でも、緻密に、且

つ膜深くまで改質され、エッチング耐性を大幅に向上させ得ることが確認された。

[0104] 以上のように、プラズマ酸化処理を $O(^1D_2)$ ラジカルが支配的なプラズマにより行うことによって、 SiO_2 膜の表面を改質して緻密化することができる。そして、この効果は、被処理体であるウエハWにバイアス電圧を印加しながらプラズマ酸化処理を行うことによって、酸素イオンの引き込みにより、さらに増大する。そのため、付加的な改質工程を設けることなく、ウェットエッチングによる素子分離膜表面の目減りを抑制することができる。従って、例えばトランジスタ形成などの半導体プロセスにおいて、素子分離膜の目減りに起因する半導体装置の信頼性の低下を防止できるとともに、プロセス効率にも優れている。

[0105] また、 $O(^1D_2)$ ラジカルが支配的なプラズマによりプラズマ酸化処理を行うことによって、 $O(^1D_2)$ ラジカルが、ゲート酸化膜とシリコンとの界面のシリコンを酸化することにより、ゲート酸化膜の表面およびシリコンとゲート酸化膜との界面の平坦性を高めることができるため、モビリティ特性や信頼性を向上させ、フリッカーノイズ($1/f$ ノイズ)を低減できる。また、 $O(^1D_2)$ ラジカルが支配的なプラズマを用いるプロセスは、 $600^\circ C$ 以下の低温での処理が可能であることから、不純物の拡散などの問題が生じにくく、デバイス設計およびチャネルエンジニアリングにおいて利便性に優れている。

[0106] 以上、本発明の実施の形態を述べたが、本発明は上記実施の形態に制約されることはなく、種々の変形が可能である。例えば、上記実施の形態では、プラズマ酸化処理にRLSA方式のマイクロ波プラズマ処理装置を用いたが、本発明は、 $O(^1D_2)$ ラジカルが支配的なプラズマを生成させるすべてのプラズマ処理装置に適用可能である。従って、例えばICPプラズマ方式、ECRプラズマ方式、表面反射波プラズマ方式、マグネトロンプラズマ方式等の他の方式のプラズマ処理装置を用いることもできる。

[0107] また、本発明の半導体装置の製造方法は、トランジスタの製造過程に限ら

ず、酸化珪素膜の形成とウェットエッチングによる剥離を繰り返して行うプロセスに広く適用可能である。

請求の範囲

- [請求項1] シリコン基板と、前記シリコン基板に所定間隔で形成されたトレンチと、前記トレンチ内に埋め込まれた素子分離用酸化膜と、前記素子分離用酸化膜の間に露出したシリコン表面と、を有する被処理体を準備することと、
- 前記シリコン表面をプラズマ酸化処理して犠牲酸化膜を形成することと、
- 前記犠牲酸化膜をウエットエッチングにより剥離してシリコン表面を再び露出させることと、
- 露出した前記シリコン表面を酸化処理して二酸化珪素膜を形成することと
- を有し、
- 前記プラズマ酸化処理は、プラズマ処理装置の処理容器内で酸素を含む処理ガスを用いて生成させた $O(^1D_2)$ ラジカルが支配的なプラズマにより行われる、半導体装置の製造方法。
- [請求項2] 前記酸化処理は、プラズマ処理装置の処理容器内で、酸素を含む処理ガスを用いて生成させた $O(^1D_2)$ ラジカルが支配的なプラズマにより行う請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記プラズマの $O(^1D_2)$ ラジカルの密度が $1 \times 10^{12} [cm^{-3}]$ 以上である請求項1に記載の半導体装置の製造方法。
- [請求項4] 前記処理容器内の圧力が、 $1.33 \sim 333 Pa$ の範囲内である、請求項3に記載の半導体装置の製造方法。
- [請求項5] 前記処理ガス中の酸素の割合が $0.2 \sim 1\%$ の範囲内である、請求項3に記載の半導体装置の製造方法。
- [請求項6] 前記処理ガスは、水素を 1% 以下の割合で含む請求項3に記載の半導体装置の製造方法。
- [請求項7] 前記プラズマは、前記処理ガスと、複数のスロットを有する平面アンテナにより前記処理室内に導入されるマイクロ波と、によって形成

されるマイクロ波励起プラズマである請求項 3 に記載の半導体装置の製造方法。

[請求項8] 前記プラズマ酸化処理の間、被処理体を載置する載置台に、高周波電力を供給する請求項 3 に記載の半導体装置の製造方法。

[請求項9] 前記プラズマ酸化処理は、前記シリコン表面を酸化すると同時に前記素子分離用酸化膜を改質する請求項 1 に記載の半導体装置の製造方法。

[請求項10] シリコン基板と、前記シリコン基板に所定間隔で形成されたトレンチと、前記トレンチ内に埋め込まれた素子分離用酸化膜と、前記素子分離用酸化膜の間に露出したシリコン表面と、を有する被処理体を準備することと、

前記シリコン表面を酸化処理して犠牲酸化膜を形成することと、

前記犠牲酸化膜をウエットエッチングにより剥離してシリコン表面を再び露出させることと、

露出した前記シリコン表面をプラズマ酸化処理して二酸化珪素膜を形成することと、

前記二酸化珪素膜の少なくとも一部分をウエットエッチングにより除去することと、

前記二酸化珪素膜が除去されて露出した部分のシリコン表面を酸化処理して前記二酸化珪素膜よりも厚みの薄い二酸化珪素膜を形成することと、

を有し、

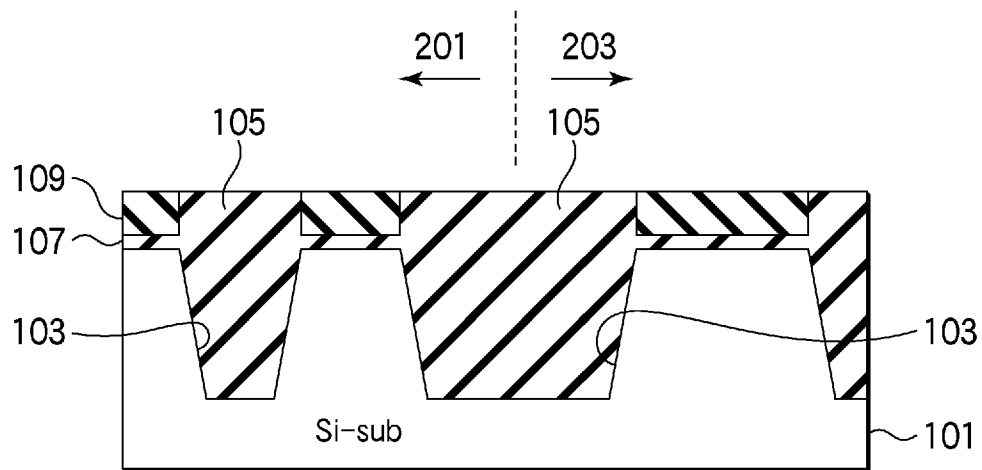
前記プラズマ酸化処理は、プラズマ処理装置の処理容器内で、酸素を含む処理ガスを用いて生成させた $O(^1D_2)$ ラジカルが支配的なプラズマにより行われる、半導体装置の製造方法。

[請求項11] 前記露出したシリコン表面をプラズマ酸化処理して二酸化珪素膜を形成すること、および前記二酸化珪素膜の少なくとも一部分をウエットエッチングにより除去することは、繰り返し行われる、請求項 10

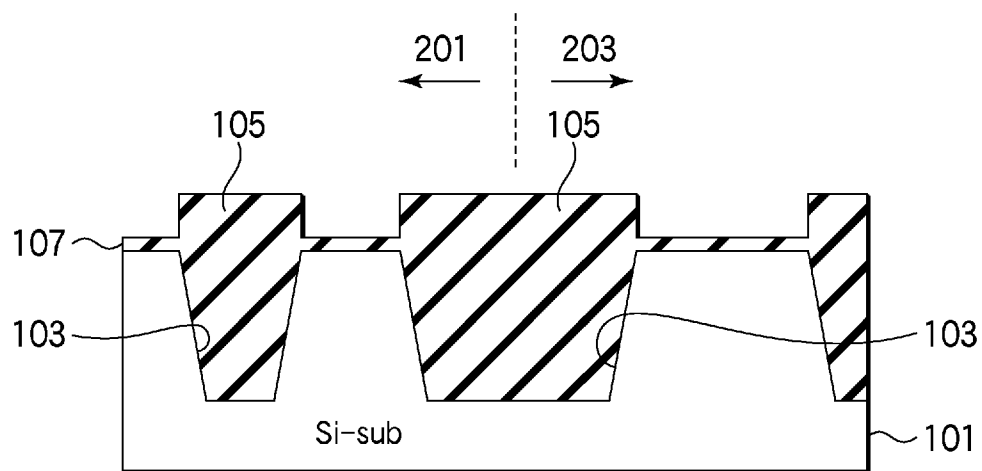
に記載の半導体装置に製造方法。

- [請求項12] 前記シリコン表面の酸化処理および／または前記二酸化珪素膜が除去されて露出した部分のシリコン表面の酸化処理は、プラズマ処理装置の処理容器内で、酸素を含む処理ガスを用いて生成させた $O(^1D_2)$ ラジカルが支配的なプラズマにより行う請求項10に記載の半導体装置の製造方法。
- [請求項13] 前記プラズマの $O(^1D_2)$ ラジカルの密度が $1 \times 10^{12} [cm^{-3}]$ 以上である請求項10に記載の半導体装置の製造方法。
- [請求項14] 前記処理容器内の圧力が、 $1.33 \sim 333 Pa$ の範囲内である、請求項13に記載の半導体装置の製造方法。
- [請求項15] 前記処理ガス中の酸素の割合が $0.2 \sim 1\%$ の範囲内である、請求項13に記載の半導体装置の製造方法。
- [請求項16] 前記処理ガスは、水素を 1% 以下の割合で含む請求項13に記載の半導体装置の製造方法。
- [請求項17] 前記プラズマは、前記処理ガスと、複数のスロットを有する平面アンテナにより前記処理室内に導入されるマイクロ波と、によって形成されるマイクロ波励起プラズマである請求項13に記載の半導体装置の製造方法。
- [請求項18] 前記プラズマ酸化処理の間、被処理体を載置する載置台に、高周波電力を供給する請求項13に記載の半導体装置の製造方法。
- [請求項19] 前記露出したシリコン表面のプラズマ酸化処理は、前記シリコン表面を酸化すると同時に前記素子分離用酸化膜を改質する請求項10に記載の半導体装置の製造方法。

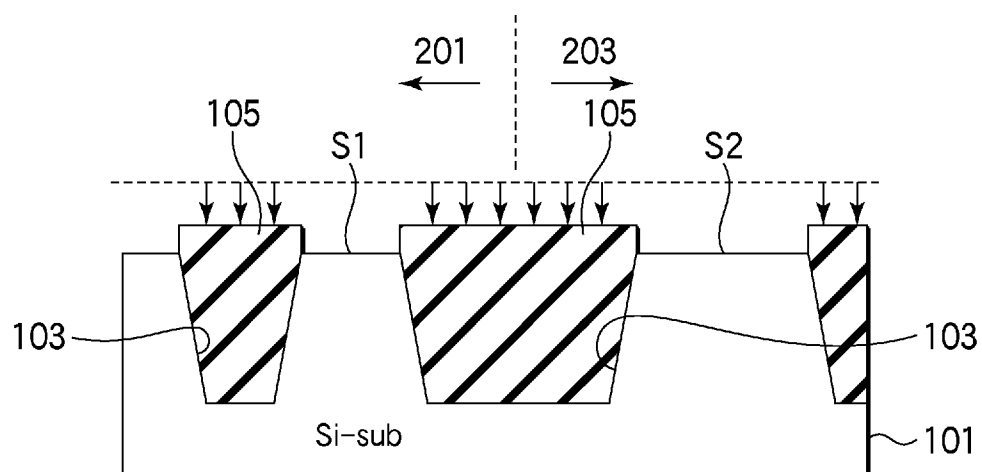
[図1]



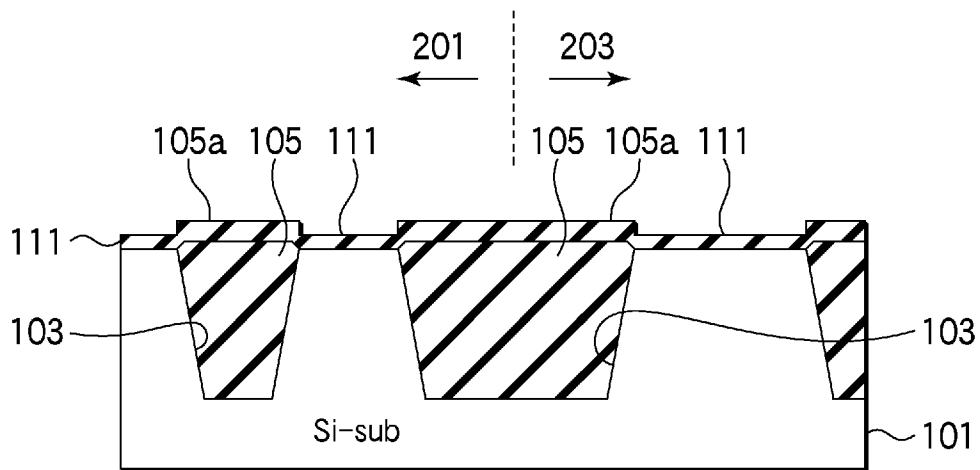
[図2]



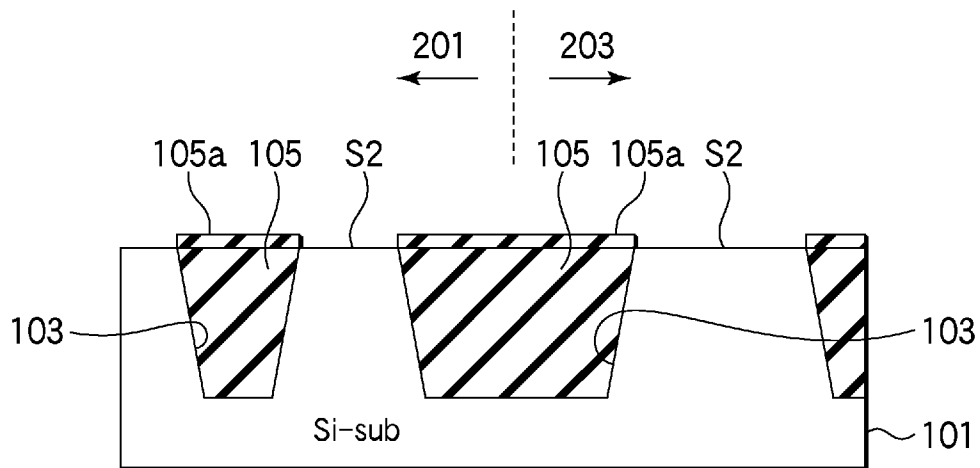
[図3]



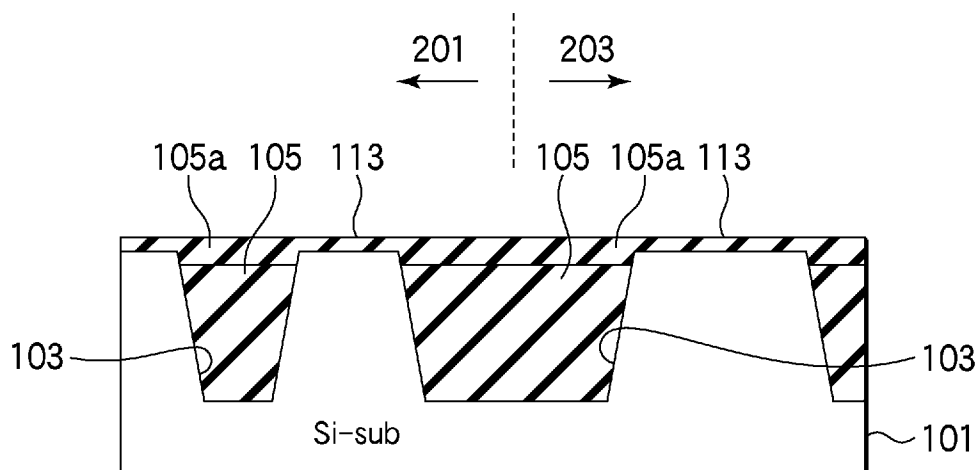
[図4]



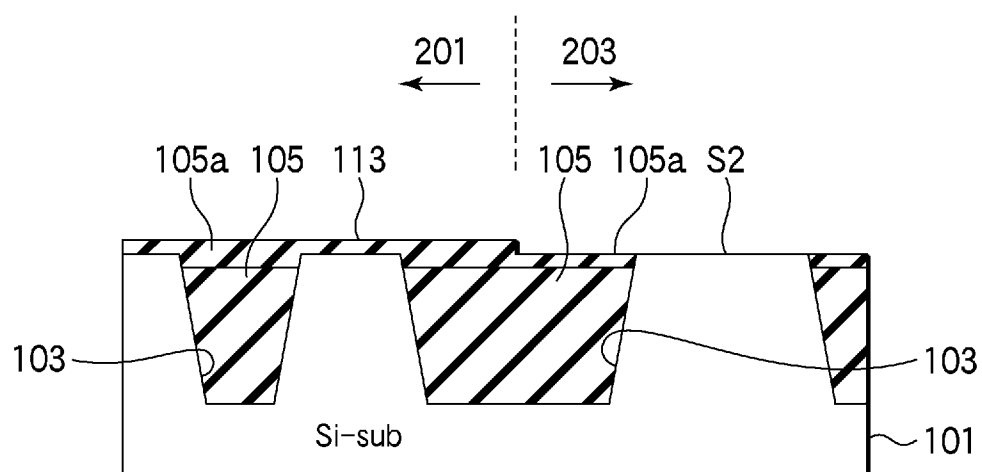
[図5]



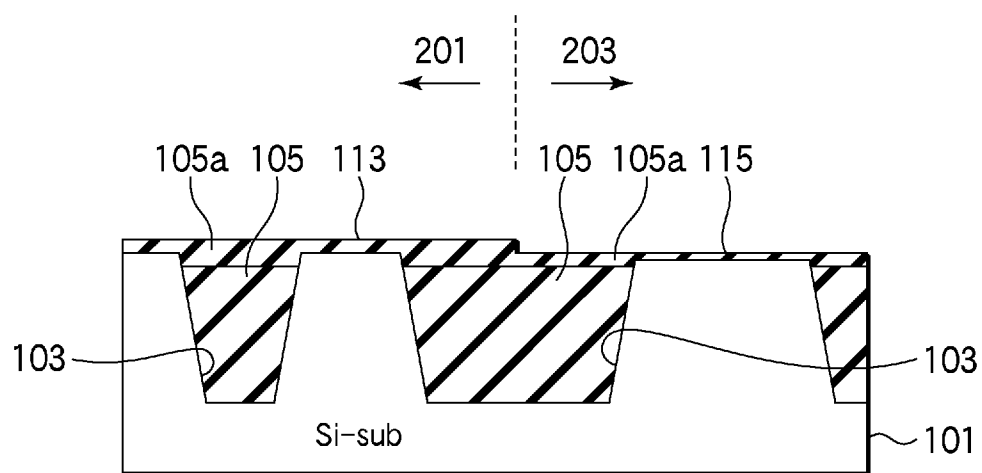
[図6]



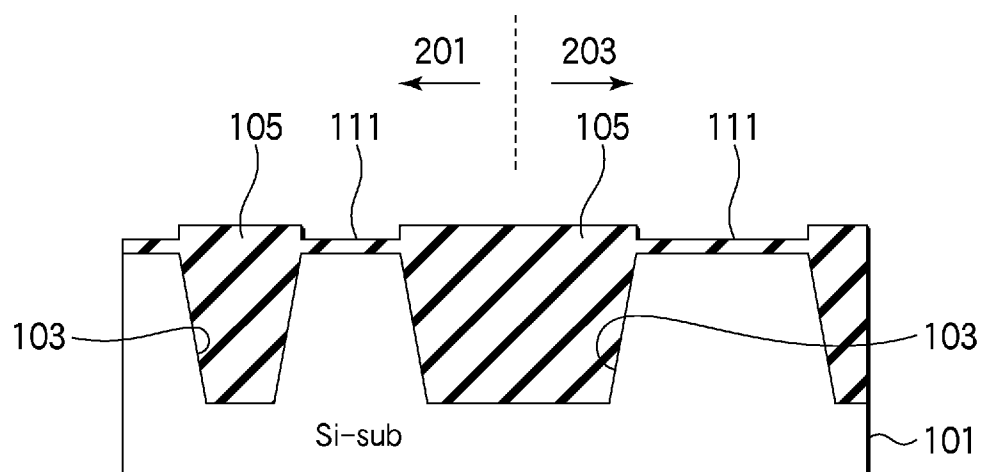
[図7]



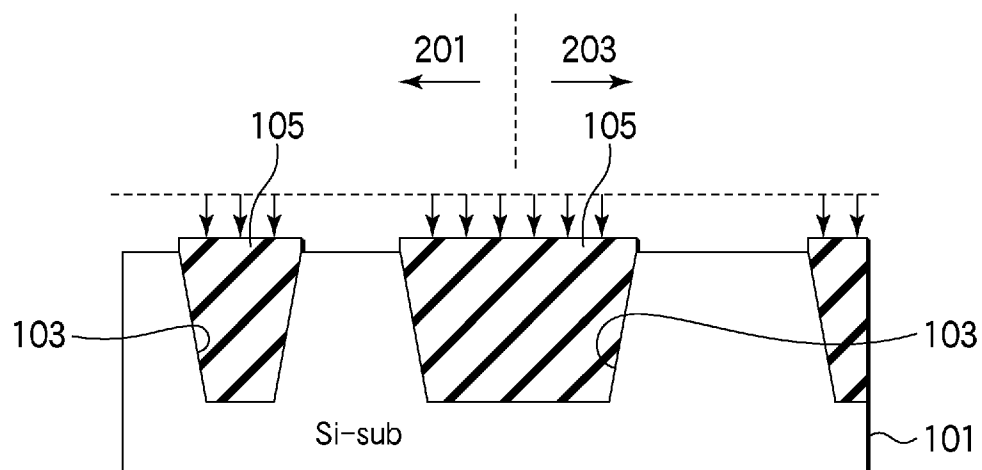
[図8]



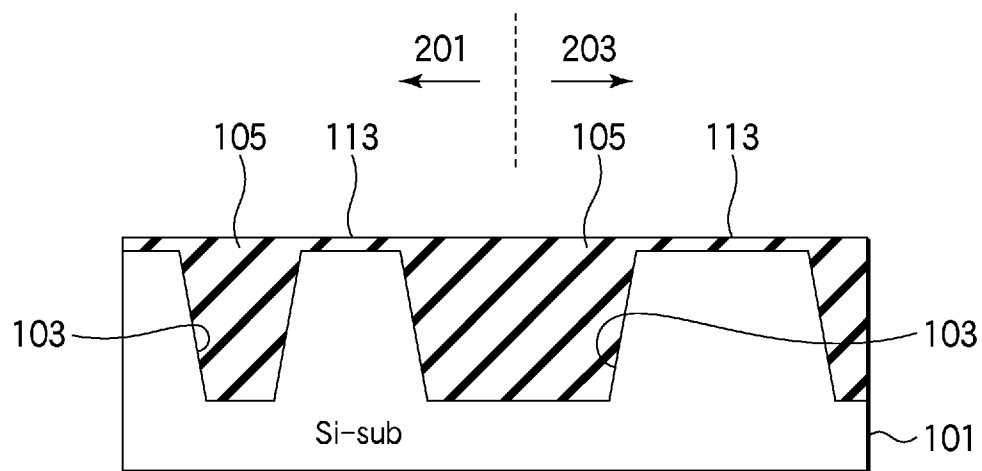
[図9]



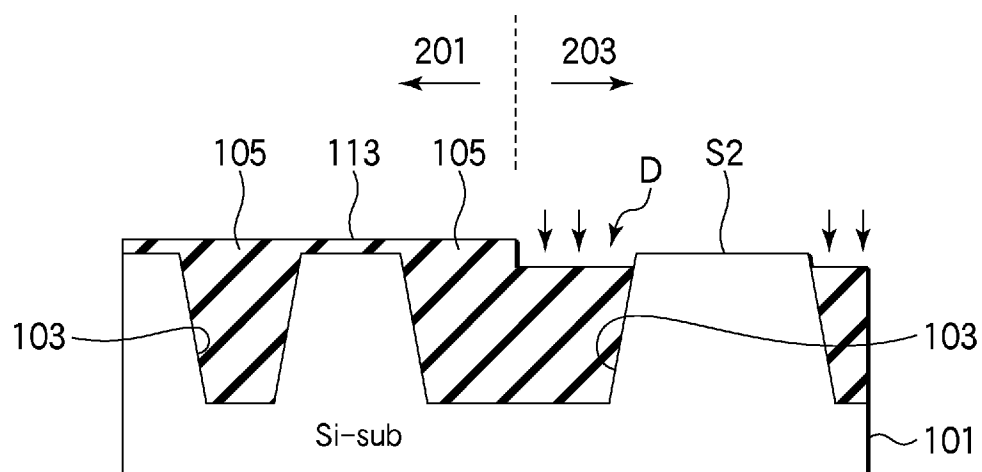
[図10]



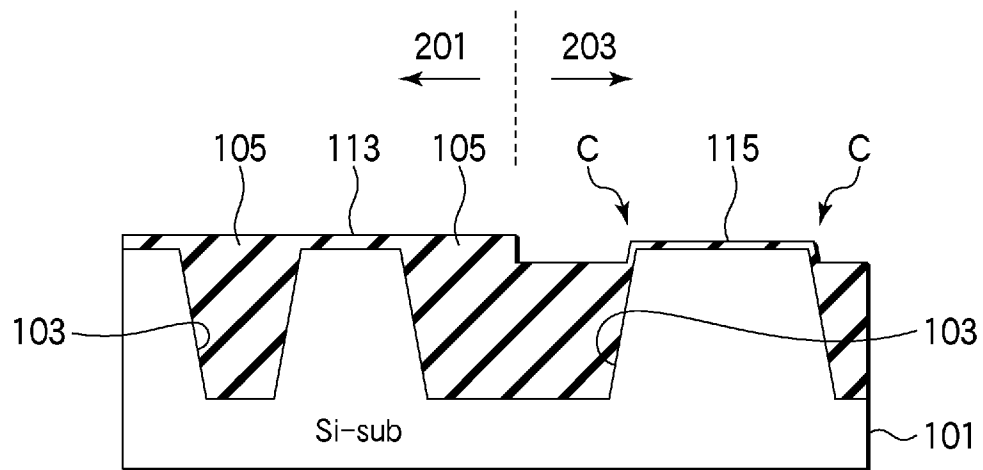
[図11]



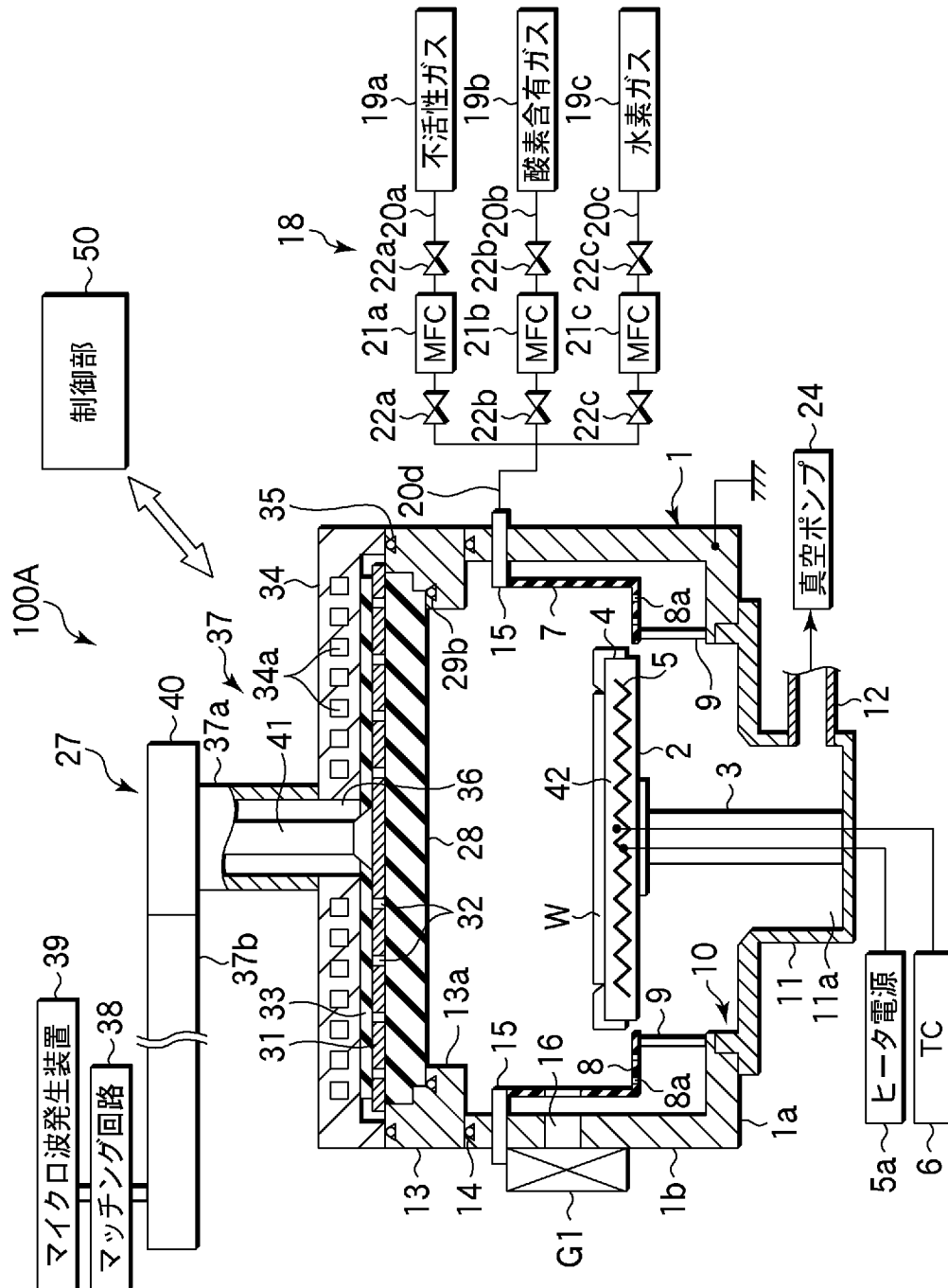
[図12]



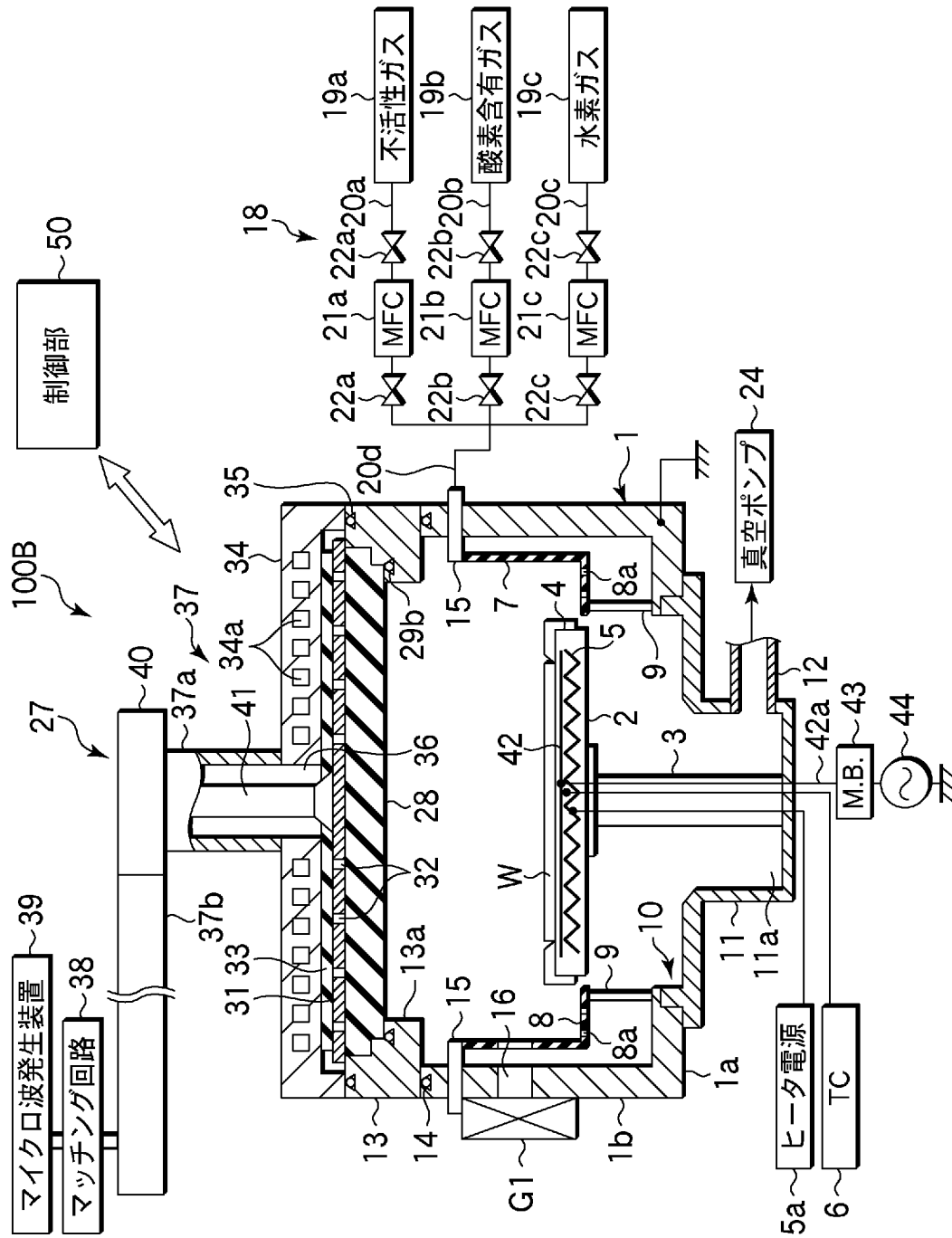
[図13]



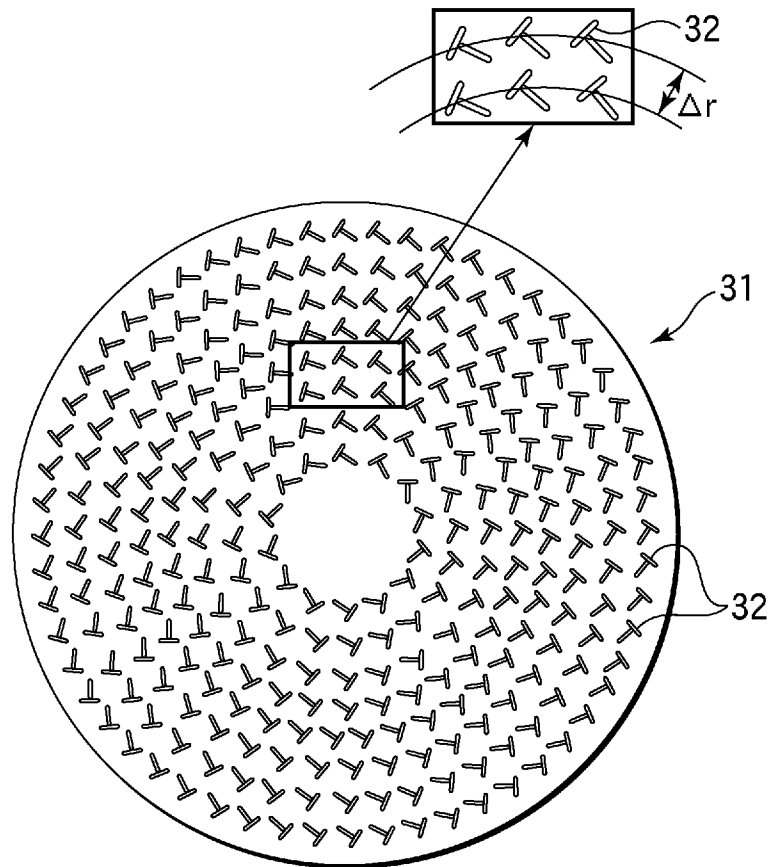
[図14A]



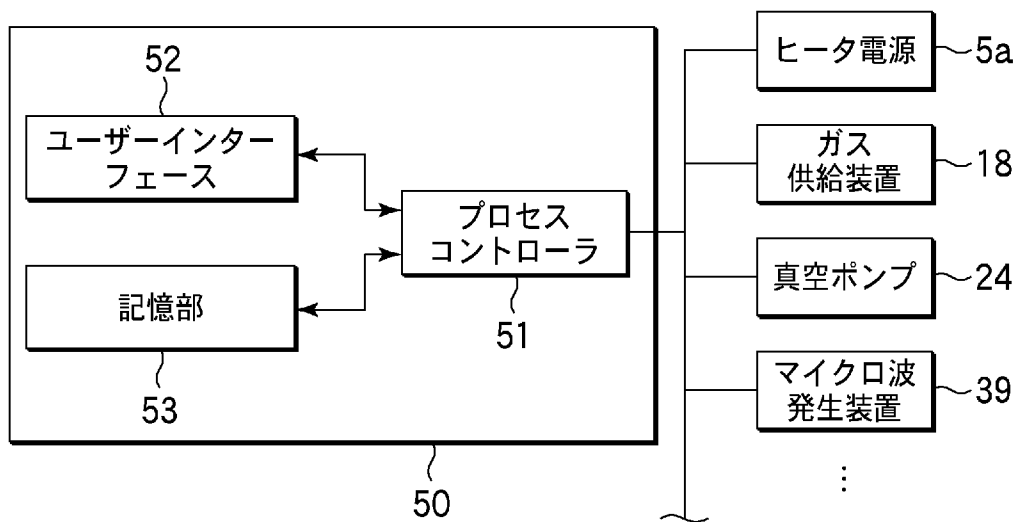
[図14B]



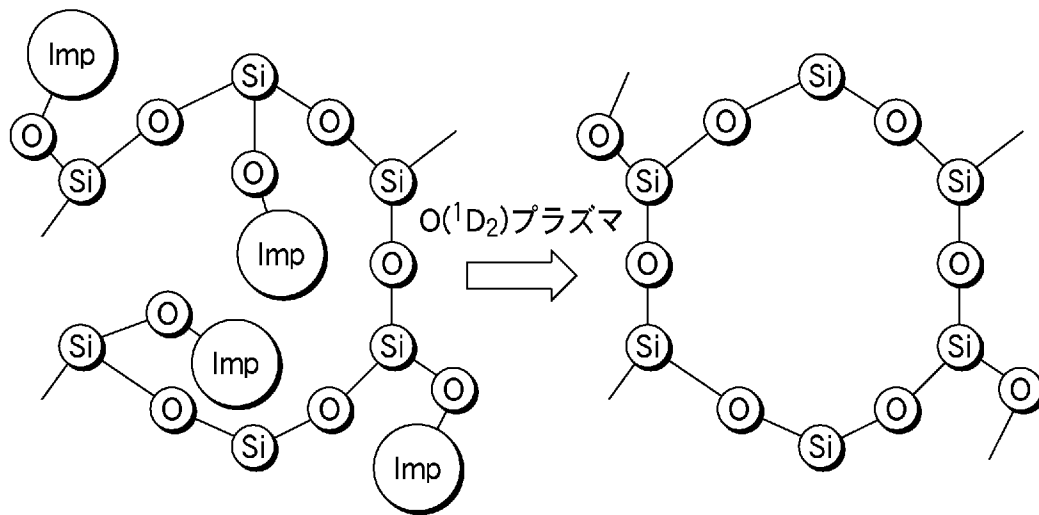
[図15]



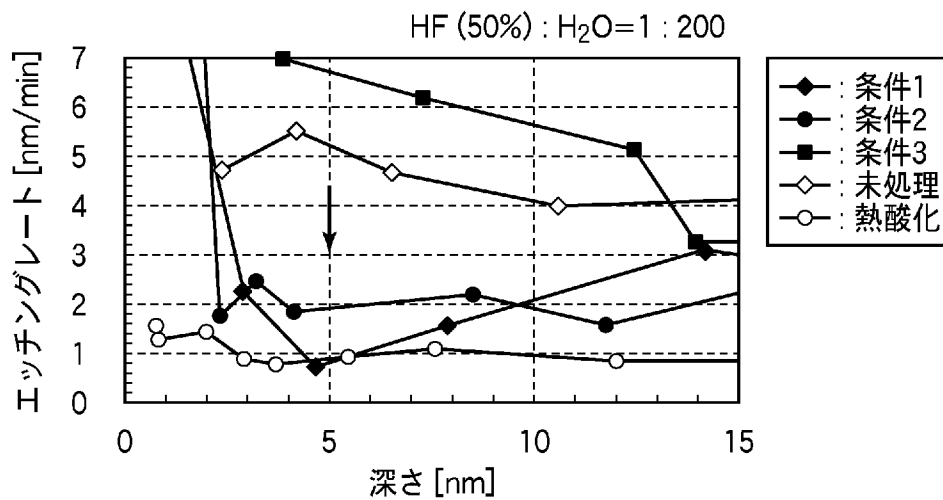
[図16]



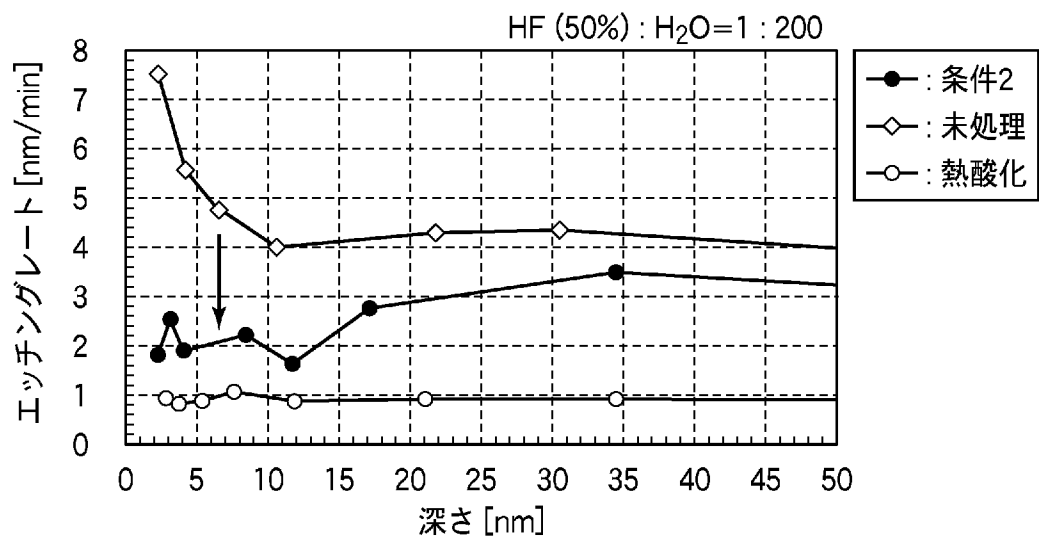
[図17]



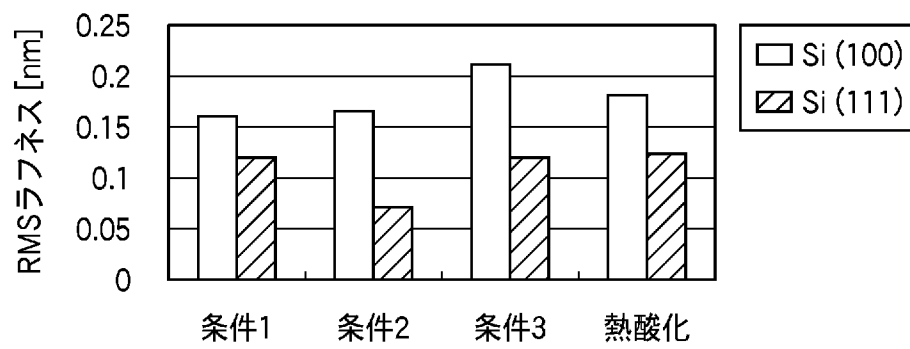
[図18A]



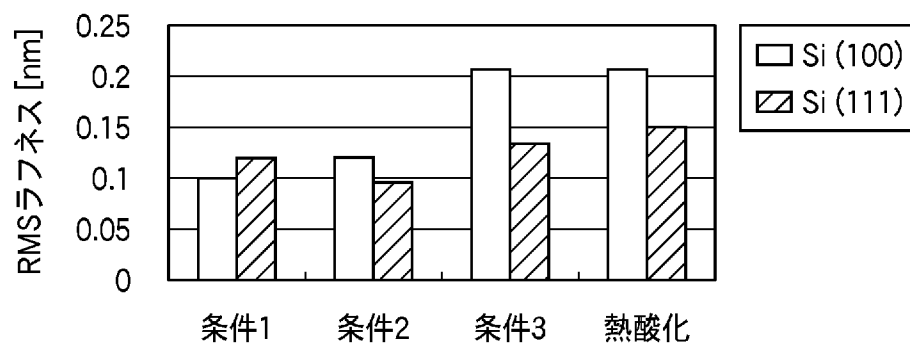
[図18B]



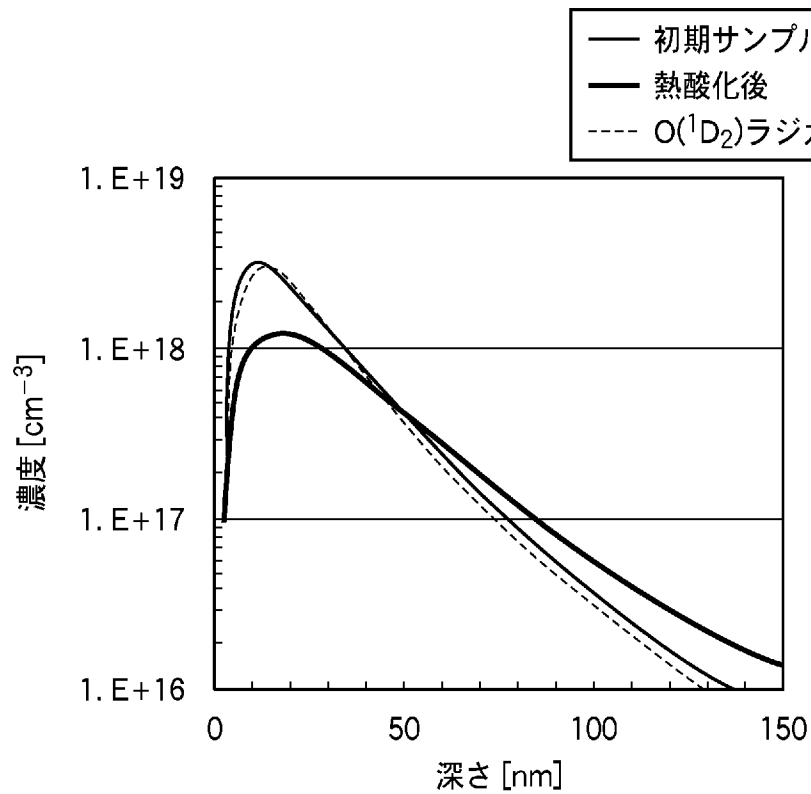
[図19]



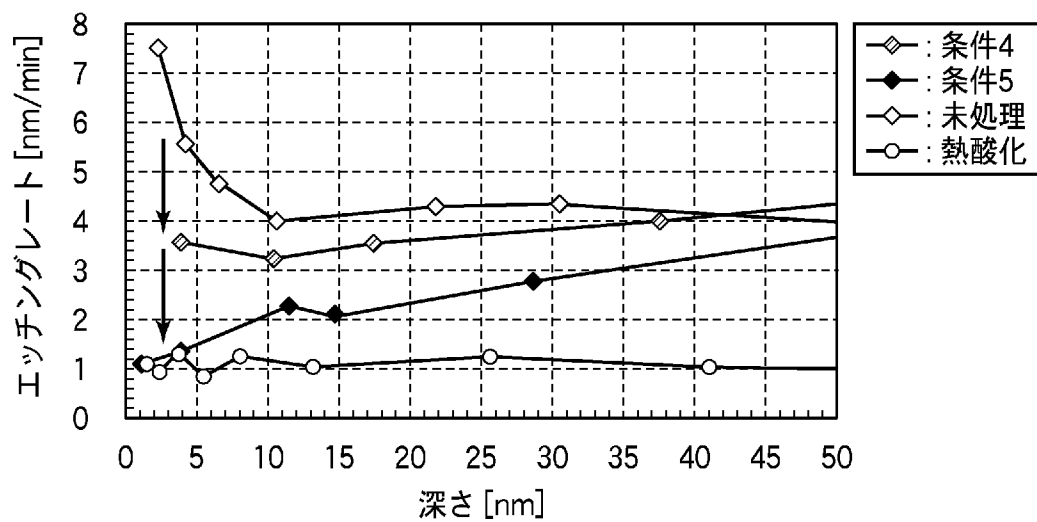
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/066886

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/76(2006.01) i, H01L21/316(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/76, H01L21/316

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-156059 A (Matsushita Electronics Corp.), 08 June 2001 (08.06.2001), paragraphs [0078] to [0111]; fig. 4, 5 & US 2004/0224450 A1	1-19
Y	WO 2009/093760 A1 (Tokyo Electron Ltd.), 30 July 2009 (30.07.2009), page 8, line 16 to page 36, line 22; fig. 1 to 3 (Family: none)	1-19
A	JP 2005-072358 A (Seiko Epson Corp.), 17 March 2005 (17.03.2005), entire text; all drawings (Family: none)	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21 December, 2010 (21.12.10)

Date of mailing of the international search report

28 December, 2010 (28.12.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/066886

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-053535 A (Toshiba Corp.), 06 March 2008 (06.03.2008), entire text; all drawings (Family: none)	1-19

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/76(2006.01)i, H01L21/316(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/76, H01L21/316

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-156059 A（松下電子工業株式会社）2001.06.08, 段落【0078】-【0111】，図4，5 & US 2004/0224450 A1	1 - 19
Y	WO 2009/093760 A1（東京エレクトロン株式会社）2009.07.30, 第8頁第16行-第36頁第22行，Fig.1-3 （ファミリーなし）	1 - 19
A	JP 2005-072358 A（セイコーエプソン株式会社）2005.03.17,	1 - 19

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献
--	---

国際調査を完了した日 2 1 . 1 2 . 2 0 1 0	国際調査報告の発送日 2 8 . 1 2 . 2 0 1 0		
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 三浦 尊裕	4 M	3 7 7 5
	電話番号 03-3581-1101 内線 3462		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	全文, 全図 (ファミリーなし) JP 2008-053535 A (株式会社東芝) 2008.03.06, 全文, 全図 (ファミリーなし)	1 - 19