



(12)发明专利

(10)授权公告号 CN 104299648 B

(45)授权公告日 2017.12.26

(21)申请号 201410495362.2

(22)申请日 2014.09.25

(65)同一申请的已公布的文献号
申请公布号 CN 104299648 A

(43)申请公布日 2015.01.21

(73)专利权人 苏州宽温电子科技有限公司
地址 215000 江苏省苏州市吴中区木渎镇
中山东路70号2307室

(72)发明人 翁宇飞 李力南

(74)专利代理机构 北京汇智胜知识产权代理事
务所(普通合伙) 11346
代理人 魏秀莉

(51)Int.Cl.
G11C 16/06(2006.01)

(56)对比文件

CN 204178726 U,2015.02.25,
CN 1726562 A,2006.01.25,
US 2008/0008019 A1,2008.01.10,

审查员 李元

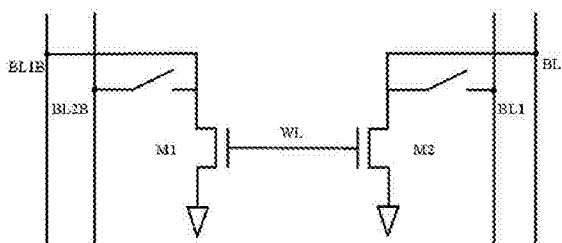
权利要求书1页 说明书3页 附图1页

(54)发明名称

一种差分架构只读存储单元

(57)摘要

本发明是一种差分架构只读存储单元,每个单元包括四条位线支路BL1、BL1B、BL2和BL2B,以及一条字线WL,所述支路BL1和支路BL1B之间构成差分对,所述支路BL2和支路BL2B之间构成差分对,每个差分对之间共用两个MOS场效应晶体管。采用本发明技术方案,差分架构ROM单元一定程度上扩大器件读操作时可区分的电流范围,同时读取时采用两条支路对比输入差分放大器,可以避免采用基准电路带来的不匹配问题,极大地提高了读取的稳定性,具有广阔的市场应用前景。



1. 一种差分架构只读存储单元,其特征在于,每个单元包括四条位线支路BL1、BL1B、BL2和BL2B,以及一条字线WL,所述支路BL1和支路BL1B之间构成差分对,所述支路BL2和支路BL2B之间构成差分对,每个差分对之间共用两个MOS场效应晶体管;

所述MOS场效应晶体管包括栅极、源极和漏极,

两个MOS场效应晶体管的栅极共同连接字线WL,源极接地;

所述支路BL1和支路BL1B构成的差分对中,一个MOS场效应晶体管的漏极与位线支路为连接状态,另一个MOS场效应晶体管漏极与位线支路为未连接状态;

所述支路BL2和支路BL2B构成的差分对中,一个MOS场效应晶体管的漏极与位线支路为连接状态,另一个MOS场效应晶体管漏极与位线支路为未连接状态。

2. 根据权利要求1所述的差分架构只读存储单元,其特征在于,所述MOS场效应晶体管包括栅极、栅极的栅介质和栅介质下面的第1和第2掺杂半导体区,所述第1和第2掺杂半导体区分别作为MOS管的源极和漏极所述MOS场效应晶体管有一个导电结构即MOS场效应晶体管的栅极,导电结构下面的一层超薄介质,导电结构下面的第1掺杂半导体区,所述MOS场效应晶体管的第1和第2掺杂半导体区在空间上隔开并在其中间确定了沟道区,所述MOS场效应晶体管的栅极作为整体器件的字线,所述MOS场效应晶体管的漏极作为整体器件的位线。

一种差分架构只读存储单元

技术领域

[0001] 本发明涉及一种半导体存储器件,具体涉及一种改进的差分架构只读存储(ROM)单元。

背景技术

[0002] 随着微电子技术和计算机技术的迅速发展,我们正迈向一个信息社会。信息社会离不开信息的存储。近半个世纪以来,人们不断地探索存贮新技术,形成了品种繁多的存储器家族。现有的存储器种类很多,从存取功能方面,可以把他们分为只读(Read Only Memory,ROM)存储器和随机(Random Access Memory,RAM)存储器两大类。

[0003] 其中的ROM存储器在工作状态下,只能从中读取数据,且断电后数据不会消失,属于半导体非挥发性存储器(Non-Volatile Semiconductor Memory)范畴。

[0004] 传统的ROM存储器以一个和多个NMOS管构成,并以一个NMOS管作为基本单元。传统的ROM存储单元如图1所示,它的源极接地(GND),漏极连接或不连接到位线(Bit Line,BL),而栅极连接到字线(Word Line,WL)。传统的数据“0”通过将NMOS的漏极接到位线来实现编程,传统的数据“1”通过将NMOS的漏极不接到位线来实现编程。

[0005] 一般来说,这样的编程是利用形成ROM单元的NMOS晶体管的前端层实现的,以便在ROM器件中更高密度地集成ROM单元。通常利用通孔(Contact)掩膜版编程或者有源区(Diffusion)掩膜版编程来实现。

[0006] 随着近年来集成电路工艺的不断发展,受限于工艺规则,ROM基本存储单元的面积无法做到跟随工艺尺寸等比例缩小,单位存储单元面积较大。随着工艺的进步,ROM的读操作也面临挑战,读操作时可区分的电流范围也越来越小,电流范围的局限严重限制了参考电路的阻抗选择,很容易带来阻抗不匹配问题,造成读取错误。

[0007] 有鉴于此,有必要提出一种改进的差分架构ROM存储单元结构来优化这些问题。

发明内容

[0008] 为克服现有技术中的不足,本发明提供一种差分架构只读存储单元,在传统ROM存储单元的基础上,读取时采用两条支路对比输入差分放大器,避免了采用基准电路带来的不匹配问题,极大地提高了读取的稳定性。

[0009] 为实现上述技术目的,达到上述技术效果,本发明通过以下技术方案实现:

[0010] 一种差分架构只读存储单元,其特征在于,每个单元包括四条位线支路BL1、BL1B、BL2和BL2B,以及一条字线WL,所述支路BL1和支路BL1B之间构成差分对,所述支路BL2和支路BL2B之间构成差分对,每个差分对之间共用两个MOS场效应晶体管;

[0011] 所述MOS场效应晶体管包括栅极、源极和漏极,两个

[0012] MOS场效应晶体管的栅极共同连接字线WL,源极接地;

[0013] 由支路BL1和支路BL1B构成的差分对,其中一个MOS场效应晶体管的漏极连接支路BL1,另一个MOS场效应晶体管的漏极连接支路BL1B;

[0014] 由支路BL2和支路BL2B构成的差分对,其中一个MOS场效应晶体管的漏极连接支路BL2,另一个MOS场效应晶体管的漏极连接支路BL2B。

[0015] 进一步的,所述支路BL1和支路BL1B构成的差分对中,一个MOS场效应晶体管的漏极与位线支路为连接状态,另一个MOS场效应晶体管漏极与位线支路为未连接状态。

[0016] 进一步的,所述支路BL2和支路BL2B构成的差分对中,一个MOS场效应晶体管的漏极与位线支路为连接状态,另一个MOS场效应晶体管漏极与位线支路为未连接状态。

[0017] 进一步的,所述MOS场效应晶体管包括栅极、栅极的栅介质和栅介质下面的第1和第2掺杂半导体区,所述第1和第2掺杂半导体区分别作为MOS管的源极和漏极所述MOS场效应晶体管有一个导电结构即MOS场效应晶体管的栅极,导电结构下面的一层超薄介质,导电结构下面的第1掺杂半导体区,所述MOS场效应晶体管的第1和第2掺杂半导体区在空间上隔开并在其中间确定了沟道区,所述MOS场效应晶体管的栅极作为整体器件的字线,所述MOS场效应晶体管的漏极作为整体器件的位线。

[0018] 本发明的有益效果是:

[0019] 1、本发明采用差分架构,两条支路作为差分对输入灵敏放大器,因而读操作时的可区分电流范围可以达到最大。同时,因为两条支路分别存储“0”和“1”,因而在满足读操作速度和准确性的前提下,可以适度地减小存储单元MOS元件的尺寸,这样可以很好的优化ROM存储阵列面积问题。

[0020] 2、本发明采用对称差分架构,存储单元支路的阻抗匹配更好,稳定性更高。对于现有的存储单元而言,读取时通常采用一条基准电路作为参考支路,和位线BL一起输入到灵敏放大器中。这条支路的阻抗必须介于存储单元存0时BL端等效阻抗和存储单元存1时等效阻抗中间,这儿的参考支路必须小心设计,不然很容易引起错误,而对于本发明提出的差分结构,两条位线支路都是相同的结构,阻抗值也肯定在存0时等效阻抗和存1时等效阻抗之间变化,因而不用担心阻抗匹配问题,存储单元的稳定性也可以得到保障。

附图说明

[0021] 此处所说明的附图用来提供对本发明的进一步理解,构成本申请的一部分,本发明的示意性实施例及其说明用于解释本发明,并不构成对本发明的不当限定。在附图中:

[0022] 图1为传统ROM存储单元结构示意图;

[0023] 图2为本发明ROM存储单元结构示意图。

具体实施方式

[0024] 下面将参考附图并结合实施例,来详细说明本发明。

[0025] 参照图2所示,一种差分架构只读存储单元,其中,每个单元包括四条位线支路BL1、BL1B、BL2和BL2B,以及一条字线WL,所述支路BL1和支路BL1B之间构成差分对,所述支路BL2和支路BL2B之间构成差分对,每个差分对之间共用两个MOS场效应晶体管,本实施例中两个MOS场效应晶体管分别为M1管和M2管;

[0026] M1管和M2管皆包括栅极、源极和漏极,M1管和M2管的栅极共同连接字线WL,源极皆接地。

[0027] 在支路BL1和支路BL1B构成的差分对中,其中M2管的漏极与位线支路BL1未连接,

M1管的漏极与位线支路BL1B连接,在本实施例中,用金属层或通孔都可以实现让两者(漏极与位线)连上,也可以实现不连接,类似于开关,选择哪一种,依据具体工艺而定。

[0028] 在支路BL2和支路BL2B构成的差分对中,其中M2管的漏极与位线支路BL2未连接,M1管的漏极与位线支路BL2B连接,在本实施例中,用金属层或通孔都可以实现让两者(漏极与位线)连上,也可以实现不连接,类似于开关,选择哪一种,依据具体工艺而定。

[0029] 所述MOS场效应晶体管包括栅极、栅极的栅介质和栅介质下面的第1和第2掺杂半导体区,所述第1和第2掺杂半导体区分别作为MOS管的源极和漏极所述MOS场效应晶体管有一个导电结构即MOS场效应晶体管的栅极,导电结构下面的一层超薄介质,导电结构下面的第1掺杂半导体区,所述MOS场效应晶体管的第1和第2掺杂半导体区在空间上隔开并在其中间确定了沟道区,所述MOS场效应晶体管的栅极作为整体器件的字线,所述MOS场效应晶体管的漏极作为整体器件的位线。

[0030] 本发明的原理:

[0031] 继续结合图2所示,当位线选中BL1和BL1B差分对时,两条位线BL1和BL1B通过预充电电路充电至高电平,M1管和M2管都是标准MOS场效应晶体管,当M1管和M2管的栅极连接的字线WL打开,M2管漏极未连接到BL1,不能对位线BL1进行放电操作,即位线BL1保持原来的电平,M1管打开对BL1B进行放电操作,BL1B电平降低,这时BL1和BL1B之间会产生一定的电压差,我们定义这种状态为只读存储器ROM中存了数据“1”,即One_cell,这时将BL1和BL1B输入差分灵敏放大电路中,就可以快速有效的读出数据。

[0032] 同理,当位线选中BL2和BL2B差分对时,两条位线BL2和BL2B通过预充电电路充电至高电平,M1管和M2管都是标准MOS场效应晶体管,当M1管和M2管的栅极连接的字线WL打开,M2管漏极未连接到BL2B,不能对位线BL2B进行放电操作,即位线BL2B保持原来的电平,M1管打开对BL2进行放电操作,BL2电平降低,这时BL2和BL2B之间会产生一定的电压差,我们定义这种状态为只读存储器ROM中存了数据“0”,即Zero_cell,这时将BL2和BL2B输入差分灵敏放大电路中,就可以快速有效的读出数据。

[0033] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

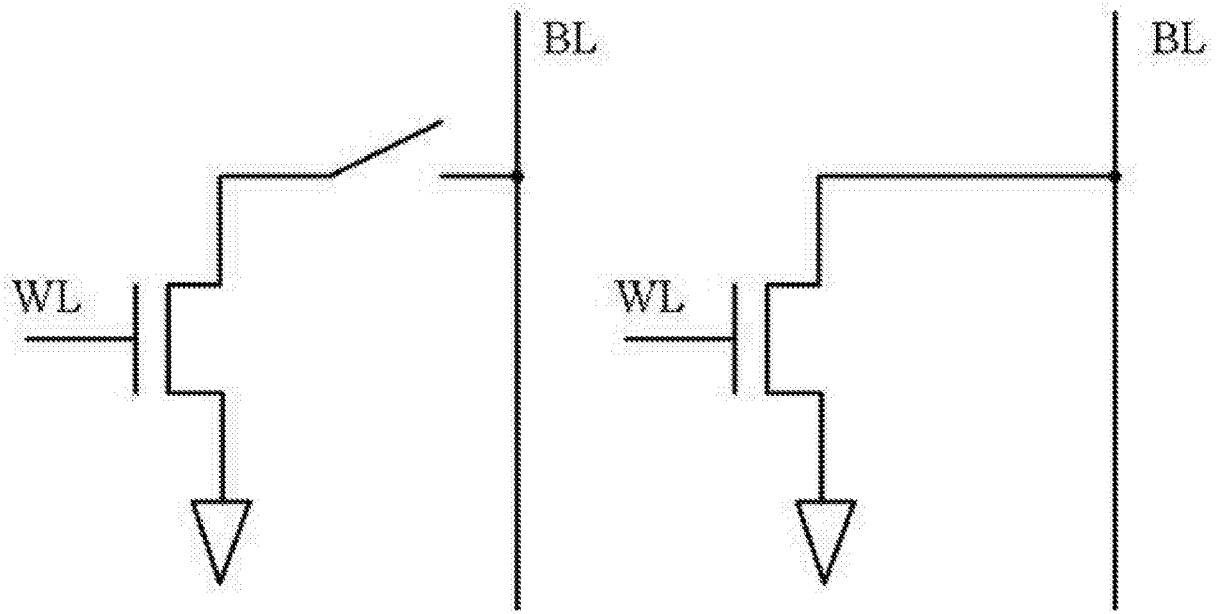


图1

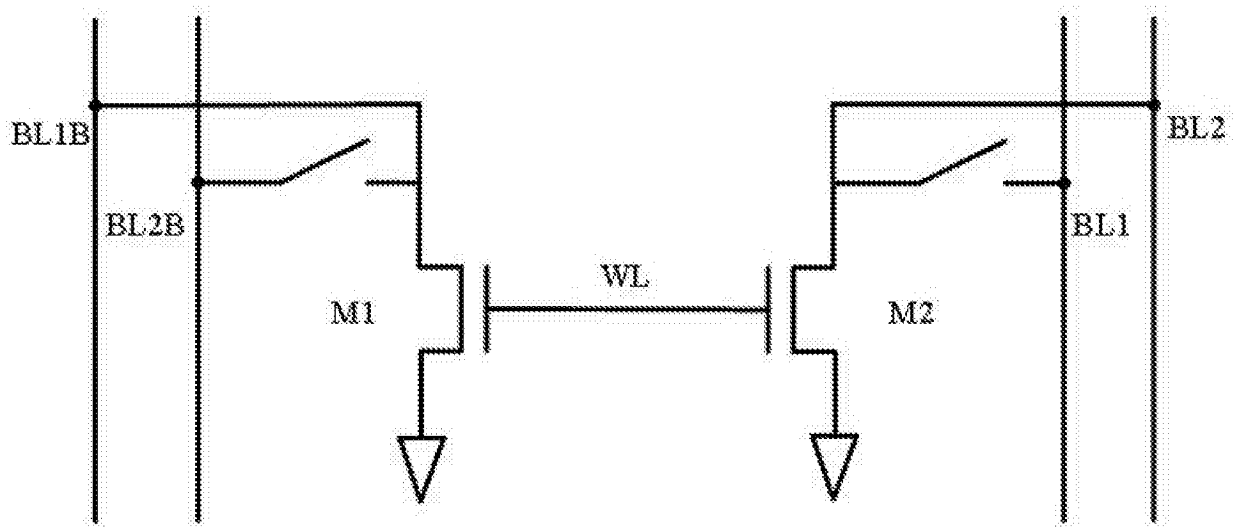


图2