(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6842053号
(P6842053)

(45)発行日　令和3年3月17日(2021.3.17)　(24)登録日　令和3年2月24日(2021.2.24)

(51)Int.Cl.			F I		
G09G	3/3208	(2016.01)	G09G	3/3208	
G09G	3/30	(2006.01)	G09G	3/30	J
G09G	3/20	(2006.01)	G09G	3/20	623G
G09G	3/3275	(2016.01)	G09G	3/20	623F
			G09G	3/20	612U

請求項の数 4　(全 26 頁)　最終頁に続く

(21)出願番号　特願2016-34098(P2016-34098)
(22)出願日　平成28年2月25日(2016.2.25)
(65)公開番号　特開2017-151284(P2017-151284A)
(43)公開日　平成29年8月31日(2017.8.31)
審査請求日　平成31年2月8日(2019.2.8)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区新宿四丁目１番６号
(74)代理人　100110858
弁理士　柳瀬　睦肇
(74)代理人　100110777
弁理士　宇都宮　正明
(74)代理人　100100413
弁理士　渡部　温
(72)発明者　田村　剛
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　塚本　丈二

最終頁に続く

(54)【発明の名称】表示装置及び電子機器

(57)【特許請求の範囲】
【請求項１】
同一半導体基板上に少なくとも表示部及び駆動回路が搭載された表示装置であって、
前記表示部の各列の画素回路にデータ線を介して供給される階調信号を生成するために用いられる階調データをラッチするラッチ回路と、
前記ラッチ回路にラッチされている階調データをアナログ信号に変換するＤ／Ａ変換器と、
前記Ｄ／Ａ変換器から出力されるアナログ信号を増幅して前記階調信号を生成する増幅器と、
前記ラッチ回路にラッチされる階調データが、所定のレベル以下であるか否かを解析する解析回路と、
前記解析回路の解析結果に応じて、少なくとも前記Ｄ／Ａ変換器に流れる直流電流を低減する制御回路と、
を備え、
前記Ｄ／Ａ変換器は、
前記階調信号の最高電位である第１の安定化電位を供給する第１定電圧回路と、
前記階調信号の最低電位である第２の安定化電位を供給する第２定電圧回路と、
前記第１定電圧回路と前記第２定電圧回路との間に電気的に接続された第１階調電圧発生回路と、
前記第１定電圧回路と前記第２定電圧回路との間に電気的に接続された第２階調電圧発

生回路と、
前記第１階調電圧発生回路と前記第２定電圧回路との間を電気的に接続する第１スイッチと、
前記第２階調電圧発生回路と前記第２定電圧回路との間を電気的に接続する第２スイッチと、
前記第１階調電圧発生回路と前記増幅器との間を電気的に接続する第３スイッチと、
前記第２階調電圧発生回路と前記増幅器との間を電気的に接続する第４スイッチと、を備え、
前記制御回路は、当該階調データに基づく階調信号が前記各列の画素回路に供給される期間において、
前記階調レベルが前記所定のレベル以下でない場合、
前記第１スイッチ、前記第２スイッチ、前記第３スイッチと前記第４スイッチとをオン状態とし、
前記階調レベルが前記所定のレベル以下である場合、
前記第１スイッチと前記第３スイッチとをオン状態とし、前記第２スイッチと前記第４スイッチとをオフ状態とする
ことを特徴とする表示装置。
【請求項２】
同一半導体基板上に少なくとも表示部及び駆動回路が搭載された表示装置であって、
前記表示部の各列の画素回路にデータ線を介して供給される階調信号を生成するために用いられる階調データをラッチするラッチ回路と、
前記ラッチ回路にラッチされている階調データをアナログ信号に変換するＤ／Ａ変換器と、
前記Ｄ／Ａ変換器から出力されるアナログ信号を増幅して前記階調信号を生成する増幅器と、
前記ラッチ回路にラッチされる階調データが、所定のレベル以上であるか否かを解析する解析回路と、
前記解析回路の解析結果に応じて、少なくとも前記Ｄ／Ａ変換器に流れる直流電流を低減する制御回路と、
を備え、
前記Ｄ／Ａ変換器は、
前記階調信号の最高電位である第１の安定化電位を供給する第１定電圧回路と、
前記階調信号の最低電位である第２の安定化電位を供給する第２定電圧回路と、
前記第１定電圧回路と前記第２定電圧回路との間に電気的に接続された第１階調電圧発生回路と、
前記第１定電圧回路と前記第２定電圧回路との間に電気的に接続された第２階調電圧発生回路と、
前記第１階調電圧発生回路と前記第２定電圧回路との間を電気的に接続する第１スイッチと、
前記第２階調電圧発生回路と前記第２定電圧回路との間を電気的に接続する第２スイッチと、
前記第１階調電圧発生回路と前記増幅器との間を電気的に接続する第３スイッチと、
前記第２階調電圧発生回路と前記増幅器との間を電気的に接続する第４スイッチと、を備え、
前記制御回路は、当該階調データに基づく階調信号が前記各列の画素回路に供給される期間において、
前記階調レベルが前記所定のレベル以上でない場合、
前記第１スイッチ、前記第２スイッチ、前記第３スイッチと前記第４スイッチとをオン状態とし、
前記階調レベルが前記所定のレベル以上である場合、

前記第１スイッチと前記第３スイッチとをオン状態とし、前記第２スイッチと前記第４スイッチとをオフ状態とする
ことを特徴とする表示装置。
【請求項３】
前記制御回路が、ブランキング期間において、前記Ｄ／Ａ変換器に流れる直流電流を低減する、請求項１又は２に記載の表示装置。
【請求項４】
請求項１～３のいずれか１項記載の表示装置を備える電子機器。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、有機ＥＬ（Electro-Luminescence：エレクトロルミネッセンス）パネル等の表示パネルを用いた表示装置に関する。さらに、本発明は、そのような表示装置を備える電子機器等に関する。
【背景技術】
【０００２】
近年において、有機発光ダイオード（以下、ＯＬＥＤ（Organic Light Emitting Diode）ともいう）等の発光素子を用いた表示パネルが各種提案されている。そのような表示パネルにおいては、走査線とデータ線とが交差する画素の位置に対応して、発光素子やトランジスター等を含む画素回路が設けられる。また、表示パネルのシリコンバックプレーンに駆動回路等を搭載した表示装置（Ｓｉ－ＯＬＥＤ）も開発されている。
【０００３】
Ｓｉ－ＯＬＥＤにおいては、シリコンバックプレーンを構成するシリコンチップに、複数のラッチ回路、複数のＤＡＣ（デジタル／アナログ変換器）、及び、複数の増幅器等が搭載される。複数のラッチ回路にラッチされた１ライン分の階調データは、複数のＤＡＣによって複数のアナログ信号に変換され、さらに、複数の増幅器によって増幅されて複数の階調信号が生成される。それらの階調信号は、表示パネルの複数のデータ線を駆動するために用いられる。
【０００４】
また、１つの増幅器によって複数（３～１８本程度）のデータ線を時分割で駆動することも行われている。この駆動方式は、デマルチ駆動方式と呼ばれている。デマルチ駆動方式によれば、データ線毎にＤＡＣ及び増幅器を設ける場合と比較して、ＤＡＣ及び増幅器の個数を削減することができる。
【０００５】
関連する技術として、特許文献１には、デマルチ駆動方式を用いる表示装置が開示されている。特許文献１の図３は、図１の表示部１００の１ライン上にあるＭ×３（ＲＧＢ）個の画素に、時分割でデータ電位を切り換えて出力するデマルチプレクサーブロック４１を示している。例えば、Ｍ＝１８の場合に、図３に示すデマルチプレクサーブロック４１が、（行方向Ｘの全画素数）÷５４に相当する個数だけ設けられる。
【先行技術文献】
【特許文献】
【０００６】
【特許文献１】特開２０１４－１８６０８３号公報（段落００３８、図１、図３）
【発明の概要】
【発明が解決しようとする課題】
【０００７】
しかしながら、デマルチ駆動方式を用いても、複数のＤＡＣ及び複数の増幅器における消費電流は大きい。全黒表示期間においては発光素子に電流が流れないが、例えば、駆動回路には２８ｍＡ程度の電流が流れ、その内、１６ｍＡ程度の電流が増幅器に流れる。
【０００８】

そこで、本発明の第１の目的は、表示パネルのシリコンバックプレーンに駆動回路等を搭載した表示装置において、画質に殆ど影響を与えることなく、駆動回路における増幅器又はＤ／Ａ変換器の消費電流を削減することである。また、本発明の第２の目的は、そのような表示装置を備える電子機器等を提供することである。

【課題を解決するための手段】

【０００９】

以上の課題の少なくとも一部を解決するため、本発明の第１の観点に係る表示装置は、同一半導体基板上に少なくとも表示部及び駆動回路が搭載された表示装置であって、表示部の各列の画素回路にデータ線を介して供給される階調信号を生成するために用いられる階調データをラッチするラッチ回路と、ラッチ回路にラッチされている階調データをアナログ信号に変換するＤ／Ａ変換器と、Ｄ／Ａ変換器から出力されるアナログ信号を増幅して階調信号を生成する増幅器と、ラッチ回路にラッチされる階調データを解析する解析回路と、解析回路の解析結果に応じて、少なくともＤ／Ａ変換器に流れる直流電流を低減する制御回路とを備える。

【００１０】

本発明の第１の観点によれば、ラッチ回路にラッチされる階調データを解析し、解析結果に応じて、少なくともＤ／Ａ変換器に流れる直流電流を低減するようにしたので、画質に殆ど影響を与えることなく、駆動回路における少なくともＤ／Ａ変換器の消費電流を削減することができる。

【００１１】

ここで、表示装置が、複数列の画素回路と、複数のラッチ回路と、複数のＤ／Ａ変換器と、複数の増幅器とを備え、解析回路が、複数のラッチ回路にラッチされる１ライン分の階調データについて、階調レベルが所定のレベル以下であるか否かを判定し、制御回路は、１ライン分の階調データの全ての階調レベルが所定のレベル以下である場合に、当該１ライン分の階調データに基づく階調信号が複数列の画素回路に供給される期間において、少なくとも複数のＤ／Ａ変換器に流れる直流電流を低減するようにしても良い。

【００１２】

１ラインの全ての画素の階調レベルが所定のレベル以下である場合には、それらの画素の階調レベルが黒レベル又はそれに近い低輝度レベルであるので、表示ムラ等が視認し難い。従って、画質に殆ど影響を与えることなく、少なくとも複数のＤ／Ａ変換器の消費電流を削減することができる。

【００１３】

その場合に、制御回路が、解析回路の解析結果に応じて、複数の増幅器に流れる直流電流を低減し、その際に、当該１ライン分の階調データに基づいて駆動される１ラインの画素回路の駆動トランジスターが非導通状態となるように、複数列の画素回路にそれぞれ接続された複数のデータ線の電位を制御するようにしても良い。それにより、複数の増幅器に流れる直流電流を低減しても、当該１ライン分の階調データに基づいて駆動される１ラインの画素回路の発光素子による発光を停止させることができる。

【００１４】

本発明の第１の観点に係る表示装置において、表示装置が、複数列の画素回路と、複数のラッチ回路と、複数のＤ／Ａ変換器と、複数の増幅器とを備え、複数列の画素回路にそれぞれ接続された複数のデータ線が複数のブロックに分けて制御される場合に、複数のＤ／Ａ変換器の各々が、１ブロック分の階調データを１ブロック分のアナログ信号に順次変換し、複数の増幅器の各々が、それぞれのＤ／Ａ変換器から順次出力される１ブロック分のアナログ信号を増幅して１ブロック分の階調信号を生成し、複数の増幅器から出力される複数ブロック分の階調信号がそれぞれ供給され、各ブロック分の階調信号を所定数のデータ線に時分割で供給するように切換動作を行う複数のデマルチプレクサーをさらに設けるようにしても良い。それにより、データ線毎にＤ／Ａ変換器及び増幅器を設ける場合と比較して、Ｄ／Ａ変換器及び増幅器の個数を削減することができる。

【００１５】

その場合に、解析回路が、複数のラッチ回路にラッチされる１ブロック分の階調データについて階調レベルが所定のレベル以下であるか否かを判定し、制御回路は、１ブロック分の階調データの全ての階調レベルが所定のレベル以下である場合に、当該１ブロック分の階調データに基づく階調信号が１ブロックの画素回路に供給される期間において、当該１ブロック分の階調データが供給されるＤ／Ａ変換器に接続された増幅器に流れる直流電流を低減するようにしても良い。

【００１６】

１ブロックの全ての画素の階調レベルが所定のレベル以下である場合には、それらの画素の階調レベルが黒レベル又はそれに近い低輝度レベルであるので、表示ムラ等が視認し難い。従って、画質に殆ど影響を与えることなく、当該１ブロック分の階調データが供給されるＤ／Ａ変換器に接続された増幅器の消費電流を削減することができる。

【００１７】

あるいは、解析回路が、Ｄ／Ａ変換器に供給される１画素分の階調データの値がゼロであるか否かを判定し、制御回路は、１画素分の階調データの値がゼロである場合に、当該１画素分の階調データに基づく階調信号が画素回路に供給される期間において、当該１画素分の階調データが供給されるＤ／Ａ変換器に接続された増幅器に流れる直流電流を低減するようにしても良い。

【００１８】

１画素分の階調データの値がゼロである場合には、その画素の画素回路の発光素子を発光させる必要がない。従って、画質に殆ど影響を与えることなく、当該１画素分の階調データが供給されるＤ／Ａ変換器に接続された増幅器の消費電流を削減することができる。

【００１９】

さらに、制御回路が、増幅器に流れる直流電流を低減するときに、増幅器の出力端子を階調信号の最高電位にプルアップするようにしても良い。それにより、増幅器に流れる直流電流を低減しても、その増幅器に対応する画素回路の発光素子による発光を停止させることができる。

【００２０】

以上において、表示装置が、複数列の画素回路と、複数のラッチ回路と、複数のＤ／Ａ変換器と、複数の増幅器とを備え、解析回路が、複数のラッチ回路にラッチされる１ライン分の階調データについて、階調レベルが所定のレベル以上であるか否かを判定し、制御回路は、１ライン分の階調データの全ての階調レベルが所定のレベル以上である場合に、当該１ライン分の階調データに基づく階調信号が複数列の画素回路に供給される期間において、複数のＤ／Ａ変換器に流れる直流電流を低減するようにしても良い。

【００２１】

１ラインの全ての画素の階調レベルが所定のレベル以上である場合には、それらの画素の階調レベルが白レベル又はそれに近い高輝度レベルであるので、表示ムラ等が視認し難い。従って、画質に殆ど影響を与えることなく、複数のＤ／Ａ変換器の消費電流を削減することができる。

【００２２】

また、制御回路が、ブランキング期間において、Ｄ／Ａ変換器に流れる直流電流を低減するようにしても良い。ブランキング期間においては階調レベルが問題とならないので、画質に影響を与えることなく、Ｄ／Ａ変換器の消費電流を削減することができる。

【００２３】

本発明の第２の観点に係る電子機器は、上記いずれかの表示装置を備える。本発明の第２の観点によれば、画質に殆ど影響を与えることなく駆動回路における少なくともＤ／Ａ変換器の消費電流が削減された表示装置を用いて、電子機器の消費電流を削減することができる。

【図面の簡単な説明】

【００２４】
【図１】本発明の各実施形態に係る表示装置を示す斜視図。
【図２】本発明の各実施形態に係る表示装置の構成例を示すブロック図。
【図３】図２に示す増幅器の構成例を示す回路図。
【図４】図２に示すレベル設定回路等の構成例を示す回路図。
【図５】図２に示すＤＡＣの一部の構成例を示す図。
【図６】図５に示す階調電圧発生回路の接続状態を説明するための図。
【図７】ヘッドマウント・ディスプレイの外観を示す斜視図。
【図８】ヘッドマウント・ディスプレイの光学的な構成例を示す平面図。
【発明を実施するための形態】
【００２５】
以下、本発明の実施形態について、図面を参照しながら詳細に説明する。なお、同一の構成要素には同一の参照符号を付して、重複する説明を省略する。
＜表示装置＞
図１は、本発明の各実施形態に係る表示装置の外観を示す斜視図である。この表示装置１は、例えば、ヘッドマウント・ディスプレイにおいて画像を表示するマイクロ・ディスプレイである。
【００２６】
図１に示すように、表示装置１は、有機ＥＬパネル等の表示パネル２と、ケース３と、ＦＰＣ（Flexible Printed Circuit：フレキシブルプリント回路）基板４とを含んでいる。例えば、表示パネル２は、表示部に開口が形成された枠状のケース３に収納され、ＦＰＣ基板４に接続されている。ＦＰＣ基板４には、ホストＣＰＵ等の外部装置（図２参照）との接続のために複数の端子５が設けられている。
【００２７】
表示パネル２は、シリコンバックプレーン（シリコンチップ）に設けられたアクティブマトリクス方式の複数の画素回路を含んでいる。各々の画素回路は、ＯＬＥＤ等の発光素子や、複数のトランジスター等を含んでいる。また、シリコンバックプレーンには、それらの画素回路を駆動する駆動回路等が設けられている。
【００２８】
＜第１の実施形態＞
図２は、本発明の各実施形態に係る表示装置の構成例を示すブロック図である。図２には、表示パネル２と、外部装置６とが示されている。表示パネル２は、表示部１０と、表示コントロール回路２０と、データ線駆動回路（ソースドライバー）３０と、ゲート線駆動回路（ゲートドライバー）４０とを含んでいる。表示コントロール回路２０～ゲート線駆動回路４０は、表示パネル２のシリコンバックプレーンに設けられている。
【００２９】
表示部１０は、複数の画素回路１１を含んでいる。例えば、Ｒ（赤）、Ｇ（緑）、Ｂ（青）の３種類の画素（ドット）に対応して、Ｍ行×（３Ｎ）列の画素回路１１が、２次元マトリクス状に配列されている（Ｍ及びＮは、２以上の整数）。
【００３０】
表示部１０において、Ｍ行の画素回路１１に対応して、Ｍ本の走査線１２が、第１の方向（図中のＸ軸方向）に延在して設けられている。また、（３Ｎ）列の画素回路１１に対応して、（３Ｎ）本のデータ線１３が、第１の方向と略直交する第２の方向（図中のＹ軸方向）に延在して設けられている。さらに、（３Ｎ）列の画素回路１１に対応して、（３Ｎ）本のリセット線１４が、第２の方向に延在して設けられている。各々のリセット線１４には、所定のリセット電位Ｖorstが供給される。
【００３１】
表示コントロール回路２０は、例えば、組み合わせ回路又は順序回路を含む論理回路等で構成され、表示部１０における表示タイミングを制御する。表示コントロール回路２０には、外部装置６の画像データ用コントローラー６ａから画像データが同期信号に同期し

て供給される。画像データは、Ｒ（赤）、Ｇ（緑）、Ｂ（青）の３色の色成分（例えば、各色成分について８ビット）を含むＲＧＢフォーマットの画像データでも良い。また、同期信号は、垂直同期信号ＶＳＹＮＣと、水平同期信号ＨＳＹＮＣと、データイネーブル信号ＤＥと、データクロック信号ＤＣＬＫとを含んでも良い。

【００３２】

表示コントロール回路２０は、供給される画像データに基づいて階調データＤＡＴＡを生成し、階調データＤＡＴＡを、内部取り込み用のクロック信号ＣＬＫに同期してデータ線駆動回路３０に供給する。例えば、表示コントロール回路２０には、表示部１０における発光素子の輝度（階調レベル）と階調データＤＡＴＡとを対応付けて格納したルックアップテーブル２２が設けられている。表示コントロール回路２０は、ルックアップテーブル２２を参照することにより、供給される画像データによって表される階調レベルに対応する階調データＤＡＴＡを生成する。

【００３３】

また、表示コントロール回路２０は、各種のタイミングを制御する制御信号Ｃtrを、データ線駆動回路３０及びゲート線駆動回路４０に供給する。例えば、制御信号Ｃtrは、垂直同期信号、水平同期信号、データイネーブル信号、又は、その他の制御信号を含んでも良い。データ線駆動回路３０及びゲート線駆動回路４０は、表示コントロール回路２０から供給される階調データＤＡＴＡ及び制御信号Ｃtr等に基づいて、表示部１０に画像を表示する。

【００３４】

表示コントロール回路２０は、電圧生成回路２１と、解析回路２３とをさらに含んでいる。電圧生成回路２１は、各種の電位を生成して、それらの電位をデータ線駆動回路３０等に供給する。例えば、電圧生成回路２１は、リセット電位Ｖorst、データ線１３に供給される初期化電位Ｖini、及び、キャパシターＣ２（図４参照）に印加される参照電位Ｖref等を生成する。表示部１０やデータ線駆動回路３０やゲート線駆動回路４０における高電位側の電源電位Ｖel、及び、ロジック電源電位ＶＤＤ等は、外部装置６の電圧生成回路６ｂから供給される。

【００３５】

解析回路２３は、例えば、組み合わせ回路又は順序回路を含む論理回路等で構成されており、生成される階調データＤＡＴＡを解析し、解析結果に応じて、少なくとも１つの増幅器３３に流れる直流電流を低減することが可能である。そのために、解析回路２３は、増幅器３３における直流電流を制御する制御信号ＳＡＭＰを生成する。

【００３６】

データ線駆動回路３０は、複数のラッチ回路３１と、複数のＤＡＣ（Ｄ／Ａ変換器）３２と、複数の増幅器３３と、アンプ電流・プルアップ制御回路３４と、ゼロデータ検出回路３５と、（３Ｎ）本のデータ線１３に対応する（３Ｎ）個のレベル設定回路ＬＳとを含んでも良い。

【００３７】

また、データ線駆動回路３０は、１行のラインに含まれている（３Ｎ）個の画素回路１１に階調信号を書き込むために、（３Ｎ）本のデータ線１３をＬ個のブロックに分けて、各ブロックに含まれている複数のデータ線１３を時分割駆動しても良い（Ｌは、２以上で（３Ｎ／２）以下の整数）。そのために、データ線駆動回路３０は、Ｌ個のデマルチプレクサーＤＭ(1)～ＤＭ(L)をさらに含んでも良い。

【００３８】

ここで、１ブロックを構成するデータ線１３の数は、３の倍数としても良い。以下においては、一例として、１８本のデータ線１３が１ブロックを構成する場合について説明する。例えば、Ｎ＝１９４４である場合に、５８３２本のデータ線が３２４個のブロックに分けられる（Ｌ＝３２４）。

【００３９】

複数のラッチ回路３１は、例えば、複数のＤ型フリップフロップ等で構成される。図２

に示すように、複数のラッチ回路３１は、第１群のデータラッチ回路３１１ａと、第１群の判定フラグラッチ回路３１１ｂと、第２群のデータラッチ回路３１２ａと、第２群の判定フラグラッチ回路３１２ｂとを含んでも良い。

【００４０】

第１群のデータラッチ回路３１１ａは、データ線の数（１ライン分の画素数）に対応して設けられ、１水平同期期間において、複数のデータ線を駆動するために用いられる階調データＤＡＴＡをクロック信号ＣＬＫに同期して順次取り込む。例えば、階調データＤＡＴＡの各色のビット数がＫビットである場合に、第１群のデータラッチ回路３１１ａは、（３Ｎ）個のＫビットラッチ回路で構成される。

【００４１】

第２群のデータラッチ回路３１２ａは、データ線の数（１ライン分の画素数）に対応して設けられ、１水平同期期間毎に、第１群のデータラッチ回路３１１ａから出力される階調データＤＡＴＡを保持する。例えば、階調データＤＡＴＡの各色のビット数がＫビットである場合に、第２群のデータラッチ回路３１２ａは、（３Ｎ）個のＫビットラッチ回路で構成される。

【００４２】

このように、２段のラッチ回路を設けることにより、第２群のデータラッチ回路３１２ａに保持されている階調データＤＡＴＡに基づいて１ライン分の画素回路１１を駆動している間に、第１群のデータラッチ回路３１１ａが、次の１ライン分の画素回路１１を駆動するために用いられる階調データＤＡＴＡを取り込むことができる。

【００４３】

複数のＤＡＣ３２は、複数のラッチ回路３１にラッチされている階調データＤＡＴＡを複数のアナログ信号に変換する。各々のＤＡＣ３２は、複数の階調電圧発生回路を備えており、階調データＤＡＴＡの値に応じて、階調電圧発生回路が発生する複数の階調電圧の内の１つを選択することにより、アナログ信号を出力する。複数のデータ線１３がＬ個のブロックに分けて駆動される場合に、Ｌ個のＤＡＣ３２の各々は、第２群のデータラッチ回路３１２ａの内の１ブロックのラッチ回路から出力される１ブロック分の階調データを１ブロック分のアナログ信号に順次変換する。ここで、１ブロック分の階調データは、１ブロックに含まれている所定数（１８本）のデータ線についての階調データが時分割多重されたものである。

【００４４】

複数の増幅器３３は、複数のＤＡＣ３２から出力される複数のアナログ信号をそれぞれ増幅して、複数の階調信号を生成する。例えば、複数のデータ線１３がＬ個のブロックに分けて駆動される場合に、Ｌ個の増幅器３３の各々は、それぞれのＤＡＣ３２から順次出力される１ブロック分のアナログ信号を増幅して１ブロック分の階調信号Ｖd(k)を生成する（ｋ＝１～Ｌ）。ここで、階調信号Ｖd(k)は、１ブロックに含まれている所定数（１８本）のデータ線についての階調信号が時分割多重されたものである。Ｌ個の増幅器３３は、階調信号Ｖd(1)、Ｖd(2)、…、Ｖd(L)を、第１番目、第２番目、…、第Ｌ番目のブロックに対応するデマルチプレクサーＤＭ(1)、ＤＭ(2)、…、ＤＭ(L)にそれぞれ供給する。

【００４５】

デマルチプレクサーＤＭ(1)、ＤＭ(2)、…、ＤＭ(L)は、Ｌ個の増幅器３３から出力されるＬブロック分の階調信号Ｖd(1)、Ｖd(2)、…、Ｖd(L)がそれぞれ供給され、各ブロック分の階調信号Ｖd(k)を所定数（１８本）のデータ線１３に時分割で供給するように切換動作を行う。それにより、データ線１３毎にＤＡＣ３２及び増幅器３３を設ける場合と比較して、ＤＡＣ３２及び増幅器３３の個数を削減することができる。

【００４６】

ゲート線駆動回路４０は、例えば、組み合わせ回路又は順序回路を含む論理回路等で構成され、制御信号Ｃtrに従って、１垂直同期期間内にＭ本の走査線１２を順次駆動するためのＭ個の走査信号Ｇwr(1)～Ｇwr(M)を生成する。ここで、１垂直同期期間とは、表示部１０が１コマの画像を表示するのに要する期間（１フレーム期間）をいう。また、ゲート

線駆動回路４０は、走査信号の他にも、走査信号に同期した各種の制御信号を行毎に生成して、それらの制御信号を表示部１０に供給する。

【００４７】

＜増幅器の構成例＞

図３は、図２に示す増幅器の構成例を示す回路図である。図３に示すように、各々の増幅器３３は、高電位側の電源電位Ｖel及び低電位側の電源電位ＶＳＳが供給されて増幅動作を行う増幅回路Ａ１及びＡ２と、増幅回路Ａ１及びＡ２の定電流（直流電流）をそれぞれ高速で切り換えるスイッチ回路Ｓ１及びＳ２とを含んでいる。

【００４８】

増幅回路Ａ１は、ＰチャネルＭＯＳトランジスターＱＰ１１～ＱＰ１４と、ＮチャネルＭＯＳトランジスターＱＮ１１～ＱＮ１５とを含んでいる。トランジスターＱＰ１１及びＱＰ１２のソースは、電源電位Ｖelの配線に接続され、ゲートは、トランジスターＱＰ１２のドレインに接続されている。

【００４９】

トランジスターＱＮ１１及びＱＮ１２は、差動対を構成している。トランジスターＱＮ１１のドレインは、トランジスターＱＰ１１のドレインに接続され、ゲートは、第１の入力端子ＩＮ１に接続されている。また、トランジスターＱＮ１２のドレインは、トランジスターＱＰ１２のドレインに接続され、ゲートは、第２の入力端子ＩＮ２に接続されている。

【００５０】

トランジスターＱＮ１３～ＱＮ１５は、定電流源を構成している。トランジスターＱＮ１３～ＱＮ１５のドレインは、トランジスターＱＮ１１及びＱＮ１２のソースに接続され、ゲートには、参照電位ＶＲＮ１が印加される。参照電位ＶＲＮ１としては、電源電位ＶＳＳに対してトランジスターＱＮ１３～ＱＮ１５の閾値電圧よりも若干高い電位が印加される。スイッチ回路Ｓ１がオンしているときに、トランジスターＱＮ１３～ＱＮ１５は、トランジスターＱＮ１１及びＱＮ１２に定電流を供給する。例えば、トランジスターＱＮ１３、ＱＮ１４、ＱＮ１５に流れる定電流の比は、１：４：５となっている。

【００５１】

トランジスターＱＰ１３のソースは、電源電位Ｖelの配線に接続されており、ゲートには、参照電位ＶＲＰ１が印加される。参照電位ＶＲＦＰ１としては、電源電位Ｖelに対してトランジスターＱＰ１３の閾値電圧よりも若干低い電位が印加される。トランジスターＱＰ１４のソースは、トランジスターＱＰ１３のドレインに接続されており、ドレインは、出力端子ＯＵＴに接続されており、ゲートは、トランジスターＱＰ１１及びＱＮ１１のドレインに接続されている。

【００５２】

スイッチ回路Ｓ１は、ＮチャネルＭＯＳトランジスターＱＮ１６～ＱＮ１８を含んでいる。トランジスターＱＮ１６～ＱＮ１８は、電流制御信号ＳＡ１～ＳＡ３がゲートにそれぞれ印加されて、定電流源のトランジスターＱＮ１３～ＱＮ１５に流れる定電流をオン又はオフする。

【００５３】

増幅回路Ａ２は、ＮチャネルＭＯＳトランジスターＱＮ２１～ＱＮ２４と、ＰチャネルＭＯＳトランジスターＱＰ２１～ＱＰ２５とを含んでいる。トランジスターＱＮ２１及びＱＮ２２のソースは、電源電位ＶＳＳの配線に接続され、ゲートは、トランジスターＱＮ２２のドレインに接続されている。

【００５４】

トランジスターＱＰ２１及びＱＰ２２は、差動対を構成している。トランジスターＱＰ２１のドレインは、トランジスターＱＮ２１のドレインに接続され、ゲートは、第１の入力端子ＩＮ１に接続されている。また、トランジスターＱＰ２２のドレインは、トランジスターＱＮ２２のドレインに接続され、ゲートは、第２の入力端子ＩＮ２に接続されている。

【００５５】
トランジスターＱＰ２３～ＱＰ２５は、定電流源を構成している。トランジスターＱＰ２３～ＱＰ２５のドレインは、トランジスターＱＰ２１及びＱＰ２２のソースに接続され、ゲートには、参照電位ＶＲＰ２が印加される。参照電位ＶＲＰ２としては、電源電位Ｖelに対してトランジスターＱＰ２３～ＱＰ２５の閾値電圧よりも若干低い電位が印加される。スイッチ回路Ｓ２がオンしているときに、トランジスターＱＰ２３～ＱＰ２５は、トランジスターＱＰ２１及びＱＰ２２に定電流を供給する。例えば、トランジスターＱＰ２３、ＱＰ２４、ＱＰ２５に流れる定電流の比は、１：４：５となっている。
【００５６】
トランジスターＱＮ２３のソースは、電源電位ＶＳＳの配線に接続されており、ゲートには、参照電位ＶＲＮ２が印加される。参照電位ＶＲＮ２としては、電源電位ＶＳＳに対してトランジスターＱＮ２３の閾値電圧よりも若干高い電位が印加される。トランジスターＱＮ２４のソースは、トランジスターＱＮ２３のドレインに接続されており、ドレインは、出力端子ＯＵＴに接続されており、ゲートは、トランジスターＱＮ２１及びＱＰ２１のドレインに接続されている。
【００５７】
スイッチ回路Ｓ２は、ＰチャネルＭＯＳトランジスターＱＰ２６～ＱＰ２８を含んでいる。トランジスターＱＰ２６～ＱＰ２８は、電流制御信号ＳＡ１～ＳＡ３が３つのインバーターを介してゲートにそれぞれ印加されて、定電流源のトランジスターＱＰ２３～ＱＰ２５に流れる定電流をオン又はオフする。
【００５８】
このように構成された増幅器３３は、入力端子ＩＮ２と出力端子ＯＵＴとを接続することにより、ボルテージフォロアー型アンプとして使用され、入力端子ＩＮ１に印加されるアナログ信号の電圧と略同じ電圧を階調信号Vd(k)として出力端子ＯＵＴから出力する。
【００５９】
＜デマルチプレクサー及びレベル設定回路の構成例＞
図４は、図２に示すデマルチプレクサー、レベル設定回路、及び、画素回路の構成例を示す回路図である。図４においては、図２に示すデマルチプレクサーＤＭ(1)～ＤＭ(L)の内の１つのデマルチプレクサーＤＭ(k)と、１つのレベル設定回路ＬＳと、１つの画素回路１１とが示されている。
【００６０】
デマルチプレクサーＤＭ(k)は、画素回路１１の列毎に設けられた複数のトランスミッションゲート３６を含み、第ｋ番目のブロックに含まれている１８本のデータ線１３にそれぞれ接続された１８個のレベル設定回路ＬＳに階調信号Vd(k)を時分割で供給する。複数のトランスミッションゲート３６の入力端子は互いに共通接続されており、それらの入力端子に階調信号Vd(k)が供給される。
【００６１】
デマルチプレクサーＤＭ(k)において第１列に設けられたトランスミッションゲート３６は、図２に示す表示コントロール回路２０から供給される制御信号Sel(1)がハイレベル（制御信号ＸSel(1)がローレベル）であるときに導通状態（オン状態）となり、制御信号Sel(1)がローレベル（制御信号ＸSel(1)がハイレベル）であるときに非導通状態（オフ状態）となる。
【００６２】
また、デマルチプレクサーＤＭ(k)において第２列に設けられたトランスミッションゲート３６は、制御信号Sel(2)がハイレベルであるときにオン状態となる。以下同様に、デマルチプレクサーＤＭ(k)において第１８列に設けられたトランスミッションゲート３６は、制御信号Sel(18)がハイレベルであるときにオン状態となる。
【００６３】
複数のトランスミッションゲート３６に対応して、複数のレベル設定回路ＬＳも、画素の列毎に設けられている。各々のレベル設定回路ＬＳは、キャパシターＣ１及びＣ２と、

トランスミッションゲート３７と、ＰチャネルＭＯＳトランジスターＱＰ３１及びＱＰ３２と、ＮチャネルＭＯＳトランジスターＱＮ３３とを含み、データ線１３の電位を設定する。

【００６４】

キャパシターＣ１の一方の電極は、トランスミッションゲート３６の出力端子に接続されており、キャパシターＣ１の他方の電極は、表示部１０における低電位側の電源電位Ｖctの供給線に接続されている。トランスミッションゲート３６がオン状態となった際に、キャパシターＣ１の一方の電極に階調信号Ｖd(k)が供給される。トランスミッションゲート３７は、キャパシターＣ１の一方の電極と中継配線１５との間に接続されている。

【００６５】

トランジスターＱＰ３１は、データ線１３と初期化電位Ｖiniの供給線との間に接続されている。トランジスターＱＰ３２は、データ線１３と表示部１０における高電位側の電源電位Ｖelの供給線との間に接続されている。キャパシターＣ２は、データ線１３と中継配線１５との間に接続されている。トランジスターＱＮ３３は、中継配線１５と参照電位Ｖrefの供給線との間に接続されている。

【００６６】

図２に示す表示コントロール回路２０は、複数列のトランジスターＱＰ３１のゲートに制御信号Ｇiniを共通に印加する。複数列のトランジスターＱＰ３１は、制御信号Ｇiniがローレベルのときに、一斉にオン状態となって初期化電位Ｖiniの供給線をデータ線１３に電気的に接続し、制御信号Ｇiniがハイレベルのときに、両者を電気的に非接続とする。

【００６７】

また、表示コントロール回路２０は、複数列のトランスミッションゲート３７に制御信号Ｇcpl及びＸＧcplを共通に供給する。複数列のトランスミッションゲート３７は、制御信号Ｇcplがハイレベルであるときに、一斉にオン状態となってキャパシターＣ１の一方の電極を中継配線１５に電気的に接続し、制御信号Ｇcplがローレベルのときに、両者を電気的に非接続とする。

【００６８】

図２に示す解析回路２３は、複数列のトランジスターＱＰ３２に制御信号Ｇrstを共通に供給する。複数列のトランジスターＱＰ３２は、制御信号Ｇrstがローレベルであるときに、一斉にオン状態となって電源電位Ｖelの供給線をデータ線１３に電気的に接続し、制御信号Ｇrstがハイレベルのときに、両者を電気的に非接続とする。

【００６９】

また、解析回路２３は、複数列のトランジスターＱＮ３３に制御信号Ｇrefを共通に供給する。複数列のトランジスターＱＮ３３は、制御信号Ｇrefがハイレベルであるときに、一斉にオン状態となって参照電位Ｖrefの供給線を中継配線１５に電気的に接続し、制御信号Ｇrefがローレベルのときに、両者を電気的に非接続とする。

【００７０】

＜画素回路の構成例＞

画素回路１１は、発光素子Ｄ１と、ＰチャネルＭＯＳトランジスターＱＰ１～ＱＰ５と、保持容量Ｃpixとを含んでいる。発光素子Ｄ１は、例えば、シリコン基板に形成されたアノードと光透過性を有するカソードとによって白色の有機ＥＬ層を挟持したＯＬＥＤである。発光素子Ｄ１のアノードは、画素回路毎に個別に設けられる画素電極である。これに対して、発光素子Ｄ１のカソードは、全ての画素回路に共通に設けられる共通電極であり、表示部１０における低電位側の電源電位Ｖctに保たれる。

【００７１】

発光素子Ｄ１の出射側（カソード側）には、ＲＧＢのいずれかに対応したカラーフィルターが設けられている。なお、白色の有機ＥＬ層を挟んで配置される２つの反射層間の光学距離を調整してキャビティ構造を形成し、発光素子Ｄ１から出射される光の波長を設定しても良い。この場合には、カラーフィルターが設けられても良いし、設けられなくても

良い。

【００７２】

そのような発光素子Ｄ１において、アノードからカソードに電流が流れると、アノードから注入された正孔とカソードから注入された電子とが有機ＥＬ層で再結合して励起子が生成され、白色光が発生する。このときに発生した白色光は、シリコン基板（アノード）とは反対側のカソードを透過し、カラーフィルターによる着色を経て、表示部１０から出射される。

【００７３】

図２に示すゲート線駆動回路４０は、第ｉ行の走査線１２に走査信号Gwr(i)を供給する。また、ゲート線駆動回路４０は、第ｉ行の複数の制御線に制御信号Gcmp(i)及びGel(i)を供給する。

【００７４】

トランジスターＱＰ２のソース及びドレインの内の一方は、データ線１３に電気的に接続されており、ソース及びドレインの内の他方は、保持容量Cpixの一方の電極と、駆動トランジスターＱＰ１のゲートとに電気的に接続されている。トランジスターＱＰ２のゲートは、走査線１２に電気的に接続されており、走査信号Gwr(i)が供給される。トランジスターＱＰ２は、データ線１３と駆動トランジスターＱＰ１のゲートとの間の電気的な接続を制御するスイッチングトランジスターとして機能する。

【００７５】

保持容量Cpixの他方の電極は、表示部１０における高電位側の電源電位Velの供給線に電気的に接続されている。それにより、保持容量Cpixは、駆動トランジスターＱＰ１のゲート・ソース間の電圧を保持する容量として機能する。

【００７６】

駆動トランジスターＱＰ１のソースは、電源電位Velの供給線に電気的に接続されており、ドレインは、トランジスターＱＰ４のソースに電気的に接続されている。駆動トランジスターＱＰ１は、ソース・ゲート間の電圧に応じたドレイン電流を流して発光素子Ｄ１を駆動する。

【００７７】

トランジスターＱＰ３のソース及びドレインは、データ線１３と駆動トランジスターＱＰ１のドレインとの間に電気的に接続されている。なお、トランジスターＱＰ３は、駆動トランジスターＱＰ１のゲートとドレインとの間に接続しても良い。トランジスターＱＰ３のゲートには、制御信号Gcmp(i)が供給される。トランジスターＱＰ３は、駆動トランジスターＱＰ１のゲートとドレインとの間の電気的な接続を制御するスイッチングトランジスターとして機能する。

【００７８】

トランジスターＱＰ４のドレインは、発光素子Ｄ１のアノードと、トランジスターＱＰ５のソースとに電気的に接続されている。トランジスターＱＰ４のゲートには、制御信号Gel(i)が供給される。トランジスターＱＰ４は、駆動トランジスターＱＰ１のドレインと発光素子Ｄ１のアノードとの間の電気的な接続を制御するスイッチングトランジスターとして機能する。

【００７９】

トランジスターＱＰ５のドレインは、リセット線１４に電気的に接続されており、リセット電位Vorstに保たれている。トランジスターＱＰ５のゲートには、制御信号Gcmp(i)が供給される。トランジスターＱＰ５は、リセット線１４と発光素子Ｄ１のアノードとの間の電気的な接続を制御するスイッチングトランジスターとして機能する。

【００８０】

図４においては、画素回路１１においてＰチャネルＭＯＳトランジスターが用いられているが、ＰチャネルＭＯＳトランジスターの替りにＮチャネルＭＯＳトランジスターを用いても良い。画素回路１１においてＮチャネルＭＯＳトランジスターを用いる場合には、トランジスターのソース及びドレインの接続関係が上記とは逆になり、走査信号、制御信

号、及び、階調信号の極性も逆になる。あるいは、ＰチャネルＭＯＳトランジスターとＮチャネルＭＯＳトランジスターとを適宜組み合わせて用いても良い。また、画素回路１１のトランジスターは、薄膜トランジスターであっても良い。

【００８１】

保持容量Ｃpixとしては、駆動トランジスターＱＰ１のゲートに付随する寄生容量を用いても良い。あるいは、保持容量Ｃpixとして、シリコン基板上に設けられた複数の異なる配線層における配線で層間絶縁膜を挟持することによって形成されたキャパシターを用いても良い。

【００８２】

＜表示装置の動作例＞

次に、図２～図４に示す表示装置の動作例について説明する。表示コントロール回路２０は、画像データ、及び、同期信号（垂直同期信号ＶＳＹＮＣ、水平同期信号ＨＳＹＮＣ、データイネーブル信号ＤＥ、データクロック信号ＤＣＬＫ）を外部装置６から入力して、階調データＤＡＴＡ、及び、内部取り込み用のクロック信号ＣＬＫをデータ線駆動回路３０に送信する。

【００８３】

第１の実施形態においては、解析回路２３が、複数のラッチ回路３１にラッチされる１ライン分の階調データについて、階調レベルが所定のレベル以下であるか否かを判定する。例えば、解析回路２３は、第１群のデータラッチ回路３１１ａが階調データＤＡＴＡをクロック信号ＣＬＫに同期して順次取り込む際に、第１群のデータラッチ回路３１１ａに取り込まれる階調データによって表される階調レベルが所定のレベル以下であるか否かを、１ライン分の階調データについて判定する。

【００８４】

一例として、ＲＧＢの３色の成分について、第１の閾値、第２の閾値、第３の閾値が個別に設けられている。階調データのＲ成分のレベルが第１の閾値以下であり、階調データのＧ成分のレベルが第２の閾値以下であり、階調データのＢ成分のレベルが第３の閾値以下である場合に、解析回路２３は、階調データによって表される階調レベルが所定のレベル以下であると判定する。

【００８５】

ここで、第１の閾値～第３の閾値は等しくても良い。あるいは、第１の閾値～第３の閾値はゼロでも良い。第１の閾値～第３の閾値がゼロである場合に、解析回路２３は、階調データによって表される階調レベルが黒レベルであるか否かを判定することになる。特に、ヘッドマウント・ディスプレイの場合には、黒背景で画像が表示されることが圧倒的に多いと考えられる。その理由は、バックグラウンドが真黒であれば、ディスプレイの向こう側がはっきり見えて画面境界が見えなくなるが、バックグラウンドが薄黒であると、バックグラウンドの浮きで画面境界が目立ってしまうので、ディスプレイの向こう側が認識し難くなるからである。

【００８６】

解析回路２３は、１ラインの全ての画素の階調レベルが所定のレベル以下である場合に、当該１ライン分の階調データに基づいて１ラインの画素回路１１が駆動される期間（例えば、１水平同期期間）において、制御信号ＳＡＭＰを活性化する。アンプ電流・プルアップ制御回路３４は、例えば、ゲート回路で構成され、制御信号ＳＡＭＰに従って、複数の増幅器３３における直流電流及びプルアップ状態を制御する。それにより、解析回路２３は、１ラインの全ての画素の階調レベルが所定のレベル以下である場合に、当該１ライン分の階調データに基づいて１ラインの画素回路１１が駆動される期間において、複数（Ｌ個）の増幅器３３に流れる直流電流を低減する。

【００８７】

１ラインの全ての画素の階調レベルが所定のレベル以下である場合には、それらの画素の階調レベルが黒レベル又はそれに近い低輝度レベルであるので、表示ムラ等が視認し難い。従って、画質に殆ど影響を与えることなく、複数の増幅器３３の消費電流を削減する

ことができる。
【００８８】
アンプ電流・プルアップ制御回路３４は、電流制御信号ＳＡ１～ＳＡ３を生成して複数の増幅器３３に供給することにより、複数の増幅器３３に流れる直流電流を制御する。例えば、図３に示す増幅器３３において、電流制御信号ＳＡ１～ＳＡ３をローレベルに非活性化すれば、スイッチ回路Ｓ１及びＳ２を構成するトランジスターＱＮ１６～ＱＮ１８及びＱＰ２６～ＱＰ２８がオフ状態となって、直流電流を停止させることができる。
【００８９】
図４を参照しながら、表示装置の一般的な動作について説明する。初期状態として、制御信号Gini及びGrstがハイレベルに非活性化されており、制御信号Gref及びGcplがローレベルに非活性化されているものとする。従って、レベル設定回路ＬＳにおいて、トランジスターＱＰ３１、ＱＰ３２、ＱＮ３３、及び、トランスミッションゲート３７がオフ状態となっている。
【００９０】
また、初期状態として、走査信号Gwr(i)及び制御信号Gcmp(i)がハイレベルに非活性化されており、制御信号Gel(i)がローレベルに活性化されているものとする。従って、画素回路１１において、トランジスターＱＰ２、ＱＰ３、ＱＰ５がオフ状態となっており、トランジスターＱＰ４がオン状態となっている。
【００９１】
１垂直同期期間内の第ｉ番目の水平同期期間が開始すると、表示コントロール回路２０が、１水平同期期間内の所定の期間において、制御信号Sel(1)～Sel(18)をハイレベルに順次活性化する。それにより、デマルチプレクサーＤＭ（ｋ）において、制御信号Sel(1)～Sel(18)が印加されるトランスミッションゲート３６が順次オン状態となる。
【００９２】
また、第ｋ番目のブロックの増幅器３３は、上記所定の期間において、階調信号Vd(k)の電圧を、第ｋ番目のブロックにおける第１列、第２列、…、第１８列の画素の階調レベルに対応する階調電圧に順番に切り換える。それにより、第ｋ番目のブロックにおいて、第１列、第２列、…、第１８列の画素に対応するキャパシターＣ１にそれぞれの階調電圧が充電される。
【００９３】
一方、表示コントロール回路２０は、上記所定の期間において、制御信号Giniをローレベルに活性化する。それにより、レベル設定回路ＬＳにおいて、トランジスターＱＰ３１がオン状態となって、データ線１３に初期化電位Viniが供給される（初期化期間）。また、ゲート線駆動回路４０は、第ｉ行の画素回路１１に供給される制御信号Gel(i)をハイレベルに非活性化する。それにより、画素回路１１において、トランジスターＱＰ４がオフ状態となって、第ｉ行の画素回路１１の発光素子Ｄ１がリセット状態になる。
【００９４】
次に、ゲート線駆動回路４０が、第ｉ行の走査線１２に供給される走査信号Gwr(i)をローレベルに活性化し、第ｉ行の画素回路１１に供給される制御信号Gcmp(i)をローレベルに活性化する。それにより、トランジスターＱＰ２、ＱＰ３、及び、ＱＰ５がオン状態となって、駆動トランジスターＱＰ１のゲート電位が一定値に設定される（補償期間）。その後、制御信号Gcmp(i)が再びハイレベルに非活性化されて、トランジスターＱＰ３及びＱＰ５がオフ状態となる。
【００９５】
さらに、表示コントロール回路２０が、制御信号Giniをハイレベルに非活性化し、制御信号Gcplをハイレベルに活性化する。それにより、トランジスターＱＰ３１がオフ状態となり、トランスミッションゲート３７がオン状態となる。従って、駆動トランジスターＱＰ１のゲートに階調信号が印加されると共に、保持容量Cpixに階調電圧が充電される（書込期間）。第ｉ行の画素回路１１に対する階調信号の書き込みが終了すると、ゲート線駆動回路４０は、第ｉ行の走査線１２に供給される走査信号Gwr(i)をハイレベルに

非活性化し、表示コントロール回路２０は、制御信号Ｇcplをローレベルに非活性化する。

【００９６】

１垂直同期期間内の第（ｉ＋１）番目の水平同期期間が終了した後に、ゲート線駆動回路４０は、第ｉ行の画素回路１１に供給される制御信号Ｇel(i)をローレベルに活性化する。それにより、第（ｉ＋２）番目の水平同期期間以降において、トランジスターＱＰ４がオン状態となって、駆動トランジスターＱＰ１が階調信号に従って発光素子Ｄ１に電流を供給するので、第ｉ行の画素回路１１の発光素子Ｄ１が発光する（発光期間）。

【００９７】

このようにして、第ｉ番目の水平同期期間において、第ｉ行の画素回路１１の駆動期間（初期化期間、補償期間、及び、書込期間）が設けられ、第（ｉ＋２）番目の水平同期期間以降において、第ｉ行の画素回路１１の発光期間が設けられる。そして、１つのラインについて、駆動期間の開始から１垂直同期期間が経過した後に、再び駆動期間が設けられる。

【００９８】

あるいは、データ線１３をブロック化せずに、デマルチプレクサーＤＭ(1)～ＤＭ(L)を用いないで全てのデータ線１３に階調信号を一斉に供給するようにしても良い。その場合には、複数の増幅器３３が、デマルチプレクサーＤＭを介さずに、複数のレベル設定回路ＬＳを直接駆動することになる。

【００９９】

以上において、解析回路２３は、第ｉラインの全ての画素の階調レベルが所定のレベル以下である場合に、第ｉライン分の階調データに基づいて第ｉラインの画素回路１１が駆動される期間において、複数の増幅器３３に流れる直流電流を低減する。そのときに、解析回路２３は、第ｉライン分の階調データに基づいて駆動される第ｉラインの画素回路１１の駆動トランジスターＱＰ１がオフ状態となるように複数のデータ線１３の電位を制御しても良い。それにより、複数の増幅器３３に流れる直流電流を低減しても、第ｉラインの画素回路１１の発光素子Ｄ１による発光を停止させることができる。

【０１００】

例えば、解析回路２３は、制御信号Ｇrstをローレベルに活性化し、制御信号Ｇrefをハイレベルに活性化する。それにより、レベル設定回路ＬＳにおいて、トランジスターＱＰ３２及びＱＮ３３がオン状態になる。従って、データ線１３に電源電位Ｖelが供給されて、駆動トランジスターＱＰ１がオフ状態となる。また、中継配線１５には、参照電位Ｖrefが供給される。

【０１０１】

＜第２の実施形態＞

次に、本発明の第２の実施形態について説明する。第２の実施形態においては、図２に示す解析回路２３が、複数のラッチ回路３１にラッチされる１ブロック分の階調データについて、階調レベルが所定のレベル以下であるか否かを判定する。

【０１０２】

例えば、解析回路２３は、第１群のデータラッチ回路３１１ａが階調データＤＡＴＡをクロック信号ＣＬＫに同期して順次取り込む際に、第１群のデータラッチ回路３１１ａに取り込まれる階調データによって表される階調レベルが所定のレベル以下であるか否かを、１ブロック分（１８画素分）の階調データについて判定する。それにより、解析回路２３は、１ブロックの全ての画素の階調レベルが所定のレベル以下であるか否かを表す判定フラグＦＺを生成して第１群の判定フラグラッチ回路３１１ｂに出力する。

【０１０３】

第１群の判定フラグラッチ回路３１１ｂは、Ｌ個のＤＡＣ３２又はＬ個の増幅器３３に対応して、判定フラグＦＺをラッチするＬ個のラッチ回路を含んでいる。第２群の判定フラグラッチ回路３１２ｂも、Ｌ個のＤＡＣ３２又はＬ個の増幅器３３に対応して、判定フラグＦＺをラッチするＬ個のラッチ回路を含んでいる。

【０１０４】
第１群のデータラッチ回路３１１ａが、階調データＤＡＴＡを順次取り込むと共に、第１群の判定フラグラッチ回路３１１ｂが、解析回路２３からブロック毎に出力される判定フラグＦＺを順次取り込む。１水平同期期間において、Ｌブロック分の階調データについての判定フラグＦＺが第１群の判定フラグラッチ回路３１１ｂに取り込まれる。次の水平同期期間が開始すると、第２群のデータラッチ回路３１２ａが、第１群のデータラッチ回路３１１ａから出力されるＬブロック分の階調データＤＡＴＡを取り込むと共に、第２群の判定フラグラッチ回路３１２ｂが、第１群の判定フラグラッチ回路３１１ｂから出力されるＬブロック分の判定フラグＦＺを保持する。
【０１０５】
アンプ電流・プルアップ制御回路３４は、第２群の判定フラグラッチ回路３１２ｂに保持されている判定フラグＦＺに従って、１ブロックの全ての画素の階調レベルが所定のレベル以下である場合に、当該１ブロック分の階調データに基づいて１ブロックの画素回路１１が駆動される期間（例えば、１水平同期期間）において、当該１ブロック分の階調データが供給されるＤＡＣ３２に接続された増幅器３３に流れる直流電流を低減する。
【０１０６】
１ブロックの全ての画素の階調レベルが所定のレベル以下である場合には、それらの画素の階調レベルが黒レベル又はそれに近い低輝度レベルであるので、表示ムラ等が視認し難い。従って、画質に殆ど影響を与えることなく、当該１ブロック分の階調データが供給されるＤＡＣ３２に接続された増幅器３３の消費電流を削減することができる。
【０１０７】
複数の増幅器３３毎に電流制御信号ＳＡ１～ＳＡ３を生成して複数の増幅器３３に供給することにより、複数の増幅器３３に流れる直流電流を制御することが可能である。例えば、図３に示す増幅器３３において、電流制御信号ＳＡ１をハイレベルに維持しながら電流制御信号ＳＡ２及びＳＡ３をローレベルに非活性化すれば、トランジスターＱＮ１６及びＱＰ２６がオン状態を維持し、トランジスターＱＮ１７、ＱＮ１８、ＱＰ２７、及び、ＱＰ２８がオフ状態となって、例えば、直流電流を１／１０にすることができる。
【０１０８】
図３に示すように、増幅器３３には、出力端子ＯＵＴを階調信号の最高電位ＶＲＨにプルアップするＰチャネルＭＯＳトランジスターＱＰ２９が設けられている。トランジスターＱＰ２９のソースは、階調信号の最高電位ＶＲＨの配線に接続され、ドレインは、出力端子ＯＵＴに接続されている。アンプ電流・プルアップ制御回路３４は、複数の増幅器３３毎に制御信号Ｚeroを生成して複数の増幅器３３に供給することにより、トランジスターＱＰ２９のゲートに制御信号Ｚeroを印加する。
【０１０９】
増幅器３３に流れる直流電流を低減するときに、制御信号Ｚeroをローレベルに活性化しても良い。その結果、トランジスターＱＰ２９がオン状態となって、増幅器３３の出力端子ＯＵＴが階調信号の最高電位ＶＲＨにプルアップされるので、図４に示す画素回路１１の駆動トランジスターＱＰ１がオフ状態となる。それにより、増幅器３３に流れる直流電流を低減しても、その増幅器３３に対応する画素回路１１の発光素子Ｄ１による発光を停止させることができる。
【０１１０】
第２の実施形態においては、図４に示すレベル設定回路ＬＳのトランジスターＱＰ３２、トランジスターＱＮ３３、及び、キャパシターＣ２を省略して、データ線１３を中継配線１５に直接接続しても良い。その他の点に関しては、第２の実施形態は、第１の実施形態と同様でも良い。
【０１１１】
＜第３の実施形態＞
次に、本発明の第３の実施形態について説明する。第３の実施形態においては、図２に示すゼロデータ検出回路３５が、複数のラッチ回路３１にラッチされる階調データを解析

する解析回路として機能する。ゼロデータ検出回路３５は、複数のＤＡＣ３２の各々に供給される１画素分の階調データの値がゼロであるか否かを判定する。例えば、ゼロデータ検出回路３５は、第２群のデータラッチ回路３１２ａから複数のＤＡＣ３２の各々に供給される１画素分の階調データの値がゼロであるか否かを判定して、判定結果をアンプ電流・プルアップ制御回路３４に出力する。

【０１１２】

アンプ電流・プルアップ制御回路３４は、ゼロデータ検出回路３５の判定結果に従って、それぞれの増幅器３３における直流電流を制御する。それにより、ゼロデータ検出回路３５は、１画素分の階調データの値がゼロである場合に、当該１画素分の階調データに基づいて１つの画素回路１１が駆動される期間において、当該１画素分の階調データが供給されるＤＡＣ３２に接続された増幅器３３に流れる直流電流を低減する。その他の点に関しては、第３の実施形態は、第２の実施形態と同様でも良い。

【０１１３】

１画素分の階調データの値がゼロである場合には、その画素の画素回路１１の発光素子Ｄ１を発光させる必要がない。従って、画質に殆ど影響を与えることなく、当該１画素分の階調データが供給されるＤＡＣ３２に接続された増幅器３３の消費電流を削減することができる。

【０１１４】

＜第４の実施形態＞

次に、本発明の第４の実施形態について説明する。第４の実施形態においては、図２に示す解析回路２３が、複数のラッチ回路３１にラッチされる１ライン分の階調データについて、階調レベルが所定のレベル以上であるか否かを判定する。例えば、解析回路２３は、第１群のデータラッチ回路３１１ａが階調データＤＡＴＡをクロック信号ＣＬＫに同期して順次取り込む際に、第１群のデータラッチ回路３１１ａに取り込まれる階調データによって表される階調レベルが所定のレベル以上であるか否かを、１ライン分の階調データについて判定する。

【０１１５】

一例として、ＲＧＢの３色の成分について、第４の閾値、第５の閾値、第６の閾値が個別に設けられている。階調データのＲ成分のレベルが第４の閾値以上であり、階調データのＧ成分のレベルが第５の閾値以上であり、階調データのＢ成分のレベルが第６の閾値以上である場合に、解析回路２３は、階調データによって表される階調レベルが所定のレベル以上であると判定する。

【０１１６】

ここで、第４の閾値～第６の閾値は等しくても良い。あるいは、第４の閾値～第６の閾値は最大階調レベルでも良い。第４の閾値～第６の閾値が最大階調レベルである場合に、解析回路２３は、階調データによって表される階調レベルが白レベルであるか否かを判定することになる。

【０１１７】

解析回路２３は、１ラインの全ての画素の階調レベルが所定のレベル以上である場合に、当該１ライン分の階調データに基づいて１ラインの画素回路１１が駆動される期間（例えば、１水平同期期間）において、制御信号ＳＡＭＰを活性化する。アンプ電流・プルアップ制御回路３４は、制御信号ＳＡＭＰに従って、複数の増幅器３３における直流電流を制御する。それにより、解析回路２３は、１ラインの全ての画素の階調レベルが所定のレベル以上である場合に、当該１ライン分の階調データに基づいて１ラインの画素回路１１が駆動される期間において、複数（Ｌ個）の増幅器３３に流れる直流電流を低減する。その他の点に関しては、第４の実施形態は、第１～第３の実施形態のいずれかと同様でも良い。

【０１１８】

１ラインの全ての画素の階調レベルが所定のレベル以上である場合には、それらの画素の階調レベルが白レベル又はそれに近い高輝度レベルであるので、表示ムラ等が視認し難

い。従って、画質に殆ど影響を与えることなく、複数の増幅器３３の消費電流を削減することができる。

【０１１９】

＜第５の実施形態＞

次に、本発明の第５の実施形態について説明する。第５の実施形態においては、図２に示すＤＡＣ３２が、直流電流を可変できるように構成されている。解析回路２３は、第１～第４の実施形態において増幅器３３の直流電流を制御することに替えて、又は、それに加えて、ＤＡＣ３２の直流電流を制御する。そのために、解析回路２３は、ＤＡＣ３２における直流電流を制御する制御信号ＳＤＡＣを生成する。その他の点に関しては、第５の実施形態は、第１～第４の実施形態のいずれかと同様でも良い。

【０１２０】

図５は、図２に示すＤＡＣの一部の構成例を示す図である。図５に示すように、ＤＡＣ３２は、レギュレーター（定電圧回路）５１～５４と、階調電圧発生回路６１～６４及び７１～７４と、ＮチャネルＭＯＳトランジスターＱＮ６１～ＱＮ６４及びＱＮ７１～ＱＮ７４とを含んでいる。

【０１２１】

レギュレーター５１及び５３は、階調信号の最高電位である第１の安定化電位ＶＲＨを生成する。第１の安定化電位ＶＲＨは、階調電圧発生回路６１～６４及び７１～７４の第１の端子に供給される。また、レギュレーター５２及び５４は、階調信号の最低電位である第２の安定化電位ＶＲＬを生成する。

【０１２２】

階調電圧発生回路６１～６４及び７１～７４の各々は、例えば、ラダー抵抗、又は、ラダー抵抗と複数のバッファーアンプとの組み合わせで構成される。例えば、ラダー抵抗の抵抗値は４ｋΩ程度であり、階調電圧発生回路６１～６４及び７１～７４の全てが第１の安定化電位ＶＲＨの配線と第２の安定化電位ＶＲＬの配線との間に接続されると、それらの間の抵抗値が５００Ω程度になる。

【０１２３】

トランジスターＱＮ６１～ＱＮ６４及びＱＮ７１～ＱＮ７４のドレインは、階調電圧発生回路６１～６４及び７１～７４の第２の端子にそれぞれ接続されており、ソースは、第２の安定化電位ＶＲＬの配線に接続されている。トランジスターＱＮ６１及びＱＮ７１のゲートには、電流制御信号ＳＤ１が印加され、トランジスターＱＮ６２及びＱＮ７２のゲートには、電流制御信号ＳＤ２が印加される。また、トランジスターＱＮ６３及びＱＮ７３のゲートには、電流制御信号ＳＤ３が印加され、トランジスターＱＮ６４及びＱＮ７４のゲートには、電流制御信号ＳＤ４が印加される。

【０１２４】

例えば、フル稼働モードにおいては、電流制御信号ＳＤ１～ＳＤ４がハイレベルに活性化される。それにより、トランジスターＱＮ６１～ＱＮ６４及びＱＮ７１～ＱＮ７４がオン状態となる。その結果、階調電圧発生回路６１～６４及び７１～７４の第２の端子が第２の安定化電位ＶＲＬの配線に電気的に接続されて、階調電圧発生回路６１～６４及び７１～７４に電流が流れる。

【０１２５】

一方、ハーフ稼働モードにおいては、電流制御信号ＳＤ１及びＳＤ２がハイレベルに活性化される一方、電流制御信号ＳＤ３及びＳＤ４がローレベルに非活性化される。それにより、トランジスターＱＮ６１、ＱＮ６２、ＱＮ７１、及び、ＱＮ７２がオン状態となり、トランジスターＱＮ６３、ＱＮ６４、ＱＮ７３、及び、ＱＮ７４がオフ状態となる。その結果、階調電圧発生回路６１、６２、７１、及び、７２に電流が流れ、階調電圧発生回路６３、６４、７３、及び、７４には電流が流れないので、直流電流をフル稼働モードにおける直流電流の約半分にすることができる。

【０１２６】

図６は、図５に示す階調電圧発生回路の接続状態を説明するための図である。図６（Ａ

）は、フル稼働モードにおける階調電圧発生回路の接続状態を示しており、図６（Ｂ）は、ハーフ稼働モードにおける階調電圧発生回路の接続状態を示している。ハーフ稼働モードにおいては、階調電圧発生回路６３、６４、７３、及び、７４の第２の端子がオープン状態（×印）となっている。

【０１２７】

図６に示すように、階調電圧発生回路６１及び７１には、第１群の階調線８１が接続されており、階調電圧発生回路６２及び７２には、第２群の階調線８２が接続されている。また、階調電圧発生回路６３及び７３には、第３群の階調線８３が接続されており、階調電圧発生回路６４及び７４には、第４群の階調線８４が接続されている。

【０１２８】

階調電圧発生回路６１及び７１は、図５に示すレギュレーター５１～５４から第１の安定化電位ＶＲＨ及び第２の安定化電位ＶＲＬが供給され、複数の階調電圧を発生して第１群の階調線８１に供給する。また、階調電圧発生回路６２及び７２は、第１の安定化電位ＶＲＨ及び第２の安定化電位ＶＲＬが供給され、複数の階調電圧を発生して第２群の階調線８２に供給する。

【０１２９】

階調電圧発生回路６３及び７３は、第１の安定化電位ＶＲＨ及び第２の安定化電位ＶＲＬが供給され、複数の階調電圧を発生して第３群の階調線８３に供給する。また、階調電圧発生回路６４及び７４は、第１の安定化電位ＶＲＨ及び第２の安定化電位ＶＲＬが供給され、複数の階調電圧を発生して第４群の階調線８４に供給する。

【０１３０】

さらに、ＤＡＣ３２は、制御回路９０と、第１群のスイッチ回路９１～第４群のスイッチ回路９４とを含んでいる。第１群のスイッチ回路９１～第４群のスイッチ回路９４は、例えば、複数の増幅器３３の入力端子と第１群の階調線８１～第４群の階調線８４との間に接続された複数のトランスミッションゲートで構成されている。

【０１３１】

第１群のスイッチ回路９１は、複数の増幅器３３の入力端子の各々に第１群の階調線８１の内からそれぞれ選択された階調線を電気的に接続し、第２群のスイッチ回路９２は、複数の増幅器３３の入力端子の各々に第２群の階調線８２の内からそれぞれ選択された階調線を電気的に接続する。

【０１３２】

また、第３群のスイッチ回路９３は、複数の増幅器３３の入力端子の各々に第３群の階調線８３の内からそれぞれ選択された階調線を電気的に接続し、第４群のスイッチ回路９４は、複数の増幅器３３の入力端子の各々に第４群の階調線８４の内からそれぞれ選択された階調線を電気的に接続する。

【０１３３】

制御回路９０は、例えば、組み合わせ回路又は順序回路を含む論理回路で構成されている。制御回路９０は、図２に示す第２群のデータラッチ回路３１２ａから供給される階調データをデコードし、第１群のスイッチ回路９１～第４群のスイッチ回路９４を制御するためのスイッチ制御信号を生成して、第１群のスイッチ回路９１～第４群のスイッチ回路９４に供給する。

【０１３４】

また、制御回路９０は、解析回路２３から出力される制御信号ＳＤＡＣに基づいて、階調電圧発生回路６１～６４及び７１～７４に流れる電流を制御する電流制御信号ＳＤ１～ＳＤ４を生成する。制御回路９０は、電流制御信号ＳＤ１～ＳＤ４に従って、電流が流れている階調電圧発生回路に接続されているスイッチ回路を階調データに応じてオン又はオフに制御すると共に、電流が流れていない階調電圧発生回路に接続されているスイッチ回路を強制的にオフさせる。

【０１３５】

図６（Ａ）に示すフル稼働モードにおいては、電流制御信号ＳＤ１～ＳＤ４がハイレベ

ルに活性化されて、階調電圧発生回路６１～６４及び７１～７４に電流が流れる。制御回路９０は、階調データによって表される階調レベルに対応する階調線を複数の増幅器３３の入力端子に接続するように、第１群のスイッチ回路９１～第４群のスイッチ回路９４を共通に制御する。例えば、第１群のスイッチ回路９１～第４群のスイッチ回路９４において、グレーで示されているトランスミッションゲートがオン状態となる。

【０１３６】

図６（Ｂ）に示すハーフ稼働モードにおいては、電流制御信号ＳＤ１及びＳＤ２がハイレベルに活性化され、電流制御信号ＳＤ３及びＳＤ４がローレベルに非活性化されて、階調電圧発生回路６１、６２、７１、及び、７２に電流が流れ、階調電圧発生回路６３、６４、７３、及び、７４には電流が流れない。

【０１３７】

制御回路９０は、階調データによって表される階調レベルに対応する階調線を複数の増幅器３３の入力端子に接続するように、第１群のスイッチ回路９１及び第２群のスイッチ回路９２を共通に制御する。例えば、第１群のスイッチ回路９１及び第２群のスイッチ回路９２において、グレーで示されているトランスミッションゲートがオン状態となる。

【０１３８】

一方、制御回路９０は、第３群のスイッチ回路９３及び第４群のスイッチ回路９４の全てのトランスミッションゲートを強制的にオフ状態とする。それにより、トランスミッションゲートを介して階調電圧発生回路６１～６４及び７１～７４の間にクロストーク電流が流れることを防止することができる。

【０１３９】

図２に示す解析回路２３は、複数のラッチ回路３１にラッチされる階調データＤＡＴＡを解析し、解析結果に応じて、階調電圧発生回路６１～６４及び７１～７４の内の少なくとも１組に流れる電流を停止させることにより、少なくとも１つのＤＡＣ３２に流れる直流電流を低減する。以下においては、第５の実施形態に係る表示装置の具体的な動作例について説明する。

【０１４０】

＜第１の動作例＞

第１の動作例においては、解析回路２３が、複数のラッチ回路３１にラッチされる１ライン分の階調データについて、階調レベルが所定のレベル以下であるか否かを判定する。例えば、解析回路２３は、第１群のデータラッチ回路３１１ａが階調データＤＡＴＡをクロック信号ＣＬＫに同期して順次取り込む際に、第１群のデータラッチ回路３１１ａに取り込まれる階調データＤＡＴＡによって表される階調レベルが所定のレベル以下であるか否かを、１ライン分の階調データについて判定する。

【０１４１】

解析回路２３は、１ラインの全ての画素の階調レベルが所定のレベル以下である場合に、当該１ライン分の階調データに基づいて１ラインの画素回路１１が駆動される期間（例えば、１水平同期期間）において、制御信号ＳＤＡＣを活性化する。制御回路９０は、制御信号ＳＤＡＣに従って、複数のＤＡＣ３２における直流電流を制御する。それにより、解析回路２３は、１ラインの全ての画素の階調レベルが所定のレベル以下である場合に、当該１ライン分の階調データに基づいて１ラインの画素回路１１が駆動される期間において、複数（Ｌ個）のＤＡＣ３２に流れる直流電流を低減する。

【０１４２】

１ラインの全ての画素の階調レベルが所定のレベル以下である場合には、それらの画素の階調レベルが黒レベル又はそれに近い低輝度レベルであるので、表示ムラ等が視認し難い。従って、画質に殆ど影響を与えることなく、複数のＤＡＣ３２の消費電流を削減することができる。

【０１４３】

例えば、図５に示すＤＡＣ３２において、電流制御信号ＳＤ１及びＳＤ２をハイレベルに維持しながら電流制御信号ＳＤ３及びＳＤ４をローレベルに非活性化すれば、トランジ

スターＱＮ６１、ＱＮ６２、ＱＮ７１、及び、ＱＮ７２がオン状態を維持し、トランジスターＱＮ６３、ＱＮ６４、ＱＮ７３、及び、ＱＮ７４がオフ状態となって、直流電流を１／２にすることができる。

【０１４４】

あるいは、図５に示すＤＡＣ３２において、電流制御信号ＳＤ１をハイレベルに維持しながら電流制御信号ＳＤ２～ＳＤ４をローレベルに非活性化すれば、トランジスターＱＮ６１及びＱＮ７１がオン状態を維持し、トランジスターＱＮ６２～ＱＮ６４及びＱＮ７２～ＱＮ７４がオフ状態となって、直流電流を１／４にすることができる。

【０１４５】

＜第２の動作例＞

第２の動作例においては、図２に示す解析回路２３が、複数のラッチ回路３１にラッチされる１ライン分の階調データについて、階調レベルが所定のレベル以上であるか否かを判定する。例えば、解析回路２３は、第１群のデータラッチ回路３１１ａが階調データＤＡＴＡをクロック信号ＣＬＫに同期して順次取り込む際に、第１群のデータラッチ回路３１１ａに取り込まれる階調データＤＡＴＡによって表される階調レベルが所定のレベル以上であるか否かを、１ライン分の階調データについて判定する。

【０１４６】

解析回路２３は、１ラインの全ての画素の階調レベルが所定のレベル以上である場合に、当該１ライン分の階調データに基づいて１ラインの画素回路１１が駆動される期間（例えば、１水平同期期間）において、制御信号ＳＤＡＣを活性化する。制御回路９０は、制御信号ＳＤＡＣに従って、複数のＤＡＣ３２における直流電流を制御する。それにより、解析回路２３は、１ラインの全ての画素の階調レベルが所定のレベル以上である場合に、当該１ライン分の階調データに基づいて１ラインの画素回路１１が駆動される期間において、複数（Ｌ個）のＤＡＣ３２に流れる直流電流を低減する。

【０１４７】

１ラインの全ての画素の階調レベルが所定のレベル以上である場合には、それらの画素の階調レベルが白レベル又はそれに近い高輝度レベルであるので、表示ムラ等が視認し難い。従って、画質に殆ど影響を与えることなく、複数のＤＡＣ３２の消費電流を削減することができる。

【０１４８】

＜第３の動作例＞

第３の動作例においては、図２に示す解析回路２３が、ブランキング期間において、制御信号ＳＤＡＣを活性化する。制御回路９０は、制御信号ＳＤＡＣに従って、複数のＤＡＣ３２における直流電流を制御する。それにより、解析回路２３は、ブランキング期間において、複数のＤＡＣ３２に流れる直流電流を低減する。

【０１４９】

ブランキング期間においては階調レベルが問題とならないので、画質に影響を与えることなく、ＤＡＣ３２の消費電流を削減することができる。例えば、解析回路２３は、表示コントロール回路２０から供給される垂直同期信号又は水平同期信号に基づいて、ブランキング期間を検出する。

【０１５０】

以上の実施形態によれば、複数のラッチ回路３１にラッチされる階調データを解析し、解析結果に応じて、少なくとも１つの増幅器３３又は少なくとも１つのＤＡＣ３２に流れる直流電流を低減するようにしたので、画質に殆ど影響を与えることなく、データ線駆動回路３０における増幅器３３又はＤＡＣ３２の消費電流を削減することができる。

【０１５１】

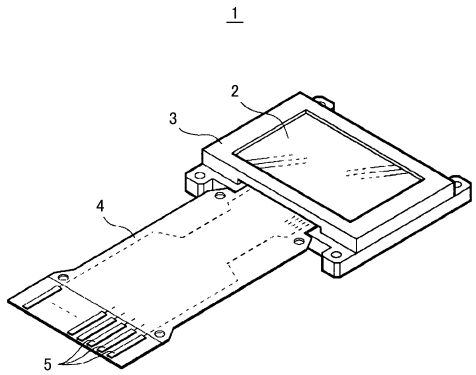
＜電子機器＞

次に、本発明のいずれかの実施形態に係る表示装置を備える電子機器について説明する。図１に示す表示装置１は、画素が小サイズなので高精細な表示を行う用途に向いており、電子機器として、ヘッドマウント・ディスプレイを例に挙げて説明する。

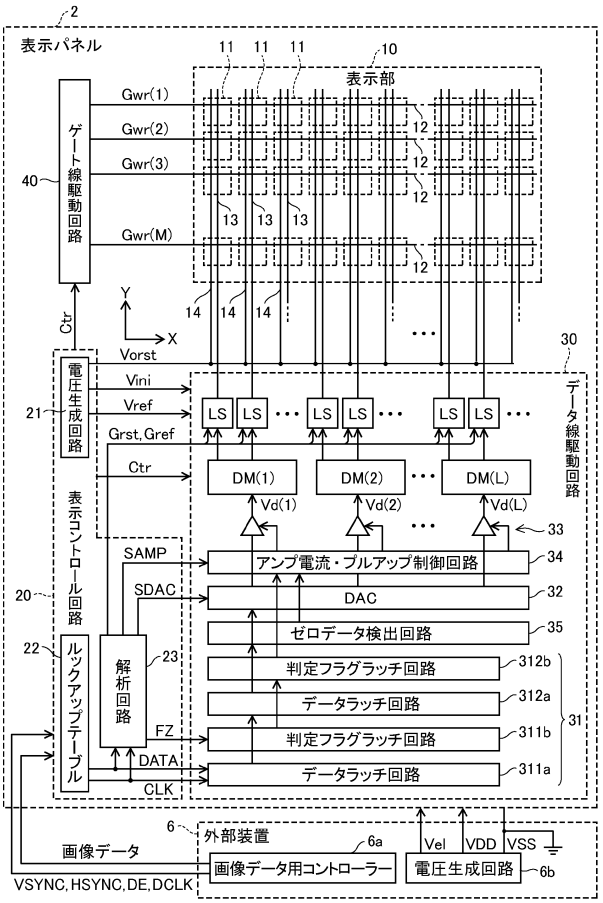
【０１５２】
図７は、ヘッドマウント・ディスプレイの外観を示す斜視図であり、図８は、ヘッドマウント・ディスプレイの光学的な構成例を示す平面図である。図７に示すように、ヘッドマウント・ディスプレイ１００は、一般的な眼鏡と同様に、テンプル１１０と、ブリッジ１２０と、レンズ１０１Ｌ及び１０１Ｒとを備えている。また、図８に示すように、ヘッドマウント・ディスプレイ１００には、ブリッジ１２０の近傍であってレンズ１０１Ｌ及び１０１Ｒの奥側（図中下側）に、左眼用の表示装置１Ｌと、右眼用の表示装置１Ｒとが設けられている。
【０１５３】
表示装置１Ｌの画像表示面は、図８において左側となるように配置されている。それにより、表示装置１Ｌの表示画像は、光学レンズ１０２Ｌを介して図中Ｌ方向に出射する。ハーフミラー１０３Ｌは、表示装置１Ｌの表示画像を図中Ｂ方向に反射させる一方、図中Ｆ方向から入射した光を透過させる。
【０１５４】
表示装置１Ｒの画像表示面は、表示装置１Ｌとは反対に、図８において右側となるように配置されている。それにより表示装置１Ｒの表示画像は、光学レンズ１０２Ｒを介して図中Ｒ方向に出射する。ハーフミラー１０３Ｒは、表示装置１Ｒの表示画像を図中Ｂ方向に反射させる一方、図中Ｆ方向から入射した光を透過させる。
【０１５５】
このような構成によって、ヘッドマウント・ディスプレイ１００のユーザーは、表示装置１Ｌ及び１Ｒの表示画像を、外部の風景と重ね合わせたシースルー状態で観察することができる。また、ヘッドマウント・ディスプレイ１００において、視差を伴う両眼用画像の内の左眼用画像を表示装置１Ｌに表示させ、右眼用画像を表示装置１Ｒに表示させることにより、表示された画像があたかも奥行や立体感を持つかのようにユーザーに知覚させることができる（３Ｄ表示）。
【０１５６】
図１に示す表示装置１は、ヘッドマウント・ディスプレイ１００の他にも、ビデオカメラやレンズ交換式のデジタルカメラにおける電子式ビューファインダー等の電子機器に適用することが可能である。本実施形態によれば、画質に殆ど影響を与えることなく駆動回路における増幅器又はＤ／Ａ変換器の消費電流が削減された表示装置を用いて、電子機器の消費電流を削減することができる。
【０１５７】
上記の実施形態においては、発光素子としてＯＬＥＤを用いる場合について説明したが、本発明においては、例えば、無機発光ダイオードやＬＥＤ（Light Emitting Diode）等のように、電流に応じた輝度で発光する発光素子を用いることができる。このように、本発明は、以上説明した実施形態に限定されるものではなく、当該技術分野において通常の知識を有する者によって、本発明の技術的思想内で多くの変形が可能である。
【符号の説明】
【０１５８】
１、１Ｌ、１Ｒ…表示装置、２…表示装置、３…ケース、４…ＦＰＣ基板、５…端子、１０…表示部、１１…画素回路、１２…走査線、１３…データ線、１４…リセット線、１５…中継配線、２０…表示コントロール回路、２１…電圧生成回路、２２…ルックアップテーブル、２３…解析回路、３０…データ線駆動回路、３１、３１１ａ、３１１ｂ、３１２ａ、３１２ｂ…ラッチ回路、３２…ＤＡＣ、３３…増幅器、３４…アンプ電流・プルアップ制御回路、３５…ゼロデータ検出回路、３６、３７…トランスミッションゲート、４０…ゲート線駆動回路、５１～５４…レギュレーター、６１～６４、７１～７４…階調電圧発生回路、８１～８４…階調線、９０…制御回路、９１～９４…スイッチ回路、１００…ヘッドマウント・ディスプレイ、１０１Ｌ、１０１Ｒ…レンズ、１０２Ｌ、１０２Ｒ…光学レンズ、１０３Ｌ、１０３Ｒ…ハーフミラー、１１０…テンプル、１２０…ブリッジ、ＤＭ(1)～ＤＭ(L)、ＤＭ(k)…デマルチプレクサー、ＬＳ…レベル設定回路、Ａ１、Ａ

２…増幅回路、Ｓ１、Ｓ２…スイッチ回路、ＱＰ１～ＱＰ３２…ＰチャネルＭＯＳトランジスター、ＱＮ１１～ＱＮ７４…ＮチャネルＭＯＳトランジスター、Ｃ１、Ｃ２…キャパシター、Cpix…保持容量、Ｄ１…発光素子

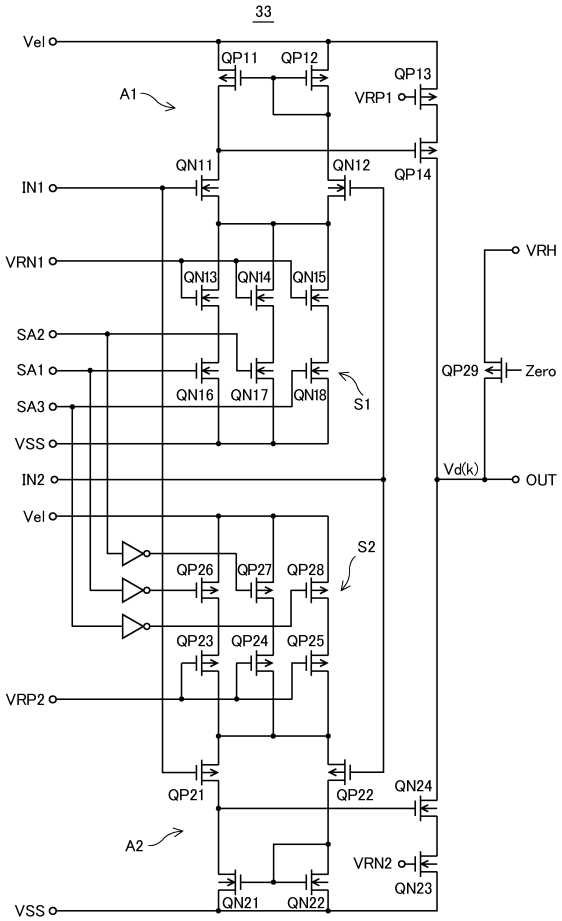
【図１】



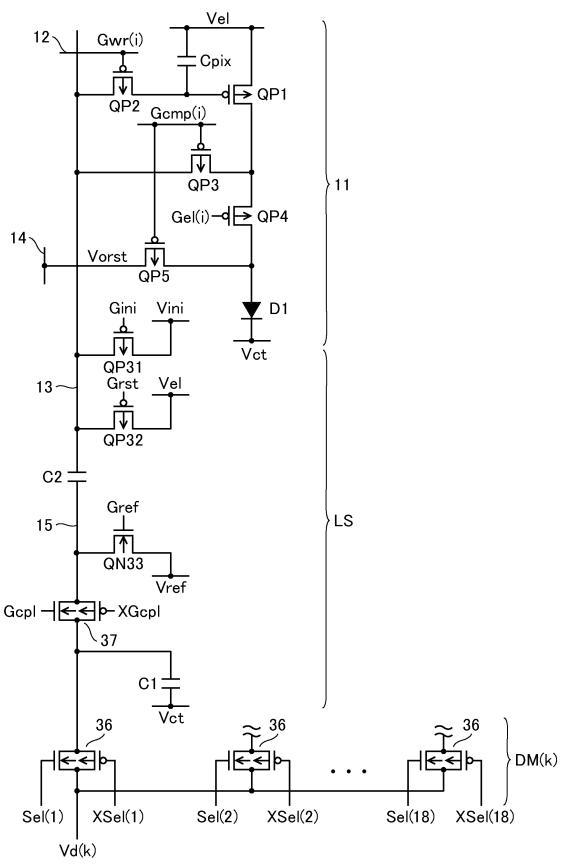
【図２】



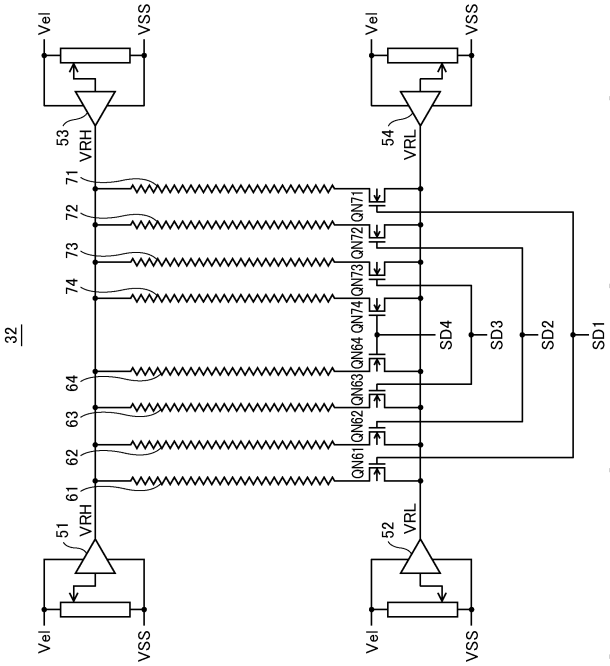
【図３】


33
Vel
QP11
QP12
QP13
VRP1
A1
QN11
QN12
QP14
IN1
VRN1
QN13
QN14
QN15
VRH
SA2
SA1
SA3
QN16
QN17
QN18
S1
QP29
Zero
VSS
IN2
Vd(k)
OUT
Vel
S2
QP26
QP27
QP28
QP23
QP24
QP25
VRP2
QP21
QP22
QN24
A2
VRN2
QN23
VSS
QN21
QN22

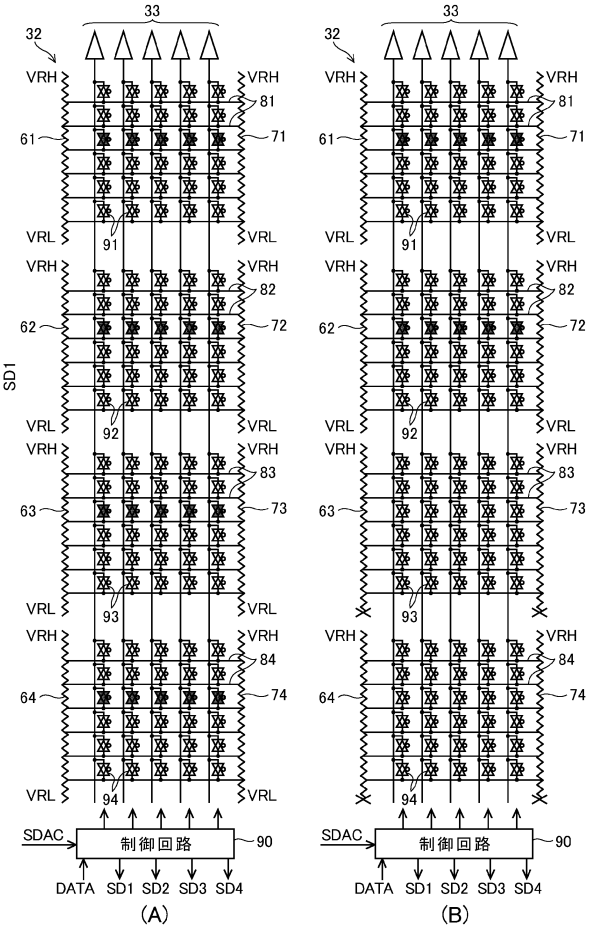
【図４】


12
Gwr(i)
Vel
Cpix
QP2
QP1
Gcmp(i)
QP3
11
Gel(i)
QP4
14
Vorst
QP5
Gini
Vini
D1
Vct
QP31
13
Grst
Vel
QP32
C2
Gref
15
QN33
Vref
LS
Gcpl
XGcpl
37
C1
Vct
36
36
36
DM(k)
Sel(1)
XSel(1)
Sel(2)
XSel(2)
Sel(18)
XSel(18)
Vd(k)

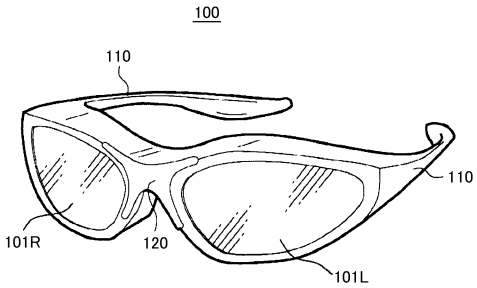
【図５】


Vel
VSS
53
VRH
54
VRL
71
72
73
74
64
63
62
61
QN71
QN72
QN73
QN74
QN64
QN63
QN62
QN61
SD4
SD3
SD2
SD1
32
51
52

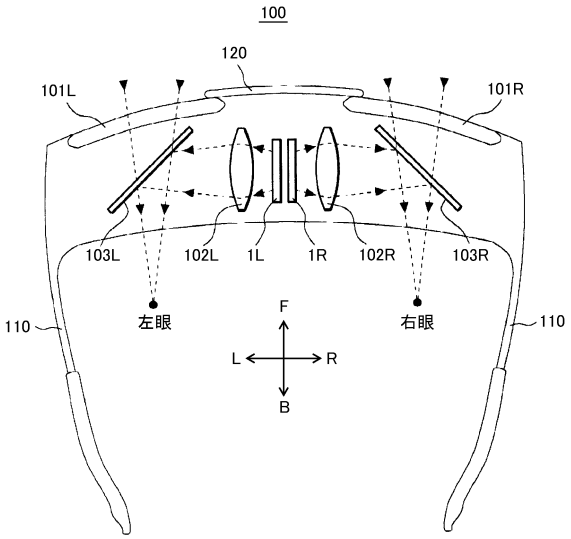
【図６】


33
32
VRH
VRL
61
71
81
91
62
72
82
92
63
73
83
93
64
74
84
94
SDAC
制御回路
90
DATA
SD1
SD2
SD3
SD4
(A)
(B)

【図７】


100
110
110
101R
120
101L

【図８】


100
120
101L
101R
103L
102L
1L
1R
102R
103R
左眼
右眼
110
110
F
L
R
B

フロントページの続き

(51)Int.Cl.		FI	
	G09G	3/20	611A
	G09G	3/20	623X
	G09G	3/20	612T
	G09G	3/3275	

(56)参考文献 国際公開第２０１４／０７７２００（WO，Ａ１）
特開２００８－００３３４７（ＪＰ，Ａ）
特開２００５－２０８２２９（ＪＰ，Ａ）
特開２００８－０２６３４２（ＪＰ，Ａ）
特開平０６－３３７６５５（ＪＰ，Ａ）
特開２００４－２６０６０３（ＪＰ，Ａ）
特開２００５－１０７００４（ＪＰ，Ａ）
特開２００８－１３４４９６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G09G 3／20－3／38