



(12) 发明专利

(10) 授权公告号 CN 101197394 B

(45) 授权公告日 2012. 07. 04

(21) 申请号 200710196482. 2

(22) 申请日 2007. 12. 05

(30) 优先权数据

2006-327921 2006. 12. 05 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 山崎舜平 池田佳寿子 笹川慎也
须泽英臣

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

代理人 王岳 刘宗杰

(51) Int. Cl.

H01L 29/786(2006. 01)

H01L 29/423(2006. 01)

H01L 27/12(2006. 01)

H01L 21/336(2006. 01)

H01L 21/28(2006. 01)

H01L 21/84(2006. 01)

(56) 对比文件

US 2003/0096462 A1, 2003. 05. 22,

US 6596568 B1, 2003. 07. 22,

US 2005/0214989 A1, 2005. 09. 29,

US 6380046 B1, 2002. 04. 30,

US 5650339 A, 1997. 07. 22,

US 2002/0060322 A1, 2002. 05. 23,

审查员 朱永全

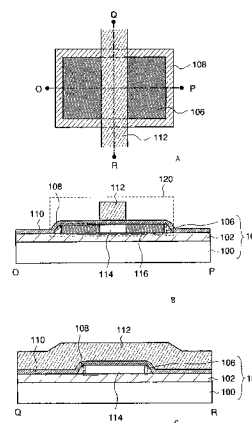
权利要求书 2 页 说明书 39 页 附图 31 页

(54) 发明名称

半导体装置以及其制造方法

(57) 摘要

本发明的目的在于提供一种半导体装置以及其制造方法,该半导体装置通过使用 SOI 衬底而制造,并且防止起因于设置为岛状的硅层的端部的缺陷且提高可靠性。该半导体装置具有如下结构:包括在支撑衬底上依次层合有绝缘层及岛状硅层的 SOI 衬底、设置在岛状硅层的一个表面上及侧面的栅绝缘层、以及中间夹着栅绝缘层而设置在岛状硅层上的栅电极。此时,对栅绝缘层来说,跟接触于岛状硅层的一个表面上的区域相比,接触于岛状硅层的侧面的区域的介电常数小。



1. 一种半导体装置,包括:
衬底;
在所述衬底上的绝缘层;
在所述绝缘层上的岛状单晶半导体层;
栅绝缘层,其包括:
接触于所述岛状单晶半导体层的顶面的第一绝缘层;以及
接触于所述岛状单晶半导体层的侧面的第二绝缘层,
在所述栅绝缘层上的栅电极,其中该栅电极被设置以横穿所述岛状单晶半导体层,
其中,所述第二绝缘层的介电常数小于所述第一绝缘层的介电常数,以及
其中所述第二绝缘层的表面相对于所述岛状单晶半导体层的侧面凸形弯曲。
2. 根据权利要求1所述的半导体装置,其中,所述第二绝缘层的一部分与所述栅电极重叠。
3. 根据权利要求1所述的半导体装置,其中,对所述栅绝缘层来说,跟接触于所述岛状单晶半导体层的顶面的区域相比,接触于所述岛状单晶半导体层的侧面的区域较厚。
4. 根据权利要求3所述的半导体装置,其中,所述栅绝缘层的厚度满足 $t_1 < t_2 \leq 3t_1$, 所述 t_1 为接触于所述岛状单晶半导体层的顶面的区域的厚度,而所述 t_2 为接触于所述岛状单晶半导体层的侧面的区域的厚度。
5. 根据权利要求1所述的半导体装置,其中,所述栅绝缘层包括夹在所述第一绝缘层和所述第二绝缘层之间的第三绝缘层。
6. 根据权利要求1所述的半导体装置,其中,所述岛状单晶半导体层的端部的锥形角为45度以上且低于95度。
7. 根据权利要求1所述的半导体装置,其中,所述衬底为单晶硅衬底。
8. 根据权利要求1所述的半导体装置,其中,所述绝缘层为埋氧膜。
9. 根据权利要求1所述的半导体装置,其中,所述半导体装置为选自包括RFID标签、ID标签、IC标签、RF标签、无线标签、以及电子标签的组中的一种。
10. 一种半导体装置的制造方法,包括如下步骤:
将SOI衬底的半导体层形成为岛状;
接触于所述岛状半导体层的顶面以及侧面地形成第一绝缘层;
将所述第一绝缘层有选择地去掉直至所述岛状半导体层的顶面露出,以形成接触于所述岛状半导体层的侧面的第二绝缘层;
接触于所述岛状半导体层的顶面以及所述第二绝缘层地形成第三绝缘层;
在所述第三绝缘层上横穿所述岛状半导体层地形成栅电极层。
11. 根据权利要求10所述的半导体装置的制造方法,其中,所述岛状半导体层被形成以使其端部的锥形角为45度以上且低于95度。
12. 一种半导体装置的制造方法,包括如下步骤:
将SOI衬底的半导体层形成为第一岛状半导体层;
接触于所述第一岛状半导体层的顶面以及侧面地形成第一绝缘层;
将所述第一绝缘层有选择地去掉直至所述第一岛状半导体层的顶面露出,以形成接触于所述第一岛状半导体层的侧面的第二绝缘层并且在所述第一岛状半导体层的上层中形

成非晶体区域；

去掉所述非晶体区域以形成第二岛状半导体层；

接触于所述第二岛状半导体层以及所述第二绝缘层地形成第三绝缘层；

在所述第三绝缘层上横穿所述第二岛状半导体层地形成栅电极层。

13. 一种半导体装置的制造方法,包括如下步骤:

将 SOI 衬底的半导体层形成成为第一岛状半导体层;

接触于所述第一岛状半导体层的顶面以及侧面地形成第一绝缘层;

对所述第一岛状半导体层和所述第一绝缘层进行以垂直方向为主体的各向异性刻蚀,来形成第二岛状半导体层和接触于所述第二岛状半导体层的侧面的第二绝缘层;

形成接触于所述第二岛状半导体层和所述第二绝缘层的第三绝缘层;

在所述第三绝缘层上横穿所述第二岛状半导体层地形成栅电极层。

14. 根据权利要求 13 所述的半导体装置的制造方法,其中,在其膜厚度为 60nm 至 70nm 的范围内形成所述第一岛状半导体层,并且在其膜厚度为 20nm 至 30nm 的范围内形成所述第二岛状半导体层。

15. 根据权利要求 13 所述的半导体装置的制造方法,其中,形成所述第二岛状半导体层以使其端部的锥形角为 45 度以上且低于 95 度。

16. 根据权利要求 13 所述的半导体装置的制造方法,其中,将所述第二绝缘层和所述第三绝缘层形成为栅绝缘层。

17. 根据权利要求 13 所述的半导体装置的制造方法,其中,所述第二绝缘层的介电常数小于所述第三绝缘层的介电常数。

18. 根据权利要求 13 所述的半导体装置的制造方法,其中,在形成所述栅电极层之后,进行热处理。

19. 根据权利要求 13 所述的半导体装置的制造方法,其中,使用通过 SIMOX 法形成的衬底作为所述 SOI 衬底。

20. 根据权利要求 13 所述的半导体装置的制造方法,其中,使用通过粘合法形成的衬底作为所述 SOI 衬底。

半导体装置以及其制造方法

技术领域

[0001] 本发明涉及使用 SOI (绝缘体上硅片) 衬底而制造的半导体装置以及其制造方法。

背景技术

[0002] 近年来,在 VLSI 技术飞跃地进步的情况下,实现高速化、低功耗化的 SOI 结构引人注目。该技术是利用薄膜单晶硅形成场效应晶体管 (FET;Field Effect Transistor) 的活性区 (沟道形成区) 而不利用现有的大块单晶硅的技术。

[0003] 在用于 SOI 结构的衬底中,典型的是,在单晶硅衬底上中间夹着埋氧层 (buried oxide film layer) 形成有薄膜硅层。因此,普遍知道如下事实:当使用 SOI 衬底来制造 MOS 型场效应晶体管 (MOSFET;Metal Oxide Semiconductor) 时,可以使寄生电容小于现有的使用大块单晶硅衬底的情况,而有利于高速化。

[0004] 图 12A 至 12C 表示使用 SOI 衬底的现有的薄膜晶体管的示意图。图 12A 表示薄膜晶体管的俯视图,图 12B 相当于图 12A 中的虚线 O-P 之间的截面图,图 12C 相当于图 12A 中的虚线 Q-R 之间的截面图。注意,在图 12A 中部分地省略构成薄膜晶体管的薄膜等。

[0005] 通过使用 SOI 衬底 9005 而形成图 12A 至 12C 所示的薄膜晶体管。在该 SOI 衬底 9005 中,在支撑衬底 9000 上依次层合形成有绝缘层 9002 和硅层 9006。硅层 9006 被形成成为岛状,并且在硅层 9006 上中间夹着栅绝缘层 9004 形成有用作栅电极的导电层 9012。此外,硅层 9006 包括中间夹着栅绝缘层 9004 形成在与导电层 9012 重叠的区域中的沟道形成区 9008 和用作源区或漏区的杂质区 9010。

[0006] [专利文件 1] 日本专利申请公开 2005-019859 号公报

[0007] 然而,在上述那样的使用 SOI 衬底的薄膜晶体管中起因于岛状硅层的端部而发生各种各样的缺陷。例如,在使用 SOI 衬底的情况下,可以通过使用热氧化法而使硅层的表面氧化,来形成栅绝缘层。虽然当利用热氧化法时,可以得到良好绝缘层,但是有如下问题:也从硅层的端部氧化发展,如图 12B 的虚线 9007 所示,栅绝缘层 9004 进入硅层的端部而形成。

[0008] 此外,有可能由于当将硅层形成为岛状时的蚀刻工序、利用氢氟酸等的洗涤工序等的影响,去掉设置在硅层的下层的绝缘层。特别在使硅层薄膜化的情况下,其影响进一步明显。此时,如图 12C 的虚线 9009 所示,在硅层的端部附近栅绝缘层的覆盖性容易变得不好。

[0009] 另一方面,在利用 CVD 法或溅射法而不利用热氧化法来形成栅绝缘层的情况下,由于在硅层的端部有台阶,所以在硅层的端部栅绝缘层的覆盖性容易变得不好。

[0010] 当在硅层的端部不能充分覆盖栅绝缘层时,有可能发生硅层和形成栅电极的导电层之间的短路或漏电流。此外,栅绝缘层的覆盖缺陷也成为元件或栅绝缘层的静电击穿 (ESD;Electro Static Discharge) 等的主要原因。特别是,为了提高薄膜晶体管的低功耗化或工作速度,希望栅绝缘层的薄膜化,并且当将栅绝缘层设置得薄时,硅层的端部的覆盖缺陷成为更明显的问题。再者,随着栅绝缘层的薄膜化,静电击穿的问题也进一步严重。

[0011] 此外,也有如下问题:在岛状硅层的端部,特别在形成栅电极的导电层以及硅层重叠的区域中,在角落部分(隅角部分)容易发生电场集中所引起的漏电流。

[0012] 当发生如上述那样的起因于硅层端部的问题时,薄膜晶体管的工作特性退化,并且可靠性也降低。此外,当制造半导体装置时,成品率降低,并且增加制造成本。

发明内容

[0013] 鉴于这种问题而创造出本发明,并且其目的在于提供一种提高可靠性且具有新结构的半导体装置以及其制造方法。本发明的半导体装置的结构包括:在支撑衬底上依次层合有绝缘层、岛状硅层的 SOI 衬底;设置在岛状硅层的一个表面上及侧面的栅绝缘层;中间夹着栅绝缘层而设置在岛状硅层上且横穿岛状硅层地设置的栅电极,其中,对栅绝缘层来说,跟接触于岛状硅层的一个表面上的区域相比,接触于岛状硅层的侧面的区域的介电常数小。

[0014] 此外,本发明的半导体装置的其他结构包括:在支撑衬底上依次层合有绝缘层、岛状硅层的 SOI 衬底;设置在岛状硅层的一个表面上及侧面的栅绝缘层;中间夹着栅绝缘层而设置在岛状硅层上且横穿岛状硅层地设置的栅电极,其中,对栅绝缘层来说,至少在与栅电极重叠的区域中,跟接触于岛状硅层的一个表面上的区域相比,接触于岛状硅层的侧面的区域的介电常数小。

[0015] 此外,本发明的半导体装置的其他结构包括:在支撑衬底上依次层合有绝缘层、岛状硅层的 SOI 衬底;设置在岛状硅层的一个表面上及侧面的栅绝缘层;中间夹着栅绝缘层而设置在岛状硅层上且横穿岛状硅层地设置的栅电极,其中,对栅绝缘层来说,跟接触于岛状硅层的一个表面上的区域相比,接触于岛状硅层的侧面的区域的厚度厚且介电常数小。

[0016] 此外,本发明的半导体装置的其他结构包括:在支撑衬底上依次层合有绝缘层、岛状硅层的 SOI 衬底;设置在岛状硅层的一个表面上及侧面的栅绝缘层;中间夹着栅绝缘层而设置在所述岛状硅层上且横穿岛状硅层地设置的栅电极,其中,对栅绝缘层来说,至少在与栅电极重叠的区域中,跟接触于岛状硅层的一个表面上的区域相比,接触于岛状硅层的侧面的区域的厚度厚且介电常数小。

[0017] 此外,在上述结构中,栅绝缘层的接触于岛状硅层的侧面的区域的厚度优选大于其岛状硅层的一个表面上的厚度的一倍且为三倍以下。换言之,当将栅绝缘层的岛状硅层的一个表面上的厚度设定为 t_1 并且将栅绝缘层的接触于岛状硅层的侧面的区域的厚度设定为 t_2 时,满足 $t_1 < t_2 \leq 3t_1$ 。

[0018] 此外,在上述结构中,设置在岛状硅层的一个表面上以及侧面的栅绝缘层也可以由接触于岛状硅层的一个表面上而设置的第一绝缘层和接触于岛状硅层的侧面而设置的第二绝缘层形成。

[0019] 此外,在上述结构中,设置在岛状硅层的一个表面上以及侧面的栅绝缘层也可以由设置在岛状硅层的一个表面上的第一绝缘层和设置在岛状硅层的侧面的第二绝缘层以及第三绝缘层形成。

[0020] 此外,在上述结构中,岛状硅层的端部的锥形角优选为 45 度以上且低于 95 度。

[0021] 此外,在上述结构中,作为 SOI 衬底,既可以使用 SIMOX(separation by implanted oxygen:注入氧隔离)衬底,又可以使用粘合衬底(bonded substrate)。

[0022] 此外,本发明的半导体装置的制造方法之一包括如下步骤:将 SOI 衬底的硅层形成成为岛状;接触于岛状硅层的一个表面上以及侧面地形成第一绝缘层;通过将第一绝缘层有选择地去掉至岛状硅层的一个表面露出,来形成接触于岛状硅层的侧面的第二绝缘层;接触于岛状硅层的一个表面以及第二绝缘层地形成第三绝缘层;中间夹着第三绝缘层而在岛状硅层的一个表面上横穿岛状硅层地形成栅电极层。

[0023] 此外,在上述制造方法中,优选将岛状硅层形成为其端部的锥形角成为 45 度以上且低于 95 度。

[0024] 此外,本发明的半导体装置的制造方法之一包括如下步骤:将 SOI 衬底的硅层形成成为岛状来形成第一硅层;接触于第一硅层的一个表面以及侧面地形成第一绝缘层;通过将第一绝缘层有选择地去掉至岛状第一硅层的一个表面露出,来形成接触于第一硅层的侧面的第二绝缘层,同时,在第一硅层的上层中形成非晶体区域;去掉形成在第一硅层中的非晶体区域,来形成岛状第二硅层;接触于第二硅层以及第二绝缘层地形成第三绝缘层;中间夹着第三绝缘层而在第二硅层的一个表面上横穿第二硅层地形成栅电极层。

[0025] 此外,本发明的半导体装置的制造方法之一包括如下步骤:将 SOI 衬底的硅层形成成为岛状来形成第一硅层;接触于第一硅层的一个表面以及侧面地形成第一绝缘层;通过利用以垂直方向为主体的各向异性刻蚀来使第一硅层以及第一绝缘层薄膜化,来形成岛状第二硅层以及接触于第二硅层的侧面的第二绝缘层;接触于第二硅层以及第二绝缘层地形成第三绝缘层;中间夹着第三绝缘层而在第二硅层的一个表面上横穿第二硅层地形成栅电极层。

[0026] 此外,在上述制造方法中,可以在其膜厚度为 60nm 至 70nm 的范围内形成第一硅层,并且,在其膜厚度为 20nm 至 30nm 的范围内形成第二硅层。

[0027] 此外,优选将第二硅层的端部形成为其锥形角成为 45 度以上且低于 95 度。

[0028] 此外,在上述制造方法中,将第二绝缘层以及第三绝缘层形成成为栅绝缘层。此外,优选形成其介电常数小于第三绝缘层的层作为第二绝缘层。

[0029] 此外,在上述制造方法中,也可以在形成栅电极层之后,进行热处理。

[0030] 此外,作为 SOI 衬底,既可以使用通过 SIMOX 法而形成的衬底,又可以使用通过粘合法(wafer bonding)而形成的衬底。

[0031] 通过适用本发明,可以降低起因于具有沟道形成区的硅层的端部的缺陷。因此,可以降低硅层的端部的特性所对于半导体装置造成的影响,并且可以提供提高可靠性的半导体装置。此外,在半导体装置的制造工序中,可以提高成品率。

附图说明

[0032] 图 1A 至 1C 是表示涉及本发明的半导体装置的主要结构的例子的图;

[0033] 图 2A1 至 2C2 是表示涉及本发明的半导体装置的制造方法的例子的图;

[0034] 图 3A1 至 3C2 是表示涉及本发明的半导体装置的制造方法的例子的图;

[0035] 图 4A 至 4C2 是表示涉及本发明的半导体装置的制造方法的例子的图;

[0036] 图 5A1 至 5C2 是表示涉及本发明的半导体装置的制造方法的例子的图;

[0037] 图 6A 至 6F 是表示涉及本发明的半导体装置的制造方法的例子的图;

[0038] 图 7A 至 7C2 是表示涉及本发明的半导体装置的制造方法的例子的图;

[0039] 图 8A1 至 8C2 是表示涉及本发明的半导体装置的制造方法的例子的图；
[0040] 图 9A 至 9F 是表示涉及本发明的半导体装置的制造方法的例子的图；
[0041] 图 10A 至 10C2 是表示涉及本发明的半导体装置的制造方法的例子的图；
[0042] 图 11A1 至 11C2 是表示涉及本发明的半导体装置的制造方法的例子的图；
[0043] 图 12A 至 12C 是表示现有的半导体装置的结构例子的图；
[0044] 图 13A 至 13C2 是表示涉及本发明的半导体装置的制造方法的例子的图；
[0045] 图 14A1 至 14C2 是表示涉及本发明的半导体装置的制造方法的例子的图；
[0046] 图 15A1 至 15B2 是表示涉及本发明的半导体装置的制造方法的例子的图；
[0047] 图 16A 至 16C 是表示涉及本发明的半导体装置的结构例子的图；
[0048] 图 17 是表示涉及本发明的半导体装置的结构例子的图；
[0049] 图 18 是表示等离子体处理装置的结构例子的图；
[0050] 图 19A 至 19C 是表示涉及本发明的半导体装置的主要结构的例子的图；
[0051] 图 20A 至 20D 是表示涉及本发明的半导体装置的制造方法的例子的图；
[0052] 图 21A 至 21D 是表示涉及本发明的半导体装置的制造方法的例子的图；
[0053] 图 22A 至 22C 是表示涉及本发明的半导体装置的制造方法的例子的图；
[0054] 图 23A 至 23D 是表示涉及本发明的半导体装置的制造方法的例子的图；
[0055] 图 24A 至 24C 是表示涉及本发明的半导体装置的制造方法的例子的图；
[0056] 图 25A 至 25C 是表示涉及本发明的半导体装置的制造方法的例子的图；
[0057] 图 26A 至 26E 是表示 SOI 衬底的制造方法的例子的图；
[0058] 图 27 是表示涉及本发明的半导体装置的一个例子的方块图；
[0059] 图 28A 至 28H 是表示涉及本发明的半导体装置的使用方式的例子的图；
[0060] 图 29A 至 29C 是表示涉及本发明的半导体装置的一个例子的俯视图以及截面图；
[0061] 图 30A 至 30D 是说明可以适用于涉及本发明的半导体装置的天线的图；
[0062] 图 31A 至 31C 是表示涉及本发明的半导体装置的一个例子的方块图以及使用方式的例子的图。

具体实施方式

[0063] 下面,关于本发明的实施方式参照附图而说明。但是,本发明不局限于以下的说明,所属技术领域的普通人员可以很容易地理解一个事实,就是其方式及详细内容可以被变换为各种各样的形式而不脱离本发明的宗旨及其范围。因此,本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。注意,在以下说明的本发明的结构中,有时在不同附图中共同使用表示相同部分的符号。

[0064] 实施方式 1

[0065] 图 1A 至 1C 是为了说明涉及本发明的半导体装置的主要结构的俯视图以及截面图。图 1A 至 1C 特别表示薄膜晶体管的结构,图 1A 表示俯视图,图 1B 表示图 1A 中的虚线 O-P 之间的截面图,图 1C 表示图 1A 中的虚线 Q-R 之间的截面图。注意,在图 1A 中,部分地省略薄膜等。

[0066] 通过利用 SOI 衬底 105 来形成图 1A 至 1C 所示的薄膜晶体管 120。薄膜晶体管 120 由 SOI 衬底 105 的硅层 106、接触于硅层 106 的侧面而设置的绝缘层 108、设置在硅层 106 的

一个表面上的绝缘层 110、中间夹着该绝缘层 110 而设置在硅层 106 上的导电层 112 构成。

[0067] 作为 SOI 衬底 105, 使用通过 SIMOX 法或粘合法而形成的衬底。在本实施方式中, 使用在支撑衬底 100 上依次形成有绝缘层 102、硅层 106 的衬底。

[0068] 硅层 106 被形成成为岛状。此外, 因为利用 SOI 衬底 105 的表面硅层作为硅层 106, 所以利用单晶硅而形成硅层 106。在其膜厚度为 10nm 至 150nm、优选为 30nm 至 100nm、或者 10nm 至 30nm 的范围内形成硅层 106, 即可。

[0069] 此外, 优选将硅层 106 的端部形成得近于垂直形状。具体地说, 将硅层 106 的端部形成为其锥形角成为 45 度以上且低于 95 度、优选为 60 度以上且低于 95 度, 即可。通过将硅层 106 的端部形成得近于垂直形状, 可以降低在用作栅电极的导电层 112 和硅层 106 的端部重叠的区域中硅层 106 的端部和导电层 112 通过接触于硅层 106 的侧面的栅绝缘层而形成的寄生沟道。这是因为通过将硅层的端部形成得近于垂直形状, 跟在将硅层的端部形成成为具有慢坡的锥形角 (例如, 锥形角为 45 度以下) 的情况相比, 可以减少在整个硅层的面积中硅层的端部所占有的面积的缘故。注意, 寄生沟道是指形成在与在沟道形成区中与连接源区和漏区的方向大体上平行地形成的沟道交叉为垂直或斜对过的方向上且在沟道形成区的端部的沟道。因为当形成寄生沟道时发生漏电流, 所以将硅层的端部加工为近于垂直形状的形状以防止寄生沟道是非常有效于降低完成的半导体装置的特性的不均匀性且提高可靠性。

[0070] 此外, 锥形角是指在具有锥形形状的层中该具有锥形形状的层的侧面和该具有锥形形状的层的底面所形成的倾斜角。注意, 也可以将硅层 106 的端部形成为其锥形角为 30 度以上且低于 85 度、或者 45 度以上且低于 60 度的慢坡的锥形形状。可以通过将硅层 106 的端部形成成为锥形形状且使其角落部分 (隅角部分) 成为慢坡, 来缓和电场集中在该角落部分。

[0071] 注意, 在本说明书中, 硅层的“端部”是指形成成为岛状的硅层的边部分 (边缘部分)。硅层的“侧面”是指硅层的边部分的面。

[0072] 硅层 106 包括沟道形成区 114、用作源区或漏区的杂质区 116。在杂质区 116 中添加有赋予一导电型的杂质元素。此外, 也可以在沟道形成区 114 中添加有赋予一导电型的杂质元素以控制晶体管的阈值电压。沟道形成区 114 中间夹着绝缘层 110 被形成在与导电层 112 大体上一致的区域的硅层 106 中并且是位于杂质区 116 之间的。

[0073] 此外, 也可以在硅层 106 中形成用作 LDD (轻掺杂漏) 区的低浓度杂质区。可以在沟道形成区和用作源区或漏区的杂质区之间形成低浓度杂质区。此外, 跟用作源区或漏区的杂质区相比, 低浓度杂质区的杂质浓度低。

[0074] 与硅层 106 的侧面接触地形成有绝缘层 108。此外, 在硅层 106 的一个表面上以及绝缘层 108 上形成有绝缘层 110。绝缘层 108 以及绝缘层 110 用作薄膜晶体管 120 的栅绝缘层。换言之, 涉及本发明的栅绝缘层不是由一个绝缘层构成的, 而是由多个绝缘层的复合物构成的。注意, 多个绝缘层的边界也可以为不明确的。

[0075] 可以通过利用接触于硅层 106 的侧面的绝缘层 108、接触于硅层 106 的一个表面以及绝缘层 108 的绝缘层 110 来形成栅绝缘层, 提高在硅层 106 的端部的栅绝缘层的覆盖性。因此, 可以防止起因于在硅层 106 的端部的栅绝缘层的覆盖缺陷的缺陷。

[0076] 此外, 对由绝缘层 108 以及绝缘层 110 形成的栅绝缘层来说, 跟形成在硅层 106 的

一个表面上的区域相比,接触于硅层 106 的侧面的区域的膜厚度优选厚。例如,将从硅层 106 的一个表面上延伸的垂直线和栅绝缘层的最表面的交点的距离设定为膜厚 t_1 。并且,将从硅层 106 的侧面延伸的垂直线和栅绝缘层的最表面的交点的距离设定为膜厚 t_2 。此时,栅绝缘层优选满足膜厚 $t_1 < \text{膜厚 } t_2$ 。例如,可以满足 $t_1 < t_2 \leq 3t_1$ 。注意,接触于硅层 106 的侧面的区域的膜厚,例如从硅层 106 的侧面延伸的垂直线和栅绝缘层的最表面的交点的距离的膜厚 t_2 并不一定为一定值。在此情况下,跟膜厚 t_1 相比,膜厚 t_2 的最小值优选与膜厚 t_1 相同或大于膜厚 t_1 。通过利用栅绝缘层充分地覆盖硅层 106 的端部,优选的是,使接触于硅层 106 的侧面的区域的膜厚增加,可以缓和施加到硅层 106 的端部的电场并且防止发生漏电流。

[0077] 此外,对由绝缘层 108 以及绝缘层 110 形成的栅绝缘层来说,跟形成在硅层 106 的一个表面上的区域相比,接触于硅层 106 的侧面的区域的介电常数优选小。例如,通过使绝缘层 108 的介电常数小于绝缘层 110,可以使接触于硅层 106 的侧面的区域的栅绝缘层的介电常数小。优选的是,利用介电常数为 4 以下的低介电常数材料来形成绝缘层 108,即可。通过在栅绝缘层中使接触于硅层 106 的侧面的区域的介电常数小于接触于硅层 106 的一个表面上的区域,可以缓和电场集中在硅层 106 的端部、特别在角落部分(隅角部分)。结果,可以防止对栅绝缘层局部性地施加过度电场,并且防止栅绝缘层的绝缘缺陷。因此,可以成品率好地制造半导体装置,并且提高完成的半导体装置的可靠性。

[0078] 注意,在此,接触于硅层 106 的侧面地形成绝缘层 108 以围绕形成为岛状的硅层 106 的周围。此外,也可以说,绝缘层 108 具有开口部以使硅层 106 的上表面露出。

[0079] 注意,如上所述,当将硅层形成为岛状时,容易发生起因于硅层的端部的各种各样的缺陷。尤其在与栅电极重叠的硅层的端部、还在形成在与栅电极重叠的硅层的端部的沟道形成区的端部(沟道形成区和用作源区或漏区的杂质区的边界附近)容易发生缺陷,并且容易受到静电破坏等的影响。作为其主要原因,可以举出如下:沟道形成区的端部以及栅电极在两者重叠的区域中通过接触于沟道形成区的端部(硅层的端部)的侧面的栅绝缘层容易形成寄生沟道;在沟道形成区中,跟其中间附近相比,对其端部(与用作源区或漏区的杂质区的边界附近)施加高电压;当加工形成在上层的栅电极层(导电层)时受到蚀刻等的影响;在硅层的端部栅绝缘层局部性地变薄等。因此,通过至少在栅电极层和硅层的端部重叠的区域中,接触于硅层的侧面地形成绝缘层,可以减少绝缘击穿、静电击穿、漏电流等缺陷。例如,如图 16A 至 16C 所示,在形成为岛状的硅层 106 的端部和用作栅电极的导电层 112 重叠的区域中,形成有接触于硅层 106 的侧面的绝缘层 208,即可。图 16A 表示俯视图,图 16B 相当于图 16A 中的虚线 O-P 之间的截面图,图 16C 相当于图 16A 中的虚线 Q-R 之间的截面图。在此,只在导电层 112 和硅层 106 的端部重叠的区域以及其附近形成有绝缘层 208。因此,在图 16B 中,在硅层 106 的侧面不形成有绝缘层 208,并且,在图 16C 中,接触于硅层 106 的侧面地形成有绝缘层 208。

[0080] 如图 16A 至 16C 所示,通过至少在用作栅电极的导电层和硅层的端部重叠的区域中形成接触于硅层的侧面的绝缘层,可以防止硅层的端部以及用作栅电极的导电层之间的短路。例如,如图 17 所示,即使在硅层 106 的端部附近去掉在硅层 106 下的绝缘层 102,也通过形成接触于硅层 106 的侧面的绝缘层 218,可以充分地覆盖硅层 106 的端部。尤其是,适用本发明来提高栅绝缘层的覆盖性在如下情况下是非常有效的:栅绝缘层的膜厚度处于

几 nm 至几十 nm 的范围内且薄于硅层的膜厚度。此外,通过适用本发明,可以缓和电场集中在硅层的端部并且防止 / 减少漏电流。特别通过在栅绝缘层中,使接触于硅层的侧面的区域的介电常数小于接触于硅层的一个表面上的区域,可以缓和局部性地施加电场,因此是很有效的。如上所述,通过接触于硅层的侧面、特别用作栅电极的导电层和硅层的端部重叠的区域中的硅层的侧面地形成绝缘层,可以提高完成的半导体装置的可靠性以及工作特性。

[0081] 可以通过利用氧化硅、氮化硅、氧氮化硅、氮氧化硅、氮化铝、SiOF(含氟氧化硅)、SiOC(含碳氧化硅)、DLC(类金刚石碳)、多孔二氧化硅(porous silica)等材料以单层结构或层合结构形成绝缘层 108 以及绝缘层 110。此外,既可以使用相同材料来形成绝缘层 108 以及绝缘层 110,又可以使用不同材料来形成。在本实施方式中,使用氧化硅层来形成绝缘层 108,并且使用氮化硅层来形成绝缘层 110。

[0082] 注意,优选通过使用介电常数小于绝缘层 110 的材料来形成绝缘层 108。此外,优选通过利用介电常数大约为 4 以下的低介电常数材料诸如 SiOF、SiOC、DLC、多孔二氧化硅等来形成绝缘层 108。注意,介电常数为 4 以下的低介电常数材料也称为 low-k 材料,并且使用 low-k 材料而制造的薄膜也称为 low-k 薄膜。如此,通过使用介电常数小于绝缘层 110 的材料来形成绝缘层 108,可以使接触于硅层的侧面的区域的栅绝缘层的介电常数小于接触于硅层的一个表面上的区域。

[0083] 在硅层 106 上中间夹着绝缘层 110 形成有用作栅电极的导电层 112。可以通过使用钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铬(Cr)、铝(Al)、铜(Cu)、或铌(Nb)等金属元素、或者包含该金属元素的合金材料或化合物材料,来形成导电层 112。作为化合物材料,可以使用氮化合物、氧化合物、碳化合物、卤化合物等,并且,可以具体地举出氮化钨、氮化钛、氮化铝等。通过使用这些材料中的一种或多种以单层结构或层合结构来形成导电层 112。此外,也可以使用添加有磷等赋予一导电型的杂质元素的多晶硅,来形成导电层 112。

[0084] 下面,参照图 2A1 至 2C2 具体地说明图 1A 至 1C 所示的薄膜晶体管 120 的制造方法。

[0085] 首先,准备 SOI 衬底 105。在此,使用在支撑衬底 100 上依次层合形成有绝缘层 102、硅层 104 的 SOI 衬底 105(参照图 2A1、2A2)。

[0086] 在本发明中,可以使用已知的 SOI 衬底,并且其制造方法或结构没有特别的限制。作为 SOI 衬底,可以典型地举出 SIMOX 衬底、粘合衬底。此外,作为粘合衬底的例子,可以举出 ELTRAN(注册商标)、UNIBOND(注册商标)等。

[0087] 例如,对 SIMOX 衬底来说,可以通过对单晶硅衬底 11 注入氧离子 12 并且在 1300℃ 以上进行热处理来形成埋氧(BOX;Buried Oxide)层 14,来在其表面上形成薄膜硅层 16,而得到 SOI 结构。通过利用埋氧层 14,薄膜硅层 16 与单晶硅衬底 11 绝缘分离(参照图 26A 和 26B)。此外,也可以使用在形成埋氧层之后还进行热氧化的称为 ITOX(内部热氧化;Internal Thermal Oxidation)的技术。

[0088] 另一方面,对粘合衬底来说,可以通过中间夹着氧化膜层 22 将两个单晶硅衬底(第一单晶硅衬底 20、第二单晶硅衬底 24)粘在一起,并且从不粘合单晶硅衬底的一个表面进行薄膜化,来在表面上形成薄膜硅层 26,而得到 SOI 结构。可以通过对一个衬底(在此,第一单晶硅衬底 20)进行热氧化,来形成氧化膜层 22。此外,可以直接将两个单晶硅衬底粘

在一起而不利用粘合剂。例如,可以通过在对第一单晶硅衬底 20 进行热处理来形成氧化膜层 22 之后,使它与第二单晶硅衬底 24 重叠,并在 800℃ 以上、优选为 1100℃ 左右进行热处理,而利用在粘合界面的化学键,来将两个衬底粘在一起。然后,可以通过从不粘合的表面一侧对第二单晶硅衬底 24 进行研磨,来形成具有所希望的厚度的薄膜硅层 26 (参照图 26C、26D、26E)。另外,也可以使用称为智能剥离 (Smart-Cut, 注册商标) 法的技术。该技术是如下的:在粘合之后对第二单晶硅衬底 24 不进行研磨,而在第二单晶硅衬底 24 的规定深度的区域中注入氢离子来形成微小空隙,并且利用热处理所引起的该微小空隙的成长来劈开衬底。此外,在对第二单晶硅衬底进行研磨之后,也可以使用称为 PACE (等离子体辅助化学蚀刻; Plasma Assisted Chemical Etching) 的技术。该技术是如下的:利用小型等离子体蚀刻装置在进行局部性的控制的同时对衬底进行蚀刻,而实现薄膜化。

[0089] 在本实施方式所示的 SOI 衬底 105 中,支撑衬底 100 相当于图 26A 至 26E 所示的单晶硅衬底,绝缘层 102 相当于埋氧层或氧化膜层,硅层 104 相当于形成在表面上的薄膜硅层。

[0090] 硅层 104 是 SOI 衬底 105 的表面硅层,并且它是单晶硅层。通过当制造 SOI 衬底 105 时控制研磨量、离子注入的深度等条件,可以适当地选择 SOI 衬底 105 的表面硅层的膜厚度。例如,可以形成其膜厚度处于 40nm 至 200nm 的范围内的表面硅层。在本实施方式中,在其膜厚度为 10nm 至 150nm 的范围内、优选为 30nm 至 100nm、或者 10nm 至 30nm 的范围内形成硅层。

[0091] 接着,有选择地蚀刻硅层 104,来形成岛状硅层 106 (参照图 2B1、2B2)。此时,既可以将硅层 106 形成为其端部成为垂直形状,又可以将硅层 106 形成为其端部成为锥形形状。通过改变蚀刻条件等,可以适当地选择硅层 106 的端部的形状。优选将硅层 106 的端部形成为其锥形角成为 45 度以上且低于 95 度、更优选为 60 度以上且低于 95 度,即可。通过将硅层 106 的端部形成得近于垂直形状,可以减少寄生沟道。

[0092] 接着,覆盖硅层 106 地形成绝缘层 107 (以下,也称为第一绝缘层 107) (参照图 2C1 和 2C2)。通过利用 CVD 法或溅射法且使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、SiOF、SiOC、DLC、多孔二氧化硅 (poroussilica) 等材料,来形成第一绝缘层 107。

[0093] 以能够充分地覆盖硅层 106 的端部的膜厚度形成第一绝缘层 107。优选在其膜厚度为形成在下层的硅层 106 的膜厚度的 1.5 倍至 3 倍的范围内形成第一绝缘层 107。

[0094] 接着,通过对第一绝缘层 107 进行以垂直方向为主体的各向异性刻蚀而有选择地蚀刻,来形成接触于硅层 106 的侧面的绝缘层 108 (以下,也称为第二绝缘层 108) (参照图 3A1 和 3A2)。

[0095] 当对第一绝缘层 107 进行以垂直方向为主体的各向异性刻蚀时,从形成在硅层 106 的一个表面上以及绝缘层 102 上的第一绝缘层 107 逐渐被蚀刻。注意,在硅层 106 的一个表面上以及绝缘层 102 上形成具有大致相同的膜厚度的第一绝缘层 107。因此,通过当硅层 106 的一个表面露出时停止蚀刻,可以只在接触于硅层 106 的侧面的区域以及其附近留下第一绝缘层 107。留下的第一绝缘层 107 相当于第二绝缘层 108。注意,通过将硅层 106 的端部形成得近于垂直形状,可以容易只在接触于硅层 106 的侧面的区域以及其附近留下第一绝缘层 107。就是说,可以容易形成第二绝缘层 108。

[0096] 只要是进行以垂直方向为主体的各向异性刻蚀的,就对第一绝缘层 107 的

蚀刻方法没有特别限制。例如,可以利用反应离子刻蚀(RIE:Reactive Ion Etching)。此外,根据等离子体发生法,反应离子刻蚀被分类为平行平板方式、磁控方式、2 频率方式(dual-frequency type)、ECR 方式、黑里康(helicon)方式、ICP 方式等。作为此时使用的蚀刻气体,选择在第一绝缘层 107 和此外的层(硅层 106)之间可以取得高蚀刻选择比的,即可。当有选择地蚀刻绝缘层时,例如可以使用 CHF_3 、 CF_4 、 C_4F_8 、 C_2F_6 、 NF_3 等氟类气体。此外,也可以适当地追加 He、Ar、Xe 等惰性气体、或者 O_2 气、 H_2 气。

[0097] 通过适当地选择用来形成薄膜的材料、蚀刻条件等,可以改变第二绝缘层 108 的形状。在本实施方式中,将第二绝缘层 108 形成为其从底面(接触于绝缘层 102 的面)的朝垂直方向的高度与硅层 106 大体上一致。此外,将第二绝缘层 108 的不接触于硅层 106 的侧面的面形成为弯曲状。具体地说,将它形成为具有任意曲率且对于接触的硅层 106 的侧面弯曲为凸形状。当然,本发明没有特别限制,也可以将第二绝缘层 108 形成为具有角的形状,而不是弯曲状。优选的是,当将第二绝缘层 108 的角落部分形成为慢坡的形状时,可以使层合在上层的层(在此,绝缘层 110)的覆盖性良好。注意,蚀刻条件除了是指蚀刻气体的种类、各种气体的流量比率之外,还是指施加到装有衬底的电极的电力量、装有衬底的电极的电极温度、反应室内的压力等。

[0098] 接着,在硅层 106 以及第二绝缘层 108 上形成绝缘层 110(以下,也称为第三绝缘层 110)(参照图 3B1 和 3B2)。通过利用 CVD 法或溅射法且使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、氮化铝等材料,来形成第三绝缘层 110。此外,通过使用这些材料中的一种或多种以单层结构或层合结构来形成第三绝缘层 110。在其膜厚度为 1nm 至 50nm、优选为 1nm 至 20nm、更优选为 1nm 至 10nm 的范围内形成第三绝缘层 110。在本实施方式中,以 20nm 的膜厚度形成氧氮化硅层作为第三绝缘层 110。

[0099] 此外,也可以使用利用等离子体处理的固相氧化或固相氮化来形成第三绝缘层 110。例如,可以通过利用等离子体处理使硅层 106 以及第二绝缘层 108 氧化或氮化,来形成第三绝缘层 110。

[0100] 对利用等离子体处理的固相氧化处理或固相氮化处理来说,优选利用如下等离子体而进行:利用微波(典型为 2.45GHz)等高频波来激发,并且其电子密度为 $1 \times 10^{11} \text{cm}^{-3}$ 以上且 $1 \times 10^{13} \text{cm}^{-3}$ 以下,且其电子温度为 0.5eV 以上且 1.5eV 以下。这是因为为了在固相氧化处理或固相氮化处理中,在 500℃ 以下的温度下形成细致的绝缘层的同时获得实用反应速度的缘故。

[0101] 在通过等离子体处理使硅层 106 以及第二绝缘层 108 的表面氧化的情况下,在包含氧的气氛中(例如,在包含氧(O_2)、臭氧(O_3)、一氧化二氮(N_2O)、一氧化氮(NO)或二氧化氮(NO_2)以及稀有气体(含有氦(He)、氖(Ne)、氩(Ar)、氪(Kr)、氙(Xe)中的至少一种)的气氛中;或者,在包含氧(O_2)、臭氧(O_3)、一氧化二氮(N_2O)、一氧化氮(NO)或二氧化氮(NO_2)、氢(H_2)以及稀有气体的气氛中)进行。此外,在通过等离子体处理使硅层 106 以及绝缘层 108 的表面氮化的情况下,在包含氮的气氛中(例如,在包含氮(N_2)和稀有气体(包含 He、Ne、Ar、Kr、Xe 中的至少一种)的气氛中;在包含氮、氢和稀有气体的气氛中;或者,在包含 NH_3 和稀有气体的气氛中)进行等离子体处理。作为稀有气体,例如优选使用 Ar。此外,也可以使用 Ar 和 Kr 的混合气体。

[0102] 在此,图 18 示出用于进行等离子体处理的等离子体处理装置 1080 的结构例子。该

等离子体处理装置 1080 包括：支撑台 1088；用来供应气体的气体供应部分 1084；为了排除气体而连接到真空泵的排气口 1086；天线 1098；电介质板 1082；以及输入用于产生等离子体的高频波的高频波供应部分 1092。利用支撑台 1088 保持被处理体 1010。另外，通过将温度控制部分 1090 设置到支撑台 1088，也可以控制被处理体 1010 的温度。被处理体 1010 是被进行等离子体处理的基体，在本实施方式中，它相当于在支撑衬底 100 上依次形成有绝缘层 102、岛状硅层 106 的层合体。

[0103] 下面，说明使用图 18 所示的等离子体处理装置 1080 在硅层的表面上形成绝缘层的具体例子。注意，等离子体处理将对衬底、硅层、绝缘层、导电层进行的氧化处理、氮化处理、氧氮化处理、氢化处理、表面改性处理包含在其范畴中。在这些处理中，根据其目的而选择从气体供应部分 1084 供应的气体，即可。

[0104] 首先，使图 18 所示的等离子体处理装置 1080 的处理室内成为真空。然后，从气体供应部分 1084 供应稀有气体、包含氧或氮的气体。在室温或利用温度控制部分 1090 而获得的 100°C 以上且 550°C 以下的温度范围内加热被处理体 1010。被处理体 1010 和电介质板 1082 之间的间隔（以下，也称为电极间隔）是 20mm 以上且 200mm 以下（优选为 20mm 以上且 60mm 以下）左右。

[0105] 接着，从高频波供应部分 1092 将高频波输入到天线 1098。在此，输入微波（频率为 2.45GHz ）作为高频波。并且，通过从天线 1098 经过电介质板 1082 将微波输入到处理室内，来产生等离子体 1094，并且通过利用该等离子体 1094，来产生氧基（也有时包含 OH 基）或氮基（也有时包含 NH 基）。此时，通过利用被供应的气体，来产生等离子体 1094。

[0106] 当通过输入微波而产生等离子体 1094 时，可以产生低电子温度（ 3eV 以下、优选为 1.5eV 以下）且高电子密度（ $1 \times 10^{11}\text{cm}^{-3}$ 以上）的等离子体。具体地说，优选产生电子温度为 0.5eV 以上且 1.5eV 以下，并且电子密度为 $1 \times 10^{11}\text{cm}^{-3}$ 以上且 $1 \times 10^{13}\text{cm}^{-3}$ 以下的等离子体。注意，在本说明书中，通过输入微波而产生的低电子温度且高电子密度的等离子体也称为高密度等离子体。此外，利用高密度等离子体而进行等离子体处理也称为高密度等离子体处理。

[0107] 通过利用由于等离子体 1094 而产生的氧基（也有时包含 OH 基）或氮基（也有时包含 NH 基），来使形成在被处理体 1010 中的硅层的表面氧化或氮化而形成绝缘层。此时，当将氩等稀有气体混合在供应的气体中时，可以利用稀有气体的激发种类有效率地产生氧基或氮基。注意，在使用稀有气体作为供应气体的情况下，有时在形成的绝缘层中含有稀有气体。通过有效地使用利用等离子体而激发的激活基，可以在 500°C 以下的低温度下进行利用固相反应的氧化、氮化。

[0108] 作为利用使用图 18 所示的装置的高密度等离子体处理而形成的理想的第三绝缘层 110 的一个例子，通过利用在包含氧的气氛中的等离子体处理在硅层 106 的一个表面上以 3nm 至 6nm 的厚度形成氧化硅层，然后在包含氮的气氛中对于该氧化硅层的表面进行氮化等离子体处理，来形成氮等离子体处理层。具体地说，首先通过在包含氧的气氛中进行等离子体处理，在硅层 106 的一个表面上以 3nm 至 6nm 的厚度形成氧化硅层。然后，通过继续在包含氮的气氛中进行等离子体处理，在氧化硅层的表面或者其表面附近设置氮浓度高的氮等离子体处理层。注意，表面附近是指从氧化硅层的表面大约有 0.5nm 至 1.5nm 的范围的深度。例如，通过在包含氮的气氛中进行等离子体处理，来得到在从氧化硅层的表面朝

垂直方向大约有 1nm 的深度以 20 原子%至 50 原子%的比率含有氮的结构。此外,可以利用高密度等离子体处理也使绝缘层 108、绝缘层 102 的表面氧化或氮化。

[0109] 例如,可以通过利用等离子体处理使为单晶硅的硅层 106 的表面氧化,来形成没有界面畸变的细致的氧化层。此外,当通过利用等离子体处理使该氧化层氮化,来使氮取代在其表层部的氧来形成氮化层时,可以进一步实现细致化。由此,可以形成绝缘耐压高的绝缘层。

[0110] 总之,通过使用上述那样的利用等离子体处理的固相氧化处理或者固相氮化处理,可以得到与在 950℃至 1050℃的范围内形成的热氧化膜同等的绝缘层。换言之,可以形成可靠性高的绝缘层作为用作半导体元件,特别是薄膜晶体管或非易失性存储元件的栅绝缘膜的绝缘层。

[0111] 接着,中间夹着第三绝缘层 110 在硅层 106 上形成用作栅电极的导电层 112(参照图 3C1、3C2)。可以通过使用钽 (Ta)、钨 (W)、钛 (Ti)、钼 (Mo)、铬 (Cr)、铝 (Al)、铜 (Cu) 或铌 (Nb) 等金属元素、或者包括该金属元素的合金材料或化合物材料,来形成导电层 112。此外,也可以使用以添加有磷等赋予一导电型的杂质元素的多晶硅为典型的半导体材料,来形成导电层 112。可以在通过使用这些材料且利用 CVD 法或溅射法在整个表面上形成导电层 112 之后有选择地蚀刻该导电层 112,来将它加工为所希望的形状。此外,导电层 112 可以为单层结构或层合结构。在其膜厚度为 100nm 至 1000nm、优选为 200nm 至 800nm、更优选为 300nm 至 500nm 的范围内形成导电层 112。

[0112] 接着,通过对硅层 106 有选择地添加赋予一导电型的杂质元素,来形成沟道形成区 114、用作源区或漏区的杂质区 116。在此,以导电层 112 作为掩模,添加赋予一导电型的杂质元素。作为赋予一导电型的杂质元素,可以使用硼 (B)、铝 (Al)、镓 (Ga) 等赋予 p 型的元素、以及磷 (P)、砷 (As) 等赋予 n 型的元素。

[0113] 注意,优选的是,通过在对硅层 106 添加赋予一导电型的杂质元素之后进行热处理,使添加的杂质元素激活。可以通过照射激光束、或者使用 RTA 或退火炉,来进行热处理。具体地说,在 400℃至 700℃、优选为 500℃至 550℃的温度范围内进行热处理,即可。此外,优选在氮气氛中进行热处理。例如,可以通过在 550℃进行四个小时的加热,来实现激活。此外,有时当有选择地蚀刻第一绝缘层 107 而形成第二绝缘层 108 时,由于蚀刻条件、用来形成各薄膜的材料或膜厚度等,硅层 106 的一部分非晶体化。在此情况下,通过进行热处理,除了实现激活以外,还可以实现硅层的重新晶化。

[0114] 以上述工序,可以形成适用本发明而成的薄膜晶体管 120。注意,本实施方式所示的 TFT 的结构只是一个例子,而不局限于图示的结构。例如,也可以采用多栅结构,其包括:具有串联连接的至少两个以上的沟道形成区的硅层;以及对各沟道形成区施加电场的至少两个以上的栅电极层。此外,也可以在 TFT 的硅层中形成 LDD 区。

[0115] 此外,虽然在本实施方式中示出形成单层导电层作为栅电极的例子,但是本发明没有特别限制。既可以将栅电极的侧面形成为锥形形状,又可以将栅电极形成为由两层以上导电层构成的层合结构。此外,也可以将栅电极形成为由两层导电层构成的层合结构并且使各层的锥形角度不同。此外,也可以接触于用作栅电极的导电层的侧面地形成也称为侧壁的绝缘层。

[0116] 当使用适用本发明而制造的薄膜晶体管时,可以减少起因于岛状硅层的端部的缺

陷。因此,可以制造可靠性高的半导体装置。此外,也可以以成品率好的方式制造半导体装置。

[0117] 注意,可以将本实施方式与本说明书所示的其他实施方式适当地组合。

[0118] 实施方式 2

[0119] 在本实施方式中,参照图 4A 至图 6F 说明利用与上述实施方式 1 不同的制造方法制造半导体装置的例子。

[0120] 图 4A 是用来说明涉及本发明的半导体装置的主要结构的俯视图。注意,在图 4A 中,部分地省略薄膜等。

[0121] 在图 4A 所示的半导体装置中,使用 SOI 衬底来形成有薄膜晶体管。SOI 衬底的表面硅层被形成岛状,并且横穿岛状硅层 313 地设置有形成栅电极的导电层 314。此外,接触于岛状硅层 313 的侧面地设置有绝缘层 310。虽然在此图示出围绕岛状硅层 313 的整个周围地设置绝缘层 310 的例子,但是至少在导电层 314 及硅层 313 重叠的区域中设置接触于岛状硅层 313 的侧面的绝缘层,即可。当然,也可以在导电层 314 及硅层 313 重叠的区域中以及其附近设置接触于岛状硅层 313 的侧面的绝缘层。

[0122] 在硅层 313 中形成有沟道形成区、用作 LDD 区的一对低浓度杂质区 317、用作源区或漏区的一对高浓度杂质区 318。在与导电层 314 大体上一致的区域中的硅层 313 中形成有沟道形成区,其位于一对高浓度杂质区 318 之间。此外,在沟道形成区和高浓度杂质区 318 之间形成有低浓度杂质区 317。

[0123] 接着,说明图 4A 所示的半导体装置的制造方法。在此,参照图 4A 中的虚线 O-P 之间的截面图、以及虚线 Q-R 之间的截面图,具体地说明。

[0124] 首先,准备在支撑衬底 300 上依次层合形成有绝缘层 302、第一硅层 306 的 SOI 衬底 305(参照图 4B1、4B2)。接着,覆盖第一硅层 306 地形成第一绝缘层 308(参照图 4C1、4C2)。注意,因为直到形成第一绝缘层 308 的工序按照上述实施方式 1 所示的 SOI 衬底 105、绝缘层 107 的说明,所以简化而说明。

[0125] 作为 SOI 衬底 305,可以使用 SIMOX 衬底、粘合衬底等已知的 SOI 衬底。通过有选择地蚀刻 SOI 衬底 305 的表面,来形成岛状第一硅层 306。在其膜厚度为 10nm 至 150nm、优选为 30nm 至 100nm 或者 10nm 至 30nm 的范围内形成第一硅层 306,即可。此外,既可以将第一硅层 306 的端部形成为垂直形状,又可以将第一硅层 306 的端部形成为锥形形状。在本实施方式中,将第一硅层 306 的端部形成为其锥形角成为 45 度以上且低于 95 度、优选为近于垂直形状的 60 度以上且低于 95 度。通过将在第一硅层 306 的端部的锥形成为陡峭,可以减少以后完成的半导体装置的寄生沟道。注意,本发明没有特别的限制。也可以将第一硅层 306 的端部形成为其锥形角成为 30 度以上且低于 85 度、或者 45 度以上且低于 60 度的慢坡的锥形形状。

[0126] 通过利用 CVD 法或溅射法且使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、氮化铝、SiOF、SiOC、DLC、多孔二氧化硅(porous silica)等材料,来形成第一绝缘层 308。此外,以能够至少充分地覆盖第一硅层 306 的端部的膜厚度形成第一绝缘层 308。优选将第一绝缘层 308 形成为其膜厚度成为第一硅层 306 的 1.5 倍至 3 倍。

[0127] 此外,优选使用其介电常数小于以后形成在硅层的一个表面上的绝缘层 312 的材料来形成第一绝缘层 308。在以后完成的半导体装置中,第一绝缘层 308 形成接触于硅层的

侧面的区域的栅绝缘层。当将硅层形成成为岛状时,电场容易集中在硅层的端部、特别在角落部分(隅角部分)。当电场集中在硅层的端部时,容易发生栅绝缘层的绝缘击穿或漏电流等绝缘缺陷。因此,通过使用其介电常数小于以后形成在硅层的一个表面上的绝缘层的材料来形成接触于硅层的侧面的第一绝缘层 308,可以防止对栅绝缘层局部性地施加过度的电场等压力,所以是优选的。

[0128] 接着,通过进行以垂直方向为主体的各向异性刻蚀而有选择地蚀刻第一绝缘层 308,来形成接触于第一硅层 306 的侧面的第二绝缘层 310。此时,第一硅层 306 的上层部非晶体化而形成非晶体区 311(参照图 5A1、5A2)。

[0129] 例如,形成氮氧化硅层作为第一绝缘层 308。将绝缘层 302 设定为氧化硅层,并且将第一硅层 306 设定为单晶硅层。接着,通过利用以垂直方向为主体的各向异性干蚀刻来蚀刻第一绝缘层 308。从形成在第一硅层 306 的一个表面上以及绝缘层 302 的一个表面上的第一绝缘层 308 进行蚀刻。注意,在第一硅层 306 的一个表面上以及绝缘层 302 上以大致相同的膜厚度形成有第一绝缘层 308。因此,通过当第一硅层 306 的一个表面露出时停止蚀刻,可以只在接触于第一硅层 306 的侧面的区域以及其附近留下第一绝缘层 308。留下的第一绝缘层 308 相当于第二绝缘层 310。注意,当通过将第一硅层 306 的端部形成得近于垂直形状时,可以只在接触于第一硅层 306 的侧面的区域以及其附近容易形成第二绝缘层 310。此外,在本实施方式中,将第二绝缘层 310 形成为其从底面(接触于绝缘层 302 的面)的朝垂直方向的高度与第一硅层 306 大体上一致。此外,将第二绝缘层 310 形成为其不接触于第一硅层 306 的侧面的面相对于第一硅层 306 的侧面弯曲为凸形状。当然,本发明没有特别的限制,也可以将第二绝缘层 310 形成成为具有角的形状,而不是弯曲状。优选的是,当将第二绝缘层 310 的角落部分形成为慢坡的形状时,可以使层合在上层的层(在此,绝缘层 312)的覆盖性良好。

[0130] 只要是可以进行以垂直方向为主体的各向异性刻蚀的,就对第一绝缘层 308 的蚀刻方法没有特别的限制。例如,可以使用反应离子刻蚀诸如平行平板方式、磁控方式、2 频率方式、ECR 方式、黑里康(helicon)方式、ICP 方式等。作为蚀刻气体,选择在第一绝缘层 308 和此外的层(第一硅层 306)之间可以取得高蚀刻选择比的,即可。例如,通过使用 CHF_3 、 CF_4 、 C_4F_8 、 C_2F_6 、 NF_3 等氟类气体,可以有选择地蚀刻绝缘层。此外,也可以适当地追加 He、Ar、Xe 等惰性气体、或者 O_2 气、 H_2 气。注意,通过适当地改变蚀刻条件,可以控制第二绝缘层 310 的形状。在本实施方式中,通过利用 ICP 方式的反应离子刻蚀且使用 CHF_3 气体以及 He 气作为蚀刻气体,来进行对于第一绝缘层 308 的蚀刻。

[0131] 当对第一绝缘层 308 进行各向异性干蚀刻时,由于等离子体等的能量的影响,第一硅层 306 的上层部非晶体化,来形成非晶体区 311。通过控制第一硅层 306 的膜厚度、用来形成第一绝缘层 308 的材料、或者第一绝缘层 308 的蚀刻条件等,来形成非晶体区 311。将非晶体区 311 形成为其膜厚度成为第一硅层 306 的 0.2 至 0.6 倍、优选为 0.3 至 0.5 倍左右。注意,在从第一硅层 306 的一个表面上朝底面(接触于绝缘层 302 的面)的方向上形成非晶体区 311。

[0132] 接着,通过有选择地蚀刻形成在第一硅层 306 的上层部的非晶体区 311,来形成第二硅层 313。接着,覆盖第二绝缘层 310 以及第二硅层 313 地形成第三绝缘层 312(参照图 5B1、5B2)。

[0133] 通过有选择地蚀刻形成在第一硅层 306 的上层部的非晶体区 311, 来形成第二硅层 313。第一硅层 306 是单晶硅, 并且当蚀刻第一绝缘层 308 而形成第二绝缘层 310 时, 第一硅层 306 的上层部被非晶化, 来形成非晶体硅层。此时形成的非晶体硅层相当于本实施方式的非晶体区 311。因此, 通过有选择地蚀刻作为非晶体区 311 的非晶体硅层, 留下单晶硅层作为第二硅层 313。注意, 将第二硅层 313 形成为其端部的锥形角成为 45 度以上且低于 95 度、更优选为近于垂直形状 60 度以上且低于 95 度, 即可。此外, 接触于第一硅层 306 的侧面地形成的第二绝缘层 310 在蚀刻非晶体区 311 之后也一直留下, 并且成为相对于第二硅层 313 突出为凸状的状态。

[0134] 作为非晶体区 311 的蚀刻方法, 只要是可以取得非晶体区 311 和其他绝缘层 (例如, 第二绝缘层 310、绝缘层 302) 的高蚀刻选择比的, 就没有特别的限制。注意, 因为非晶体硅层和单晶硅层的蚀刻选择比低, 所以预先以某种程度控制非晶体区 311 的膜厚度来形成, 并且向垂直方向将第一硅层 306 蚀刻到可以推定形成有非晶体区 311 的深度。作为蚀刻方法, 例如可以使用平行平板方式、磁控方式、2 频率方式、ECR 方式、黑里康 (helicon) 方式、ICP 方式等反应离子刻蚀。作为此时使用的蚀刻气体, 选择在非晶体区 311 和其他绝缘层之间可以取得高蚀刻选择比的, 即可。例如, 可以使用 Cl_2 等氯类气体、或者 HBr 气体。此外, 也可以使用 HBr 气体以及 Cl_2 气的混合气体。此外, 也可以适当地追加 He 、 Ar 等惰性气体。在本实施方式中, 通过使用 Cl_2 气作为蚀刻气体, 来有选择地蚀刻非晶体区 311。

[0135] 通过利用 CVD 法或溅射法且使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、氮化铝等材料, 来形成第三绝缘层 312。通过使用这些材料中的一种或多种以单层结构或层合结构, 来形成第三绝缘层 312。此外, 也可以通过使用实施方式 1 所示那样的利用高密度等离子体处理的第二硅层 313、或者第二硅层 313 以及第二绝缘层 310 的固相氧化或固相氮化, 来形成第三绝缘层 312。在其膜厚度为 1nm 至 50nm、优选为 1nm 至 20nm、更优选为 1nm 至 10nm 的范围内, 形成第三绝缘层 312。

[0136] 通过以上工序形成的第二绝缘层 310 以及绝缘层 312 用作栅绝缘层。换言之, 涉及本发明的栅绝缘层不是由一个绝缘层构成的, 而是由多个绝缘层的复合物构成的。如此, 通过形成接触于硅层的侧面的第二绝缘层 310, 可以在硅层的端部使栅绝缘层的覆盖性良好。例如, 即使在由于当将硅层加工为岛状时的蚀刻或者各种工序所带来的使用氢氟酸等的洗涤, 去掉在硅层的端部下以及其附近的绝缘层 (支撑衬底上的绝缘层) 的情况下, 也可以充分地覆盖硅层。因此, 可以防止起因于在硅层的端部的栅绝缘层的覆盖缺陷的硅层和栅电极层之间的短路、漏电流的发生、静电击穿等。

[0137] 注意, 对由第二绝缘层 310 以及第三绝缘层 312 构成的栅绝缘层来说, 接触于第二硅层 313 的侧面的区域的膜厚度优选厚于形成在第二硅层 313 的一个表面上的区域。例如, 将从第二硅层 313 的一个表面上延伸的垂直线和栅绝缘层的最表面的交点的距离设定为膜厚 t_1 。并且, 将从第二硅层 313 的侧面延伸的垂直线和栅绝缘层的最表面的交点的距离设定为膜厚 t_2 。栅绝缘层优选满足膜厚 $t_1 < \text{膜厚 } t_2$ 。接触于第二硅层 313 的侧面的区域的膜厚并不是一定值。但是, 在此情况下, 跟膜厚 t_1 相比, 膜厚 t_2 的最小值优选与膜厚 t_1 相同或大于膜厚 t_1 。如此, 可以利用栅绝缘层来充分地覆盖硅层的端部。

[0138] 此外, 对由第二绝缘层 310 以及第三绝缘层 312 构成的栅绝缘层来说, 接触于第二硅层 313 的侧面的区域的介电常数优选小于形成在第二硅层 313 的一个表面上的区域。例

如,通过使第二绝缘层 310 的介电常数小于第三绝缘层 312,可以使接触于第二硅层 313 的侧面的区域的栅绝缘层的介电常数小。优选的是,通过利用介电常数为 4 以下的低介电常数材料来形成第二绝缘层 310,即可。通过在栅绝缘层中使接触于硅层的侧面的区域的介电常数小于接触于硅层的一个表面上的区域,可以防止电场集中在硅层的端部,并且可以减少栅绝缘层的绝缘缺陷,因此是优选的。

[0139] 接着,中间夹着第三绝缘层 312 在第二硅层 313 上形成用作栅电极的导电层 314。以导电层 314 为掩模对第二硅层 313 添加赋予一导电型的杂质元素。此时形成在第二硅层 313 中的杂质区构成以后形成的 LDD 区的一部分。

[0140] 接着,形成接触于导电层 314 的侧面的绝缘层 315。然后,以绝缘层 315 以及导电层 314 为掩模,添加赋予一导电型的杂质元素,来形成沟道形成区 316、用作 LDD 区的低浓度杂质区 317、用作源区或漏区的高浓度杂质区 318(参照图 5C1、5C2)。

[0141] 可以通过使用钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铬(Cr)、铝(Al)、铜(Cu)或铌(Nb)等金属元素、或者包含该金属元素的合金材料或化合物材料,来形成导电层 314。此外,也可以通过使用以添加有磷等赋予一导电型的杂质元素的多晶硅为典型的半导体材料,来形成导电层 314。通过使用这些材料且利用 CVD 法或溅射法在整个表面上形成导电层 314 之后,有选择地蚀刻该导电层 314 来将它加工为所希望的形状,即可。此外,以单层结构或层合结构形成导电层 314,即可。在其膜厚度为 100nm 至 1000nm、优选为 200nm 至 800nm、更优选为 300nm 至 500nm 的范围内形成导电层 314。

[0142] 对绝缘层 315 来说,通过利用 CVD 法或溅射法且使用氧化硅、氮化硅、氧氮化硅、氮氧化硅等无机材料、有机树脂等有机材料以单层结构或层合结构形成绝缘层。并且,通过利用以垂直方向为主体的各向异性刻蚀而有选择地蚀刻该绝缘层,可以形成接触于导电层 314 的侧面的绝缘层 315。绝缘层 315 也称为侧壁。在此,将绝缘层 315 的不接触于导电层 314 的侧面的面形成为弯曲状。具体地说,将它形成为具有任意曲率且相对于接触的导电层 314 的侧面弯曲为凸形状。当然,本发明没有特别的限制,也可以将绝缘层 315 形成为具有角的形状,而不是弯曲状。注意,绝缘层 315 也用作当形成 LDD 区时的掺杂用掩模。

[0143] 在第二硅层 313 中形成有沟道形成区 316、低浓度杂质区 317、高浓度杂质区 318。中间夹着第三绝缘层 312 在与导电层 314 大体上一致的区域中形成沟道形成区 316。中间夹着第三绝缘层 312 在与绝缘层 315 大体上一致的区域中并且在高浓度杂质区 318 和沟道形成区 316 之间形成低浓度杂质区 317。注意,并不一定需要设置低浓度杂质区 317。

[0144] 在高浓度杂质区 318 中以比低浓度杂质区 317 更高的浓度添加有杂质元素。作为赋予一导电型的杂质元素,可以使用磷(P)或砷(As)等赋予 n 型的杂质元素、硼(B)、铝(Al)或镓(Ga)等赋予 p 型的杂质元素。

[0145] 通过上述工序,可以形成适用本发明而成的薄膜晶体管 320。

[0146] 此外,通过在对第二硅层 313 添加赋予一导电型的杂质元素之后进行热处理,可以使添加的杂质元素激活。可以通过照射激光束、或者使用 RTA 或退火炉,来进行热处理。具体地说,在 400℃至 700℃、优选为 500℃至 550℃的温度范围内进行热处理,即可。此外,优选在氮气氛中进行热处理。例如,可以通过在 550℃进行四个小时的加热,来实现激活。此外,在第二硅层 313 的一部分有非晶体区的情况下,通过进行热处理,除了实现杂质元素的激活以外,还可以实现硅层的重新晶化。

[0147] 此外,也可以通过使用图 6A 至 6C、或者图 6D 至 6F 所示的制造方法,来制造 TFT。注意,使用在支撑衬底 300 上依次层合形成有绝缘层 302、岛状第一硅层 306 的 SOI 衬底 305,并且直到在该硅层 306 上形成第一绝缘层 308 的方法与图 4B1、4C1 相同,因此省略说明。

[0148] 首先,说明图 6A 至 6C 所示的制造方法。在第一硅层 306 上形成第一绝缘层 308 之后(参照图 4C1),进行以垂直方向为主体的各向异性刻蚀而有选择地蚀刻第一绝缘层 308,来形成接触于硅层 306 的侧面的第二绝缘层 330。第一硅层 306 的上层部被非晶体化而形成非晶体区 331(参照图 6A)。此时,控制蚀刻条件,以使接触于第一硅层 306 的侧面的第二绝缘层 330 的从底面(与绝缘层 302 接触的面)朝垂直方向的高度低于第一硅层 306。优选的是,使第二绝缘层 330 的从底面朝垂直方向的高度与第一硅层 306 的从底面到非晶体区 331 的高度大体上一致地形成,即可。

[0149] 可以通过改变使用为蚀刻气体的气体种类以及气体流量比例等蚀刻条件来将第二绝缘层 330 加工为所希望的形状。例如,通过提高第一绝缘层 308 和其他层(第一硅层 306)的蚀刻选择比并且有选择地使对于第一绝缘层 308 的蚀刻进行,可以使第二绝缘层 330 的从底面朝垂直方向的高度低于第一硅层 306。换言之,也可以使非晶体区 331 与第二绝缘层 330 不接触。

[0150] 接着,通过有选择地蚀刻形成在第一硅层 306 的上层部的非晶体区 331,来形成第二硅层 332(参照图 6B)。注意,因为非晶体区 331 和为单晶硅层的第一硅层 306 的蚀刻选择比低,所以预先以某种程度控制非晶体区 311 的膜厚度,并且向垂直方向将第一硅层 306 蚀刻到可以推定形成有非晶体区 311 的深度。在此,不接触于非晶体区 331 地形成第二绝缘层 330。因此,可以在蚀刻非晶体区 331 之后,不使第二绝缘层 330 成为突出为凸状的状态。

[0151] 接着,在第二硅层 332 以及第二绝缘层 330 上形成第三绝缘层 334。第二绝缘层 330 以及第三绝缘层 334 用作栅绝缘层。接着,中间夹着第三绝缘层 334 在第二硅层 332 上形成用作栅电极的导电层 336。以导电层 336 为掩模对第二硅层 332 添加赋予一导电型的杂质元素。此时形成在第二硅层 332 中的杂质区构成以后形成的 LDD 区的一部分。接着,形成接触于导电层 336 的侧面的绝缘层 338。然后,以绝缘层 338 以及导电层 336 为掩模来添加赋予一导电型的杂质元素,来形成沟道形成区 340、用作 LDD 区的低浓度杂质区 342、用作源区或漏区的高浓度杂质区 344。通过上述工序,可以形成 TFT350(参照图 6C)。注意,因为从形成第三绝缘层 334 到形成导电层 336 以及绝缘层 338 且在第二硅层中形成沟道形成区 340、低浓度杂质区 342、高浓度杂质区 344 的方法与图 5B1、5C1 同样,所以省略说明。

[0152] 接着,说明图 6D 至 6F 所示的制造方法。通过在第一硅层 306 上形成第一绝缘层 308 之后(参照图 4C1),进行以垂直方向为主体的各向异性刻蚀而有选择地蚀刻第一绝缘层 308,来形成接触于第一硅层 306 的侧面的第二绝缘层 310。第一硅层 306 的上层部被非晶体化而形成非晶体区 311(参照图 5A1、图 6D)。

[0153] 接着,通过进行以垂直方向为主体的各向异性刻蚀而有选择地蚀刻形成在第一硅层 306 的上层部的非晶体区 311 以及第二绝缘层 310,来形成第二硅层 362 以及第三绝缘层 360(参照图 6E)。在极力使蚀刻选择比小的条件即蚀刻选择比近于 1 的条件下,蚀刻非晶体区 311 以及第二绝缘层 310。通过这样做,可以使利用蚀刻而形成的第二硅层 362 以及第

三绝缘层 360 的从底面（与绝缘层 302 接触的面）朝垂直方向的高度大体上一致。

[0154] 接着,覆盖第二硅层 362 以及第三绝缘层 360 地形成第四绝缘层 364。第三绝缘层 360 以及第四绝缘层 364 用作栅绝缘层。接着,中间夹着第四绝缘层 364 在第二硅层 362 上形成用作栅电极的导电层 366。以导电层 366 为掩模对第二硅层 362 添加赋予一导电型的杂质元素。此时形成在第二硅层 362 中的杂质区构成以后形成的 LDD 区的一部分。接着,形成接触于导电层 366 的侧面的绝缘层 368。然后,以绝缘层 368 以及导电层 366 为掩模来添加赋予一导电型的杂质元素,来形成沟道形成区 370、用作 LDD 区的低浓度杂质区 372、用作源区或漏区的高浓度杂质区 374。通过上述工序,可以形成 TFT380(参照图 6F)。因为从形成第四绝缘层 364 到形成导电层 366 以及绝缘层 368 且在第二硅层中形成沟道形成区 370、低浓度杂质区 372、高浓度杂质区 374 的方法与图 5B1、5C1 同样,所以省略说明。注意,第四绝缘层 364 相当于第三绝缘层 312。

[0155] 通过上述工序,可以形成适用本发明而成的薄膜晶体管 320、350、380。注意,本实施方式所示的 TFT 的结构只是一个例子,并不局限于图示的结构。例如,也可以使用多栅结构,其包括:具有串联连接的至少两个以上的沟道形成区的硅层;对各沟道形成区施加电场的至少两个以上的栅电极层。此外,也可以在 TFT 的硅层中形成 LDD 区。

[0156] 此外,虽然在本实施方式中说明接触于用作栅电极的导电层的侧面地形成绝缘层,并且在硅层中形成 LDD 区的例子,但是本发明没有特别的限制。既可以采用实施方式 1 所示的结构,又可以将栅电极的侧面形成为锥形形状。此外,也可以使栅电极成为由两层导电层构成的层合结构,并且使各层的锥形角度不同。

[0157] 当使用适用本发明而制造的半导体装置时,可以防止起因于硅层的端部的缺陷。特别可以防止且减少在硅层的端部的栅绝缘层的覆盖缺陷、在硅层的端部的电场集中等所引起的栅绝缘层的绝缘击穿、静电击穿、漏电流的发生等缺陷。因此,可以制造可靠性高的半导体装置。此外,通过适用本发明,可以以成品率好的方式制造半导体装置。

[0158] 注意,可以将本实施方式与本说明书所示的其他实施方式适当地组合。

[0159] 实施方式 3

[0160] 在本实施方式中,参照图 7A 至图 9F 说明利用与上述实施方式不同的制造方法制造半导体装置的例子。

[0161] 图 7A 是为了说明涉及本发明的半导体装置的主要结构的俯视图。注意,在图 7A 中部分地省略薄膜等。

[0162] 在图 7A 所示的半导体装置中,使用 SOI 衬底来形成有薄膜晶体管。SOI 衬底的表面硅层 414 被形成成为岛状,并且横穿岛状硅层 414 地设置有形成栅电极的导电层 417、导电层 418。此外,接触于岛状硅层 414 的侧面地设置有绝缘层 410。虽然在此图示出围绕岛状硅层 414 的整个周围地设置绝缘层 410 的例子,但是至少在导电层 417、418 以及硅层 414 重叠的区域中设置接触于岛状硅层 414 的侧面的绝缘层,即可。当然,也可以在导电层 417、418 以及硅层 414 重叠的区域以及其附近设置接触于岛状硅层 414 的侧面的绝缘层。

[0163] 在硅层 414 中形成有沟道形成区、用作 LDD 区的一对低浓度杂质区、用作源区或漏区的一对高浓度杂质区 422。在与导电层 418 大体上一致的区域中的硅层 414 中形成有沟道形成区,其位于一对高浓度杂质区 422 之间。此外,在沟道形成区和高浓度杂质区 422 之间的重叠于导电层 417 且不重叠于导电层 418 的区域中的硅层 414 中形成有低浓度杂质

区。

[0164] 接着,说明图 7A 所示的半导体装置的制造方法。在此,参照图 7A 中的虚线 O-P 之间的截面图、以及虚线 Q-R 之间的截面图,具体地说明。

[0165] 首先,准备在支撑衬底 400 上依次层合形成有绝缘层 402、第一硅层 406 的 SOI 衬底 405(参照图 7B1、7B2)。接着,覆盖第一硅层 406 地形成第一绝缘层 408(参照图 7C1、7C2)。注意,因为直到形成第一绝缘层 408 的工序按照上述实施方式 1 所示的 SOI 衬底 105、绝缘层 107 的说明,所以简化而进行以下说明。

[0166] 作为 SOI 衬底 405,可以使用 SIMOX 衬底、粘合衬底等已知的 SOI 衬底。通过有选择地蚀刻 SOI 衬底 405 的表面硅层,来形成岛状第一硅层 406。在其膜厚度为 10nm 至 150nm、优选为 30nm 至 100nm 的范围内形成第一硅层 406,即可。此外,既可以将第一硅层 406 的端部形成为垂直形状,又可以将第一硅层 406 的端部形成为锥形形状。在本实施方式中,将第一硅层 406 的端部形成为其锥形角成为 30 度以上且低于 85 度、或者 45 度以上且低于 60 度的慢坡的锥形形状。通过将第一硅层 406 的端部形成为锥形形状且将其角落部分(隅角部分)形成为慢坡,可以缓和电场集中在该角落部分。注意,本发明没有特别的限制,并且如上述实施方式所示,也可以将锥形角形成为 45 度以上且低于 95 度、更优选为近于垂直形状的 60 度以上且低于 95 度。

[0167] 通过利用 CVD 法或溅射法且使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、SiOF、SiOC、DLC、多孔二氧化硅(porous silica)等材料,来形成第一绝缘层 408。此外,以能够至少充分地覆盖第一硅层 406 的端部的膜厚度形成第一绝缘层 408。优选将第一绝缘层 408 形成为其膜厚度成为下层的第一硅层 406 的 1.5 倍至 3 倍。注意,优选使用其介电常数小于以后形成在硅层的一个表面上的绝缘层 416 的材料来形成第一绝缘层 408。在以后完成的半导体装置中,第一绝缘层 408 形成栅绝缘层的一部分,具体地说,成为接触于硅层的侧面的区域的栅绝缘层的一部分。当将硅层形成为岛状时,电场容易集中在硅层的端部、特别在角落部分(隅角部分)。当电场集中时,在栅绝缘层中容易发生绝缘击穿等绝缘缺陷。因此,通过使用其介电常数小于以后形成在硅层的一个表面上的绝缘层的材料来形成接触于硅层的侧面的第一绝缘层 408,可以缓和施加到硅层的端部的电场,所以是优选的。

[0168] 接着,通过进行以垂直方向为主体的各向异性刻蚀而有选择地蚀刻第一绝缘层 408,来形成接触于第一硅层 406 的侧面的第二绝缘层 410。此时,第一硅层 406 的上层部被非晶体化而形成非晶体区 412(参照图 8A1、8A2)。

[0169] 例如,形成氮氧化硅层作为第一绝缘层 408。此外,将绝缘层 402 设定为氧化硅层,并且将第一硅层 406 设定为单晶硅层。接着,通过利用以垂直方向为主体的各向异性干蚀刻来蚀刻第一绝缘层 408。从形成在第一硅层 406 的一个表面上以及绝缘层 402 的一个表面上的第一绝缘层 408 进行蚀刻。注意,在第一硅层 406 以及绝缘层 402 上以大致相同的膜厚度形成有第一绝缘层 408。因此,通过当第一硅层 406 的一个表面露出时停止蚀刻,可以只在接触于第一硅层 406 的侧面的区域以及其附近留下第一绝缘层 408。留下的第一绝缘层 408 相当于第二绝缘层 410。

[0170] 只要是可以进行以垂直方向为主体的各向异性刻蚀的,就对第一绝缘层 408 的蚀刻方法没有特别的限制。例如,可以利用反应离子刻蚀诸如平行平板方式、磁控方式、2 频率方式、ECR 方式、黑里康(helicon)方式、ICP 方式等。作为蚀刻气体,适当地选择能够取

得第一绝缘层 408 和此外的层（第一硅层 406）的高蚀刻选择比的，即可。例如，通过使用 CHF_3 、 CF_4 、 C_4F_8 、 C_2F_6 、 NF_3 等氟类气体，可以有选择地蚀刻绝缘层。此外，也可以适当地追加 He、Ar、Xe 等惰性气体、或者 O_2 气、 H_2 气。在此，通过利用 ICP 方式的反应离子刻蚀且使用 CHF_3 气体以及 He 气作为蚀刻气体，来蚀刻第一绝缘层 408。注意，通过适当地改变蚀刻条件，可以控制第二绝缘层 410 的形状。在本实施方式中，将第二绝缘层 410 形成为其从底面（接触于绝缘层 402 的面）的朝垂直方向的高度与第一硅层 406 大体上一致。此外，将第二绝缘层 410 的不接触于硅层的侧面的面形成为弯曲状。具体地说，将它形成为具有任意曲率且相对于接触的硅层的侧面弯曲为凸形状。当然，本发明没有特别的限制，也可以将第二绝缘层 410 形成为具有角的形状，而不是弯曲状。注意，当将第二绝缘层 410 的角落部分形成为慢坡的形状时，可以使层合在上层的层（在此，绝缘层 416）的覆盖性良好，所以是优选的。

[0171] 当蚀刻第一绝缘层 408 时，由于等离子体等的能量的影响，第一硅层 406 的上层部被非晶体化，来形成非晶体区 412。可以通过适当地选择第一硅层 406 的膜厚度或用来形成第一绝缘层 408 的材料、或者第一绝缘层 408 的蚀刻条件等，来形成非晶体区 412。将非晶体区 412 形成为其膜厚度成为第一硅层 406 的 0.2 至 0.6 倍、优选成为 0.3 至 0.5 倍左右。注意，在从第一硅层 406 的上表面（与接触于绝缘层 402 的面相对的面）朝垂直方向上形成非晶体区 412。此外，考虑到当进行为了形成第二绝缘层 410 的蚀刻时被非晶体化的区域，优选将第一硅层 406 的膜厚度形成为厚一点儿。

[0172] 接着，通过有选择地蚀刻形成在第一硅层 406 的上层部的非晶体区 412，来形成第二硅层 414。注意，因为非晶体区 412 和为单晶硅层的第一硅层 406 的蚀刻选择比低，所以预先以某种程度控制非晶体区 412 的膜厚度来形成，并且在垂直方向将第一硅层 406 蚀刻到可以推定形成有非晶体区 412 的深度。接着，覆盖第二绝缘层 410 以及第二硅层 414 地形成第三绝缘层 416（参照图 8B1 和 8B2）。

[0173] 通过有选择地蚀刻形成在第一硅层 406 的上层部的非晶体区 412，来形成第二硅层 414。第一硅层 406 是单晶硅，并且当蚀刻第一绝缘层 408 来形成第二绝缘层 410 时，该第一硅层 406 的上层部被非晶体化，而形成非晶体硅层。此时形成的非晶体硅层相当于本实施方式的非晶体区 412。因此，通过有选择地蚀刻作为非晶体区 412 的非晶体硅层，留下单晶硅层作为第二硅层 414。在此，将第二硅层 414 形成为其端部的锥形角成为 30 度以上且低于 85 度、或者 45 度以上且低于 60 度的慢坡锥形形状。注意，本发明没有特别的限制，并且如上述实施方式所示，也可以将锥形角形成为 45 度以上且低于 95 度、更优选为近于垂直形状的 60 度以上且低于 95 度。此外，接触于第一硅层 406 的侧面地形成的第二绝缘层 410 在蚀刻非晶体区 412 之后也一直留下，并且成为相对于第二硅层 414 突出为凸状的状态。

[0174] 在本实施方式中，在以 60nm 的膜厚度形成利用 SOI 衬底 405 的表面硅层的第一硅层 406，并且在该第一硅层 406 上以 200nm 的膜厚度形成氧氮化硅层作为第一绝缘层 408 之后，进行以垂直方向为主体的刻蚀来形成第二绝缘层 410。作为蚀刻，进行 ICP 方式的反应离子刻蚀。通过有选择地蚀刻此时形成的非晶体区 412，以 25nm 的膜厚度形成单晶硅层作为第二硅层 414。

[0175] 通过利用 CVD 法或溅射法且使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、氮化铝等

材料,来形成第三绝缘层 416。通过使用这些材料中的一种或多种以单层结构或层合结构,来形成第三绝缘层 416。此外,也可以通过使用利用高密度等离子体处理的固相氧化或固相氮化,来形成第三绝缘层 416。例如,通过利用高密度等离子体处理使第二硅层 414 以及第二绝缘层 410 氧化或氮化,来形成第三绝缘层 416。在其膜厚度为 1nm 至 50nm、优选为 1nm 至 20nm、更优选为 1nm 至 10nm 的范围内,形成第三绝缘层 416。

[0176] 通过以上工序形成的第二绝缘层 410 以及第三绝缘层 416 用作栅绝缘层。换言之,涉及本发明的栅绝缘层不是由一个绝缘层构成的,而是由多个绝缘层的复合物构成的。通过形成接触于硅层的侧面的第二绝缘层 410 并且在硅层的一个表面上形成第三绝缘层 416,可以在硅层的端部使栅绝缘层的覆盖性良好。因此,可以防止起因于栅绝缘层的覆盖缺陷的硅层和栅电极层之间的短路、漏电流的发生等。此外,通过使栅绝缘层的覆盖性良好,可以防止完成的晶体管等元件的静电破坏。

[0177] 注意,对由第二绝缘层 410 以及第三绝缘层 416 形成的栅绝缘层来说,接触于第二硅层 414 的侧面的区域的膜厚度优选厚于形成在第二硅层 414 的一个表面上的区域。例如,将从第二硅层 414 的一个表面上延伸的垂直线和栅绝缘层的最表面的交点的距离设定为膜厚 t_1 。并且,将从第二硅层 414 的侧面延伸的垂直线和栅绝缘层的最表面的交点的距离设定为膜厚 t_2 。栅绝缘层优选满足膜厚 $t_1 < \text{膜厚 } t_2$ 。注意,接触于第二硅层 414 的侧面的区域的膜厚并不是一定值。但是,在此情况下,跟膜厚 t_1 相比,膜厚 t_2 的最小值优选与膜厚 t_1 相同或大于膜厚 t_1 。如此,通过利用栅绝缘层来充分地覆盖第二硅层 414 的端部,优选使接触于第二硅层 414 的侧面的区域的膜厚增加,可以缓和施加到第二硅层 414 的端部的电场,并且防止漏电流的发生等。

[0178] 此外,对由第二绝缘层 410 以及第三绝缘层 416 构成的栅绝缘层来说,接触于第二硅层 414 的侧面的区域的介电常数优选小于形成在第二硅层 414 的一个表面上的区域。例如,通过使第二绝缘层 410 的介电常数小于第三绝缘层 416,可以使接触于第二硅层 414 的侧面的区域的栅绝缘层的介电常数小。优选的是,通过利用介电常数为 4 以下的低介电常数材料来形成第二绝缘层 410,即可。通过在栅绝缘层中使接触于硅层的侧面的区域的介电常数小于接触于硅层的一个表面上的区域,可以缓和施加到硅层的端部的电场,并且防止栅绝缘层的绝缘缺陷。

[0179] 接着,中间夹着第三绝缘层 416 在第二硅层 414 上形成用作栅电极的由导电层 417 以及导电层 418 构成的层合结构。通过以导电层 417、导电层 418 为掩模对第二硅层 414 添加赋予一导电型的杂质元素,来形成沟道形成区 420、用作 LDD 区的低浓度杂质区 421、用作源区或漏区的高浓度杂质区 422 (参照图 8C1、8C2)。

[0180] 可以通过使用钽 (Ta)、钨 (W)、钛 (Ti)、钼 (Mo)、铬 (Cr)、铝 (Al)、铜 (Cu) 或铌 (Nb) 等金属元素、或者包含该金属元素的合金材料或化合物材料,来形成导电层 417、418。此外,也可以通过使用以添加有磷等赋予一导电型的杂质元素的多晶硅为典型的半导体材料,来形成导电层 417、418。可以通过使用这些材料中的一种或多种以单层结构或层合结构形成用作栅电极的导电层。此外,在其膜厚度为 100nm 至 1000nm、优选为 200nm 至 800nm、更优选为 300nm 至 500nm 的范围内形成导电层 417、418,即可。此外,在通过使用上述材料且利用 CVD 法或溅射法在整个表面上形成用作栅电极的导电层之后,有选择地进行蚀刻来将它加工为所希望的形状,即可。

[0181] 在本实施方式中,示出形成由导电层 417、418 两层构成的层合结构作为栅电极,并将各层的侧面形成成为锥形形状,且使各层的锥形角度不同地形成的例子。通过将构成栅电极的导电层的侧面形成成为锥形形状,可以提高层合在上层的层的覆盖性。

[0182] 此外,在本实施方式中,使导电层 417、418 的宽度(大体上平行于载流子流过沟道形成区的方向(连接源区和漏区的方向)的长度)不同地形成它们。具体地说,使导电层 417 的宽度大于导电层 418 地,即当以两层层合结构形成栅电极时使下层的导电层的宽度大。如此,通过使导电层的宽度不同地形成栅电极,可以在第二硅层 414 中容易形成低浓度杂质区 421、高浓度杂质区 422。

[0183] 在本实施方式中,当对第二硅层 414 添加赋予一导电型的杂质元素时,可以使导电层 417 用作当形成低浓度杂质区 421 时的掺杂用掩模。导电层 418 用作当形成沟道形成区 420 时的掺杂用掩模。因此,中间夹着第三绝缘层 416 在与导电层 418 大体上一致的区域中形成有沟道形成区 420,并且在重叠于导电层 417 且不重叠于导电层 418 的区域中形成有低浓度杂质区 421。在不重叠于导电层 418 以及导电层 417 两方的区域中形成有高浓度杂质区 422。注意,并不一定需要设置低浓度杂质区。

[0184] 在高浓度杂质区 422 中以比低浓度杂质区 421 更高的浓度添加有杂质元素。作为赋予一导电型的杂质元素,可以使用磷(P)或砷(As)等赋予 n 型的杂质元素、硼(B)、铝(Al)或镓(Ga)等赋予 p 型的杂质元素。

[0185] 通过上述,可以形成适用本发明而成的薄膜晶体管 424。

[0186] 此外,通过在对第二硅层 414 添加赋予一导电型的杂质元素之后进行热处理,可以使添加的杂质元素激活。可以通过照射激光束、或者使用 RTA 或退火炉,来进行热处理。具体地说,可以在 400℃至 700℃、优选为 500℃至 550℃的温度范围内进行热处理。此外,优选在氮气氛中进行热处理。例如,可以通过在 550℃进行四个小时的加热,来实现激活。此外,在第二硅层 414 的一部分有非晶体区的情况下,通过进行热处理,除了实现杂质元素的激活以外,还可以实现硅层的重新晶化。

[0187] 此外,也可以通过使用图 9A 至 9C、或者图 9D 至 9F 所示的制造方法,来制造 TFT。注意,直到将 SOI 衬底 405 的表面硅层加工为岛状而形成第一硅层 406,并且在该第一硅层 406 上形成第一绝缘层 408 的方法与图 7B1、7C1 相同,因此省略说明。注意,在图 9A 至 9F 中,使用图 7A 中的虚线 O-P 之间的截面图来说明。

[0188] 首先,说明图 9A 至 9C 所示的制造方法。在第一硅层 406 上形成第一绝缘层 408 之后(参照图 7C1),进行以垂直方向为主体的各向异性刻蚀而有选择地蚀刻第一绝缘层 408,来形成接触于第一硅层 406 的侧面的第二绝缘层 430。从第一硅层 406 的上表面向垂直方向前进的区域被非晶体化,而形成非晶体区 431(参照图 9A)。此时,控制蚀刻条件,以使接触于第一硅层 406 的侧面的第二绝缘层 430 的从底面(与绝缘层 402 接触的面)朝垂直方向的高度低于第一硅层 406。优选的是,使第二绝缘层 430 的从底面朝垂直方向的高度与第一硅层 406 的从底面到非晶体区 431 的高度大体上一致地形成,即可。换言之,优选控制蚀刻条件,以使非晶体区 431 以及第二绝缘层 430 不接触。

[0189] 接着,通过有选择地蚀刻形成在第一硅层 406 的上层部的非晶体区 431,来形成第二硅层 432(参照图 9B)。不接触于非晶体区 431 地形成第二绝缘层 430。因此,可以使第二绝缘层 430 不成为在蚀刻非晶体区 431 之后突出为凸状的状态。

[0190] 接着,在第二硅层 432 以及第二绝缘层 430 上形成第三绝缘层 434。第二绝缘层 430 以及第三绝缘层 434 用作栅绝缘层。接着,中间夹着第三绝缘层 434 在第二硅层 432 上形成用作栅电极的由导电层 436 和导电层 438 构成的层合结构。通过以导电层 436、导电层 438 为掩模对第二硅层 432 添加赋予一导电型的杂质元素,来形成沟道形成区 440、用作 LDD 区的低浓度杂质区 442、用作源区或漏区的高浓度杂质区 444。通过上述工序,可以形成 TFT450(参照图 9C)。注意,因为从形成第三绝缘层 434 到形成导电层 436、438 且在第二硅层 432 中形成沟道形成区 440、低浓度杂质区 442、高浓度杂质区 444 的方法与图 8B1、8C1 同样,所以省略说明。

[0191] 接着,说明图 9D 至 9F 所示的制造方法。通过在第一硅层 406 上形成第一绝缘层 408 之后(参照图 7C1),进行以垂直方向为主体的各向异性刻蚀而有选择地蚀刻第一绝缘层 408,来形成接触于第一硅层 406 的侧面的第二绝缘层 410。从第一硅层 406 的上表面向垂直方向前进的区域被非晶体化,而形成非晶体区 412(参照图 8A1、图 9D)。

[0192] 接着,通过进行以垂直方向为主体的各向异性刻蚀而有选择地蚀刻形成在第一硅层 406 的上层部的非晶体区 412 以及第二绝缘层 410,来形成第二硅层 462 以及第三绝缘层 460(参照图 9E)。在蚀刻选择比低的条件或蚀刻选择比近于 1 的条件下,蚀刻非晶体区 412 以及第二绝缘层 410。换言之,以大致相同的蚀刻速度蚀刻非晶体区 412 以及第二绝缘层 410。因此,使利用蚀刻而形成的第二硅层 462 以及第三绝缘层 460 的从底面(与绝缘层 402 接触的面)朝垂直方向的高度大体上一致。

[0193] 接着,在第二硅层 462 以及第三绝缘层 460 上形成第四绝缘层 464。第三绝缘层 460 以及第四绝缘层 464 用作栅绝缘层。接着,中间夹着第四绝缘层 464 在第二硅层 462 上形成用作栅电极的导电层 466、导电层 468。通过以导电层 466、导电层 468 为掩模对第二硅层 462 添加赋予一导电型的杂质元素,来形成沟道形成区 470、用作 LDD 区的低浓度杂质区 472、用作源区或漏区的高浓度杂质区 474。通过上述工序,可以形成 TFT480(参照图 9F)。因为从形成第四绝缘层 464 到形成导电层 466、468 且在第二硅层 462 中形成沟道形成区 470、低浓度杂质区 472、高浓度杂质区 474 的方法与图 8B1、8C1 同样,所以省略说明。注意,第四绝缘层 464 相当于第三绝缘层 416。

[0194] 通过上述工序,可以形成适用本发明而成的薄膜晶体管 424、450、480。注意,本实施方式所示的 TFT 的结构只是一个例子,而并不局限于图示的结构。例如,也可以使用多栅结构,其包括:具有串联连接的至少两个以上的沟道形成区的硅层;对各沟道形成区施加电场的至少两个以上的栅电极层。此外,也可以在 TFT 的硅层中形成 LDD 区。

[0195] 此外,虽然在本实施方式中示出形成各层的锥形角度不同的由两层导电层构成的层合结构作为栅电极的例子,但是本发明没有特别的限制。既可以利用单层导电层形成栅电极,又可以将导电层的侧面形成为锥形形状。此外,也可以形成接触于导电层的侧面的也称为侧壁的绝缘层。

[0196] 当使用适用本发明而制造的薄膜晶体管时,可以减少起因于硅层的端部的缺陷。特别可以防止在硅层的端部的栅绝缘层的覆盖缺陷。此外,可以缓和电场集中在硅层的端部。因此,可以防止且减少硅层以及栅电极之间的短路、栅绝缘层的绝缘击穿、静电击穿、以及伴随这些缺陷的漏电流,而可以制造可靠性高的半导体装置。此外,也可以以成品率好的方式制造半导体装置。

[0197] 此外,通过适用本发明,可以在减少起因于硅层的端部的缺陷的同时,也谋求实现硅层的薄膜化。此外,也可以防止伴随硅层的薄膜化而发生的硅层端部附近的缺陷。

[0198] 注意,可以将本实施方式与本说明书所示的其他实施方式适当地组合。

[0199] 实施方式 4

[0200] 在本实施方式中,参照图 10A 至图 11C2 而说明利用与上述实施方式不同的制造方法制造半导体装置的例子。

[0201] 图 10A 是为了说明涉及本发明的半导体装置的主要结构的俯视图。注意,在图 10A 中,部分地省略薄膜等。

[0202] 在图 10A 所示的半导体装置中,使用 SOI 衬底来形成有薄膜晶体管。SOI 衬底的表面硅层 712 被形成成为岛状,并且横穿岛状硅层 712 地设置有形成栅电极的导电层 718。此外,接触于岛状硅层 712 的侧面地设置有绝缘层 710。虽然在此图示出围绕岛状硅层 712 的整个周围地设置绝缘层 710 的例子,但是至少在导电层 718 以及硅层 712 重叠的区域中设置接触于岛状硅层 712 的侧面的绝缘层,即可。当然,也可以在导电层 718 及硅层 712 重叠的区域以及其附近设置接触于岛状硅层 712 的侧面的绝缘层。

[0203] 在硅层 712 中形成有沟道形成区、用作源区或漏区的一对高浓度杂质区 722。在与导电层 718 大体上一致的区域中的硅层 712 中形成沟道形成区,其位于一对高浓度杂质区 722 之间。注意,也可以在沟道形成区和高浓度杂质区 722 之间形成用作 LDD 区的低浓度杂质区。

[0204] 接着,说明图 10A 所示的半导体装置的制造方法。在此,参照图 10A 中的虚线 O-P 之间的截面图、以及虚线 Q-R 之间的截面图,具体地说明。

[0205] 首先,准备在支撑衬底 700 上依次层合形成有绝缘层 702、岛状第一硅层 706 的 SOI 衬底 705(参照图 10B1、10B2)。接着,覆盖第一硅层 706 地形成第一绝缘层 708(参照图 10C1、10C2)。注意,因为直到形成第一绝缘层 708 的工序按照上述实施方式 3 所示的 SOI 衬底 405、第一绝缘层 408 的说明,所以简化而进行以下说明。

[0206] 作为 SOI 衬底 705,可以使用 SIMOX 衬底、粘合衬底等已知的 SOI 衬底。通过有选择地蚀刻 SOI 衬底 705 的表面硅层,来形成岛状第一硅层 706。在其膜厚度为 10nm 至 150nm、优选为 30nm 至 100nm 的范围内形成第一硅层 706。此外,既可以将第一硅层 706 的端部形成成为垂直形状,又可以将第一硅层 706 的端部形成成为锥形形状。在本实施方式中,将第一硅层 706 的端部形成成为其锥形角成为 30 度以上且低于 85 度、或者 45 度以上且低于 60 度的慢坡的锥形形状。通过将第一硅层 706 的端部形成成为锥形形状且将其角落部分(隅角部分)成为慢坡,可以缓和电场集中在该角落部分。注意,本发明没有特别的限制,并且如上述实施方式所示,也可以将锥形角形成成为 45 度以上且低于 95 度、优选为近于垂直形状的 60 度以上且低于 95 度。

[0207] 通过利用 CVD 法或溅射法且使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、SiOF、SiOC、DLC、多孔二氧化硅(porous silica)等材料,来形成第一绝缘层 708。此外,以能够至少充分地覆盖第一硅层 706 的端部的膜厚度形成第一绝缘层 708。优选将第一绝缘层 708 形成成为其膜厚度成为下层的第一硅层 706 的 1.5 倍至 3 倍。注意,优选使用其介电常数小于以后形成在硅层的一个表面上的绝缘层 716 的材料来形成第一绝缘层 708。在以后完成的半导体装置中,第一绝缘层 708 形成栅绝缘层的一部分,具体地说,成为接触于硅层的侧

面的区域的栅绝缘层的一部分。通过使用低介电常数材料来形成第一绝缘层 708, 可以缓和电场或静电集中在硅层的端部、特别在角落部分(隅角部分)。结果, 可以防止栅绝缘层的绝缘击穿或静电击穿等缺陷以及起因于这些缺陷的漏电流。

[0208] 接着, 通过进行以垂直方向为主体的各向异性刻蚀来蚀刻第一绝缘层 708 以及第一硅层 706 的整个面, 来形成第二硅层 712 以及接触于该第二硅层 712 的侧面的第二绝缘层 710(参照图 11A1、11A2)。

[0209] 在蚀刻选择比低的条件或者极力使蚀刻选择比小的条件(蚀刻选择比近于 1 的条件下), 蚀刻第一绝缘层 708 以及第一硅层 706。换言之, 以大致相同的蚀刻速度蚀刻第一绝缘层 708 以及第一硅层 706。因此, 使通过蚀刻而形成的第二硅层 712 以及第二绝缘层 710 的从底面(与绝缘层 702 接触的面)朝垂直方向的高度大体上一致。

[0210] 作为对第一绝缘层 708 以及第一硅层 706 进行的蚀刻方法, 只要是可以进行以垂直方向为主体的各向异性刻蚀的, 就没有特别的限制。例如, 可以使用反应离子刻蚀诸如平行平板方式、磁控方式、2 频率方式、ECR 方式、黑里康(helicon)方式、ICP 方式等。

[0211] 作为蚀刻气体, 适当地选择可以极力使第一绝缘层 708 以及第一硅层 706 的蚀刻选择比小的, 即蚀刻选择比近于 1 的, 即可。例如, 通过适当地将 O_2 气追加到 CHF_3 、 CF_4 、 C_4F_8 、 C_2F_6 、 NF_3 等氟类气体, 可以使双方的蚀刻选择比小。再者, 也可以适当地追加 He、Ar 等惰性气体。此外, 作为蚀刻气体, 也可以使用 HBr、或者 HBr 和 Cl_2 的混合气体而代替氟类气体。当使用 HBr 气体时, 也可以适当地追加 He、Ar 等惰性气体。

[0212] 注意, 使蚀刻后的第二硅层 712 的膜厚度成为第一硅层 706 的 0.2 倍至 0.8 倍、优选为 0.4 倍至 0.6 倍左右地蚀刻第一绝缘层 708 以及第一硅层 706 来实现薄膜化。此外, 将第二硅层 712 的端部形成为其锥形角成为 30 度以上且低于 85 度、或者 45 度以上且低于 60 度的慢坡锥形形状。注意, 本发明没有特别的限制, 如上述实施方式所示, 也可以将锥形角形成为 45 度以上且低于 95 度、更优选为近于垂直形状的 60 度以上且低于 95 度。

[0213] 接着, 覆盖第二硅层 712 以及第二绝缘层 710 地形成第三绝缘层 716(参照图 11B1、11B2)。

[0214] 通过利用 CVD 法或溅射法且使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、氮化铝等材料, 来形成第三绝缘层 716。通过使用这些材料中的一种或多种以单层结构或层合结构, 来形成第三绝缘层 716。此外, 也可以通过使用利用高密度等离子体处理的固相氧化或固相氮化, 来形成第三绝缘层 716。例如, 通过利用高密度等离子体处理使第二硅层 712 以及第二绝缘层 710 固相氧化或固相氮化, 来形成第三绝缘层 716。在其膜厚度为 1nm 至 50nm、优选为 1nm 至 20nm、更优选为 1nm 至 10nm 的范围内形成第三绝缘层 716。

[0215] 通过以上工序形成的第二绝缘层 710 以及第三绝缘层 716 用作栅绝缘层。换言之, 涉及本发明的栅绝缘层不是由一个绝缘层构成的, 而是由多个绝缘层的复合物构成的。通过形成接触于硅层的侧面的第二绝缘层 710 并且在硅层的一个表面上形成第三绝缘层 716, 可以在硅层的端部使栅绝缘层的覆盖性良好。因此, 可以防止起因于栅绝缘层的覆盖缺陷的形成栅电极的导电层和硅层之间的短路、静电击穿。

[0216] 注意, 对由第二绝缘层 710 以及第三绝缘层 716 形成的栅绝缘层来说, 接触于第二硅层 712 的侧面的区域的膜厚度优选厚于形成在第二硅层 712 的一个表面上的区域。例如, 将从第二硅层 712 的一个表面上延伸的垂直线和栅绝缘层的最表面的交点的距离设定

为膜厚 t_1 。并且,将从第二硅层 712 的侧面延伸的垂直线和栅绝缘层的最表面的交点的距离设定为膜厚 t_2 。栅绝缘层优选满足膜厚 $t_1 < \text{膜厚 } t_2$ 。注意,接触于第二硅层 712 的侧面的区域的膜厚并不是一定值。但是,在此情况下,跟膜厚 t_1 相比,膜厚 t_2 的最小值优选与膜厚 t_1 相同或大于膜厚 t_1 。如此,可以利用栅绝缘层来充分地覆盖硅层的端部。优选的是,通过使接触于第二硅层 712 的侧面的区域的栅绝缘层的膜厚度厚,可以缓和施加到第二硅层 712 的端部的电场且防止漏电流的发生等。

[0217] 此外,对由第二绝缘层 710 以及第三绝缘层 716 形成的栅绝缘层来说,接触于第二硅层 712 的侧面的区域的介电常数优选小于形成在第二硅层 712 的一个表面上的区域。例如,通过使第二绝缘层 710 的介电常数小于第三绝缘层 716,可以使接触于第二硅层 712 的侧面的区域的栅绝缘层的介电常数小。优选的是,利用介电常数为 4 以下的低介电常数材料来形成第二绝缘层 710,即可。通过在栅绝缘层中使接触于硅层的侧面的区域的介电常数小于接触于硅层的一个表面上的区域,可以防止对栅绝缘层局部性地施加过度的电场等压力,所以是优选的。

[0218] 接着,中间夹着第三绝缘层 716 在第二硅层 712 上形成用作栅电极的导电层 718。通过以导电层 718 为掩模对第二硅层 712 添加赋予一导电型的杂质元素,来形成沟道形成区 720、用作源区或漏区的高浓度杂质区 722(参照图 11C1、11C2)。

[0219] 可以通过使用钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铬(Cr)、铝(Al)、铜(Cu)或铌(Nb)等金属元素、或者包含该金属元素的合金材料或化合物材料,来形成导电层 718。此外,也可以通过使用以添加有磷等赋予一导电型的杂质元素的多晶硅为典型的半导体材料,来形成导电层 718。可以通过使用这些材料中的一种或多种以单层结构或层合结构形成用作栅电极的导电层。并且,在其膜厚度为 100nm 至 1000nm、优选为 200nm 至 800nm、更优选为 300nm 至 500nm 的范围内形成用作栅电极的导电层,即可。此外,在通过使用上述材料且利用 CVD 法或溅射法在整个表面上形成用作栅电极的导电层之后,有选择地进行蚀刻而将它加工为所希望的形状,即可。

[0220] 作为赋予一导电型的杂质元素,可以使用磷(P)或砷(As)等赋予 n 型的杂质元素、硼(B)、铝(Al)或镓(Ga)等赋予 p 型的杂质元素。

[0221] 通过上述工序,可以形成适用本发明而成的薄膜晶体管 730。

[0222] 此外,通过在对第二硅层 712 添加赋予一导电型的杂质元素之后进行热处理,可以使添加的杂质元素激活。可以通过照射激光束、或者使用 RTA 或退火炉,来进行热处理。具体地说,可以在 400℃至 700℃、优选为 500℃至 550℃的温度范围内进行热处理。此外,优选在氮气氛中进行热处理。例如,可以通过在 550℃进行四个小时的加热,来实现激活。此外,在第二硅层 712 的一部分有非晶体区的情况下,通过进行热处理,除了实现杂质元素的激活以外,还可以实现硅层的重新晶化。

[0223] 注意,本实施方式所示的 TFT 的结构只是一个例子,而并不局限于图示的结构。例如,也可以使用多栅结构,其包括:具有串联连接的至少两个以上的沟道形成区的硅层;对各沟道形成区施加电场的至少两个以上的栅电极层。此外,也可以在 TFT 的硅层中形成 LDD 区。

[0224] 此外,既可以将用作栅电极的导电层的侧面形成为锥形形状,又可以采用层合结构而使各层的锥形角度不同。此外,也可以形成接触于导电层的侧面的称为侧壁的绝缘层。

[0225] 当使用适用本发明而制造的薄膜晶体管时,可以减少起因于硅层的端部的缺陷。特别地,因为在硅层的端部的栅绝缘层的覆盖性提高,所以可以防止形成栅电极的导电层和硅层之间的短路、元件的静电击穿等。此外,因为可以缓和电场集中在硅层的端部,所以可以减少栅绝缘层的绝缘击穿、静电击穿等绝缘缺陷。因此,可以制造可靠性高的半导体装置。此外,也可以以成品率好的方式制造半导体装置。

[0226] 此外,通过适用本发明,可以在减少起因于硅层的端部的缺陷的同时也谋求实现硅层的薄膜化。

[0227] 注意,可以将本实施方式与本说明书所示的其他实施方式适当地组合。

[0228] 实施方式 5

[0229] 在本实施方式中,参照图 13A 至图 15B2 而说明利用与上述实施方式不同的制造方法制造半导体装置的例子。

[0230] 图 13A 是为了说明涉及本发明的半导体装置的主要结构的俯视图。注意,在图 13A 中,部分地省略薄膜等。

[0231] 在图 13A 所示的半导体装置中,使用 SOI 衬底来形成有薄膜晶体管。SOI 衬底的表面硅层被形成成为岛状,并且横穿岛状硅层 516 地设置有形成栅电极的导电层 526。此外,接触于岛状硅层 516 的侧面地设置有绝缘层 520。虽然在此图示出围绕岛状硅层 516 的整个周围地设置绝缘层 520 的例子,但是至少在导电层 526 及硅层 516 重叠的区域中设置接触于岛状硅层 516 的侧面的绝缘层,即可。当然,也可以在导电层 526 及硅层 516 重叠的区域以及其附近设置接触于岛状硅层 516 的侧面的绝缘层。

[0232] 在硅层 516 中形成有沟道形成区 528、用作源区或漏区的一对高浓度杂质区 530。在与导电层 526 大体上一致的区域中的硅层 516 中形成有沟道形成区 528,其位于一对高浓度杂质区 530 之间。此外,也可以在沟道形成区和高浓度杂质区 530 之间形成有低浓度杂质区。

[0233] 接着,说明图 13A 所示的半导体装置的制造方法。在此,参照图 13A 中的虚线 O-P 之间的截面图、以及虚线 Q-R 之间的截面图,具体地说明。

[0234] 首先,准备在支撑衬底 500 上依次层合形成有绝缘层 502、岛状第一硅层 506 的 SOI 衬底 505(参照图 13B1、13B2)。注意,因为对形成有岛状硅层的 SOI 衬底 505 的说明按照对上述实施方式 1 所示的 SOI 衬底 105、岛状硅层 106 的说明,所以简化而进行以下说明。

[0235] 作为 SOI 衬底 505,可以使用 SIMOX 衬底、粘合衬底等已知的 SOI 衬底。通过有选择地蚀刻 SOI 衬底 505 的表面,来形成岛状第一硅层 506。在其膜厚度为 10nm 至 150nm、优选为 40nm 至 80nm 的范围内形成第一硅层 506,即可。在本实施方式中,将第一硅层 506 设定为其膜厚度为 50nm 的单晶硅层。

[0236] 此外,既可以将第一硅层 506 的端部形成为垂直形状,又可以将第一硅层 506 的端部形成为锥形形状。在本实施方式中,将第一硅层 506 的端部形成为其锥形角成为 45 度以上且低于 95 度、更优选为近于垂直形状的 60 度以上且低于 95 度。通过将第一硅层 506 的端部的锥形形状成为陡峭,可以减少以后完成的半导体装置的寄生沟道。注意,本发明没有特别的限制。也可以将第一硅层 506 的端部形成为其锥形角成为 30 度以上且低于 85 度、或者 45 度以上且低于 60 度的慢坡的锥形形状。

[0237] 接着,通过利用高密度等离子体处理使第一硅层 506 以及绝缘层 502 的表面氮化,

来形成第一绝缘层 510(参照图 13C1、13C2)。在此,优选使用等离子体 508 而进行等离子体处理。该等离子体 508 被微波(典型的是 2.45GHz)等高频波激发,并且其电子密度为 $1 \times 10^{11} \text{cm}^{-3}$ 以上且 $1 \times 10^{13} \text{cm}^{-3}$ 以下,且其电子温度为 0.5eV 以上且 1.5eV 以下。此外,为了进行固相氮化处理,在包含氮的气氛中进行等离子体处理。包含氮的气氛中是指例如包含氮和稀有气体的气氛中、或者包含 NH_3 和稀有气体的气氛中。作为稀有气体,优选使用 Ar、或者 Ar 和 Kr 的混合。详细地说,利用实施方式 1 所示的高密度等离子体处理,即可。通过利用高密度等离子体处理形成第一绝缘层 510,可以形成比利用 CVD 法或溅射法而形成的绝缘层细致的绝缘层。此外,通过利用高密度等离子体处理而形成第一绝缘层 510,可以获得与利用热氧化法而可以得到的绝缘层同样的良好绝缘层,而不形成当在 800℃至 1100℃进行热氧化时成为问题的鸟嘴式线脚(bird's beak)。

[0238] 第一绝缘层 510 的一部分用作以后完成的薄膜晶体管的栅绝缘层。因此,通过形成细致的绝缘层,可以提高绝缘耐压。特别是,因为第一绝缘层 510 的一部分形成接触于容易发生缺陷的硅层端部的侧面的栅绝缘层,所以可以制造可靠性高的半导体装置。在其膜厚度为 1nm 至 10nm、优选为 1nm 至 5nm 的范围内形成第一绝缘层 510。在本实施方式中,在第一硅层 506 的表面或者第一硅层 506 以及绝缘层 502 的表面上形成氮化硅层作为第一绝缘层 510。

[0239] 接着,在第一绝缘层 510 上形成第二绝缘层 512(参照图 14A1、14A2)。通过利用 CVD 法或溅射法且使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、 SiOF 、 SiOC 、DLC、多孔二氧化硅(porous silica)等材料,来形成第二绝缘层 512。以能够充分地覆盖第一绝缘层 510 的膜厚度形成第二绝缘层 512。该第一绝缘层 510 覆盖第一硅层 506 的端部。优选将第二绝缘层 512 形成为其膜厚度成为第一硅层 506 以及第一绝缘层 510 的 1.5 倍至 3 倍。在本实施方式中,以 150nm 的膜厚度形成氧氮化硅层。

[0240] 注意,优选使用其介电常数小于以后形成在硅层的一个表面上的绝缘层 522 的材料来形成第二绝缘层 512。在以后完成的半导体装置中,第二绝缘层 512 形成栅绝缘层的一部分,详细地说,形成硅层的端部附近的栅绝缘层。因此,通过使用其介电常数小于形成在硅层的一个表面上的栅绝缘层的材料来形成形成硅层的端部附近的栅绝缘层的第二绝缘层 512,可以缓和电场或静电集中在硅层的端部、特别在角落部分(隅角部分),并且减少栅绝缘层的绝缘缺陷,所以是优选的。

[0241] 接着,通过进行以垂直方向为主体的各向异性刻蚀有选择地蚀刻第二绝缘层 512,来形成中间夹着第一绝缘层 510 位于第一硅层 506 的侧面的第三绝缘层 514(参照图 14B1、14B2)。

[0242] 通过进行以垂直方向为主体的各向异性干蚀刻而有选择地蚀刻第二绝缘层 512,来形成第三绝缘层 514。从中间夹着第一绝缘层 510 而形成在第一硅层 506 的一个表面上的第二绝缘层 512、以及中间夹着第一绝缘层 510 而形成在绝缘层 502 上的第二绝缘层 512 进行蚀刻。因此,通过当形成在第一硅层 506 的一个表面上的第一绝缘层 510 露出时停止蚀刻,可以在第一硅层 506 的侧面的区域留下第二绝缘层 512,来形成第三绝缘层 514。注意,通过将第一硅层 506 的端部形成为近于垂直形状,可以只在接近于第一硅层 506 的侧面的区域容易形成第三绝缘层 514。

[0243] 可以通过适当地选择用来形成薄膜的材料、蚀刻条件等,来控制第三绝缘层 514

的形状。此外,作为用于形成第三绝缘层 514 的蚀刻方法,只要是进行以垂直方向为主体的各向异性刻蚀的,就没有特别的限制。例如,可以使用平行平板方式、磁控方式、2 频率方式、ECR 方式、黑里康 (helicon) 方式、或 ICP 方式等反应性离子刻蚀。作为用于蚀刻的气体(蚀刻气体),选择至少能够确保第二绝缘层 512 和第一硅层 506 的蚀刻选择比的,即可。例如,可以使用 CHF_3 、 CF_4 、 C_4F_8 、 C_2F_6 、 NF_3 等氟类气体。此外,也可以适当地追加 He、Ar、Xe 等惰性气体、或者 O_2 气、 H_2 气。在本实施方式中,通过利用 ICP 方式的反应离子刻蚀且使用 CHF_3 气体以及 He 气作为蚀刻气体,来蚀刻第二绝缘层 512。

[0244] 接着,通过进行以垂直方向为主体的各向异性刻蚀而蚀刻第一绝缘层 510、第三绝缘层 514 以及第一硅层 506 的整个面而使它们薄膜化,来分别形成第四绝缘层 518、第五绝缘层 520 以及第二硅层 516(参照图 14C1、14C2)。

[0245] 在蚀刻选择比低的条件或极力使蚀刻选择比小的条件(蚀刻选择比近于 1 的条件)下,蚀刻第一绝缘层 510、第三绝缘层 514 以及第一硅层 506。换言之,以大致相同的蚀刻速度蚀刻第一绝缘层 510、第三绝缘层 514 以及第一硅层 506。因此,将蚀刻后的第四绝缘层 518、第五绝缘层 520 以及第二硅层 516 形成为其朝垂直方向的高度大体上一致。优选的是,使第二硅层 516 的膜厚度成为 30nm 至 100nm 的范围内地进行蚀刻。此外,将第二硅层 516 形成为其端部的锥形角成为 45 度以上且低于 95 度、更优选为近于垂直形状的 60 度以上且低于 95 度,即可。在本实施方式中,通过蚀刻其膜厚度为 50nm 的第一硅层 506,来形成其膜厚度为 25nm 的第二硅层 516。此时,将第二硅层 516 的端部形成得近于垂直形状。

[0246] 作为对第一绝缘层 510、第三绝缘层 514 以及第一硅层 506 进行的蚀刻方法,只要是进行以垂直方向为主体的各向异性刻蚀的,就没有特别的限制。例如,可以使用平行平板方式、磁控方式、2 频率方式、ECR 方式、黑里康 (helicon) 方式、或 ICP 方式等反应性离子刻蚀。

[0247] 作为蚀刻气体,适当地选择可以极力使第一绝缘层 510、第三绝缘层 514 以及第一硅层 506 的蚀刻选择比小的,即蚀刻选择比近于 1 的,即可。例如,通过将 O_2 气适当地追加到 CHF_3 、 CF_4 、 C_4F_8 、 C_2F_6 、 NF_3 等氟类气体,可以使双方的蚀刻选择比小。再者,也可以适当地追加 He、Ar、Xe 等惰性气体。此外,作为蚀刻气体,也可以使用 HBr 气体、或者 HBr 和 Cl_2 的混合气体而代替氟类气体。当使用 HBr 气体时,也可以适当地追加 He、Ar 等惰性气体。

[0248] 注意,优选将此时形成的第五绝缘层 520 形成为其不接触于第四绝缘层 518 的面相对于第二硅层 516 的侧面弯曲为凸形状。当然,本发明没有特别的限制,也可以将第五绝缘层 520 形成为具有角的形状,而不是弯曲状,但是,通过将第五绝缘层 520 的角落部分形成为慢坡的形状,可以使层合在上层的层(在此,第六绝缘层 552)的覆盖性良好。

[0249] 接着,在第二硅层 516 上形成第六绝缘层 522(参照图 15A1、15A2)。

[0250] 通过利用 CVD 法或溅射法且使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、氮化铝等材料,来形成第六绝缘层 522。通过使用这些材料中的一种或多种以单层结构或层合结构,来形成第六绝缘层 522。此外,也可以通过使用利用高密度等离子体处理的固相氧化或固相氮化,来形成第六绝缘层 522。例如,可以通过利用高密度等离子体处理而使第二硅层 516、第四绝缘层 518 以及第五绝缘层 520 的表面氧化或氮化,来形成第六绝缘层 522。在第二硅层 516 的一个表面上形成膜厚度为 1nm 至 15nm、优选为 1nm 至 10nm 的第六绝缘层 522。注意,至少在第二硅层 516 的一个表面上形成第六绝缘层 522,即可。并且,也可以在第五绝缘

层 520 以及第四绝缘层 518 上形成第六绝缘层 522。在本实施方式中,以 10nm 的膜厚度形成氮化硅层作为第六绝缘层 522。

[0251] 通过以上工序形成的第六绝缘层 522、第五绝缘层 520 以及第四绝缘层 518 用作栅绝缘层。换言之,涉及本发明的栅绝缘层不是由一个绝缘层形成的,而是由多个绝缘层的复合物形成的。通过接触于硅层的侧面地形成第四绝缘层 518 以及第五绝缘层 520 并且在硅层的一个表面上形成第六绝缘层 522,可以在硅层的端部使栅绝缘层的覆盖性良好。此外,即使在由于当将硅层加工为岛状时的蚀刻或者使用氢氟酸等的洗涤,去掉在硅层的端部下以及其附近的绝缘层(支撑衬底上的绝缘层)的情况下,也可以充分地覆盖硅层。因此,可以防止起因于在硅层的端部的栅绝缘层的覆盖缺陷的形成栅电极的导电层和硅层之间的短路、漏电流的发生、静电击穿等。此外,通过接触于硅层的端部地形成利用高密度等离子体处理的细致绝缘层,可以提高栅绝缘层的特性。

[0252] 注意,对由第六绝缘层 522、第五绝缘层 520 以及第四绝缘层 518 形成的栅绝缘层来说,接触于第二硅层 516 的侧面的区域的膜厚度优选厚于形成在第二硅层 516 的一个表面上的区域。例如,从第二硅层 516 的一个表面上延伸的垂直线和栅绝缘层的最表面的交点的距离设定为膜厚 t_1 。并且,将从第二硅层 516 的侧面延伸的垂直线和栅绝缘层的最表面的交点的距离设定为膜厚 t_2 。栅绝缘层优选满足膜厚 $t_1 < \text{膜厚 } t_2$ 。接触于第二硅层 516 的侧面的区域的膜厚并不是一定值。但是,在此情况下,跟膜厚 t_1 相比,膜厚 t_2 的最小值优选与膜厚 t_1 相同或大于膜厚 t_1 。如此,通过利用栅绝缘层来充分地覆盖硅层 516 的端部,优选的是,使接触于第二硅层 516 的侧面的区域的膜厚度厚,可以缓和施加到第二硅层 516 的端部的电场且防止漏电流的发生等。

[0253] 接着,中间夹着第六绝缘层 522 在第二硅层 516 上依次形成用作栅电极的导电层 524、导电层 526。通过以导电层 524、526 为掩模对第二硅层 516 添加赋予一导电型的杂质元素,来形成沟道形成区 528、用作源区或漏区的高浓度杂质区 530(参照图 15B1、15B2)。

[0254] 可以通过使用钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铬(Cr)、铝(Al)、铜(Cu)或铌(Nb)等金属元素、或者包含该金属元素的合金材料或化合物材料,来形成导电层 524、526。此外,也可以通过使用以添加有磷等赋予一导电型的杂质元素的多晶硅为典型的半导体材料,来形成导电层 524、526。可以通过使用这些材料中的一种或多种以单层结构或层合结构形成用作栅电极的导电层。并且,在其膜厚度为 100nm 至 1000nm、优选为 200nm 至 800nm、更优选为 300nm 至 500nm 的范围内形成导电层 524、526,即可。此外,在通过使用上述材料且利用 CVD 法或溅射法在整个表面上形成用作栅电极的导电层之后,有选择地进行蚀刻而将它加工为所希望的形状,即可。在本实施方式中,依次层合形成膜厚度为 30nm 的氮化钽层、膜厚度为 370nm 的氮化钨层作为导电层 524、526。

[0255] 作为赋予一导电型的杂质元素,可以使用磷(P)或砷(As)等赋予 n 型的杂质元素、硼(B)、铝(Al)或镓(Ga)等赋予 p 型的杂质元素。

[0256] 通过上述工序,可以形成适用本发明而成的薄膜晶体管 540。

[0257] 此外,通过在对第二硅层 516 添加赋予一导电型的杂质元素之后进行热处理,可以使添加的杂质元素激活。可以通过照射激光束、或者使用 RTA 或退火炉,来进行热处理。具体地说,可以在 400℃至 700℃、优选为 500℃至 550℃的温度范围内进行热处理。此外,优选在氮气氛中进行热处理。例如,可以通过在 550℃进行四个小时的加热,来实现激活。

此外,在第二硅层 516 的一部分有非晶体区的情况下,通过进行热处理,除了实现杂质元素的激活以外,还可以实现硅层的重新晶化。

[0258] 注意,本实施方式所示的 TFT 的结构只是一个例子,而并不局限于图示的结构。例如,也可以使用多栅结构,其包括:具有串联连接的至少两个以上的沟道形成区的硅层;对各沟道形成区施加电场的至少两个以上的栅电极层。此外,也可以在 TFT 的硅层中形成 LDD 区。

[0259] 此外,既可以将用作栅电极的导电层的侧面形成为锥形形状,又可以采用层合结构而使各层的锥形角度不同。此外,也可以形成接触于导电层的侧面的也称为侧壁的绝缘层。

[0260] 当使用适用本发明而制造的薄膜晶体管时,可以减少起因于硅层的端部的缺陷。特别地,可以防止在硅层的端部的栅绝缘层的覆盖缺陷,并且防止硅层以及形成栅电极的导电层之间的短路。此外,可以缓和电场集中在硅层的端部。因此,因为可以防止且减少漏电流、静电击穿等,所以可以制造可靠性高的半导体装置。此外,也可以以成品率好的方式制造半导体装置。

[0261] 此外,如本实施方式所示,通过接触于硅层的侧面来形成细致绝缘层,可以制造在硅层的端部其绝缘耐压高且可靠性优越的半导体装置。

[0262] 注意,可以将本实施方式与本说明书所示的其他实施方式适当地组合。

[0263] 实施方式 6

[0264] 在本实施方式中,参照图 19A 至图 25C 而说明与上述实施方式不同的半导体装置以及其制造方法的例子。具体地说,示出具有彼此不相同的导电型的薄膜晶体管的半导体装置的例子。

[0265] 图 19A 至 19C 是本实施方式所示的半导体装置的俯视图以及截面图,并且表示具有多个晶体管的半导体装置的结构。图 19A 是俯视图,并图 19B 表示图 19A 中的虚线 A1-B1 之间的截面图,且图 19C 表示图 19A 中的虚线 A2-B2 之间的截面图。注意,在图 19A 中,部分地省略薄膜等结构要素。

[0266] 通过使用 SOI 衬底来形成图 19A 至 19C 所示的半导体装置,其包括:中间夹着绝缘层 802 在支撑衬底 800 上设置为岛状的硅层 805、硅层 813;中间夹着绝缘层 822 在该硅层 805、813 上设置的形成栅电极的导电层 824、导电层 826;中间夹着绝缘层 836、绝缘层 838 在该导电层 826 上设置的形成源电极或漏电极的导电层 840(参照图 19A 至 19C)。

[0267] 通过利用由导电层 824 以及导电层 826 构成的层合结构形成栅电极。分别横穿岛状硅层 805、813 地设置有导电层 824、826。此外,接触于导电层 824 以及导电层 826 的侧面地设置有绝缘层 828。绝缘层 828 也称为侧壁。注意,虽然在此示出利用由导电层 824 以及导电层 826 两层构成的层合结构形成栅电极的例子,但是本发明没有特别的限制,栅电极也可以为单层结构或由三个以上的层构成的层合结构。此外,既可以将形成为栅电极的导电层的侧面形成为锥形形状,又可以采用由两层以上导电层构成的层合结构而使各层的锥形角度不同。此外,也可以适用实施方式 1 至 5 所示的栅电极的结构中的任一种。

[0268] 通过使用 SOI 衬底 804 的表面硅层来形成设置为岛状的硅层 805、813。设置为岛状的硅层 805 具有沟道形成区 806、用作 LDD 区的一对低浓度杂质区 808、用作源区或漏区的一对高浓度杂质区 810。中间夹着绝缘层 822 在与导电层 824、826 重叠的区域的硅层 805

中形成有沟道形成区 806。中间夹着绝缘层 822 在与绝缘层 828 重叠的区域的硅层 805 中形成有低浓度杂质区 808。中间夹着绝缘层 822 在与导电层 824、导电层 826 以及绝缘层 828 不重叠的区域的硅层 805 中形成有高浓度杂质区 810。沟道形成区 806 位于一对高浓度杂质区 810 之间,并且低浓度杂质区 808 位于沟道形成区 806 和高浓度杂质区 810 之间。换言之,沟道形成区 806 位于一对高浓度杂质区 810 之间以及一对低浓度杂质区 808 之间,并且接触于一对低浓度杂质区 808 地形成。此外,对高浓度杂质区 810 以比低浓度杂质区 808 高的浓度添加有赋予一导电型的杂质元素。此外,接触于硅层 805 的侧面地设置有绝缘层 812。

[0269] 同样地,设置为岛状的硅层 813 具有沟道形成区 814、用作 LDD 区的低浓度杂质区 816、用作源区或漏区的高浓度杂质区 818。中间夹着绝缘层 822 在与导电层 824、826 重叠的区域的硅层 813 中形成有沟道形成区 814。中间夹着绝缘层 822 在与绝缘层 828 重叠的区域的硅层 813 中形成有低浓度杂质区 816。中间夹着绝缘层 822 在与导电层 824、导电层 826 以及绝缘层 828 不重叠的区域的硅层 813 中形成有高浓度杂质区 818。沟道形成区 814 位于一对高浓度杂质区 818 之间,并且低浓度杂质区 816 位于沟道形成区 814 和高浓度杂质区 818 之间。换言之,沟道形成区 814 位于一对高浓度杂质区 818 之间以及一对低浓度杂质区 816 之间,并且接触于一对低浓度杂质区 816 地形成。此外,在高浓度杂质区 818 中以比低浓度杂质区 816 高的浓度添加有赋予一导电型的杂质元素。此外,接触于硅层 813 的侧面地设置有绝缘层 820。

[0270] 在本实施方式中,在硅层 805 以及硅层 813 中添加有彼此不相同的导电型的杂质元素。换言之,在低浓度杂质区 808 以及高浓度杂质区 810 中添加有赋予与低浓度杂质区 816 以及高浓度杂质区 818 不同的导电型的杂质元素。

[0271] 在硅层 805 和形成栅电极的导电层 824 及导电层 826 之间、以及在硅层 813 和形成栅电极的导电层 824 及导电层 826 之间设置有绝缘层 822。此外,在接触于硅层 805 的侧面而设置的绝缘层 812、以及接触于硅层 813 而设置的绝缘层 820 上也设置有绝缘层 822。绝缘层 812、绝缘层 820 以及绝缘层 822 用作栅绝缘层。

[0272] 通过形成在绝缘层 836、绝缘层 838 中的开口与形成在硅层 805 中的高浓度杂质区 810、形成在硅层 813 中的高浓度杂质区 818 电连接地设置有形成源电极或漏电极的导电层 840。此外,如图 19A 至 19C 所示,也可以通过将形成在硅层 805 中的高浓度杂质区 810 与形成在硅层 813 中且其导电型与高浓度杂质区 810 不同的高浓度杂质区 818 电连接,来形成 CMOS 电路。

[0273] 接着,参照附图而说明图 19A 至 19C 所示的半导体装置的制造方法的一个例子。

[0274] 首先,准备在支撑衬底 800 上中间夹着绝缘层 802 而形成有岛状硅层 805、813 的 SOI 衬底 804(参照图 20A、图 23A、图 24A)。

[0275] 作为 SOI 衬底 804,可以使用 SIMOX 衬底、粘合衬底等已知的 SOI 衬底。通过有选择地蚀刻 SOI 衬底 804 的表面硅层,来可以形成分离的岛状硅层 805 以及硅层 813。在其膜厚度为 10nm 至 150nm、优选为 30nm 至 100nm 或者 10nm 至 30nm 的范围内形成硅层 805、813。

[0276] 注意,既可以将硅层 805、813 的端部形成为锥形形状,又可以将硅层 805、813 的端部形成为垂直形状。可以通过适当地选择蚀刻条件诸如各向同性蚀刻或各向异性刻蚀等蚀

刻条件,来控制硅层的端部的形状。

[0277] 接着,形成接触于硅层 805 的侧面的绝缘层 812 以及接触于硅层 813 的侧面的绝缘层 820(参照图 20B、图 23B、图 24B)。

[0278] 可以通过覆盖设置为岛状的硅层 805 以及硅层 813 地形成绝缘层,并且进行以垂直方向为主体的各向异性刻蚀来有选择地蚀刻该绝缘层,只留下接触于硅层 805、813 的侧面的区域,来形成绝缘层 812 以及绝缘层 820。

[0279] 具体地说,首先覆盖硅层 805 以及硅层 813 地形成绝缘层。通过利用 CVD 法或溅射法且使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、SiOF、SiOC、DLC、多孔二氧化硅(porous silica)等材料,来形成该绝缘层。优选的是,形成其介电常数小于以后形成在硅层 805 以及硅层 813 的一个表面上的绝缘层 822 的层。此外,以能够至少充分地覆盖硅层 805、813 的端部的膜厚度形成覆盖硅层 805、813 上地形成的绝缘层,优选的是,以硅层 805、813 的 1.5 倍至 3 倍的膜厚度形成。

[0280] 接着,通过进行以垂直方向为主体的各向异性刻蚀,有选择地蚀刻覆盖硅层 805 以及硅层 813 地形成的绝缘层。从形成在硅层 805 的一个表面上以及硅层 813 的一个表面上的绝缘层进行蚀刻。注意,在硅层 805 的一个表面上、在硅层 813 的一个表面上以及在绝缘层 802 上以大致相同的膜厚度形成有绝缘层。因此,通过当硅层 805、813 的一个表面露出时停止蚀刻,可以在接触于硅层 805、813 的侧面的区域有选择地留下绝缘层。留下的绝缘层相当于绝缘层 812、820。在此,将绝缘层 812、820 形成为相对于分别接触的硅层 805、813 的侧面弯曲为凸形状。当然,本发明没有特别的限制,也可以将绝缘层 812、820 形成为具有角的形状,而不是弯曲状。优选的是,当将绝缘层 812、820 的角落部分形成为慢坡的形状时,可以使层合在上层的层(在此,绝缘层 822)的覆盖性良好。

[0281] 注意,有时由于当形成绝缘层 812、820 时的蚀刻的影响,硅层 805、813 的上层部非晶体化。在此情况下,既可以有选择地蚀刻硅层 805、813 的非晶体化的区域,又可以通过照射激光束、或者使用 RTA 或退火炉进行热处理,来使硅层 805、813 重新晶化。此外,也可以对硅层添加赋予一导电型的杂质元素来形成杂质区之后,在进行用于使杂质区激活的热处理的同时,进行重新晶化。具体地说,可以适用上述实施方式 2 或实施方式 3 所示的硅层以及接触于该硅层的侧面的绝缘层的形成方法。

[0282] 此外,也可以将 SOI 衬底的表面硅层设定得厚于完成的薄膜晶体管的硅层并且在后面的工序中使硅层薄膜化。例如,将 SOI 衬底的表面硅层的膜厚度控制得成为完成的薄膜晶体管的硅层的 2 倍至 3 倍。接着,在通过有选择地蚀刻表面硅层来将它加工为岛状之后,在该岛状硅层上形成绝缘层。也可以通过在蚀刻选择比低的条件或极力使蚀刻选择比小的条件(近于蚀刻选择比 1 的条件)下,进行以垂直方向为主体的各向异性刻蚀而蚀刻该绝缘层以及硅层的整个面,来形成薄膜化的硅层以及接触于其侧面的绝缘层。具体地说,可以适用上述实施方式 4 或实施方式 5 所示的硅层以及接触于其侧面的绝缘层的形成方法。

[0283] 此外,如上述实施方式 5 所示,也可以利用高密度等离子体处理来形成接触于硅层的侧面的细致绝缘层(例如,包括氮的绝缘层诸如氮化硅层或氮氧化硅层等)。

[0284] 也可以通过利用上述实施方式 1 至 5 中的任一种方法来形成硅层 805 以及接触于其侧面的绝缘层 812、和硅层 813 以及接触于其侧面的绝缘层 820。在此,使用实施方式 1

所示的方法。

[0285] 此外,也可以以低浓度对硅层 805、813 添加赋予一导电型的杂质元素,以控制以后完成的薄膜晶体管的阈值电压。在此情况下,也对完成的薄膜晶体管的沟道形成区也添加杂质元素。作为赋予一导电型的杂质元素,可以使用磷 (P)、砷 (As) 等赋予 n 型的杂质元素、以及硼 (B)、铝 (Al)、镓 (Ga) 等赋予 p 型的杂质元素。例如,可以使用硼作为杂质元素并且以 $5 \times 10^{15} \text{cm}^{-3}$ 至 $5 \times 10^{17} \text{cm}^{-3}$ 的浓度对硅层 805、813 添加该硼。注意,既可以对硅层 805、813 添加不同浓度的杂质元素,又可以对硅层 805、813 添加不同导电型的杂质元素。

[0286] 接着,在硅层 805 以及接触于其侧面的绝缘层 812、和硅层 813 以及接触于其侧面的绝缘层 820 上形成绝缘层 822 (参照图 20C、图 24C)。

[0287] 通过利用 CVD 法或溅射法且使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、氮化铝等材料,来形成绝缘层 822。优选使用其介电常数大于接触于硅层 805 的侧面的绝缘层 812、以及接触于硅层 813 的侧面的绝缘层 820 的材料,来形成绝缘层 822,即可。通过使用上述材料中的一种或多种以单层结构或层合结构形成绝缘层 822。此外,也可以通过使用利用高密度等离子体处理的硅层 805、813 的固相氧化或固相氮化,来形成绝缘层 822。

[0288] 绝缘层 812、绝缘层 820、绝缘层 822 形成栅绝缘层。至少在硅层 805、813 的一个表面上形成绝缘层 822。在本实施方式中,覆盖硅层 805 以及接触于其侧面的绝缘层 812、和硅层 813 以及接触于其侧面的绝缘层 820 地形成绝缘层 822。换言之,涉及本实施方式的栅绝缘层不是由一个绝缘层构成的,而是由多个绝缘层的复合物构成的。注意,多个绝缘层的边界也可以为不明确的。如此,通过与形成在硅层的一个表面上的绝缘层另外形成接触于硅层的侧面的绝缘层,可以使在硅层的端部的栅绝缘层的覆盖性良好。此外,当使硅层薄膜化时,使用氢氟酸等的洗涤工序导致的硅层下的绝缘层非意图地被蚀刻的问题很明显,但是通过适用本发明来形成接触于硅层的侧面的绝缘层,可以利用栅绝缘层来充分地覆盖硅层。因此,可以防止起因于在硅层的端部的栅绝缘层的覆盖缺陷的硅层和栅电极层之间的短路、漏电流的发生、静电击穿等。

[0289] 注意,对栅绝缘层来说,接触于硅层的侧面的区域的膜厚度优选厚于形成在硅层的一个表面上的区域。如此,通过利用栅绝缘层来充分地覆盖硅层的端部,优选使接触于硅层的侧面的区域的膜厚度厚,可以缓和施加到硅层的端部的电场,并且防止漏电流等的发生等。

[0290] 此外,对栅绝缘层来说,接触于硅层的侧面的区域的介电常数优选小于形成在硅层的一个表面上的区域。通过这样做,可以缓和施加到硅层的端部的电场,并且防止栅绝缘层的绝缘缺陷。

[0291] 接着,在绝缘层 822 上依次层合形成导电层 823、导电层 825 (参照图 20D、图 25A)。

[0292] 通过利用 CVD 法或溅射法且使用钽 (Ta)、钨 (W)、钛 (Ti)、钼 (Mo)、铬 (Cr)、铝 (Al)、铜 (Cu) 或铌 (Nb) 等金属元素、或者包含该金属元素的合金材料或化合物材料,来形成导电层 823、导电层 825。此外,也可以使用以添加有磷等赋予一导电型的杂质元素的多晶硅为典型的半导体材料,来形成导电层 823、导电层 825。

[0293] 接着,通过有选择地蚀刻导电层 823、导电层 825,来形成用作栅电极的导电层 824、导电层 826 (参照图 21A、图 23C)。

[0294] 在本实施方式中,在衬底的整个表面上成膜导电层 823、导电层 825 之后,有选择

地蚀刻导电层 823、导电层 825,来将它们加工为所希望的形状。在此,使分离的导电层分别横穿岛状硅层 805、813 地蚀刻而加工。此时,使分离的导电层在与岛状硅层 805、813 不重叠的区域中成为一体地进行加工。换言之,使从一个导电层分支的两条导电层分别横穿岛状硅层 805、813 地形成。

[0295] 接着,覆盖硅层 813 上地有选择地形成抗蚀剂掩模 850,并且以该抗蚀剂掩模 850、导电层 824 以及导电层 826 为掩模对硅层 805 以低浓度添加赋予一导电型的杂质元素 851,来形成杂质区 807(参照图 21B)。作为杂质元素 851,可以使用磷、砷等赋予 n 型的杂质元素、以及硼、铝、镓等赋予 p 型的元素等。在此,作为杂质元素 851,添加磷 (P)。注意,杂质区 807 形成用作以后的 LDD 区的低浓度杂质区的一部分。此外,在导电层 824、826 下的硅层 805 中形成沟道形成区 806。

[0296] 接着,覆盖硅层 805 上地有选择地形成抗蚀剂掩模 852,并且以该抗蚀剂掩模 852、导电层 824 以及导电层 826 为掩模对硅层 813 以低浓度添加赋予一导电型的杂质元素 853,来形成杂质区 815(参照图 21C)。作为杂质元素 853,可以使用与上述杂质元素 851 同样的元素。在此,添加与上述杂质元素 851 不同导电型的元素作为杂质元素 853,就是说,添加硼 (B)。注意,杂质区 815 形成用作以后的 LDD 区的低浓度杂质区的一部分。此外,在导电层 824、826 下的硅层 813 中形成沟道形成区 814。

[0297] 接着,形成接触于导电层 824 以及导电层 826 的侧面的绝缘层 828(参照图 21D、图 25B)。通过利用 CVD 法或溅射法且使用氧化硅、氮化硅、氧氮化硅、氮氧化硅等无机材料、有机树脂等有机材料,来形成单层结构或层合结构的绝缘层,并且进行以垂直方向为主体的各向异性刻蚀而有选择地蚀刻该绝缘层,来形成接触于导电层 824 以及导电层 826 的侧面的绝缘层 828。绝缘层 828 也称为侧壁。在此,将绝缘层 828 的不接触于导电层 824、826 的侧面的面形成为弯曲状。具体地说,将它形成得具有任意曲率且相对于接触的导电层 824、826 的侧面弯曲为凸形状。当然,本发明没有特别的限制,可以将绝缘层 828 形成为具有角的形状,而不是弯曲状。注意,可以使用绝缘层 828 作为当形成用作 LDD 区的低浓度杂质区时的掺杂用掩模。

[0298] 接着,覆盖硅层 813 上地有选择地形成抗蚀剂掩模 854。以该抗蚀剂掩模 854、导电层 824、826 以及接触于该导电层 824、826 的侧面地设置的绝缘层 828 为掩模对硅层 805 以高浓度添加赋予一导电型的杂质元素 855。结果,在硅层 805 中,形成用作源区或漏区的高浓度杂质区 810、用作 LDD 区的低浓度杂质区 808、沟道形成区 806。作为杂质区 855,可以使用与上述杂质元素 851 同样的元素。在此,作为杂质元素 855,添加与上述杂质元素 851 相同的导电型的元素即磷 (P)。注意,添加到硅层 805 的杂质元素 855 的浓度高于以前添加到硅层 805 的杂质元素 851 的浓度。

[0299] 接着,覆盖硅层 805 上地有选择地形成抗蚀剂掩模 856。以该抗蚀剂掩模 856、导电层 824、826 以及接触于该导电层 824、826 的侧面地设置的绝缘层 828 为掩模对硅层 813 以高浓度添加赋予一导电型的杂质元素 857。结果,在硅层 813 中,形成用作源区或漏区的高浓度杂质区 818、用作 LDD 区的低浓度杂质区 816、沟道形成区 814。作为杂质元素 857,可以使用与上述杂质元素 851 同样的元素。在此,作为杂质元素 857,添加与上述杂质元素 853 相同的导电型的元素即硼 (B)。注意,添加到硅层 813 的杂质元素 857 的浓度高于以前添加到硅层 813 的杂质元素 853 的浓度。

[0300] 通过上述工序,在硅层 805 中形成用作源区或漏区的高浓度杂质区 810、用作 LDD 区的低浓度杂质区 808、沟道形成区 806。此外,在硅层 813 中形成用作源区或漏区的高浓度杂质区 818、用作 LDD 区的低浓度杂质区 816、沟道形成区 814。在本实施方式中,可以通过利用导电层 824、导电层 826 以自对准的方式形成沟道形成区 806、814。此外,可以通过利用导电层 824、826 以及接触于其侧面的绝缘层 828 以自对准的方式形成低浓度杂质区 808、816。

[0301] 接着,覆盖设置在支撑衬底 800 上的绝缘层、导电层等地形成绝缘层 836、绝缘层 838,并且在绝缘层 838 上形成与形成在硅层 805 中的高浓度杂质区 810、形成在硅层 813 中的高浓度杂质区 818 电连接的导电层 840(参照图 22C、图 23D、图 25C)。导电层 840 用作源电极或漏电极。注意,图 25C 表示图 19A 所示的虚线 A2-B2 的截面图,并且由于该虚线 A2-B2 不经过导电层 840,所以不图示导电层 840。

[0302] 通过利用 CVD 法、溅射法或涂布法等且使用含氧或氮的无机绝缘材料诸如氧化硅、氮化硅、氧氮化硅、氮氧化硅等;含碳的绝缘材料诸如 DLC(类金刚石碳)等;有机绝缘材料诸如环氧、聚酰亚胺、聚酰胺、聚乙烯基苯酚、苯并环丁烯、丙烯等;或者硅氧烷材料如硅氧烷树脂等,来形成绝缘层 836、838。注意,硅氧烷材料相当于包含 Si-O-Si 键的材料。硅氧烷的骨架结构由硅(Si)和氧(O)的键构成。作为取代基,使用至少含有氢的有机基(例如,烷基、芳香烃)。作为取代基,还可以使用氟基团。或者,作为取代基,也可以使用至少含有氢的有机基和氟基团。此外,也可以通过利用 CVD 法或溅射法形成绝缘层之后,在氧气气氛中或氮气气氛中对该绝缘层进行高密度等离子体处理,来形成绝缘层 836、838。虽然在此在导电层 826 等的上层形成有由绝缘层 836、838 两层构成的层合结构,但是也可以采用形成单层结构或由三个以上的层构成的层合结构。

[0303] 通过利用 CVD 法或溅射法且使用铝(Al)、钨(W)、钛(Ti)、钽(Ta)、钼(Mo)、镍(Ni)、铂(Pt)、铜(Cu)、金(Au)、银(Ag)、锰(Mn)、钕(Nd)、碳(C)、硅(Si)等金属元素,或者包含该金属元素的合金材料或化合物材料以单层结构或层合结构来形成导电层 840。作为包含铝的合金材料,例如可以举出以铝为主要成分并包含镍的材料、或者以铝为主要成分并包含镍、以及碳和硅中的一方或双方的合金材料。作为导电层 840,例如可以采用如下结构:由阻挡层、铝硅(Al-Si)层、以及阻挡层构成的层合结构;由阻挡层、铝硅(Al-Si)层、氮化钛层、以及阻挡层构成的层合结构。注意,阻挡层相当于由钛、钛的氮化物、钼或钼的氮化物构成的薄膜。由于铝和铝硅具有低电阻值并且价格低廉,所以最适合作为形成导电层 840 的材料。此外,通过设置上层和下层的阻挡层,可以防止发生铝或铝硅的小丘,所以是优选的。

[0304] 通过上述工序,可以制造具有利用硅层 805 而形成的 n 沟道晶体管 870 以及利用硅层 813 而形成的 p 沟道晶体管 880 的半导体装置。在本实施方式中,通过使电连接到形成在硅层 805 中的高浓度杂质区 810 的导电层 840 与电连接到形成在硅层 813 中的高浓度杂质区 818 的导电层 840 电连接,来形成具有 n 沟道晶体管以及 p 沟道晶体管的 CMOS 电路。

[0305] 注意,虽然在本实施方式中示出制造包括两个具有彼此不相同的导电型的薄膜晶体管的 CMOS 电路的例子,但是本发明没有特别的限制。例如,也可以制造具有多个 n 沟道薄膜晶体管的 nMOS 电路、具有多个 p 沟道薄膜晶体管的 pMOS 电路等。对 nMOS 电路、pMOS 电路等来说,适当地选择添加到硅层的杂质元素,即可。

[0306] 当使用适用本发明而成的半导体装置时,可以防止且减少起因于硅层的端部的形状以及特性等的影响的缺陷。因此,可以制造提高可靠性的半导体装置。此外,也可以以成品率好的方式制造半导体装置。

[0307] 注意,可以将本实施方式与本说明书所示的其他实施方式适当地组合。

[0308] 实施方式 7

[0309] 可以将涉及本发明的半导体装置适用于 CPU(中央处理单元:Central Processing Unit)等集成电路。在本实施方式中,参照附图以下说明适用图 19A 至 19C 所示的半导体装置的 CPU 的例子。

[0310] 图 27 所示的 CPU3660 在衬底 3600 上主要具有算术逻辑单元 (ALU:Arithmetic logic unit)3601、算术逻辑单元用控制电路部 (ALUController)3602、指令译码部 (Instruction Decoder)3603、中断控制部 (Interrupt Controller)3604、时序控制部 (Timing Cotroller)3605、寄存器 (Register)3606、寄存器控制部 (Register Cotroller)3607、总线接口 (Bus I/F)3608、能够重写的 ROM3609、ROM 接口 (ROM I/F)3620。此外,也可以在另外的芯片上设置 ROM3609 以及 ROM 接口 3620。可以通过使用利用上述实施方式 1 至 6 所示的制造方法且使用 SOI 衬底而形成的薄膜晶体管、组合该薄膜晶体管而成的 COMS 电路、nMOS 电路、pMOS 电路等来构成这些构成 CPU3660 的各种电路。

[0311] 注意,图 27 所示的 CPU3660 只是简化其结构而表示的一个例子,并且实际的 CPU 根据其用途具有多种多样的结构。因此,适用本发明的 CPU 的结构不局限于图 27 所示的。

[0312] 将通过总线接口 3608 输入到 CPU3660 的指令输入到指令译码部 3603,并且对其进行译码后,将其输入到算术逻辑单元用控制电路部 3602、中断控制部 3604、寄存器控制部 3607、时序控制部 3605。

[0313] 基于被译码的指令,算术逻辑单元用控制电路部 3602、中断控制部 3604、寄存器控制部 3607、时序控制部 3605 进行各种控制。具体地说,算术逻辑单元用控制电路部 3602 产生用于控制算术逻辑单元 3601 的驱动的信号。此外,中断控制部 3604 在 CPU3660 正在执行程序的过程中根据其优先级或掩模状态判断来自外部的输入输出装置或外围电路的中断请求来进行处理。寄存器控制部 3607 产生寄存器 3606 的地址,并且根据 CPU 的状态进行对于寄存器 3606 的读出/写入。

[0314] 此外,时序控制部 3605 产生用于控制算术逻辑单元 3601、算术逻辑单元用控制电路部 3602、指令译码部 3603、中断控制部 3604、寄存器控制部 3607 的驱动时序的信号。例如,时序控制部 3605 具有内部时钟发生部,并且将时钟信号 CLK2 供应于上述各种电路。该内部时钟发生部根据基准时钟信号 CLK1 (3621) 产生内部时钟信号 CLK2 (3622)。

[0315] 注意,虽然在本实施方式中示出将涉及本发明的半导体装置适用于 CPU 的例子,但是本发明没有特别的限制。例如,也可以通过适用本发明来制造数码相机等影像拍摄装置、汽车音响等声音再现装置、笔记本个人电脑、游戏机、便携式信息终端(手机、便携式游戏机等)、家用游戏机等具有记录介质的图像再现装置等。

[0316] 因为通过使用 SOI 衬底来形成涉及本发明的半导体装置,所以跟使用大块单晶硅衬底来形成的情况相比,其寄生电容少,而可以谋求实现高速化及低功耗化。这是因为在 SOI 衬底中,将埋氧层形成在沟道形成区以及源区或漏区被形成的表面硅层下的缘故。此外,当使用适用本发明而形成的半导体装置时,可以防止起因于硅层的端部形状以及特性

等的影响的缺陷,并且防止漏电流的发生。此外,当使硅层薄膜化时,也可以防止起因于硅层端部的特性的影响的缺陷。因此,通过将涉及本发明的半导体装置适用于CPU等,可以实现低功耗化以及高速化。此外,可以以成品率好的方式制造提高可靠性的半导体装置。

[0317] 实施方式 8

[0318] 在本实施方式中,说明上述实施方式所示的半导体装置的使用方式的一个例子。具体而言,参照附图以下说明能够无接触地输入/输出数据的半导体装置的适用例子。根据使用方式,能够无接触地输入/输出数据的半导体装置也称为RFID标签、ID标签、IC标签、IC芯片、RF标签、无线标签、电子标签或无线芯片。

[0319] 参照图29A说明本实施方式所示的半导体装置的俯视结构的一个例子。图29A至29C所示的半导体装置2180包括薄膜集成电路2131和用作天线的导电层2132,所述薄膜集成电路2131中设置有构成存储器部和逻辑部的多个薄膜晶体管等元件。用作天线的导电层2132电连接到薄膜集成电路2131。可以将上述实施方式1至6所示的涉及本发明的薄膜晶体管适用于薄膜集成电路2131。

[0320] 另外,图29B和29C表示图29A中的线段a1-b1的截面的示意图。用作天线的导电层2132设置在构成存储器部及逻辑部的元件的上方即可。例如,可以在上述实施方式6所示的结构上方中间夹着绝缘膜2130设置用作天线的导电层2132(参照图29B)。另外,可以在将用作天线的导电层2132另行设置于衬底2133上之后,将该衬底2133以及薄膜集成电路2131粘在一起而设置以使导电层2132位于其之间(参照图29C)。这里,设置在绝缘层2130上的导电层2136和用作天线的导电层2132通过包含在具有粘结性的树脂2135中的导电粒子2134彼此电连接。

[0321] 注意,虽然在本实施方式中示出将用作天线的导电层2132设置为线圈状并且适用电磁感应方式或电磁耦合方式的例子,但是本发明的半导体装置不局限于此,也可以适用微波方式。在采用微波方式的情况下,根据使用的电磁波的波长而适当地决定用作天线的导电层2132的形状即可。

[0322] 例如,在适用微波方式(例如,UHF频带(860MHz频带至960MHz频带)、2.45GHz频带等)作为半导体装置2180的信号传输方式的情况下,考虑到用于传输信号的电磁波的波长来适当地设定用作天线的导电层的长度等形状即可。例如,可以将用作天线的导电层形成为线状(例如,偶极天线(参照图30A))、平坦的形状(例如,平板天线(参照图30B))或者蝴蝶型的形状(参照图30C和30D)等。另外,用作天线的导电层2132的形状不局限于线状,还可以考虑到电磁波的波长以曲线状、蜿蜒形状或者组合这些形状的形状而设置。

[0323] 用作天线的导电层2132通过利用CVD法、溅射法、丝网印刷或凹版印刷等印刷法、液滴喷射法、分配器法、镀敷法等且使用导电材料来形成。通过使用铝(Al)、钛(Ti)、银(Ag)、铜(Cu)、金(Au)、铂(Pt)、镍(Ni)、钯(Pd)、钽(Ta)、钼(Mo)等金属元素、或者包含该金属元素的合金材料或化合物材料作为导电材料并且以单层结构或层合结构来形成导电层2132。

[0324] 例如,在使用丝网印刷法形成用作天线的导电层2132的情况下,可以通过有选择地印刷将其粒径为几nm至几十 μm 的导电粒子溶解或分散在有机树脂中的导电膏来设置。作为导电粒子,可以使用银(Ag)、金(Au)、铜(Cu)、镍(Ni)、铂(Pt)、钯(Pd)、钽(Ta)、钼(Mo)以及钛(Ti)等中的任一个以上的金属粒子、卤化银的微粒子、或者分散性纳米粒

子。另外,作为包含在导电膏中的有机树脂,可以使用选自用作金属粒子的粘合剂、溶剂、分散剂以及覆盖材料的有机树脂中的一种或多种。可以典型地举出环氧树脂、硅树脂等有机树脂。此外,当形成导电层时,优选在设置导电膏之后进行焙烧。例如,在使用以银为主要成分的微粒子(例如其粒径为 1nm 以上且 100nm 以下的微粒子)作为导电膏的材料的情况下,可以通过在 150℃至 300℃的温度范围内进行焙烧来使它固化,来形成导电层。另外,也可以使用以焊料或无铅焊料为主要成分的微粒子,在此情况下,优选使用粒径为 20 μm 以下的微粒子。焊料或无铅焊料具有成本低的优点。

[0325] 如此,通过将本发明适用于能够无接触地输入/输出数据的半导体装置,可以谋求实现低功耗化,所以特别在将本发明使用于小型半导体装置的情况下,是有效果的。

[0326] 接着,对涉及本实施方式的半导体装置的工作例子进行说明。

[0327] 半导体装置 2180 具有无接触地进行数据通讯的功能,并且包括高频电路 81、电源电路 82、复位电路 83、时钟产生电路 84、数据解调电路 85、数据调制电路 86、控制其它电路的控制电路 87、存储电路 88、以及天线 89(参照图 31A)。高频电路 81 是接收来自天线 89 的信号并且将从数据调制电路 86 接收的信号从天线 89 输出的电路。电源电路 82 是根据接收信号生成电源电位的电路。复位电路 83 是生成复位信号的电路。时钟产生电路 84 是基于从天线 89 输入的接收信号生成各种时钟信号的电路。数据解调电路 85 是解调接收信号且将该信号输出到控制电路 87 的电路。数据调制电路 86 是调制从控制电路 87 接收的信号的电路。另外,作为控制电路 87,例如设置有代码提取电路 91、代码判定电路 92、CRC 判定电路 93、以及输出单元电路 94。此外,代码提取电路 91 是分别提取传送到控制电路 87 的指令所包括的多个代码的电路。代码判定电路 92 是将被提取的代码与相当于参考值的代码比较而判定指令内容的电路。CRC 判定电路 93 是基于被判定的代码检测出是否存在发送错误等的电路。在图 31A 中,除了控制电路 87 以外,还包括作为模拟电路的高频电路 81、电源电路 82。

[0328] 接着,对上述半导体装置的工作的一个实例进行说明。首先,天线 89 接收无线信号。无线信号经由高频电路 81 被传送到电源电路 82,并且产生高电源电位(以下,写为 VDD)。VDD 被供应给半导体装置 2180 所具有的各电路。另外,经由高频电路 81 被传送到数据解调电路 85 的信号被解调(以下,写为解调信号)。而且,经由高频电路 81 并且经过复位电路 83 及时钟产生电路 84 的信号以及解调信号被传送到控制电路 87。被传送到控制电路 87 的信号被代码提取电路 91、代码判定电路 92、以及 CRC 判定电路 93 等分析。然后,根据被分析的信号输出存储在存储电路 88 内的半导体装置的信息。被输出的半导体装置的信息经过输出单元电路 94 而被编码。再者,被编码的半导体装置 2180 的信息经过数据调制电路 86 且从天线 89 作为无线信号发送。另外,低电源电位(以下,称为 VSS)在构成半导体装置 2180 的多个电路中是通用的,并且可以将 VSS 作为 GND 来使用。

[0329] 这样,通过将信号从读取/写入器传送到半导体装置 2180 并且将从该半导体装置 2180 传送来的信号使用读取/写入器接收,可以读出半导体装置的数据。

[0330] 另外,半导体装置 2180 既可以是不安装电源(电池)而利用电磁波将电源电压供应给各电路的类型,又可以是安装电源(电池)并且利用电磁波和电源(电池)将电源电压供应给各电路的类型。

[0331] 接着,将说明能够无接触地输入/输出数据的半导体装置的使用方式的一个实

例。在包括显示部 3210 的便携式终端的侧面设置有读取 / 写入器 3200, 并且在货物 3220 的侧面设置有半导体装置 3230 (参照图 31B)。当将读取 / 写入器 3200 接近设置有半导体装置 3230 的货物 3220 时, 有关产品的信息诸如原材料、原产地、各个生产工序的检查结果、流通过程的历史、以及产品说明等被显示在显示部 3210 上。另外, 在将商品 3260 使用传送带搬运时, 可以利用读取 / 写入器 3240 和设置在商品 3260 上的半导体装置 3250, 对该商品 3260 进行检查 (参照图 31C)。作为半导体装置 3230、半导体装置 3250, 可以适用上述半导体装置 2180。这样, 通过将涉及本发明的半导体装置应用于系统, 可以容易获得信息并且实现高功能化和高附加价值化。此外, 因为涉及本发明的半导体装置可以实现低功耗化, 所以可以使设置在货品上的半导体装置小型化。

[0332] 另外, 涉及本发明的半导体装置的用途很广泛, 除了上述以外, 还可以应用于任何东西, 只要是无接触地明确对象物的历史等信息并且有利于生产、管理等的商品。例如, 可以将它设置到如下物品上来使用: 纸币、硬币、有价证券、证书、无记名债券、包装容器、书籍、记录介质、随身物品、交通工具、食品、衣物、保健用品、生活用品、药品、以及电子设备等。参照图 28A 至 28H 对它们的例子进行说明。

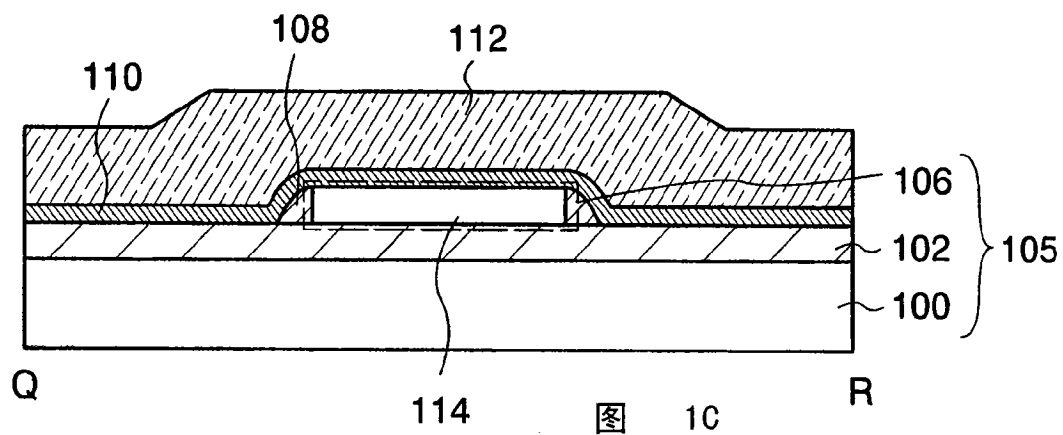
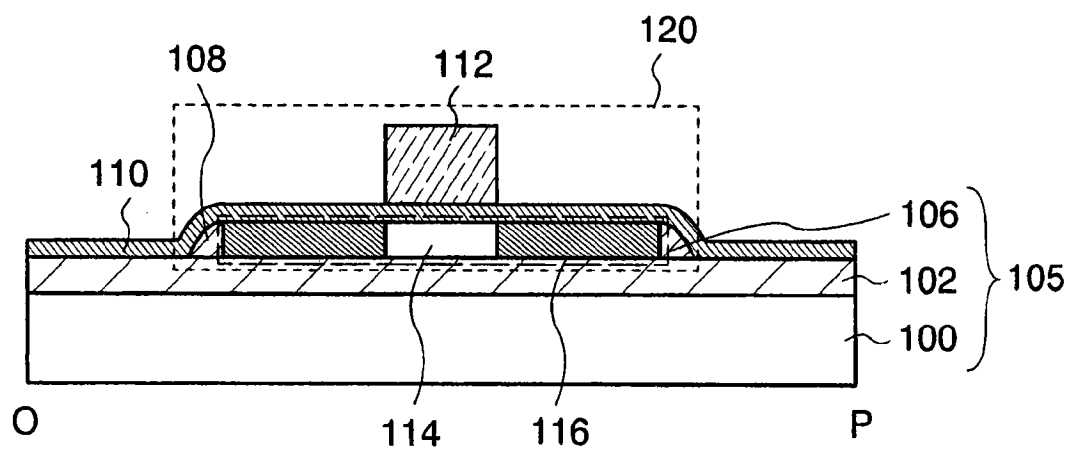
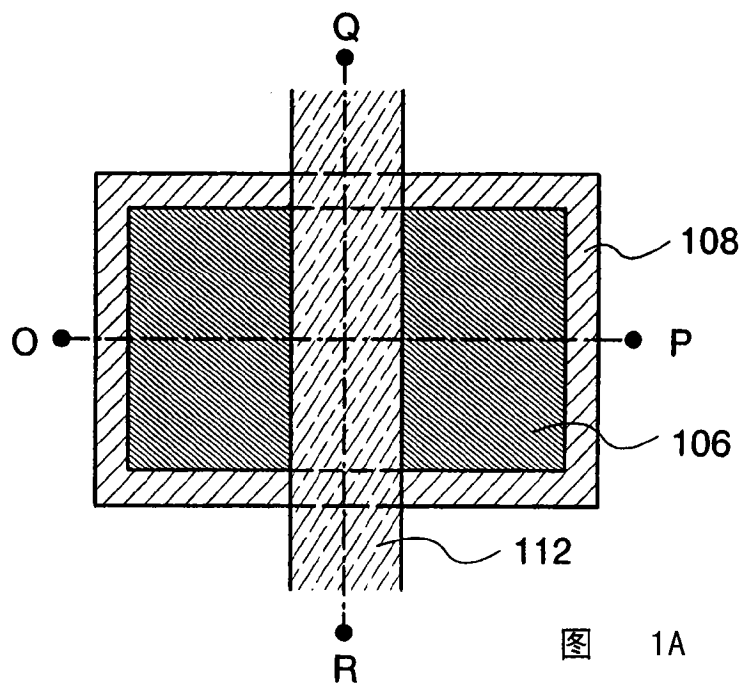
[0333] 纸币和硬币就是在市场上流通的货币, 并且包括在特定区域中与货币同样通用的东西 (兑换券)、纪念硬币等。有价证券是指支票、证券、期票等 (参照图 28A)。证书是指驾驶执照、居住证等 (参照图 28B)。无记名债券是指邮票、米券、各种赠券等 (参照图 28C)。包装容器是指用于盒饭等的包装纸、塑料瓶等 (参照图 28D)。书籍是指书、合订本等 (参照图 28E)。记录介质是指 DVD 软件、录像磁带等 (参照图 28F)。交通工具是指自行车等车辆、船舶等 (参照图 28G)。随身物品是指提包、眼镜等 (参照图 28H)。食品是指食物用品、饮料等。衣物是指衣服、鞋等。保健用品是指医疗仪器、健康仪器等。生活用品是指家具、照明设备等。药品是指医药品、农药等。电子设备是指液晶显示装置、EL 显示装置、电视装置 (电视接收机、薄型电视接收机)、以及手机等。

[0334] 通过将半导体装置 2180 设置到纸币、硬币、有价证券、证书、无记名债券等, 可以防止对其的伪造。另外, 通过将半导体装置 2180 设置到包装容器、书籍、记录介质、随身物品、食品、生活用品、电子设备等, 可以谋求实现检查系统或租赁店的系统等的效率化。通过将半导体装置 2180 设置到交通工具、保健用品、药品等, 可以防止对其的伪造或偷窃, 并且防止误吃药品。半导体装置 2180 可以贴附到物品的表面上, 或嵌入到物品中。例如, 半导体装置 2180 优选嵌入到书籍的纸中, 或嵌入到由有机树脂构成的包装的该有机树脂中。

[0335] 这样, 通过将半导体装置设置到包装容器、记录介质、随身物品、食品、衣物、生活用品、电子设备等, 可以谋求实现检查系统或租赁店的系统等的效率化。另外, 通过将半导体装置设置到交通工具, 可以防止对其的伪造或偷窃。另外, 通过将半导体装置嵌入到动物等生物中, 可以容易识别各个生物。例如, 通过将具有传感器的半导体装置嵌入或贴附到家畜等生物中, 可以不仅识别出生年份、性别或种类等, 而且可以容易管理当前的体温等健康状态。

[0336] 注意, 本实施方式可以与上述实施方式自由组合而进行。

[0337] 本说明书根据 2006 年 12 月 5 日在日本专利局受理的日本专利申请编号 2006-327921 而制作, 所述申请内容包括在本说明书中。



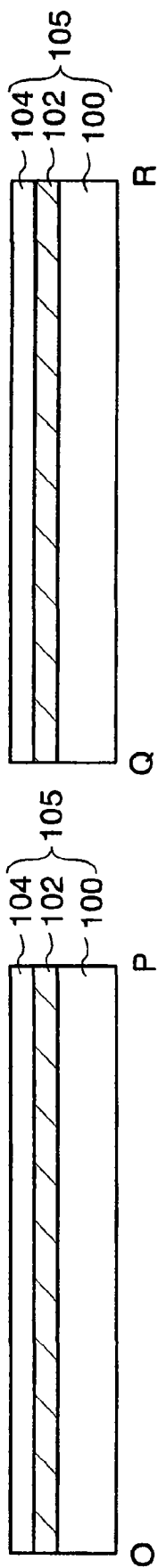


图 2A-1

图 2A-2

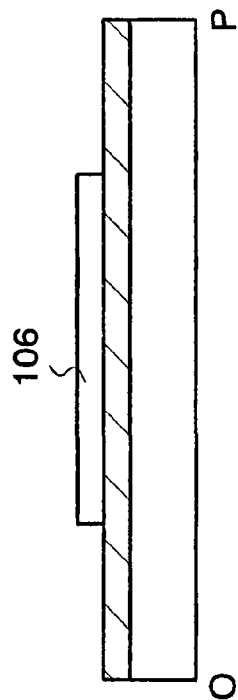


图 2B-1

图 2B-2

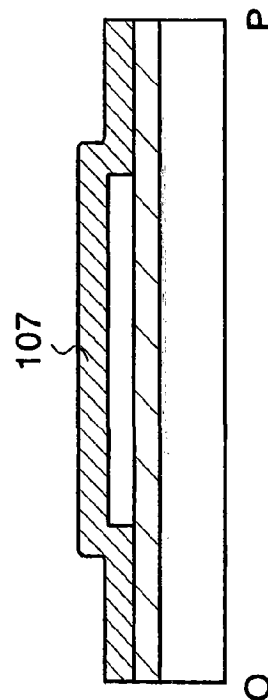


图 2C-1

图 2C-2

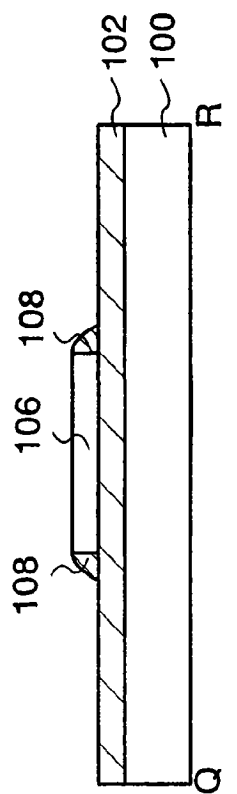


图 3A-2

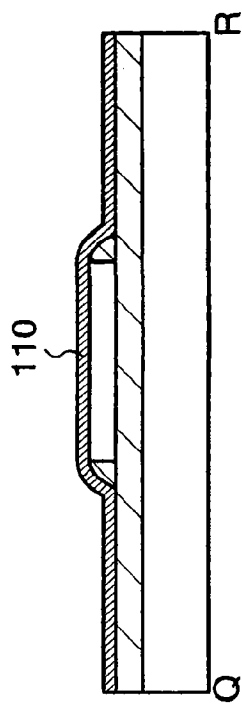


图 3B-2

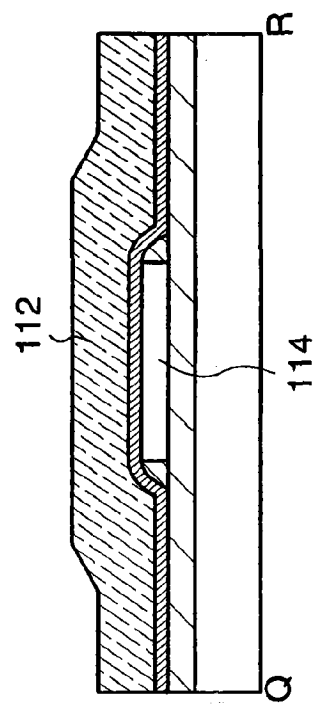


图 3C-2

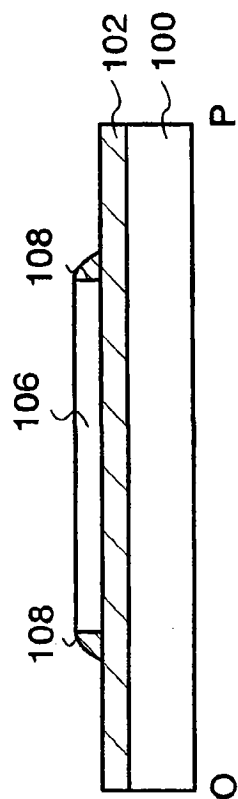


图 3A-1

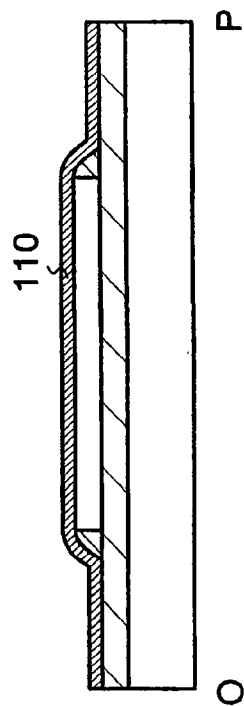


图 3B-1

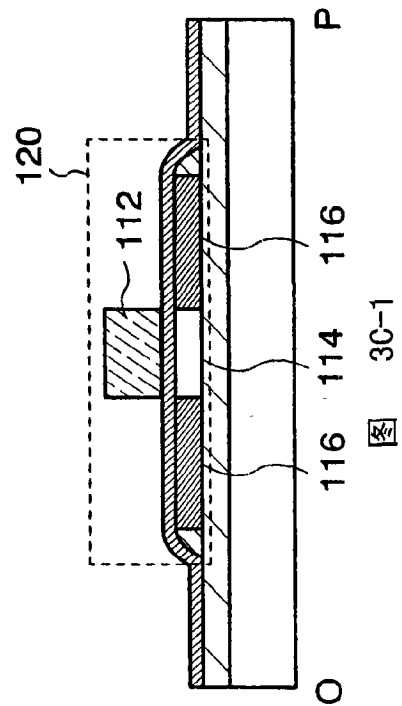


图 3C-1

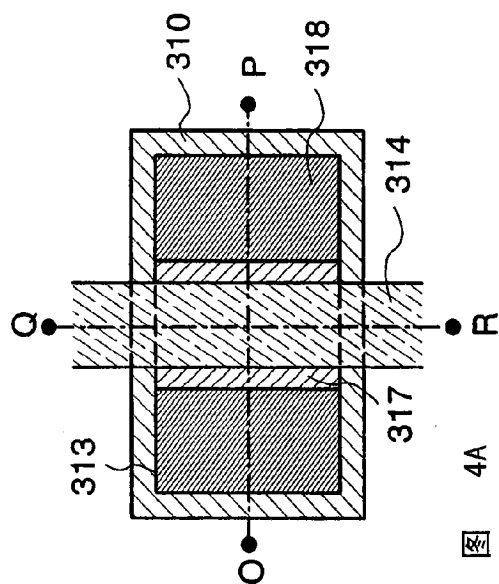


图 4A

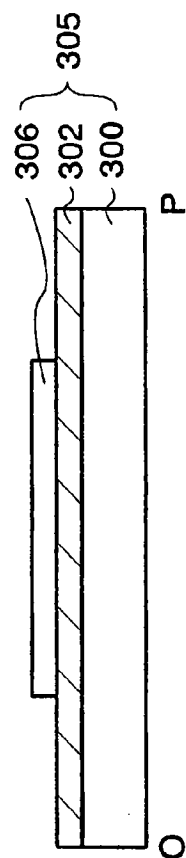


图 4B-1

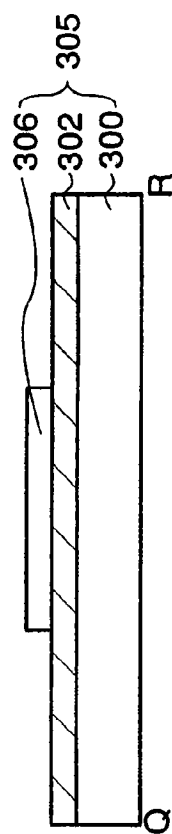


图 4B-2

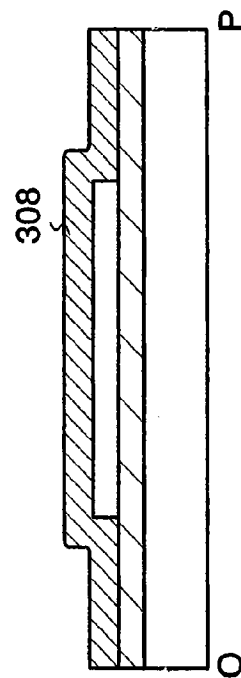


图 4C-1

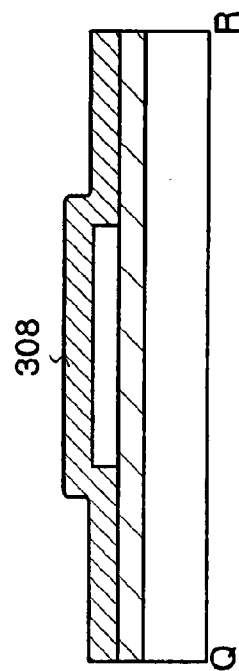


图 4C-2

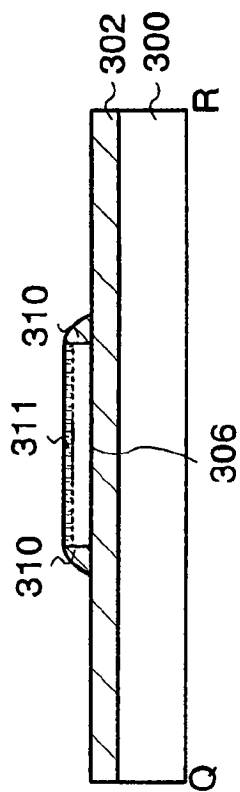


图 5A-1

图 5A-2

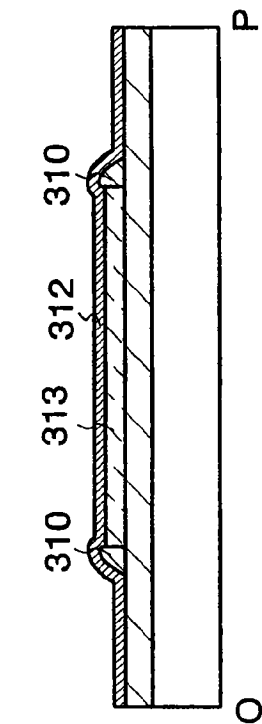


图 5B-1

图 5B-2

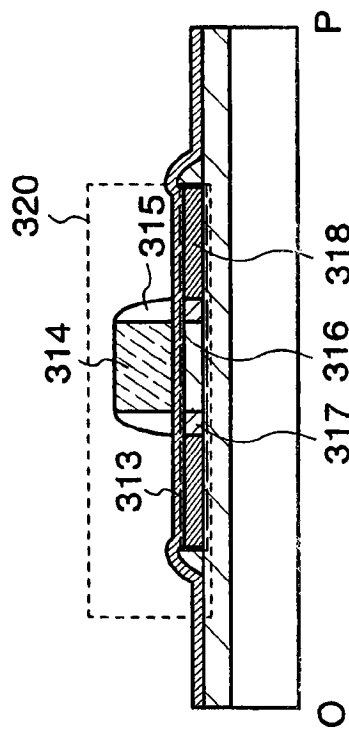


图 5C-1

图 5C-2

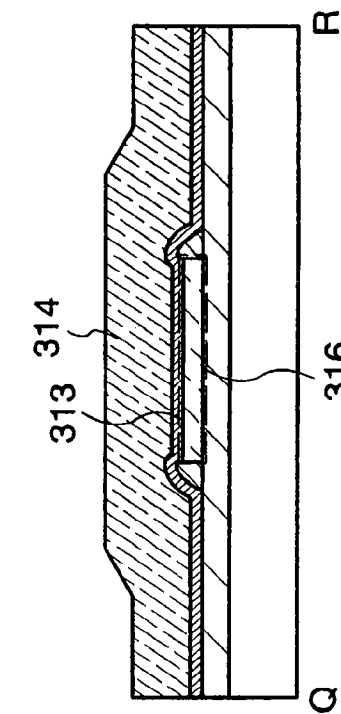
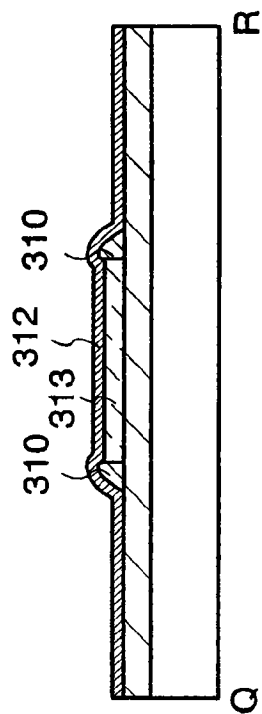




图 6A



图 6B

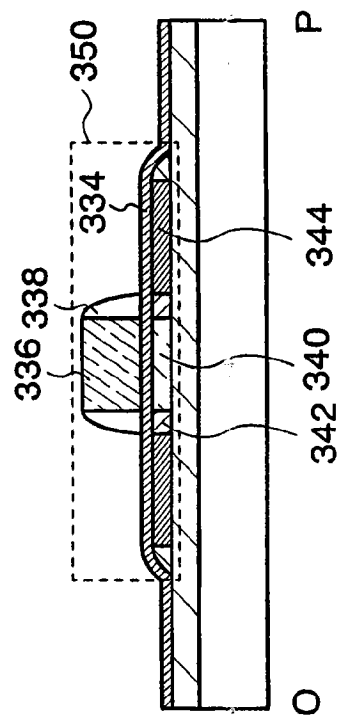


图 6C

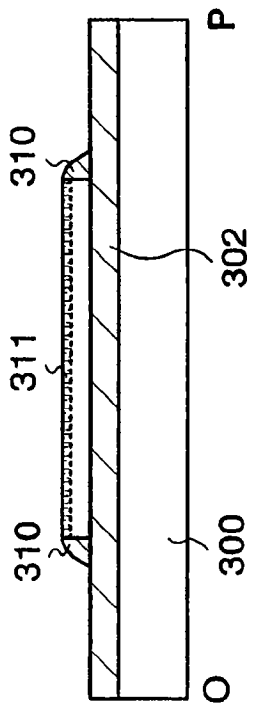


图 6D

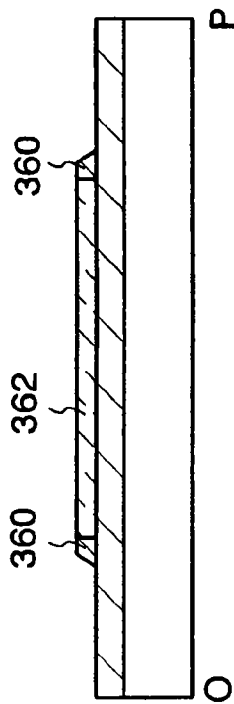


图 6E

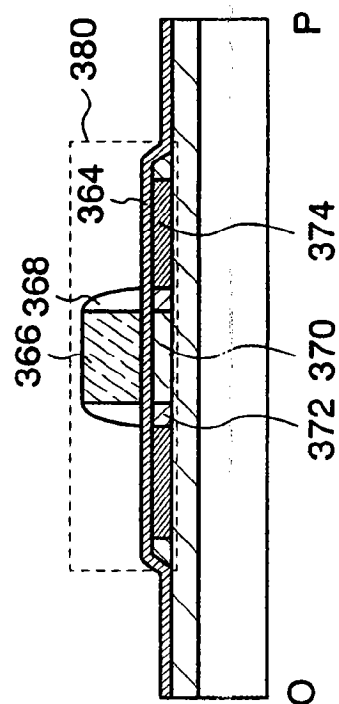


图 6F

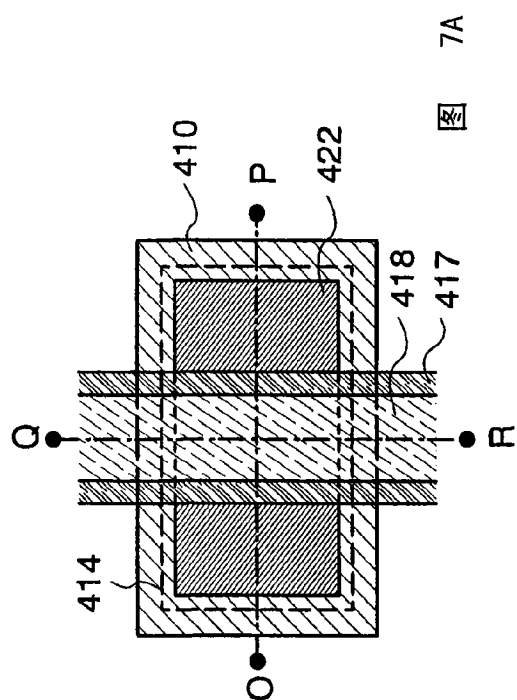


图 7A

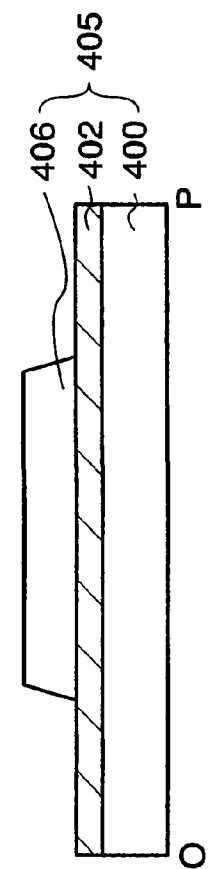


图 7B-1

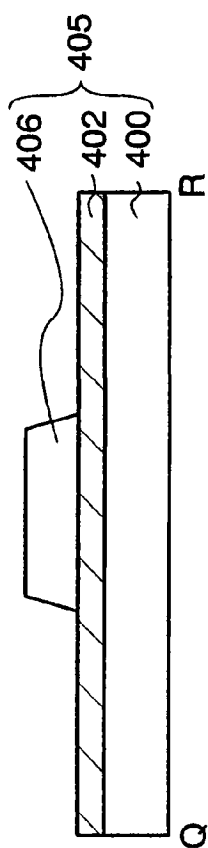


图 7B-2

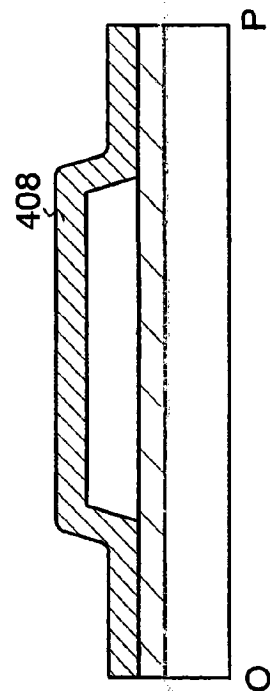


图 7C-1

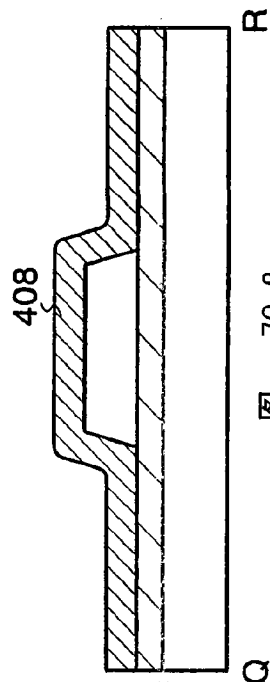
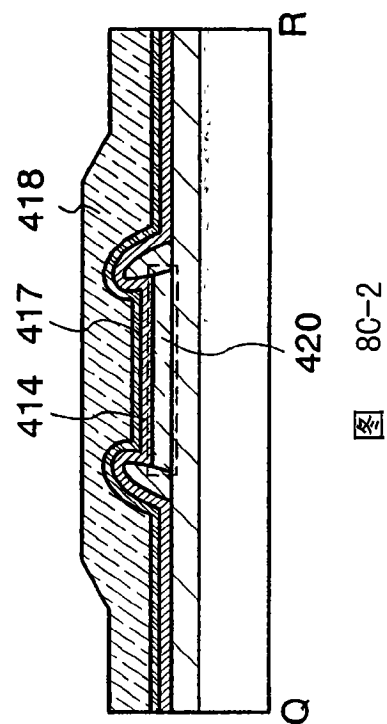
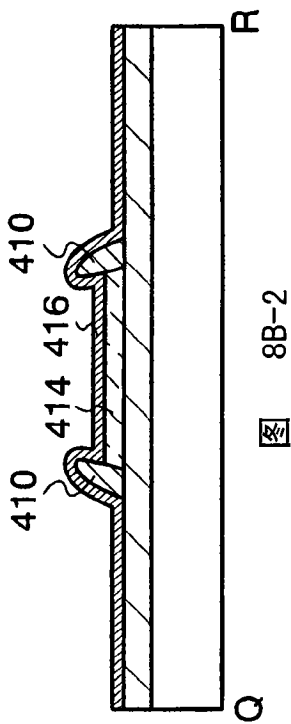
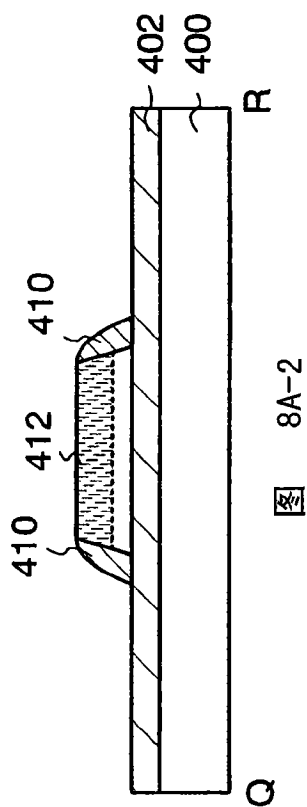
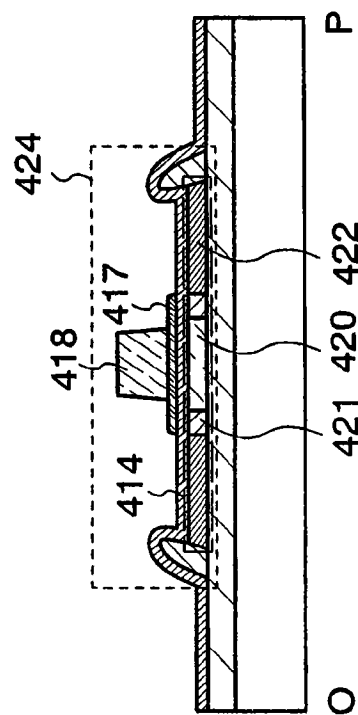
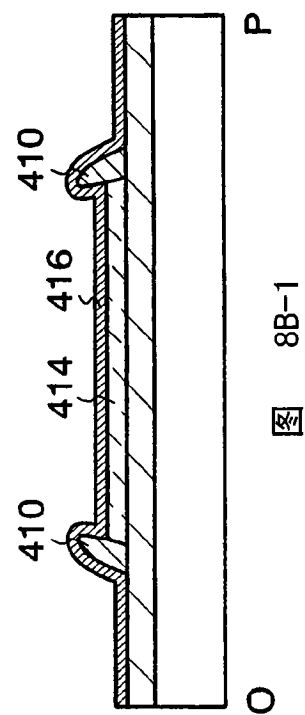
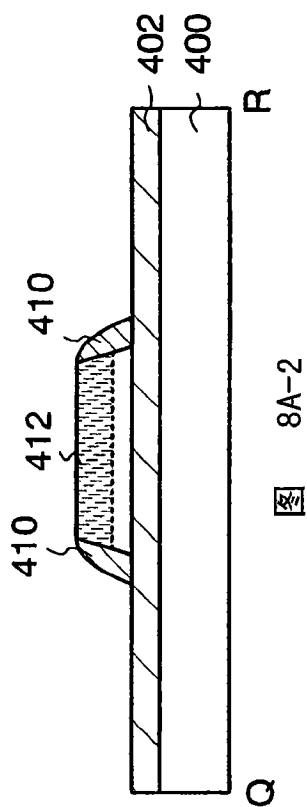


图 7C-2



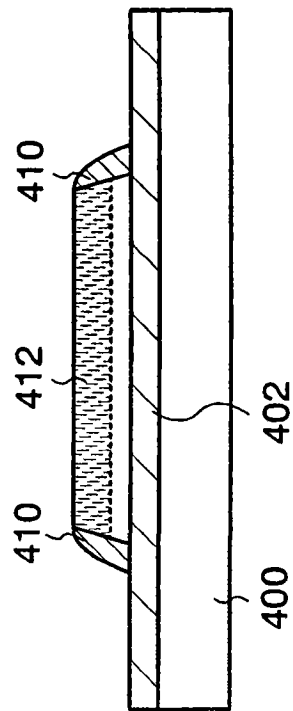


图 9A

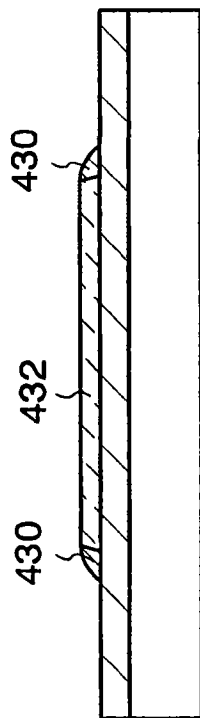


图 9B

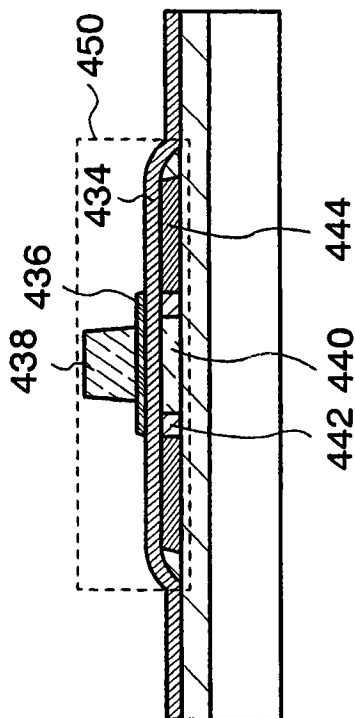


图 9C

图 9D

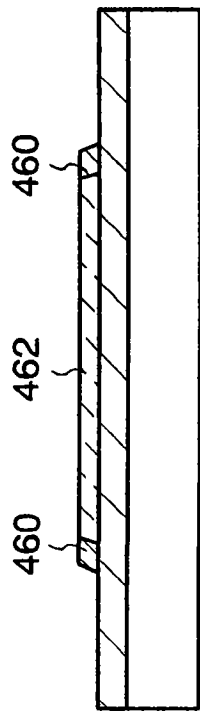


图 9E

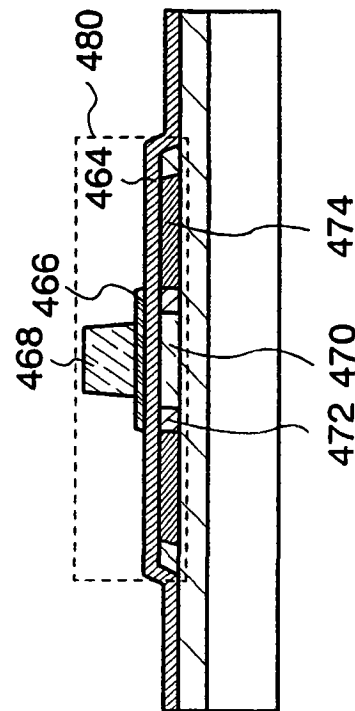


图 9F

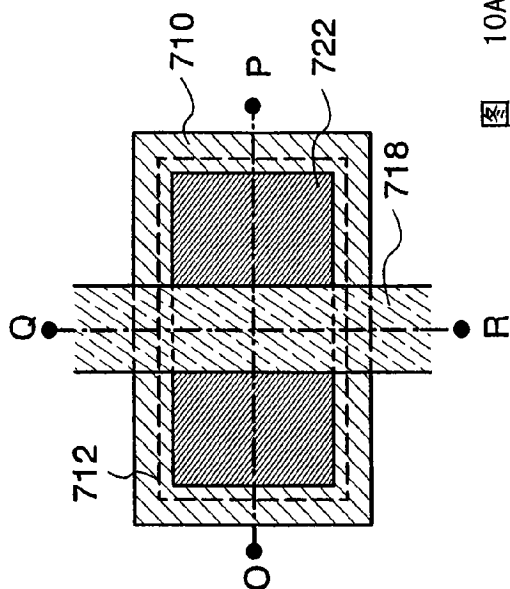


图 10A

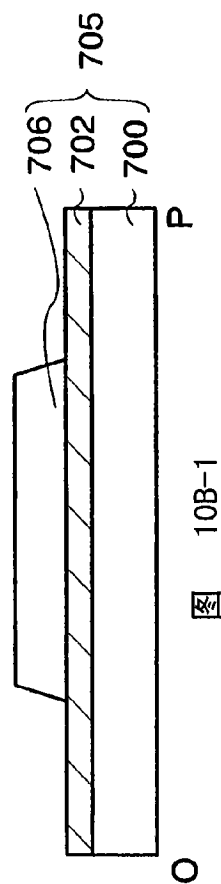


图 10B-1

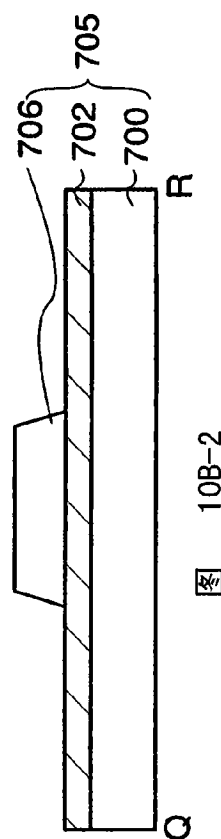


图 10B-2

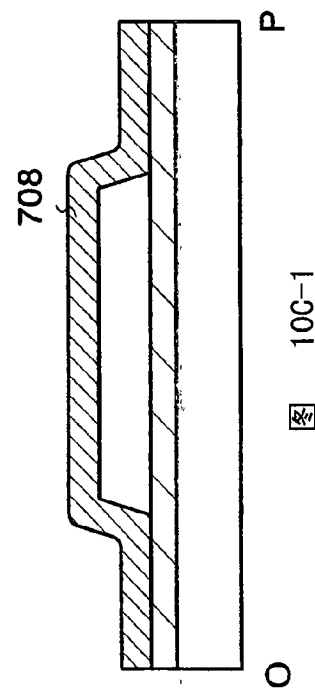


图 10C-1

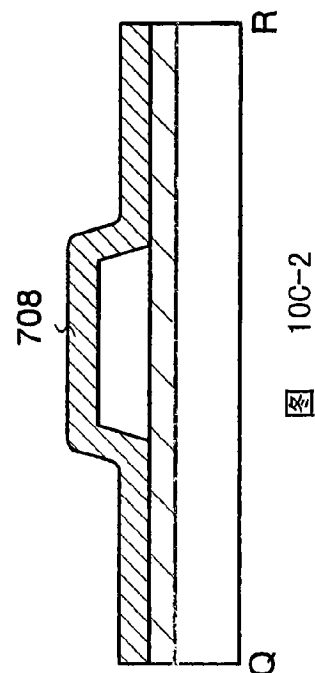


图 10C-2

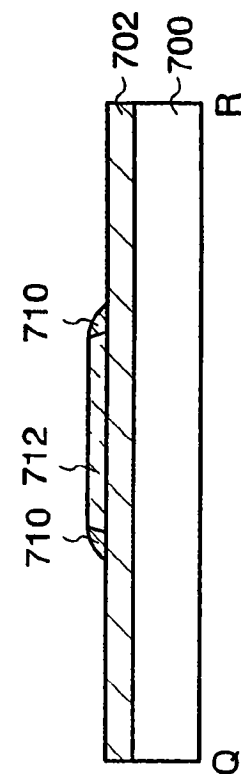


图 11A-1

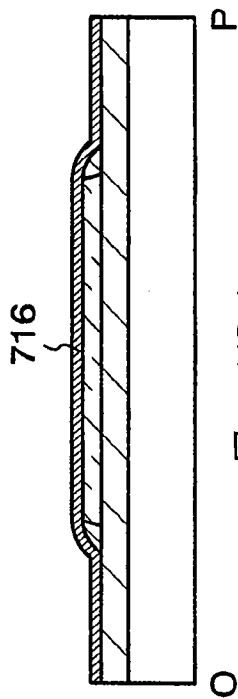


图 11B-1

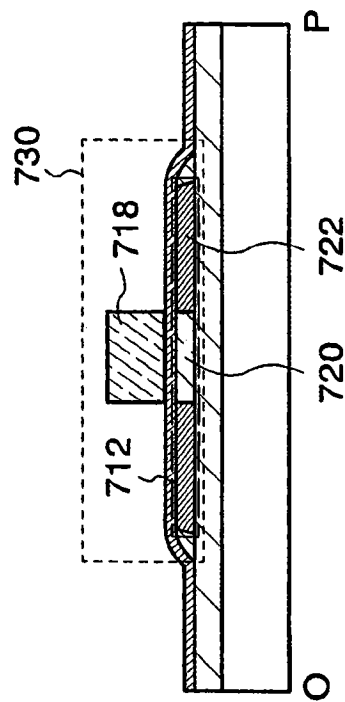


图 11C-1

图 11A-2

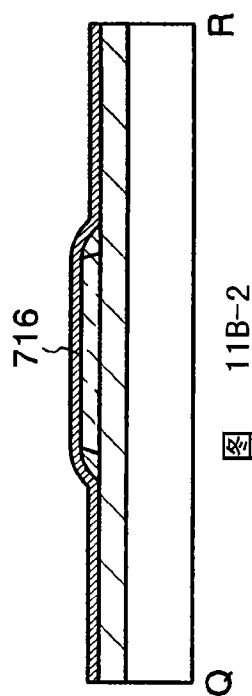


图 11B-2

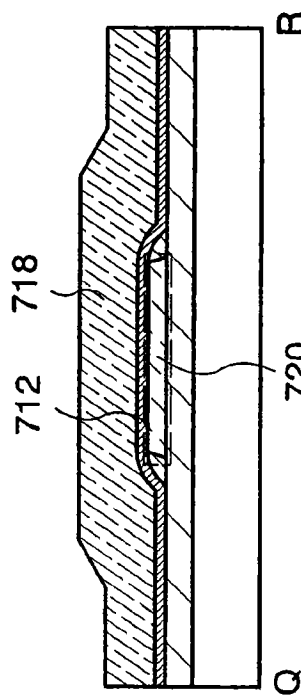


图 11C-2

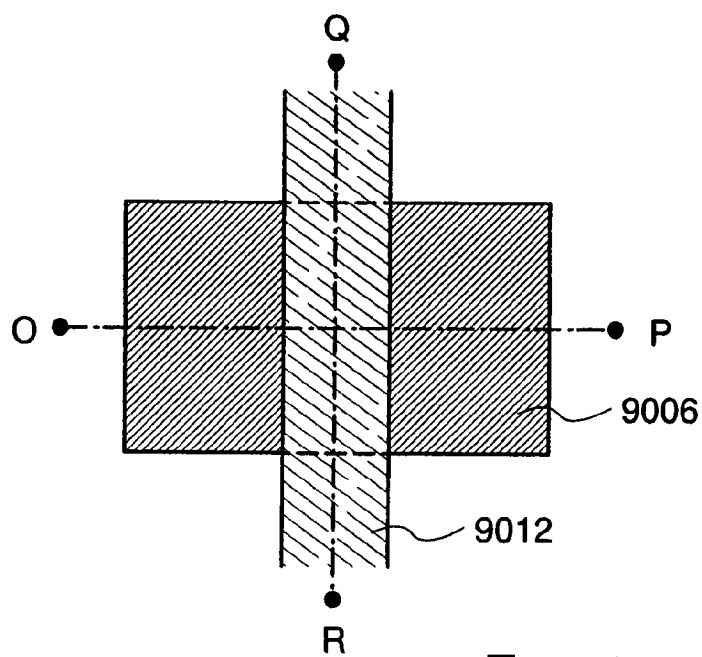


图 12A

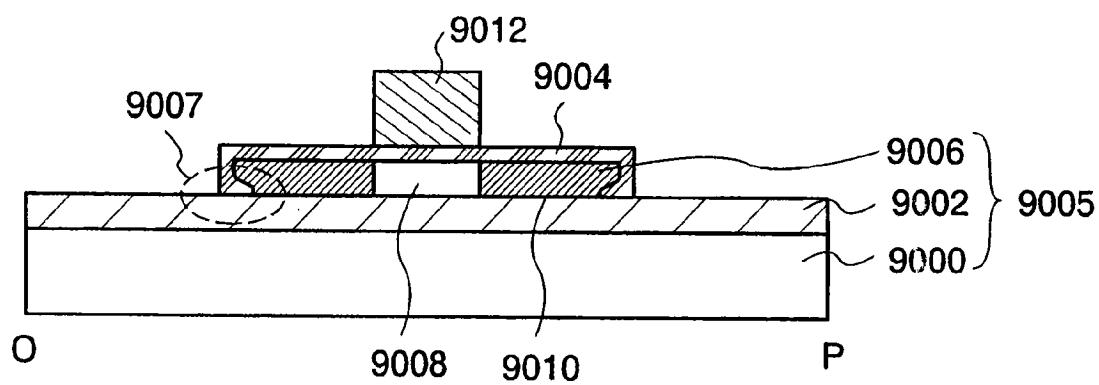


图 12B

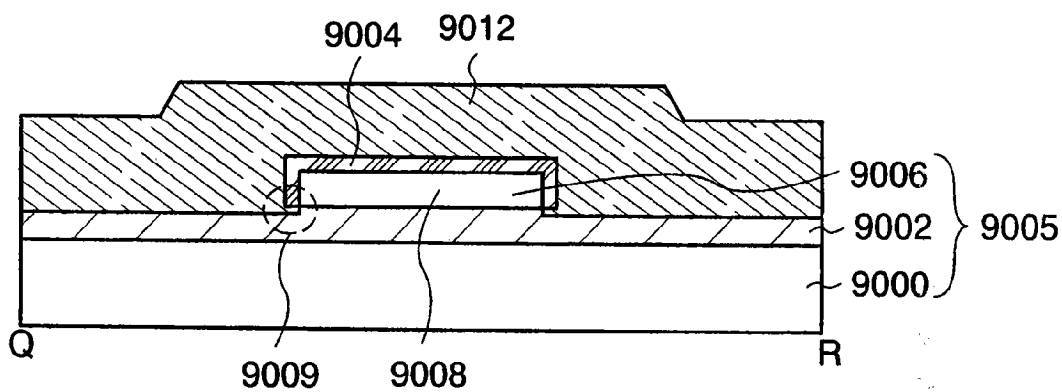


图 12C

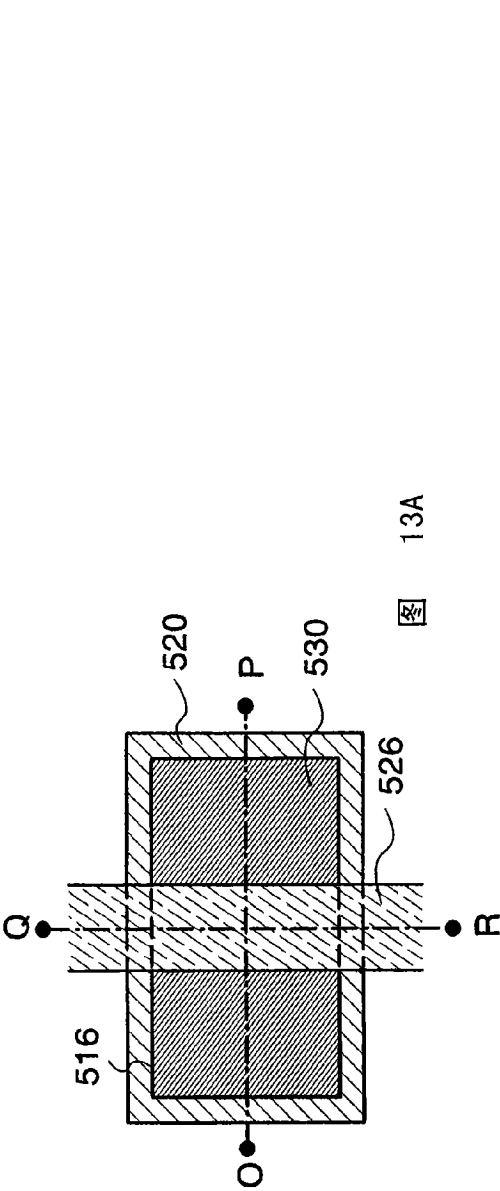


图 13A

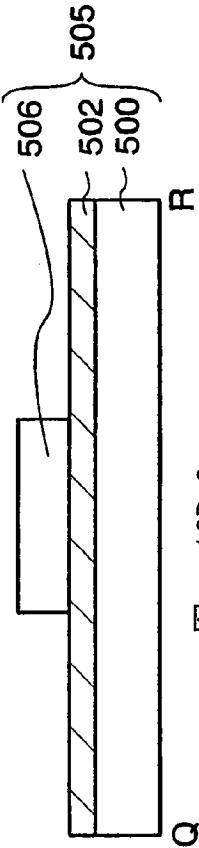


图 13B-2

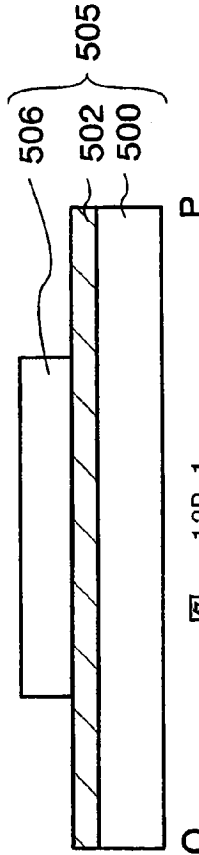


图 13B-1



图 130-2

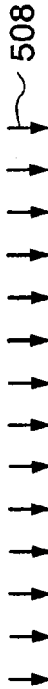
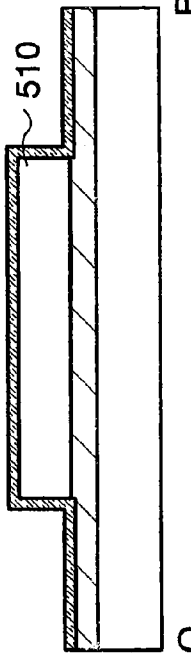
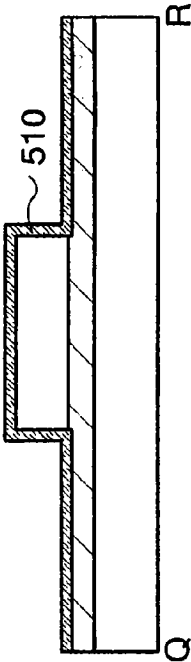


图 130-1



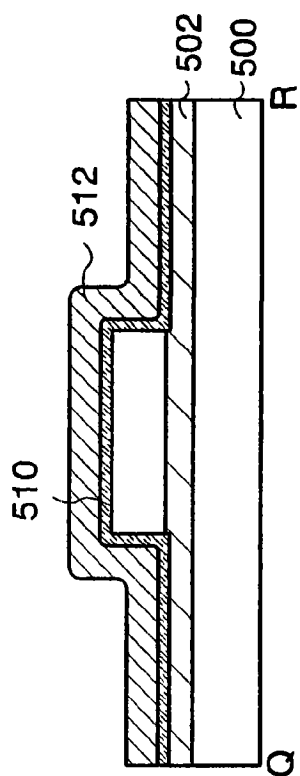


图 14A-2

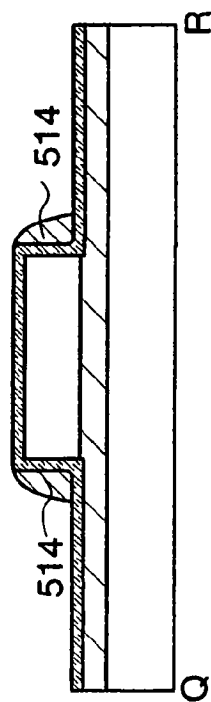


图 14B-2

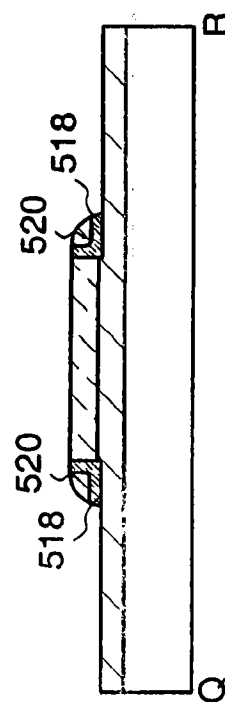


图 14C-2

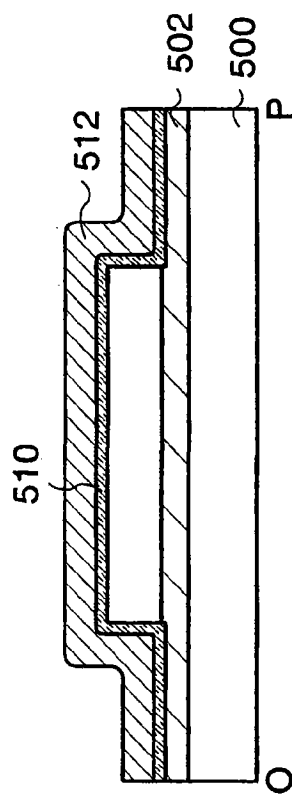


图 14A-1

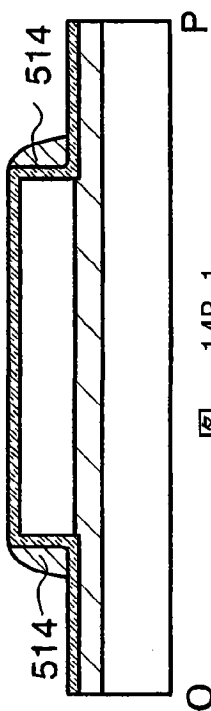


图 14B-1

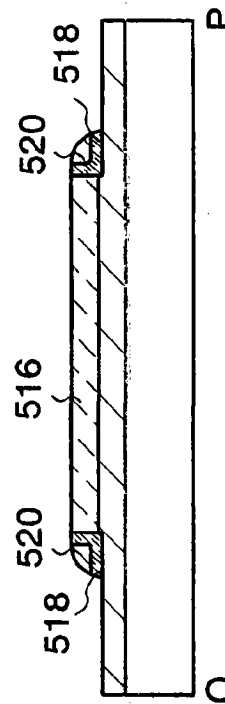


图 14C-1

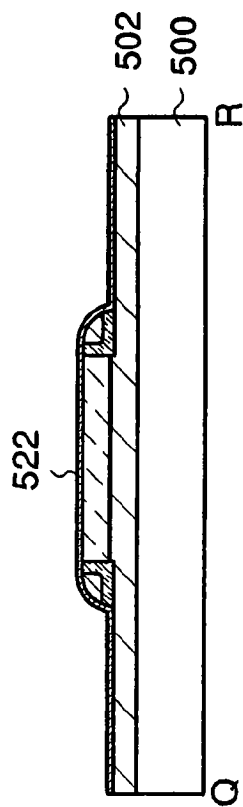


图 15A-1

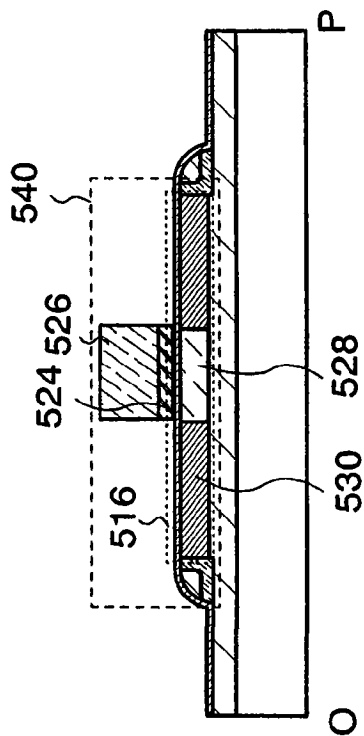


图 15B-1

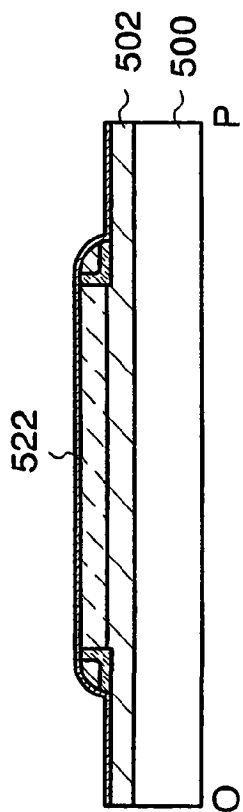


图 15A-2

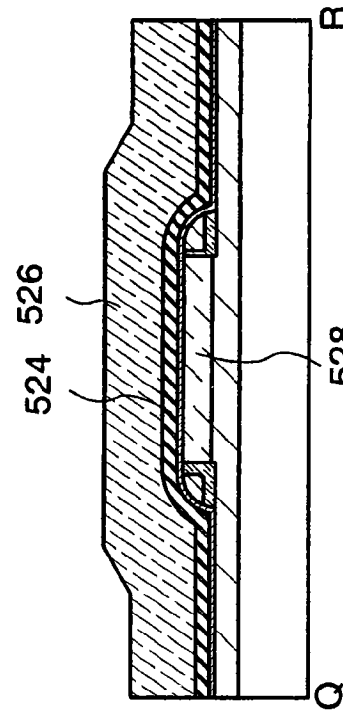


图 15B-2

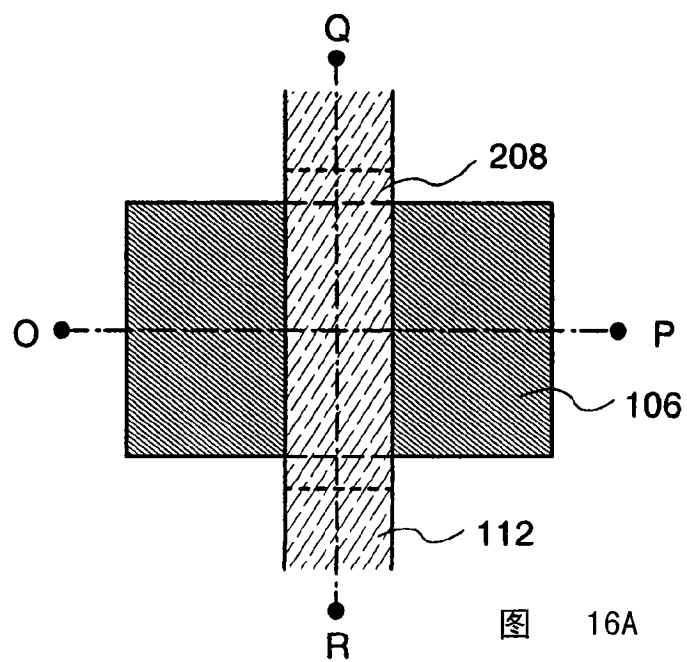


图 16A

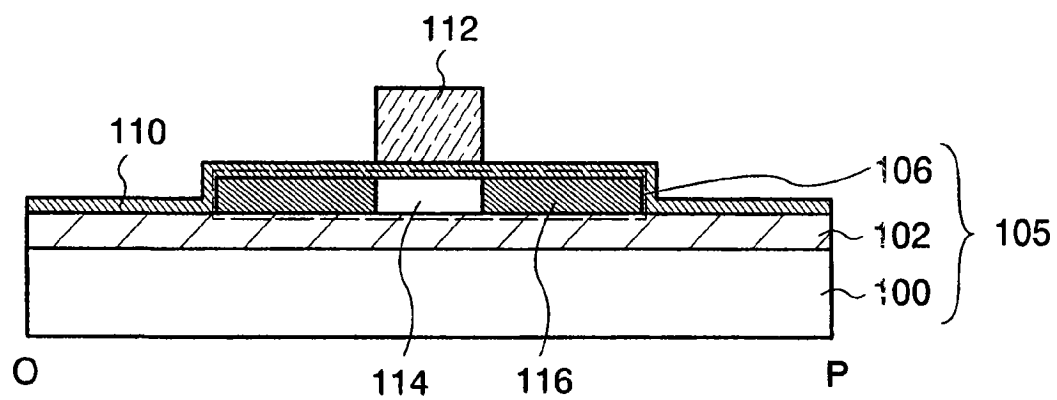


图 16B

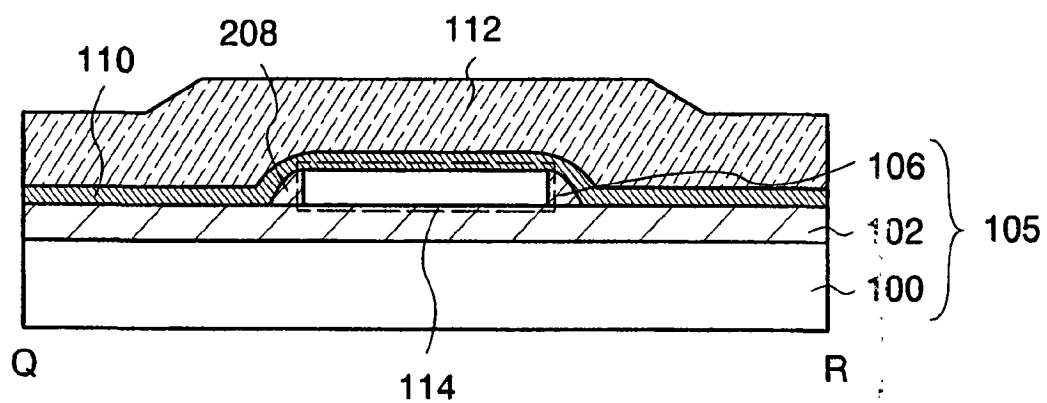


图 16C

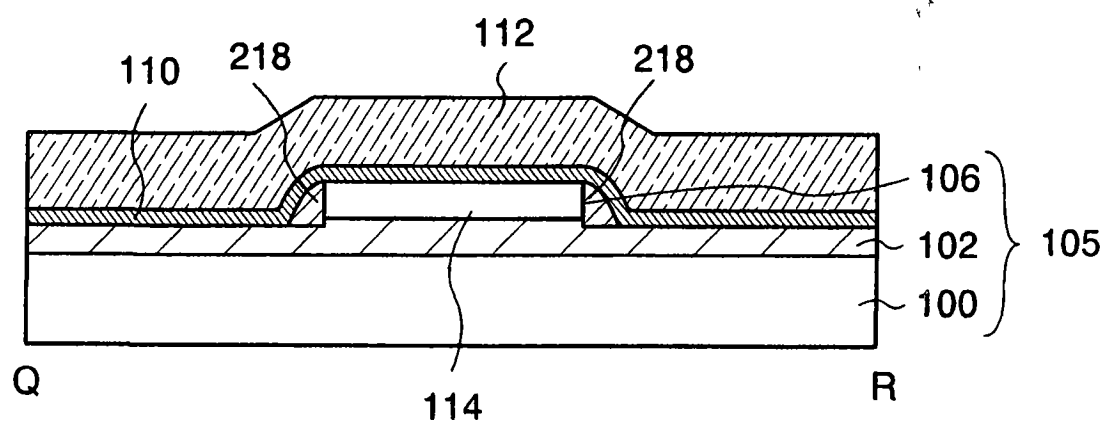


图 17

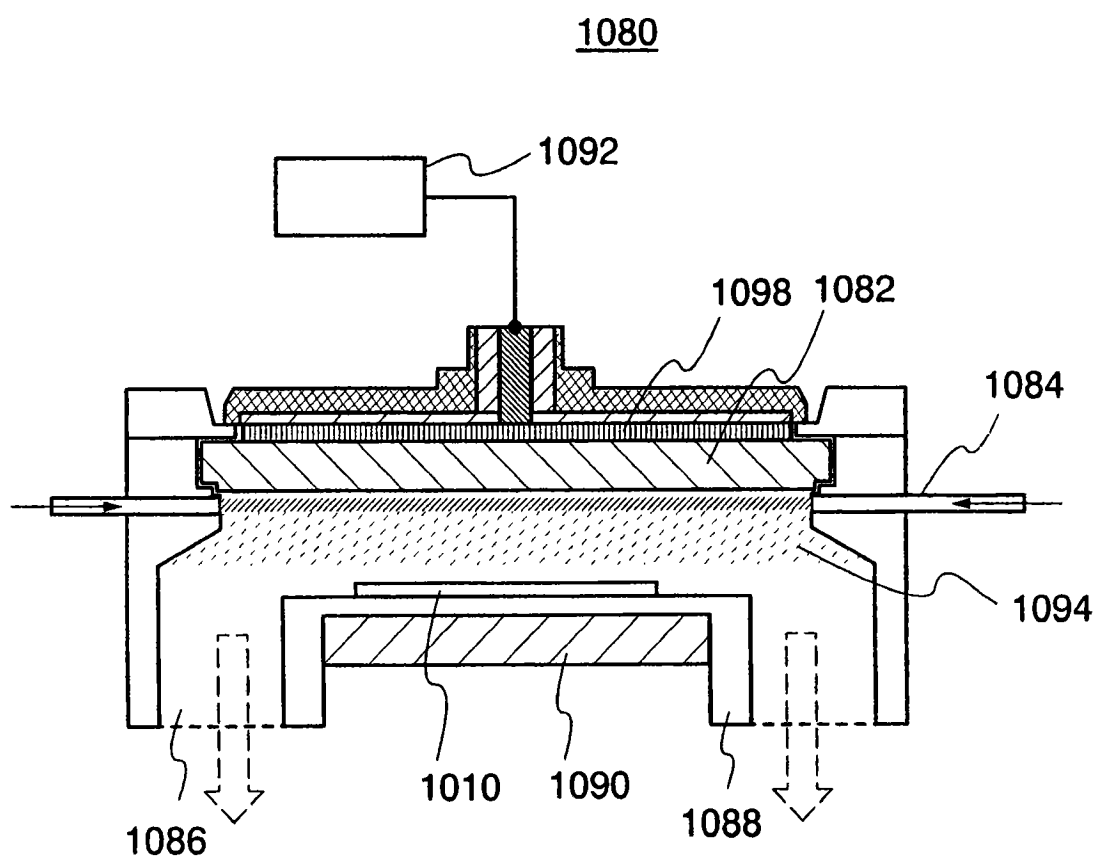


图 18

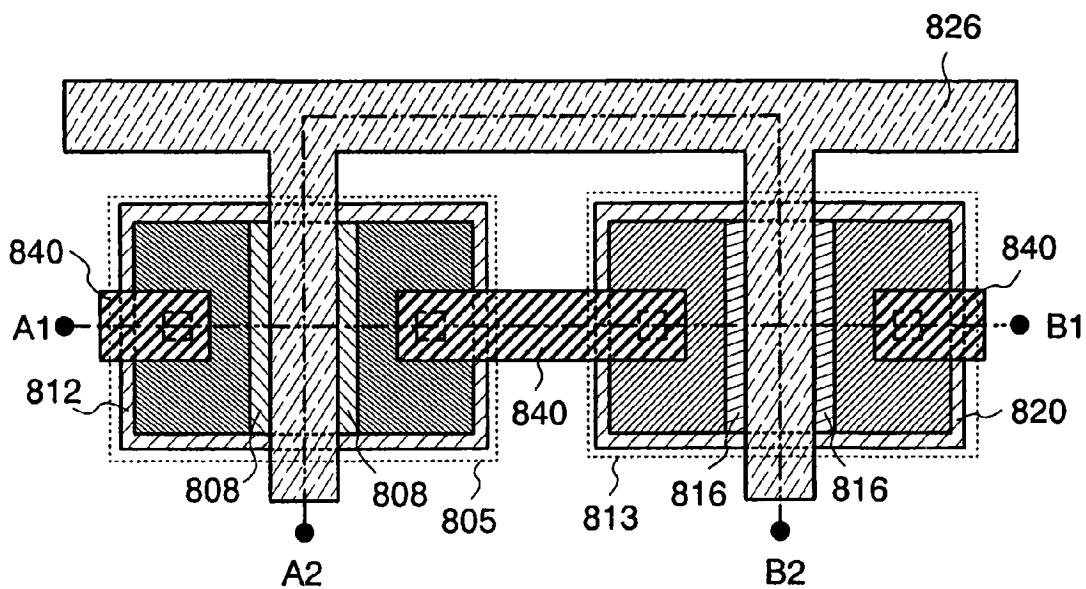


图 19A

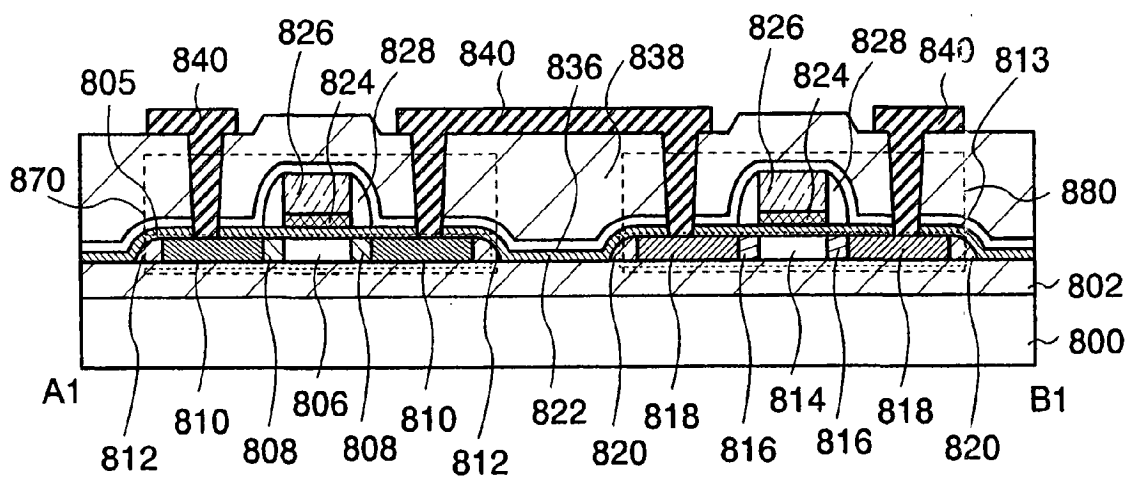


图 19B

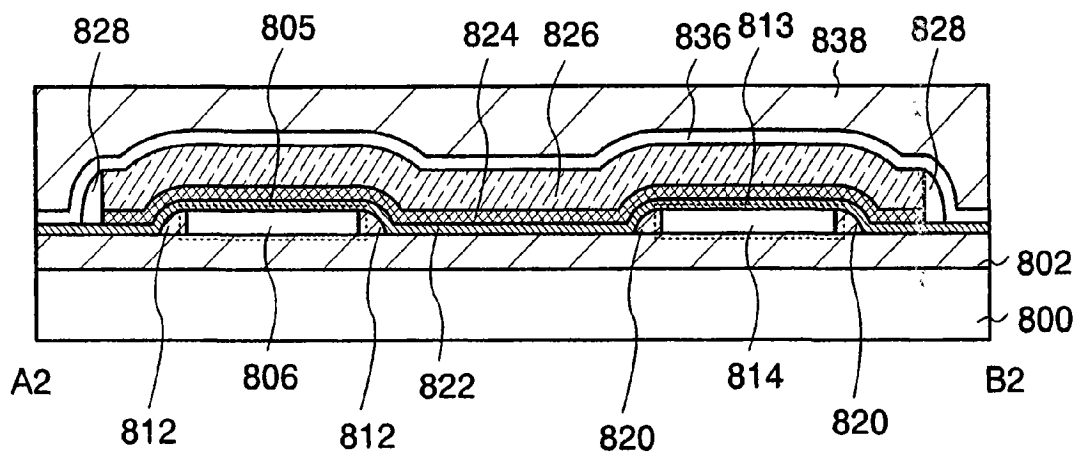
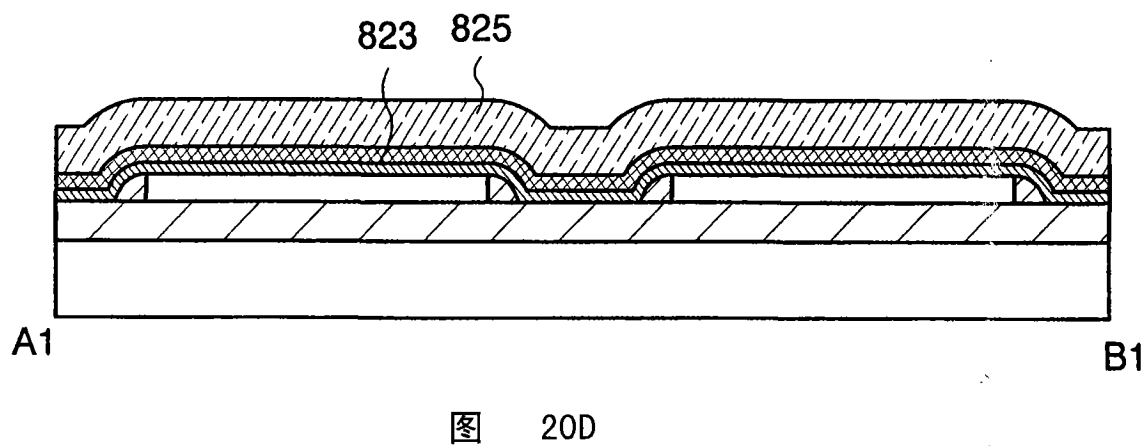
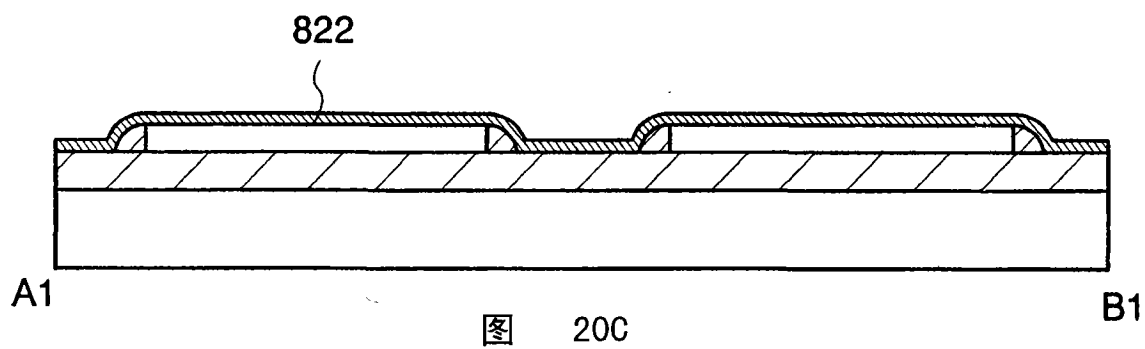
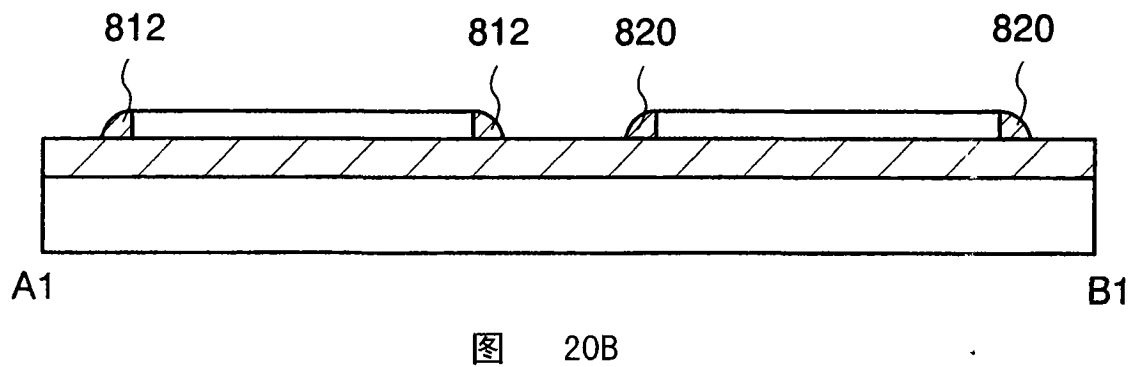
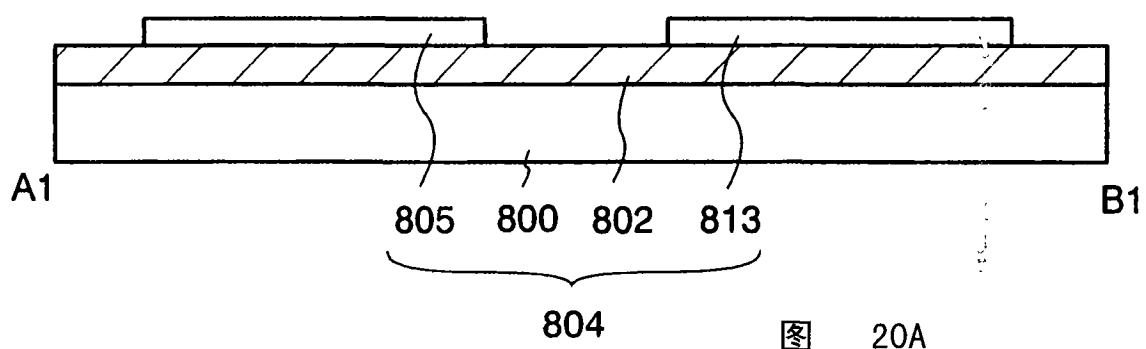
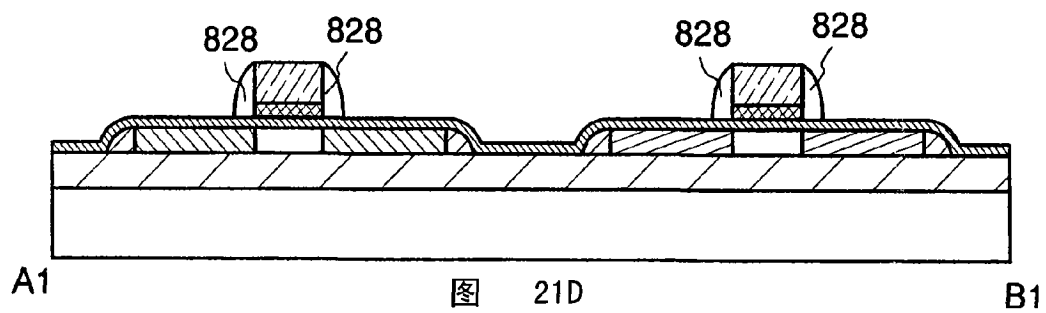
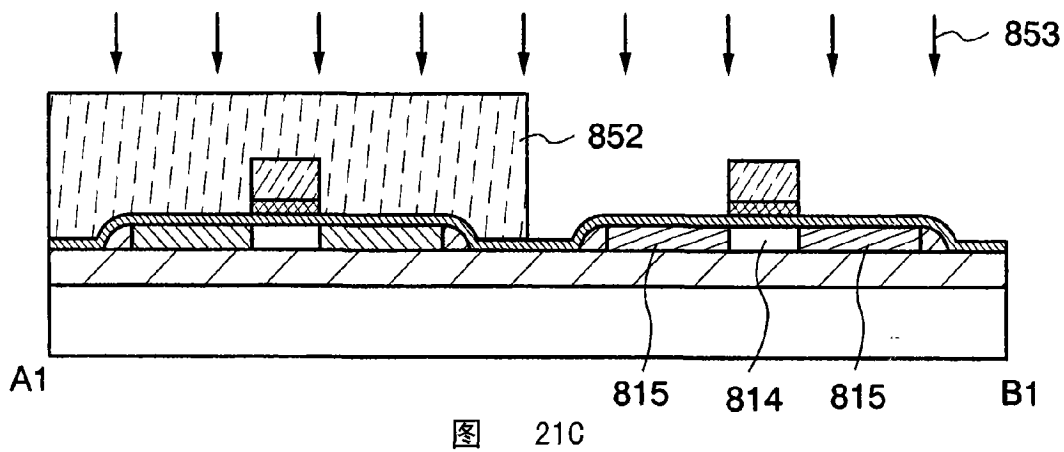
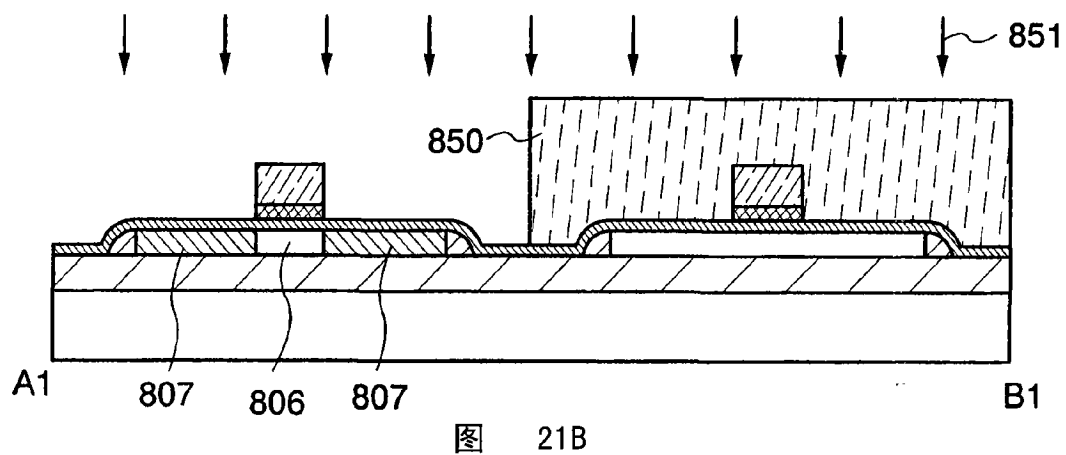
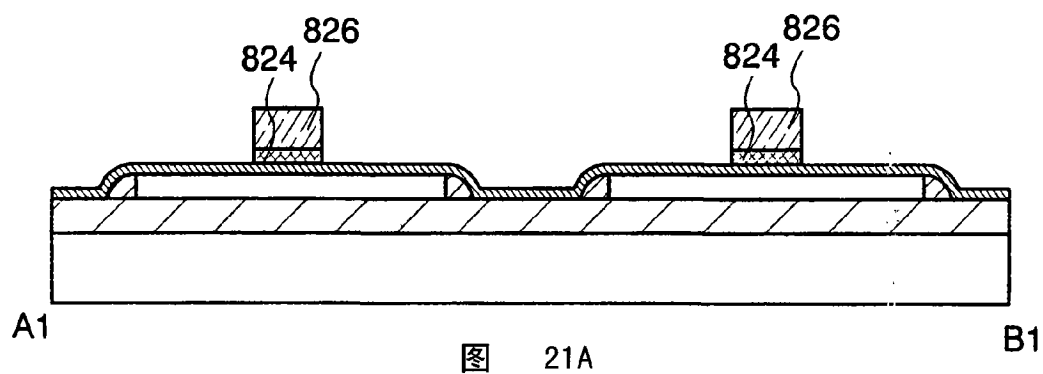


图 19C





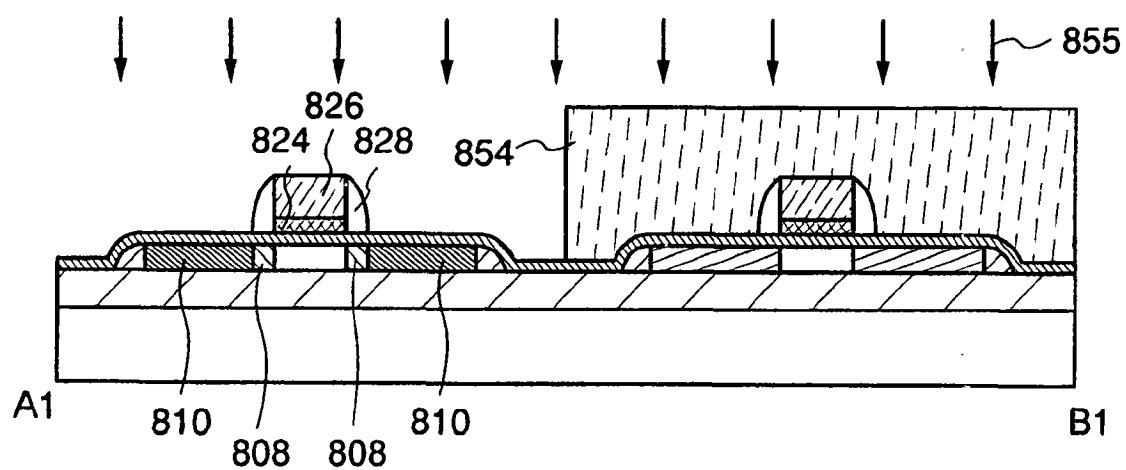


图 22A

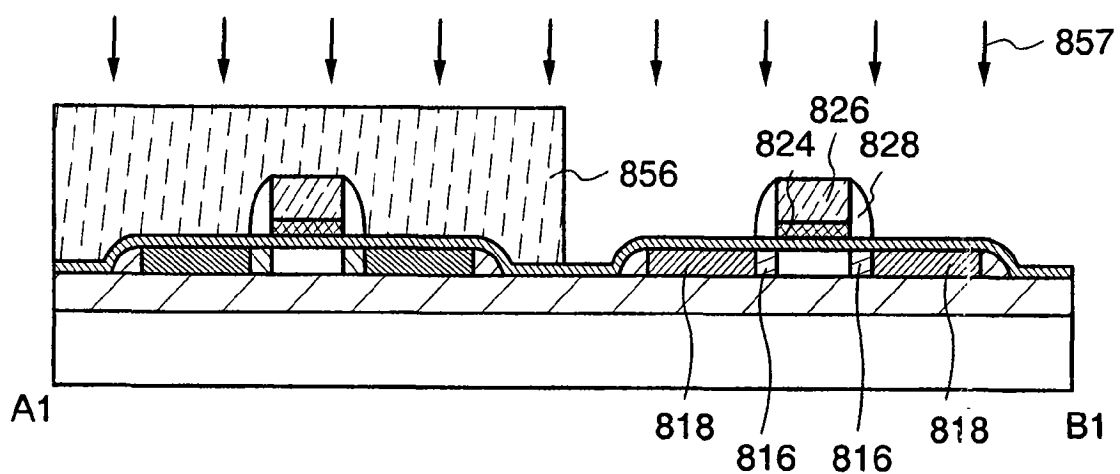


图 22B

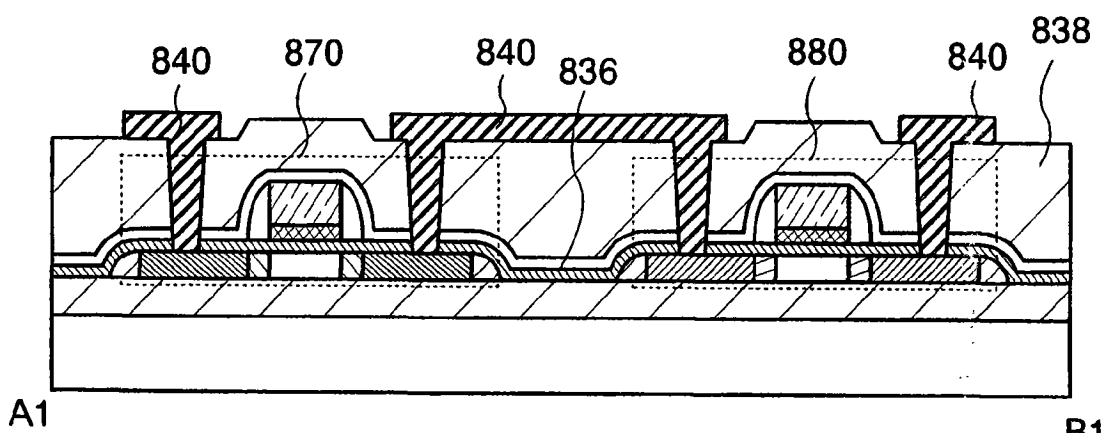


图 22C

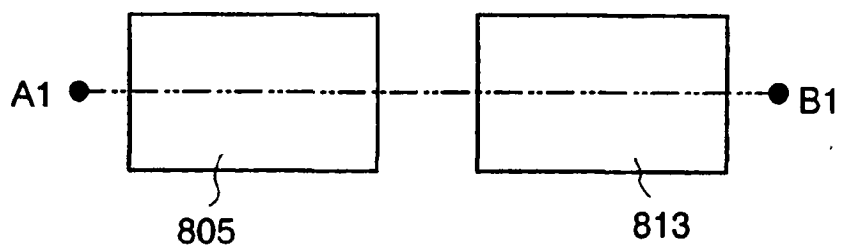


图 23A

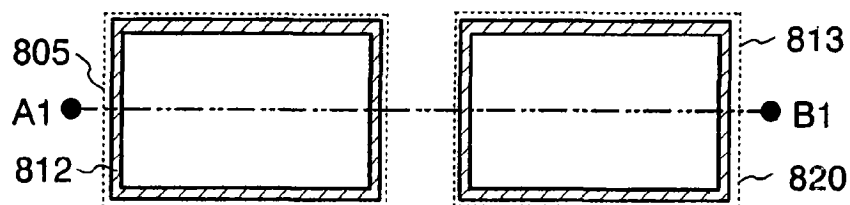


图 23B

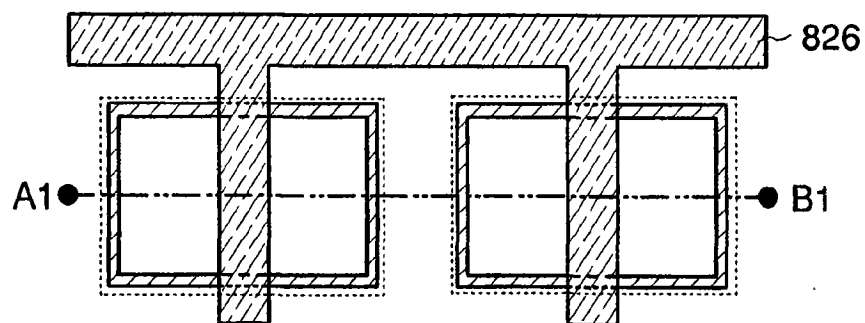


图 23C

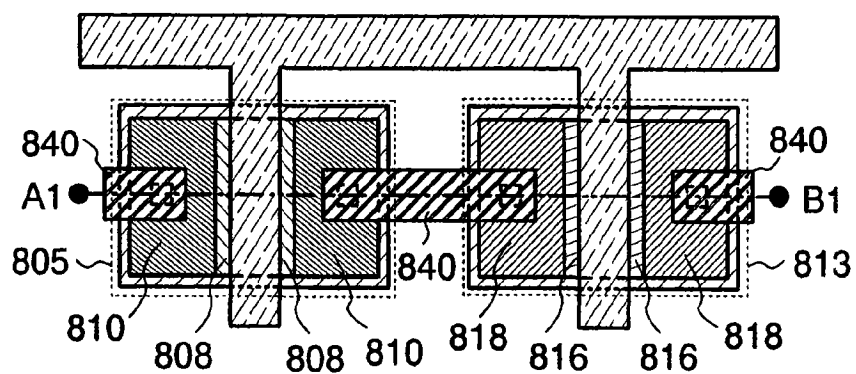


图 23D

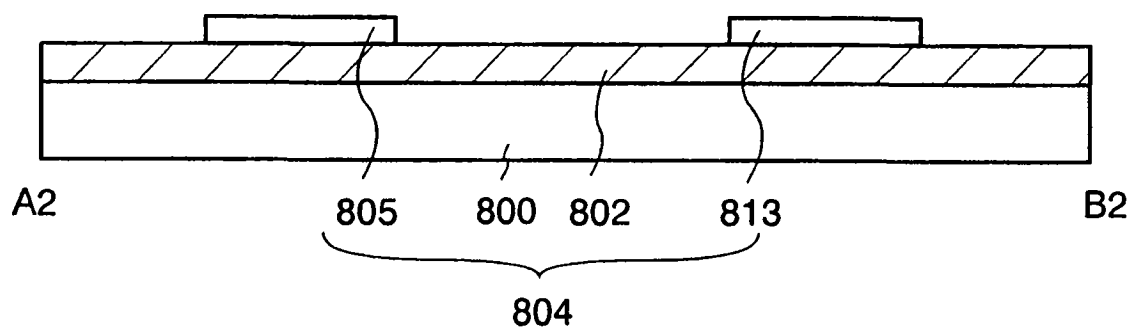


图 24A

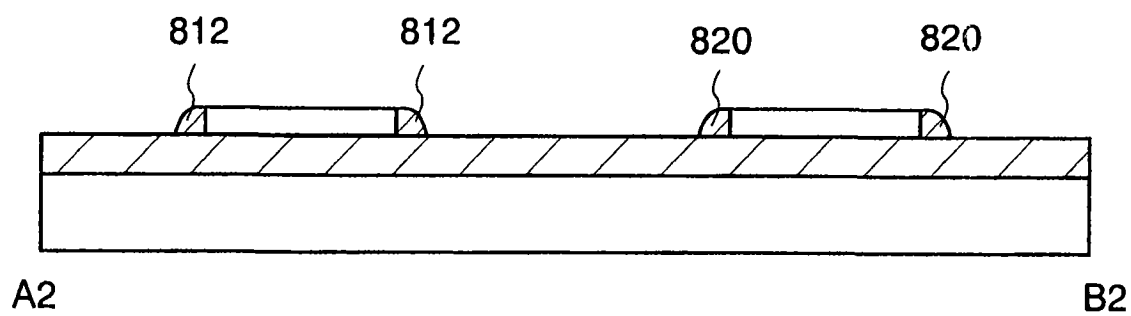


图 24B

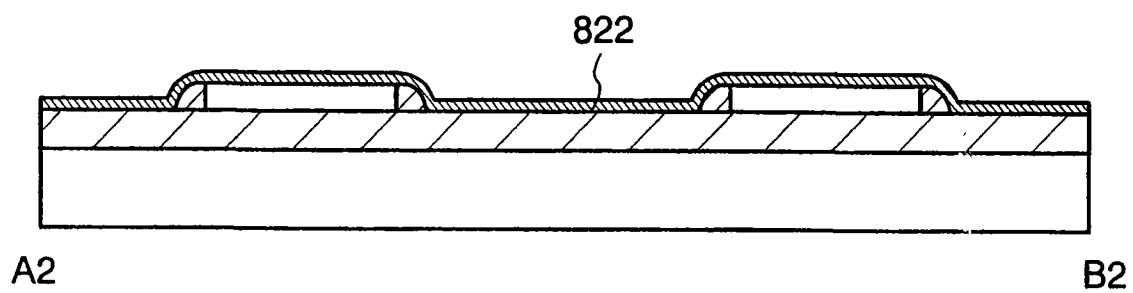


图 24C

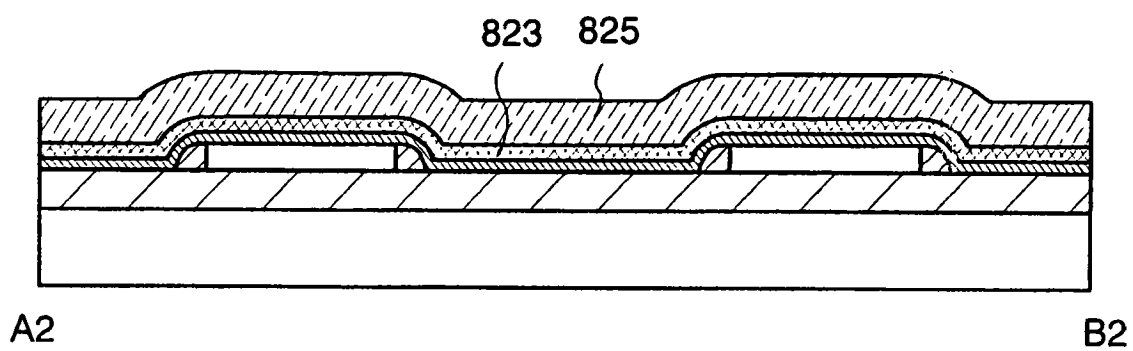


图 25A

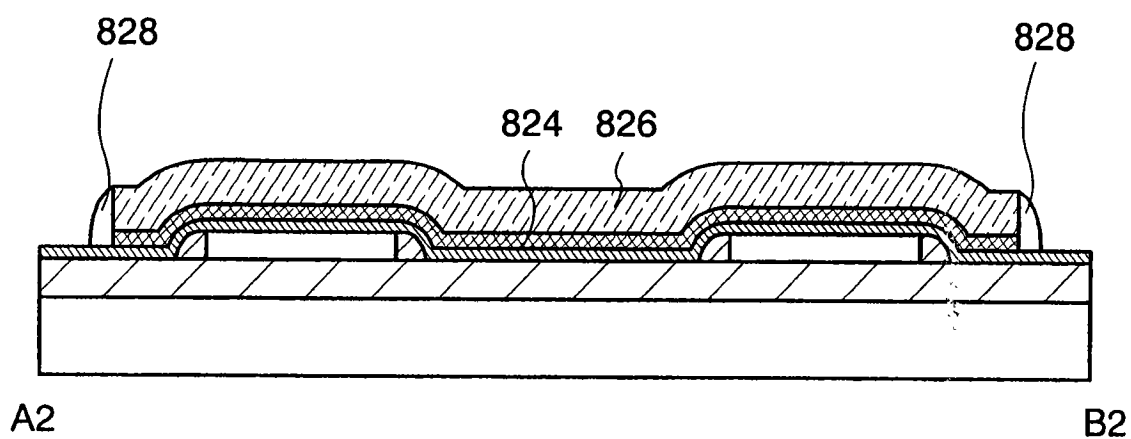


图 25B

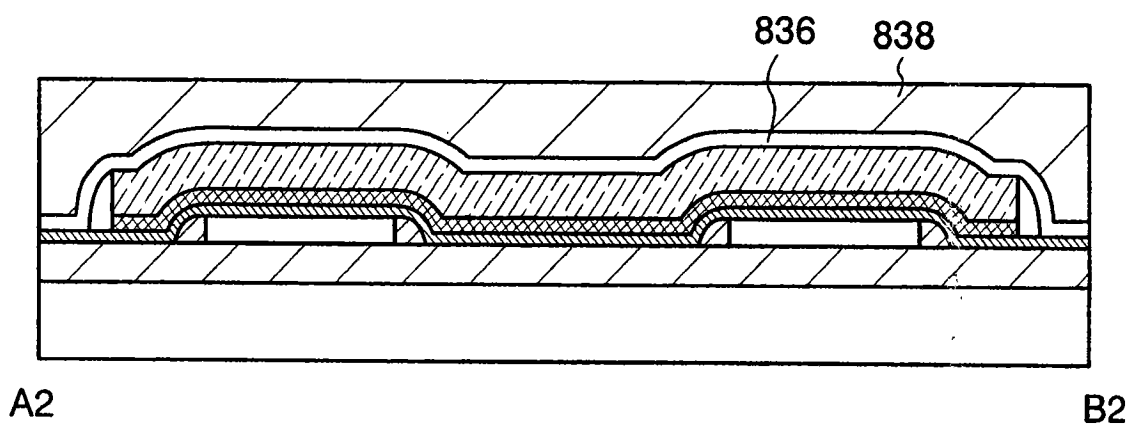


图 25C

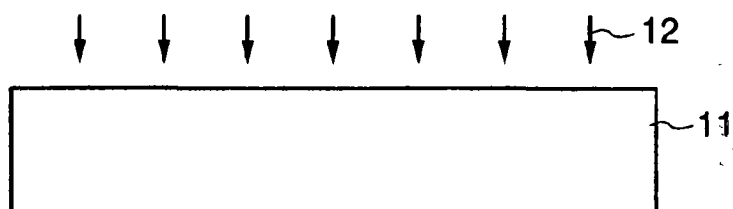


图 26A

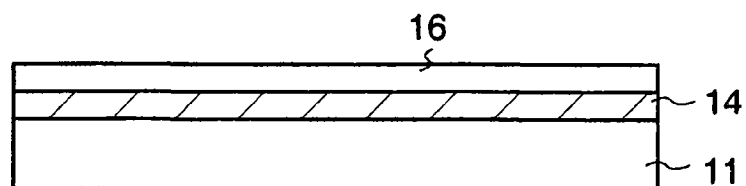


图 26B

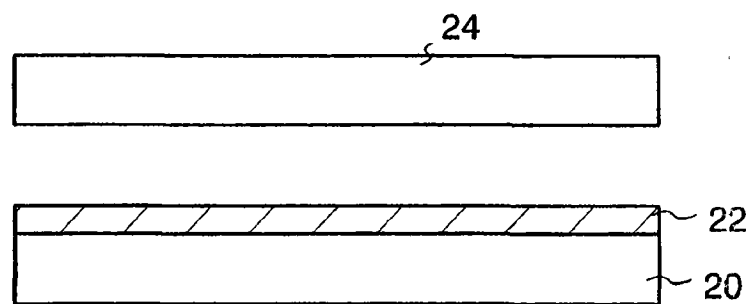


图 26C

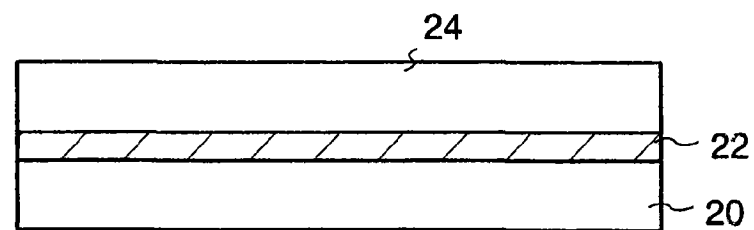


图 26D

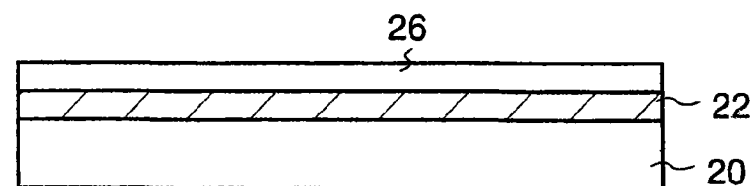


图 26E

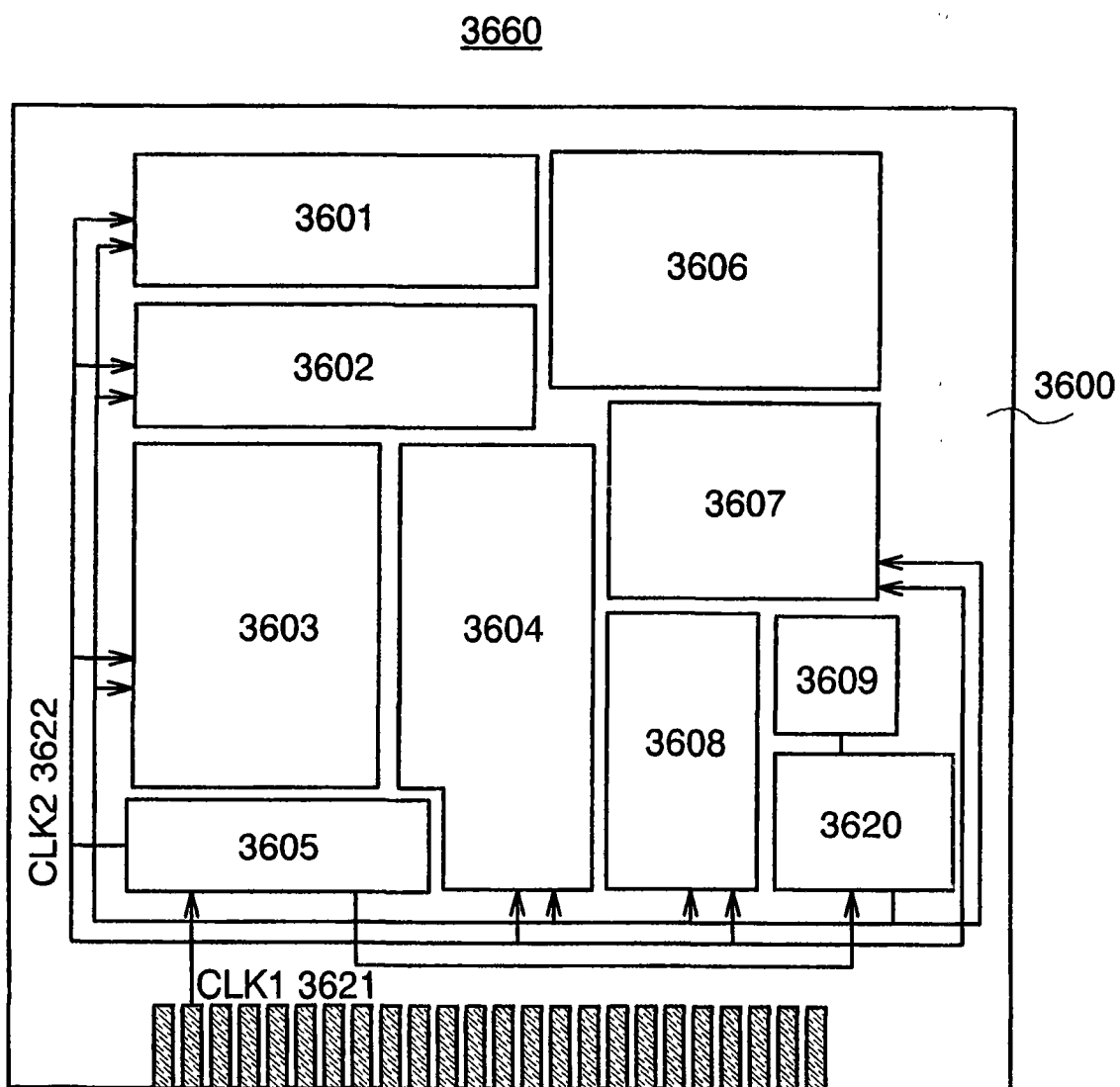


图 27

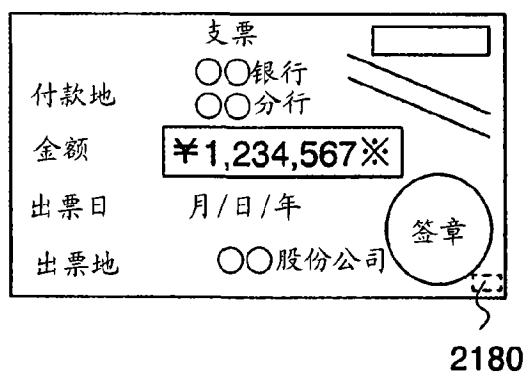


图 28A

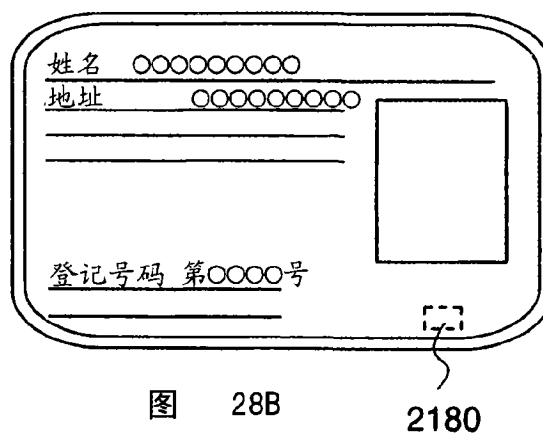


图 28B

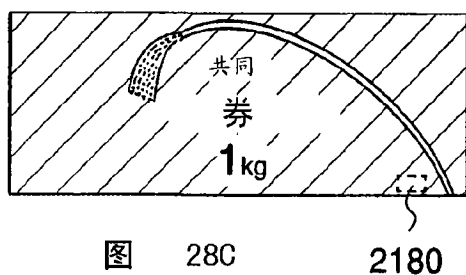


图 28C

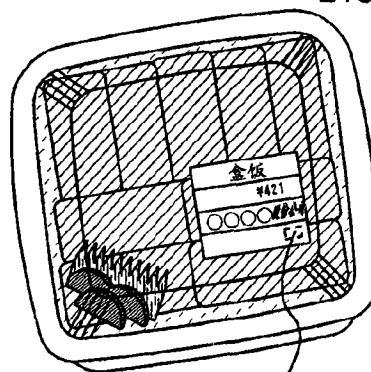


图 28D

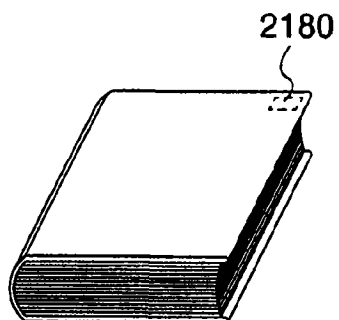


图 28E

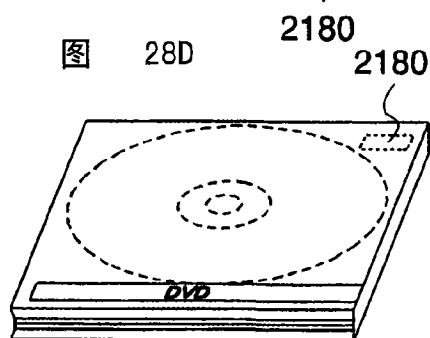


图 28F

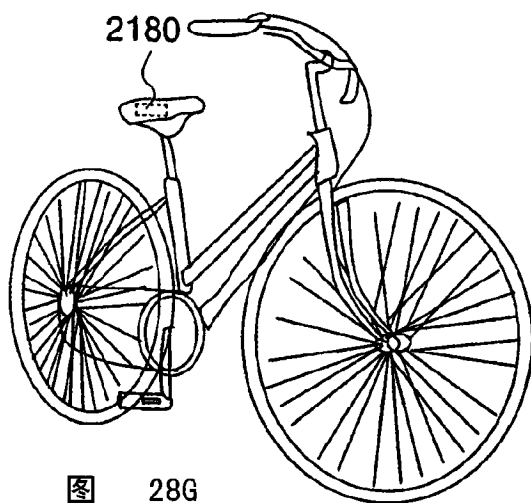


图 28G

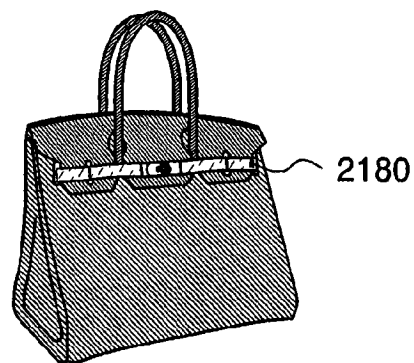


图 28H

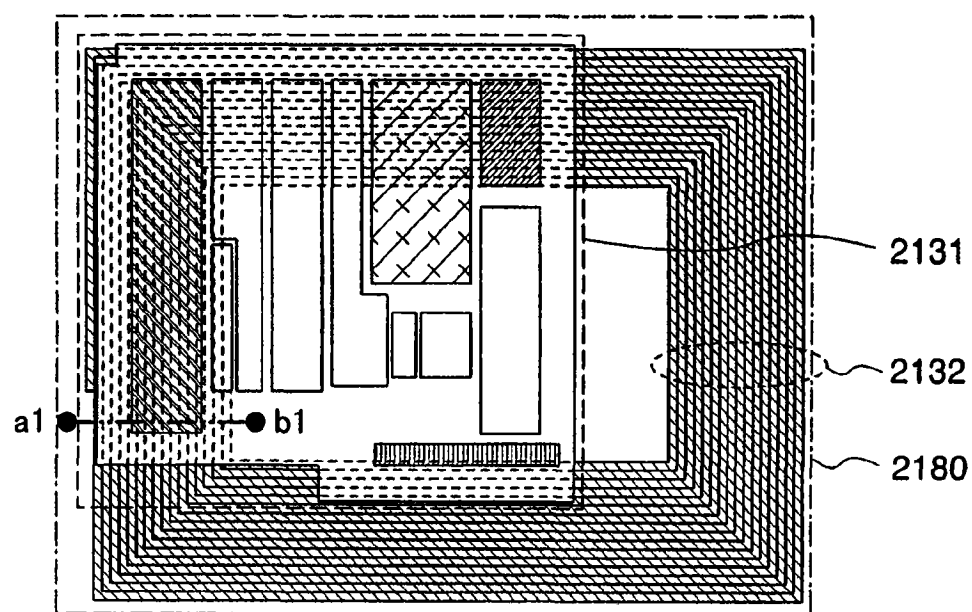


图 29A

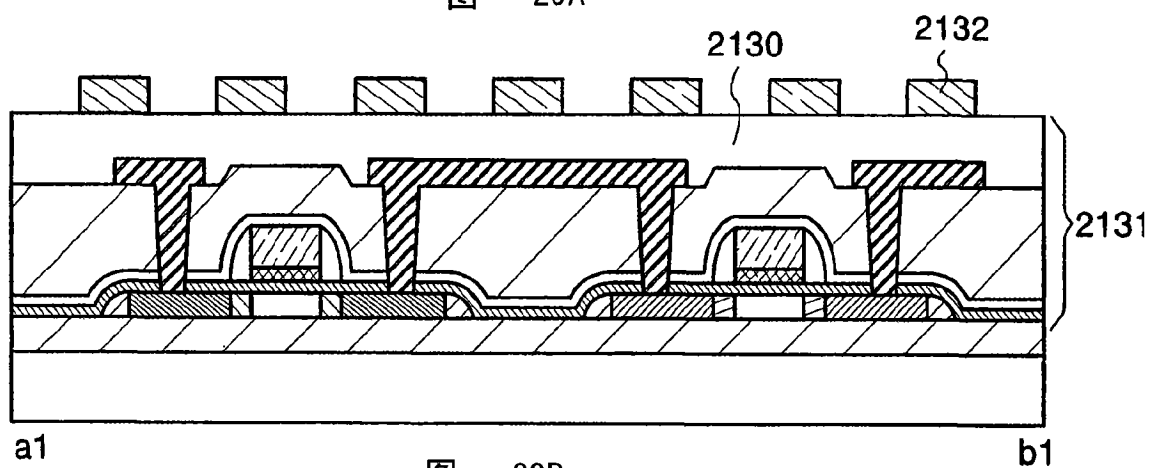


图 29B

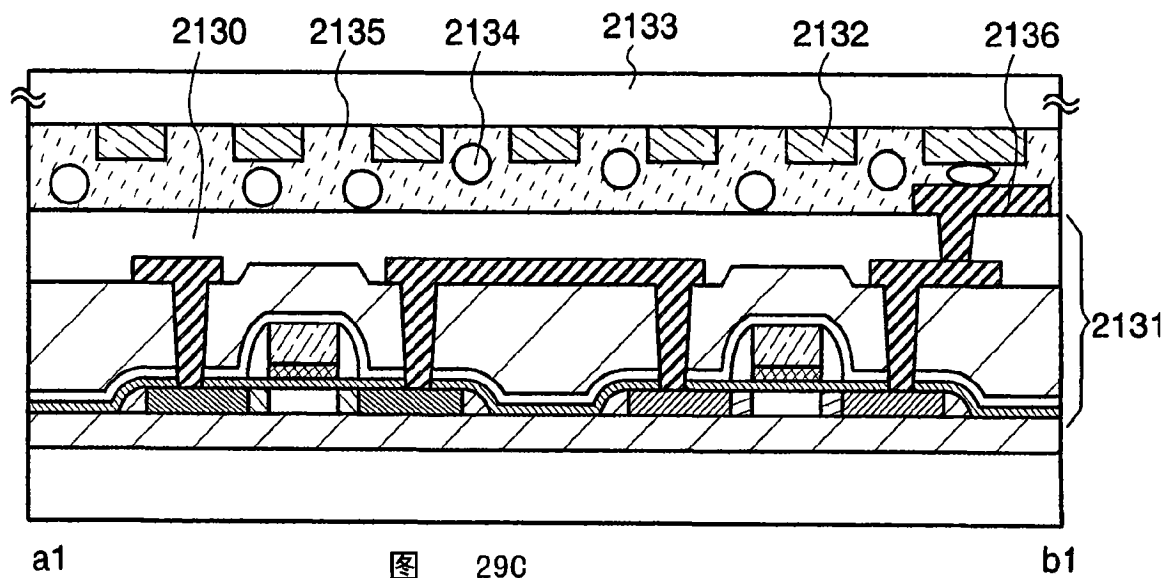


图 29C

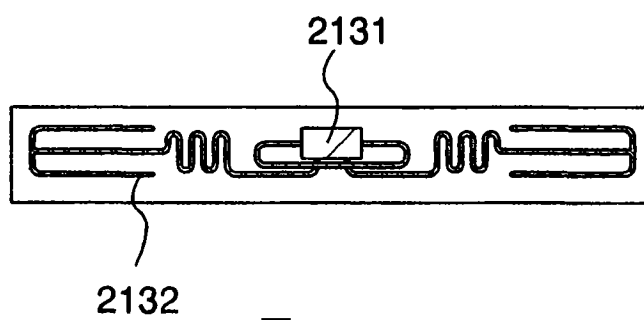


图 30A

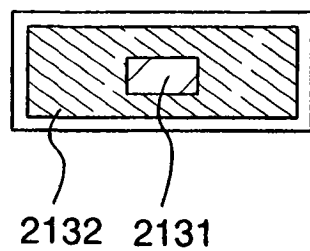


图 30B

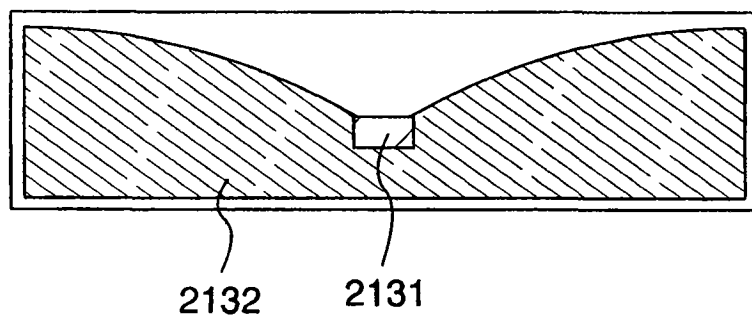


图 30C

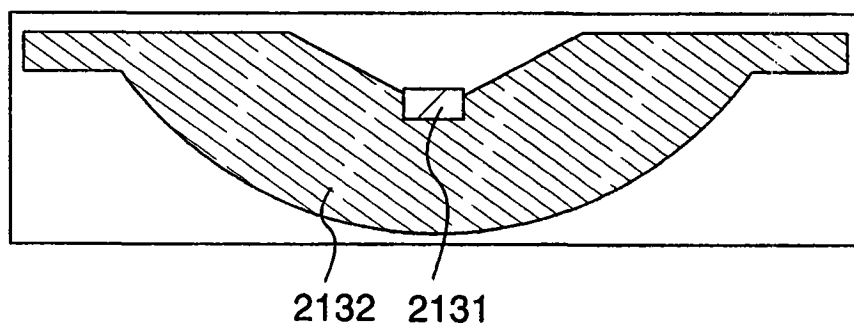


图 30D

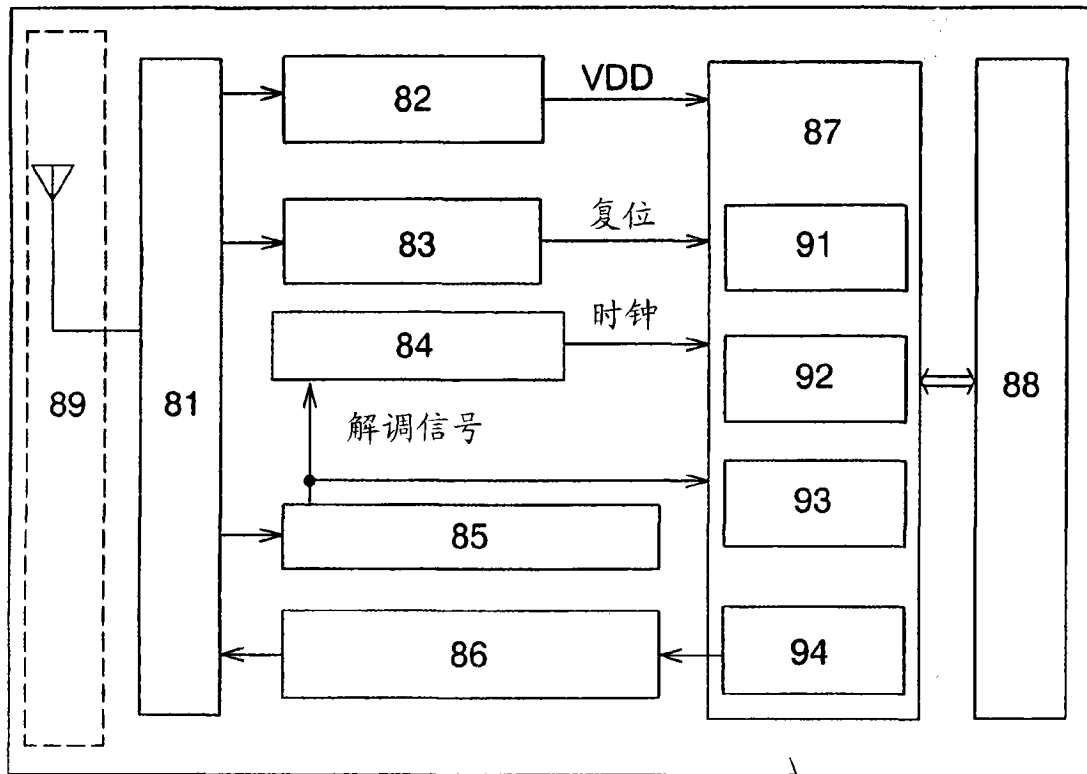


图 31A

2180

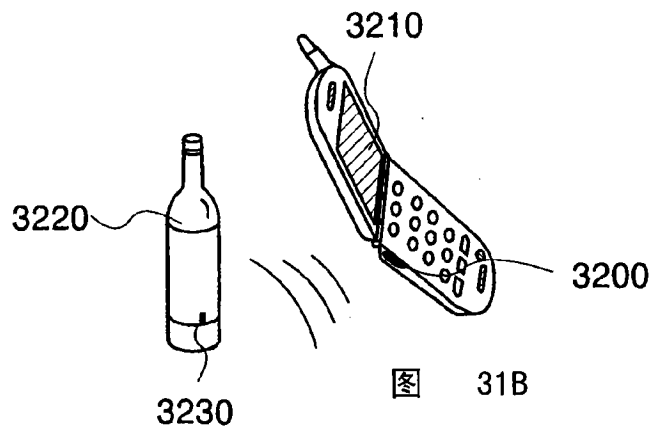


图 31B

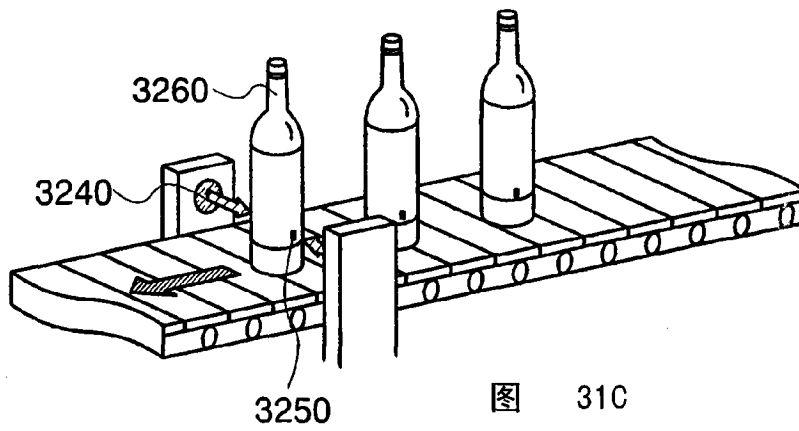


图 31C