

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成19年10月18日(2007.10.18)

【公開番号】特開2006-85786(P2006-85786A)

【公開日】平成18年3月30日(2006.3.30)

【年通号数】公開・登録公報2006-013

【出願番号】特願2004-267645(P2004-267645)

【国際特許分類】

G 1 1 C 11/413 (2006.01)

G 1 1 C 11/41 (2006.01)

H 0 1 L 21/8244 (2006.01)

H 0 1 L 27/11 (2006.01)

【F I】

G 1 1 C 11/34 3 3 5 A

G 1 1 C 11/34 3 4 5

H 0 1 L 27/10 3 8 1

【手続補正書】

【提出日】平成19年8月30日(2007.8.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のワード線と、

複数の相補ビット線と、

上記複数のワード線と複数の相補ビット線に対応して設けられた複数のスタティック型メモリセルと、

上記複数の相補ビット線のそれぞれに接続される複数からなるメモリセル毎に動作電圧を供給する複数のメモリセル電源線と、

上記複数のメモリセル電源線にそれぞれ電源電圧を供給する複数の電源供給回路とを含むスタティックRAMを備え、

上記メモリセル電源線は、対応する相補ビット線間に挟まれるように配置され、

上記電源供給回路は、抵抗手段からなることを特徴とする半導体集積回路装置。

【請求項2】

請求項1において、

上記相補ビット線は、平行に延長される一对の配線からなり、

上記メモリセル電源線は、上記相補ビット線の間に蛇行するように配置されてなることを特徴とする半導体集積回路装置。

【請求項3】

請求項1において、

上記電源電圧は、正の電圧であり、

上記メモリセルは、2つのCMOSインバータ回路の入力と出力が交差接続されている記憶部と、かかる記憶部と上記相補ビット線との間に設けられ、ゲートが上記ワード線に接続された選択MOSFETからなり、

上記抵抗手段は、ゲートに回路の接地電位が供給されたPチャネルMOSFETからなることを特徴とする半導体集積回路装置。

【請求項 4】

請求項 3 において、

上記複数のワード線のうちの 1 つを選択するワード線選択回路を更に備え、

上記ワード線選択回路は、

上記電源電圧と出力端子との間に直列形態に接続された第 1 導電型の第 1、第 2 MOSFET と、

回路の接地電位と上記出力端子との間に並列形態に接続された第 2 導電型の第 3、第 4 MOSFET とを備え、

上記第 1 MOSFET と第 3 MOSFET のゲートには第 1 信号が供給され、

上記第 2 MOSFET と第 4 MOSFET のゲートには第 2 信号が供給され、

上記出力端子は、上記複数のワード線のうち対応する 1 つに接続され、

上記ワード線選択時に上記第 1 信号と第 2 信号に対応して上記第 1 及び第 2 MOSFET がオン状態となり、上記第 3 及び第 4 MOSFET がオフ状態となって上記出力端子を第 1 電圧に対応した選択レベルにするワードドライバを備えてなることを特徴とする半導体集積回路装置。

【請求項 5】

複数のワード線と、

複数の相補ビット線と、

上記複数のワード線と複数の相補ビット線に対応して設けられた複数のスタティック型メモリセルと、

上記複数の相補ビット線のそれぞれに接続される複数からなるメモリセル毎に動作電圧を供給する複数のメモリセル電源線と、

上記複数のメモリセル電源線にそれぞれ電源電圧を供給する複数の電源供給回路とを含み、

上記電源供給回路は、書き込み制御信号と対応する相補ビット線を選択信号に基づいて形成された制御信号によってメモリセルへの書き込み時にオフ状態にされるスイッチ MOSFET からなるスタティック型 RAM を備えてなることを特徴とする半導体集積回路装置。

【請求項 6】

請求項 5 において、

上記スイッチ MOSFET には、並列形態に抵抗手段が設けられてなることを特徴とする半導体集積回路装置。

【請求項 7】

請求項 6 において、

上記電源電圧は、正の電圧であり、

上記メモリセルは、2 つの CMOS インバータ回路の入力と出力が交差接続されている記憶部と、かかる記憶部と上記相補ビット線との間に設けられ、ゲートが上記ワード線に接続された選択 MOSFET からなり、

上記スイッチ MOSFET は、P チャネル MOSFET からなり、

上記抵抗手段は、ゲートに回路の接地電位が供給された P チャネル MOSFET からなることを特徴とする半導体集積回路装置。

【請求項 8】

請求項 5 において、

上記電源電圧は、正の電圧であり、

上記スイッチ MOSFET は、P チャネル MOSFET であり、

上記 P チャネル MOSFET には、並列形態に N チャネル MOSFET が設けられ、かかる P チャネル MOSFET と N チャネル MOSFET のゲートは共通に接続されてなることを特徴とする半導体集積回路装置。

【請求項 9】

請求項 5 において、

上記相補ビット線には、上記電源電圧に対応したプリチャージ電圧を供給するプリチャージ回路が設けられ、

上記メモリセル電源線は、対応する相補ビット線との間で寄生容量を持つようにされることを特徴とする半導体集積回路装置。

【請求項 10】

請求項 5 において、

上記電源電圧は、正の電圧であり、

上記スイッチ MOSFET は、P チャンネル MOSFET であり、

上記メモリセル電源線とメモリセルの下限動作電圧との間に上記 P チャンネル MOSFET とゲートが共通に接続された N チャンネル MOSFET を更に備えてなることを特徴とする半導体集積回路装置。

【請求項 11】

請求項 5 において、

上記電源電圧は、正の電圧であり、

上記スイッチ MOSFET は、第 1 P チャンネル MOSFET であり、

上記メモリセル電源線と回路の接地電位との間には、上記第 1 P チャンネル MOSFET と相補的にスイッチ制御されてなる第 2 P チャンネル MOSFET を更に備えてなることを特徴とする半導体集積回路装置。

【請求項 12】

請求項 5 において、

上記複数のワード線のうちの 1 つを選択するワード線選択回路を更に備え、

上記ワード線選択回路は、

上記電源電圧と出力端子との間に直列形態に接続された第 1 導電型の第 1、第 2 MOSFET と、

回路の接地電位と上記出力端子との間に並列形態に接続された第 2 導電型の第 3、第 4 MOSFET とを備え、

上記第 1 MOSFET と第 3 MOSFET のゲートには第 1 信号が供給され、

上記第 2 MOSFET と第 4 MOSFET のゲートには第 2 信号が供給され、

上記出力端子は、上記複数のワード線のうち対応する 1 つに接続され、

上記ワード線選択時に上記第 1 信号と第 2 信号に対応して上記第 1 及び第 2 MOSFET がオン状態となり、上記第 3 及び第 4 MOSFET がオフ状態となって上記出力端子を第 1 電圧に対応した選択レベルにするワードドライバを備えてなることを特徴とする半導体集積回路装置。

【請求項 13】

複数のワード線と、

複数の相補ビット線と、

上記複数のワード線と複数の相補ビット線に対応して設けられた複数のスタティック型メモリセルと、

上記複数の相補ビット線のそれぞれに接続される複数からなるメモリセル毎に回路の接地電位を供給する複数のメモリセル接地線と、

上記複数のメモリセル接地線にそれぞれ回路の接地電位を供給する複数の接地電位供給回路とを含み、

上記接地電位供給回路は、書き込み制御信号と対応する相補ビット線の選択信号に基づいて形成された制御信号をゲートに受ける P チャンネル MOSFET と N チャンネル MOSFET の並列回路からなるスタティック型 RAM を備えてなることを特徴とする半導体集積回路装置。

【請求項 14】

複数のワード線と、

複数のビット線と、

上記複数のワード線と複数のビット線に対応して設けられた複数のメモリセルと、

上記複数のワード線のうちの1つを選択するワード線選択回路とを含み、

上記ワード線選択回路は、

第1電圧と出力端子との間に直列形態に接続された第1導電型の第1、第2MOSFETと、

第2電圧と上記出力端子との間に並列形態に接続された第2導電型の第3、第4MOSFETとを備え、

上記第1MOSFETと第3MOSFETのゲートには第1信号が供給され、

上記第2MOSFETと第4MOSFETのゲートには第2信号が供給され、

上記出力端子は、上記複数のワード線のうち対応する1つに接続され、

上記ワード線選択時に上記第1信号と第2信号に対応して上記第1及び第2MOSFETがオン状態となり、上記第3及び第4MOSFETがオフ状態となって上記出力端子を第1電圧に対応した選択レベルにするワードドライバを備えてなることを特徴とする半導体集積回路装置。

【請求項15】

請求項14において、

上記ビット線は、相補ビット線からなり、

上記メモリセルは、2つのCMOSインバータ回路の入力と出力が交差接続されている記憶部と、上記記憶部と上記相補ビット線との間に設けられ、ゲートが上記ワード線に接続された選択MOSFETからなるスタティック型メモリセルからなることを特徴とする半導体集積回路装置。

【請求項16】

請求項15において、

上記ワードドライバは、4つのワード線に対応した4つの回路のうち上記第1MOSFETを共通とする2個ずつのワードドライバに分けられ、

第1信号により上記2個ずつに分けられた2つのワードドライバのいずれかを選択し、

上記第2信号により上記2つのうちのいずれか1つのワードドライバを選択してなることを特徴とする半導体集積回路装置。