

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4554863号  
(P4554863)

(45) 発行日 平成22年9月29日 (2010. 9. 29)

(24) 登録日 平成22年7月23日 (2010. 7. 23)

(51) Int. Cl.

F I

H04L 12/28 (2006.01)

H04L 12/28 200Z

請求項の数 40 (全 21 頁)

(21) 出願番号 特願2001-525928 (P2001-525928)  
 (86) (22) 出願日 平成12年8月30日 (2000. 8. 30)  
 (65) 公表番号 特表2003-510905 (P2003-510905A)  
 (43) 公表日 平成15年3月18日 (2003. 3. 18)  
 (86) 国際出願番号 PCT/US2000/040775  
 (87) 国際公開番号 W02001/022690  
 (87) 国際公開日 平成13年3月29日 (2001. 3. 29)  
 審査請求日 平成19年8月30日 (2007. 8. 30)  
 (31) 優先権主張番号 09/401, 005  
 (32) 優先日 平成11年9月21日 (1999. 9. 21)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 500388590  
 ザーコム・インコーポレーテッド  
 アメリカ合衆国カリフォルニア州9132  
 O, サウザンド・オークス, コーポレート  
 ・センター・ドライブ 2300  
 (74) 代理人 100062144  
 弁理士 青山 稔  
 (72) 発明者 マイケル・アール・コンリー  
 アメリカ合衆国カリフォルニア州9132  
 O, サウザンド・オークス, コーポレート  
 ・センター・ドライブ 2300、ザーコ  
 ム・インコーポレーテッド

最終頁に続く

(54) 【発明の名称】 ハードウェアが削減されたネットワークアダプタ及び通信方法

(57) 【特許請求の範囲】

【請求項 1】

データネットワークの物理的リンクに接続された物理層回路と、

上記物理層回路と通信するメディアアクセスコントローラ (MAC) であって、ハードウェアが削減されたMACとを備えたネットワークインターフェースアダプタであって、

上記ハードウェアが削減されたMACは、ソフトウェアMACとハードウェアMACとを含み、

上記ハードウェアMACは、

クライアントコンピュータからデータを受信し、上記データを上記物理的リンクに送信する前に当該データを一時的に記憶する送信バッファと、

上記物理的リンクからデータを受信し、上記データを上記クライアントコンピュータに送る前に当該データを一時的に記憶する受信バッファと、

上記送信バッファ及び上記受信バッファに接続されたレジスタインターフェースであって、ステータスレジスタを含む複数のデータレジスタを有するレジスタインターフェースとを有し、上記ステータスレジスタは、読み出し動作及び書き込み動作の少なくとも一方における割り込み状態を示す少なくとも1つの割り込みビットを有し、上記ステータスレジスタは、上記データネットワークの物理的リンクにおけるデータ衝突を識別するデータを記憶し、上記ステータスレジスタは上記クライアントコンピュータから読み出し可能であり、

上記ソフトウェアMACは、上記クライアントコンピュータのメモリに記憶され、上記

ソフトウェア M A C は、上記クライアントコンピュータのプロセッサによって実行されたとき、検出されたエラー状態に対してエラー処理機能を実行することを含む 1 つ又は複数のメディアアクセス制御通信機能を上記プロセッサに実行させるように構成されたネットワークインターフェースアダプタ。

【請求項 2】

上記物理層回路は上記 ハードウェアが削減された M A C を含む請求項 1 記載のネットワークインターフェースアダプタ。

【請求項 3】

上記 ハードウェア M A C は、上記物理層回路の媒体非依存型インターフェース ( M I I ) と通信する少なくとも 1 つの信号線をさらに備えた請求項 1 記載のネットワークインターフェースアダプタ。

10

【請求項 4】

上記 ハードウェア M A C は、上記物理層回路から上記レジスタインターフェースにネットワーク状態を伝達する少なくとも 1 つのネットワーク状態信号線をさらに備えた請求項 1 記載のネットワークインターフェースアダプタ。

【請求項 5】

上記 ハードウェア M A C は、上記物理的リンクから受信されたデータの有効性を伝達する少なくとも 1 つの有効性信号線をさらに備えた請求項 1 記載のネットワークインターフェースアダプタ。

【請求項 6】

20

上記送信バッファ及び上記受信バッファは、先入れ先出し ( F I F O ) バッファをそれぞれ備えた請求項 1 記載のネットワークインターフェースアダプタ。

【請求項 7】

クライアントコンピュータをネットワークに接続するネットワークインターフェースアダプタを備えたシステムであって、

上記ネットワークインターフェースアダプタは、

上記ネットワークの物理的リンクに接続された物理層回路と、

上記物理層回路と通信する メディアアクセスコントローラ ( M A C ) であって、ハードウェアが削減された M A C とを有し、

上記ハードウェアが削減された M A C は、ソフトウェア M A C とハードウェア M A C とを含み、

30

上記 ハードウェア M A C は、

上記クライアントコンピュータからデータを受信し、上記データを上記物理的リンクに送信する前に当該データを一時的に記憶する送信バッファと、

上記物理的リンクからデータを受信し、上記データを上記クライアントコンピュータに送る前に当該データを一時的に記憶する受信バッファと、

上記送信バッファ及び上記受信バッファに接続されたレジスタインターフェースとを有し、上記レジスタインターフェースは、読み出し動作及び書き込み動作の少なくとも一方における割り込み状態を示す少なくとも 1 つのビットを含むステータスレジスタを有し、

上記ステータスレジスタは、上記ネットワークの物理的リンクにおけるデータ衝突を識別するデータを記憶し、上記ステータスレジスタは上記クライアントコンピュータから読み出し可能であり、

40

上記ソフトウェア M A C は、上記クライアントコンピュータのメモリに記憶され、上記ソフトウェア M A C は、上記クライアントコンピュータのプロセッサによって実行されたとき、検出されたエラー状態に対してエラー処理機能を実行することを含む 1 つ又は複数のメディアアクセス制御通信機能を上記プロセッサに実行させるように構成されたシステム。

【請求項 8】

上記物理層回路と上記 ハードウェアが削減された M A C とはそれぞれ、別個のチップを構成する請求項 7 記載のシステム。

50

## 【請求項 9】

上記ハードウェアMACは、上記物理層回路の媒体非依存型インターフェース(MII)と通信する少なくとも1つの信号線をさらに備えた請求項7記載のシステム。

## 【請求項 10】

上記ハードウェアMACは、上記物理層回路から上記レジスタインターフェースにネットワーク状態を伝達する少なくとも1つのネットワーク状態信号線をさらに備えた請求項7記載のシステム。

## 【請求項 11】

上記ハードウェアMACは、上記物理的リンクから受信されたデータの有効性を伝達する少なくとも1つの有効性信号線をさらに備えた請求項7記載のシステム。

10

## 【請求項 12】

PHY回路と通信するメディアアクセスコントローラ(MAC)であってかつハードウェアが削減されたMACを備えたシステムであって、

上記ハードウェアが削減されたMACは、ソフトウェアMACとハードウェアMACとを含み、

上記ソフトウェアMACは、ホストコンピュータのメモリに記憶され、上記ソフトウェアMACは、上記ホストコンピュータのプロセッサによって実行されたとき、検出されたエラー状態に対してエラー処理機能を実行することを含む1つ又は複数のメディアアクセス制御通信機能を上記プロセッサに実行させるように構成され、

上記ハードウェアMACは、

20

少なくとも1つの送信データ線に接続された送信バッファであって、上記ホストコンピュータからデータを受信することと、上記データを上記送信データ線を介してデータネットワークの物理的リンクに送信する前に当該データを一時的に記憶することとに適應された送信バッファと、

少なくとも1つの受信データ線に接続された受信バッファであって、上記受信データ線を介してデータネットワークの物理的リンクからデータを受信することと、上記データを上記ホストコンピュータに送る前に当該データを一時的に記憶することとに適應された受信バッファと、

上記受信レジスタに接続されたデータレジスタを含む、複数の通信レジスタからなるアレーとを備え、上記データレジスタからの読み出しを繰り返すことにより、上記受信バッファからデータが読み出され、

30

上記アレーは、上記データネットワークの物理的リンクにおけるデータ衝突を識別するデータを記憶するステータスレジスタを含み、上記ステータスレジスタは上記ホストコンピュータから読み出し可能であり、上記ステータスレジスタはさらに、読み出し動作及び書き込み動作の少なくとも一方における割り込み状態を示す少なくとも1つの割り込みビットを含むシステム。

## 【請求項 13】

上記システムは、上記アレーと、上記データネットワークへの接続部との間に接続されたラッチをさらに備え、

上記ラッチは、データフレームを受信する際のエラーを識別するエラー信号を記憶し、

40

上記ラッチは、上記データフレームを受信するのに十分な時間期間にわたって上記エラー信号を保持する請求項12記載のシステム。

## 【請求項 14】

上記データレジスタへの書き込みを繰り返すことにより、上記送信バッファ内にデータが記憶される請求項12記載のシステム。

## 【請求項 15】

上記送信バッファは、上記PHY回路を介して上記データネットワークに接続された請求項12記載のシステム。

## 【請求項 16】

上記アレーは、上記PHY回路の動作を制御する少なくとも1つの信号を記憶する媒体

50

非依存インターフェースレジスタをさらに備え、上記信号は、上記データネットワークへの読み出し及び書き込みアクセスの間に上記PHY回路を制御するために上記媒体非依存インターフェースレジスタから送られる請求項15記載のシステム。

【請求項17】

上記複数の通信レジスタからなるアレーは、上記ホストコンピュータのプロセッサによって実行されるネットワーク通信ソフトウェアによって読み出し可能であり、

上記データネットワークから読み出されたデータはフレームで受信され、

上記プロセッサは、受信されたデータフレーム内に記憶されたフレームチェックデータに従って、上記受信されたデータフレームを解析する請求項12記載のシステム。

【請求項18】

ハードウェアが削減されたメディアアクセスコントローラ(MAC)を備えたシステムであって、

上記ハードウェアが削減されたMACは、データネットワークからデータを受信して上記データをホストコンピュータに送る前に当該データを一時的に記憶するように接続された受信バッファを有し、上記ハードウェアが削減されたMACはPHY回路と通信し、上記ハードウェアが削減されたMACは、ソフトウェアMACとハードウェアMACとを含み、

上記ソフトウェアMACは、上記ホストコンピュータのメモリに記憶され、上記ソフトウェアMACは、上記ホストコンピュータのプロセッサによって実行されたとき、検出されたエラー状態に対してエラー処理機能を実行することを含む1つ又は複数のメディアアクセス制御通信機能を上記プロセッサに実行させるように構成され、

上記ハードウェアMACは複数の通信レジスタをさらに有し、上記通信レジスタは、上記受信バッファに接続されたデータレジスタを有し、上記データレジスタからの読み出しを繰り返すことにより、上記受信バッファからデータが読み出され、

上記通信レジスタは、少なくとも1つの割り込みビットを記憶するように適応されたステータスレジスタをさらに有し、上記割り込みビットは、上記データネットワークから受信されかつ上記ホストコンピュータを宛先とするデータの存在を示すように設定され、上記割り込みビットは上記ホストコンピュータにより読み出し可能であり、読み出されるべきデータの存在を示し、上記ステータスレジスタは、上記データネットワークの物理的リンクにおけるデータ衝突を識別するデータを記憶するシステム。

【請求項19】

上記受信バッファは、上記PHY回路を介して上記データネットワークに接続された請求項18記載のシステム。

【請求項20】

上記通信レジスタは、上記PHY回路の動作を制御する少なくとも1つの信号を記憶する媒体非依存インターフェースレジスタをさらに含み、上記ホストコンピュータからの信号は、上記データネットワークからデータが読み出されるときに、上記PHY回路を制御するために上記媒体非依存インターフェースレジスタから送られる請求項19記載のシステム。

【請求項21】

上記通信レジスタは、上記受信バッファに記憶されたバイト数を示す値を記憶するバイト計数レジスタを含み、上記バイト計数レジスタは、上記受信バッファからデータが読み出されたときにデクリメントされる請求項18記載のシステム。

【請求項22】

上記ホストコンピュータに常駐するソフトウェアは、上記バイト計数レジスタに記憶された値を検査することと、上記バイト計数レジスタが非ゼロ値を記憶しているとき、上記データレジスタからデータを読み出すこととを含む一連のステップを実行する請求項21記載のシステム。

【請求項23】

上記PHY回路を介するデータ転送は上記割り込みビットを設定し、

10

20

30

40

50

上記割り込みビットは、少なくとも1バイトのデータ幅を有するデータバスを介して、上記ホストコンピュータに読み出される請求項19記載のシステム。

【請求項24】

上記ホストコンピュータ上で動作し、データをフレームフォーマットから抽出するソフトウェアをさらに備えた請求項18記載のシステム。

【請求項25】

上記ステータスレジスタは、上記PHY回路によって設定可能な複数のビットであって、上記データネットワーク上のエラーを識別する複数のビットをさらに含む請求項19記載のシステム。

【請求項26】

上記複数のビットは、上記データネットワーク上において不適当な時点で搬送波信号を感知したことを示す搬送波感知ビットを含む請求項25記載のシステム。

【請求項27】

上記搬送波感知ビットは、上記ホストコンピュータのプロセッサ内で実行される上記ソフトウェアMACによって直接的に読み出される請求項26記載のシステム。

【請求項28】

ハードウェアが削減されたメディアアクセスコントローラ(MAC)を備えたシステムであって、上記ハードウェアが削減されたMACは、ソフトウェアMACとハードウェアMACとを含み、

上記ハードウェアMACは複数の通信レジスタを含み、上記通信レジスタは、データレジスタと、ステータスレジスタと、媒体非依存インターフェースレジスタと、バイト計数レジスタとを有し、

上記データレジスタは受信バッファに接続され、上記データレジスタからの読み出しを繰り返すことにより、データネットワークから受信されたデータが読み出され、

上記ステータスレジスタは少なくとも1つの割り込みビットを含み、上記割り込みビットは、上記データネットワークから受信されかつホストコンピュータを宛先とするデータの存在を示すように設定され、上記割り込みビットは上記ホストコンピュータにより読み出し可能であり、上記ステータスレジスタは、上記データネットワークの物理的リンクにおけるデータ衝突を識別するデータを記憶し、

上記媒体非依存インターフェースレジスタは、上記ハードウェアが削減されたMACに接続されたPHY回路の動作を制御する少なくとも1つの信号を記憶し、上記ホストコンピュータからの信号は、上記データネットワークからデータが読み出されるときに、上記PHY回路を制御するために上記媒体非依存インターフェースレジスタから送られ、

上記バイト計数レジスタは、上記ホストコンピュータに転送するために上記ハードウェアMACに記憶されたバイト数を示す値を記憶し、上記バイト計数レジスタは、上記ハードウェアMACからデータが読み出されたときにデクリメントされ、

上記ソフトウェアMACは、上記ホストコンピュータのメモリに記憶され、上記ソフトウェアMACは、上記ホストコンピュータのプロセッサによって実行されたとき、検出されたエラー状態に対してエラー処理機能を実行することを含む1つ又は複数のメディアアクセス制御通信機能を上記プロセッサに実行させるように構成されたシステム。

【請求項29】

上記ステータスレジスタは、上記PHY回路によって設定可能な複数のビットであって、上記データネットワーク上のエラーを識別する複数のビットをさらに含む請求項28記載のシステム。

【請求項30】

上記複数のビットは、上記データネットワーク上において不適当な時点で搬送波信号を感知したことを示す搬送波感知ビットを含む請求項29記載のシステム。

【請求項31】

上記搬送波感知ビットは、上記ホストコンピュータのプロセッサ内で実行される上記ソフトウェアMACによって直接的に読み出される請求項30記載のシステム。

10

20

30

40

50

## 【請求項 3 2】

ネットワークと、

上記ネットワークに接続されたクライアントコンピュータと、

上記クライアントコンピュータを上記ネットワークに接続するネットワークインターフェースアダプタとを備えた装置であって、

上記ネットワークインターフェースアダプタは、ハードウェアが削減されたメディアアクセスコントローラ(MAC)を有し、

上記ハードウェアが削減されたMACは、物理的インターフェースを介して上記ネットワークに接続され、上記ハードウェアが削減されたMACは、ソフトウェアMACとハードウェアMACとを含み、

上記ハードウェアMACは、

上記物理的インターフェースと上記クライアントコンピュータとの間の通信をバッファリングするメモリと、

上記ネットワークインターフェースアダプタと上記クライアントコンピュータとの間の通信を処理するレジスタインターフェースとを有し、上記レジスタインターフェースはデータレジスタとステータスレジスタとを備え、上記ステータスレジスタは、読み出し動作及び書き込み動作の少なくとも一方における割り込み状態を示す少なくとも1つの割り込みビットを有し、上記ステータスレジスタは、上記ネットワークの物理的リンクにおけるデータ衝突を識別するデータを記憶し、上記ステータスレジスタは上記クライアントコンピュータから読み出し可能であり、

上記ソフトウェアMACは、上記クライアントコンピュータのメモリに記憶され、上記ソフトウェアMACは、上記クライアントコンピュータのプロセッサによって実行されたとき、検出されたエラー状態に対してエラー処理機能を実行することを含む1つ又は複数のメディアアクセス制御通信機能を上記プロセッサに実行させるように構成された装置。

## 【請求項 3 3】

上記通信は、上記ハードウェアMACと、上記クライアントコンピュータ上で実行される上記ソフトウェアMACとの間における、命令、ステータス情報、又はエラー情報の通信を含む請求項 3 2 記載の装置。

## 【請求項 3 4】

上記バッファリングするメモリは、送信バッファリングのメモリと受信バッファリングのメモリとを備えた請求項 3 2 記載の装置。

## 【請求項 3 5】

コンピュータネットワークと、

上記コンピュータネットワークに接続されたクライアントコンピュータと、

上記クライアントコンピュータを上記コンピュータネットワークに接続するネットワークインターフェースアダプタとを備えたシステムであって、

上記ネットワークインターフェースアダプタは、ハードウェアが削減されたメディアアクセスコントローラ(MAC)を有し、

上記ハードウェアが削減されたMACは、物理的インターフェースを介して上記コンピュータネットワークに接続され、上記ハードウェアが削減されたMACは、ソフトウェアMACとハードウェアMACとを含み、

上記ハードウェアMACは、

上記物理的インターフェースと上記クライアントコンピュータとの間の通信をバッファリングするメモリと、

上記ネットワークインターフェースアダプタと上記クライアントコンピュータとの間の通信を処理するレジスタインターフェースとを有し、上記レジスタインターフェースはデータレジスタとステータスレジスタとを備え、上記ステータスレジスタは、読み出し動作及び書き込み動作の少なくとも一方における割り込み状態を示す少なくとも1つの割り込みビットを有し、上記ステータスレジスタは、上記コンピュータネットワークの物理的リンクにおけるデータ衝突を識別するデータを記憶し、上記ステータスレジスタは上記クラ

10

20

30

40

50

クライアントコンピュータから読み出し可能であり、

上記ソフトウェアMACは、上記クライアントコンピュータのメモリに記憶され、上記ソフトウェアMACは、上記クライアントコンピュータのプロセッサによって実行されたとき、検出されたエラー状態に対してエラー処理機能を実行することを含む1つ又は複数のメディアアクセス制御通信機能を上記プロセッサに実行させるように構成されたシステム。

【請求項36】

上記通信は、上記ハードウェアMACと、上記クライアントコンピュータ上で実行される上記ソフトウェアMACとの間における、命令、ステータス情報、又はエラー情報の通信を含む請求項35記載のシステム。

【請求項37】

上記バッファリングするメモリは、送信バッファリングのメモリと受信バッファリングのメモリとを備えた請求項35記載のシステム。

【請求項38】

送信バッファにより、ホストコンピュータからのデータを受信し、上記データを送信データ線を介してデータネットワークの物理的リンクに送信する前に当該データを一時的に記憶することと、

受信バッファにより、データを受信し、上記データをコンピュータに送る前に当該データを一時的に記憶することと、

上記受信バッファに接続されたデータレジスタからの読み出しを繰り返すことにより、上記受信バッファからデータを読み出させることと、

レジスタインターフェースのステータスレジスタを用いて、上記データネットワークの物理的リンクにおけるデータ衝突を識別するデータを記憶することを含む方法であって、上記レジスタインターフェースはさらにデータレジスタを有し、上記ステータスレジスタは、読み出し動作及び書き込み動作の少なくとも一方における割り込み状態を示す少なくとも1つの割り込みビットを有し、

上記送信バッファ、受信バッファ、及びレジスタインターフェースは、ハードウェアが削減されたメディアアクセスコントローラ(MAC)として提供され、

上記ハードウェアが削減されたMACはさらに、ソフトウェアMACを有し、

上記ソフトウェアMACは、上記ホストコンピュータのメモリに記憶され、上記ソフトウェアMACは、上記ホストコンピュータのプロセッサによって実行されたとき、検出されたエラー状態に対してエラー処理機能を実行することを含む1つ又は複数のメディアアクセス制御通信機能を上記プロセッサに実行させるように構成された方法。

【請求項39】

上記送信バッファは、PHY回路を介して上記データネットワークに接続される請求項38記載の方法。

【請求項40】

上記データレジスタ及び上記ステータスレジスタは、複数の通信レジスタからなるアレイに含まれる請求項38記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、コンピュータとネットワークとの間でのアダプタ及びインターフェース、接続法に関する。特定の一例として、本発明はコンピュータと、IEEE802.3ないしその拡張版の如くの業界規格プロトコルに準拠して機能するコンピュータネットワークとの間でのアダプタと通信方法について説明する。

【0002】

【従来の技術】

本発明は、以後、クライアントコンピュータを称するコンピュータをネットワークに接続するに当たって利用するアダプタに関する。本発明を説明するに当たっては、一般に「イー

10

20

30

40

50

サネット」(登録商標。以後、同様)として知られている、現に使われている最も一般的なネットワーク構成のうちの1つに対応して設計された特定の実装を参照する。この種のネットワークでは、一般に、IEEE802.3規格、またはその修正規格或いはその拡張版に準拠している。簡単に説明すれば、これらの全てのネットワークは、必ずしも正確な名称ではないが、IEEE802.3ネットワークと呼ばれている。これらのネットワークでは、そのために開発されているアダプタないしネットワークインターフェースコントローラと同様に、本発明を理解する上での骨組を構成している。

#### 【0003】

ローカルエリアネットワークにおけるクライアントコンピュータは、同軸ケーブルや、シールド無しのより対線或いはシールドされたより対線の如くの物理的リンクを介して接続されているのが通常である。情報は、プロトコルにより定義される多数のデータ構造のうちのいずれか1つと、最小フレーム長から最大フレーム長までの範囲にわたるデータ量とを有するフレームを単位として、クライアントコンピュータにより物理的リンク上に送信される。IEEE802.3プロトコルの最も簡単な形態では、一度に一台のクライアントコンピュータだけが情報を個別の物理的リンクを介して送信できるようにしている。二台のクライアントコンピュータが同時に、或いは、異なったメッセージ信号の間で干渉が起こるほど時間的に密接して物理的リンクにデータを送信するようなことでもあれば、送信データは汚損してしまい、廃棄しなければならなくなる。このような事態を衝突と言うが、クライアントコンピュータの方で検出されるべきである。IEEE802.3ネットワークでは、物理的リンクへのアクセスを制御するのに搬送波感知多重アクセス/衝突検出(carrier sense multiple access/collision detection)(CSMA/CD)を利用している。従って、クライアントコンピュータが物理的リンクへメッセージを送るに先立って、クライアントコンピュータが物理的リンクに搬送波信号があるかどうかを先ず検出する。物理的リンクに搬送波信号があれば、その搬送波信号がなくなり物理的リンクが使えるようになるまで、クライアントコンピュータはメッセージ送信を待機することになる。

#### 【0004】

他方、クライアントコンピュータが物理的リンクが使えると判断して始めて、物理的リンクへ、そしてネットワークへとメッセージ送信ができるようになる。クライアントコンピュータは物理的リンクを監視して、その物理的リンクを介してメッセージを送信する際に生じる可能性のあるすべての衝突を検出する。送信側コンピュータは送信後でも、その後のメッセージ送信が横行して目的地に到達するまで送信側コンピュータが待機している間でさえ、衝突が発生しているかどうかを監視し続けるのである。その過程で衝突が検出されると、クライアントコンピュータは、少なくとも最小フレーム長に相当する時間間隔だけ送信が横行できるように、時折「妨害シーケンス」を呼ばれている信号を送信し続ける。その後、クライアントコンピュータは所定のランダム時間だけ休止して、データをもう一度送信するために物理的リンクへのアクセスを得るように試みる。このように物理的リンクへのアクセスを試行するクライアントコンピュータは、全て同じようにバックオフ・アルゴリズムを実行しているが、待機時間はクライアントコンピュータごとに異なっていると共に、ランダムに割り当てられているから、一方のクライアントコンピュータが物理的リンクへアクセスでき、待機している他方のコンピュータはその後でネットワークにアクセスできると言った具合になっている。

#### 【0005】

情報は一般には、イーサネットまたはその他のCSMA/CDネットワークでの送受信に適するように纏め上げられている。図1は、イーサネット用フレームのためのデータフレームの構造を示し、図2は、IEEE802.3規格で規定のフレームのためのデータフレームの構造を示している。両方のネットワークでは、受信側にフレームが送られていることを知らせるのに、「1」と「0」が交互するパターンからなるプリアンプル(preamble)を利用している。イーサネット用フレームにおけるプリアンプル(図1)には、IEEE802.3ネットワークで定義付けられているフレームバイト・フィールドの先頭に相当する余分のバイトが含まれている。フレームバイトの先頭(図2におけるSOF)は「1」ビットが二つ続いて終

10

20

30

40

50



わっており、物理的リンクと接続したステーションのフレーム受信と同期を取るのに使われる。

【 0 0 0 6 】

これらのネットワークでの情報のフレーム構造にはメッセージの宛先アドレスと送信元アドレスとが含まれている。宛先アドレスは一台の相手方コンピュータ(ユニキャスト)、一群のコンピュータ(マルチキャスト)、ネットワークにある全てのコンピュータ(ブロードキャスト)の何れであってもよい。送信元アドレスは特定の送信側コンピュータである。また、イーサネット用フレームには、メッセージを受信する上層アプリケーションのプロトコルを識別する種類フィールドが含まれている。このフィールドは、IEEE802.3ネットワーク用のフレームではなく、その代わりに、メッセージにおけるデータのバイト数を表す長さフィールドで置き換えられている。両方のフレーム構造には、可能な長さ範囲内の任意長のデータフィールドが備わっており、その後、4バイトの巡回冗長検査値であるフレームチェックシーケンス(FCS)が続いている。FCSは送信側のコンピュータによって生成され、損傷を受けたフレームを検査するために受信側の装置によって再計算される。

10

【 0 0 0 7 】

CSMA/CDネットワークを介してデータフレームを送受信しているクライアントコンピュータは、搬送波感知、衝突検出、そしてその他のデータ送受信制御を実行するためにネットワークインターフェースコントローラを利用している。データ送信の制御には、フレーム・フォーマットの生成とFCSバイトの算出とが含まれている。他方、データ受信制御には、フレームの検出と、メッセージがそのコンピュータ宛のものかどうかを判定する宛先アドレス調査と、フレームが有効なものかどうかを判定するCRCないしその他のフレーム検査手順とが含まれている。フレームに対してその他の解析が行われることもあり、また、データフレームないし受信動作にエラーがあれば、斯かる解析が行われなければならないこともある。例えば、送信中にエラーが検出された場合は、情報が再送信されなければならない場合がある。これら全ての処理は従来公知であって、クライアントコンピュータをローカル・エリアCSMA/CDネットワークにリンクするアダプタないしコントローラによって実行されている。

20

【 0 0 0 8 】

ネットワークインターフェースコントローラは、特定用途向け集積回路(ASIC)の如く集積回路として実現している。米国特許第5,872,920号に開示されているASICでのイーサネットコントローラの構成例を図3に概略的に示す。ネットワークコントローラASIC10はホスト側コンピュータシステムのバス20と、ネットワークの物理的リンク30の一部をなすより対線ないし同軸ケーブルとのインターフェースを取る。物理的インターフェースからの情報の送受信はトランシーバ40により行われるか、または、アタッチメント装置型インターフェース42を介して行われる。エンコーダ(符号化器)44は、物理的リンク30を介して送信される情報を符号化し、デコーダ(復号化器)46は、この物理的リンク30から受信された情報を復号化する。一般に、IEEE802.3ネットワークではマンチェスター型符号化器、復号化器が使われている。

30

【 0 0 0 9 】

コントローラ50はマイクロコントローラやその他のプロセッサでもよいが、このコントローラ50は、一般に、適当な送信制御プログラム52と受信制御プログラム54、または、状態機械(state machine)を利用して送受信動作を制御するASIC10内の中心部として使われている。これらのプログラムで、CSMA/CDネットワークからデータを送受信するのに必要な種々のデータ制御動作を処理しており、例えば物理的媒体上での衝突によるエラー状態を処理して必要に応じてそのデータを再送信することもそのデータ制御動作に含まれている。IEEE802.3規格の如く該当する規格を実現するのに望まれている機能の大部分は、このコントローラ50において実行されている。このコントローラ50に対して入出力するデータは送信側FIFO56と受信側FIFO58によりバッファされる。ホストコンピュータのバス20へのデータ送信を含むホストコンピュータとの通信は、

40

50

ホスト側インターフェース60によって管理される。EEPROM62に保存されているデータセットないしプログラムを書き換えるか、または更新することでホスト側インターフェース60をアップデートする手段も使われている。これらの回路についてのもっと詳しい説明や機能などについては、本願明細書の一部をなすものとしてここに挙げる前掲の米国特許第5,872,920号に開示されている。

【0010】

尚、図3に示したネットワークインターフェースコントローラは一つのASICとして実装されたものとして示したが、それ以外の構成も周知である。例えば、特定のネットワークの物理的な構成(磁気ドライブ装置やデジタル/アナログ回路、アナログ/デジタル回路などを含む)は大いに変化することから、エンコーダやデコーダ、トランシーバ、さては物理的リンクに対するその他のインターフェースなどを専用チップに組み込むのが望ましい。このアーキテクチャは、より大きな柔軟性を可能にする別個のPHYチップとして実装されてもよく、これは多くの場合、より集積化された単チップ型のネットワークインターフェースコントローラを利用するよりも費用対効果を大きくする。別個のPHYチップを提供する実装では、第二のチップ、すなわち媒体アクセスコントローラ(MAC)チップ上に、他の態様のネットワークコントローラを設けることが一般的である。図3に示したネットワークコントローラのMACは、コントローラ又はプロセッサ50をそのプログラムとともに含み、バッファメモリを含み、さらに、多くの場合にホスト側インターフェース60を含む。

10

【0011】

【発明が解決しようとする課題】

図3に示したASIC10の如く集積回路が他のネットワークインターフェースコントローラにおいて得られる機能を増大するのに、多大な努力が払われている。例えば、付加的な機能と柔軟性をネットワークインターフェースに組み込むことができれば、ネットワークの通信規格の改善策や修正事項に対応させることができる。現今、基本IEEE802.3技術の高速化版が注目されている。

20

【0012】

【課題を解決するための手段】

本発明の好ましい実施の形態により、低コストであってかつネットワークに対して互換性を有するコンピュータに良好に利用できる、簡単化されたコントローラが得られる。本発明は、比較的簡単なインターフェース構造を提供すると共に、ホストコンピュータのプロセッサでもっと沢山のネットワークインターフェース制御機能が実行できるようにすることで、ネットワークインターフェースを低コストにして、高度に柔軟なものにしている。

30

【0013】

本発明のある一面では、少なくとも一つの送信データ線と接続した送信バッファを有するコンピュータ通信システムを提供している。送信バッファにはホストコンピュータからのデータを受信して、そのデータを送信データ線を介してデータネットワークの物理的リンクへ送信するに先だって一時的に記憶するようになっている。受信バッファも少なくとも一本の受信データ線に接続してあって、この受信データ線を介してデータネットワークの物理的リンクからデータを受信すると共に、そのデータをコンピュータに提供するに先立って一時的に記憶するようになっている。また、通信レジスタのアレーが設けられている。このアレーは、受信バッファと接続したデータ・レジスタを備え、データ・レジスタからくり返して読み取ることでデータが受信バッファから読み出される。また、このアレーには、ネットワークの物理的リンクにおけるデータの衝突を識別するデータを記憶するステータス・レジスタも備わっており、このステータス・レジスタはホストコンピュータから読み出される。また、このステータス・レジスタには、読出し動作と書込み動作の内の少なくとも一方における割り込み状態を表す少なくとも一つのビットが含まれている。

40

【0014】

本発明の別の面では、データネットワークからデータを受信してそのデータをホストコ

50

ンピュータに提供するに先立って一時的に保存するように接続した受信バッファを含む媒体アクセスコントローラを備えたコンピュータ通信システムを提供している。媒体アクセスコントローラは、受信バッファと接続したデータ・レジスタを含む通信レジスタを有しており、このデータ・レジスタから繰り返し読み出すことでデータが受信バッファから読み出される。この通信レジスタは、少なくとも一つの割込みビットを記憶するステータス・レジスタを備えている。割込みビットは、データネットワークから受信した、ホストコンピュータ宛のデータがあることを示すべく設定されているものであって、この割込みビットは、読み出すべきデータがあることを示すためにホストコンピュータにより読み出される。

【 0 0 1 5 】

10

本発明のまた別の面によれば、複数の通信レジスタを含む媒体アクセスコントローラを備えたコンピュータ通信システムが提供されている。好ましくは、この通信レジスタは、受信バッファと接続されたデータ・レジスタを含むのが望ましく、これによりデータ・レジスタから繰り返し読み出すことでデータネットワークから受信したデータを読み出すことができる。ステータス・レジスタには少なくとも一つの割込みビットが記憶されており、この割込みビットはデータネットワークから受信した、ホストコンピュータ宛のデータがあることを示すように設定されており、ホストコンピュータにより読み出されるようになっている。媒体非依存型インターフェースレジスタも備わっており、このレジスタには媒体アクセスコントローラと接続したPHY回路の動作を制御する少なくとも一つの信号が記憶されており、ホストコンピュータからの信号が、データネットワークからデータが読み出されるに伴ってPHY回路を制御すべくこの媒体非依存型インターフェース・レジスタから送られるようになっている。バイト計数レジスタには、ホストコンピュータへの転送に備えて媒体アクセスコントローラに保存のバイト数を表す値が記憶されており、媒体アクセスコントローラからデータが読み出される都度、このバイト計数レジスタの値が減っていく。

20

【 0 0 1 6 】

コンピュータとネットワークとの間の通信は従来よりネットワークインターフェースコントローラ(NIC)またはアダプタを介して行われている。本発明の好ましい実施の形態では、削減されたハードウェアでこのネットワークインターフェースコントローラを実現している。本発明によるアダプタの好ましい面を実現することで、従来のコントローラに比して低コストで、低電力消費型のネットワークインターフェース接続を、コンピュータにもたすことができる。本発明により、前述のアダプタを、技術変化に対応できる、或いは、特殊用途での解決策に対応するように容易に変えられるようにすることが可能である。

30

【 0 0 1 7 】

本発明の特に好ましい実施の形態では、ホスト・クライアントコンピュータにおいて、ハードウェアが削減されたMACに対して、ソフトウェアで実現された大部分のMAC機能を提供している。より好ましくは、クライアントコンピュータで行われるこのMAC機能は、クライアントコンピュータにおけるプロセッサにおけるソフトウェアで実現するのが望ましく、特にこのMAC機能がパソコンのアーキテクチャにおける主プロセッサにおいて実現されるようにするのがもっと望ましい。好ましいMAC実装のハードウェア部では、PHYとクライアントコンピュータとの間の通信をバッファするメモリを設けている。本発明に係るMACの好ましい実施形態のハードウェアはまた、MACのハードウェア部と、クライアントコンピュータで実装されたMACのソフトウェア部との間でのレジスタ駆動型通信のためのレジスタインターフェースを含む。MAC機能の大部分をホストコンピュータにあってはソフトウェアで実装することにより、低コスト、低電力消費型にして、柔軟性の大きい好ましいMACが得られる。

40

【 0 0 1 8 】

また、本発明は、クライアントないしその他のコンピュータと、IEEE802.3規格に準拠して動作するローカルエリアネットワークの如くのネットワークとの間のインターフェー

50

スを提供することもできるものである。本発明の別の面では、IEEE802.3ネットワークを介してコンピュータと一台か、それ以上の他のコンピュータとの間で情報の送受信を行う方法をも提供している。尚、IEEE802.3規格なる用語は、本願明細書においては広義的な意味で用いており、ギガビット・イーサネットを含む現に計画中のネットワークや、今後開発されるその他の修正規格などによるネットワークなどを含む、CSMA/CDネットワークを包含するように用いている。本発明者らは、本発明によるこれらの局面は、他のプロトコルを利用する他のネットワークとインターフェースをとって通信する場合でも利点をもたらすものと確信している。ここで説明する例と説明の大部分は、IEEE802.3ネットワークについてはよく知られていること、また、今のところではIEEE802.3ネットワークとイーサネットネットワークが流行っていることから、IEEE802.3ネットワークを利用して通信を行う場合についてなされている。しかしながら、本発明を説明するに当って用いた特定の用途は、本発明の範囲を限定すべく意図したものではない。

10

#### 【0019】

同様なことから、本発明の説明は、現に利用されているIEEE802.3規格プロトコルの枠内で行うものとする。但し、このIEEE802.3規格は更に進展するだろうし、また、後継版に引き継がれることもあるだろう。本発明の大部分はこのようネットワークにも適用しても、利点が損なわれることはないものと思われる。

#### 【0020】

##### 【発明の実施の形態】

図4は、ネットワークとの間で情報の送受信を行うクライアントコンピュータ70のアーキテクチャの概略図を示す。データネットワークには、クライアントコンピュータに対して送受信される実際のデータ信号を搬送するより対線ないし同軸ケーブルの如くの物理的リンクを含んでいる。クライアントコンピュータ72は、図4にあってはPHY72の如くのネットワークモデルの物理層を介してこの物理的リンクと接続してある。PHYには、物理的リンクへ信号を入れたり、その物理的リンクから信号を取出したりするための磁気回路が備わっていてもよい。また、このPHY72には、アナログ/デジタル変換器やデジタル/アナログ変換器、受信した或いは供給されたクロック信号に応じて物理的リンクからの信号を復元する位相同期検出回路などの支援回路類が備わっている。一般に、PHY72には図3に示した如くの符号化及び復号化回路も備わっているのが通常である。

20

30

#### 【0021】

一般に、PHY72は、特定のネットワークプロトコルないし定義に適應されている。従って、PHY72の実施形態は、図4のアーキテクチャの異なったアプリケーション間で著しく変化する可能性があるが、ただし変化するにしてもよく知られ、また理解されたやり方で変化する。PHY72は、個別のチップとしてであるか、それともASIC内に設けられるコアとしてであるかに関わらず、異なるネットワーク環境における多数の形式で商業的に入手可能である。

#### 【0022】

図4に示したネットワークモデルの次の高次レベルは媒体アクセスコントローラ、即ちMAC74である。このMAC74は広範囲の機能を実現しているが、一般にはデータがネットワークモデルにおけるより上位の階層で直ちに利用できる形になっているように、PHY72から提供されたデータビットのストリームを先ず解析してフォーマット設定する役目をなす。このMAC74は、クライアントコンピュータ70のオペレーティング・システム76とインターフェースをとり、ネットワークからの受信データを記憶する。一般にこのMAC74はクライアントコンピュータにあってオペレーティング・システム76と通信するアプリケーションプログラム78に应答して、送信するメッセージ又は情報に対するリクエストを生成する。

40

#### 【0023】

MACの機能には、沢山の異なった様相の通信が含まれている。例えば、ネットワークからのデータは4ビットパラレル・フォーマットでPHY72から送られることがある。

50

この場合、M A Cはこの4ビットパラレルデータを、クライアントコンピュータに適したバイトないしワード、例えば8ビットバイトか32ビットワードに再フォーマット設定するのが望ましい。M A Cに含まれるその他の様相の通信には、アドレス認識、フレーム認識、フレーム解析、衝突やその他のネットワーク上のエラーの検出と管理が含まれている。本願明細書の従来技術のセクションで説明し、図3にも示したように、従来ではこのM A C 74は、単一の集積回路上で種々の機能を行うようになっている。そのような従来のM A Cでは、これらの機能を実行する状態機械ないしプログラムを実行することのできるプロセッサないしその他の形式の論理装置が備わっている。

#### 【0024】

本発明の好ましい実施形態は、単純化されたM A C、少なくとも回路の観点からして単純化されたM A Cを提供する。大抵の実装にあっては、本発明の実施の形態は、単純化されたハードウェアM A Cと、好ましくはホストプロセッサ内にある、相補的なソフトウェアM A Cとを含むものであって、これらのハードウェアM A C及びソフトウェアM A Cは、互いに組み合わせさせて、図3に示したM A Cによって実行されるものより多くの機能ではないにしてもその大部分の機能を提供する。言うまでもないことではあるが、本発明の一実施の形態によりM A Cを実現すると、M A C機能が足りない状態で、本発明の様相を実践することになることが考えられる。図3に示したM A Cとは異なって、本発明の好ましい様相によるM A Cでは、最小限の回路群を備えて、クライアントコンピュータ70のプロセッサにおいて大部分のM A C機能を実行することができるのである。この場合、本発明によるM A Cには、パソコンや類似のクライアントコンピュータのマイクロプロセッサにより実行されるべきソフトウェアとして実現されるその他の様相のM A C機能と共に、バッファメモリと通信レジスタセットとを備えている。

#### 【0025】

図5は、本発明によるネットワークインターフェース・アダプタ79の特に好ましいハードウェア構成を示す。図示のように、アダプタは、ターゲットのネットワークの物理的リンクに適当なP H Y 72と、ハードウェアが削減されたM A Cとを備えている。ハードウェアが削減されたM A Cには、データがP H Y 72に対して送受信されるに伴ってそのデータをバッファするメモリを備えており、このメモリとしては、1フレームのデータを受信するのに要する全時間だけにわたって発生する受信エラー信号を記憶するラッチが挙げられる。図示した特に好ましいM A Cの残りのハードウェアの様相には、命令、ステータス情報、エラー情報の送受信を取り扱い、アダプタとクライアントコンピュータとの間でのデータ送受信を促進する一群のレジスタが含まれている。従って、図示のバス・レジスタ・インターフェース80には、大部分の通信機能がクライアントコンピュータにおいて、好ましくはクライアントコンピュータのプロセッサにおいて行われるように、完全ではあるが比較的最小限の通信用及びデータ用レジスタが備わっているのが望ましい。

#### 【0026】

図5において、上の二本の線はP H Y 72における媒体非依存型インターフェース(M I I)との通信のための信号線である。信号線MDCKは、インターフェース80からP H Y 72にデータクロック信号を供給するものであり、P H Y 72のM I Iに対するデータの読出しと書込みに利用する。信号線MDIOは、バス・レジスタ・インターフェース80とP H Y 72との間でのM I I通信のためのシリアルデータ線である。MDIOを介して送受信される命令やその他の情報の種類は、既に知られているプロトコルであり、産業界で標準化されている媒体非依存型インターフェースの要件に準拠するものである。

#### 【0027】

図5においてその次の二本の線は、P H Y 72からバス・レジスタ・インターフェース80へのネットワーク状態を送信するものである。線COLは、P H Y 72から物理的リンクを介してデータを送信しているときに、当該物理的リンクで衝突が検出された場合に信号が送信される信号線である。線CRSは、メッセージが受信されているときに物理的リンクに搬送波信号(搬送波感知)があることを示す信号が供給される信号線である。COL線とCRS線上の信号はインターフェース80内のコマンド/ステータス・レジスタ内に保存され

10

20

30

40

50

るので、ホスト・クライアントコンピュータはエラー状態を検出して、適切なエラー処理機能を実行できるようになっている。

【 0 0 2 8 】

図 5 においてまた次の二本の線は P H Y 7 2 からバス・レジスタ・インターフェースへの、物理的リンクから受信したデータの有効性を表す情報の送信路である。線 RXER では、データ受信時でのエラーを表す信号が搬送される。この線 RXER を介して送られる信号は、少なくとも 1 フレームのデータ送信に掛る時間に比べると比較的短寿命の信号になっていることもある。従って、この線に沿ってラッチ 8 2 を設けて、そのフレームのデータの送信が終わった後にバス・レジスタ・インターフェース 8 0 に P H Y 7 2 から発するエラー信号が記憶されるのを確実にするために、当該エラー信号がそのラッチ 8 2 に保存されるようにするのが望ましい。線 TXER は、物理的リンクへのデータ送信について同様な機能を行うものである。P H Y 7 2 とその後の物理的リンクへのデータ送信においてエラーが発生することが分かっている場合、インターフェース 8 0 によりこの線 TXER を介して信号が送られる。例えば、線 TXER は、M A C の送信バッファ 8 8 にアンダーフロー・エラーが発生したことを示すのに利用することができる。

10

【 0 0 2 9 】

図示の実施の形態にあつては、バス・レジスタ・インターフェース 8 0 が 8 ビット・バイト単位でデータを記憶する。P H Y 7 2 に対して送受信されるデータは 4 パラレルビットとして編成されている。従って、P H Y からの 4 ビットデータを、適当に構築したレジスタ 8 4 において 8 ビットデータに再フォーマット設定するのが望ましい。このレジスタ 8 4 としては、4 ビット・パラレル・シフトレジスタとして示してある。このレジスタ 8 4 からの出力は受信バッファ 8 6 に送られるが、このバッファ 8 6 は、物理的リンクから受信したデータをバッファリングし、その後、当該データは読み出されてバス・レジスタ・インターフェース 8 0 を介してクライアントコンピュータへ送られる。クライアントコンピュータからのデータは 8 ビット・バイトであつて、送信バッファ 8 8 に供給されるが、この送信バッファ 8 8 は、レジスタ 9 0 に供給するに先立ってそのデータを バッファリングする。レジスタ 9 0 は、8 ビットデータを連続する 4 ビットデータアイテムに フォーマット設定して、そのデータアイテムを P H Y 7 2 に供給するものである。

20

【 0 0 3 0 】

受信バッファ 8 6 と送信バッファ 8 8 とは、好ましくはクライアントコンピュータにおけるレイテンシを吸収するのに適当な サイズ の F I F O (先入れ先出しメモリ) であるのが望ましい。図 5 に示したアダプタの役割が、クライアントコンピュータの好ましいマイクロプロセッサにより行われる複数のタスクの内の一つだけであるから、プロセッサが物理的リンクへ送信中、または、当該物理的リンクから受信中のデータを処理する準備が整っていないような事態があり得る。従って、送信側 F I F O と受信側 F I F O とは、一般的なレイテンシ遅延時間 (latency delay) を吸収するのに十分な サイズ であるのが望ましいのである。実地では、適当なバッファの サイズ としては、大凡 1 パケット相当の サイズ、または、約 2 0 0 0 バイト程度の サイズ である。バッファの適当な サイズ は、システム設計に従って選定することができる。データを受信するか、送信する必要のあるレートは、アダプタを介して通信する特定のネットワーク によって変わるので、バッファのサイズ にしても、用途に応じて著しく変わる。

30

40

【 0 0 3 1 】

図 6 に、クライアントコンピュータ 1 0 0 を一群のより対線 1 0 4 を介してネットワーク 1 0 2 に接続するアダプタ 7 9 を示す。図示のアダプタ 7 9 は、図 5 に示した構造を有しているのが望ましく、特に、図 5 に示したバッファメモリとバス・レジスタ・インターフェース 8 0 とを含む、ハードウェアが削減された M A C 1 0 6 を構成しているのが望ましい。ハードウェアが削減された M A C 1 0 6 は、バス 1 1 0 を介してクライアントコンピュータ 1 0 0 のプロセッサ 1 0 8 と接続するのが望ましい。また、バス 1 1 0 は、レイテンシを最小限にするために所望速度で M A C 1 0 6 に対してデータの出し入れを行うために 十分な速度で動作する 3 2 ビット以上のバス であるのが望ましい。M A C 1 0 6 を、

50

P C Iバスまたは、好ましい実施の形態としてはP Cバス、カードバス、或いは、PCMCIAカードをノートブック型コンピュータないしその他の携帯型コンピュータに接続するのに適したその他のバスの如くの適当なバスに接続することにより、適当なバス速度が得られる。これらのバスを典型的に実装するだけでも、プロセッサ108上で走るソフトウェアとしてM A C機能の大部分の実装を可能にするのに充分高速になる。アダプタ79としては、特に携帯型コンピュータで本発明を利用する場合に大きさが小さく、電力消費も少ないのが望ましいのである。

#### 【0032】

ネットワーク102の物理的リンクとの間で情報の送受信が行われる際に、クライアントコンピュータのオペレーティング・システム114の少なくとも一部とM A Cのソフトウェア部116の一部とは、メモリ112において利用可能であるものと期待される。図示したメモリ112は、部分的にはプロセッサ108内に備わり、また部分的には、DRAMのアレー、もしくは、例えばディスクドライブ、フラッシュメモリまたはソリッドステートメモリを含む揮発性の低いメモリのアレーに備わっていてもよい。他の実施の形態としては、図示のメモリ112は、それ自体全てがプロセッサ108の内部、もしくは外部に備わっていてもよい。このメモリがどのような形で実現されているかに関わらず、M A C 116のソフトウェア部は、M A C 106内の通信レジスタ80をアドレス指定することにより、プロセッサ108内のオペレーティング・システム114を介してM A Cのハードウェア部と通信できるのが望ましい。

#### 【0033】

バス・レジスタ・インタフェース80における通信レジスタは、好ましいレジスタ・アドレス・スキームを利用することでアドレス指定される。図7に示した実施の形態では、合計8個のレジスタを含む最小レジスタ装置をアドレス指定するのに3ビットアドレス信号を利用している。図示のように、4個の下位レジスタに4個のデータ・レジスタを設けているが、次の2個のレジスタとアドレスとは、受信側F I F O 86から読み出すのに使われるバイトの数を記憶するバイト計数レジスタに使うのが望ましい。データ・レジスタについてはその詳細なところを図8に示す。このデータ・レジスタから繰り返して読出しを行うと、受信側F I F O 86からデータが取り出せ、また、このデータ・レジスタに繰り返して書込みを行うと、送信側F I F O 88にネットワーク102へ送信すべきデータを書き込むことができる。バイト計数レジスタの詳細なところについては、図9にそれを示す。読取り動作では複数の前記バイト計数レジスタが使用され、このレジスタにより、ネットワーク102から受信されるべき残りのデータの有無とその量を示す。受信バッファにデータが書き込まれるにつれて、バイト計数レジスタに記憶されている値が増加するが、受信バッファ86からデータが読み出される都度、バイト計数レジスタに記憶されている値は減少する。

#### 【0034】

尚、ネットワークから受信するデータにはエラーデータが含まれていることもあれば、適切なフレームデータが含まれていることもある。従って、ネットワークから受信すべきデータが別に残っているかどうかを判定するのに、転送されたデータそのものを拠所とするのは一般には望ましくないことである。

#### 【0035】

図10と図11とは、書込み動作と読出し動作のためのコマンド/ステータス・レジスタをそれぞれ示しており、両レジスタは同一アドレスを有しているが、その定義は書込み動作と読出し動作とで異なっている。ビット0は、アダプタからクライアントコンピュータのオペレーティング・システムに対する書込み動作での割り込みを可能とするものとなっている。コマンド/ステータス・レジスタのビット7は、アダプタをリセットすべくクライアントコンピュータにより設定される。このビットは、アダプタのリセットと共に自動的にクリアする。

#### 【0036】

M A Cソフトウェア116がアダプタを読み取っていると、コマンド/ステータス・レ

ジスタ(図 1 1)は、割込み待機ビットとしてビット 0 を利用して、ホスト・クライアントコンピュータに読出しが終わるまで待機するように通知する。この M A C ソフトウェア 1 1 6 は コマンド/ステータス・レジスタを読み取って、割込みに伴ってどんな処理が求められているのか、また、読み出すべきデータ(B C)があるかどうか、処理すべきエラー(C O、C R S)があるかどうかなどを判定する。いったん割込みビットが読み出されると、それがリセットされる。残りのビット 1 ~ 3 は P H Y からの搬送波感知、衝突検出、受信データ有効信号に割り当てられている。バイト計数値ビット B C がゼロでない場合、M A C ソフトウェアは受信バッファ 8 6 からデータを読み出すべくデータ・レジスタの読出し動作を開始する。C O L ビットと C R S ビットの何れかが有効であれば、M A C ソフトウェア 1 1 6 が呼び出されて、バックオフ・アルゴリズムを実行するか(C O L)、間違っ  
たデータを受信バッファから書き出してその間違った受信データを破棄するかのいずれか  
により、エラー状態を処理する。

10

#### 【 0 0 3 7 】

図 1 2 は、好ましいバス・レジスタ・インターフェース 8 0 における最後の位置を占める M I I レジスタでのビットの定義を示している。この M I I、もしくは、削減されかつ媒体に依存しないインターフェース(R M I I)は、P H Y の動作を制御、監視するのに M A C ソフトウェア 1 1 6 により利用される。M I I 情報の伝送は、M I I レジスタの M D ビットと M D I O 線(図 5)と P H Y の M D I O ピンとを介してそれぞれシリアルに行われる。

#### 【 0 0 3 8 】

20

M A C ソフトウェア 1 1 6 は、アダプタ 7 9 の大部分の動作を制御する。一般に、M A C ソフトウェアは、割込みとデータ転送を処理する低位部(lower level piece)と、より高度ではあるが即時性の低い動作を行う高位部とを含むものとみなすことができる。受信動作は割込みで開始し、割込み動作は M A C ソフトウェア 1 1 6 の低位部により処理される。オペレーティング・システム 1 1 4 がアダプタ 7 9 から割込みを受け取ると、そのオペレーティング・システムは M A C ソフトウェアの低位部を呼び出すことになる。

#### 【 0 0 3 9 】

低位部は、コマンド/ステータス・レジスタを読み出して割込み待機ビット(interrupt pending bit)をクリアする。データがあれば、この低位部は、先ずバイト計数レジスタ(図 9)におけるバイト計数値を検査するループを開始する。バイト計数値がゼロであれば、低位部はループを終えてスタンバイ状態へ復帰するが、バイト計数値がゼロでない場合は、データ・レジスタ(図 8)からデータが読み出される。このループは、バイト計数値がゼロになるまで実行され、その後、低位部はループを終了し、別の割込みが検出されるまでスタンバイ状態に戻る。

30

#### 【 0 0 4 0 】

低位部により読み出されたデータはプロセッサ内のバッファか、DRAMに記憶される。ネットワークを編成した通信を実行する際に使用する IEEE802.3 プロトコル又は他のプロトコルに関連したフレーム定義やその他の処理に応じて、更なる処理が必要になる。例えば、IEEE802.3 ネットワークでのデータ・パケットの処理では、プロセッサ 1 0 8 がフレームのプリアンブルを検出したり、フレームが有効長であるかどうかを判定するためにフレーム長を検査することがある。プロセッサは、フレームが有効かどうかを判定するに当り F C S データを利用してフレームを評価する。例えば、F C S データが C R C データであれば、そのデータが有効かどうかを判定するのに プロトコルにより定義付けられている検査多項式(check polynomial)を利用してそのデータに対して多項式除算を行う。これら全ての機能は M A C ソフトウェア 1 1 6 の高位部が実行する。M A C ソフトウェアは、パケットのアドレスがホスト・クライアントコンピュータに関連したものであるかどうかを検出するために フィルタリングを行うこともある。

40

#### 【 0 0 4 1 】

更に、M A C ソフトウェアは、ネットワークプロトコルに従ってネットワーク統計情報を追跡する。この 統計情報には、うまく送信できたフレーム数と間違ったフレームの送信

50



頻度とが含まれる。これらの統計情報は、簡易型ネットワーク管理プロトコル (simple network management protocol) に準拠したソフトウェアの如くのネットワーク管理ソフトウェアが利用する。

【 0 0 4 2 】

ネットワークにデータを書込む動作は、M A Cソフトウェア116とアダプタ79との共同作業でもある。ネットワークに供給すべきデータは、M A Cソフトウェアの高位部により適当なフレームにフォーマット設定され、低位部が、巡回冗長検査 (C R C) データの如くのF C Sデータを演算して、このF C Sデータとフレームに付加する。データのフレームはM A Cソフトウェアの低位部に送られ、そこでデータ・レジスタに、ひいてはアダプタの送信側F I F O 88に書き込まれる。M A Cソフトウェア116の低位部は、バッファF I F O 88からネットワークにデータが安全に転送されることを確実にするために、送信時にアダプタを監視する。例えば、F I F Oが満杯で、余分のデータを受信できないとか、F I F Oが完全に空になっている (アンダーフロー状態にある) かどうかを調べるために、低位部がF I F Oを検査する。また、この低位部は、衝突が起こっているかどうかを判定するためにコマンド/ステータス・レジスタのC O Lビットを監視する。

10

【 0 0 4 3 】

M A Cソフトウェア116の高位部は、イーサネットネットワークないしIEEE802.3ネットワークのよく知られている機能を実行する。これらの機能については、従来型のネットワークインターフェースコントローラのプロセッサにおいてソフトウェアまたは状態機械として従来より実現されている。従って、これらの機能をホスト・クライアントコンピュータのマイクロプロセッサないしその他のプロセッサで実行することは、当業者に周知のことである。従って、これらの機能についてはここでは詳細に説明しないものとする。

20

【 0 0 4 4 】

本発明によるアダプタの取付については、例えば、ターゲットのネットワークに適したP H Yも含むPCMCIAカード内に、ハードウェアが削減されたM A Cを設けることによって行われる。ホストコンピュータには対応するドライバ・ソフトウェアを、ホストコンピュータのオペレーティング・システムがM A Cソフトウェアにアクセスできるようにホストコンピュータにインストールする。

【 0 0 4 5 】

当業者にはここで説明した以外の設計や変形例が想到しうるところである。例えば、図5に示したハードウェアが削減されたM A Cは、A S I C内で実装されるコアとして実装してもよく、或いは、P H Y内に実装してもよい。また、ハードウェアが削減されたM A Cは、システム内で個別のコアとしてチップ上に実現してもよく、その場合、システム内で実現したM A Cのソフトウェア部はチップのプロセッサに設ける。本発明によれば、ネットワークインターフェース・アダプタに柔軟なアーキテクチャが得られる。従って、本願発明者らは、本発明によるアダプタは、種々のネットワークプロトコルの環境で如何様にも利用できるものと期待する次第である。また、バス・レジスタ・インターフェースには、本発明のハードウェアが削減されたM A Cを構築するのに種々の組合せのレジスタで構成することもできる。当該技術において通常の技能を有する者は、本願発明の基本的な教示内容を変更することなく、ここに記載した特定の実施形態に対する多数の変形及び変更が可能であることを理解するであろう。従って、本発明の範囲は、ここに記載した特定の実施形態に限定されるものではなく、むしろ、本発明の範囲は、特許請求の範囲から決定されるべきものである。

30

40

【図面の簡単な説明】

【図1】 イーサネットネットワークのフレーム構造を示す。

【図2】 IEEE802.3規格によるネットワークのフレーム構造を示す。

【図3】 チップ上で高度な機能を提供するネットワークインターフェース制御チップを示す。

【図4】 本発明の一面でのアーキテクチャを示す図である。

【図5】 本発明によるネットワークコントローラの実施の形態を示す。

50

【図 6】 クライアントコンピュータをネットワークに接続する図 5 のネットワークインターフェースコントローラを示す。

【図 7】 図 5 の制御機内に設けた好ましいレジスタセットにおけるレジスタのアドレスと機能を示す。

【図 8】 図 7 のレジスタセットにおけるイーサネットデータ・レジスタの構造と機能を示す。

【図 9】 図 7 のレジスタセットにおけるバイト計数レジスタの構造と機能を示す。

【図 10】 書込み動作のための図 7 のレジスタセットにおけるコマンド/ステータス・レジスタの構造と機能を示す。

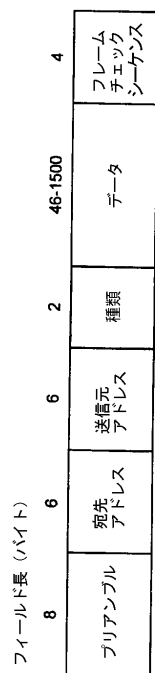
【図 11】 読出し動作のための図 7 のレジスタセットにおけるコマンド/ステータス・レジスタの構造と機能を示す。

【図 12】 図 7 のレジスタセットにおける M I I (媒体非依存型インターフェース) の構造と機能を示す。

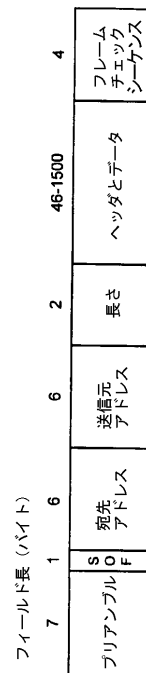
【符号の説明】

1 0	A S I C	2 0	バス
3 0	物理的リンク	4 0	トランシーバ
4 1	A U I	4 4	エンコーダ
4 6	デコーダ	5 2	送信側制御プログラム
5 4	受信側制御プログラム	5 6	送信側 F I F O
5 8	受信側 F I F O	6 0	ホスト側インターフェース
6 2	EEPROM	7 0	クライアントコンピュータ
7 2	P H Y	7 9	アダプタ
8 0	バス・レジスタ・インターフェース		

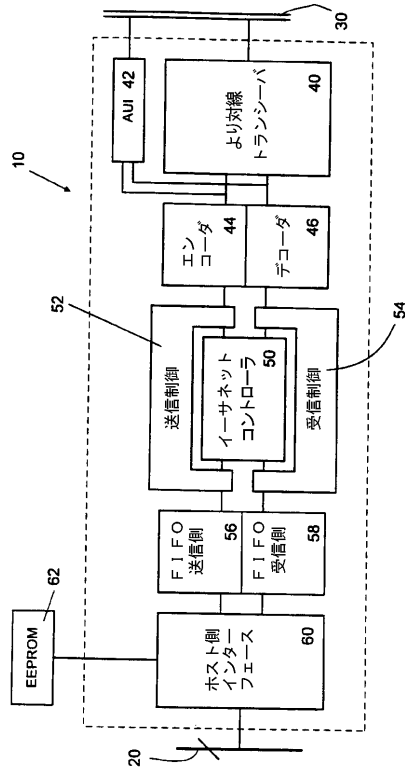
【図 1】



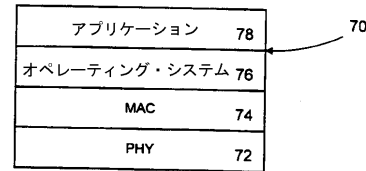
【図 2】



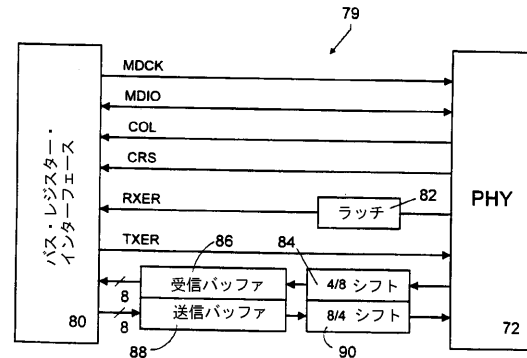
【図 3】



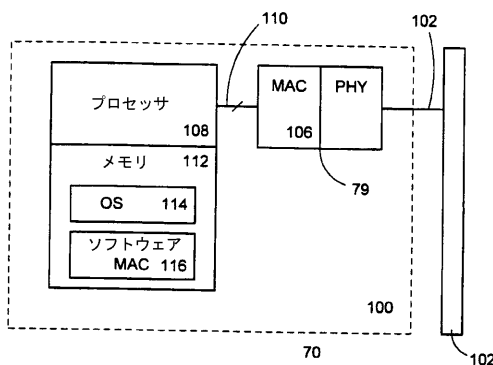
【図 4】



【図 5】



【図 6】



【図 9】

バイト計数レジスタ					アドレス: 4,5			
ビット	7	6	5	4	3	2	1	0
定義	D7	D6	D5	D4	D3	D2	D1	D0
ビット	15	14	13	12	11	10	9	8
定義	D15	D14	D13	D12	D11	D10	D9	D8

フィールド	種類	説明
D[15:0]	R/O	これは、受信側FIFOに現在どれだけのデータがあるかを反映する16ビット値である。このレジスタが0を示すとき、データはもう残っていない。

【図 10】

コマンド/ステータス・レジスタ					アドレス: 6 (書き込み)			
ビット	7	6	5	4	3	2	1	0
定義	RST							IE

フィールド	種類	説明
IE	W	このビットをセットすると、アダプタからの割り込みが可能になる。
RST	W	このビットをセットすると、アダプタがリセットされる。このビットは自己クリアする。

【図 11】

コマンド/ステータス・レジスタ					アドレス: 6 (読出し)			
ビット	7	6	5	4	3	2	1	0
定義					BC	COL	CRS	IP

フィールド	種類	説明
IP	R/O	割込み待ちビット (読出しでリセット)
CRS	R/O	PHYからのリアルタイム搬送波感知
COL	R/O	PHYからのリアルタイム衝突ステータス
BC	R/O	PHYからのリアルタイムデータ有効

【図 7】

アドレス	略語	名称
0,1,2,3	ED	データレジスタ
4,5	BC	バイト計数レジスタ
6	CS	コマンド/ステータス・レジスタ
7	MII	MII レジスタ

【図 8】

データ・レジスタ					アドレス: 0,1,2,3			
ビット	7	6	5	4	3	2	1	0
定義	D7	D6	D5	D4	D3	D2	D1	D0

フィールド	種類	説明
D[31:0]	R/W	データレジスタは受信及び送信データバッファに対するインターフェースである。このレジスタから読み出しを行うことで、受信側FIFOにおける次のバイトが検索して読み出され、このレジスタに書き込みを行うことで、送信側FIFOにデータが配置される。アクセスはバイト、ワード又はDワードで実行可能であるが、アドレス0から開始する。

## 【図 12】

MII レジスタ					アドレス：7			
ビット	7	6	5	4	3	2	1	0
定義						MW	MC	MD

フィールド	種類	説明
MD	RW	このビットは、PHYのMII Iに対してデータを読み書きするために使用される。読み出し動作は、PHY上のMD I Oピンの現在の値を返す。書き込み動作の間には、MD I Oピンを駆動するためにMWピンがセットされている。
MC	W	このビットは、PHYのMII Iに対する読み書きのために使用される、PHYへのMDCKピンを駆動する。
MW	RW	このビットは、MDビットが入力が出力かを決定する。このビットをセットすると、PHYへのMD I Oピン上のMDビットの値が駆動される。このビットは、PHYのMII Iに書き込むときのみセットされるべきである。

---

フロントページの続き

(72)発明者 エリック・ヘンダーソン

アメリカ合衆国カリフォルニア州 9 1 3 2 0 , サウザンド・オークス , コーポレート・センター・  
ドライブ 2 3 0 0、ザークム・インコーポレーテッド

審査官 大石 博見

(56)参考文献 特開平 0 7 - 2 6 2 1 5 2 ( J P , A )

特公平 0 3 - 5 0 3 8 3 2 ( J P , B 2 )

特開昭 6 3 - 2 5 7 8 5 7 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H04L 12/28