

A1

**DEMANDE  
DE BREVET D'INVENTION**

⑫

**N° 81 04517**

⑤④ Procédé pour la réalisation d'un dispositif semi-conducteur à haute tension de blocage et dispositif semi-conducteur ainsi réalisé.

⑤① Classification internationale (Int. Cl.<sup>3</sup>). H 01 L 21/31, 29/70.

⑫② Date de dépôt..... 6 mars 1981.

③③ ③② ③① Priorité revendiquée : *Grande-Bretagne, 7 mars 1980, n° 80 07 853.*

④① Date de la mise à la disposition du  
public de la demande..... B.O.P.I. — « Listes » n° 37 du 11-9-1981.

⑦① Déposant : NV PHILIPS' GLOEILAMPENFABRIEKEN, société anonyme de droit néerlandais,  
résidant aux Pays-Bas.

⑦② Invention de : Stephen Wilton Byatt.

⑦③ Titulaire : *Idem* ⑦①

⑦④ Mandataire : P. Pinchon, société civile SPID,  
209, rue de l'Université, 75007 Paris.

"PROCEDE POUR LA REALISATION D'UN DISPOSITIF SEMI-  
CONDUCTEUR A HAUTE TENSION DE BLOCAGE ET DISPOSITIF  
SEMICONDUCTEUR AINSI REALISE"

L'invention concerne un procédé pour la réalisation d'un dispositif semiconducteur présentant une jonction pn, qui affleure une surface du corps semiconducteur et qui est polarisé dans le sens de blocage dans au moins un état de  
5 fonctionnement, selon lequel, ladite surface est découverte, au moins à l'endroit où ladite jonction pn affleure ladite surface, et munie d'une couche de passivation en un matériau semi-isolant.

Un tel procédé est décrit dans l'article intitulé "Highly  
10 **reliable high voltage** transistors by use of the SIPOS process" par Matsushita et al dans "I.E.E.E. Transactions on electron devices", volume ED-23, No 8, août 1976, pages 826 à 830. Comme le mentionne cet article, des avantages importants sont obtenus lorsque la surface du dispositif semi-  
15 conducteur est passivée à l'aide d'une couche semi-isolante au lieu d'une couche isolante en dioxyde de silicium par exemple. Dans le procédé décrit, le corps est en silicium et le matériau semi-isolant est du silicium polycristallin dopé à l'aide d'oxygène, qui est déposé de façon directe  
20 sur la surface du corps en silicium. Avant le dépôt de la couche semi-isolante, la surface qu'affleure la jonction pn, est découverte par enlèvement par décapage de la couche en dioxyde de silicium utilisée pendant les premières étapes de fabrication, par exemple pour la localisation du traitement de diffusion avec un dopant de type p pour la formation  
25 de la jonction pn des dispositifs planaires requis. De plus, dudit article, il ressort que des couches d'oxyde naturel doivent être enlevées par décapage de la surface du corps semiconducteur avant le dépôt de la couche isolante,

afin d'éviter les éventuels effets ou le piégeage de porteurs de charge chauds (dits effets de "mémoire") qui risquent de modifier la conductivité de la surface semiconductrice, raison pour laquelle ils sont considérés comme défavorables pour la passivation d'une jonction pn affleurant la surface.

Lorsqu'une jonction pn, qui est directement passivée par une telle couche semi-isolante, est polarisée dans le sens de blocage, le courant de fuite circulant dans le sens de blocage contient un courant qui traverse la couche semi-isolante entre les régions de type p et n constituant la jonction pn. Pour autant que ce courant circule le long de la couche, il provoque une chute de tension le long de la couche semi-isolante. De ce fait, une partie du potentiel négatif de la région de type p est transmise à la région de type n, de sorte que la couche d'épuisement correspondant à la jonction pn polarisée dans le sens de blocage peut s'agrandir le long de la surface. Ainsi s'obtient une modification et une réduction du champ électrique à la surface autour de la jonction, de sorte que la tension de claquage d'un dispositif peut être augmentée, si celle-ci est limitée par claquage de surface. Pour réduire le courant de fuite, il faut augmenter la résistivité de la couche semi-isolante. Toutefois, une augmentation de cette résistivité peut se traduire par un agrandissement limité de la couche d'épuisement et, de ce fait, une augmentation limitée de la tension de claquage.

De plus, pour augmenter la vitesse de commutation de certains dispositifs, il est parfois désirable d'incorporer des centres susceptibles de diminuer la durée de vie (des porteurs minoritaires) (comme l'or) dans le corps semiconducteur. Lorsque la surface du corps est passivée de façon directe à l'aide d'une telle couche semi-isolante, cette couche peut fonctionner comme un fixateur ("getter"), qui peut prélever une partie notable de l'or du corps semiconducteur,

comme l'a constaté la Demanderesse.

L'invention vise à fournir un dispositif du genre mentionné ci-dessus présentant une tension de claquage aussi élevée que possible et un courant de fuite aussi faible que possible, la couche de passivation affectant le moins possible les centres susceptibles de diminuer la durée de vie. Elle est basée sur l'idée que ce but peut être atteint par l'application contrôlée d'une couche mince additionnelle en un matériau isolant.

10 Un procédé conforme à l'invention est caractérisé en ce qu'avant l'application du matériau semi-isolant, un traitement de transformation est effectué à une température supérieure à la température ambiante normale par lequel le matériau à la surface découverte du corps semiconducteur est  
15 transformé, par voie chimique, en une couche de matériau isolant, sur laquelle est appliqué le matériau semi-isolant, le traitement de transformation étant poursuivi jusqu'à ce que la couche présente une épaisseur, qui est suffisamment petite pour permettre la conduction entre la couche de pas-  
20 sivation et le corps semiconducteur mais suffisamment élevée pour maintenir ladite conduction tellement faible que l'épaisseur de la couche d'épuisement correspondant à la jonction pn polarisée dans le sens de blocage augmente le long de la surface.

25 Contrairement à ce qui était usuel dans le passé pendant l'application d'un matériau semi-isolant pour la passivation de jonctions pn, on applique maintenant intentionnellement une couche mince en un matériau isolant dans le dispositif réalisé conformément à l'invention entre la couche semi-  
30 isolante et la surface semiconductrice qu'affleure la jonction pn. Du fait que l'épaisseur en est telle que la conduction se produisant entre la couche de passivation et le corps semiconducteur soit réduite, mais non éliminée, il s'avère que cette couche limite en matériau isolant fait office de  
35 barrière qui, dans le cas d'une résistivité déterminée

de la couche isolante, assure que la majeure partie du courant de fuite circule davantage le long de la couche dans la couche semi-isolante, plutôt que de circuler de cette couche d'arrêt en matériau isolant vers la surface semiconductrice. De ce fait, la différence de potentiel, qui est appliquée pour polariser la jonction dans le sens de blocage, est distribuée sur une plus grande longueur de la couche semi-isolante, ce qui se traduit par une augmentation de l'épaisseur de la couche d'épuisement le long de la surface dans le cas d'une résistivité déterminée de la couche semi-isolante, comparativement aux dispositifs connus, dans lesquels la surface semiconductrice est passivée de façon indirecte par du matériau semi-isolant. De ce fait, la tension de claquage de la jonction polarisée dans le sens de blocage peut être augmentée, même dans le cas d'utilisation d'une couche présentant une résistivité très élevée pour réduire le courant de fuite.

De plus, il s'avère qu'une telle couche limite en un matériau isolant présentant cette épaisseur fait également office de barrière, du fait qu'elle réduit notablement l'effet fixateur de la couche semi-isolante pour des substances susceptibles de diminuer la durée de vie des porteurs de charge, comme de l'or, substances qui peuvent être nécessaires dans le corps semiconducteur.

La Demanderesse a constaté que dans les dispositifs semiconducteurs conformes à l'invention, ces avantages concernant la tension de claquage, la résistivité de la couche semi-isolante et les substances diminuant la durée de vie peuvent s'obtenir, tout en maintenant d'autres avantages connus de la passivation avec du matériau semi-isolant, comme par exemple la réduction d'effets de charge indésirables à la surface semiconductrice.

Il est évident que la qualité et l'épaisseur de la couche en matériau isolant sont importantes pour l'obtention des fonctions de barrière requises. Ces propriétés de la

couche peuvent être réglées de façon connue par formation de la couche du corps semiconducteur par un traitement de transformation chimique de la surface du corps dans une atmosphère contrôlée et utilisation d'une température supérieure à la température ambiante normale. La température augmentée de la surface du corps est d'importance s'il s'agit d'obtenir un processus assez rapide et facile à régler pour la formation de la couche.

Le brevet britannique n° 1 536 764 mentionne que lorsqu'une couche semiconductrice passivée avec une couche semi-isolante (contenant dans ce cas, tant des niveaux de donneurs profonds que des niveaux accepteurs profonds), il n'est pas toujours nécessaire de découvrir complètement la surface du silicium avant le dépôt de la couche semi-isolante par enlèvement d'une couche isolante mince (le plus souvent de l'oxyde) qui est formée de façon naturelle sur le silicium. Cette couche naturelle est formée à la température ambiante normale et l'épaisseur en est tributaire des conditions ambiantes, comme l'humidité et la température de l'air. Son épaisseur peut être fortement tributaire des conditions atmosphériques et également de la pollution atmosphérique.

Conformément à l'invention, afin d'obtenir l'augmentation requise de la tension de claquage, dans un processus de fabrication fiable il est toujours nécessaire d'enlever de telles couches formées par voie naturelle de façon à obtenir une surface découverte qui est soumise au traitement de transformation chimique à une température supérieure à la température ambiante normale, afin de former la couche isolante présentant les propriétés requises. C'est pour cette raison que dans toute cette demande et notamment dans les revendications, l'étape de fabrication permettant de découvrir la surface semiconductrice dans un procédé conforme à l'invention comprend également l'enlèvement de chaque couche isolante formée éventuellement par voie natu-

relle sur ladite surface pendant le traitement ou le stockage du corps semiconducteur, du fait qu'une telle couche n'est pas formée intentionnellement par un traitement de transformation chimique du corps à une température supérieure à la température ambiante normale.

Une couche en matériau isolant formée sur la surface d'un corps semiconducteur à partir du matériau semiconducteur du corps par un traitement de transformation est connue dans la technique des semiconducteurs sous la dénomination de "couche générique". D'une façon générale, la couche en matériau isolant formée conformément à l'invention est d'une épaisseur d'au moins 10 Å, mais inférieure à 100 Å ( $10^{-2}$  µm). Il existe plusieurs genres de traitement de transformations pouvant être utilisées pour la formation de telles couches génériques minces à des températures supérieures à la température ambiante normale pour lesquels s'applique surtout l'oxydation. Le traitement peut être effectué d'une façon complètement séparée des autres étapes du procédé aussi bien qu'en combinaison avec au moins l'une de ces dernières. C'est ainsi qu'après l'introduction du corps semiconducteur dans un réacteur pour le dépôt du matériau semi-isolant, un courant de gaz oxydant peut passer sur le corps chauffé pour la formation de la couche générique (dans ce cas, une couche d'oxyde) avant d'amener d'autres gaz pour le dépôt du matériau semi-isolant. La couche générique peut être formée également de façon simple, lorsque comme partie du traitement servant à dénuder la surface semiconductrice, ladite surface est exposée à un liquide de nettoyage à une température supérieure à la température ambiante normale, ce liquide étant par exemple de l'acide nitrique ou une solution contenant de l'eau oxygénée, qui provoque tous les deux un traitement d'oxydation. Toutefois, un traitement d'oxydation séparé peut être appliqué, cas dans lequel la surface semiconductrice découverte est exposée à de l'oxygène sec à une température supérieure à la température

ambiante et inférieure à 500° C ; la qualité et l'épaisseur de la couche d'oxyde générique ainsi formée peuvent être réglées rigoureusement au moyen de la pression d'oxygène, de la température et de la durée d'oxydation.

5 La description ci-après, en se référant aux dessins annexés, le tout donné à titre d'exemple non limitatif, fera bien comprendre comment l'invention peut être réalisée.

Les figures 1 et 2 montrent des sections transversales d'une partie du corps d'un dispositif semiconducteur pendant  
10 plusieurs phases de réalisation d'un procédé conforme à l'invention.

La figure 3 représente une section transversale d'une partie agrandie de la partie du corps représentée sur les figures 1 et 2, tout en illustrant une partie de la structure définitive du dispositif réalisé à l'aide du procédé  
15 conforme à l'invention.

La figure 4 montre une section transversale d'une partie d'un corps d'un autre dispositif semiconducteur dans un stade de réalisation à l'aide d'un autre procédé conforme à l'in-  
20 vention.

La figure 5 représente une section transversale d'une partie agrandie de la partie du corps représentée sur la figure 4, tout en illustrant une partie de la structure définitive du dispositif réalisé conformément à l'invention.

25 La figure 6 est un graphique donnant la tension de claquage  $V_B$  en volts en fonction de la résistivité  $\rho$  en  $\Omega\text{cm}$  du corps semiconducteur, tout en illustrant l'influence d'un traitement de nettoyage oxydant conforme à l'invention.

La figure 7 est un graphique donnant la température d'oxydation  $T$  en °C en fonction de la résistivité  $\rho$  en  $\Omega\text{cm}$   
30 du corps semiconducteur, tout en illustrant l'effet de la croissance de l'oxyde sur la tension de claquage et

la figure 8 est un graphique donnant la charge emmagasinée sous forme de porteurs minoritaires, en micro-Coulombs  
35 en fonction de la température d'oxydation  $T$  en °C tout en



illustrant l'effet de la croissance d'oxyde sur les propriétés de piégeage.

Il y a lieu de noter que les figures 1 à 5 ne sont pas représentées à échelle et que les dimensions relatives, ainsi que les rapports relatifs de quelques parties de ces figures ont été représentés de façon exagérée ou réduites pour la clarté du dessin. C'est ainsi que la région de type p+ 3 dans le corps semiconducteur peut être  $10^4$  fois plus épaisse que la couche d'oxyde 10 et  $10^2$  fois plus épaisse que la couche semi-isolante 7. Les dimensions horizontales ont été représentées de façon analogue. Sur les figures, les mêmes chiffres de référence sont utilisés non seulement pour désigner les mêmes parties du même dispositif, mais également des parties analogues de divers dispositifs.

De plus, il y a lieu de noter que les figures 1 à 5 représentent des parties du corps semiconducteur pour un seul dispositif semiconducteur, alors qu'en pratique un grand nombre de dispositifs semiconducteurs sont obtenus simultanément dans une même plaque semiconductrice par réalisation des étapes de fabrication dans toutes les régions des dispositifs semiconducteurs, et puis, subdivision de la plaque élaborée de façon à obtenir des corps séparés pour chaque dispositif semiconducteur.

La forme de réalisation selon les figures 1 et 3 concerne un dispositif semiconducteur Mesa comportant un corps semiconducteur en silicium monocristallin (voir la figure 3) présentant une jonction pn pratiquement plane 2, qui est constituée par une région de type p 3, qui est appliquée dans une partie de type n 4 du corps, cette jonction affleurant la paroi latérale 5 d'une partie Mesa d'une surface non planaire 6 du corps 1. La jonction pn 2 est polarisée dans au moins un état de fonctionnement du dispositif dans le sens du blocage. Comme il sera vu en détail ci-après, la jonction pn 2 peut être la jonction redresseuse d'une diode redresseuse de puissance ou la jonction base-collecteur d'un

transistor de puissance, ou par exemple l'une des jonctions pn d'un thyristor.

Une couche de passivation 7 en matériau semi-isolant se trouve sur la surface 6, au moins à l'endroit où se termine la jonction 2. Dans cette forme de réalisation, la couche 7 est recouverte d'une couche isolante 8 en verre par exemple.

Conformément à l'invention, la couche semi-isolante 7 se trouve sur une couche 10 en matériau isolant, qui est formée sur la surface 6 à l'aide d'un traitement de transformation chimique à une température située au-dessus de la température ambiante normale. Dans cet exemple, la couche 10 est une couche d'oxyde générique. Cette couche d'oxyde 10 a une épaisseur pratiquement uniforme qui est suffisamment petite pour permettre la conduction entre la couche semi-isolante 7 et le corps semiconducteur 1, comme l'indique les flèches 11, mais qui est suffisamment élevée pour réduire ladite conduction de façon que l'épaisseur de la couche d'épuisement 12 correspondant à la jonction 2 polarisée dans le sens de blocage augmente le long de la surface 6. Sur la figure 3, le bord de la couche d'épuisement 12 est indiqué par des lignes pointillées. La ligne mixte 14 indique l'épaisseur réduite de la couche d'épuisement le long de la surface de la région 4, qui serait produite en l'absence de la couche d'oxyde 10.

Comme il a été représenté dans la forme de réalisation selon la figure 3, la région de type p 3 est contactée par l'intermédiaire d'une fenêtre ouverte dans les couches 7, 8 et 10, par une électrode 13 en aluminium par exemple. Près de sa surface principale opposée 16, le corps 1 comporte une région semiconductrice 9, qui est métallisée pour former une électrode 19. Dans le cas d'une diode redresseuse, la région de type n constitue de façon typique un substrat à résistivité élevée dans lequel sont formées des régions de type p et n à dopage plus élevé 3, 9, par diffusion d'un dopant de façon que les électrodes 13 et 9 constituent respectivement l'anode et la cathode.

Dans le cas d'un transistor de puissance, la région 4 est constituée d'une couche épitaxiale, qui est déposée sur un substrat à dopage élevé 9 de même type de conduction, constituant ensemble la région de collecteur du transistor.

5 La région 3 de type de conduction opposé constitue ainsi la région de base du transistor avec une électrode de base 13, de sorte que la jonction pn constitue la jonction collecteur-base. Au moins une région d'émetteur du même type de conduction que la région 4 est appliquée localement dans la région  
10 de base 3 (dans une partie de la partie Mesa non représentée sur la figure 3) et présente une électrode d'émetteur (non représentée sur la figure 3). Ces électrodes d'émetteur et de base présentent des fenêtres de contact séparées ménagées dans une couche isolante sur la face supérieure de la partie  
15 Mesa.

Toutefois, comme on l'a déjà mentionné ci-dessus, la jonction pn 2, qui est passivée conformément à l'invention, peut être également une jonction redresseuse d'un thyristor. Dans ce cas, la structure selon la figure 3 est légèrement  
20 modifiée. La région 4 est un substrat de type n à résistivité élevée dans lequel sont formées des régions à dopage élevé 3 et 9 par diffusion du même dopant accepteur ou des mêmes dopants accepteurs pendant la même étape de diffusion. C'est ainsi que dans ce cas, les régions 3 et 9 sont de même  
25 type de conduction (type p). Outre dans le cas où ledit thyristor est un triac, la région de type p 9 forme avec son électrode 19 l'anode du thyristor. Une cathode formée par les régions d'émetteur de type n est appliquée localement dans la région de type p 3 d'une façon analogue à celle  
30 de la région d'émetteur décrite ci-dessus d'un transistor de puissance. Lorsque le thyristor est un triac, on a appliqué une région d'émetteur additionnelle de type n dans la région de type p 9, près de la surface 13 et courtcircuitée avec la région 9 par l'intermédiaire de l'électrode 19.

35 Dans le cas d'un thyristor, la partie terminale de la

jonction pn doit être passivée entre la région de type n 4 et la région de type p 9. Ce résultat peut s'obtenir par décapage Mesa de la surface 16 du corps 1 de façon que cette jonction pn se termine au-dessous de la couche de passivation à la paroi latérale du Mesa résultant, comme le montrent les figures 1 ou 3 du brevet britannique n° 1 294 184A. De préférence, la couche de passivation utilisée pour la jonction entre les régions 4 et 9 comporte également une couche isolante sur une couche en matériau semi-isolant ou une pellicule d'oxyde mince, dont les propriétés sont analogues à celles des couches 7, 8 et 10. Toutefois, la jonction pn entre les régions 4 et 9 peut se terminer également au-dessous de la couche de passivation 7, 8, 10 à la surface 6 du corps de transistor par application d'une diffusion profonde dans des structures rainurées, comme le décrivent entre autres les brevets britanniques n° 1 536 545 A, N° 1 499 845 A et N° 1 314 267A.

Le dispositif selon la figure 3 est réalisé de la façon suivante, à partir d'une plaque de silicium dans laquelle la région de type n 4 se trouve près de sa surface supérieure plane. Comme on vient de le décrire, le caractère de la région 4 est variable suivant le genre de dispositif à réaliser. Un dopant accepteur est diffusé d'abord à partir de toute la face supérieure plane de la plaque pour former une couche de type p 3, confinée à la surface et qui constitue une jonction pn plane 2, qui s'étend latéralement sur toute la plaque (voir la figure 1).

Une configuration de couche 20 constituant un masque pour un agent de décapage et réalisé par exemple en dioxyde de silicium est appliquée ensuite sur la couche de type p 3 pour assurer le masquage des régions où doivent être formées les parties Mesa. Ensuite, le silicium décapé est enlevé par décapage de la surface supérieure de la plaque à l'aide d'un agent de décapage connu (par exemple un mélange d'acide acétique, d'acide nitrique et d'acide fluorhydrique)

sur une profondeur supérieure à la profondeur de la couche de type p 3. Ainsi, sont formées les régions de type p limitées aux parties Mesa et les parties restantes de la jonction pn se terminent aux parois latérales découvertes 5 des parties Mesa. Les parties de la surface initiale et la jonction initiale à enlever par décapage sont indiquées par des lignes interrompues sur la figure 1.

La surface non planaire 6, qui est formée par ce décapage Mesa, est découverte, sauf là où elle recouverte de la configuration de couche de masquage 20. La configuration de couche 20 est ensuite enlevée, par exemple par décapage à l'aide d'acide fluorhydrique. Ce décapage assure l'enlèvement de l'oxyde naturel formé éventuellement sur la surface de silicium découverte après le décapage Mesa, par exemple par suite des conditions dans lesquelles a été emmagasinée la plaque après le décapage Mesa.

Un traitement d'oxydation à une température supérieure à la température ambiante normale est ensuite effectué pour provoquer la croissance contrôlée de la couche générique 10 sur la surface semiconductrice découverte 6. Un traitement de nettoyage accompagné d'une oxydation peut être utilisé à cet effet, par exemple par immersion de la plaque dans un bain contenant un liquide de nettoyage, comme une solution contenant de l'eau oxygénée ou une solution d'acide nitrique à chaud. Dans le cas d'eau oxygénée des conditions appropriées consistent par exemple dans une exposition pendant 15 minutes à une solution contenant, en volume, une partie d'eau oxygénée et une partie d'une solution d'ammoniaque concentrée (ou d'acide chlorhydrique) dans cinq parties d'eau à 80° C. Dans le cas d'acide nitrique, les conditions appropriées sont constituées par exemple par une exposition pendant 15 minutes à une solution d'acide nitrique concentrée à 80° C. La couche d'oxyde résultante 10 est d'une qualité acceptable et présente une épaisseur pratiquement uniforme d'environ 15 Å (0,0015 µm). Cette couche d'oxyde est suffi-

samment mince pour assurer la conduction (par exemple par suite de l'effet tunnel de porteurs de charge) entre le corps de silicium 1 et la couche semi-isolante appliquée 7, mais suffisamment épaisse pour constituer une barrière réduisant cette conduction, ce qui favorise la circulation du courant le long de la couche 7, et fournit les avantages décrits ci-dessus.

Au lieu d'un traitement de nettoyage accompagné d'une oxydation, il est possible de recourir à un traitement d'oxydation selon lequel la surface de silicium découverte 6 est exposée à de l'oxygène sec à une température comprise entre 300 et 500° C. Pour ce traitement, la plaque en silicium peut être introduite, soit dans un réacteur, qui doit être utilisé dans ce cas pour le dépôt du matériau semi-isolant, soit dans un four d'oxydation spécial. Pour ce traitement d'oxydation thermique à une température peu élevée, il est plus facile de régler la croissance d'oxyde et de former ainsi des couches d'oxyde de bonne qualité présentant des propriétés reproductibles. Des conditions appropriées sont par exemple une exposition à 350° C à un courant d'oxygène sec sous pression atmosphérique pendant 30 minutes. L'épaisseur résultante de la couche d'oxyde est évaluée à une valeur légèrement supérieure à 10 Å (0,001 µm).

Immédiatement après la formation et le rinçage de la couche d'oxyde 10, le matériau semi-isolant est déposé pour la formation de la couche de passivation 7, comme le représente la figure 2. D'une façon générale, le matériau de la couche 7 est choisi de façon à présenter une résistivité comprise entre  $10^7$  et  $10^{10}$  Ωcm. Plusieurs matériaux peuvent être utilisés à cet effet, par exemple un matériau à base de chalcogénure ou du silicium polycristallin dopé à l'oxygène.

Des matériaux à base de chalcogénure appropriés pour la couche 7 sont décrits dans l'article de Smeets et al dans "Journal of Electrochemical Society", "Solid-State Science and Technology", septembre 1977, pages 1458 à 1459. La for-

mation du silicium polycristallin dopé à l'aide d'oxygène est décrite entre autres dans le brevet britannique n° 1 496 814 A ; la teneur en oxygène d'une telle couche polycristalline pour la couche 7 se situe en général entre 10 et 40% en atomes et est par exemple d'environ 20% en atomes. Dans certains cas, il peut être même désirable d'utiliser du silicium polycristallin ou amorphe non dopé pour la couche 7. Du silicium polycristallin (non dopé) peut présenter une résistivité d'environ  $10^6 \Omega\text{cm}$ . Toutefois, l'application d'une couche 10 conforme à l'invention offre l'avantage de permettre l'utilisation de couches semi-isolantes 7 présentant une résistivité élevée, ce qui réduit le courant de fuite tout en obtenant toujours un agrandissement notable de la couche d'épuisement.

Une couche épaisse de verre passivant 8 est ensuite formée de façon connue sur la couche semi-isolante 7 pour protéger la couche 7 contre l'humidité et d'autres impuretés et augmenter ainsi la passivation de la surface semiconductrice 6. Ensuite, la plaque est soumise à d'autres traitements, par exemple pour l'application de fenêtres de contact et d'électrodes, après quoi elle est subdivisée de façon à obtenir des corps séparés 1 pour chaque dispositif semiconducteur.

Il est évident que de nombreuses variantes sont possibles dans le cadre de la présente invention. Dans la variante selon la figure 5, la couche semi-isolante 7 est recouverte d'une couche d'oxyde de silicium 17 et ensuite d'une couche en nitrure de silicium 18 au lieu de la couche de verre 8. De plus, la figure 5 montre l'application de la présente invention à un dispositif dit planaire où le corps 1 présente une surface pratiquement plane 6 qu'affleure la jonction pn 2. A la partie terminale de la jonction pn 2 -et au-delà de celle-ci- cette surface 6 est passivée par la couche semi-isolante 7 sur une couche mince d'oxyde 10, tout comme dans la forme de réalisation précédente. Dans ce cas,

la surface en silicium 6 n'est pas découverte par décapage Mesa dans le silicium, mais par l'enlèvement de couches isolantes et de couches de verre utilisées pour la diffusion de dopants de la surface initiale de la plaque.

5 C'est ainsi que, comme le représente la figure 4 dans cette forme de réalisation, une configuration de couche isolante 30 est appliquée sur la région de type n 4 de la plaque. Pour localiser de façon connue la diffusion de dopants accepteurs dans la surface 6 de la plaque pour la formation de la région de type p 3 et les anneaux de type p  
10 entourants 33 et 34. De tels anneaux, qui sont décrits entre autres dans le brevet des Etats-Unis d'Amérique (US) n° 3 391 287 et dans l'article déjà cité de Matsushita et al, sert à régler l'agrandissement de la couche d'épuisement 12.  
15 Bien que cela ne soit pas indiqué sur la figure 4, lors de la diffusion, une couche de verre se forme assez souvent à l'endroit des fenêtres dans la couche 30. Après cette diffusion de type n pour la formation des jonctions pn, la couche 30 et la couche en verre sont enlevées par décapage  
20 connu de façon à découvrir à nouveau la surface de silicium 6. Ensuite, la surface 6 peut être soumise à oxydation, tout comme dans les formes de réalisation précédentes, et être munie des autres couches de passivation 7, 17 et 18.

Au lieu de recourir à un traitement d'oxydation, il est  
25 possible de former la couche générique 10 en un autre matériau isolant, par exemple du nitrure de silicium, qui est formé par nitruration de la surface de silicium 6 à température élevée. De plus, il est évident que les types de conduction de toute les régions des dispositifs selon les figures 3 et 5 peuvent être inversées.  
30

La figure 6 est un graphique donnant l'accroissement de la tension de claquage  $V_B$  (en volts) provoqué par la formation d'une couche d'oxyde 10, pour laquelle est appliqué un traitement de nettoyage accompagné d'une oxydation pour les  
35 diodes redresseuses présentant une structure analogue à



celle selon la figure 3. En abscisses figure la résistivité de la région de type n, en  $\Omega\text{cm}$ . Les régions 3 et 9 représentent des concentrations respectives en dopants d'environ  $10^{20}$  atomes/ $\text{cm}^3$  aux surfaces 6 et 16. Les épaisseurs des régions 3, 4 et 9 étaient d'environ 45, 105 et 60  $\mu\text{m}$  respectivement, alors que la hauteur du Mesa était d'environ 70  $\mu\text{m}$ . Les épaisseurs de la couche de verre 8 et de la couche semi-isolante 7 étaient d'environ 20  $\mu\text{m}$  et de 0,5  $\mu\text{m}$  environ. Les lignes A(1) et A(2) concernent une couche semi-isolante 7 présentant une résistivité d'environ  $2 \cdot 10^8 \Omega\text{cm}$ , à la température ambiante normale, alors que les lignes B(1) et B(2) concernent une résistivité d'environ  $10^9 \Omega\text{cm}$  pour la couche 7. Les diodes présentant des tensions de claquage indiquées par les lignes A(1) et B(1) ne présentaient aucune couche d'oxyde 10 entre la couche semi-isolante 7 et la surface de silicium 6 ; la couche est déposée de façon directe sur la surface découverte 6 après nettoyage dans de l'acide fluorhydrique, de sorte que ces diodes A(1) et B(1) ne tombent pas dans le cadre de la présente invention. Les diodes correspondant aux lignes A(2) et B(2) étaient des dispositifs conformes à l'invention contenant une couche mince d'oxyde à l'interface entre la couche 7 et la surface 6. La couche d'oxyde 10 fut formée par exposition de la surface découverte 6 à une solution de nettoyage oxydante du genre mentionné ci-dessus et l'épaisseur était évaluée à environ 15 Å (0,0015  $\mu\text{m}$ ). Comme il ressort de la figure 6, l'application de cet interface d'oxyde provoquait une augmentation de la tension de claquage  $V_B$  des diodes d'environ 400 volts ou plus.

Le graphique de la figure 7 concerne des diodes redresseuses analogues à celles correspondant aux lignes A(2) et B(2) selon la figure 6, mais dans ce cas, la couche d'oxyde 10 fut formée par exposition de la surface découverte 6 pendant 30 minutes à de l'oxygène sec à une température, qui figure en ordonnée (T en  $^{\circ}\text{C}$ ) et qui se situe dans la gamme

comprise entre environ 250° C et 500° C. Ici aussi, la résistivité de la région 4 est placée en abscisses. Les diverses lignes (750 volts à 1000 volts) du graphique indiquent la tension de claquage  $V_B$  pour des diodes présentant des épaisseurs différentes pour la couche d'oxyde 10, déterminées par la température d'oxydation T. Comme il ressort du graphique, la tension de claquage  $V_B$  augmente avec l'épaisseur de la couche d'oxyde 10 (température d'oxydation croissante T). Toutefois, l'épaisseur de l'oxyde (et par conséquent la température d'oxydation pendant une durée d'oxydation déterminée) ne doit pas être choisie si élevée que la conduction entre la couche semi-isolante 7 et la surface semiconductrice 6 est réduit à un niveau très bas, du fait que dans ce cas, les avantages de l'utilisation d'une couche de passivation en matériau semi-isolant se perdent et la couche d'épuisement 12 s'agrandit même de façon à atteindre les bords du corps 1. Cela est d'importance primordiale du fait que la résistivité de la couche 7 diminue en général avec l'augmentation de la température de fonctionnement du dispositif. C'est ainsi que l'épaisseur de la couche 10 doit être choisie de façon à maintenir un équilibre entre le courant circulant le long de la couche 7 et le courant circulant entre la couche 7 et la surface 6, de sorte que lors du fonctionnement du dispositif, la couche d'épuisement 12 n'atteint pas le bord dudit corps. Une couche 10, qui est formée par oxydation dans de l'oxygène sec pendant 30 minutes à 350° C, convient à un dispositif dont la base de type n présente une résistivité de 40  $\Omega$ cm et dont la jonction présente une température de fonctionnement de 150° C.

Une telle épaisseur de la couche d'oxyde 10 suffit également pour réduire la fixation par la couche semi-isolante 7 d'or et d'autres centres réduisant la durée de vie pouvant être présents dans la région de base de type n 4 en vue de diminuer les effets de l'emmagasinement des porteurs de charge minoritaires. La figure 8 montre un graphique donnant la

quantité emmagasinée de porteurs de charge minoritaires  $Q_g$  en microCoulombs en fonction de la température d'oxydation  $T$  en  $^{\circ}C$  pour un tel dispositif contenant de l'or. La grandeur de  $Q_g$  constitue une mesure pour la charge collectée dans la région 4 lorsque la jonction 2, qui est polarisée en sens direct, est polarisée brusquement dans le sens de blocage ; cette grandeur s'obtient d'une façon connue des spécialistes. La courbe de la figure 8 illustre le résultat dans le cas où l'on effectue un traitement thermique ultérieur (par exemple à une température de  $760^{\circ}C$ ) afin de provoquer la fixation de quelques centres réduisant la durée de vie dans la région 4 par le matériau semi-isolant de la couche 7. Ce traitement thermique peut être effectué par exemple à la température de chauffage de la couche de verre 8. De la figure 8 il ressort que pour les dispositifs spéciaux mesurés, la quantité de porteurs de charge minoritaires emmagasinés dans la région 4 augmente lorsque l'épaisseur de la couche d'oxyde 10 diminue en dessous de l'épaisseur correspondant à une température d'oxydation  $T$  de  $350^{\circ}C$ . Ainsi, la couche 10 fonctionne comme une barrière contre la fixation des centres réduisant la durée de vie dans la couche 7, surtout lorsque la couche 10 est formée suivant une épaisseur correspondant à une température d'oxydation de  $350^{\circ}C$  ou d'une valeur plus élevée.

- REVENDEICATIONS -

1.- Procédé pour la réalisation d'un dispositif semiconducteur présentant une jonction pn 2 qui affleure une surface 6 du corps semiconducteur 1 et qui est polarisé dans le sens de blocage dans au moins un état de fonctionnement, selon lequel, la surface 6 est découverte, au moins à l'endroit où la jonction pn 2 affleure la surface 6, et munie d'une couche de passivation en un matériau semi-isolant, caractérisé en ce qu'avant l'application du matériau semi-isolant, un traitement de transformation est effectué à une température supérieure à la température ambiante normale par lequel le matériau à la surface découverte 6 du corps semiconducteur 1 est transformé, par voie chimique, en une couche de matériau isolant 10, sur laquelle est appliqué le matériau semi-isolant 7, le traitement de transformation étant poursuivi jusqu'à ce que la couche 10 présente une épaisseur, qui est suffisamment petite pour permettre la conduction entre la couche de passivation 7 et le corps semiconducteur 1 mais suffisamment élevée pour maintenir ladite conduction tellement faible que l'épaisseur de la couche d'épuisement 12 correspondant à la jonction pn 2 polarisée dans le sens de blocage augmente le long de la surface 6.

2.- Procédé selon la revendication 1, caractérisé en ce que la couche en matériau isolant 10 présente une épaisseur inférieure à  $100 \text{ \AA}$  ( $0,01 \text{ }\mu\text{m}$ ).

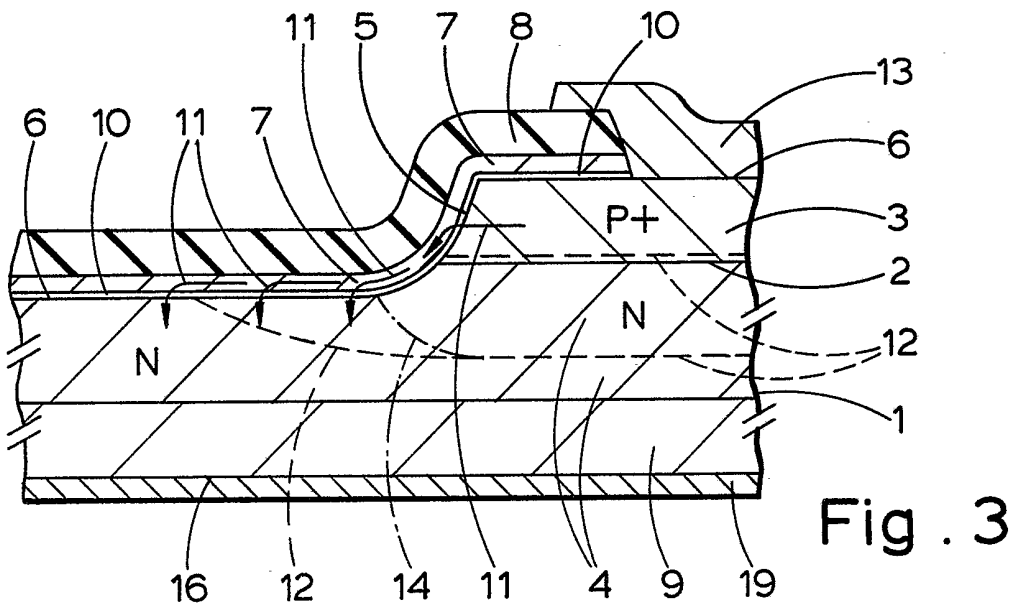
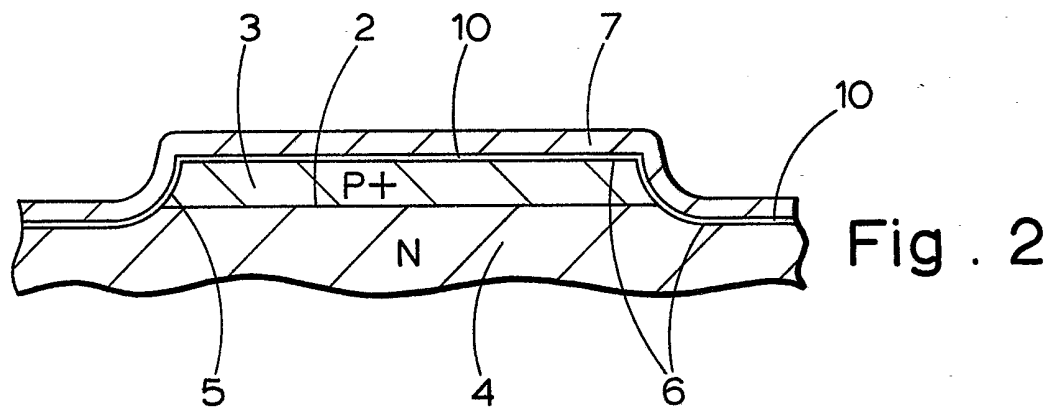
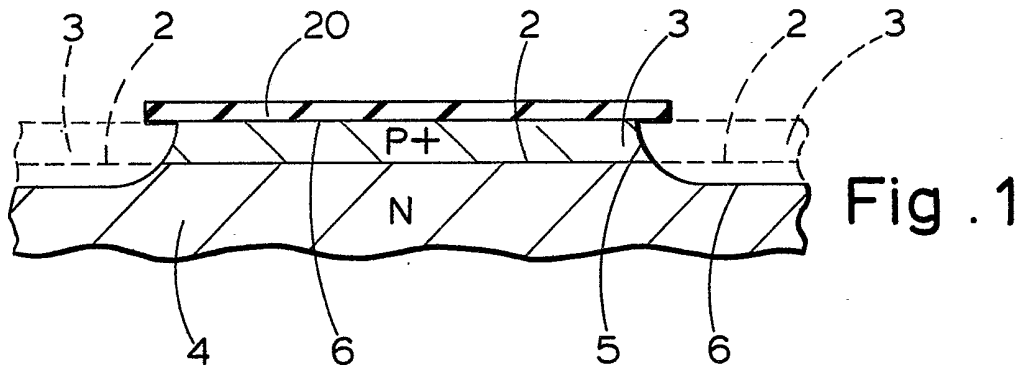
25 3.- Procédé selon la revendication 1 ou 2, caractérisé en ce que le traitement de transformation est un traitement d'oxydation à l'aide duquel ladite surface semiconductrice découverte 6 est oxydée pour former une couche d'oxyde en tant que couche en matériau isolant 10.

30 4.- Procédé selon la revendication 3, caractérisé en ce que le traitement d'oxydation consiste à soumettre la surface semiconductrice découverte 6 à de l'oxygène sec à une température comprise entre  $300$  et  $500^\circ \text{ C}$ .

5.- Procédé selon la revendication 3, caractérisé en ce que comme phase du traitement servant à découvrir la surface semiconductrice 6, ladite surface est exposée à un liquide à l'aide duquel la surface semiconductrice 6 est oxydée pour  
5 la formation de ladite couche d'oxyde 10.

6.- Dispositif semiconducteur réalisé par la mise en oeuvre d'un procédé selon l'une quelconque des revendications 1 à 5.

2477771



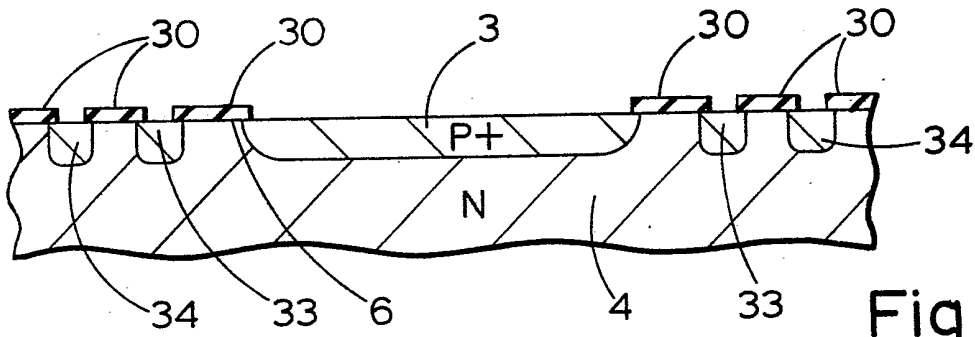


Fig . 4

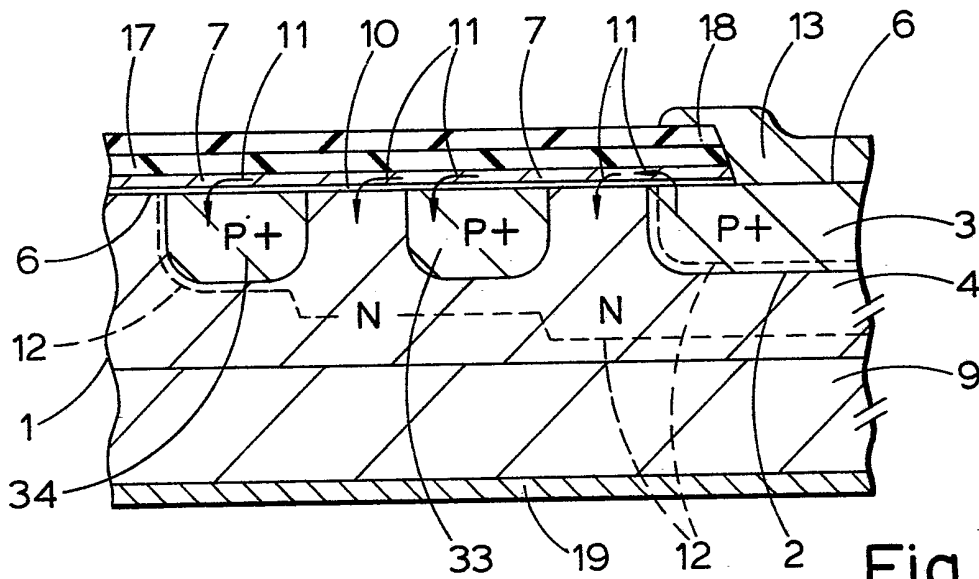


Fig . 5

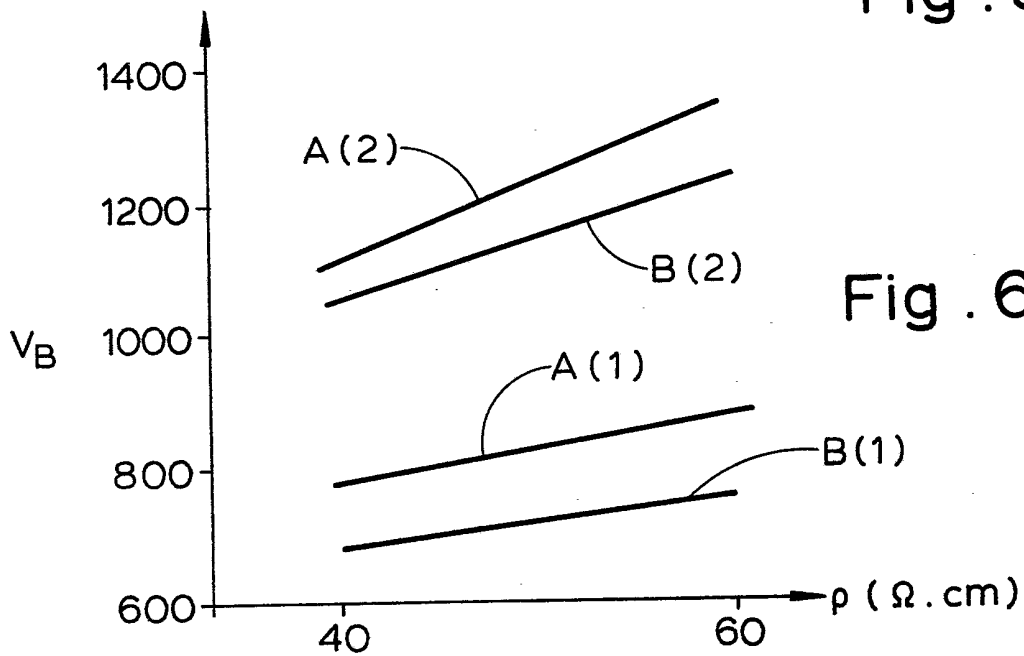


Fig . 6

PL 3/3

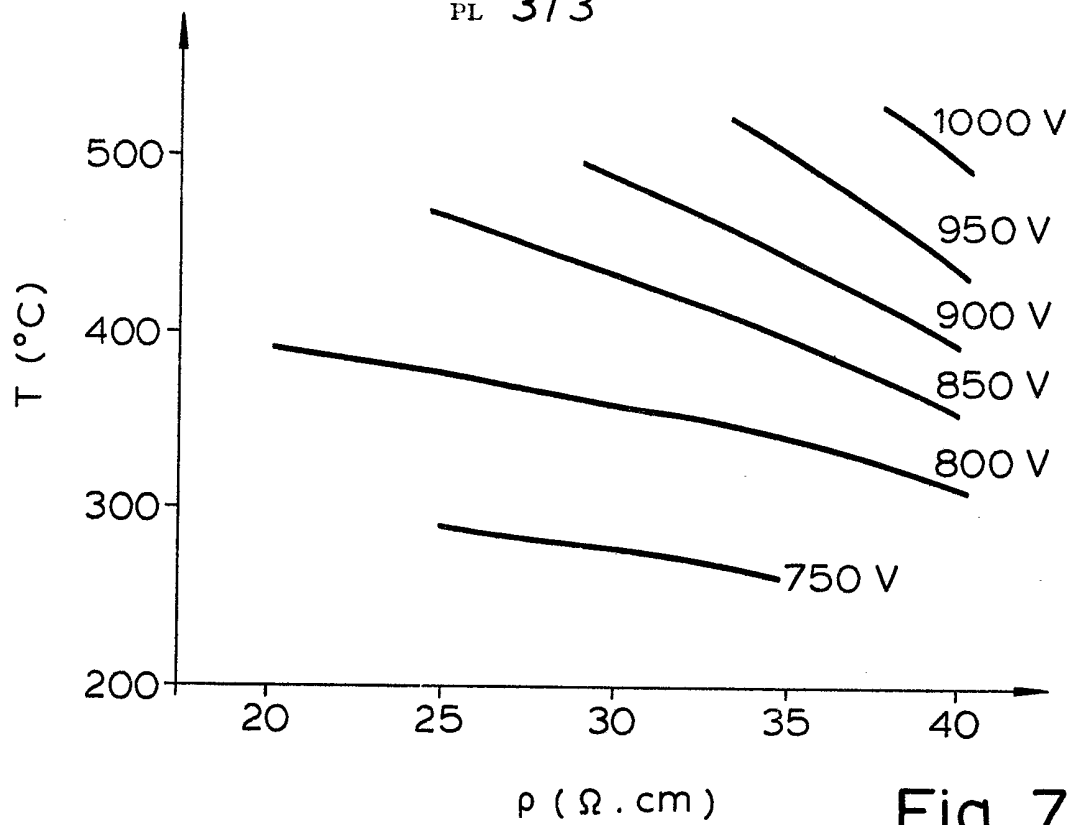


Fig. 7

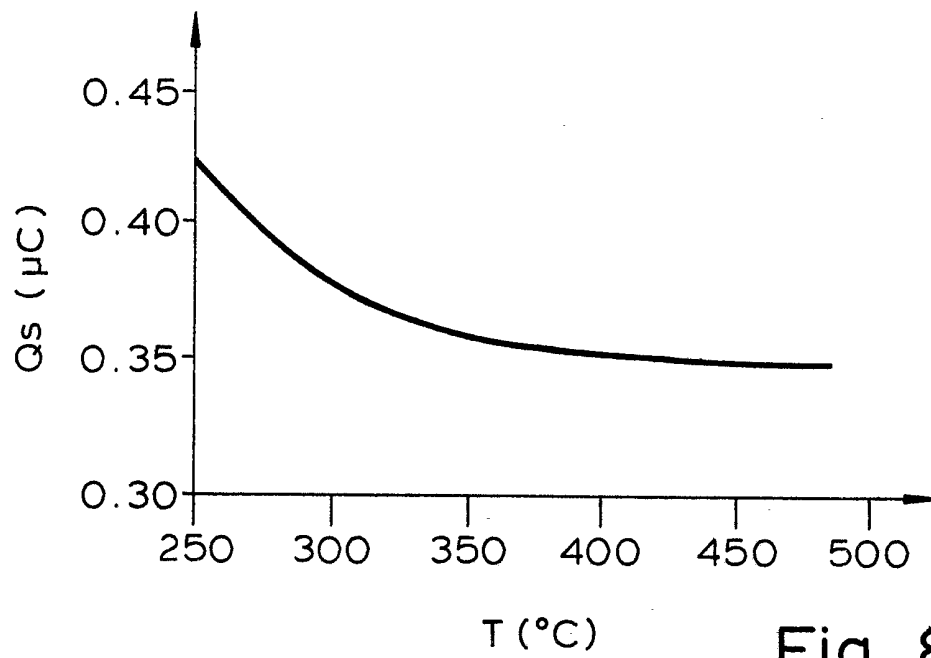


Fig. 8