



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I474148 B

(45) 公告日：中華民國 104 (2015) 年 02 月 21 日

(21) 申請案號：099142651

(22) 申請日：中華民國 99 (2010) 年 12 月 07 日

(51) Int. Cl. : G05F1/56 (2006.01)

G11C7/12 (2006.01)

(30) 優先權：2009/12/11 美國

61/285,554

(71) 申請人：A R M 股份有限公司 (英國) ARM LIMITED (GB)

英國

(72) 發明人：普拉罕普拉內 PRABHAT, PRANAY (IN)

(74) 代理人：蔡坤財；李世章

(56) 參考文獻：

TW 200516363A

TW 200950064A

TW 200950334A

CN 1697185A

US 4972100

US 7176722B2

US 2005/0156624A1

US 2009/0085651A1

審查人員：曾錦豐

申請專利範圍項數：18 項 圖式數：8 共 36 頁

(54) 名稱

電壓調節電路

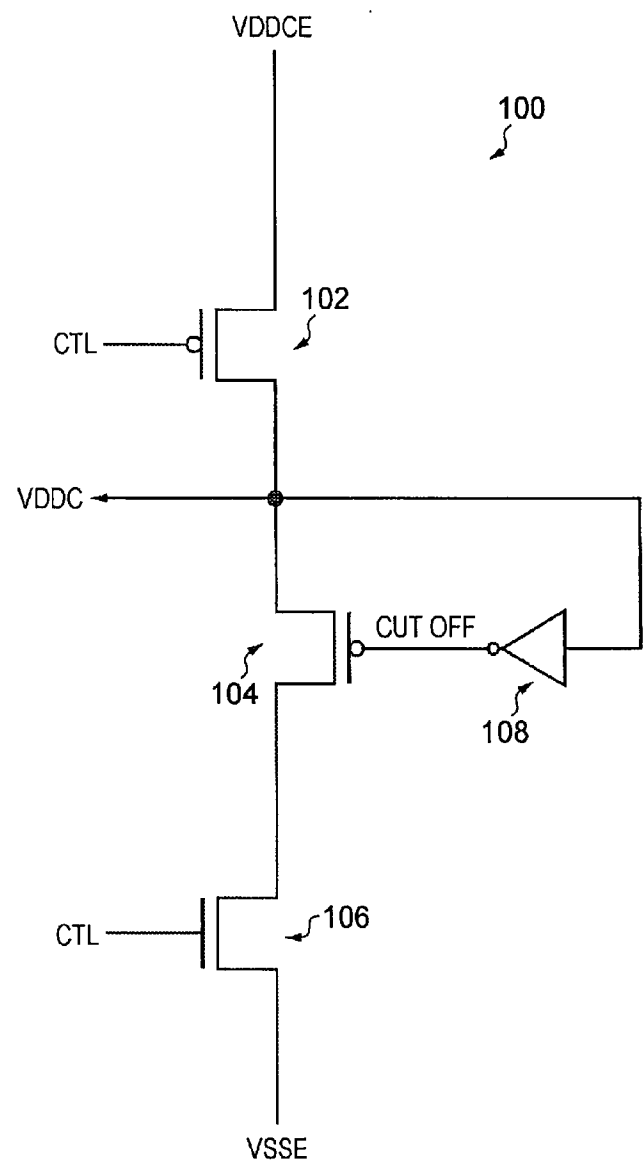
VOLTAGE REGULATION CIRCUITRY

(57) 摘要

提供一種電壓調節電路，其包含將供應電壓(supply voltage)節點連接到輸出電壓節點的上拉(pull-up)p 型閾值裝置，該上拉 p 型閾值裝置被配置成根據控制信號以被關斷(switch off)。下拉(pull-down)堆疊將輸出電壓節點連接到參考電壓節點，該下拉堆疊包含串聯連接的下拉 p 型閾值裝置和下拉 n 型閾值裝置。反相器被配置成從輸出電壓節點接收輸入且被配置成產生斷開信號(cut-off signal)，其中該下拉 n 型閾值裝置被配置成根據該控制信號以被接通(switch on)，且該下拉 p 型閾值裝置被配置成根據該斷開信號以被關斷。

Voltage regulation circuitry is provided comprising a pull-up p-type threshold device connecting a supply voltage node to an output voltage node, the pull-up p-type threshold device configured to be switched off in dependence on a control signal. A pull-down stack connects the output voltage node to a reference voltage node, the pull-down stack comprising a pull-down p-type threshold device and a pull-down n-type threshold device connected in series. An inverter is configured to receive an input from the output voltage node and is configured to generate a cut-off signal, wherein the pull-down n-type threshold device is configured to be switched on in dependence on the control signal and the pull-down p-type threshold device is configured to be switched off in dependence on the cut-off signal.

- 100 . . . 電壓調節電路
- 102 . . . 上拉 p 型閾值裝置
- 104 . . . 下拉 p 型閾值裝置
- 106 . . . 下拉 n 型閾值裝置
- 108 . . . 反相器



第 2 圖



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※申請案號：99142651

※申請日期：99年12月7日

※IPC分類：G05F 1/56 (2006.01)
G11C 7/12 (2006.01)

一、發明名稱：(中文/英文)

電壓調節電路

VOLTAGE REGULATION CIRCUITRY

二、中文發明摘要：

提供一種電壓調節電路，其包含將供應電壓 (supply voltage) 節點連接到輸出電壓節點的上拉 (pull-up) p型閾值裝置，該上拉 p型閾值裝置被配置成根據控制信號以被關斷 (switch off)。下拉 (pull-down) 堆疊將輸出電壓節點連接到參考電壓節點，該下拉堆疊包含串聯連接的下拉 p型閾值裝置和下拉 n型閾值裝置。反相器被配置成從輸出電壓節點接收輸入且被配置成產生斷開信號 (cut-off signal)，其中該下拉 n型閾值裝置被配置成根據該控制信號以被接通 (switch on)，且該下拉 p型閾值裝置被配置成根據該斷開信號以被關斷。

三、英文發明摘要：

Voltage regulation circuitry is provided comprising a pull-up p-type threshold device connecting a supply voltage node to an output voltage node, the pull-up p-type threshold device

configured to be switched off in dependence on a control signal. A pull-down stack connects the output voltage node to a reference voltage node, the pull-down stack comprising a pull-down p-type threshold device and a pull-down n-type threshold device connected in series. An inverter is configured to receive an input from the output voltage node and is configured to generate a cut-off signal, wherein the pull-down n-type threshold device is configured to be switched on in dependence on the control signal and the pull-down p-type threshold device is configured to be switched off in dependence on the cut-off signal.

四、指定代表圖：

(一) 本案指定代表圖為：第 (2) 圖。

(二) 本代表圖之元件符號簡單說明：

100 電壓調節電路

102 上拉 p 型閾值裝置

104 下拉 p 型閾值裝置

106 下拉 n 型閾值裝置

108 反相器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明涉及電壓調節電路。更具體而言，本發明涉及使用連接在供應電壓和參考電壓之間的上拉和下拉閾值裝置，提供與供應電壓相關的輸出電壓，該閾值裝置根據控制信號以進行切換。

【先前技術】

已知提供連接在供應電壓節點和參考電壓節點之間，以產生輸出電壓和中間輸出電壓節點的電壓調節電路，其中電壓調節電路的閾值裝置根據控制信號進行切換。這使得輸出電壓位準能夠根據控制信號進行控制。其中一個可以使用這種電壓調節電路的環境，為在提供供應電壓至記憶體陣列的位元單元 (bitcell) 的背景中。第 1A 圖簡要圖示已知位元單元的範例。位元單元 10 包含反向耦合 (reverse coupled) 反相器 12 和 14，反相器 12 和 14 致能 (enable) 以使一邏輯值能夠被保持在每個位元單元節點 16 和 18。在所圖示的範例中，在位元單元節點 16 保持邏輯值「1」而在位元單元節點 18 保持邏輯值「0」。每個位元單元反相器 12 和 14 由位元單元供應電壓 VDDCE 供電且連接到參考電壓 VSSE。位元單元 10 經由通道閘 20 和 22 連接到位元線 (bitline) BL 和 NBL，每個通道閘由字線 (wordline) 信號 WL 控制。

在使用先進處理技術的此等位元單元（其例如可以是 SRAM 單元）中可能出現的問題在於：當位元單元正以當代積體電路所希望的低操作電壓操作時，可能難以在原先保持儲存邏輯值「1」的位元單元節點寫入邏輯「0」。參考第 1B 圖以進一步圖示該問題的發生，第 1B 圖簡要圖示保持邏輯值「1」的位元單元節點 16。為了把該值重寫為邏輯值「0」，字線產生電路 30 確立 (assert) 控制通道 (pass gate) 20 的字線信號 WL，以經由字線 BL 使位元單元節點 16 放電。然而，當通道閘 20 為相對弱時，通道閘 20 可能難以克服位元單元內的上拉裝置 24。

該問題的已知解決方案是在寫入程序中臨時降低位元單元供應電壓 VDDCE，以使位元單元上拉裝置 24 較弱且較容易被克服。鑒於此種記憶體陣列典型地利用各種自定時序信號 (self-timing signal) 以操作，常用方法為產生用於下拉位元單元供應電壓 VDDCE 的自定時序脈衝。然而，必須提供額外的控制電路以產生自定時序脈衝，而此自定時序脈衝可能偏離 (skew) 於記憶體陣列中的主自定時序路徑。而且，當下拉位元單元供應電壓時，必須確保不允許位元單元供應電壓下降得太低，否則位元單元內容 (具體而言，為共用該位元單元供應電壓的其他位元單元的內容) 可能遭到破壞。另外，存在與下降到必要程度以下的位元單元供應電壓相關聯的電源和週期時間 (cycle time) 額外負擔 (overhead)。此外，位元單元供應電壓的下降速度

中的變異性（由於製程、溫度變化等）意味著當產生用於下拉的自定時序脈衝時，需要保留額外的餘裕（margin）以確保可靠的操作，而不論這些變異如何。由於這些因素，難以提供可在期望的製程、溫度、脈衝寬度和位元單元列尺寸變異的全部範圍上工作的單一電路。

因此，希望提供一種用於提供此種電壓調節電路的改善技術。

【發明內容】

從第一態樣來看，本發明提供電壓調節電路，該電壓調節電路包含：將供應電壓節點連接到輸出電壓節點的上拉 p 型閾值裝置，該上拉 p 型閾值裝置被配置成根據控制信號以被關斷；將該輸出電壓節點連接到參考電壓節點的下拉堆疊，該下拉堆疊包含串聯連接的下拉 p 型閾值裝置和下拉 n 型閾值裝置；以及被配置成從該輸出電壓節點接收輸入，且被配置成產生斷開（cut-off）信號的反相器，其中該下拉 n 型閾值裝置被配置成根據該控制信號以被接通，且該下拉 p 型閾值裝置被配置成根據該斷開信號以被關斷。

相應地，提供電壓調節電路，其中輸出電壓節點經由根據控制信號以被關斷的上拉 p 型閾值裝置以連接到供應電壓節點，亦即，當控制信號不確立（not asserted）時，上拉 p 型閾值裝置被接通且導致輸出電壓節點被上拉至由供應電壓節點提供的電壓。輸出電壓節點亦經由下拉堆疊連

接到參考電壓節點，該下拉堆疊包含串聯連接的下拉 p 型閾值裝置和下拉 n 型閾值裝置。下拉 n 型閾值裝置亦根據控制信號以進行切換，被配置成根據控制信號以被接通。因此，當控制信號確立時，下拉 n 型閾值裝置被接通且上拉 p 型閾值裝置被關斷，導致輸出電壓節點處的電壓朝向參考電壓節點的電壓下拉。

然而，下拉堆疊亦包含被配置成根據斷開信號以被關斷的下拉 p 型閾值裝置，該斷開信號由接收來自輸出電壓節點的電壓以作為其輸入的反相器產生。因此，當控制信號確立且輸出電壓節點開始下降時，反相器產生相應地上升的斷開信號。最終，上升的斷開信號導致下拉堆疊中的下拉 p 型閾值裝置被關斷，使輸出電壓節點與參考電壓節點隔離 (isolate) 且防止輸出電壓節點處提供的電壓更進一步下降。

尤其有益的是下拉堆疊中的下拉 p 型閾值裝置的切換依賴於輸出電壓節點處的電壓，而非例如依賴於控制信號的時序，因此這意味著電壓調節電路不像 (in the manner that) 自定時序電路般對諸如製程和溫度變化的因素敏感。而且，下拉堆疊中使用 p 型閾值裝置致能得以提供來自輸出電壓節點的快速回饋信號，避免對在 (如正常可能預期在這種下拉堆疊中使用的) n 型閾值裝置用於這種回饋切換裝置的情況下將要求的額外反相級的需要。另外，在下拉堆疊中包括 p 型閾值裝置，意味著輸出電壓的下降速度將

在其接近 p 型閾值裝置的閾值電壓時減低。緩慢下降有利於回饋迴路的控制。然而，也應當注意，使用 p 型閾值裝置以作為斷開裝置也致能該裝置更快速地關斷，因為其源極電壓（即，輸出電壓節點處的電壓）正在下降而其閘極電壓（即，斷開信號）同時正在上升。照此，該裝置的 V_{sg} 比 n 型閾值裝置（其源極固定接地）的情況下降得更快。

可以多種方式提供反相器，但是在一具體實施例中，該反相器包含在該供應電壓節點和該參考電壓節點之間串聯連接的另一 p 型閾值裝置和另一 n 型閾值裝置，該另一 p 型閾值裝置將該供應電壓節點連接到斷開節點，而該另一 n 型閾值裝置將該斷開節點連接到該參考電壓節點，其中該另一 p 型閾值裝置被配置成在來自該輸出電壓節點的該輸入低於閾值電壓時被接通，該另一 n 型閾值裝置被配置成根據該控制信號的反相版本（version）接通，且該斷開信號被提供在該斷開節點。

因此，反相器基本上由另一 p 型閾值裝置提供，該另一 p 型閾值裝置在來自輸出電壓節點的輸入為高（閾值電壓之上）時被關斷，而在來自輸出電壓節點的輸入較低（閾值電壓之下）時被接通。同時，另一 n 型閾值裝置根據控制信號的反相版本將斷開節點連接到參考電壓節點，意味著當控制信號不確立（且反相版本因此確立）時，斷開節點處的電壓被下拉到參考電壓。相反地，當控制信號確立（且控制信號的反相版本因此不確立）時，另一 n 型閾值裝置被

關斷且允許斷開節點處的電壓被另一 p 型閾值裝置控制。因此，提供動態反相器，其在控制信號關斷時使斷開節點與參考電壓節點隔離，而避免靜態電流洩露。

電壓調節電路可以被實施在很多背景中，但是有利地，該輸出電壓節點為至少一個記憶體位元單元提供位元單元供應電壓。這是由於這樣的事實：儘管（例如在寫入程序期間）降低記憶體位元單元的位元單元供應電壓是有用的，但是必須不允許位元單元供應電壓降得太低，因為這將產生破壞位元單元內容的風險。在此提供的電壓調節電路在用於至少一個記憶體位元單元的位元單元供應電壓的背景中是更加有益的，因為電壓調節電路不像與用於下拉輸出電壓的自定時序脈衝相關的設置那樣，對製程、溫度、脈衝寬度和位元單元列尺寸變化敏感。

在為至少一個記憶體位元單元提供位元單元供應電壓的背景中，由電壓調節電路提供之輸出電壓的臨時下拉可以許多方式使用，具體而言在一具體實施例中該控制信號被配置成在該至少一個記憶體位元單元的寫入程序期間有效。例如，在記憶體位元單元的寫入程序期間，位元單元供應電壓的臨時降低可藉由臨時弱化連接到位元單元中位元單元供應電壓的上拉裝置，以輔助寫入程序，因而使得更容易克服和「重寫」與該上拉裝置相關聯的保持值。

在一如此的具體實施例中，電壓調節電路更包含被配置成根據寫入程序控制信號產生該控制信號的控制信號產生

電路，其中該控制信號產生電路被配置成響應於功率選通（gating）信號以使該控制信號確立，而不論該寫入程序控制信號為何。因此，功率選通訊號確保上拉 p 型閾值裝置被關斷且下拉 n 型閾值裝置被接通，使輸出電壓節點保持低值因而降低位元單元洩露。儘管以這種方式致能電壓調節電路中從輸出電壓節點到參考電壓節點的路徑將消耗一些功率，但是如果記憶體位元單元旨在對於相對長的時間期間不起作用（inactive），則這種折衷（trade-off）將是值得的。相反地，如果記憶體位元單元僅需要對於相對短的時間期間不起作用，則這種折衷可能較不值得。

在一如此的具體實施例中，該輸出電壓節點對複數個記憶體位元單元提供該位元單元供應電壓，且該寫入程序控制信號包含被配置成在該複數個記憶體位元單元之間進行選擇的多工器信號和寫入遮罩控制信號。因此，可對（例如在較大儲存陣列內以模組化（modular）方式提供的）很多記憶體位元單元提供位元單元供應電壓，且以提供多工器信號以在記憶體位元單元之間進行選擇（例如選擇模組內的一組記憶體位元單元）。功率選通訊號致能這些寫入程序控制信號得以被超控（override）且因而降低位元單元洩露。

在一具體實施例中，該至少一個記憶體位元單元為至少一個 SRAM 記憶體位元單元。例如，SRAM 記憶體位元單元可以受益於如上述及之位元單元供應電壓的「寫入輔助」減少。應理解，儘管 SRAM 位元單元通常是 6 電晶體單埠

位元單元，但是本發明的技術不限於此，且可應用於具有其他數目的電晶體的所有單埠或者雙埠位元單元。

在一具體實施例中，該輸出電壓節點對一系列記憶體單元提供位元單元供應電壓。電壓調節電路尤其可能有益於為一系列記憶體位元單元提供位元單元供應電壓的背景中，因為當列中的一個記憶體位元單元正被寫入時，該列中的其他記憶體位元單元必須保持它們的內容不受在所選位元單元上進行的寫入程序的影響。可靠地防止位元單元供應電壓下降得太低可確保其他位元單元的內容得到保護。

在一個具體實施例中，該反相器的切換閾值被配置以使在該控制信號確立之後，該斷開信號導致該下拉 p 型閾值裝置在該控制信號除確立 (deassert) 之前被關斷。因此，在控制信號確立和然後除確立之間的週期期間，已經達到反相器的切換閾值，使得所得到的斷開信號導致下拉 p 型閾值裝置被關斷且因而防止輸出電壓的進一步下降。因此，電壓調節電路可被配置成使得輸出電壓的下降在控制信號確立的週期期間受到限制。

當反相器由另一 p 型閾值裝置和另一 n 型閾值裝置提供時，在控制信號確立的週期期間對輸出電壓的下降的此種限制可以由該另一 p 型閾值裝置的切換閾值提供，該另一 p 型閾值裝置被配置成使得在該控制信號確立之後，該斷開信號導致該下拉 p 型閾值裝置在該控制信號除確立之前被關斷。

在一具體實施例中，該反相器的切換閾值被配置以使該斷開信號導致該下拉 p 型閾值裝置在達到來自該輸出電壓節點的該輸入的閾值電壓時被關斷。因此，可安排反相器以防止輸出電壓節點處的電壓下降到該閾值電壓之下。要意識到，儘管可能針對在已知條件下操作的特定公知電路預先定義該閾值電壓，但是一般而言，反相器的切換閾值將依賴於諸如供應電壓、環境溫度等因素，且因此可以不由系統設計者預先定義。

在由另一 p 型閾值裝置和另一 n 型閾值裝置提供反相器的具體實施例中，該另一 p 型閾值裝置的切換閾值可被配置，以使該斷開信號導致該下拉 p 型閾值裝置在達到來自該輸出電壓節點的該輸入的該閾值電壓時被關斷。如上述，要意識到，儘管可以針對在已知條件下操作的特定公知電路預先定義該閾值電壓，但是一般而言，另一 p 型閾值裝置的切換閾值將依賴於諸如供應電壓、環境溫度等因素，且因此可以不由系統設計者預先定義。

要明白，可使用很多技術以提供 p 型和 n 型閾值裝置，但是在一具體實施例中，該上拉 p 型閾值裝置和該下拉 p 型閾值裝置為 PMOS 閾值裝置，且該下拉 n 型閾值裝置為 NMOS 閾值裝置。類似地，在一具體實施例中，該另一 p 型閾值裝置為 PMOS 閾值裝置且該另一 n 型閾值裝置為 NMOS 閾值裝置。

在一個具體實施例中，該上拉 p 型閾值裝置大於該下

拉 n 型閾值裝置和該下拉 p 型閾值裝置。儘管下拉 n 型閾值裝置和下拉 p 型閾值裝置可以被有利地以所提供製程的最小尺寸（即，在給定製程尺度的給定積體電路中被定制為該製程尺度的下限）配置，但如果上拉 p 型閾值裝置較大（例如大一個量級）則是有利的，因為這使得輸出電壓能夠在控制信號除確立時朝供應電壓快速上拉。

從第二態樣來看，本發明提供包含根據第一態樣的電壓調節電路的記憶裝置。

從第三方面看，本發明提供電壓調節電路，該電壓調節電路包含：上拉 p 型閾值裝置，用於將供應電壓節點連接到輸出電壓節點，該上拉 p 型閾值裝置被配置以根據控制信號以被關斷；下拉堆疊裝置，用於將該輸出電壓節點連接到參考電壓節點，該下拉堆疊裝置包含串聯連接的下拉 n 型閾值裝置和下拉 p 型閾值裝置；及反相裝置，用於從該輸出電壓節點接收輸入且產生斷開信號，其中該下拉 n 型閾值裝置被配置成根據該控制信號以被接通且該下拉 p 型閾值裝置被配置成根據該斷開信號以被關斷。

儘管參考為下降的輸出電壓提供斷開以描述了本發明的上述態樣和具體實施例，但是應當注意，本發明的技術同樣可應用於互補安排，即為上升的輸出電壓提供斷開的安排。因此，從第四態樣來看，本發明提供電壓調節電路，該電壓調節電路包含：下拉 n 型閾值裝置，將參考電壓節點連接到輸出電壓節點，該下拉 n 型閾值裝置被配置成根據

控制信號切換；上拉堆疊，將該輸出電壓節點連接到供應電壓節點，該上拉堆疊包含串聯連接的上拉 p 型閾值裝置和上拉 n 型閾值裝置；及反相器，被配置成從該輸出電壓節點接收輸入且被配置成產生斷開信號，其中該上拉 p 型閾值裝置被配置成根據該控制信號切換且該上拉 n 型閾值裝置被配置成根據該斷開信號切換。

【實施方式】

第 2 圖簡要地圖示說明根據一具體實施例的電壓調節電路。電壓調節電路 100 包含串聯連接在供應電壓節點 (VDDCE) 和參考電壓節點 (VSSE) 之間的兩個 p 型閾值裝置 102、104 以及一個 n 型閾值裝置 106。上拉 p 型閾值裝置 102 是由控制信號 CTL 控制的 PMOS 電晶體且 (根據控制信號 CTL) 把供應電壓節點 VDDCE 連接到輸出電壓節點 (VDDC)。下拉 p 型閾值裝置 104 和下拉 n 型閾值裝置 106 形成將輸出電壓節點 VDDC 連接到參考電壓節點 VSSE 的下拉堆疊。下拉 p 型閾值裝置 104 是根據斷開信號 (CUTOFF) 控制的 PMOS 電晶體且下拉 n 型閾值裝置 106 是也由控制信號 CTL 控制的 NMOS 電晶體。反相器 108 從輸出電壓節點 (VDDC) 接收其輸入且產生控制下拉 PMOS 104 的斷開信號 CUTOFF。

在設定階段 (phase) 控制信號 CTL 不確立，使得 NMOS 106 關斷且 PMOS 102 接通。因此，PMOS 102

把輸出節點連接到電源節點，且 VDDC 被上拉到 VDDCE。而且，反相器 108 的輸入處的 VDDC 的高值導致 CUTOFF 信號的低值以接通 PMOS 104，但是當然的，VDDC 和 VSSE 之間的路徑被關斷的 NMOS 106 阻隔。

在操作中，控制信號 CTL 確立，切斷 PMOS 102 且導通 NMOS 106。因此，VDDC 下降，被下拉到 VSSE。然後反相器 108 輸入處的 VDDC 的該下降值在某一時刻經過反相器 108 的切換閾值，且信號 CUTOFF 確立。斷開信號的確立關斷 PMOS 104，防止 VDDC 向 VSSE 的進一步下降。使用 p 型閾值裝置以作為斷開裝置 (PMOS 104) 意味著該裝置可以快速被關斷 (比在此位置處的相應 NMOS 裝置更快速)，因為其源極電壓 (即輸出電壓節點處的電壓) 正在下降而其閘極電壓 (即斷開信號) 同時正在上升。照此，該 p 型裝置的 V_{sg} 比 n 型閾值裝置 (其源極固定接地) 的情況下降得更快。反相器 108 的切換閾值被最有效地配置為，使得在控制信號 CTL 確立的週期期間，斷開信號 CUTOFF 將導致 PMOS 104 在控制信號 CTL 除確立之前關斷。

第 3 圖簡要地圖示說明一具體實施例中的電壓調節電路 120，其中輸出電壓節點 VDDC 為記憶體陣列中的記憶體位元單元提供位元單元供應電壓。如第 3 圖中所示，PMOS 電晶體 102、104 和 NMOS 電晶體 106 如參考第 2 圖所描述般以相同的方式連接在供應電壓節點 VDDCE 和

參考電壓節點 VSSE 之間。然而，在第 3 圖示意性示出的具體實施例中，靜態反相器 108 被包含 PMOS 電晶體 122 和 NMOS 電晶體 124 的動態反相器所代替。PMOS 電晶體 122 根據輸出電壓節點處的電壓進行切換，而 NMOS 電晶體 124 根據控制信號 CTL 的反向版本即 NCTL 進行切換。

類似於參考第 2 圖描述的具體實施例，在第 3 圖中簡要地圖示說明的具體實施例中，在設定階段，控制信號除確立 ($CTL=0$) 且因此其反相版本確立 (即 $NCTL=1$)。因此，NMOS 124 導通且在斷開節點 126 處的電壓經由 NMOS 124 放電。斷開信號的低值接通 PMOS 104，但是到 VSSE 的路徑由於 $CTL=0$ 關閉 NMOS 106 這一事實而當然被阻隔。同時，CTL 的低值接通 PMOS 102 且輸出節點處的 VDDC 被上拉到電源節點處的 VDDCE。

在電壓調節電路 120 提供輸出電壓 VDDC 以作為位元單元供應電壓的記憶體位元單元之一者的寫入程序期間，相應的寫入程序控制信號 (以下參考第 4A、4B、5A 和 5B 圖以更詳細地描述) 導致控制信號 CTL 確立且其反相版本 NCTL 除確立。因此，PMOS 102 關斷且 NMOS 接通，導致 VDDC 開始通過 PMOS 104 和 NMOS 106 放電。同時，NCTL 的除確立關斷 NMOS 124，釋放 CUTOFF 且允許其浮接 (floating)。因為 CUTOFF 原先保持為低，PMOS 104 暫時保持接通。然後當 VDDC 下降時，PMOS

122 開始導通且將斷開節點 126 處的電壓朝 VDDCE 上拉。當 VDDC 下降且 CUTOFF 上升時，PMOS 104 開始切斷且 VDDC 的下拉減緩。最終，PMOS 104 切斷，VDDC 的下降停止，且 VDDC 保持浮接，CUTOFF 被拉高。以此方式，位元單元供應電壓 VDDC 回應於控制信號 CTL 的確立而被下拉，但是該下拉在某一位準之後自動地斷開。可選擇 PMOS 122 的切換閾值以決定此斷開何時發生。以下參考第 5A、5B 圖討論第 3 圖中的各個信號的相關時序。最後，一旦 CTL 除確立，VDDC 通過 PMOS 102 再次上拉到 VDDCE（而同時，通過 NMOS 106 到 VSSE 的路徑由於 NMOS 106 關斷而截斷（disable））。為了致能使 VDDC 的此種上拉快速地發生，PMOS 102 的尺寸典型地定制為比電壓調節電路中的其他 PMOS/NMOS 裝置大。例如，在圖示說明的具體實施例中，PMOS 102 的尺寸為 $1\ \mu\text{m}$ ，而 PMOS 裝置 104 和 122 以及 NMOS 裝置 106 和 124 的尺寸為 $0.104\ \mu\text{m}$ 。CTL 的除確立對應於 NCTL 的確立，其接通 NMOS 124 以將斷開節點 126 放電至 VSSE。

參考第 4A、4B 圖進一步圖示說明在第 3 圖中簡要圖示說明的，對記憶體陣列的記憶體位元單元提供位元單元供應電壓的電壓調節電路 120 的背景。第 4A 圖減要地圖示說明記憶體陣列 200 及其相關的控制電路 205。記憶體陣列 200 包含 4 個位元單元模組 210、212、214 和 216。

每個模組包含 4 列位元單元（見於模組 210 中圖示說明的位元單元列 0-3）。在儲存陣列 200 的寫入程序期間，寫入遮罩控制信號 WEN (0-3) 提供模組 210、212、214 和 216 之間的選擇機制，而多工器 HDREN 信號在給定模組中的位元單元列之間進行選擇。亦提供功率選通訊號 PG，其致能以使寫入程序控制信號被超控，且因而使記憶體陣列 200 的記憶體位元單元保持低功率狀態。記憶體控制電路 205 產生控制信號 CTL（及其反相版本 NCTL）從而對每個位元單元列適當地提供位元單元供應電壓 VDDC。因此，電壓調節電路將被發現在控制電路 205 內，針對被需要的每個單獨 VDDC 位元單元電源而被重複。在圖中，圖示說明被提供至模組 214 的 VDDC[2]（為該模組內的位元單元列 2 提供位元單元電源）。

參考第 4B 圖以圖示說明記憶體控制電路 205 中的控制信號 CTL 和 NCTL 的產生。注意，CTL 和 NCTL 中的每一者被提供為 4 個位元值，每個位元值控制每個模組中的位元單元列之一列。對於待寫入的給定位元單元列中的記憶體位元單元，針對該列的相應多工器信號 HDREN 以及針對該模組的寫遮罩控制信號 WEN 必須皆為確立。當然，功率選通訊號 PG 也必須不確立。對應於特定位元單元列和模組的 HDREN 和 WEN 的組合使相應 NCTL 信號除確立，且使相應 CTL 信號確立。然而注意，功率選通訊號具有超控 WEN 和 HDREN 以迫使 NCTL 除確立且使 CTL

確立的能力。

在第 5A、5B 圖中提供諸如在第 3 圖中圖示說明的電壓調節電路中的信號的相對時序。第 5A、5B 圖表示相同的時標 (timescale)，第 5A、5B 圖之間的分隔僅為圖示說明清晰之目的。第 5A、5B 圖中提供的信號範例對應於諸如參考第 4A、4B 圖中描述的模組化具體實施例中的第四位元單元列 (位元單元列 3)。在第 5A 圖中，可以看出，HDREN[3] 的確立導致 NCTL[3] 除確立且導致 CTL[3] 確立。然後，相應的位元單元供應電壓 VDDC[3] 開始下降，而斷開信號 CUTOFF[3] 開始上升。最終，CUTOFF[3] 的上升值關斷下拉 PMOS 電晶體 (例如第 3 圖中的 PMOS 104)，防止 VDDC[3] 進一步下降。在寫入程序結束時，HDREN[3] 除確立，導致 NCTL[3] 重新確立且導致 CTL[3] 除確立。因此，VDDC[3] 再次被快速上拉，而 CUTOFF[3] 被下拉回到 VSSE 的值。

儘管以上描述的具體實施例關注在斷開該下降之前將輸出電壓 VDDC 下拉，但是本發明的技術同樣可應用於在其中上升電壓信號被調節 (即防止其上升得太多) 的互補具體實施例。此種示例性具體實施例在圖示電壓調節電路 300 的第 6 圖中被簡要地圖示說明。此處，下拉 n 型閾值裝置 (NMOS 302) 將參考電壓節點 VSSE 連接到輸出電壓節點 VSS。輸出電壓節點 VSS 經由包含上拉 p 型閾值裝置 (PMOS 306) 和上拉 n 型閾值裝置 (NMOS 304) 的上

拉堆疊，而連接到供應電壓節點 VDDCE。PMOS 306 和 NMOS 302 根據控制信號 NCTL 切換。因此，在操作中，當（在設定階段中）NCTL 為高時，輸出電壓節點 VSS 被下拉到 VSSE。接著，在操作中，當 NCTL 除確立時，NMOS 302 關斷且 PMOS 306 接通，導致輸出節點 VSS 被朝 VDDCE 上拉。輸出節點 VSS 處的上升值導致斷開信號 CUTOFF 下降（因為被反相器 308 反相），最終關斷 NMOS 304 且防止輸出節點 VSS 處的電壓更進一步上升。最後，當 NCTL 再次確立時，輸出節點 VSS 被下拉回到 VSSE。

參考第 7、8 圖，在以下的附錄中描述本發明的具體實施例以及其相對於現有技術的背景的各種特徵。

儘管本文描述了本發明的特定具體實施例，但是將顯而易見的是，本發明不限於此且可以在本發明的範圍內做出許多修改和附加。例如，可以進行所附從屬請求項的特徵與獨立請求項的特徵的各種組合，而不背離本發明的範圍。

附錄

用於自動調節 SRAM 位元單元電源以輔助寫入的電路。

對於用先進製程技術的 SRAM 單元，由於低供應電壓和高 NMOS 通道閾值電壓，難以在低電壓下寫入「0」。一種解決方法為降低位元單元電源，這使得位元單元 PMOS 上拉裝置更弱且更容易克服。但是必須不允許位元

單元電源降得太低；否則，位元單元內容可能遭到破壞。此外，功耗和週期時間將增加。此電路下拉位元單元電源。當到達某一電壓位準時，該下拉自動停止，這保持了保留餘裕、寫入餘裕且限制了功率和週期時間損失。

調節位元單元電源的一種解決方法為產生用於下拉的自定時序脈衝。此解決方法要求可能偏離於主自定時序路徑的額外控制電路。亦要求很多餘裕以考慮脈衝寬度變化和位元單元電源下降速度的變化。難以具有可在製程、溫度、脈衝寬度和位元單元列尺寸變化的全部範圍上工作的單一電路。

在此揭露之電路不需要自定時序路徑，因為此電路直接感測位元單元電源且根據位元單元電源位準以調整下拉脈衝。在此揭露之電路運作以基於位元單元供應電壓位準而非下降速度以斷開該下拉。因此，此電路可對任意列尺寸進行工作。而且，在此揭露之電路回饋係由不消耗任何靜態電流的動態反相器完成的。此外，在下拉堆疊中使用 PMOS 裝置使得下降的位元單元電源一旦其接近 PMOS 閾值電壓則逐漸減少 (tail off)。此藉由使得最終斷開電壓較不依賴於回饋路徑的速度，而改善保留餘裕。使用 PMOS 裝置亦以從回饋路徑中去除反相級，而允許來自位元單元電源的更快回饋。

本發明的具體實施例的示意圖在第 7 圖中被示出且在下面的段落中被進一步討論。

一個此種電路可被放置在每個記憶體 I/O 列中。

HDREN 信號由經解碼的列多工選擇信號和記憶體的中央控制區塊中的寫入時脈形成。PG 信號控制功率選通且 WEN 信號控制該列的寫入遮罩。這些被作為因素計入 (factor) 起動下拉的 CTL/NCTL 信號中。

在正常操作中，PG=0。在設定階段期間，HDREN0/1/2/3=0。所以 NCTL=1 且 CTL=0。CUTOFF 由 N1 放電至 0。位元單元電源 VDDC 由 PHD 上拉到 VDDCE。N0 和 P0 斷開。

在寫入週期期間，HDREN 信號之一變高。N0 導通。預先放電的節點 CUTOFF 被釋放且浮接。因為 CUTOFF=0，P1 保持導通。PHD 切斷且 VDDC 開始透過 P1 和 N0 放電。當 VDDC 下降時，P0 開始導通且上拉 CUTOFF。當 CUTOFF 上升時，P1 開始切斷且下拉減緩。最終，P1 切斷，VDDC 保持浮空且 CUTOFF 被拉高。

第 8 圖中示出的波形。

以此方式，位元單元電源 VDDC 被下拉且該下拉在某一位準之後自動斷開。為了較早的斷開，裝置 P0 可以被製成低 VT。

使用 PG 信號允許位元單元電源在功率選通模式中被拉得很低。此降低位元單元洩露。

如果可接受一些靜態電流，則動態反相器 (P0+N1) 可以被靜態反相器代替。

該電路可以用於必須調節緩慢下降的信號的任何地方。互補版本可以用於緩慢上升的信號。

【圖式簡單說明】

將參考附加圖式中圖示說明的具體實施例，僅以舉例的方式進一步描述本發明，在附加圖式中：

第 1A 圖簡要地圖示說明已知記憶體位元單元，而第 1B 圖簡要地圖示說明涉及向保持邏輯「1」的位元單元節點寫入邏輯「0」的該已知記憶體位元單元的子部件；

第 2 圖簡要地圖示說明根據一具體實施例的電壓調節電路；

第 3 圖簡要地圖示說明根據一具體實施例的電壓調節電路；

第 4A 圖簡要地圖示說明一具體實施例中以模組化列安排的記憶體位元單元陣列以及相關存取控制電路；

第 4B 圖簡要地圖示說明用於諸如第 4A 圖中圖示的記憶體位元單元陣列的控制信號和反相控制信號的產生；

第 5A、5B 圖簡要地圖示說明根據一具體實施例的電壓調節電路中的各種信號的時間變化；

第 6 圖簡要地圖示說明根據一具體實施例的電壓調節電路；

第 7 圖簡要地圖示說明根據一具體實施例的電壓調節電路和相關控制信號產生電路；及

第 8 圖簡要地圖示說明於第 7 圖中簡要地圖示說明的電壓調節電路中的各種信號的模擬結果。

【主要元件符號說明】

10	位元單元	12	反相器
14	反相器	16	位元單元節點
18	位元單元節點	20	通道閘
22	通道閘	24	上拉裝置
30	字線產生電路	100	電壓調節電路
102	上拉 p 型閾值裝置	104	下拉 p 型閾值裝置
106	下拉 n 型閾值裝置	108	反相器
120	電壓調節電路	122	PMOS 電晶體
124	NMOS 電晶體	126	斷開節點
200	記憶體陣列	205	控制電路
210	位元單元模組	212	位元單元模組
214	位元單元模組	216	位元單元模組
300	電壓調節電路	302	NMOS 電晶體
304	NMOS 電晶體	306	PMOS 電晶體
308	反相器		

七、申請專利範圍：

1. 一種電壓調節電路，包含：

一上拉 p 型閾值裝置，該上拉 p 型閾值裝置將一供應電壓節點連接到一輸出電壓節點且接收一控制信號，該上拉 p 型閾值裝置被配置成根據該控制信號，將在該輸出電壓節點處的一輸出電壓上拉至該供應電壓節點處之一供應電壓，直至被關斷 (switch off) 為止；

一反相器，該反相器連接到該輸出電壓節點，且被配置成將該輸出電壓反相，以產生一斷開信號；

一下拉堆疊，該下拉堆疊將該輸出電壓節點連接到一參考電壓節點且接收該控制信號及該斷開信號，該下拉堆疊包含串聯連接的一下拉 p 型閾值裝置和一下拉 n 型閾值裝置；及

其中該下拉 p 型閾值裝置被配置成根據該斷開信號，將該輸出電壓節點連接到該參考電壓節點，直到被關斷為止，藉此將該輸出電壓下拉至一參考電壓，且該下拉 n 型閾值裝置被配置成根據該控制信號，將該輸出電壓節點與該參考電壓節點斷開，直到被接通 (switch on) 為止，藉此將該輸出電壓下拉至該參考電壓。

2. 如申請專利範圍第 1 項所述之電壓調節電路，其中該反相器包含在該供應電壓節點和該參考電壓節點之間串聯連接的另一 p 型閾值裝置和另一 n 型閾值裝置，該另一 p 型閾值裝置將該供應電壓節點連接到斷開節點，且該另一 n 型閾值裝置將該斷開節點連接到該參考電壓節點，

其中該另一 p 型閾值裝置被配置成在來自該輸出電壓節點的

該輸入低於閾值電壓時被接通，該另一 n 型閾值裝置被配置成根據該控制信號的反相版本被接通，且該斷開信號被提供在該斷開節點處。

3. 如申請專利範圍第 1 項所述之電壓調節電路，其中該輸出電壓節點為至少一個記憶體位元單元提供一位元單元供應電壓。

4. 如申請專利範圍第 3 項所述之電壓調節電路，其中該控制信號被配置成在該至少一個記憶體位元單元的寫入程序期間內確立 (assert)。

5. 如申請專利範圍第 4 項所述之電壓調節電路，還包含被配置成根據寫入程序控制信號而產生該控制信號的控制信號產生電路，

其中該控制信號產生電路被配置成響應於功率選通訊號以使該控制信號確立，而不論該寫入程序控制信號為何。

6. 如申請專利範圍第 4 項所述之電壓調節電路，其中該輸出電壓節點為複數個記憶體位元單元提供該位元單元供應電壓，且該寫入程序控制信號包含被配置成在該等多個記憶體位元單元之間進行選擇的多工器信號和寫入遮罩控制信號。

7. 如申請專利範圍第 3 項所述之電壓調節電路，其中該至少

一個記憶體位元單元為至少一個 SRAM 記憶體位元單元。

8. 如申請專利範圍第 3 項所述之電壓調節電路，其中該輸出電壓節點為一系列記憶體位元單元提供一位元單元供應電壓。

9. 如申請專利範圍第 1 項所述之電壓調節電路，其中該反相器的一切換閾值被配置為，在該控制信號確立之後，使該斷開信號導致該下拉 p 型閾值裝置在該控制信號除確立 (deassert) 之前被關斷。

10. 如申請專利範圍第 2 項所述之電壓調節電路，其中該另一 p 型閾值裝置的一切換閾值被配置為，在該控制信號確立之後，使該斷開信號導致該下拉 p 型閾值裝置在該控制信號除確立之前被關斷。

11. 如申請專利範圍第 1 項所述之電壓調節電路，其中該反相器的一切換閾值被配置為，使該斷開信號導致該下拉 p 型閾值裝置在達到來自該輸出電壓節點的該輸入的一閾值電壓時被關斷。

12. 如申請專利範圍第 2 項所述之電壓調節電路，其中該另一 p 型閾值裝置的一切換閾值被配置為，使該斷開信號導致該下拉 p 型閾值裝置在達到來自該輸出電壓節點的該輸入的該閾值電壓時被關斷。

13. 如申請專利範圍第 1 項所述之電壓調節電路，其中該上拉 p 型閾值裝置和該下拉 p 型閾值裝置為 PMOS 閾值裝置，且該下拉 n 型閾值裝置為 NMOS 閾值裝置。

14. 如申請專利範圍第 2 項所述之電壓調節電路，其中該另一 p 型閾值裝置是一 PMOS 閾值裝置且該另一 n 型閾值裝置是一 NMOS 閾值裝置。

15. 如申請專利範圍第 1 項所述之電壓調節電路，其中該上拉 p 型閾值裝置大於該下拉 n 型閾值裝置和該下拉 p 型閾值裝置。

16. 一種包含如申請專利範圍第 1 項所述之電壓調節電路的記憶裝置。

17. 一種電壓調節電路，包含：

上拉 p 型閾值構件，用於根據一控制信號，將在一輸出電壓節點處的一輸出電壓上拉至一供應電壓節點處之一供應電壓，直至被關斷為止；

反相構件，用於將該輸出電壓反相，以產生一斷開信號；

下拉 p 型閾值構件，用於根據該斷開信號，將該輸出電壓節點連接到該參考電壓節點，直到被關斷為止，藉此將該輸出電壓下拉至一參考電壓，及

下拉 n 型閾值構件，用於根據該控制信號，將該輸出電壓節點與該參考電壓節點斷開，直到被接通為止，藉此將該輸出電壓下拉至該參考電壓。

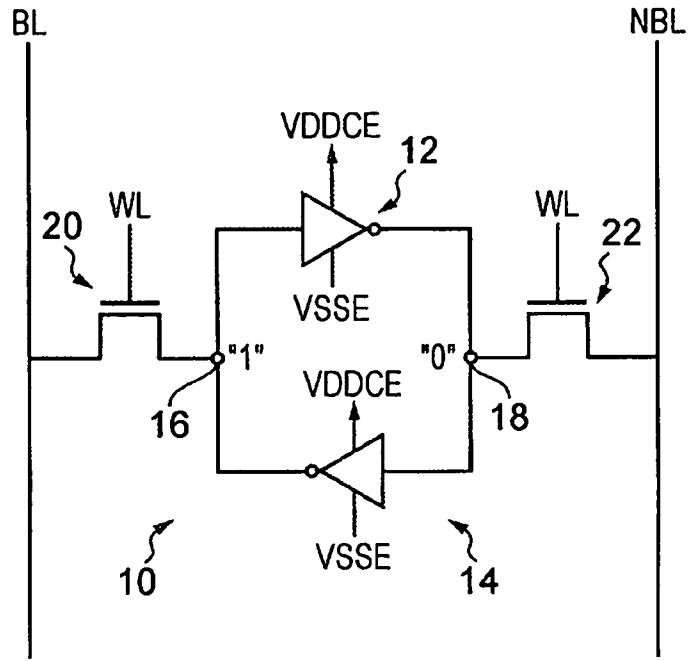
18. 一種電壓調節電路，包含：

一下拉 n 型閾值裝置，用以將一參考電壓節點連接到一輸出電壓節點，該下拉 n 型閾值裝置被配置成根據一控制信號以被切換；

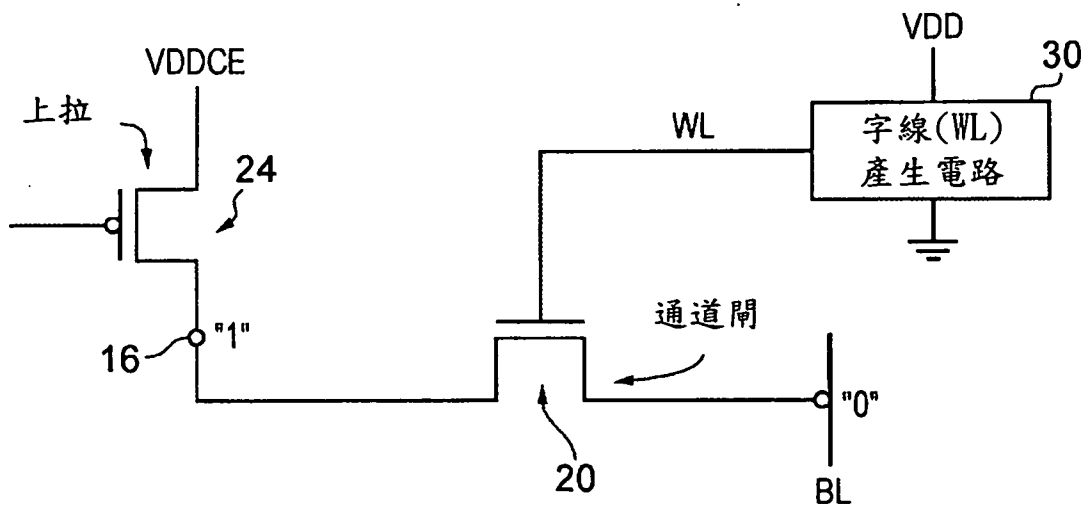
一上拉堆疊，將該輸出電壓節點連接到一供應電壓節點，該上拉堆疊包含串聯連接的一上拉 p 型閾值裝置和一上拉 n 型閾值裝置；及

被配置成從該輸出電壓節點接收輸入、且被配置成產生一斷開信號之一反相器，

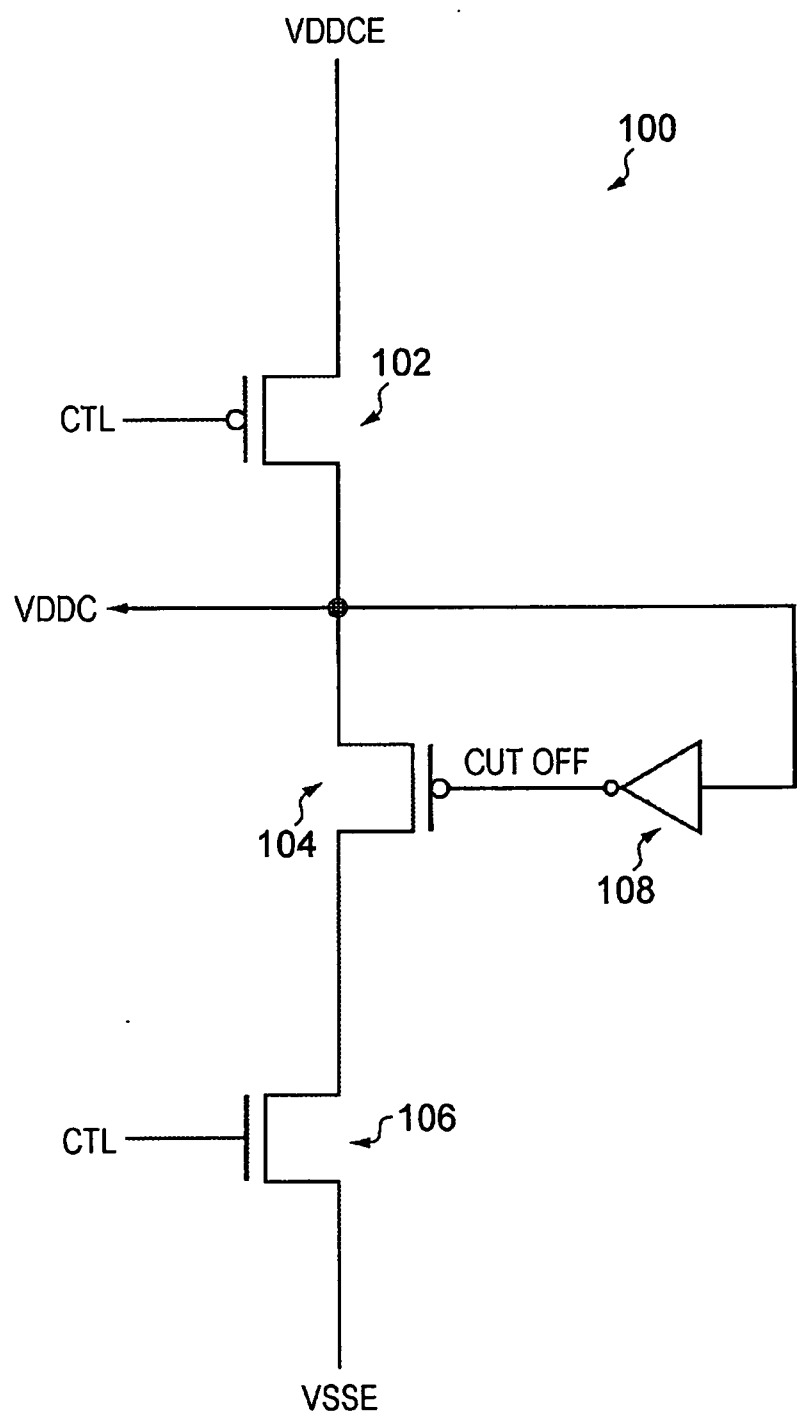
其中該上拉 p 型閾值裝置被配置成根據該控制信號以被切換，且該上拉 n 型閾值裝置被配置成根據該斷開信號以被切換。



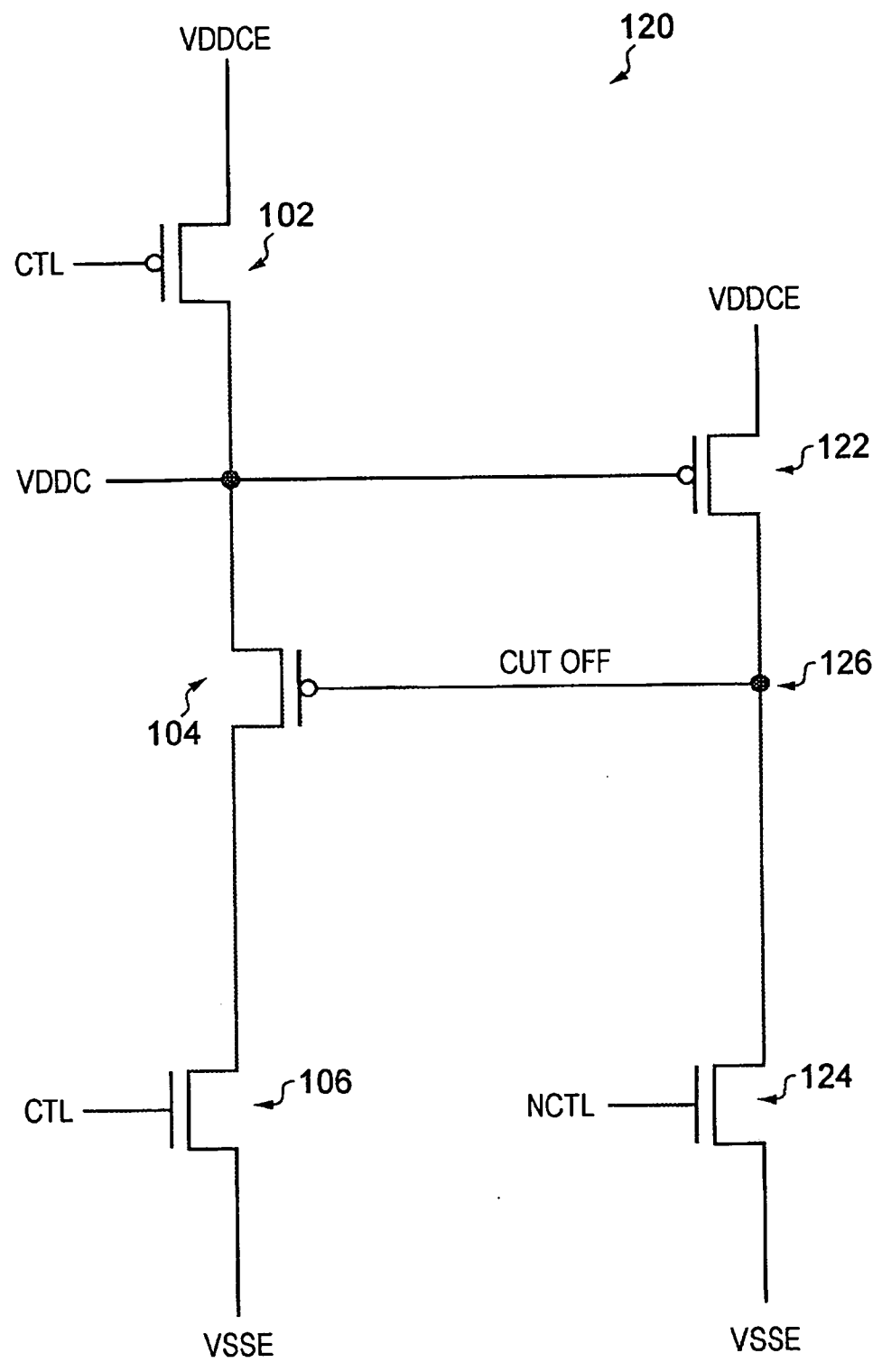
第 1A 圖 (習知技術)



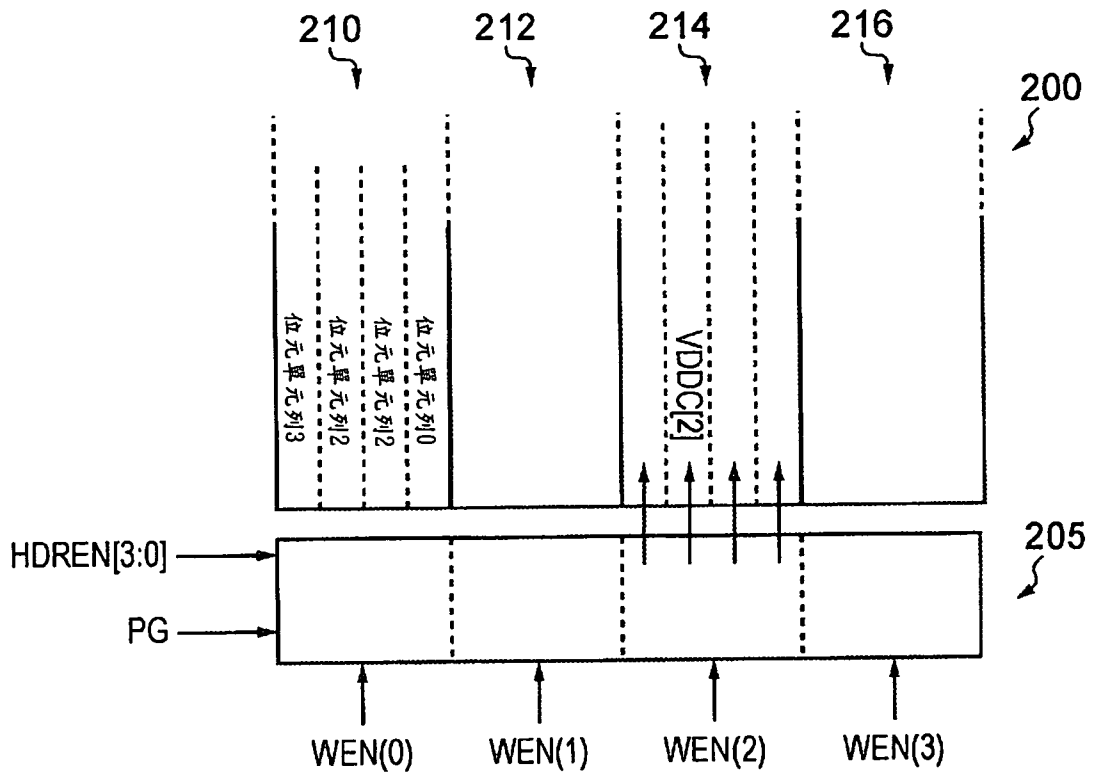
第 1B 圖 (習知技術)



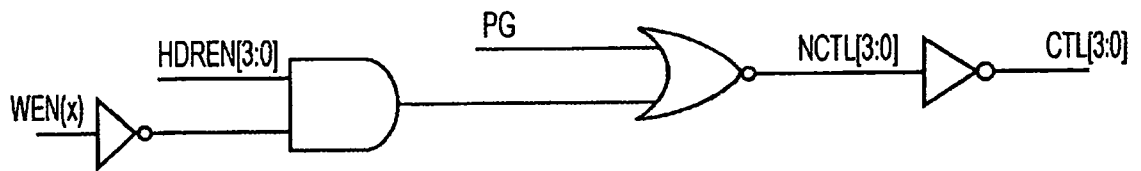
第 2 圖



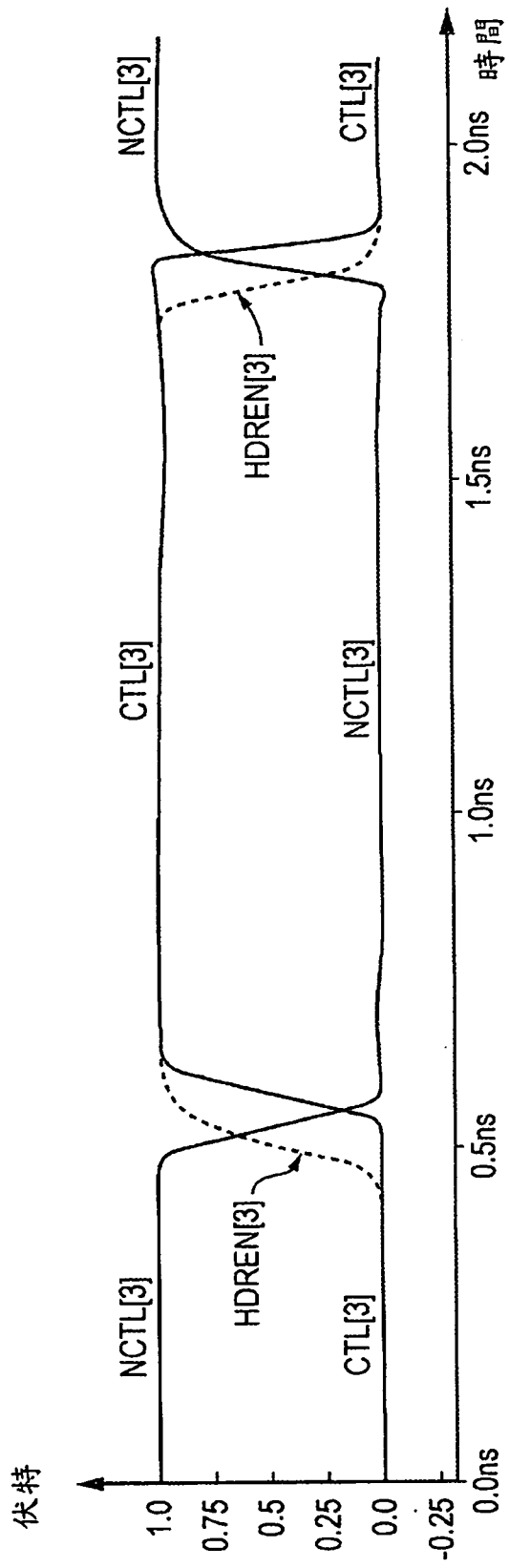
第 3 圖



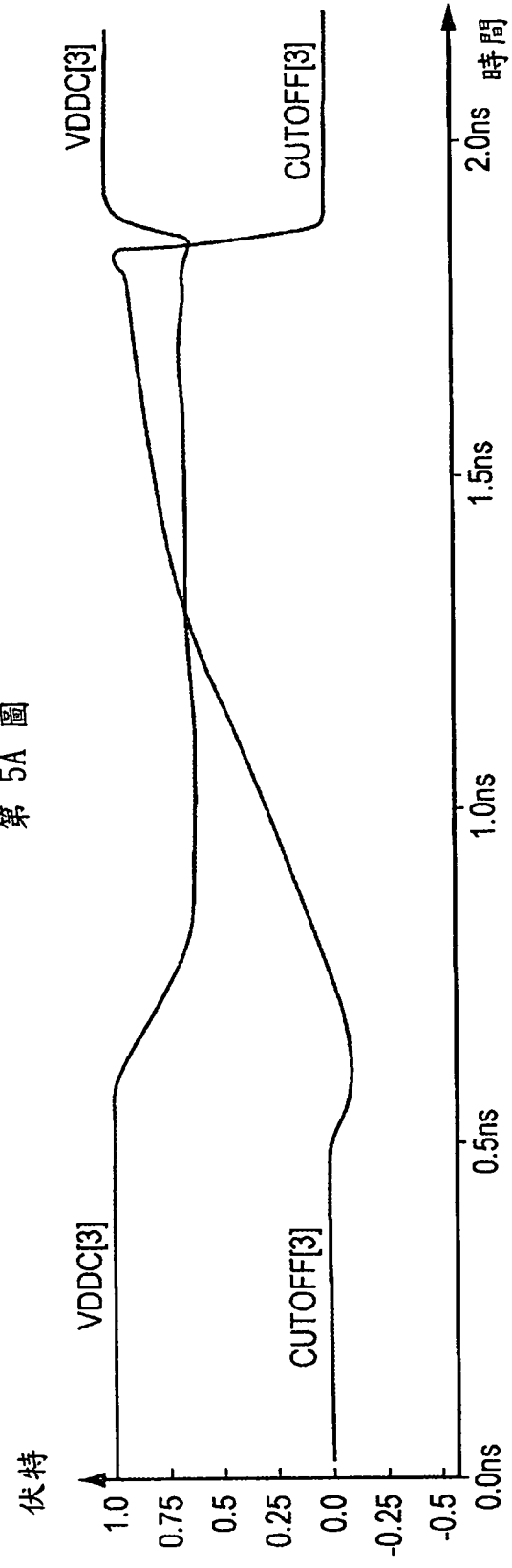
第 4A 圖



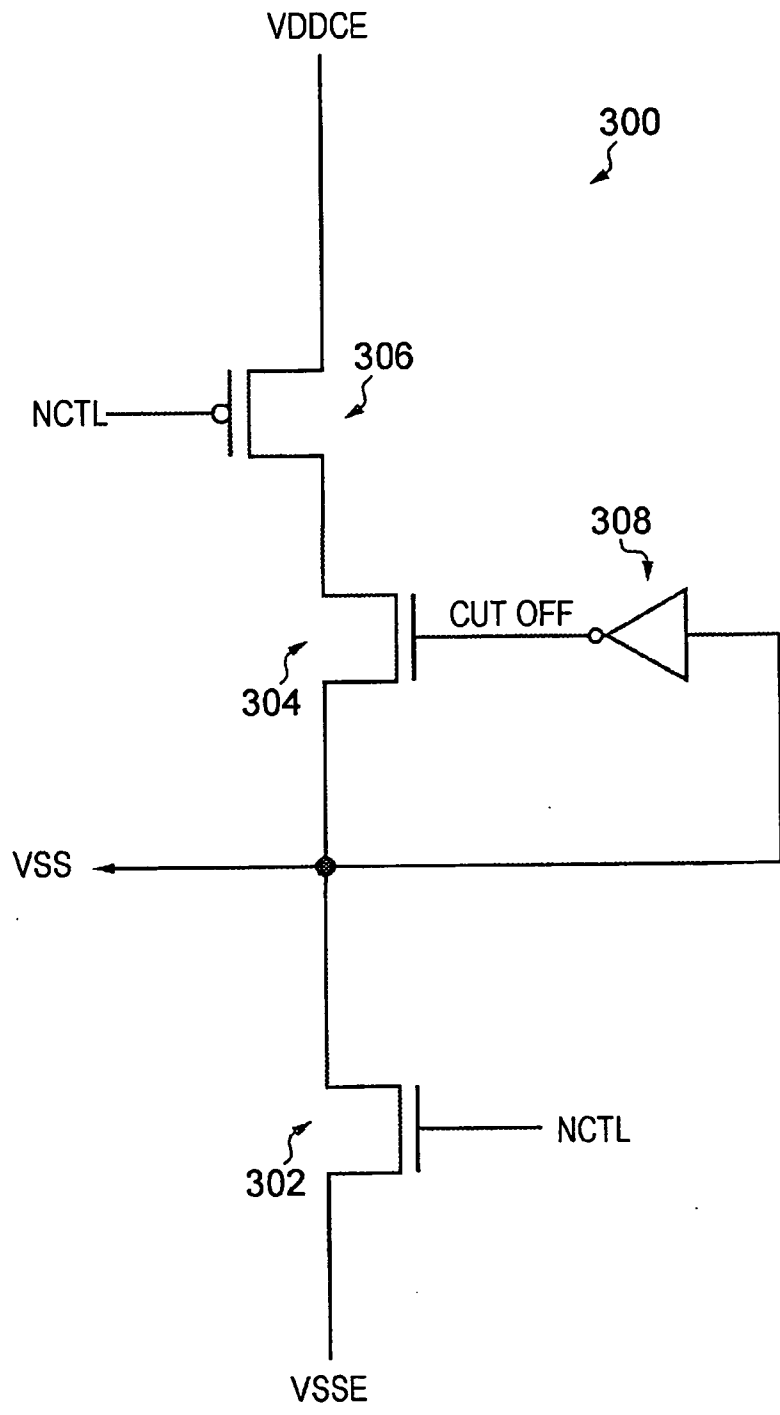
第 4B 圖



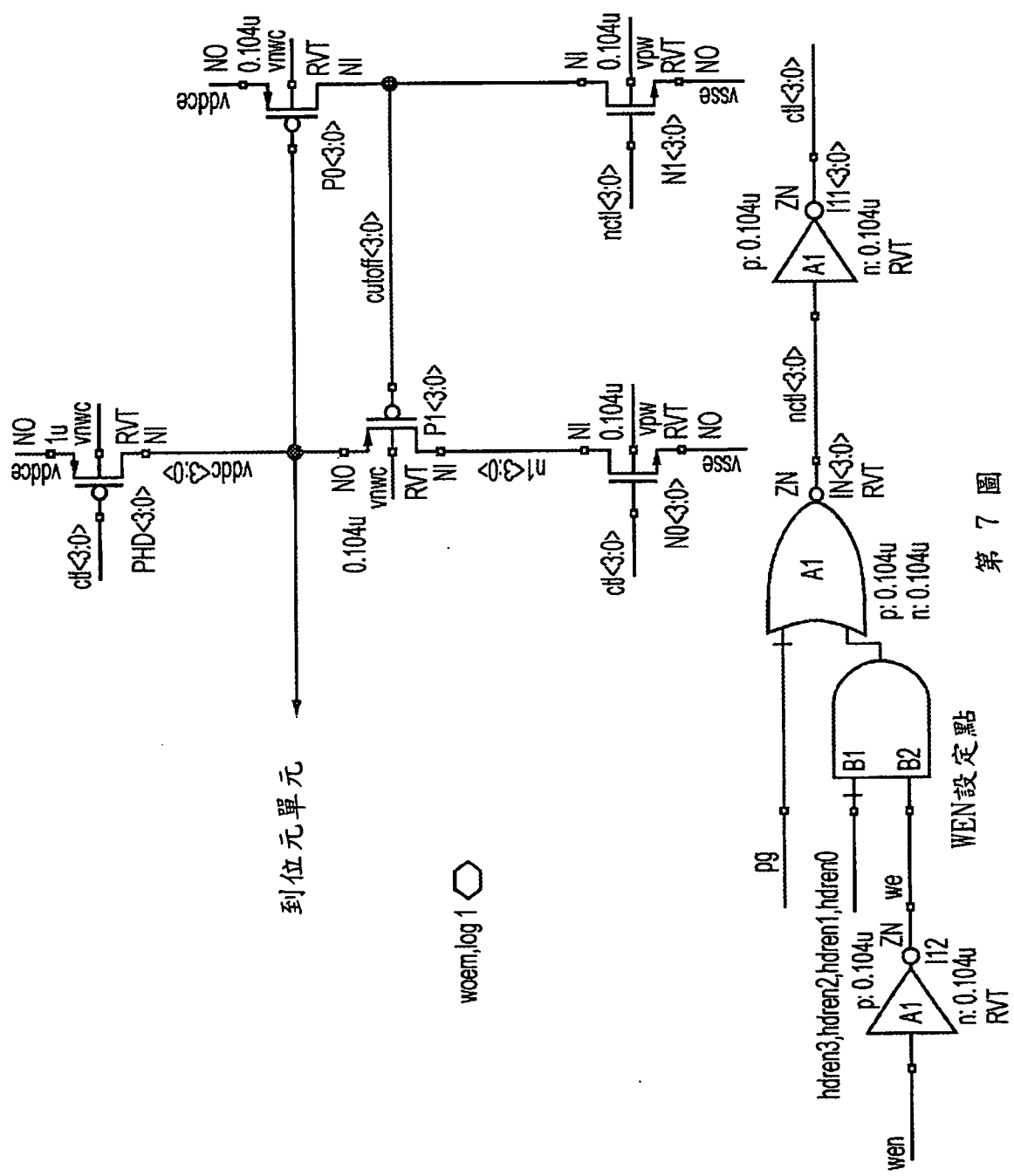
第 5A 圖



第 5B 圖



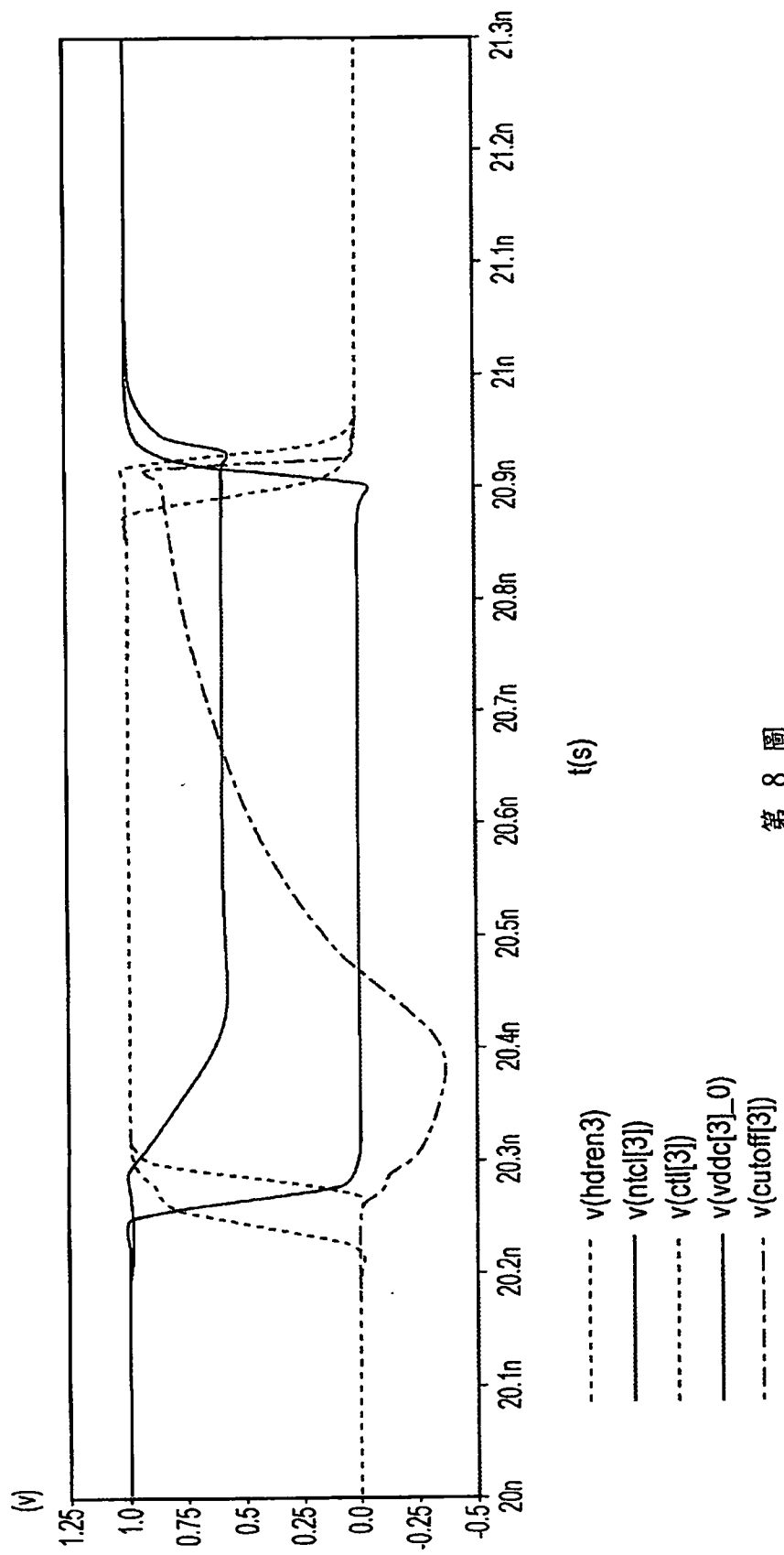
第 6 圖



第 7 圖

WEN 設定點

wocem,log 1



第 8 圖