I702187

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I702187 B**

(45)公告日： 中華民國 109 (2020) 年 08 月 21 日

(21)申請案號：108127550　(22)申請日： 中華民國 104 (2015) 年 02 月 17 日

(51)Int. Cl.：　*C01G15/00　(2006.01)*　*H01L27/12　(2006.01)*

H01L29/24　(2006.01)

(30)優先權：2014/02/21　日本　2014-032192

2014/05/09　日本　2014-098071

2014/06/13　日本　2014-122792

2014/06/26　日本　2014-131834

2014/10/27　日本　2014-218310

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.　(JP)

日本

(72)發明人：下村明久 SHIMOMURA, AKIHISA (JP)；山根靖正 YAMANE, YASUMASA (JP)；佐藤裕平 SATO, YUHEI (JP)；石山貴久 ISHIYAMA, TAKAHISA (JP)；岡崎健一 OKAZAKI, KENICHI (JP)；川鍋千穗 KAWANABE, CHIHO (JP)；太田将志 OOTA, MASASHI (JP)；石原典　ISHIHARA, NORITAKA (JP)

(74)代理人：林志剛

(56)參考文獻：

JP　2013-201429A

審查人員：李明達

申請專利範圍項數：9 項　　圖式數：89　　共 333 頁

(54)名稱

半導體膜、電晶體、半導體裝置、顯示裝置以及電子裝置

(57)摘要

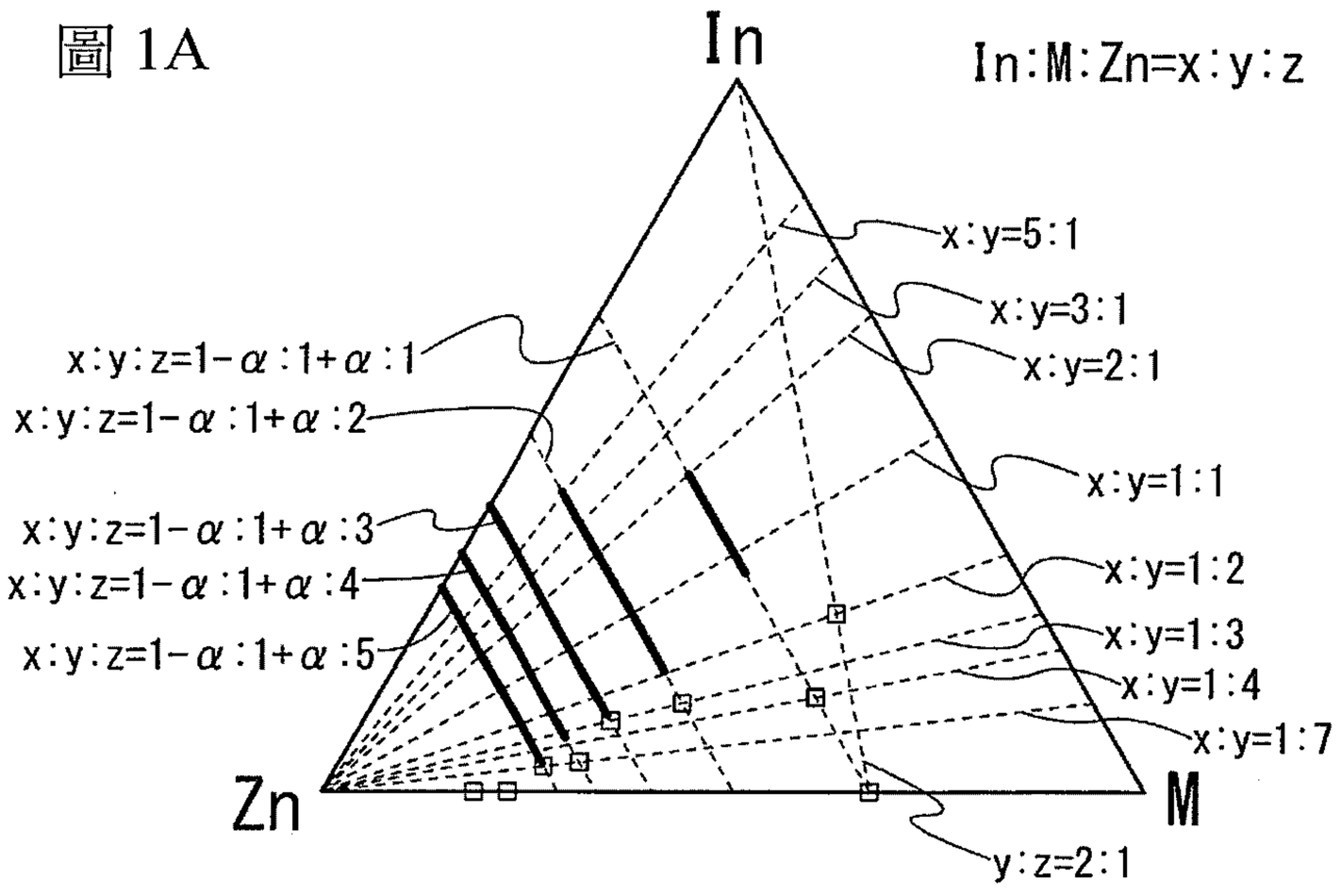
本發明提供一種半導體膜、電晶體、半導體裝置、顯示裝置以及電子裝置。本發明提供一種氧化物半導體膜，使用束徑的半寬度為 1nm 的電子線在使氧化物半導體膜的位置與電子線的位置相對地移動時對氧化物半導體膜的被形成面進行照射，由此觀察到氧化物半導體膜具有的多個電子繞射圖案，多個電子繞射圖案具有在彼此不同的觀察地點觀察的 50 個以上的電子繞射圖案，第一電子繞射圖案與第二電子繞射圖案所占的比率之和為 100%，第一電子繞射圖案所占的比率為 90%以上，第一電子繞射圖案包括表示 c 軸朝向大致垂直於氧化物半導體膜的被形成面的方向的觀察點，第二電子繞射圖案包括不具有對稱性的觀察點或配置為如圓圈那樣的觀察區域。

Favorable electrical characteristics are given to a semiconductor device. Furthermore, a semiconductor device having high reliability is provided. One embodiment of the present invention is an oxide semiconductor film having a plurality of electron diffraction patterns which are observed in such a manner that a surface where the oxide semiconductor film is formed is irradiated with an electron beam having a probe diameter whose half-width is 1 nm. The plurality of electron diffraction patterns include 50 or more electron diffraction patterns which are observed in different areas, the sum of the percentage of first electron diffraction patterns and the percentage of second electron diffraction patterns accounts for 100 %, the first

electron diffraction patterns account for 90 % or more, the first electron diffraction pattern includes observed points which indicates that a c-axis is oriented in a direction substantially perpendicular to the surface where the oxide semiconductor film is formed.

指定代表圖：

圖 1A



I702187

發明摘要

【發明名稱】(中文/英文)

半導體膜、電晶體、半導體裝置、顯示裝置以及電子裝置

SEMICONDUCTOR FILM, TRANSISTOR, SEMICONDUCTOR DEVICE, DISPLAY DEVICE, AND ELECTRONIC APPLIANCE

【中文】

本發明提供一種半導體膜、電晶體、半導體裝置、顯示裝置以及電子裝置。本發明提供一種氧化物半導體膜，使用束徑的半寬度為 1nm 的電子線在使氧化物半導體膜的位置與電子線的位置相對地移動時對氧化物半導體膜的被形成面進行照射，由此觀察到氧化物半導體膜具有的多個電子繞射圖案，多個電子繞射圖案具有在彼此不同的觀察地點觀察的 50 個以上的電子繞射圖案，第一電子繞射圖案與第二電子繞射圖案所占的比率之和為 100%，第一電子繞射圖案所占的比率為 90%以上，第一電子繞射圖案包括表示 c 軸朝向大致垂直於氧化物半導體膜的被形成面的方向的觀察點，第二電子繞射圖案包括不具有對稱性的觀察點或配置為如圓圈那樣的觀察區域。

【英文】

Favorable electrical characteristics are given to a semiconductor device. Furthermore, a semiconductor device having high reliability is provided. One embodiment of the present invention is an oxide semiconductor film having a plurality of electron diffraction patterns which are observed in such a manner that a surface where the oxide semiconductor film is formed is irradiated with an electron beam having a probe diameter whose half-width is 1 nm. The plurality of electron diffraction patterns include 50 or more electron diffraction patterns which are observed in different areas, the sum of the percentage of first electron diffraction patterns and the percentage of second electron diffraction patterns accounts for 100 %, the first electron diffraction patterns account for 90 % or more, the first electron diffraction pattern includes observed points which indicates that a c-axis is oriented in a direction substantially perpendicular to the surface where the oxide semiconductor film is formed.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

半導體膜、電晶體、半導體裝置、顯示裝置以及電子裝置

SEMICONDUCTOR FILM, TRANSISTOR, SEMICONDUCTOR DEVICE, DISPLAY DEVICE, AND ELECTRONIC APPLIANCE

【技術領域】

[0001] 本發明關於係一種物體、方法或製造方法。或者，本發明關於係一種製程（process）、機器（machine）、產品（manufacture）或組成物（composition of matter）。尤其是，本發明關於係一種半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、它們的驅動方法或它們的製造方法。

[0002] 注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。電晶體、半導體電路是半導體裝置的一個方式。另外，算術裝置、記憶體裝置、攝像裝置、電光裝置、發電裝置（包括薄膜太陽能電池、有機薄膜太陽能電池等）及電子裝置有時包括半導體裝置。

【先前技術】

[0003] 在非專利文獻1中，描述以

$In_{1-x}Ga_{1+x}O_3(ZnO)_m$（x 滿足-1≤ x≤ 1，m 為自然數）表示的同系物（homologous phase）的存在。此外，描述同系物的固溶區域（solid solution range）。例如，描述 m=1 的情況下的同系物的固溶區域在 x 為-0.33 至 0.08 的範圍內，並且 m=2 的情況下的同系物的固溶區域在 x 為-0.68 至 0.32 的範圍內。

[0004] 作為具有尖晶石型的結晶結構的化合物，已知有以 AB_2O_4（A 及 B 為金屬元素）表示的化合物。在非專利文獻 1 中示出 $In_xZn_yGa_zO_w$ 的例子，並且記載有在 x、y 及 z 具有 $ZnGa_2O_4$ 附近的組成，即 x、y 及 z 具有（x，y，z）=（0，1，2）附近的值的情況下，容易形成或混合尖晶石型的結晶結構。

[0005] 使用半導體材料構成電晶體的技術受到關注。該電晶體被廣泛地應用於積體電路（IC）、影像顯示裝置（簡單地記載為顯示裝置）等電子裝置。作為可以用於電晶體的半導體材料，矽類半導體材料被廣泛地周知，而作為其他材料，氧化物半導體受到關注。

[0006] 例如，公開了作為氧化物半導體使用氧化鋅或 In-Ga-Zn 氧化物半導體來製造電晶體的技術（參照專利文獻 1 及專利文獻 2）。

[0007] 近年來，隨著電子裝置的高功能化、小型化或輕量化，對高密度地集成有被微型化的電晶體等半導體元件的積體電路的要求提高。

[0008]

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-96055 號公報。

[0009]

[非專利文獻 1]M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the In_2O_3-Ga_2ZnO_4-ZnO System at 1350 °C", J. Solid State Chem., 1991, Vol.93, pp.298–315。

【發明內容】

[0010] 本發明的一個方式的目的之一是使半導體裝置具有良好的電特性。或者，本發明的一個方式的目的之一是提供一種可靠性高的半導體裝置。

[0011] 或者，本發明的一個方式的目的之一是提供一種特性偏差少的良好的電晶體。或者，本發明的一個方式的目的之一是提供一種包括具有良好的保持特性的記憶元件的半導體裝置。或者，本發明的一個方式的目的之一是提供一種適合於微型化的半導體裝置。或者，本發明的一個方式的目的之一是提供一種縮小電路面積的半導體裝置。或者，本發明的一個方式的目的之一是提供一種具有新穎結構的半導體裝置。

[0012] 注意，這些目的的記載不妨礙其他目的的存在。本發明的一個方式並不需要實現所有上述目的。另

外，說明書、圖式以及申請專利範圍等的記載中顯然存在上述目的以外的目的，可以從說明書、圖式以及申請專利範圍等的記載中獲得上述目的以外的目的。

[0013] 本發明的一個方式是一種氧化物半導體膜，其中，使用束徑的半寬度為 1nm 的電子線在使氧化物半導體膜的位置與電子線的位置相對地移動的同時對氧化物半導體膜的被形成面進行照射，由此觀察到氧化物半導體膜具有的多個電子繞射圖案，多個電子繞射圖案具有在彼此不同的觀察地點觀察的 50 個以上的電子繞射圖案，多個電子繞射圖案的方向不同，第一電子繞射圖案所占的比率為 90%以上，並且，第一電子繞射圖案包括表示 c 軸朝向大致垂直於氧化物半導體膜的被形成面的方向的觀察點。

[0014] 或者，本發明的一個方式是一種氧化物半導體膜，其中，使用束徑的半寬度為 1nm 的電子線在使氧化物半導體膜的位置與電子線的位置相對地移動的同時對氧化物半導體膜的被形成面進行照射，由此觀察到氧化物半導體膜具有的多個電子繞射圖案，多個電子繞射圖案具有在彼此不同的觀察地點觀察的 50 個以上的電子繞射圖案，多個電子繞射圖案的方向不同，在 50 個以上的電子繞射圖案中第一電子繞射圖案所占的比率與第二電子繞射圖案所占的比率之和為 100%，第一電子繞射圖案所占的比率為 90%以上，第一電子繞射圖案包括表示 c 軸朝向大致垂直於氧化物半導體膜的被形成面的方向的觀察點，並

且，第二電子繞射圖案包括不具有對稱性的觀察點或配置為如圓圈那樣的（環狀的）觀察區域。

[0015] 或者，本發明的一個方式是一種氧化物半導體膜，其中，使用束徑的半寬度為 1nm 的電子線在使氧化物半導體膜的位置與電子線的位置相對地移動的同時對氧化物半導體膜的被形成面進行照射，由此觀察到氧化物半導體膜具有的多個電子繞射圖案，在多個電子繞射圖案中，彼此不同的觀察地點觀察的 50 個以上的電子繞射圖中的第一電子繞射圖案所占的比率為 100%，第一電子繞射圖案包括表示 c 軸朝向大致垂直於氧化物半導體膜的被形成面的方向的觀察點，並且，多個電子繞射圖案的方向不同。

[0016] 在上述結構中，觀察到第二電子繞射圖案的區域較佳為包含奈米晶的氧化物半導體膜。

[0017] 或者，本發明的一個方式是一種包含 In、以 M 表示的元素及 Zn 的氧化物半導體膜，其中，以 M 表示的元素選自鋁、鎵、釔和錫中的至少一個，In、M 及 Zn 的原子個數比滿足 In：M：Zn=x：y：z，並且，x、y 及 z 在以 In、元素 M 及 Zn 的三個元素為頂點的平衡狀態圖中具有由依次連接第一座標（x：y：z=2：2：1）、第二座標（x：y：z=23：27：25）、第三座標（x：y：z=8：12：35）、第四座標（x：y：z=4：0：7）、第五座標（x：y：z=2：0：3）、第六座標（x：y：z=7：1：8）、第七座標（x：y：z=15：5：8）以及上述第一座標的線段

圍繞的範圍內的原子個數比。

[0018] 在上述結構中，較佳的是，氧化物半導體膜藉由濺射法並使用包含 In、以 M 表示的元素及 Zn 的靶材而形成，以 M 表示的元素選自鋁、鎵、釔和錫中的至少一個，靶材所包含的 In、M 及 Zn 的原子個數比滿足 In：M：Zn=a：b：c，並且，a、b 及 c 在以 In、元素 M 及 Zn 的三個元素為頂點的平衡狀態圖中具有由依次連接第一座標（a：b：c=2：2：1）、第二座標（a：b：c=23：27：25）、第三座標（a：b：c=1：2：9）、第四座標（a：b：c=1：0：3）、第五座標（a：b：c=2：0：3）、第六座標（a：b：c=7：1：8）、第七座標（a：b：c=10：4：7）以及上述第一座標的線段圍繞的範圍內的原子個數比。

[0019] 或者，本發明的一個方式是一種包含 In、Ga 及 Zn 的氧化物半導體膜，其中，In、Ga 及 Zn 的原子個數比滿足 In：Ga：Zn=x：y：z，並且，x、y 及 z 在以 In、Ga 及 Zn 的三個元素為頂點的平衡狀態圖中具有由依次連接第一座標（x：y：z=2：2：1）、第二座標（x：y：z=23：27：25）、第三座標（x：y：z=8：12：35）、第四座標（x：y：z=4：0：7）、第五座標（x：y：z=2：0：3）、第六座標（x：y：z=7：1：8）、第七座標（x：y：z=15：5：8）以及上述第一座標的線段圍繞的範圍內的原子個數比。

[0020] 或者，本發明的一個方式是一種包括如上所

記載的氧化物半導體膜的半導體裝置。

[0021] 或者，本發明的一個方式是一種在通道區域中包括如上所記載的氧化物半導體膜的電晶體。

[0022] 在上述結構中，較佳的是，半導體裝置還包括第二氧化物膜及第三氧化物膜，其中，氧化物半導體膜接觸於第二氧化物膜的頂面，並且，第三氧化物膜接觸於氧化物半導體膜的頂面。另外，在上述結構中，第三氧化物膜較佳為接觸於第二氧化物膜的側面、氧化物半導體膜的側面及頂面。此外，在上述結構中，氧化物半導體膜所包含的氧化物的電子親和力較佳為大於第二氧化物膜所包含的氧化物及第三氧化物膜所包含的氧化物的電子親和力。

[0023] 或者，本發明的一個方式是一種包括第一氧化物膜及接觸於第一氧化物膜的第二氧化物膜的半導體裝置，其中，第一氧化物膜包含銦、元素 M 及鋅，第一氧化物膜所包含的銦、元素 M 及鋅的原子個數比滿足銦：元素 M：鋅=x_a：y_a：z_a，並且，x_a、y_a、z_a 及α滿足 x_a：y_a：z_a=（1−α）：（1+α）：1 且 −0.33≤ α≤ +0.08、x_a：y_a：z_a=（1−α）：（1+α）：2 且 −0.68≤ α≤ +0.32、x_a：y_a：z_a=（1−α）：（1+α）：3 且 −1≤ α≤ +0.46、x_a：y_a：z_a=（1−α）：（1+α）：4 且 −1≤ α≤ +0.54 以及 x_a：y_a：z_a=（1−α）：（1+α）：5 且 −1≤ α≤ +0.72 中的任一個。

[0024] 或者，本發明的一個方式是一種包括第一氧化物膜及接觸於第一氧化物膜的第二氧化物膜的半導體裝

置，其中，第一氧化物膜包含銦、元素 M 及鋅，第一氧化物膜所包含的銦、元素 M 及鋅的原子個數比滿足銦：元素 M：鋅=x_a：y_a：z_a，第二氧化物膜包含銦、元素 M 及鋅，第二氧化物膜所包含的銦、元素 M 及鋅的原子個數比滿足銦：元素 M：鋅=x_b：y_b：z_b，x_a、y_a 及 z_a 在以銦、元素 M 及鋅的三個元素為頂點的平衡狀態圖中具有由依次連接第一座標（x_a：y_a：z_a=8：14：7）、第二座標（x_a：y_a：z_a=2：5：7）、第三座標（x_a：y_a：z_a=51：149：300）、第四座標（x_a：y_a：z_a=46：288：833）、第五座標（x_a：y_a：z_a=0：2：11）、第六座標（x_a：y_a：z_a=0：0：1）、第七座標（x_a：y_a：z_a=2：2：1）以及上述第一座標的線段圍繞的範圍內的原子個數比，並且，x_b、y_b 及 z_b 在以銦、元素 M 及鋅的三個元素為頂點的平衡狀態圖中具有由依次連接第一座標（x_b：y_b：z_b=2：2：1）、第二座標（x_b：y_b：z_b=23：27：25）、第三座標（x_b：y_b：z_b=8：12：35）、第四座標（x_b：y_b：z_b=4：0：7）、第五座標（x_b：y_b：z_b=2：0：3）、第六座標（x_b：y_b：z_b=7：1：8）、第七座標（x_b：y_b：z_b=10：4：7）以及上述第一座標的線段圍繞的範圍內的原子個數比。

[0025] 在上述結構中，較佳的是，半導體裝置包括第一電晶體，並且，第二氧化物膜具有用作第一電晶體的通道區域的功能。此外，在上述結構中，x_b 及 y_b 較佳為滿足 $x_b>y_b$。另外，在上述結構中，第一氧化物膜的電子

親和力較佳為小於第二氧化物膜的電子親和力。此外，在上述結構中，較佳的是，半導體裝置包括接觸於第二氧化物膜的第三氧化物膜，並且，第三氧化物膜的電子親和力較佳為小於第二氧化物膜的電子親和力。

[0026] 在上述結構中，x_a、y_a、z_a及α較佳為滿足 $x_a : y_a : z_a = (1-\alpha) : (1+\alpha) : 1$ 且 $-0.33 \leq \alpha \leq +0.08$、$x_a : y_a : z_a = (1-\alpha) : (1+\alpha) : 2$ 且 $-0.68 \leq \alpha \leq +0.32$、$x_a : y_a : z_a = (1-\alpha) : (1+\alpha) : 3$ 且 $-1 \leq \alpha \leq +0.46$、$x_a : y_a : z_a = (1-\alpha) : (1+\alpha) : 4$ 且 $-1 \leq \alpha \leq +0.54$ 以及 $x_a : y_a : z_a = (1-\alpha) : (1+\alpha) : 5$ 且 $-1 \leq \alpha \leq +0.72$ 中的任一個。

[0027] 在上述結構中，x_b、y_b、z_b及β較佳為滿足 $x_b : y_b : z_b = (1-\beta) : (1+\beta) : 1$ 且 $-0.33 \leq \beta \leq +0.08$、$x_b : y_b : z_b = (1-\beta) : (1+\beta) : 2$ 且 $-0.68 \leq \beta \leq +0.32$、$x_b : y_b : z_b = (1-\beta) : (1+\beta) : 3$ 且 $-1 \leq \beta \leq +0.46$、$x_b : y_b : z_b = (1-\beta) : (1+\beta) : 4$ 且 $-1 \leq \beta \leq +0.54$ 以及 $x_b : y_b : z_b = (1-\beta) : (1+\beta) : 5$ 且 $-1 \leq \beta \leq +0.72$ 中的任一個。

[0028] 根據本發明的一個方式，可以使半導體裝置具有良好的電特性。另外，可以提供一種可靠性高的半導體裝置。

[0029] 另外，可以提供一種特性偏差少的良好的電晶體。另外，可以提供一種包括具有良好的保持特性的記憶元件的半導體裝置。另外，可以提供一種適合於微型化

的半導體裝置。另外，可以提供一種縮小電路面積的半導體裝置。另外，可以提供一種具有新穎結構的半導體裝置。注意，這些效果的記載不妨礙其他效果的存在。本發明的一個方式並不需要實現所有上述效果。另外，說明書、圖式以及申請專利範圍等的記載中顯然存在上述效果以外的效果，可以從說明書、圖式以及申請專利範圍等的記載中獲得上述效果以外的效果。

【圖式簡單說明】

[0030] 在圖式中：

圖 1A 和圖 1B 是說明根據本發明的一個方式的氧化物膜的原子個數比的圖；

圖 2A 和圖 2B 是說明根據本發明的一個方式的氧化物膜的原子個數比的相圖；

圖 3A 和圖 3B 是說明相圖的圖；

圖 4 是說明根據本發明的一個方式的靶材的原子個數比的相圖；

圖 5A 至圖 5C 是示出根據本發明的一個方式的電晶體的一個例子的圖；

圖 6A 和圖 6B 是示出根據本發明的一個方式的電晶體的一個例子的圖；

圖 7A 和圖 7B 是示出根據本發明的一個方式的電晶體的一個例子的圖；

圖 8A 和圖 8B 是示出根據本發明的一個方式的電晶

體的一個例子的圖；

圖 9A 至圖 9D 是示出根據本發明的一個方式的電晶體的一個例子的圖；

圖 10A 和圖 10B 是示出根據本發明的一個方式的電晶體的一個例子的圖；

圖 11A 至圖 11C 是示出根據本發明的一個方式的電晶體的一個例子的圖；

圖 12A 和圖 12B 是根據本發明的一個方式的電路圖；

圖 13A 至圖 13C 是示出根據本發明的一個方式的半導體裝置的一個例子的圖；

圖 14A 至圖 14C 是示出根據本發明的一個方式的半導體裝置的一個例子的圖；

圖 15A 至圖 15D 是示出根據本發明的一個方式的半導體裝置的一個例子的圖；

圖 16A 至圖 16E 是示出根據本發明的一個方式的半導體裝置的製造方法的圖；

圖 17A 至圖 17D 是示出根據本發明的一個方式的半導體裝置的製造方法的圖；

圖 18A 至圖 18C 是示出根據本發明的一個方式的半導體裝置的製造方法的圖；

圖 19A 和圖 19B 是示出根據本發明的一個方式的半導體裝置的製造方法的圖；

圖 20A 是示出根據本發明的一個方式的電晶體的一部

分的能帶結構的圖，圖 20B 是說明導通時的電流的路徑的圖；

圖 21A 至圖 21C 是氧化物半導體的剖面 TEM 影像及局部的傅立葉變換影像；

圖 22A 至圖 22D 是示出氧化物半導體膜的奈米束電子繞射圖案的圖及示出穿透式電子繞射測定裝置的一個例子的圖；

圖 23A 至圖 23C 是示出利用穿透式電子繞射測定的結構分析的一個例子的圖及平面 TEM 影像；

圖 24A 至圖 24D 是根據實施方式的電路圖；

圖 25 是根據實施方式的 RF 標籤的結構實例；

圖 26 是根據實施方式的 CPU 的結構實例；

圖 27 是根據實施方式的記憶元件的電路圖；

圖 28A 至圖 28C 是根據實施方式的顯示裝置的俯視圖及電路圖；

圖 29A 至圖 29F 是根據實施方式的電子裝置；

圖 30A 至圖 30F 是根據實施方式的 RF 標籤的使用例子；

圖 31A 至圖 31C 是示出靶材的原子個數比和氧化物半導體膜的原子個數比的關係的圖；

圖 32 示出氧化物半導體膜的 SIMS 分析結果；

圖 33A 和圖 33B 示出氧化物半導體膜的剖面 TEM 觀察結果；

圖 34A 和圖 34B 示出氧化物半導體膜的 TDS 分析結

果；

圖 35A 和圖 35B 示出氧化物半導體膜的 TDS 分析結果；

圖 36A 至圖 36D 示出根據本發明的一個方式的氧化物半導體膜的 XRD 評價結果；

圖 37A 和圖 37B 示出氧化物半導體膜的剖面 TEM 觀察結果；

圖 38A 和圖 38B 示出氧化物半導體膜的剖面 TEM 觀察結果；

圖 39A 和圖 39B 示出氧化物半導體膜的剖面 TEM 觀察結果；

圖 40A 和圖 40B 示出氧化物半導體膜的剖面 TEM 觀察結果；

圖 41A 至圖 41D 示出氧化物半導體膜的剖面 TEM 觀察結果；

圖 42A 至圖 42D 示出氧化物半導體膜的剖面 TEM 觀察結果；

圖 43A 和圖 43B 示出氧化物半導體膜的平面 TEM 觀察結果；

圖 44A 和圖 44B 是示出氧化物半導體膜的 CAAC 比率的圖；

圖 45 示出氧化物半導體膜的電子繞射圖案；

圖 46 示出氧化物半導體膜的電子繞射圖案；

圖 47 示出氧化物半導體膜的電子繞射圖案；

圖 48 示出氧化物半導體膜的電子繞射圖案；

圖 49 示出氧化物半導體膜的電子繞射圖案；

圖 50 示出氧化物半導體膜的電子繞射圖案；

圖 51 示出氧化物半導體膜的電子繞射圖案；

圖 52 示出氧化物半導體膜的電子繞射圖案；

圖 53 示出氧化物半導體膜的電子繞射圖案；

圖 54 示出氧化物半導體膜的電子繞射圖案；

圖 55 示出氧化物半導體膜的平面 TEM 觀察結果；

圖 56A 至圖 56C 示出氧化物半導體膜的電子繞射圖案；

圖 57A 和圖 57B 是示出電晶體的 Vg-Id 特性的圖；

圖 58A 和圖 58B 是示出電晶體的 Vg-Id 特性的圖；

圖 59A 和圖 59B 示出氧化物半導體膜的剖面 TEM 觀察結果；

圖 60 是根據實施方式的半導體裝置的電路圖；

圖 61 是說明 In-Ga-Zn 氧化物中的氧的移動路徑的圖；

圖 62A 至圖 62C 是示出根據本發明的一個方式的電晶體的一個例子的圖；

圖 63A 和圖 63B 是示出根據本發明的一個方式的電晶體的一個例子的圖；

圖 64A 和圖 64B 是示出根據本發明的一個方式的電晶體的一個例子的圖；

圖 65A 至圖 65D 是示出根據本發明的一個方式的電

晶體的一個例子的圖；

圖 66A 和圖 66B 是示出根據本發明的一個方式的電晶體的一個例子的圖；

圖 67A 和圖 67B 是示出根據本發明的一個方式的電晶體的一個例子的圖；

圖 68A 至圖 68C 是示出根據本發明的一個方式的氧化物半導體膜的 XRD 評價結果；

圖 69A 至圖 69C 是示出電晶體的 Vg-Id 特性的圖；

圖 70 是示出電晶體的 Vg-Id 特性的圖；

圖 71A 和圖 71B 示出氧化物半導體膜的 CPM 評價結果；

圖 72 是示出電晶體的 Vg-Id 特性的圖；

圖 73 是示出電晶體的臨界值變化的圖；

圖 74 是示出電晶體的臨界值變化的圖；

圖 75 是示出電晶體的臨界值變化的圖；

圖 76A 和圖 76B 是示出電晶體的 Vg-Id 特性的計算結果的圖；

圖 77A 和圖 77B 是示出根據本發明的一個方式的電晶體的剖面照片；

圖 78 是示出電晶體的 Vg-Id 特性的圖；

圖 79 是示出電晶體的 Vd-Id 特性的圖；

圖 80A 至圖 80C 示出根據本發明的一個方式的氧化物的 XRD 評價結果；

圖 81A 至圖 81D 示出根據本發明的一個方式的氧化

物的 XRD 評價結果；

圖 82A 和圖 82B 示出根據本發明的一個方式的氧化物的平面 TEM 觀察結果；

圖 83A 和圖 83B 示出根據本發明的一個方式的氧化物的平面 TEM 觀察結果；

圖 84A 和圖 84B 示出根據本發明的一個方式的氧化物的平面 TEM 觀察結果；

圖 85A 和圖 85B 是示出電晶體的 Vg-Id 特性的圖；

圖 86A 和圖 86B 是示出電晶體的 Vg-Id 特性的圖；

圖 87A 和圖 87B 是示出電晶體的 Vg-Id 特性的圖；

圖 88A 和圖 88B 是示出電晶體的 Vg-Id 特性的圖；

圖 89A 和圖 89B 是示出電晶體的 Vg-Id 特性的圖。

【實施方式】

[0031] 參照圖式對實施方式進行詳細的說明。注意，本發明不侷限於以下說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限於以下所示的實施方式所記載的內容中。

[0032] 注意，在下面說明的發明結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略反復說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元

件符號。

[0033] 注意，在本說明書所說明的各個圖式中，有時為了明確起見，誇大表示各構成要素的大小、層的厚度或區域。因此，本發明的一個方式並不限於圖式中的比例。

[0034] 另外，在本說明書等中使用的“第一”、“第二”等序數詞是為了方便識別構成要素而附的，而不是為了在數目方面上進行限定的。

[0035] 注意，例如當導電性充分低時，有時即使表示為“半導體”也具有“絕緣體”的特性。此外，“半導體”和“絕緣體”的境界不太清楚，因此有時不能精確地區別。由此，有時可以將本說明書所記載的“半導體”換稱為“絕緣體”。同樣地，有時可以將本說明書所記載的“絕緣體”換稱為“半導體”。

[0036] 電晶體是半導體元件的一種，可以進行電流或電壓的放大、控制導通或非導通的開關動作等。本說明書中的電晶體包括 IGFET（Insulated Gate Field Effect Transistor：絕緣閘場效電晶體）和薄膜電晶體（TFT：Thin Film Transistor）。

[0037] 另外，根據情況或狀態，可以互相調換“膜”和“層”。例如，有時可以將“導電層”調換為“導電膜”。另外，有時可以將“絕緣膜”調換為“絕緣層”。

[0038]

實施方式 1

在本實施方式中，說明本發明的一個方式的氧化物半導體。

[0039] 在此，氧化物半導體例如是包含銦的氧化物半導體。在氧化物半導體包含銦時，例如其載子移動率（電子移動率）提高。另外，氧化物半導體較佳為包含元素 M。元素 M 較佳為鋁、鎵、釔或錫等。作為可用作元素 M 的其他元素，有硼、矽、鈦、鐵、鎳、鍺、釔、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢等。注意，作為元素 M 有時也可以組合多個上述元素。元素 M 例如是與氧的鍵能高的元素。元素 M 例如是與氧的鍵能高於銦的元素。或者，元素 M 例如是具有增大氧化物半導體的能隙的功能的元素。此外，氧化物半導體較佳為包含鋅。當氧化物半導體包含鋅時，有時容易晶化。

[0040]

[氧化物半導體膜的結構]

以下說明氧化物半導體膜的結構。

[0041] 氧化物半導體膜大致分為非單晶氧化物半導體膜和單晶氧化物半導體膜。非單晶氧化物半導體膜包括 CAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體）膜、多晶氧化物半導體膜、微晶氧化物半導體膜以及非晶氧化物半導體膜等。

[0042] 首先，說明 CAAC-OS 膜。

[0043] CAAC-OS 膜是包含呈 c 軸配向的多個結晶部的氧化物半導體膜之一。

[0044] 藉由利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）觀察 CAAC-OS 膜的明視野像及繞射圖案的複合分析影像（也稱為高解析度 TEM 影像），可以確認到多個結晶部。另一方面，藉由高解析度 TEM 也觀察不到結晶部與結晶部之間的明確的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易發生由晶界引起的電子移動率的下降。

[0045] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的高解析度剖面 TEM 影像可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

[0046] 另一方面，當從大致垂直於樣本面的方向觀察 CAAC-OS 膜的高解析度平面 TEM 影像時，可以確認到在結晶部中金屬原子排列為三角形狀或六邊形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0047] 在本說明書中，“平行”是指兩條直線形成的角度為 -10°以上且 10°以下的狀態。因此，也包括該角度為 -5°以上且 5°以下的狀態。“大致平行”是指兩條直線形成的角度為 -30°以上且 30°以下的狀態。另外，“垂直”是指兩條直線形成的角度為 80°以上且 100°以下的狀

態。因此也包括 85°以上且 95°以下的角度的狀態。“大致垂直”是指兩條直線形成的角度為 60°以上且 120°以下的狀態。

[0048] 在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0049] 圖 21A 是 CAAC-OS 膜的剖面的高解析度 TEM 影像。另外，圖 21B 是進一步放大圖 21A 的剖面的高解析度 TEM 影像，其中，為便於理解而突出顯示原子排列。

[0050] 圖 21C 是圖 21A 中的 A-O-A’ 之間的由圓圈包圍的區域（直徑大致為 4nm）的局部性的傅立葉變換影像。在圖 21C 所示的各區域中可以確認到 c 軸配向性。另外，A-O 間的 c 軸方向不同於 O-A’ 間的 c 軸方向，由此可知 A-O 間的晶粒不同於 O-A’ 間的晶粒。另外，可知在 A-O 之間，c 軸的角度以 14.3°、16.6°、26.4°等而逐漸地連續變化。同樣地，可知在 O-A’ 之間，c 軸的角度以-18.3°、-17.6°、-15.9°等而逐漸地連續變化。

[0051] 另外，在 CAAC-OS 膜的電子繞射圖案中，觀察到呈現配向性的斑點（亮點）。例如，在使用例如為 1nm 以上且 30nm 以下的電子束獲得的 CAAC-OS 膜的頂面的電子繞射圖案（也稱為奈米束電子繞射圖案）中，觀察到斑點（參照圖 22A）。

[0052] 由剖面的高解析度 TEM 影像及平面的高解析度 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

[0053] 注意，CAAC-OS 膜所包含的結晶部幾乎都可以容納在一個邊長小於 100nm 的立方體內。因此，有時包括在 CAAC-OS 膜中的結晶部能夠容納在一邊短於 10nm、短於 5nm 或短於 3nm 的立方體。但是，有時包含在 CAAC-OS 膜中的多個結晶部聯結，從而形成一個大結晶區域。例如，在平面的高解析度 TEM 影像中有時會觀察到 2500nm^2 以上、5μm^2 以上或 1000μm^2 以上的結晶區域。

[0054] 使用 X 射線繞射（XRD：X-Ray Diffraction）裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括 $InGaZnO_4$ 結晶的 CAAC-OS 膜時，在繞射角（2θ）為 31°附近時常出現峰值。由於該峰值來源於 $InGaZnO_4$ 結晶的（009）面，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0055] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在 2θ為 56°附近時常出現峰值。該峰值來源於 $InGaZnO_4$ 結晶的（110）面。在此，將 2θ固定為 56°附近並在以樣本面的法線向量為軸（φ 軸）旋轉樣本的條件下進行分析（φ 掃描）。當該樣本是 $InGaZnO_4$ 的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於（110）面的結晶面。相對於此，當該樣本是 CAAC-OS 膜時，即使在將 2θ固定為 56°附近的狀態下進行 φ 掃描也

不能觀察到明確的峰值。

[0056] 由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在不同結晶部之間不規律，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面的高解析度 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

[0057] 注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

[0058] 另外，在 CAAC-OS 膜中，c 軸配向的晶化部的分佈不一定要均勻。例如，當 CAAC-OS 膜的結晶部是由 CAAC-OS 膜的頂面附近的結晶成長而形成時，有時頂面附近的 c 軸配向的結晶部比例會高於被形成面附近的結晶度。另外，在添加有雜質的 CAAC-OS 膜中，添加有雜質的區域變質而有時 CAAC-OS 膜中的 c 軸配向結晶部所占的比例根據區域而不同。

[0059] 注意，當利用 out-of-plane 法分析包括 $InGaZnO_4$ 結晶的 CAAC-OS 膜時，除了在 2θ為 31°附近的峰值之外，有時還在 2θ為 36°附近觀察到峰值。2θ為 36°附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c

軸配向的結晶，例如典型為尖晶石型結晶結構。較佳的是，在 CAAC-OS 膜中在 2θ為 31°附近時出現峰值而在 2θ為 36°附近時不出現峰值。

[0060] CAAC-OS 膜是雜質濃度低的氧化物半導體膜。雜質是指氫、碳、矽、過渡金屬元素等氧化物半導體膜的主要成分以外的元素。尤其是，某一種元素如矽等與氧的鍵合力比構成氧化物半導體膜的金屬元素與氧的鍵合力強，該元素會奪取氧化物半導體膜中的氧，從而打亂氧化物半導體膜的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氬、二氧化碳等的原子半徑（或分子半徑）大，所以若包含在氧化物半導體膜內，則會打亂氧化物半導體膜的原子排列，導致結晶性下降。注意，包含在氧化物半導體膜中的雜質有時成為載子陷阱或載子發生源。

[0061] 另外，CAAC-OS 膜是缺陷態密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺陷有時成為載子陷阱，或因俘獲氫而成為載子發生源。

[0062] 將雜質濃度低且缺陷態密度低（氧缺陷量少）的狀態稱為“高純度本質”或“實質上高純度本質”。在高純度本質或實質上高純度本質的氧化物半導體膜中載子發生源少，所以可以降低載子密度。在此，說明將該氧化物半導體膜用於電晶體的情況。使用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性（也稱為常開啟特性）。在高純度本質或實質上高純度本質的氧化物

半導體膜中載子陷阱少。因此，使用該氧化物半導體膜的電晶體的電特性變動小，於是成為高可靠性電晶體。另外，被氧化物半導體膜的載子陷阱俘獲的電荷的釋放需要長時間，有時像固定電荷那樣動作。因此，使用雜質濃度高且缺陷態密度高的氧化物半導體膜的電晶體的電特性有時不穩定。雜質及氧缺陷少的 CAAC-OS 膜是載子密度低的氧化物半導體。明確而言，可以使用載子密度小於 $8\times10^{11}/cm^3$、較佳為小於 $1\times10^{11}/cm^3$、更佳為小於 $1\times10^{10}/cm^3$、且是 $1\times10^{-9}/cm^3$ 以上的氧化物半導體。將這樣的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。CAAC-OS 膜的雜質濃度和缺陷態密度低。即，CAAC-OS 膜可以說是具有穩定的特性的氧化物半導體。

[0063] 另外，在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0064] 接下來，對多晶氧化物半導體膜進行說明。

[0065] 在多晶氧化物半導體膜的高解析度 TEM 影像中，可以觀察到晶粒。例如在高解析度 TEM 影像中，多晶氧化物半導體膜中含有的晶粒的粒徑尺寸大多為 2nm 以上且 300nm 以下、3nm 以上且 100nm 以下或 5nm 以上且 50nm 以下。另外，在多晶氧化物半導體膜的高解析度 TEM 影像中，有時觀察到晶界。

[0066] 多晶氧化物半導體膜包含多個晶粒，並且，在該多個晶粒之間結晶定向有時不同。另外，使用 XRD

裝置對多晶氧化物半導體膜進行結構分析。例如，當利用out-of-plane 法分析包括 $InGaZnO_4$ 結晶的多晶氧化物半導體膜時，有時在 2θ為 31°或 36°等附近時出現峰值。

[0067] 由於多晶氧化物半導體膜具有高結晶性，因此有時具有高電子移動率。所以，使用多晶氧化物半導體膜的電晶體具有高場效移動率。注意，有時在多晶氧化物半導體膜中，雜質偏析在晶界。另外，多晶氧化物半導體膜的晶界成為缺陷能階。多晶氧化物半導體膜的晶界有可能成為載子陷阱或載子發生源，因此有時與使用 CAAC-OS 膜的電晶體相比，使用多晶氧化物半導體膜的電晶體的電特性變動大，而成為可靠性低的電晶體。

[0068] 接下來，說明微晶氧化物半導體膜。

[0069] 在高解析度 TEM 影像中，微晶氧化物半導體膜包括能夠確認到結晶部的區域以及不能夠明確地確認到結晶部的區域。微晶氧化物半導體膜中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下或 1nm 以上且 10nm 以下。尤其是，將具有尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶（nc：nanocrystal）的氧化物半導體膜稱為 nc-OS（nanocrystalline Oxide Semiconductor：奈米晶氧化物半導體）膜。另外，例如在 nc-OS 膜的高解析度 TEM 影像中，有時難以明確地確認到晶界。

[0070] nc-OS 膜在微小區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中其

原子排列具有週期性。另外，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。因此，在膜整體上觀察不到配向性。所以，有時 nc-OS 膜在某些分析方法中與非晶氧化物半導體膜沒有差別。例如，在藉由利用使用其束徑比結晶部大的 X 射線的 XRD 裝置的 out-of-plane 法對 nc-OS 膜進行結構分析時，檢測不出表示結晶面的峰值。另外，在對 nc-OS 膜進行使用其束徑比結晶部大（例如，50nm 以上）的電子射線的電子繞射（也稱為選區電子繞射）時，觀察到類似於光暈圖案的繞射圖案。另一方面，在對 nc-OS 膜進行使用其束徑近於或小於結晶部的電子射線的奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 膜的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。在 nc-OS 膜的奈米束電子繞射圖案中，還有時觀察到環狀的區域內的多個斑點（參照圖 22B）。

[0071] nc-OS 膜是其規律性比非晶氧化物半導體膜高的氧化物半導體膜。因此，nc-OS 膜的缺陷態密度比非晶氧化物半導體膜低。但是，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS 膜的缺陷態密度比 CAAC-OS 膜高。

[0072] 因此，nc-OS 膜有時具有比 CAAC-OS 膜高的載子密度。載子密度高的氧化物半導體膜有時具有高電子移動率。所以，使用 nc-OS 膜的電晶體有時具有較高的場效移動率。此外，因為 nc-OS 膜有時具有比 CAAC-OS 膜

高的缺陷態密度，所以有時具有較多的載子陷阱。因此，與使用 CAAC-OS 膜的電晶體相比，使用 nc-OS 膜的電晶體的電特性變動大，而成為可靠性低的電晶體。注意，因為 nc-OS 膜即使包含較多的雜質也可以形成，所以與 CAAC-OS 膜相比容易形成，從而有時根據用途較佳為使用 nc-OS 膜。因此，有時能夠高生產率地製造具有使用 nc-OS 膜的電晶體的半導體裝置。

[0073] 接著，對非晶氧化物半導體膜進行說明。

[0074] 非晶氧化物半導體膜是具有無序的原子排列並不具有結晶部的氧化物半導體膜。其一個例子為具有如石英那樣的無定形態的氧化物半導體膜。

[0075] 在使用高解析度 TEM 觀察的非晶氧化物半導體膜的影像中，觀察不到結晶部。

[0076] 使用 XRD 裝置對非晶氧化物半導體膜進行結構分析。當利用 out-of-plane 法分析時，檢測不到表示結晶面的峰值。另外，在對非晶氧化物半導體膜進行電子繞射時，觀察到光暈圖案。另外，在對非晶氧化物半導體膜進行奈米束電子繞射時，觀察不到斑點，而觀察到光暈圖案。

[0077] 非晶氧化物半導體膜是以高的濃度包含氫等雜質的氧化物半導體膜。此外，非晶氧化物半導體膜是其缺陷態密度高的氧化物半導體膜。

[0078] 雜質濃度高且缺陷態密度高的氧化物半導體膜是載子陷阱或載子發生源多的氧化物半導體膜。

[0079] 因此，非晶氧化物半導體膜有時具有比 nc-OS 膜更高的載子密度。所以，使用非晶氧化物半導體膜的電晶體容易具有常導通電特性。因此，有時可以將非晶氧化物半導體膜適用於需要常導通電特性的電晶體。非晶氧化物半導體膜具有較高的缺陷態密度，因此有時具有較多的載子陷阱。由此，與使用 CAAC-OS 膜或 nc-OS 膜的電晶體相比，使用非晶氧化物半導體膜的電晶體的電特性變動大，而成為可靠性低的電晶體。

[0080] 接著，對單晶氧化物半導體膜進行說明。

[0081] 單晶氧化物半導體膜是雜質濃度低且缺陷態密度低（氧缺陷少）的氧化物半導體膜。所以，可以降低載子密度。因此，使用單晶氧化物半導體膜的電晶體很少具有常導通電特性。另外，由於單晶氧化物半導體膜具有較低的雜質濃度和較低的缺陷態密度，因此有時具有很少的載子陷阱。因此，使用單晶氧化物半導體膜的電晶體的電特性變動小，而成為可靠性高的電晶體。

[0082] 為了形成單晶，例如能夠以大約 1000℃以上的高溫度進行焙燒。另一方面，CAAC-OS 膜能夠以室溫至 500℃左右的低溫度形成，所以在產業上是較佳的。

[0083] 注意，氧化物半導體膜的缺陷越少其密度越高。此外，氧化物半導體膜的結晶性越高其密度越高。另外，當氧化物半導體膜中的氫等雜質的濃度越低其密度越高。單晶氧化物半導體膜的密度比 CAAC-OS 膜高。此外，CAAC-OS 膜的密度比微晶氧化物半導體膜高。另

外，多晶氧化物半導體膜的密度比微晶氧化物半導體膜高。此外，微晶氧化物半導體膜的密度比非晶氧化物半導體膜高。

[0084] 此外，氧化物半導體膜有時具有呈現 nc-OS 膜與非晶氧化物半導體膜之間的物性的結構。將具有這種結構的氧化物半導體膜特別稱為 amorphous-like 氧化物半導體（a-like OS：amorphous-like Oxide Semiconductor）膜。

[0085] 在使用高解析度 TEM 觀察的 a-like OS 膜的影像中，有時觀察到空洞（也稱為空隙）。此外，在使用高解析度 TEM 觀察的 a-like OS 膜的影像中，有明確地確認到結晶部的區域及確認不到結晶部的區域。a-like OS 膜有時因 TEM 觀察時的微量的電子照射而產生晶化，由此觀察到結晶部的生長。另一方面，在良好的 nc-OS 膜中，幾乎觀察不到因 TEM 觀察時的微量的電子照射而產生晶化。

[0086] 此外，a-like OS 膜及 nc-OS 膜的結晶部的大小的測量可以使用高解析度 TEM 影像進行。例如，$InGaZnO_4$ 的結晶具有層狀結構，在 In-O 層之間具有兩個 Ga-Zn-O 層。$InGaZnO_4$ 的結晶的單位晶格具有三個 In-O 層和六個 Ga-Zn-O 層的一共九個層在 c 軸方向上重疊為層狀的結構。因此，這些彼此相鄰的層之間的間隔與（009）面的晶格表面間隔（也稱為 d 值）大致相等，從結晶結構分析求出其值為 0.29nm。因此，著眼於高解析

度 TEM 影像的晶格條紋，在晶格條紋的間隔為 0.28nm 以上且 0.30nm 以下的區域，每個晶格條紋都被認為是對應於 $InGaZnO_4$ 的結晶的 a-b 面。

[0087] 另外，氧化物半導體膜的密度有時根據結構而不同。例如，當已知某個氧化物半導體膜的組成時，藉由以與該組成相同的組成中的單晶的密度與其進行比較，可以估計該氧化物半導體膜的結構。例如，相對於單晶的密度，a-like OS 膜的密度為 78.6%以上且小於 92.3%。例如，相對於單晶的密度，nc-OS 膜的密度和 CAAC-OS 膜的密度都為 92.3%以上且小於 100%。注意，難以形成其密度相對於單晶的密度小於 78%的氧化物半導體膜。

[0088] 使用具體例子對上述內容進行說明。例如，在原子個數比滿足 In：Ga：Zn=1：1：1 的氧化物半導體膜中，具有菱方晶系結構的單晶 $InGaZnO_4$ 的密度為 $6.357g/cm^3$。因此，例如，在原子個數比滿足 In：Ga：Zn=1：1：1 的氧化物半導體膜中，a-like OS 膜的密度為 $5.0g/cm^3$ 以上且小於 $5.9g/cm^3$。另外，例如，在原子個數比滿足 In：Ga：Zn=1：1：1 的氧化物半導體膜中，nc-OS 膜的密度和 CAAC-OS 膜的密度為 $5.9g/cm^3$ 以上且小於 $6.3g/cm^3$。

[0089] 注意，有時不存在相同組成的單晶。此時，藉由以任意比例組合組成不同的單晶，可以算出相當於所希望的組成的單晶的密度。根據組成不同的單晶的組合比例使用加權平均計算所希望的組成的單晶的密度即可。注

意，較佳為儘可能減少所組合的單晶的種類來計算密度。

[0090] 注意，氧化物半導體膜例如可以是包括非晶氧化物半導體膜、a-like OS 膜、微晶氧化物半導體膜和CAAC-OS 膜中的兩種以上的疊層膜。

[0091] 如上所述，CAAC-OS 膜在產業上也是較佳的。另外，由於與多晶及微晶相比起因於晶界的載子散射小，所以有不容易發生載子移動率的降低的優點。此外，因為 CAAC-OS 膜是缺陷態密度低的氧化物半導體膜且載子陷阱少，所以使用 CAAC-OS 膜的電晶體成為電特性的變動小且可靠性高的優良的電晶體。

[0092] 在此，CAAC-OS 膜有時具有多個結構。在CAAC-OS 膜具有多個結構時，有時藉由利用後述的奈米束電子繞射可以進行結構分析。在此，將 c 軸配向的多個結晶部稱為 CAAC 結構。另外，將在 CAAC-OS 膜中代表性地觀察到的繞射圖案，即呈現 c 軸配向的繞射圖案，稱為 CAAC 結構的繞射圖案。例如，c 軸配向的多個結晶部即具有 CAAC 結構的 CAAC-OS 膜在使用奈米束電子繞射的情況下有時觀察到 CAAC 結構的繞射圖案之外的繞射圖案。例如，有時觀察到與 nc-OS 膜同樣的繞射圖案，即nc 結構的繞射圖案，有時觀察到尖晶石型結晶結構的繞射圖案。如此，在氧化物半導體膜具有多個結構的情況下，例如在這些結構與觀察到 CAAC-OS 膜的繞射圖案的區域之間的邊界增大載子的散射，而導致載子移動率的降低。此外，由於考慮到邊界部容易成為雜質的移動路徑且

容易俘獲雜質，所以有增大 CAAC-OS 膜的雜質濃度的擔憂。

[0093]

[奈米束電子繞射]

接著，說明奈米束電子繞射。在氧化物半導體膜具有多個結構時，有時藉由利用奈米束電子繞射可以進行結構分析。

[0094] 圖 22C 示出一種穿透式電子繞射測量裝置，包括：電子槍室 610；電子槍室 610 下的光學系統 612；光學系統 612 下的樣本室 614；樣本室 614 下的光學系統 616；光學系統 616 下的觀察室 620；設置於觀察室 620 的拍攝裝置 618；以及觀察室 620 下的膠片室 622。以朝向觀察室 620 內部的方式設置拍攝裝置 618。另外，該穿透式電子繞射測量裝置也可以不包括膠片室 622。

[0095] 另外，圖 22D 示出圖 22C 所示的穿透式電子繞射測量裝置內部的結構。在穿透式電子繞射測量裝置內部中，從設置在電子槍室 610 的電子槍發射的電子藉由光學系統 612 照射到配置在樣本室 614 中的物質 628。穿過物質 628 的電子藉由光學系統 616 入射到設置在觀察室 620 內部的螢光板 632 中。在螢光板 632 中，藉由呈現對應於所入射的電子的強度的圖案，可以測量穿透式電子繞射圖案。

[0096] 因為拍攝裝置 618 朝向螢光板 632 地設置，所以可以拍攝呈現於螢光板 632 的圖案。穿過拍攝裝置

618 的透鏡的中間部及螢光板 632 的中間部的直線和螢光板 632 所形成的角度例如為 15°以上且 80°以下、30°以上且 75°以下或 45°以上且 70°以下。該角度越小，由拍攝裝置 618 拍攝的穿透式電子繞射圖案的應變越大。但若預先得知該角度，則能夠校正所得到的穿透式電子繞射圖案的應變。另外，有時也可以將拍攝裝置 618 設置在膠片室 622。例如，也可以以與電子 624 的入射方向相對的方式將拍攝裝置 618 設置在膠片室 622 中。在此情況下，可以從螢光板 632 的背面拍攝應變少的穿透式電子繞射圖案。

[0097] 樣本室 614 設置有用來固定作為樣本的物質 628 的支架。支架具有使穿過物質 628 的電子透過的結構。例如，支架也可以具有在 X 軸、Y 軸、Z 軸等上移動物質 628 的功能。支架的移動功能例如具有在 1nm 以上且 10nm 以下、5nm 以上且 50nm 以下、10nm 以上且 100nm 以下、50nm 以上且 500nm 以下、100nm 以上且 1μm 以下等的範圍內移動的精度即可。至於這些範圍，根據物質 628 的結構設定最適合的範圍即可。

[0098] 接著，說明使用上述穿透式電子繞射測量裝置測量物質的穿透式電子繞射圖案的方法。

[0099] 例如，如圖 22D 所示，藉由改變物質中的奈米束的電子 624 的照射位置（進行掃描），可以確認到物質的結構逐漸地產生變化的狀況。此時，若物質 628 是 CAAC-OS 膜，則可以觀察到圖 22A 所示的繞射圖案。或者，若物質 628 是 nc-OS 膜，則可以觀察到圖 22B 所示的

具有亮點的環狀繞射圖案。

[0100] 如圖 22A 所示，在 CAAC-OS 膜的繞射圖案中，例如觀察到位於六邊形的頂點的斑點。藉由改變 CAAC-OS 膜的照射位置（進行掃描），觀察到該六邊形方向不同而逐漸地旋轉的狀態。旋轉的角度具有某些寬度。

[0101] 或者，藉由改變照射位置（進行掃描），觀察到 CAAC-OS 膜的繞射圖案以 c 軸為中心而逐漸地旋轉的狀態。這是例如也可以說 a 軸和 b 軸形成的面旋轉。

[0102]

[CAAC 比率]

在此，即使物質 628 是 CAAC-OS 膜，有時也部分地觀察到與 nc 結構等同樣的繞射圖案。因此，有時可以以在一定範圍內觀察到 CAAC 結構的繞射圖案的區域的比例（也稱為 CAAC 比率或 CAAC 化率）表示 CAAC-OS 膜的優劣。在此，CAAC 比率較佳為 90%以上，更佳為 95%以上，進一步較佳為 97%以上且 100%以下。

[0103] 以下說明 CAAC-OS 膜的 CAAC 比率的評價方法。隨機選擇測量點，取得穿透式電子繞射圖案，而算出相對於所有測量點的數量的觀察到 CAAC 結構的繞射圖案的測量點的數量的比率。在此，測量點的數量較佳為 50 點以上，更佳為 100 點以上。

[0104] 作為隨機選擇測量點的方法，例如可以直線狀地掃描照射位置，按每個相等間隔的時間取得繞射圖

案。藉由掃描照射位置，可以確認具有 CAAC 結構的區域與其他區域的邊界等，所以是較佳的。

[0105] 作為一個例子，對具有剛進行成膜之後（表示為 as-sputtered）的 CAAC-OS 膜或在包含氧的氛圍中以 450℃進行加熱處理之後的 CAAC-OS 膜的各樣本的頂面一邊進行掃描一邊得到穿透式電子繞射圖案。在此，一邊以 5nm/秒鐘的速度進行掃描 60 秒鐘一邊觀察繞射圖案，且每隔 0.5 秒鐘將觀察到的繞射圖案轉換為靜態影像，從而導出 CAAC 比率。注意，作為電子線使用束徑為 1nm 的奈米束。另外，對六個樣本進行同樣的測量。並且，利用六個樣本的平均值算出 CAAC 比率。

[0106] 此外，較佳為在因 TEM 影像的觀察或電子繞射的測量等而照射電子線時結晶結構不變化。例如，在利用日本日立高新技術公司（Hitachi High-Technologies Corporation）製造的 H-9000NAR 的情況下，例如加速電壓較佳為 300kV 以下，例如電子線的累積照射量（電流密度×時間）較佳為 $1\times10^7 e^-/nm^2$ 以下。另外，例如較佳為使用 TEM 影像等確認：結晶結構在照射前後沒有由於例如 TEM 影像的觀察等而顯著地變化。

[0107] 圖 23A 示出各樣本的 CAAC 比率。剛進行成膜之後的 CAAC-OS 膜的 CAAC 比率為 75.7%（非 CAAC 比率為 24.3%）。另外，進行 450℃的加熱處理之後的 CAAC-OS 膜的 CAAC 比率為 85.3%（非 CAAC 比率為 14.7%）。由此可知，與剛進行成膜之後相比，450℃的加

熱處理之後的 CAAC 比率較高。也就是說，可知高溫（例如 400℃以上）下的加熱處理降低非 CAAC 比率（提高 CAAC 比率）。另外，在進行低於 500℃的加熱處理時也可以得到具有高 CAAC 比率的 CAAC-OS 膜。

[0108] 在此，與 CAAC 結構不同的繞射圖案的大部分是 nc 結構的繞射圖案。另外，在測量區域中觀察不到與非晶氧化物半導體膜同樣的繞射圖案。由此可知，藉由加熱處理，具有 nc 結構的區域受到相鄰的區域的結構的影響而重新排列，並 CAAC 化。

[0109] 圖 23B 及圖 23C 是剛進行成膜之後及 450℃的加熱處理之後的 CAAC-OS 膜的平面 TEM 影像。藉由對圖 23B 和圖 23C 進行比較，可知 450℃的加熱處理之後的 CAAC-OS 膜的性質更均勻。也就是說，可知藉由高溫的加熱處理提高 CAAC-OS 膜的性質。

[0110] 藉由採用這種測量方法，有時可以對具有多種結構的氧化物半導體膜進行結構分析。

[0111] 例如，當對 CAAC-OS 膜進行剖面 TEM 觀察時，可以說 CAAC 比率越高，金屬原子有規律地排列為層狀的區域越大。雖然在後面的實施例中詳細地描述，但是例如在對 CAAC 比率不同的兩個 CAAC-OS 膜進行剖面 TEM 觀察時，有時在 CAAC 比率更大的膜中增大金屬原子有規律地排列為層狀的區域。圖 59A 示出對 CAAC 比率約為 90%的 CAAC-OS 膜的剖面進行觀察的結果，圖 59B 示出對 CAAC 比率約為 98%的 CAAC-OS 膜的剖面進

行觀察的結果。在圖 59A 和圖 59B 中以線表示的區域示出金屬原子有規律地排列為層狀的區域。在有規律地排列的區域之間有時存在排列不明確的區域，有時 CAAC-OS 膜的 CAAC 比率越高，不明確的區域越少。

[0112] 在此，考慮到如下情況：在進行奈米束電子繞射的情況下，CAAC-OS 膜部分具有 CAAC 結構之外的結構的區域，例如觀察到 nc 結構的繞射圖案的區域或者觀察到尖晶石型結晶結構的繞射圖案的區域。在此情況下，在觀察到 CAAC 結構的繞射圖案的區域與觀察到其他結構的繞射圖案的區域之間的邊界，例如有時增大載子的散射而導致載子移動率的下降。此外，由於考慮到邊界部容易成為雜質的移動路徑且容易俘獲雜質，所以有增大 CAAC-OS 膜的雜質濃度的擔憂。

[0113] 尤其是，在具有其他結構的區域為具有尖晶石型結晶結構的區域的情況下，有時在具有與 CAAC 結構的區域之間觀察到明確的邊界，因此有時在其邊界部中由於載子的散射等而電子移動率下降。另外，在 CAAC-OS 膜上形成導電膜的情況下，有時導電膜所包含的元素如金屬等擴散到尖晶石型結晶結構的區域與其他區域之間的邊界。在具有尖晶石型結晶結構的膜中，有時膜中的雜質濃度如氫濃度上升，例如有可能考慮到在晶界部分中氫等雜質被俘獲。因此，CAAC-OS 膜尤其較佳為不包含尖晶石型結晶結構或者尖晶石型結晶結構較少。

[0114]

[原子個數比]

考慮到氧化物半導體膜包含銦、元素 M 及鋅的情況。在此，元素 M 較佳為鋁、鎵、釔或錫等。作為可用作元素 M 的其他元素，有硼、矽、鈦、鐵、鎳、鍺、鋯、鉿、鉬、鑭、鈰、釹、鋦、鉭、鎢等。注意，作為元素 M 有時也可以組合多個上述元素。參照圖 1A 至圖 2B 說明氧化物半導體膜所包含的銦、元素 M 及鋅的原子個數比 x：y：z 的較佳的範圍。

[0115] 在此，使用圖 3A 和圖 3B 說明各元素的原子個數比。圖 3A 及圖 3B 示出以 X、Y 及 Z 為頂點的正三角形以及作為座標點的例子的座標點 R（4：2：1）。在此，各頂點分別表示元素 X、Y 及 Z。各個原子個數比越近於各頂點越高，越遠於各頂點越低。如圖 3A 所示，各個原子個數比被表示為座標點與三角形的頂點的對邊之間的垂線的長度。例如，元素 X 被表示為座標點與頂點 X 的對邊即邊 YZ 之間的垂線 21 的長度。因此，在圖 3A 和圖 3B 所示的座標 R 中，元素 X、元素 Y 及元素 Z 的原子個數比表示垂線 21、垂線 22 及垂線 23 的長度的比例，即 x：y：z=4：2：1。另外，將經過頂點 X 和座標點 R 的直線與邊 YZ 交叉的點稱為γ。此時，在將線 Yγ的長度與線γZ 的長度的比例設定為 Yγ：γZ 的情況下，滿足 Yγ：γZ=（元素 Z 的原子個數）：（元素 Y 的原子個數）。

[0116] 如圖 3B 所示，劃經過座標點 R 並分別與三角形的三個邊分別平行的三條直線。此時，使用三條直線與

三個邊的交點，x、y及z可以如圖3B所示。

[0117] 圖1A至圖2B示出氧化物半導體膜所包含的銦、元素M及鋅的原子個數比的範圍。在此，圖1A至圖2B示出元素M為Ga的例子。注意，圖1A至圖2B不記載氧的原子個數比。

[0118] 例如，如非專利文獻1所記載，已知在包含銦、元素M及鋅的氧化物中存在以 $InMO_3(ZnO)_m$（m為自然數）表示的同源相（同系列）。在此，考慮到元素M為Ga的情況的例子。在圖1A和圖1B中以粗直線表示的區域是已知例如在將 In_2O_3、Ga_2O_3及ZnO的粉末以圖1A和圖1B所示的區域的比例混合並以1350℃的溫度焙燒的情況下有可能為單一相的固溶區域的區域。此外，在圖1A和圖1B中以四邊形的符號表示的座標已知具有容易混合尖晶石型結晶結構的組成。

[0119] 例如，作為具有尖晶石型結晶結構的化合物，已知 $ZnGa_2O_4$ 等以 ZnM_2O_4 表示的化合物。例如，在非專利文獻1中，記載了：在如圖1A和圖1B所示具有 $ZnGa_2O_4$ 附近的組成，即x、y及z具有近似於（x：y：z）=（0：1：2）的值的情況下，容易形成或混合尖晶石型結晶結構。

[0120] 在此，氧化物半導體膜較佳為CAAC-OS膜。在CAAC-OS膜中尤其較佳為不包含尖晶石型結晶結構。為了提高載子移動率較佳為提高In的含有率。在包含銦、元素M及鋅的氧化物半導體中，重金屬的s軌域主

要有助於載子傳導，並且，藉由增加銦的含有率來增加 s 軌域的重疊，由此銦的含有率多的氧化物的移動率比銦的含有率少的氧化物高。因此，藉由將銦含量高的氧化物用於氧化物半導體膜，可以提高載子移動率。

[0121] 因此，氧化物半導體膜所包含的銦、元素 M 及鋅的原子個數比 x：y：z 例如較佳為在圖 1B 所示的區域 11 的範圍內。在此，區域 11 是具有依次連接第一座標 K（x：y：z=8：14：7）、第二座標 L（x：y：z=2：5：7）、第三座標 M（x：y：z=51：149：300）、第四座標 N（x：y：z=46：288：833）、第五座標 O（x：y：z=0：2：11）、第六座標 P（x：y：z=0：0：1）、第七座標 Q（x：y：z=1：0：0）以及上述第一座標 K 的範圍內的原子個數比的區域。注意，區域 11 包括線上的座標。

[0122] 藉由將 x：y：z 設定為圖 1B 所示的區域 11，在奈米束電子繞射圖案時可以使尖晶石型結晶結構沒有觀察到或儘可能減少觀察到的比率。由此，可以獲得優良的 CAAC-OS 膜。另外，因為能夠減少 CAAC 結構與尖晶石型結晶結構之間的境界的載子散射等，所以在將氧化物半導體膜用於電晶體的情況下，可以實現場效移動率高的電晶體。另外，可以實現可靠性高的電晶體。

[0123] 在此，為了提高氧化物半導體膜的 CAAC 比率，較佳為提高鋅的原子個數比。在圖 1A 至圖 2B 中，以虛線表示銦、元素 M 及鋅的原子個數比 x：y：z 滿足如下算式（1）的範圍。

[0124]

[算式 1]

$$x:y:z=(1-\alpha):(1+\alpha):m \quad (-1\leq\alpha\leq 1) \quad (1)$$

[0125] 在此，圖 1A 至圖 2B 示出 m=1、2、3、4、5 的情況。圖 1A 和圖 1B 所示的粗線表示已知例如在元素 M 為鎵的情況下 In-Ga-Zn 氧化物有可能為單一相的固溶區域的區域。例如，藉由將 In-Ga-Zn 氧化物的原子個數比設定為有可能為固溶區域的範圍，有時可以提高 CAAC 比率。有可能為固溶區域的範圍有在相對於銦與鎵的原子個數之和提高鋅的原子個數比時擴大的傾向。因此，藉由相對於銦與鎵的原子個數之和提高鋅的原子個數比，有時可以提高氧化物半導體膜的 CAAC 比率。

[0126] 在此，圖 1A 和圖 1B 所示的粗線的區域即有可能為固溶區域的範圍在 m=1 至 5 的情況下以如下算式（2）至算式（6）表示。

[0127]

[算式 2]

$$x:y:z=(1-\alpha):(1+\alpha):1 \quad (-0.33\leq\alpha\leq+0.08) \quad (2)$$

[0128]

[算式 3]

$$x:y:z=(1-\alpha):(1+\alpha):2 \quad (-0.68\leq\alpha\leq+0.32) \quad (3)$$

[0129]

[算式 4]

$$x:y:z=(1-\alpha):(1+\alpha):3 \quad (-1\leq\alpha\leq+0.46) \quad (4)$$

[0130]

[算式 5]

$$x:y:z=(1-\alpha):(1+\alpha):4 \quad (-1\leq\alpha\leq+0.54) \qquad (5)$$

[0131]

[算式 6]

$$x:y:z=(1-\alpha):(1+\alpha):5 \quad (-1\leq\alpha\leq+0.72) \qquad (6)$$

[0132] 因此，為了提高氧化物半導體膜的 CAAC 比率，較佳為將氧化物半導體膜所包含的銦、元素 M 及鋅的原子個數比 x：y：z 設定為圖 2A 所示的區域 12 的範圍，更佳為設定為圖 2B 所示的區域 13 的範圍。在此，由於區域 12 及區域 13 都包括在區域 11 中，因此，可以使氧化物半導體膜的尖晶石型結晶結構的區域沒有觀察到或減少觀察到的區域，所以是較佳的。

[0133] 在此，區域 12 是具有依次連接第一座標 A（x：y：z=2：2：1）、第二座標 B（x：y：z=23：27：25）、第三座標 C（x：y：z=8：12：35）、第四座標 D（x：y：z=4：0：7）、第五座標 E（x：y：z=2：0：3）、第六座標 F（x：y：z=7：1：8）、第七座標 G（x：y：z=15：5：8）以及上述第一座標 A 的範圍內的原子個數比的區域。注意，區域 12 包括線上的座標。

[0134] 此外，區域 13 是具有依次連接第一座標 H（x：y：z=35：20：22）、第二座標 I（x：y：z=7：4：11）、第三座標 J（x：y：z=5：1：6）、第四座標 U（x：y：z=25：10：14）以及上述第一座標 H 的範圍內的

原子個數比的區域。注意，區域 13 包括線上的座標。例如，藉由提高銦的原子個數比，可以提高載子移動率，所以是較佳的。例如，x 較佳為 y 的 1.75 倍以上。

[0135] 在區域 12 及區域 13 的範圍內，x、y 及 z 滿足算式（1）或算式（2）至算式（6）的關係的情況下，尤其 CAAC 比率得到提高，所以是更佳的。在此，x、y 及 z 例如也可以包括滿足算式（1）至算式（6）的關係的值的±10%左右的誤差。例如，在（x：y：z）=（x_1：y_1：z_1）滿足算式（1）的情況下，x、y 及 z 的值較佳為 $0.9\times x_1\leq x\leq 1.1\times x_1$、$0.9\times y_1\leq y\leq 1.1\times y_1$ 以及 $0.9\times z_1\leq z\leq 1.1\times z_1$。

[0136] 根據本發明的一個方式，能夠實現 CAAC 比率高的氧化物半導體膜。就是說，能夠實現品質良好的 CAAC-OS 膜。此外，根據本發明的一個方式，可以實現觀察到尖晶石型結晶結構的區域沒有或極少的 CAAC-OS 膜。在此，CAAC 比率較佳為 95%以上，更佳為 97%以上且 100%以下。

[0137] 當利用濺射法形成氧化物半導體膜時，形成之後的膜的原子個數比有時與靶材的原子個數比不一致。尤其是，形成之後的膜中的鋅的原子個數比有時小於靶材中的鋅的原子個數比。明確而言，該膜中的鋅的原子個數比有時為靶材中的鋅的原子個數比的 40%以上且 90%以下左右。在此，所使用的靶材較佳為多晶。

[0138] 在此，描述關於銦、鎵及鋅對靶材的原子個

數比與藉由濺射法得到的氧化物半導體膜的原子個數比的關係進行調查的結果。表 1 示出所使用的靶材的原子個數比以及藉由濺射法得到的氧化物半導體膜的原子個數比。

[0139]

[表 1]

靶材的原子個數比 In：Ga：Zn	膜的原子個數比		
	In	Ga	Zn
1：1：1	1	0.99	0.66
1：1：1.2	1	0.98	0.84
1：1：1.5	1	0.92	1.04
1：3：2	1	2.89	1.24
1：3：4	1	3.02	2.56
1：3：6	1	3.06	4.19
3：1：2	3	0.98	1.40
3：1：3	3	1.01	2.30

[0140] 作為成膜條件，將氬及氧用作成膜氣體，並將氧流量比設定為 33%。在此氧流量比是指以氧流量÷（氧流量+氬流量）×100[%]表示的量。此外，壓力為 0.4Pa 至 0.7Pa，基板溫度為 200℃至 300℃，電源功率為 0.5kW（DC）。

[0141] 藉由 ICP-MS（Inductively Coupled Plasma Mass Spectrometry，電感耦合電漿質譜分析法）對使用各個原子個數比的靶材得到的氧化物半導體膜的各元素的濃度進行評價。圖 31A 至圖 31C 示出靶材的原子個數比與鋅的殘留率的關係。圖 31A 至圖 31C 中的數字表示靶材的銦：鎵：鋅的原子個數比，縱軸表示鋅的殘留率。在此

說明鋅的殘留率。將藉由成膜得到的膜的鋅的原子個數比除以銦、鎵及鋅的原子個數比的和的值稱為 Zn（Film）。另外，將靶材的鋅的原子個數比除以靶材的銦、鎵及鋅的原子個數比的和的值稱為 Zn（Target）。在此，將鋅的殘留率定義為以 A=Zn（Film）÷Zn（Target）×100[%]表示的值。圖 31A 的橫軸表示靶材的相對於鎵的原子個數比的鋅的原子個數比（Zn/Ga），圖 31B 的橫軸表示靶材的相對於銦的原子個數比的鎵的原子個數比（Ga/In），圖 31C 的橫軸表示靶材的相對於銦的原子個數比的鋅的原子個數比（Zn/In）。各個圖式的縱軸表示鋅的殘留率 A。

[0142] 由圖 31A 至圖 31C 可知，藉由濺射法得到的氧化物半導體膜的鋅的殘留率大致在 50%以上且 90%以下的範圍內。就是說，可知與靶材的原子個數比相比鋅大幅度地減少。另外，由表 1 所記載的銦及鎵的原子個數比可知，與鋅相比，銦及鎵從靶材的原子個數比幾乎沒有變化。此外，例如在靶材的相對於鎵的鋅的原子個數比（Zn/Ga）為 1 的情況下，鋅的殘留率 A 大約為 66%，在 2 的情況下 A 大約為 74%，在 3 的情況下 A 大約為 83%。

[0143] 由圖 31A 可知，在靶材的相對於鎵的鋅的原子個數比（z/y）與鋅的殘留率之間有良好的關係。就是說，相對於鎵的鋅的量越少，殘留率越低。

[0144] 在此，在氧化物半導體膜的銦、鎵及鋅的原子個數比 x、y 及 z 滿足算式（1）的情況下，有時可以進

一步提高氧化物半導體膜的 CAAC 比率。

[0145] 作為滿足算式（1）的原子個數比的例子，考慮到 x：y：z=4：2：3、x：y：z=1.1：2.9：6、x：y：z=1：2：3 這三個例子。

[0146] 例如，藉由採用 x：y：z=4：2：3，可以使鋅的原子個數比增加到鎵的 2 倍，由此可以提高鋅的含有率。因此，有時能夠獲得高移動率。

[0147] 例如，藉由採用 x：y：z=1.1：2.9：6，可以滿足算式（1）並在有可能呈現在圖 1A 和圖 1B 中以粗線表示的固溶區域的範圍內，由此有時能夠獲得高 CAAC 比率，所以是較佳的。此外，藉由減少鋅的含有率，可以減少電子親和力。例如，因為具有 x：y：z=1.1：2.9：6 的原子個數比的氧化物半導體膜的鋅的含有率比具有區域 12 或區域 13 的原子個數比的氧化物半導體膜低，所以可以使電子親和力較小。

[0148] 同樣地，例如，藉由採用 x：y：z=1：2：3，可以滿足算式（1）並在有可能為固溶區域的範圍內，由此有時能夠獲得高 CAAC 比率，所以是較佳的。此外，因為具有 x：y：z=1：2：3 的原子個數比的氧化物半導體膜的鋅的含有率比具有區域 12 或區域 13 的原子個數比的氧化物半導體膜低，所以可以使電子親和力較小。

[0149] 將靶材的鋅、鎵及鋅的原子個數比設定為 a、b 及 c。由圖 31A 至圖 31C 可知，鋅的殘留率 A 與 b 及 c 滿足以如下算式（7）表示的近似式。

[0150]

[算式 7]

$$A[\%]=\{0.0811\times(c/b)+0.5825\}\times 100 \qquad (7)$$

[0151] 由此，如果假定銦及鎵的殘留率為 100%，則在使用 In：Ga：Zn=a：b：c 的靶材藉由濺射法形成氧化物半導體膜的情況下，所得到的氧化物半導體膜滿足原子個數比 x：y：z=a：b：{0.0811×（c/b）+0.5825}×c。

[0152] 在此，在使所得到的氧化物半導體膜的銦、鎵及鋅滿足原子個數比 x：y：z=4：2：3 的情況下，靶材的鋅的原子個數比 c 滿足如下算式（3）即可。注意，a=x=4、b=y=2、z=3。

[0153]

[算式 8]

$$3=\{0.0811\times(c/2)+0.5825\}\times c \qquad (8)$$

[0154] 算式（8）為 c 的 2 次方程式，求出其解是 4.0234 及−18.3883。由於在此負值不適合，所以為了滿足 x：y：z=4：2：3 而滿足 a：b：c=4：2：4 即可。

[0155] 同樣地，為了滿足 x：y：z=1.1：2.9：6 而滿足 a：b：c=1.1：2.9：7.6 即可，為了滿足 x：y：z=1：2：3 而滿足 a：b：c=1：2：4 即可。

[0156] 另外，例如，為了得到圖 2A 和圖 2B 所示的區域 12 的氧化物半導體膜，靶材中的鋅的原子個數比較佳為多於圖 2A 和圖 2B 所示的區域 12。在此，將靶材所包含的銦、元素 M 及鋅的原子個數比設定為 a：b：c。在

此，為了將藉由濺射法得到的氧化物半導體膜的銦、元素M及鋅的原子個數比設定為x：y：z，在c/b為1的情況下，例如使c/（a+b+c）的值成為z/（x+y+z）的大約1.5倍（100÷66=1.51）即可，在c/b為2的情況下，例如使c/（a+b+c）的值成為z/（x+y+z）的大約1.35倍（100÷74=1.35）即可，在c/b為3的情況下，例如使c/（a+b+c）的值成為z/（x+y+z）的大約1.20倍（100÷83=1.20）即可。

[0157] 藉由將氧化物半導體膜的原子個數比設定為區域12的範圍，可以進一步提高CAAC比率，所以是較佳的。

[0158] 因此，為了獲得CAAC比率更高的氧化物半導體膜，如果靶材的原子個數比滿足c/b≥2，則例如使c/（a+b+c）的值成為z/（x+y+z）的大約1.4倍即可。明確而言，靶材的原子個數比例如較佳為滿足圖4所示的區域14的範圍內的值。在此，區域14是具有依次連接第一座標A（a：b：c=2：2：1）、第二座標B（a：b：c=23：27：25）、第三座標S（a：b：c=2：4：15）、第四座標T（a：b：c=2：0：5）、第五座標E（a：b：c=2：0：3）、第六座標F（a：b：c=7：1：8）、第七座標G（a：b：c=15：5：8）以及上述第一座標A的範圍內的原子個數比的區域。注意，區域14包括線上的座標。

[0159] 在此，作為本發明的一個方式的氧化物半導體膜也可以層疊多個膜。另外，多個膜的每一個的CAAC

比率也可以彼此不同。此外，被層疊的多個膜中的至少一層的膜的 CAAC 比率例如較佳為高於 90%，更佳為 95%以上，進一步較佳為 97%以上且 100%以下。

[0160] 在此，說明氧化物半導體膜的膜密度。

[0161]

[膜密度評價結果]

CAAC-OS 膜包含 c 軸配向的多個結晶部，並且觀察不到結晶部與結晶部之間的明確的邊界，從而可以得到緻密的膜。對藉由濺射法作為靶材使用原子個數比為 In：Ga：Zn=1：1：1 的 In-Ga-Zn 氧化物形成的 CAAC-OS 膜以及使用原子個數比為 In：Ga：Zn=2：1：3 的 In-Ga-Zn 氧化物形成的 CAAC-OS 膜的膜密度進行評價，其密度都大約為 6.3g/cm^3。在後面的實施例中描述詳細的條件。採用氧流量比為 33%，成膜時的基板溫度為 200℃以上且 300℃以下的條件。膜密度藉由 X 射線反射率（XRR：X-Ray Reflectivity）法而被求出。

[0162] 另一方面，根據氧化物半導體膜的形成條件而可以得到膜密度低的膜。此外，隨著膜密度的下降，有時可以得到包含所謂的空洞的膜。在此空洞例如是指密度極低的區域或空間。這樣的膜的結晶性低，有時容易俘獲雜質，而難以得到良好的電晶體特性。

[0163] 在此，說明空洞多的膜的膜密度。例如，藉由使用濺射法，採用氧流量比低的條件，並以低基板溫度進行成膜，有時形成空洞多的膜。藉由採用表 2 所示的條

件並利用濺射法，形成氧化物半導體膜。作為靶材，使用原子個數比為 In：Ga：Zn=1：1：1 的 In-Ga-Zn 氧化物。作為電源，使用 RF 電源。

[0164]

[表 2]

	電源功率	氣體流量		基板溫度 [°C]	壓力 [Pa]
		Ar [sccm]	O_2 [sccm]		
條件 C	100W	98	2	室溫	1.0
條件 D	100W	98	2	室溫	0.4

[0165] 表 2 所示的條件 C 的成膜率為 0.48nm/分，條件 D 的成膜率為 1.78nm/分。

[0166] 表 3 是對使用表 2 所示的條件 C 及條件 D 形成的氧化物半導體膜的膜密度進行測量的結果。

[0167]

[表 3]

	膜密度 [g/cm^3]
條件 C	5.57
條件 D	6.10

[0168] 條件 C、條件 D 都示出膜密度低的傾向。可以認為：這是因為氧流量比低即 2%，且成膜溫度低。此外，在與條件 D 相比成膜壓力高的條件 C 中，示出膜密度更低的結果。

[0169]

[膜中氫濃度]

接著，圖 32 示出採用條件 C 及條件 D 形成的氧化物半導體膜的膜中氫濃度。在條件 C 中得到氫濃度顯著高的結果。

[0170] 圖 33A 和圖 33B 示出採用條件 C 及條件 D 形成的氧化物半導體膜的觀察剖面 TEM 影像的結果。圖 33A 是採用條件 C 的膜的剖面 TEM 影像，圖 33B 是採用條件 D 的膜的剖面 TEM 影像。在條件 C 中觀察到膜稀疏的部分，所謂的空洞。以虛線圍繞觀察到空洞的區域的一個例子而示出。

[0171] 圖 34A 和圖 34B 示出採用條件 C 及條件 D 形成的氧化物半導體膜的 TDS（Thermal Desorption Spectroscopy：熱脫附譜分析法）分析結果。圖 34A 和圖 34B 示出分子量=18 時的釋放量。圖 34A 是採用條件 C 的膜的結果，圖 34B 是採用條件 D 的膜的結果。在採用膜密度低的條件 C 形成的氧化物半導體膜中，顯著地觀察到 TDS 分析的分子量=18 時的釋放，由此可以認為 H_2O 即水的釋放。就是說，可以認為水分的吸附多的膜。

[0172] 為了詳細地調查水分的吸附，對採用條件 C 形成的氧化物半導體膜進行 TDS 分析，將該氧化物半導體膜放在平均溫度 24℃且平均濕度 61℃的大氣中 24 小時，然後再次進行 TDS 分析。圖 35A 和圖 35B 示出其結果。圖 35A 示出第一次的分析結果，圖 35B 示出放在大

氣之後的分析結果即第二次的分析結果。在第二次分析中，再次觀察到起因於分子量 18 的峰值。由此可知，因第一次 TDS 分析而氧化物半導體膜中的水分被釋放，之後在大氣中再次吸附水分。就是說，可以說密度低且包含空洞的膜容易吸附水分。

[0173]

實施方式 2

在本實施方式中，對使用作為本發明的一個方式的氧化物半導體的電晶體的一個例子進行說明。

[0174] 在使用習知的矽、鍺及其化合物的電晶體中，尤其在具有微小的通道長度的元件中，為了抑制短通道效應而較佳為增強閘極電場，為了增強閘極電場而較佳為進行閘極絕緣膜的薄膜化。

[0175] 另一方面，使用氧化物半導體膜的電晶體是以電子為多數載子的積累型電晶體。由此，該電晶體與具有 pn 接面的反轉型電晶體相比作為短通道效應之一的 DIBL（Drain-Induced Barrier Lowering，汲極導致的能障降低）的影響小。換言之，使用氧化物半導體膜的電晶體具有對短通道效應的耐性。

[0176] 因為使用氧化物半導體膜的電晶體對短通道效應的耐性高，所以與使用矽等的習知的電晶體相比可以使閘極絕緣膜增厚。例如，在通道長度及通道寬度為 50nm 以下的微型電晶體中也可以使用 10nm 左右的厚閘極絕緣膜。在此，藉由使閘極絕緣膜增厚，可以減少寄生電

容。由此，有時可以提高電路的動態特性。此外，藉由使閘極絕緣膜增厚，有時減少洩漏電流並降低耗電量。

[0177] 由於隨著通道長度的微型化而使漏電場增強，所以在使用矽等的習知的電晶體中，尤其在具有微型的通道長度的情況下明顯看出熱載子劣化導致的可靠性的下降。另一方面，在氧化物半導體中，能帶間隙大（例如，包含銦、鎵及鋅的氧化物半導體的能帶間隙為 2.5eV 以上），不容易激發電子，電洞的有效質量大。由此，與習知的使用矽等的電晶體相比，有時不容易發生突崩潰（avalanche breakdown）等。因此，例如有時可以抑制起因於突崩潰的熱載子劣化等。

[0178] 藉由使閘極絕緣膜增厚，可以提高閘極絕緣膜的耐壓，由此能夠以更高閘極電壓驅動電晶體。此外，藉由抑制熱載子劣化，能夠以高汲極電壓驅動電晶體而不使通道長度增加。因此，可以在輸入高電壓的電路中提高電晶體的可靠性的同時使通道長度縮小，從而能夠提高電路的集成度。

[0179] 另外，在使用本質或實質上本質的氧化物半導體膜的電晶體中，當源極電極與汲極電極間的距離充分小時，受源電場及漏電場的影響導帶底的能量變低，導帶底的能量與費米能階接近。將該現象稱為 Conduction Band Lowering Effect（導帶降低效應，CBL 效應）。由於 CBL 效應而以 Vg-Id 特性上的 0V 附近的低閘極電壓開始流過汲極電流，因此有時能夠降低電晶體的驅動電壓。

[0180] 在此，作為氧化物半導體膜，較佳為使用CAAC-OS膜。CAAC-OS膜的CAAC比率較佳為高。藉由提高CAAC比率，例如可以減小電晶體的載子散射的影響，因此可以獲得高的場效移動率。此外，因為可以減小晶界的影響，所以可以降低電晶體的導通特性的偏差。因此，可以得到可靠性高的半導體裝置。另外，藉由使用偏差小的電晶體而減小驅動電壓，可以減少耗電量。另外，例如可以實現缺陷密度低的CAAC-OS膜。可以實現雜質少的CAAC-OS膜。藉由減少缺陷密度，例如可以實現極低的關閉電流特性。

[0181]

[使用氧化物半導體膜的電晶體]

參照圖5A至圖5C說明使用氧化物半導體膜的電晶體的一個例子。

[0182] 圖5A示出電晶體100的俯視圖。圖5B示出沿著圖5A所示的點劃線X-X’的剖面，圖5C示出沿著圖5A所示的點劃線Y-Y’的剖面。圖5A至圖5C所示的電晶體100包括：半導體層101；導電層104a及導電層104b；半導體層101上的閘極絕緣膜102；以及隔著閘極絕緣膜102重疊於半導體層101的閘極電極103。以覆蓋電晶體100的方式設置有絕緣膜112及絕緣膜113。電晶體100還可以包括導電層105。在此，如圖5A至圖5C所示，電晶體100較佳為設置在基板50上。此外，也可以在基板與電晶體100之間包括接觸於基板50的頂面的絕

緣膜 51 以及接觸於絕緣膜 51 的頂面的絕緣膜 114。在圖 5A 至圖 5C 中，半導體層 101 與絕緣膜 114 的頂面接觸。在基板 50 與絕緣膜 114 之間也可以不設置絕緣膜。

[0183] 半導體層 101 也可以以單層形成，如圖 5A 至圖 5C 所示，較佳為以半導體層 101a、半導體層 101b 及半導體層 101c 的疊層結構形成。在此情況下，圖 5A 至圖 5C 所示的電晶體 100 包括：半導體層 101a；接觸於半導體層 101a 的頂面的半導體層 101b；接觸於半導體層 101b 的頂面並在重疊於半導體層 101b 的區域隔開的導電層 104a 及導電層 104b；接觸於半導體層 101b 的頂面的半導體層 101c；半導體層 101c 上的閘極絕緣膜 102；以及隔著閘極絕緣膜 102 及半導體層 101c 重疊於半導體層 101b 的閘極電極 103。半導體層 101a 設置在絕緣膜 114 與半導體層 101b 之間。半導體層 101c 設置在半導體層 101b 與閘極絕緣膜 102 之間。導電層 104a 及導電層 104b 接觸於半導體層 101b 的頂面及半導體層 101c 的底面。

[0184] 導電層 104a 及導電層 104b 具有用作源極電極或汲極電極的功能。另外，也可以對導電層 105 施加比源極電極低的電壓或比源極電極高的電壓而使電晶體的臨界電壓向正方向或負方向變動。例如，藉由使電晶體的臨界電壓向正方向變動，有時即便閘極電壓為 0V 也能夠實現電晶體成為非導通狀態（關閉狀態）的常關閉（normally-off）。注意，施加到導電層 105 的電壓既可為可變，又可為恆定。在施加到導電層 105 的電壓為可變

的情況下，也可以使控制電壓的電路與導電層 105 連接。另外，導電層 105 也可以與閘極電極 103 連接。

[0185] 作為設置在電晶體中的導電層 104a 及導電層 104b，可以使用鎢、鈦、鋁、銅、鉬、鉻或鉭或者其合金等容易與氧鍵合的導電材料。其結果，半導體層 101 所包含的氧與導電層 104a 及導電層 104b 所包含的導電材料鍵合，在半導體層 101 中形成氧缺陷區域。另外，有時在半導體層 101 中混入形成導電層 104a 及導電層 104b 的導電材料的構成元素的一部分。其結果，第一低電阻區域及第二低電阻區域形成在半導體層 101 中的與導電層 104a 及導電層 104b 接觸的區域附近。由於第一低電阻區域及第二低電阻區域的導電性高，所以可以降低半導體層 101 與導電層 104a 及導電層 104b 之間的接觸電阻，因此可以增大電晶體的通態電流（on-state current）。

[0186] 另外，第一低電阻區域及第二低電阻區域的端部也可以與導電層 104a、導電層 104b 的端部大致一致。或者，第一低電阻區域及第二低電阻區域的端部位於導電層 104a 及導電層 104b 的端部的內側。當在半導體層 101 中形成第一低電阻區域及第二低電阻區域時，通道長度是半導體層 101 和閘極絕緣膜 102 之間的介面上的第一低電阻區域及第二低電阻區域之間的距離。

[0187] 作為半導體層 101b，較佳為使用電子親和力比半導體層 101a 及半導體層 101c 大的氧化物。例如，作為半導體層 101b，使用電子親和力比半導體層 101a 及半

導體層 101c 大 0.07eV 以上且 1.3eV 以下，較佳為大 0.1eV 以上且 0.7eV 以下，更佳為大 0.15eV 以上且 0.4eV 以下的氧化物。注意，電子親和力是指真空能階與導帶底的能量之間的差異。

[0188] 藉由作為半導體層 101b 使用電子親和力大於半導體層 101a 及半導體層 101c 的氧化物，在對閘極電極施加電場時，在半導體層 101a、半導體層 101b 和半導體層 101c 中的電子親和力較大的半導體層 101b 中形成通道。在此，藉由在半導體層 101b 中形成通道，例如通道形成區域從與閘極絕緣膜 102 之間的介面遠離，由此可以減小與閘極絕緣膜之間的介面的散射的影響。因此，可以提高電晶體的場效移動率。在此，因為半導體層 101b 與半導體層 101c 如後面所述構成元素相同，所以幾乎沒有發生介面散射。

[0189] 此外，在使用氧化矽膜、氧氮化矽膜、氮氧化矽膜或氮化矽膜等作為閘極絕緣膜的情況下，包含在閘極絕緣膜中的矽有可能混入氧化物半導體膜中。如果矽混入氧化物半導體膜中，則會導致氧化物半導體膜的結晶性下降、載子移動率下降等。因此，為了降低形成有通道的半導體層 101b 的雜質濃度，例如矽濃度，較佳為在半導體層 101b 與閘極絕緣膜之間設置半導體層 101c。由於同樣的理由，為了降低從絕緣膜 114 擴散雜質的影響，較佳為在半導體層 101b 與絕緣膜 114 之間設置半導體層 101a。

[0190] 半導體層 101b 例如是包含銦的氧化物半導體。在半導體層 101b 包含銦時，例如其載子移動率（電子移動率）提高。另外，半導體層 101b 較佳為包含元素 M。元素 M 較佳為鋁、鎵、釔或錫等。作為可用作元素 M 的其他元素，有硼、矽、鈦、鐵、鎳、鍺、釔、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢等。注意，作為元素 M 有時也可以組合多個上述元素。元素 M 例如是與氧的鍵能高的元素。元素 M 例如是與氧的鍵能高於銦的元素。或者，元素 M 例如是具有增大氧化物半導體的能隙的功能的元素。此外，半導體層 101b 較佳為包含鋅。當氧化物半導體包含鋅時，有時容易晶化。

[0191] 作為半導體層 101b 例如使用能隙大的氧化物。半導體層 101b 的能隙例如是 2.5eV 以上且 4.2eV 以下，較佳為 2.7eV 以上且 3.7eV 以下，更佳為 2.8eV 以上且 3.3eV 以下。

[0192] 在此，作為半導體層 101b，較佳為使用 CAAC-OS 膜。藉由使用 CAAC-OS 膜，能夠實現載子散射小且場效移動率高的電晶體。另外，較佳為提高半導體層 101b 的 CAAC 比率。例如，CAAC 比率較佳為 90%以上，更佳為 95%以上，進一步較佳為 97%以上且 100%以下。

[0193] 接著，說明半導體層 101a 及半導體層 101c。例如，半導體層 101a 及半導體層 101c 是包含一種或多種構成半導體層 101b 的除了氧之外的元素的氧化物半導

體。因為半導體層 101a 及半導體層 101c 包含一種或多種構成半導體層 101b 的除了氧之外的元素，所以不容易在半導體層 101a 與半導體層 101b 的介面以及半導體層 101b 與半導體層 101c 的介面處形成介面能階。

[0194] 在此，半導體層 101a 及半導體層 101c 較佳為使用 CAAC-OS 膜。

[0195] 例如，藉由將包括 c 軸配向的多個結晶部的 CAAC-OS 膜用作半導體層 101a，層疊在其上的半導體層 101b 在與半導體層 101a 之間的介面附近也可以形成具有良好的 c 軸配向的區域。

[0196] 此外，藉由提高 CAAC-OS 膜的 CAAC 比率，例如可以進一步減少缺陷。例如，可以減少具有尖晶石型結構的區域。例如，可以降低載子的散射。例如，可以形成對雜質具有高阻擋性的膜。因此，藉由提高半導體層 101a 及半導體層 101c 的 CAAC 比率，在與形成有通道的半導體層 101b 之間形成良好的介面，由此可以將載子散射抑制為小。另外，能夠抑制雜質混入到半導體層 101b 並減少半導體層 101b 的雜質濃度。

[0197] 在此，圖 20A 示出能帶結構。圖 20A 示出真空能階（記為“vacuum level”）、各層的導帶底的能量（記為“Ec”）以及價帶頂（記為“Ev”）。

[0198] 在此，在半導體層 101a 與半導體層 101b 之間有時存在半導體層 101a 和半導體層 101b 的混合區域。此外，在半導體層 101b 與半導體層 101c 之間有時存在半

導體層 101b 和半導體層 101c 的混合區域。混合區域的介面態密度低。因此，在半導體層 101a、半導體層 101b 及半導體層 101c 的疊層體具有各層之間的介面附近的能量連續地變化（也稱為連接結合）的能帶結構。

[0199] 注意，圖 20A 示出半導體層 101a 的 Ec 與半導體層 101c 的 Ec 相同的情況，但是也可以相互不同。例如，半導體層 101c 的 Ec 也可以具有比半導體層 101a 的 Ec 高的能量。

[0200] 此時，電子不是在半導體層 101a 及半導體層 101c 中而主要在半導體層 101b 中移動（參照圖 20B）。如上所述，藉由降低半導體層 101a 與半導體層 101b 的介面處的介面態密度、半導體層 101b 與半導體層 101c 的介面處的介面態密度，在半導體層 101b 中妨礙電子移動的情況減少，從而可以提高電晶體的通態電流。

[0201] 如圖 5B 所示，半導體層 101b 的側面與導電層 104a 及導電層 104b 接觸。此外，如圖 5C 所示，可以由閘極電極 103 的電場電圍繞半導體層 101b（將導電體的電場電圍繞半導體的電晶體結構稱為圍繞通道（surrounded channel，s-channel）結構）。因此，有時在整個半導體層 101b 中（塊內）形成通道。在 s-channel 結構中可以使大電流流在電晶體的源極-汲極間，可以提高導通時的電流（通態電流）。

[0202] 由於可以得到高的通態電流，因此 s-channel 結構可以說是適合於微型電晶體的結構。包括微型電晶體

的半導體裝置可以具有高集成度及高密度。例如，電晶體的通道長度較佳為 40nm 以下，更佳為 30nm 以下，進一步較佳為 20nm 以下，並且，電晶體的通道寬度較佳為 40nm 以下，更佳為 30nm 以下，進一步較佳為 20nm 以下。

[0203] 注意，例如，通道長度是指在電晶體的俯視圖中，半導體（或在電晶體處於開啟狀態時，在半導體中電流流動的部分）與閘極電極重疊的區域或形成有通道的區域中的源極（源極區域或源極電極）與汲極（汲極區域或汲極電極）之間的距離。另外，在一個電晶體中，通道長度在所有區域中不一定為相同。換言之，一個電晶體的通道長度有時不侷限於一個值。因此，在本說明書中，通道長度是形成通道的區域中的任一個值、最大值、最小值或平均值。

[0204] 例如，通道寬度是指半導體（或在電晶體處於開啟狀態時，在半導體中電流流動的部分）與閘極電極重疊的區域或形成有通道的區域中的源極與汲極相對的部分的長度。另外，在一個電晶體中，通道寬度在所有區域中不一定為相同。換言之，一個電晶體的通道寬度有時不侷限於一個值。因此，在本說明書中，通道寬度是形成有通道的區域中的任一個值、最大值、最小值或平均值。

[0205] 另外，在有的電晶體結構中，有時形成有通道的區域中的實際上的通道寬度（下面稱為實效通道寬度）不同於電晶體的俯視圖所示的通道寬度（下面稱為外

觀上的通道寬度）。例如，在具有立體結構的電晶體中，有時因為實效通道寬度大於電晶體的俯視圖所示的外觀上的通道寬度，所以不能忽略其影響。例如，在具有立體結構的微型電晶體中，有時形成在半導體側面中的通道區域的比例大於形成在半導體頂面中的通道區域的比例。在此情況下，形成有通道的實際上的實效通道寬度大於俯視圖所示的外觀上的通道寬度。

[0206] 在具有立體結構的電晶體中，有時難以藉由實測來估計實效通道寬度。例如，為了根據設計值估計實效通道寬度，需要一個假設，即已知半導體的形狀。因此，當半導體的形狀不確定時，難以正確地測定實效通道寬度。

[0207] 因此，在本說明書中，有時將在電晶體的俯視圖中半導體與閘極電極重疊的區域中的源極與汲極相對的部分的長度，即外觀上的通道寬度稱為“圍繞通道寬度（SCW：Surrounded Channel Width）”。此外，在本說明書中，在簡單地描述為“通道寬度”時，有時是指圍繞通道寬度或外觀上的通道寬度。或者，在本說明書中，在簡單地描述為“通道寬度”時，有時是指實效通道寬度。注意，藉由對剖面 TEM 影像等進行分析等，可以決定通道長度、通道寬度、實效通道寬度、外觀上的通道寬度、圍繞通道寬度等的值。

[0208] 另外，在藉由計算求得電晶體的場效移動率或每個通道寬度的電流值等時，有時使用圍繞通道寬度來

計算。在此情況下，該值有時不同於使用實效通道寬度計算的值。

[0209] 在此，雖然圖 5A 至圖 5C 示出作為氧化物半導體層疊半導體層 101a、半導體層 101b 及半導體層 101c 的三層的例子，但是也可以將氧化物半導體的單層用於電晶體 100。此外，也可以採用不具有半導體層 101a、半導體層 101b 和半導體層 101c 中的一個或兩個的結構。

[0210] 半導體層 101a、半導體層 101b 及半導體層 101c 較佳為至少包含銦。另外，在半導體層 101a 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic%時，較佳的是：In 為低於 50atomic%，M 為 50atomic%以上，更佳的是：In 為低於 25atomic%，M 為 75atomic%以上。此外，在半導體層 101b 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic%時，較佳的是：In 為 25atomic%以上，M 為低於 75atomic%，更佳的是：In 為 34atomic%以上，M 為低於 66atomic%。此外，在半導體層 101c 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic%時，較佳的是：In 為低於 50atomic%，M 為 50atomic%以上，更佳的是：In 為低於 25atomic%，M 為 75atomic%以上。另外，半導體層 101c 也可以使用與半導體層 101a 相同的種類的氧化物。

[0211] 注意，銦鎵氧化物的電子親和力小，其氧阻擋性高。因此，例如半導體層 101c 也可以包含銦鎵氧化物。鎵原子的比率[Ga/（In+Ga）]例如為 70%以上，較佳

為 80%以上，更佳為 90%以上。

[0212] 在此，作為半導體層 101b，使用電子親和力比半導體層 101a 及半導體層 101c 大 0.07eV 以上且 1.3eV 以下，較佳為大 0.1eV 以上且 0.7eV 以下，更佳為大 0.15eV 以上且 0.4eV 以下的氧化物。

[0213] 為了獲得具有高的 CAAC 比率的更優良的 CAAC-OS 膜，例如在半導體層 101b 包含銦、元素 M 及鋅的情況下，銦、元素 M 及鋅的原子個數比 x：y：z 較佳為實施方式 1 所示的圖 2A 和圖 2B 的區域 12 的範圍內的值，更佳為區域 13 所示的範圍內的值。

[0214] 半導體層 101a、半導體層 101b 及半導體層 101c 較佳為不包含尖晶石型結晶結構或者尖晶石型結晶結構很少。另外，半導體層 101a、半導體層 101b 及半導體層 101c 較佳為 CAAC-OS 膜。

[0215] 在此，作為更具體的例子，考慮到半導體層 101a、半導體層 101b 及半導體層 101c 分別為包含銦、元素 M 及鋅的氧化物的情況。在此，將半導體層 101a 的銦、元素 M 及鋅的原子個數比設定為銦：元素 M：鋅 $=x_a$：y_a：z_a。同樣地，將半導體層 101b 的銦、元素 M 及鋅的原子個數比設定為銦：元素 M：鋅 $=x_b$：y_b：z_b，將半導體層 101c 的銦、元素 M 及鋅的原子個數比設定為銦：元素 M：鋅 $=x_c$：y_c：z_c。

[0216] 半導體層 101a 及半導體層 101c 較佳為不包含尖晶石型結晶結構或者尖晶石型結晶結構很少。因此，

x_a：y_a：z_a及 x_c：y_c：z_c例如較佳為在圖 1B 的區域 11 的範圍內。作為半導體層 101b，較佳為使用電子親和力比半導體層 101a 及半導體層 101c 大的氧化物。

[0217] 由此，x_a：y_a：z_a及 x_c：y_c：z_c例如較佳為在區域 11 的範圍內，且其電子親和力較佳為小於半導體層 101b。

[0218] 在此，為了使半導體層 101b 的電子親和力大於半導體層 101a 及半導體層 101c，例如較佳為使半導體層 101b 的銦的含有率大於半導體層 101a 及半導體層 101c。例如，較佳為滿足 $x_b/(x_b+y_b+z_b)>x_a/(x_a+y_a+z_a)$及 $x_b/(x_b+y_b+z_b)>x_c/(x_c+y_c+z_c)$。

[0219] 或者，較佳的是，半導體層 101a 例如在區域 11 的範圍內且滿足 $x_a\leq 2y_a$。此外，更佳的是，半導體層 101c 例如在區域 11 的範圍內且滿足 $x_c\leq y_c$。

[0220] 同樣地，較佳的是，半導體層 101c 例如在區域 11 的範圍內且滿足 $x_c\leq 2y_c$。此外，更佳的是，半導體層 101c 例如在區域 11 的範圍內且滿足 $x_c\leq y_c$。

[0221] 就是說，半導體層 101a 較佳為具有依次連接座標 K（8：14：7）、座標 L（2：5：7）、座標 M（51：149：300）、座標 N（46：288：833）、座標 O（0：2：11）、座標 P（0：0：1）、座標 A（2：2：1）以及上述座標 K 的範圍內的原子個數比。

[0222] 半導體層 101c 較佳為具有依次連接座標 K（8：14：7）、座標 L（2：5：7）、座標 M（51：149：

300）、座標 N（46：288：833）、座標 O（0：2：11）、座標 P（0：0：1）、座標 A（2：2：1）以及上述座標 K 的範圍內的原子個數比。

[0223] 半導體層 101a 及半導體層 101c 較佳為具有依次連接座標 K（8：14：7）、座標 L（2：5：7）、座標 M（51：149：300）、座標 N（46：288：833）、座標 P（0：0：1）、座標 C（8：12：25）、座標 B（23：27：25）、座標 A（2：2：1）以及上述座標 K 的範圍內的原子個數比。

[0224] 注意，當電晶體具有 s-channel 結構時，在整個半導體層 101b 中形成有通道。因此，半導體層 101b 的厚度越大，通道區域越大。即，半導體層 101b 越厚，越能夠提高電晶體的通態電流。例如，半導體層 101b 具有其厚度為 20nm 以上，較佳為 40nm 以上，更佳為 60nm 以上，進一步較佳為 100nm 以上的區域即可。注意，半導體裝置的生產率有時會下降，因此，例如，半導體層 101b 具有其厚度為 300nm 以下，較佳為 200nm 以下，更佳為 150nm 以下的區域即可。

[0225] 此外，為了提高電晶體的通態電流，半導體層 101c 的厚度越小越佳。例如，半導體層 101c 具有其厚度為低於 10nm，較佳為 5nm 以下，更佳為 3nm 以下的區域即可。另一方面，半導體層 101c 具有阻擋構成相鄰的絕緣體的氧之外的元素（氫、矽等）侵入形成有通道的半導體層 101b 中的功能。因此，半導體層 101c 較佳為具有

一定程度的厚度。例如，半導體層 101c 具有其厚度為 0.3nm 以上，較佳為 1nm 以上，更佳為 2nm 以上的區域即可。另外，為了抑制從閘極絕緣膜 102 等釋放的氧向外擴散，半導體層 101c 較佳為具有阻擋氧的性質。

[0226] 此外，為了提高可靠性，較佳為使半導體層 101a 變厚並使半導體層 101c 變薄。例如，半導體層 101a 具有其厚度例如為 10nm 以上，較佳為 20nm 以上，更佳為 40nm 以上，進一步較佳為 60nm 以上的區域即可。藉由將半導體層 101a 形成為厚，可以拉開從相鄰的絕緣體和半導體層 101a 的介面到形成有通道的半導體層 101b 的距離。注意，因為半導體裝置的生產率可能會下降，所以半導體層 101a 具有其厚度例如為 200nm 以下，較佳為 120nm 以下，更佳為 80nm 以下的區域即可。

[0227] 當氧化物半導體膜含有多量的氫時，有時起因於氫而形成施體能階。其結果，導致電晶體的臨界電壓向負向漂移。因此，較佳為藉由在形成氧化物半導體膜之後進行脫水化處理（脫氫化處理），從氧化物半導體膜中去除氫或水分以使其儘量不包含雜質來實現高度純化。

[0228] 另外，有時氧化物半導體膜中的氧也因脫水化處理（脫氫化處理）而被減少。因此，為了填補因對氧化物半導體膜的脫水化處理（脫氫化處理）而增加的氧缺陷，較佳為將氧添加到氧化物半導體膜。在本說明書等中，有時將對氧化物半導體膜供應氧的處理稱為加氧化處理，或者，有時將使氧化物半導體膜的氧含量超過化學計

量組成的處理稱為過氧化處理。

[0229] 如上所述，藉由進行脫水化處理（脫氫化處理）從氧化物半導體膜去除氫或水分，並進行加氧化處理以填補氧缺陷，可以得到被 i 型（本質）化的氧化物半導體膜或極其接近於 i 型而實質上呈 i 型（本質）的氧化物半導體膜。注意，“實質上本質”是指：在氧化物半導體膜中，來自於施體的載子極少（近於零），載子密度為 $1\times10^{17}/cm^3$ 以下，$1\times10^{16}/cm^3$ 以下，$1\times10^{15}/cm^3$ 以下，$1\times10^{14}/cm^3$ 以下，$1\times10^{13}/cm^3$ 以下。

[0230] 如此，具備 i 型或實質上呈 i 型的氧化物半導體膜的電晶體可以實現極為優良的關態電流特性。例如，可以將使用氧化物半導體膜的電晶體處於關閉狀態時的汲極電流在室溫（25℃左右）下設定為 $1\times10^{-18}A$ 以下，較佳為 $1\times10^{-21}A$ 以下，更佳為 $1\times10^{-24}A$ 以下，或者，可以將汲極電流在 85℃的溫度下設定為 $1\times10^{-15}A$ 以下，較佳為 $1\times10^{-18}A$ 以下，更佳為 $1\times10^{-21}A$ 以下。注意，“電晶體處於關閉狀態”是指：在採用 n 通道型電晶體的情況下，閘極電壓充分小於臨界電壓的狀態。明確而言，在閘極電壓比臨界電壓小 1V 以上、2V 以上或 3V 以上時，電晶體成為關閉狀態。

[0231] 在此，藉由元件模擬計算因電晶體的半導體的形狀不同而產生的電特性的差異。圖 65A 至圖 65D 示出用於計算的電晶體的模型。注意，將 Synopsys 公司製造的 Sentaurus 用於計算。

[0232] 圖 65A 及圖 65B 是包括疊層結構的半導體層的電晶體 60a 的剖面結構。圖 65A 是通道長度方向的剖面圖，圖 65B 的通道寬度方向的剖面圖。

[0233] 電晶體 60a 包括：與基板（未圖示）的頂面接觸的絕緣膜 61；與絕緣膜 61 的頂面接觸的半導體層 62；與半導體層 62 的頂面接觸的半導體層 63；與半導體層 63 的頂面接觸並在重疊於半導體層 63 的區域隔開的導電層 65s 及導電層 65d；與半導體層 63 的頂面接觸的半導體層 66；半導體層 66 上的絕緣膜 67；以及隔著絕緣膜 67 重疊於半導體層 63 的閘極電極 68。半導體層 63 中的與導電層 65s、65d 接觸的區域包括低電阻層 64s、64d。絕緣膜 67 用作閘極絕緣膜。導電層 65s、65d 用作源極電極或汲極電極。以覆蓋電晶體 60a 的方式設置有絕緣膜 69。

[0234] 圖 65C 及圖 65D 是包括單層結構的半導體層的電晶體 60b 的剖面結構。圖 65C 是通道長度方向的剖面圖，圖 65D 的通道寬度方向的剖面圖。

[0235] 電晶體 60b 包括：與基板（未圖示）的頂面接觸的絕緣膜 61；與絕緣膜 61 的頂面接觸的絕緣膜 72；與絕緣膜 72 的頂面接觸的半導體層 63；與半導體層 63 的頂面接觸並在重疊於半導體層 63 的區域隔開的導電層 65s 及導電層 65d；與半導體層 63 的頂面接觸的絕緣膜 76；絕緣膜 76 上的絕緣膜 67；以及隔著絕緣膜 67 重疊於半導體層 63 的閘極電極 68。半導體層 63 中的與導電

層 65s、65d 接觸的區域包括低電阻層 64s、64d。絕緣膜 67 及絕緣膜 76 具有用作閘極絕緣膜的功能。以覆蓋電晶體 60b 的方式設置有絕緣膜 69。

[0236] 以下示出用於計算的條件。在電晶體 60a、60b 中，通道長度 L 為 60nm，通道寬度為 60nm，半導體層 63 的長度 L1 為 140nm，通道長度方向上的導電層 65s、65d 重疊於閘極電極 68 的長度為 20nm。絕緣膜 61 的相對介電常數為 4.1，厚度為 400nm。導電層 65s、65d 的功函數為 4.6eV。絕緣膜 67 的相對介電常數為 4.1，厚度為 10nm。閘極電極 68 的功函數為 5.0eV。

[0237] 表 4 示出電晶體 60a、60b 的半導體層 63 的條件。

[0238]

[表 4]

成分比	IGZO(In：Ga：Zn=1：1：1)
電子親和力	4.6 eV
Eg	3.2 eV
相對介電常數	15
施體密度	6.60E-09 cm^{-3}
施體密度(66s,66d)	5.00E+18 cm^{-3}
電子移動率	10 cm^2/Vs
電洞移動率	0.01 cm^2/Vs
N_C	5.00E+18 cm^{-3}
N_V	5.00E+18 cm^{-3}
膜厚	15 nm

[0239] 此外，在電晶體 60a 中，作為半導體層 62、66，使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：3：2），半

導體層 62、66 的電子親和力為 4.3eV，能帶間隙為 3.7eV，相對介電常數為 15，施體密度為 6.6×10^{-9} 個/cm^3，電子移動率為 0.1cm^2/Vs，電洞移動率為 0.01cm^2/Vs，Nc 及 Nv 分別為 5×10^{18} 個/cm^3。另外，半導體層 62 的厚度為 20nm，半導體層 66 的厚度為 5nm。

[0240] 在電晶體 60b 中，絕緣膜 72、76 的電子親和力為 0.9eV，能帶間隙為 9eV，相對介電常數為 15。絕緣膜 72 的厚度為 20nm，絕緣膜 76 的厚度為 5nm。

[0241] 在電晶體 60a 的半導體層 66 與絕緣膜 67 之間設置電子陷阱。在電晶體 60b 的半導體層 63 與絕緣膜 76 之間設置電子陷阱。因為電子陷阱的分佈 f 是正態分佈，所以可以根據算式 9 而被求出。

[0242]

[算式 9]

$$f = N_0 \exp\left(-\frac{(E-E_0)^2}{2E_S^2}\right) \quad (9)$$

注意，在算式 9 中，N_0 為電子俘獲的最大密度，E_0 為導帶底的能量，E 為從導帶底向價帶分佈的電子俘獲的能階，E_s 為電子俘獲的偏差的大小。在此，在 $N_0=1.7\times10^{13}$/eVcm^2，$E_0=0$eV，$E_s=0.1$eV 的條件下進行計算。

[0243] 圖 76A 示出電晶體 60a 的 Vg-Id 特性的計算結果，圖 76B 示出電晶體 60b 的 Vg-Id 特性的計算結果。

在圖 76A 和圖 76B 中，橫軸示出閘極電壓 Vg，第一縱軸示出汲極電流 Id，第二縱軸示出場效移動率。實線示出不設置有電子陷阱的電晶體的計算結果，虛線示出設置有電子陷阱的電晶體的計算結果。細線示出汲極電壓 Vd=0.1V 時的計算結果，粗線是汲極電壓 Vd=1V 時的計算結果。

[0244] 如圖 76B 所示，當在半導體層 63 與絕緣膜 76 之間的介面設置電子俘獲時，通態電流下降。然而，如圖 76A 所示，當在半導體層 66 與絕緣膜 67 之間的介面設置電子陷阱時，通態電流幾乎沒有下降。在疊層結構的半導體層中，半導體層 63 是電子親和力大於半導體層 62 及半導體層 66 的氧化物。在對閘極電極施加電場時，通道形成在半導體層 62、半導體層 63、半導體層 66 中電子親和力最大的半導體層 63 中。由於通道從半導體層 66 與絕緣膜 67 之間的介面遠離，所以在通道中可以減小半導體層 66 與絕緣膜 67 之間的介面的電子陷阱的影響。因此，能夠抑制電晶體的通態電流的下降。另外，能夠抑制電晶體的臨界電壓的變動，而可以提高電晶體的可靠性。

[0245] 在本實施方式中，描述本發明的一個方式。或者，在其他實施方式中，描述本發明的一個方式。但是，本發明的一個方式不侷限於此。例如，雖然作為本發明的一個方式示出使用包含氧化物半導體的電晶體的情況的例子，但是本發明的一個方式不侷限於此。根據情況，本發明的一個方式也可以使用不包含氧化物半導體的電晶體。或者，根據情況，本發明的一個方式也可以使用包含

與氧化物半導體不同的半導體材料的電晶體。作為這樣的電晶體，本發明的一個方式例如也可以使用包含 Si（矽）、Ge（鍺）、SiGe（矽鍺）、GaAs（鎵砷）、碳化矽、氮化物半導體、化合物半導體或有機半導體等的電晶體。作為半導體的結晶性，根據情況，也可以使用非晶半導體、微晶半導體、多晶半導體、單晶半導體等。此外，雖然作為本發明的一個方式示出以固定的原子比包含固定的原子的半導體的例子，但是本發明的一個方式不侷限於此。根據情況，本發明的一個方式也可以使用以不與固定的原子比一致的比率包含原子的半導體。

[0246] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0247]

實施方式 3

以下，對本發明的一個方式的使用氧化物半導體的電晶體的結構及半導體裝置進行說明。

[0248]

[電晶體的變形例]

使用氧化物半導體的電晶體 100 不侷限於實施方式 2 所示的圖 5A 至圖 5C 的結構。例如，電晶體 100 也可以具有圖 6A 和圖 6B 所示的結構。圖 6A 及圖 6B 與圖 5A 至圖 5C 之間的不同之處在於導電層 104a 及導電層 104b 的形狀。在圖 5B 所示的剖面中，導電層 104a 及導電層 104b 與半導體層 101a 的側面、半導體層 101b 的側面及

半導體層 101b 的頂面接觸。在圖 6A 中，導電層 104a 及導電層 104b 與半導體層 101b 的頂面接觸，並且導電層 104a 的端部及導電層 104b 的端部與半導體層 101b 的端部大致一致。另外，圖 6B 示出穿過圖 6A 所示的點劃線 A-B 且垂直於圖 6A 的面的剖面。

[0249] 另外，電晶體 100 也可以具有圖 66A 和圖 66B 所示的結構。圖 66A 及圖 66B 與圖 6A 及圖 6B 之間的不同之處主要在於：在圖 66A 及圖 66B 中，不對絕緣膜 114 的表面進行平坦化。

[0250] 此外，電晶體 100 也可以具有圖 7A 和圖 7B 所示的結構。圖 7A 及圖 7B 與圖 5A 至圖 5C 之間的不同之處在於閘極絕緣膜 102 及半導體層 101c 的形狀。在圖 5B 及圖 5C 中，閘極絕緣膜 102 及半導體層 101c 的端部與閘極電極 103 的端部大致一致。另一方面，在圖 7A 及圖 7B 中，閘極絕緣膜 102 及半導體層 101c 的端部位於閘極電極 103 的端部的外側。此外，圖 7B 示出穿過圖 7A 所示的點劃線 A-B 且垂直於圖 7A 的面的剖面。

[0251] 另外，電晶體 100 也可以具有圖 8A 和圖 8B 所示的結構。在圖 5A 至圖 5C 中，半導體層 101c 與導電層 104a 及導電層 104b 的頂面接觸，而在圖 8A 和圖 8B 中，半導體層 101c 與導電層 104a 及導電層 104b 的底面接觸。此外，圖 8B 示出穿過圖 8A 所示的點劃線 A-B 且垂直於圖 8A 的面的剖面。藉由採用這種結構，當形成構成半導體層 101a、半導體層 101b 及半導體層 101c 的各膜

時，可以以不接觸於大氣的方式連續地進行成膜，所以可以降低各膜之間的介面缺陷。

[0252] 另外，如圖 67A 和圖 67B 所示，電晶體 100 也可以具有層 119a 及層 119b。

[0253] 作為層 119a 及層 119b，例如可以使用透明導電體、氧化物半導體、氮化物半導體或氧氮化物半導體。作為層 119a 及層 119b，例如可以使用包含銦、錫及氧的層、包含銦及鋅的層、包含銦、鎢及鋅的層、包含錫及鋅的層、包含鋅及鎵的層、包含鋅及鋁的層、包含鋅及氟的層、包含鋅及硼的層、包含錫及銻的層、包含錫及氟的層或包含鈦及鈮的層等。另外，這些層也可以包含氫、碳、氮、矽、鍺或氬。

[0254] 層 119a 及層 119b 也可以具有使可見光線透過的性質。另外，層 119a 及層 119b 也可以具有藉由反射或吸收可見光線、紫外線、紅外線或 X 射線而不使它們透過的性質。藉由具有這種性質，有時可以抑制雜散光導致的電晶體的電特性變動。

[0255] 另外，作為層 119a 及層 119b，有時較佳為使用不在與半導體層 101b 等之間形成肖特基能障的層。由此，可以提高電晶體的導通特性。

[0256] 另外，作為層 119a 及層 119b，有時較佳為使用具有比導電層 104a 及導電層 104b 高的電阻的層。此外，作為層 119a 及層 119b，有時較佳為使用具有比電晶體的通道低的電阻的層。例如，可以將層 119a 及層 119b

的電阻率設定為 0.1Ωcm 以上且 100Ωcm 以下、0.5Ωcm 以上且 50Ωcm 以下或 1Ωcm 以上且 10Ωcm 以下。藉由將層 119a 及層 119b 的電阻率設定在上述範圍內，可以緩和通道與汲極之間的邊界部中的電場集中。因此，可以降低電晶體的電特性變動。另外，也可以降低起因於從汲極產生的電場的穿通電流。因此，也可以在通道長度短的電晶體中實現良好的飽和特性。注意，在源極和汲極不調換的電路結構中，有時較佳為僅配置層 119a 和層 119b 中的一個（例如，位於汲極一側的層）。

[0257] 另外，電晶體 100 也可以具有圖 9A 至圖 9D 所示的結構。此外，圖 9B 示出穿過圖 9A 所示的點劃線 A-B 且垂直於圖 9A 的面的剖面。圖 9A 至圖 9D 與圖 5A 至圖 5C 之間的不同之處在於：圖 9A 至圖 9D 不具有導電層 104a 及導電層 104b。在此，如圖 9C 所示，電晶體 100 也可以具有低電阻層 171a 及低電阻層 171b。低電阻層 171a 及低電阻層 171b 較佳為具有用作源極區域或汲極區域的功能。此外，也可以對低電阻層 171a 及低電阻層 171b 添加雜質。藉由添加雜質，可以降低半導體層 101 的電阻。作為雜質，例如較佳為添加選自氫、硼、碳、鎂、鋁、矽、磷、鈣、釩、鈦、釩、鉻、錳、鐵、鈷、鎳、鎵、鍺、砷、釔、鋯、鈮、鉬、銦、錫、鑭、鈰、釹、鈥、鉭、鎢中的一種以上。低電阻層 171a 及低電阻層 171b 是例如在半導體層 101 中包含 5×10^{19}atoms/cm^3 以上，較佳為 1×10^{20}atoms/cm^3 以上，更佳為

2×10^{20}atoms/cm^3 以上，進一步較佳為 5×10^{20}atoms/cm^3 以上的上述雜質元素的區域。圖 9D 是圖 9C 中的區域 324 的放大圖。

[0258] 另外，有時可以在這種電阻低的區域中俘獲雜質諸如不需要的氫等。藉由在低電阻層中俘獲不需要的氫，可以降低通道區域的氫濃度，而獲得電晶體 100 的良好的特性。

[0259] 此外，電晶體 100 也可以具有圖 10A 和圖 10B 所示的結構。圖 10A 及圖 10B 與圖 9A 至圖 9D 之間的不同之處在於半導體層 101c 和閘極絕緣膜 102 的形狀。在圖 9A 及圖 9B 中，閘極絕緣膜 102 的端部與閘極電極 103 的端部大致一致，半導體層 101c 位於閘極電極 103 的端部的外側。在圖 10A 及圖 10B 中，半導體層 101c 和閘極絕緣膜 102 的端部位於閘極電極 103 的端部的外側且半導體層 101c 與半導體層 101a 及半導體層 101b 的側面接觸。另外，圖 10B 示出穿過圖 10A 所示的點劃線 A-B 且垂直於圖 10A 的面的剖面。

[0260] 另外，雖然在圖 6A 至圖 10B 所示的結構中說明以接觸於半導體層 101b 的方式設置有半導體層 101a 及半導體層 101c 的結構，但是也可以採用不設置半導體層 101a 和半導體層 101c 中的一個或兩個的結構。

[0261] 此外，如圖 11A 至圖 11C 所示，電晶體 100 也可以具有閘極電極 103 隔著閘極絕緣膜 102 設置在半導體層 101 的下側的結構。圖 11A 及圖 11B 分別示出電晶

體 100 的俯視圖及剖面圖。圖 11A 是電晶體 100 的俯視圖，圖 11B 是沿著圖 11A 的點劃線 A-B 的剖面圖，並且圖 11C 是沿著圖 11A 的點劃線 C-D 的剖面圖。另外，在圖 11A 中，為了明確起見，省略基板 50、閘極絕緣膜 102、保護膜 25 等。圖 11A 至圖 11C 所示的電晶體 100 包括：設置在基板 50 上的閘極電極 103；形成在基板 50 及閘極電極 103 上的閘極絕緣膜 102；隔著閘極絕緣膜 102 重疊於閘極電極 103 的半導體層 101；以及接觸於半導體層 101 的導電層 104a 及導電層 104b。此外，在閘極絕緣膜 102、半導體層 101、導電層 104a 及導電層 104b 上形成保護膜 25。

[0262] 另外，保護膜 25 接觸於與半導體層 101 中的接觸於閘極絕緣膜 102 的面相反一側的面。就是說，保護膜 25 接觸於與半導體層 101 中的形成通道的區域相反一側的面（以下，稱為背後通道區域），由此具有保護半導體層 101 的背後通道區域的功能。

[0263] 在此，保護膜 25 例如可以是兩層以上的疊層。另外，保護膜 25 較佳為具有其氧含量超過化學計量組成且藉由加熱使氧的一部分脫離的膜。作為保護膜 25，例如可以使用氧化矽膜、氧氮化矽膜、氮化矽膜等。

[0264] 另外，如圖 62A 至圖 62C 所示，電晶體 100 也可以在保護膜 25 上具有電極 126。

[0265] 此外，電晶體 100 也可以具有圖 63A 和圖 63B 所示的結構。在此，圖 11A 至圖 11C 以及圖 62A 至

圖 62C 所示的電晶體 100 是通道蝕刻型電晶體，而圖 63A 和圖 63B 所示的電晶體 100 是通道保護型電晶體。

[0266] 在此，對通道蝕刻型電晶體的製程進行說明。藉由作為通道蝕刻型電晶體的半導體層 101 使用 CAAC-OS 膜，即使當進行用來形成一對導電層 104a 及導電層 104b 的蝕刻時半導體層 101 被露出，由於半導體層 101 的結晶性高而不容易受到蝕刻的損傷，由此也可以獲得良好的電晶體特性。藉由使用通道蝕刻型電晶體，可以使結構簡化。因此，例如可以降低電晶體的製造所需要的成本。

[0267] 另外，因為 CAAC-OS 膜不具有晶界，所以用作銅的障壁膜。例如，可以認為：在將銅用於導電層 104a 及導電層 104b 時，CAAC-OS 膜防止導電層 104a 及導電層 104b 所包含的銅擴散到電晶體的通道區域。

[0268] 圖 63A 所示的電晶體 100 包括：設置在基板 50 上的閘極電極 103；形成在基板 50 及閘極電極 103 上的閘極絕緣膜 102；隔著閘極絕緣膜 102 重疊於閘極電極 103 的半導體層 101；閘極絕緣膜 102 及半導體層 101 上的絕緣膜 127；以及在該絕緣膜的開口部中接觸於半導體層 101 的一對導電層 104a 及導電層 104b。

[0269] 另外，如圖 63B 所示的電晶體 100，也可以包括：形成在半導體層 101 上的絕緣膜 128；以及其端部形成在絕緣膜 128 上且接觸於半導體層 101 的一對導電層 104a 及導電層 104b。

[0270] 當形成一對導電層 104a 及導電層 104b 時，圖 63A 和圖 63B 所示的電晶體 100 的半導體層 101 都被絕緣膜 127 或 128 覆蓋，由此半導體層 101 不受到進行用來形成一對導電層 104a 及導電層 104b 的蝕刻時的損傷。並且，藉由使絕緣膜 127、128 為包含氮且缺陷量少的氧化物絕緣膜，能夠製造電特性變動得到抑制且可靠性得到提高的電晶體。

[0271] 另外，圖 63A 和圖 63B 所示的電晶體 100 也可以具有如圖 62A 至圖 62C 所示的保護膜 25 或電極 126。

[0272]

[結構實例 1]

圖 12A 是本發明的一個方式的半導體裝置的電路圖的一個例子。圖 12A 所示的半導體裝置包括：電晶體 100；電晶體 130；電容元件 150；佈線 BL；佈線 WL；佈線 CL；佈線 SL；以及佈線 BG。

[0273] 在電晶體 130 中，源極和汲極中的一個與佈線 BL 電連接，另一個與佈線 SL 電連接，閘極與電晶體 100 的源極和汲極中的一個及電容元件 150 的一個電極電連接。在電晶體 100 中，源極和汲極中的另一個與佈線 BL 電連接，閘極與佈線 WL 電連接。電容元件 150 的另一個電極與佈線 CL 電連接。另外，佈線 BG 與電晶體 100 的第二閘極電連接。此外，將電晶體 130 的閘極、電晶體 100 的源極和汲極中的一個與電容元件 150 的一個電

極之間的節點稱為節點 FN。

[0274] 在圖 12A 所示的半導體裝置中，當電晶體 100 處於導通狀態（開啟狀態）時，對應於佈線 BL 的電位的電位施加到節點 FN。另外，當電晶體 100 處於非導通狀態（關閉狀態）時，具有保持節點 FN 的電位的功能。就是說，圖 12A 所示的半導體裝置具有記憶體裝置的記憶單元的功能。另外，當圖 12A 所示的半導體裝置具有與節點 FN 電連接的液晶元件或有機 EL（Electroluminescence：電致發光）元件等顯示元件時，可以將其用作顯示裝置的像素。

[0275] 可以根據施加到佈線 WL 或佈線 BG 的電位控制電晶體 100 的導通狀態、非導通狀態的選擇。另外，可以根據施加到佈線 WL 或佈線 BG 的電位控制電晶體 100 的臨界電壓。藉由作為電晶體 100 使用關態電流小的電晶體，可以長期間地保持非導通狀態下的節點 FN 的電位。因此，可以降低半導體裝置的更新頻率，所以可以實現耗電量小的半導體裝置。另外，作為關態電流小的電晶體的一個例子，可以舉出使用氧化物半導體的電晶體。

[0276] 另外，佈線 CL 被施加參考電位、接地電位或任意的固定電位等恆電位。此時，電晶體 100 的外觀上的臨界電壓根據節點 FN 的電位變動。根據外觀上的臨界電壓的變動而電晶體 130 的導通狀態、非導通狀態變化，由此可以作為資料讀出保持在節點 FN 中的電位的資訊。

[0277] 另外，為了使保持在節點 FN 中的電位以 85

℃保持 10 年（3.15×10^{8} 秒），較佳的是，每電容 1fF 的關態電流值及電晶體的每通道寬度 1μm 的關態電流值小於 4.3yA（攸安培（yoctoampere）：1yA 為 10^{-24}A）。此時，節點 FN 的電位的允許變動較佳為 0.5V 以內。此外，在 95℃下，上述關態電流較佳為小於 1.5yA。在本發明的一個方式的半導體裝置中，障壁膜的下層的氫濃度充分得到降低，其結果，其上層的使用氧化物半導體的電晶體可以實現這種極低的關態電流。

[0278] 另外，藉由增加電容，可以在節點 FN 中更長時間地保持電位。就是說，可以延長保持時間。

[0279] 藉由將圖 12A 所示的半導體裝置配置為矩陣狀，可以構成記憶體裝置（記憶單元陣列）。

[0280] 圖 13A 至圖 13C 示出能夠實現圖 12A 所示的電路的半導體裝置的剖面結構的一個例子。另外，圖 13B 示出穿過圖 13A 所示的點劃線 A-B 且垂直於圖 13A 的面的剖面。此外，圖 13C 示出穿過圖 13A 所示的點劃線 C-D 且垂直於圖 13A 的面的剖面。

[0281] 半導體裝置包括電晶體 130、電晶體 100 及電容元件 150。電晶體 100 設置在電晶體 130 的上方，在電晶體 130 與電晶體 100 之間至少設置有一層以上的障壁膜。另外，也可以形成多個障壁膜。

[0282] 在圖 13A 至圖 13C 中，作為電晶體 100 使用圖 7A 和圖 7B 所示的電晶體結構。

[0283] 電晶體 130 包含第一半導體材料。另外，電

晶體 100 包含第二半導體材料。雖然第一半導體材料和第二半導體材料可以為相同的材料，但是較佳為不同的半導體材料。

[0284] 作為可以用作第一半導體材料或第二半導體材料的半導體，例如可以舉出：矽、鍺、鎵、砷等半導體材料；包含矽、鍺、鎵、砷、鋁等的化合物半導體材料；有機半導體材料；或氧化物半導體材料等。

[0285] 在此，對作為第一半導體材料使用單晶矽且作為第二半導體材料使用氧化物半導體的情況進行說明。

[0286]

[第一電晶體]

電晶體 130 設置在半導體基板 131 上，並且包括：半導體基板 131 的一部分的半導體層 132；閘極絕緣膜 134；閘極電極 135；以及用作源極區域或汲極區域的低電阻層 133a 及低電阻層 133b。

[0287] 電晶體 130 可以為 p 通道型或 n 通道型，可以根據電路結構或驅動方法使用適當的電晶體。

[0288] 半導體層 132 的形成通道的區域或其附近的區域、用作源極區域或汲極區域的低電阻層 133a 及低電阻層 133b 等較佳為包含矽類半導體等半導體，更佳為包含單晶矽。另外，也可以使用包含 Ge（鍺）、SiGe（矽鍺）、GaAs（砷化鎵）、GaAlAs（鎵鋁砷）等材料形成。也可以使用具有晶格畸變的矽。此外，電晶體 130 也可以是使用 GaAs 和 GaAlAs 等的 HEMT（High Electron

Mobility Transistor：高電子移動率電晶體）。

[0289] 另外，電晶體 130 也可以包括用作 LDD（Lightly Doped Drain：輕摻雜汲極）區域的區域 176a 和區域 176b。

[0290] 在低電阻層 133a 及低電阻層 133b 中，除了應用於半導體層 132 的半導體材料之外，還包含磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素。

[0291] 作為閘極電極 135，可以使用包含磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素的矽等半導體材料、金屬材料、合金材料或金屬氧化物材料等導電材料。尤其是，較佳為使用同時實現耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。

[0292] 在此，也可以使用如圖 15C 及圖 15D 所示的電晶體 190 代替電晶體 130。圖 15D 示出穿過圖 15C 所示的點劃線 E-F 且垂直於圖 15C 的面的剖面。在電晶體 190 中，形成通道的半導體層 132（半導體基板的一部分）具有凸形狀，沿著其側面及頂面設置有閘極絕緣膜 134 及閘極電極 135。另外，在電晶體之間設置有元件分離層 181。因為利用半導體基板的凸部，所以這種電晶體 190 被稱為 FIN 型電晶體。另外，也可以以與凸部的上部接觸的方式具有用作用來形成凸部的遮罩的絕緣膜。此外，雖然在此示出對半導體基板的一部分進行加工來形成凸部的情況，但是也可以對 SOI（Silicon on Insulator：絕緣層上覆矽）基板進行加工來形成具有凸形狀的半導體層。

[0293] 以覆蓋電晶體 130 的方式依次層疊有絕緣膜 136、絕緣膜 137 及絕緣膜 138。

[0294] 在半導體裝置的製程中，絕緣膜 136 用作用來使添加到低電阻層 133a 及低電阻層 133b 的賦予導電性的元素活化的保護膜。如果不需要則可以不設置絕緣膜 136。

[0295] 當將矽類半導體材料用於半導體層 132 時，絕緣膜 137 較佳為包含含有氫的絕緣材料。藉由將含有氫的絕緣膜 137 設置在電晶體 130 上而進行加熱處理，由絕緣膜 137 中的氫終結半導體層 132 中的懸空鍵，由此可以提高電晶體 130 的可靠性。

[0296] 絕緣膜 138 用作使起因於設置在其下層的電晶體 130 等產生的步階平坦化的平坦化層。為了提高絕緣膜 138 的頂面的平坦性，其頂面也可以藉由利用 CMP（Chemical Mechanical Polishing：化學機械拋光）法等平坦化處理被平坦化。

[0297] 另外，也可以在絕緣膜 136、絕緣膜 137、絕緣膜 138 中埋入有與低電阻層 133a 或低電阻層 133b 等電連接的插頭 140、與電晶體 130 的閘極電極 135 電連接的插頭 139 等。

[0298]

[電容元件]

在電晶體 130 與電晶體 100 之間設置有障壁膜 111。如圖 13A 至圖 13C 所示，障壁膜可以是單層或多層。

[0299] 障壁膜 111 具有抑制水及氫從障壁膜 111 的下層擴散到其上層的功能。另外，障壁膜 111 的氧透過性較佳為低。此外，障壁膜 111 也可以具有用來將設置在障壁膜 111 的上方的電極或佈線與設置在其下方的電極或佈線電連接的開口或插頭。在此，“抑制水及氧的擴散”是指例如與一般用作絕緣膜的氧化矽等相比，不容易使水及氫擴散或者水及氫的透過性低的情況。此外，“氧透過性低”是指與一般用作絕緣膜的氧化矽等相比，氧的透過性低的情況。

[0300] 與障壁膜 111 同樣，作為絕緣膜 112 較佳為使用水或氫不容易擴散的材料。另外，尤其是，作為絕緣膜 112 較佳為使用不容易使氧透過的材料。此外，絕緣膜 112 也可以是兩層以上的疊層結構。在此情況下，例如使絕緣膜 112 具有兩層的疊層結構，例如可以將氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等用於下層。另外，與障壁膜 111 同樣，較佳為將水或氫不容易擴散的材料用於上層。此外，設置在下層的絕緣膜作為與後面說明的絕緣膜 114 同樣的藉由加熱使氧脫離的絕緣膜，可以採用隔著閘極絕緣膜 102 從半導體層 101 的上側也供應氧的結構。

[0301] 藉由由包含不容易使氧透過的材料的絕緣膜 112 覆蓋半導體層 101，可以抑制氧從半導體層 101 釋放到絕緣膜 112 的上方。再者，可以使從絕緣膜 114 脫離的氧封閉在絕緣膜 112 的下側，所以可以增大可能供應到半

導體層 101 的氧量。

[0302] 另外，藉由設置不容易使水或氫透過的絕緣膜 112，可以抑制從外部混入對氧化物半導體來說是雜質的水或氫，而電晶體 100 的電特性變動得到抑制，因此可以實現可靠性高的電晶體。

[0303] 另外，也可以在絕緣膜 112 的下側設置與絕緣膜 114 同樣的藉由加熱使氧脫離的絕緣膜，藉由閘極絕緣膜 102 從半導體層 101 的上側也供應氧。

[0304] 在此，較佳的是，在障壁膜 111 的下層中儘量降低氫或水等。或者，較佳為抑制氣體的釋放。氫或水對氧化物半導體來說有可能成為引起電特性變動的主要原因。另外，雖然可以由障壁膜 111 抑制氫或水從障壁膜 111 的下層擴散到上層，但是氫或水有時藉由設置在障壁膜 111 中的開口或插頭等會擴散到上層。

[0305] 為了降低位於障壁膜 111 的下層的各層所包含的氫或水，或者為了抑制氣體的釋放，較佳的是，在形成障壁膜 111 之前，或者剛在障壁膜 111 中形成用來形成插頭的開口之後，進行用來去除障壁膜 111 的下層所包含的氫或水或者用來抑制氣體的釋放的加熱處理。只要構成半導體裝置的導電膜等的耐熱性或電晶體的電特性不發生劣化，加熱處理的溫度越高越好。明確而言，例如可以將其設定為 450℃以上，較佳為 490℃以上，更佳為 530℃以上，但是也可以設定為 650℃以上。較佳的是，在惰性氣體氛圍下或減壓氛圍下進行 1 小時以上，較佳為 5 小時

以上，更佳為 10 小時以上的加熱處理。另外，加熱處理的溫度可以考慮到位於障壁膜 111 的下方的佈線或電極的材料的耐熱性而決定，例如當該材料的耐熱性低時，可以在 550℃以下、600℃以下、650℃以下或 800℃以下的溫度下進行加熱處理。另外，只要進行這種加熱處理至少一次以上即可，而較佳為進行多次。

[0306] 在設置在障壁膜 111 的下層的絕緣膜中，藉由熱脫附譜分析（也稱為 TDS 分析）測量的基板表面溫度為 400℃下的氫分子的脫離量為基板表面溫度為 300℃下的氫分子的脫離量的 130%以下，較佳為 110%以下。或者，藉由 TDS 分析測量的基板表面溫度為 450℃下的氫分子的脫離量為基板表面溫度為 350℃下的氫分子的脫離量的 130%以下，較佳為 110%以下。

[0307] 另外，障壁膜 111 本身所包含的水或氫也較佳為得到減少。或者，較佳為抑制氣體的釋放。例如，作為障壁膜 111，較佳為使用藉由 TDS 分析測量的基板表面溫度為 20℃至 600℃的範圍內的氫分子（M/z=2）的脫離量低於 2×10^{15} 個/cm^2，較佳為低於 1×10^{15} 個/cm^2，更佳為低於 5×10^{14} 個/cm^2 的材料。或者，作為障壁膜 111，較佳為使用藉由 TDS 分析測量的基板表面溫度為 20℃至 600℃的範圍內的水分子（M/z=18）的脫離量低於 1×10^{16} 個/cm^2，較佳為低於 5×10^{15} 個/cm^2，更佳為低於 2×10^{12} 個/cm^2 的材料。

[0308] 另外，在作為電晶體 130 的半導體層使用單

晶矽的情況下，該加熱處理可以兼作由氫終結矽的懸空鍵的處理（也稱為氫化處理）。藉由氫化處理，電晶體 130 的閘極絕緣膜或形成於障壁膜 111 的下層的其他絕緣膜所包含的一部分氫脫離並擴散到第一電晶體的半導體層中，而使矽中的懸空鍵終結，由此可以提高第二電晶體的可靠性。

[0309] 作為障壁膜 111，例如可以使用包含氧化鋁、氧化鉿、氧化鉭、氧化鋯、鋯鈦酸鉛（PZT）、鈦酸鍶（$SrTiO_3$）或（Ba，Sr）TiO_3（BST）等所謂的高介電常數（high-k）材料的絕緣膜的單層或疊層。另外，例如也可以對這些絕緣膜添加氧化鋁、氧化鉍、氧化鍺、氧化鈮、氧化矽、氧化鈦、氧化鎢、氧化釔、氧化鋯、氧化鎵。此外，也可以對這些絕緣膜進行氮化處理形成氧氮化膜。還可以在上述絕緣膜上層疊氧化矽、氧氮化矽或氮化矽。尤其是，氧化鋁具有對水或氫的優良的阻擋性，所以是較佳的。

[0310] 作為障壁膜 111，除了不容易使水或氫透過的材料的層之外，也可以使用包含其他絕緣材料的層的疊層。例如，也可以使用包含氧化矽或氧氮化矽的層、包含金屬氧化物的層等的疊層。

[0311] 另外，作為障壁膜 111，較佳為使用不容易使氧透過的材料。上述材料是不但對氫、水而且對氧也具有優良的阻擋性的材料。藉由使用這種材料，可以抑制當對絕緣膜 114 進行加熱時被釋放的氧擴散到障壁膜 111 的下

層。其結果，可以增大可能從絕緣膜 114 被釋放而供應到電晶體 100 的半導體層的氧量。

[0312] 如此，降低位於障壁膜 111 的下層的各層所包含的氫或水的濃度，或者藉由抑制氣體的釋放且設置障壁膜 111 抑制氫或水擴散到電晶體 100 中。因此，可以使絕緣膜 114 或構成電晶體 100 的各層中的氫及水的含量極低。例如，可以將絕緣膜 114、電晶體 100 的半導體層 101 或閘極絕緣膜 102 所包含的氫的濃度降低到低於 $5\times10^{18}cm^{-3}$，較佳為低於 $1\times10^{18}cm^{-3}$，更佳為低於 $3\times10^{17}cm^{-3}$。

[0313] 藉由上述結構，也可以在第一電晶體和第二電晶體中都可以實現高可靠性，由此可以實現可靠性極高的半導體裝置。

[0314] 以夾著障壁膜 111 的方式設置有導電層 151、導電層 152a 及導電層 152b，由此形成電容元件 150。插頭 140、導電層 251 與電晶體 100 的導電層 104b 電連接。導電層 151 與電晶體 100 的導電層 104a 電連接。導電層 151、導電層 143 及導電層 251 以填充在絕緣膜 115 中的開口部的方式形成。

[0315] 以覆蓋障壁膜 111、導電層 152a、導電層 152b 及導電層 105 等的方式設置有絕緣膜 114。

[0316] 絕緣膜 114 的頂面較佳為藉由利用 CMP 法等的平坦化處理被平坦化。

[0317] 另外，絕緣膜 114 較佳為包含氧化物。尤其

是，較佳為包含藉由加熱使一部分氧脫離的氧化物材料。較佳為使用其氧含量超過化學計量組成的氧化物。當作為第二半導體材料使用氧化物半導體時，從絕緣膜 114 脫離的氧供應到氧化物半導體，可以減少氧化物半導體中的氧缺陷。其結果，可以抑制第二電晶體的電特性變動，而可以提高可靠性。

[0318] 另外，作為絕緣膜 114，較佳為使用藉由加熱使一部分氧脫離的氧化物材料。作為藉由加熱使氧脫離的氧化物材料，較佳為使用其氧含量超過化學計量組成的氧化物。在其氧含量超過化學計量組成的氧化物膜中，藉由加熱使一部分氧脫離。其氧含量超過化學計量組成的氧化物膜是在熱脫附譜分析中，換成為氧原子的氧的脫離量為 1.0×10^{18}atoms/cm^3 以上，較佳為 3.0×10^{20}atoms/cm^3 以上的氧化物膜。注意，上述 TDS 分析時的膜的表面溫度較佳為 100℃以上且 700℃以下或 100℃以上且 500℃以下。

[0319] 例如，作為這種材料，較佳為使用包含氧化矽或氧氮化矽的材料。另外，也可以使用金屬氧化物。作為金屬氧化物，可以使用氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化釔、氧氮化釔、氧化鉿、氧氮化鉿等。注意，在本說明書中，“氧氮化矽”是指在其組成中氧含量多於氮含量的材料，而“氮氧化矽”是指在其組成中氮含量多於氧含量的材料。

[0320] 另外，為了使絕緣膜 114 含有過剩氧，也可以對絕緣膜 114 引入氧而形成含有過剩氧的區域。例如，

對成膜之後的絕緣膜 114 引入氧（至少包含氧自由基、氧原子、氧離子中的任一個）而形成包含過剩氧的區域。作為氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子佈植技術、電漿處理等。

[0321]

[第二電晶體]

在絕緣膜 114 的上部設置有電晶體 100 的半導體層 101。

[0322] 電晶體 110 包括：接觸於絕緣膜 114 的頂面的半導體層 101；導電層 104a 及導電層 104b；半導體層 101 上的閘極絕緣膜 102；以及隔著閘極絕緣膜 102 重疊於半導體層 101 的閘極電極 103。另外，以覆蓋電晶體 100 的方式設置有絕緣膜 112、絕緣膜 113 及絕緣膜 116。此外，電晶體 100 也可以具有用作第二閘極電極的導電層 105。

[0323] 另外，半導體層 101 也可以以單層形成，如圖 13A 至圖 13C 所示，較佳為以半導體層 101a、半導體層 101b 及半導體層 101c 的疊層結構形成。圖 13A 至圖 13C 所示的電晶體 100 包括：半導體層 101a；接觸於半導體層 101a 的頂面的半導體層 101b；接觸於半導體層 101b 的頂面並在重疊於半導體層 101b 的區域隔開的導電層 104a 及導電層 104b；接觸於半導體層 101b 的頂面的半導體層 101c；半導體層 101c 上的閘極絕緣膜 102；以及隔著閘極絕緣膜 102 及半導體層 101c 重疊於半導體層 101b

的閘極電極 103。另外，圖 13A 至圖 13C 所示的電晶體 100 包括用作第二閘極電極的導電層 105。導電層 105 也可以與構成電容元件 150 的一部分的導電層 152a 及導電層 152b 同時形成。半導體層 101a 設置在絕緣膜 114 與半導體層 101b 之間。半導體層 101c 設置在半導體層 101b 與閘極絕緣膜 102 之間。導電層 104a 及導電層 104b 接觸於半導體層 101b 的頂面及閘極絕緣膜 103c 的底面。

[0324] 另外，以覆蓋電晶體 100 的方式設置有絕緣膜 112、絕緣膜 113 及絕緣膜 116。

[0325] 在此，作為半導體層 101b 較佳為使用氧化物半導體。藉由加熱從絕緣膜 114 脫離的氧供應到半導體層 101b，由此可以降低半導體層 101b 中的氧缺陷。其結果，例如可以抑制電晶體 100 的電特性變動，而提高可靠性。

[0326] 下面，對半導體層 101b 為 In-Ga-Zn 氧化物時的結晶性與氧透過性的關係進行說明。

[0327] 藉由計算來求得 In-Ga-Zn 氧化物的結晶中的起因於過剩氧（氧）遷移的能障。在計算中，使用根據密度泛函理論的平面波基第一原理計算軟體 VASP（Vienna ab-initio simulation package）。注意，作為泛函數，使用 GGA-PBE。另外，將平面波截止能量設定為 400eV。此外，藉由 PAW（Projector Augmented Wave：投影綴加波）法將內殼層電子的效果反映在計算結果中。

[0328] 在此，在圖 61 所示的 In-Ga-Zn 氧化物的結晶

中，計算出過剩氧（氧）在遷移路徑 1、遷移路徑 2、遷移路徑 3 和遷移路徑 4 之中哪個路徑比較容易遷移。

[0329] 另外，遷移路徑 1 是鍵合於與三個銦原子以及一個鋅原子鍵合的氧的過剩氧（氧）鍵合到相鄰的與三個銦原子以及一個鋅原子鍵合的氧的路徑。此外，遷移路徑 2 是鍵合於與三個銦原子以及一個鎵原子鍵合的氧的過剩氧（氧）穿過包含銦及氧的層而鍵合到相鄰的與三個銦原子以及一個鋅原子鍵合的氧的路徑。另外，遷移路徑 3 是鍵合於與兩個鎵原子以及一個鋅原子鍵合的氧的過剩氧（氧）鍵合到相鄰的與兩個鋅原子以及一個鎵原子鍵合的氧的路徑。此外，遷移路徑 4 是鍵合於與兩個鎵原子以及一個鋅原子鍵合的氧的過剩氧（氧）穿過包含鎵、鋅及氧的層而鍵合到相鄰的與三個銦原子以及一個鎵原子鍵合的氧的路徑。

[0330] 在將超越每單位時間的擴散的能障 E_a 的頻率作為擴散頻率 R 時，R 可以以下面所示的算式來表示。

[0331] $R = \nu \cdot \exp[-E_a/(k_BT)]$

[0332] 另外，ν 表示擴散原子的熱振動數，k_B 表示波茲曼常數，T 表示絕對溫度。以表 5 表示對 ν 施加 10^{13}[1/sec]作為德拜頻率時的 350℃及 450℃下的擴散頻率 R。

[0333]

[表 5]

	能障 [eV]	擴散頻率 R [1/sec]	
		350℃	450℃
遷移路徑 1	0.50	9.0×10^{8}	3.3×10^{9}
遷移路徑 2	1.97	1.2×10^{-3}	1.9×10^{-1}
遷移路徑 3	0.53	5.2×10^{8}	2.0×10^{9}
遷移路徑 4	0.56	3.0×10^{8}	1.3×10^{9}

[0334] 如表 5 所示，穿過包含銦及氧的層的遷移路徑 2 的能障比其他遷移路徑高。這示出在 In-Ga-Zn 氧化物的結晶中，過剩氧（氧）不容易在 c 軸方向上遷移。即，示出在如 CAAC-OS 等，結晶具有 c 軸配向性且 c 軸朝向大致垂直於被形成面或頂面的方向的情況下，過剩氧（氧）不容易在大致垂直於被形成面或頂面的方向上遷移。

[0335] 因此，在將過剩氧供應到半導體層 101b 的情況下，可以從與垂直於被形成面或頂面的方向稍微偏離的方向供應氧。例如，在形成半導體層 101b 之後，從其側面供應氧即可。

[0336] 另外，例如在半導體層 101a 上層疊半導體層 101b 的情況下，在半導體層 101a 的頂面，即與半導體層 101b 的介面不容易產生過剩氧的移動。因此，可以抑制供應到半導體層 101b 的氧的釋放。與此同樣，在半導體層 101b 上層疊半導體層 101c 的情況下，在半導體層 101b 與半導體層 101c 的介面不容易產生過剩氧的移動，

可以抑制氧從半導體層 101b 被釋放。另一方面，氧從半導體層 101b 的側面有可能容易被釋放，所以如圖 5A 至圖 5C 所示那樣，較佳為由半導體層 101c 覆蓋半導體層 101b 的側面。或者，如圖 6A 和圖 6B 所示那樣，較佳為由絕緣膜 112 覆蓋半導體層 101b 的側面，或者隔著閘極絕緣膜 102 由閘極電極 103 等覆蓋半導體層 101b 的側面。

[0337] 另外，導電層 104a（和/或導電層 104b）的至少一部分（或全部）設置在半導體層 101b（和/或半導體層 101a）等半導體層的表面、側面、頂面和/或底面的至少一部分（或全部）。

[0338] 另外，導電層 104a（和/或導電層 104b）的至少一部分（或全部）與半導體層 101b（和/或半導體層 101a）等半導體層的表面、側面、頂面和/或底面的至少一部分（或全部）接觸。此外，導電層 104a（和/或導電層 104b）的至少一部分（或全部）與半導體層 101b（和/或半導體層 101a）等半導體層的至少一部分（或全部）接觸。

[0339] 另外，導電層 104a（和/或導電層 104b）的至少一部分（或全部）與半導體層 101b（和/或半導體層 101a）等半導體層的表面、側面、頂面和/或底面的至少一部分（或全部）電連接。此外，導電層 104a（和/或導電層 104b）的至少一部分（或全部）與半導體層 101b（和/或半導體層 101a）等半導體層的至少一部分（或全部）電連接。

[0340] 另外，導電層 104a（和/或導電層 104b）的至少一部分（或全部）設置在半導體層 101b（和/或半導體層 101a）等半導體層的表面、側面、頂面和/或底面的至少一部分（或全部）的附近。此外，導電層 104a（和/或導電層 104b）的至少一部分（或全部）設置在半導體層 101b（和/或半導體層 101a）等半導體層的至少一部分（或全部）的附近。

[0341] 另外，導電層 104a（和/或導電層 104b）的至少一部分（或全部）設置在半導體層 101b（和/或半導體層 101a）等半導體層的表面、側面、頂面和/或底面的至少一部分（或全部）的橫方向上。此外，導電層 104a（和/或導電層 104b）的至少一部分（或全部）設置在半導體層 101b（和/或半導體層 101a）等半導體層的至少一部分（或全部）的橫方向上。

[0342] 另外，導電層 104a（和/或導電層 104b）的至少一部分（或全部）設置在半導體層 101b（和/或半導體層 101a）等半導體層的表面、側面、頂面和/或底面的至少一部分（或全部）的斜上方。此外，導電層 104a（和/或導電層 104b）的至少一部分（或全部）設置在半導體層 101b（和/或半導體層 101a）等半導體層的至少一部分（或全部）的斜上方。

[0343] 另外，導電層 104a（和/或導電層 104b）的至少一部分（或全部）設置在半導體層 101b（和/或半導體層 101a）等半導體層的表面、側面、頂面和/或底面的至

少一部分（或全部）的上方。此外，導電層 104a（和/或導電層 104b）的至少一部分（或全部）設置在半導體層 101b（和/或半導體層 101a）等的半導體層的至少一部分（或全部）的上方。

[0344] 半導體層 101 也可以在通道形成區域中包含矽類半導體等半導體。尤其是，半導體層 101 較佳為包含能帶間隙比矽寬的半導體。較佳的是，半導體層 101 包含氧化物半導體。藉由使用能帶間隙比矽寬且載子密度小的半導體材料，可以降低電晶體的關閉狀態（off-state）時的電流，所以是較佳的。

[0345] 藉由作為半導體層使用上述材料，可以實現電特性變動得到抑制的可靠性高的電晶體。

[0346] 能夠適用於半導體層的氧化物半導體的較佳的方式例如可以參照實施方式 1 所示的氧化物半導體。

[0347] 注意，在本說明書等中，實質上本質是指氧化物半導體層的載子密度低於 $1\times10^{17}/cm^3$、低於 $1\times10^{15}/cm^3$ 或低於 $1\times10^{13}/cm^3$ 的狀態。藉由使氧化物半導體層高純度本質化，可以對電晶體賦予穩定的電特性。

[0348] 導電層 104a 和導電層 104b 中的一個用作源極電極，另一個用作汲極電極。

[0349] 導電層 104a 及導電層 104b 使用鋁、鈦、鉻、鎳、銅、釔、鋯、鉬、銀、鉭和鎢等金屬或以這些元素為主要成分的合金以單層結構或疊層結構形成。例如，可以舉出包含矽的鋁膜的單層結構、在鈦膜上層疊鋁膜的

兩層結構、在鎢膜上層疊鋁膜的兩層結構、在銅-鎂-鋁合金膜上層疊銅膜的兩層結構、在鈦膜上層疊銅膜的兩層結構、在鎢膜上層疊銅膜的兩層結構、依次層疊鈦膜或氮化鈦膜、鋁膜或銅膜以及鈦膜或氮化鈦膜的三層結構、以及依次層疊鉬膜或氮化鉬膜、鋁膜或銅膜以及鉬膜或氮化鉬膜的三層結構等。另外，也可以使用包含氧化銦、氧化錫或氧化鋅的透明導電材料。

[0350] 作為閘極絕緣膜 102，例如使用氧化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鉿、氧化鎵、Ga-Zn 類金屬氧化物、氮化矽等即可，並以疊層或單層的結構設置。

[0351] 此外，作為閘極絕緣膜 102 也可以使用矽酸鉿（$HfSiO_x$）、添加有氮的矽酸鉿（$HfSi_xO_yN_z$）、添加有氮的鋁酸鉿（$HfAl_xO_yN_z$）、氧化釔等 high-k 材料。

[0352] 另外，作為閘極絕緣膜 102 可以使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化鑭、氧化鈰、氧化鉿和氧化鉭等氧化物絕緣膜、氮化矽、氮氧化矽、氮化鋁和氮氧化鋁等氮化物絕緣膜或者混合上述材料的膜。

[0353] 另外，與絕緣膜 114 同樣，作為閘極絕緣膜 102 較佳為使用其氧含量超過化學計量組成的氧化物絕緣膜。

[0354] 此外，藉由將特定的材料用於閘極絕緣膜，可以在特定的條件下使閘極絕緣膜俘獲電子而提高臨界電壓。例如，如氧化矽及氧化鉿的疊層膜那樣，作為閘極絕

緣膜的一部分使用氧化鉿、氧化鋁、氧化鉭等電子俘獲能階多的材料，在更高溫度（比半導體裝置的使用溫度或保管溫度高的溫度、或者 125℃以上且 450℃以下，典型的是 150℃以上且 300℃以下）下，將閘極電極的電位保持為高於源極電極或汲極電極的電位的狀態 1 秒以上，典型的是 1 分鐘以上，電子從半導體膜向閘極電極移動，其一部分被電子俘獲能階俘獲。

[0355] 像這樣，使電子俘獲能階俘獲電子的電晶體的臨界電壓向正一側漂移。藉由控制閘極電極的電壓可以控制電子的俘獲量，由此可以控制臨界電壓。另外，俘獲電子的處理在電晶體的製造過程中進行即可。

[0356] 例如，在形成與電晶體的源極電極或汲極電極連接的佈線金屬之後、前製程（晶圓處理）結束之後、晶圓切割製程之後或者封裝之後等發貨之前的任一個步驟進行俘獲電子的處理即可。不管在上述哪一種情況下，都較佳為在該處理之後不將電晶體放置在 125℃以上的溫度下 1 小時以上。

[0357] 閘極電極 103 例如可以使用選自鋁、鉻、銅、鉭、鈦、鉬、鎢中的金屬、以上述金屬為成分的合金或組合上述金屬元素的合金等而形成。另外，也可以使用選自錳、鋯中的一個或多個的金屬。此外，也可以使用以摻雜有磷等雜質元素的多晶矽為代表的半導體、鎳矽化物等矽化物。另外，閘極電極 103 可以具有單層結構或兩層以上的疊層結構。例如，可以舉出包含矽的鋁膜的單層結

構、在鋁膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鎢膜的兩層結構、在氮化鉭膜或氮化鎢膜上層疊鎢膜的兩層結構以及依次層疊鈦膜、該鈦膜上的鋁膜和其上的鈦膜的三層結構等。此外，也可以使用組合鋁與選自鈦、鉭、鎢、鉬、鉻、釹、鈧中的一種或多種的合金膜或它們的氮化膜。

[0358] 另外，閘極電極 103 也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等透光導電材料。此外，也可以採用上述透光導電材料與上述金屬的疊層結構。

[0359] 另外，可以在閘極電極 103 和閘極絕緣膜 102 之間設置 In-Ga-Zn 類氧氮化物半導體膜、In-Sn 類氧氮化物半導體膜、In-Ga 類氧氮化物半導體膜、In-Zn 類氧氮化物半導體膜、Sn 類氧氮化物半導體膜、In 類氧氮化物半導體膜、金屬氮化膜（InN、ZnN 等）等。由於上述膜具有 5eV 以上，較佳為 5.5eV 以上的功函數，且該值比氧化物半導體的電子親和力大，所以可以使使用氧化物半導體的電晶體的臨界電壓向正方向漂移，從而可以實現所謂常關閉特性的切換元件。例如，在使用 In-Ga-Zn 類氧氮化物半導體膜的情況下，使用氮濃度至少高於半導體層 101，具體為 7at.%（原子百分比）以上的 In-Ga-Zn 類氧氮化物半導體膜。

[0360] 與障壁膜 111 同樣，作為絕緣膜 112 較佳為使用水或氫不容易擴散的材料。另外，尤其是，作為絕緣膜 112 較佳為使用不容易使氧透過的材料。

[0361] 藉由由包含不容易使氧透過的材料的絕緣膜 112 覆蓋半導體層 101，可以抑制氧從半導體層 101 釋放到絕緣膜 112 的上方。再者，可以使從絕緣膜 114 脫離的氧封閉在絕緣膜 112 的下側，所以可以增大可能供應到半導體層 101 的氧量。

[0362] 另外，藉由設置不容易使水或氫透過的絕緣膜 112，可以抑制從外部混入對氧化物半導體來說是雜質的水或氫，而電晶體 100 的電特性變動得到抑制，因此可以實現可靠性高的電晶體。

[0363] 另外，也可以在絕緣膜 112 的下側設置與絕緣膜 114 同樣的藉由加熱使氧脫離的絕緣膜，藉由閘極絕緣膜 102 從半導體層 101 的上側也供應氧。

[0364] 另外，如圖 13B 所示，藉由在電晶體的通道寬度方向上的剖面中閘極電極 103 與半導體層 101b 的頂面及側面對置，不但在半導體層 101b 的頂面附近，而且在側面附近也形成通道，實效的通道寬度增大，可以增高開啟狀態下的電流（通態電流）。尤其是，在半導體層 101b 的寬度極小（例如，50nm 以下，較佳為 30nm 以下，更佳為 20nm 以下）的情況下，形成通道的區域擴散到半導體層 101b 的內部；因此，越微型化，越有助於通態電流。

[0365] 以上是對電晶體 100 的說明。

[0366] 覆蓋電晶體 100 的絕緣膜 116 用作覆蓋其下層的凹凸形狀的平坦化層。另外，絕緣膜 113 也可以具有形成絕緣膜 116 時的保護膜的功能。如果不需要，則可以不設置絕緣膜 113。

[0367] 在絕緣膜 112、絕緣膜 113 及絕緣膜 116 中埋入有與導電層 104b 或導電層 104a 電連接的插頭 321、插頭 322、插頭 123。

[0368] 在絕緣膜 116 的上部設置有與插頭 322 電連接的佈線 124 等。

[0369] 在此，圖 13A 所示的佈線 124 相當於圖 12A 和圖 12B 所示的佈線 BL。與此同樣，圖 13B 所示的佈線 166 相當於佈線 BG。另外，雖然未圖示，但是與圖 13A 至圖 13C 所示的閘極電極 103 連接的佈線相當於佈線 WL。此外，與導電層 152a 及導電層 152b 連接的佈線相當於佈線 CL。另外，與電晶體 130 的低電阻層 133b 連接的佈線相當於佈線 SL。此外，包括電晶體 130 的閘極電極 135、用作電容元件 150 的第一電極的導電層 151 及電晶體 100 的導電層 104a 的節點相當於圖 12A 所示的節點 FN。

[0370] 另外，如圖 13A 至圖 13C 所示，也可以在包含氫的絕緣膜 136 上設置包含與障壁膜 111 同樣的材料的絕緣膜 137 的結構。藉由採用這種結構，可以有效地抑制殘留在包含氫的絕緣膜 136 中的水或氫擴散到上方。此

時，較佳為在形成絕緣膜 137 之前以及在形成絕緣膜 137 之後且形成障壁膜 111 之前一共進行用來去除水或氫的加熱處理 2 次以上。

[0371] 作為佈線 124、佈線 166 等佈線的材料，可以使用金屬材料、合金材料或金屬氧化物材料等導電材料。尤其是，較佳為使用同時實現耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。

[0372] 另外，作為導電層 151、導電層 152a、導電層 152b、導電層 251、導電層 143 等導電層、插頭 123、插頭 139、插頭 140、插頭 164、插頭 165 等的插頭的材料，可以使用金屬材料、合金材料或金屬氧化物材料等導電材料。尤其是，較佳為使用同時實現耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。另外，也可以使用氮化鈦、鈦等的材料和其他材料的疊層。例如，藉由使用氮化鈦或鈦，可以提高與開口部的密接性。導電層 151、導電層 152a、導電層 152b、導電層 251、導電層 143 等導電層、插頭 123、插頭 139、插頭 140、插頭 164、插頭 165 等插頭以埋入在絕緣膜的方式設置，各頂面較佳為被平坦化。

[0373] 因為本發明的一個方式的半導體裝置包括電晶體 130 以及位於電晶體 130 的上方的電晶體 100，所以藉由層疊它們可以縮小元件所占的面積。再者，藉由設置在電晶體 130 與電晶體 100 之間的障壁膜 111，可以抑制存在於其下層的水或氫等雜質擴散到電晶體 100 一側。並

且，隔著該障壁膜 111 設置其一部分用作第一電極的導電層 151 及其一部分用作第二電極的導電層 152a 及導電層 152b 來形成電容元件 150，因此可以容易製造電容元件 150 而不另行追加用來製造電容元件 150 的製程。

[0374]

[結構實例 2]

下面，圖 12B 所示的電路示出兩級所謂的 CMOS 電路連接的結構，在 CMOS 電路中，將 p 通道型電晶體與 n 通道型電晶體串聯連接且將各閘極連接。在此，例如，作為 n 通道型電晶體使用包含第二半導體材料的電晶體 100 及電晶體 201，作為 p 通道型電晶體使用包含第一半導體材料的電晶體 130 及電晶體 230，即可。

[0375] 圖 14A 至圖 14C 示出能夠實現圖 12B 所示的電路的半導體裝置的剖面結構的一個例子。另外，圖 14B 示出穿過圖 14A 所示的點劃線 A-B 且垂直於圖 14A 的面的剖面。如圖 14A 至圖 14B 所示，藉由層疊 p 通道型電晶體和 n 通道型電晶體，有時可以縮小電路面積。

[0376] 圖 14A 至圖 14C 所示的半導體裝置包括電晶體 230、電晶體 231 及電晶體 100。如圖 14A 所示，電晶體 100 設置在電晶體 230 的上方，在電晶體 230 與電晶體 100 之間至少設置有一層以上的障壁膜。另外，如圖 14B 所示，電晶體 100 設置在電晶體 231 的上方，在電晶體 231 與電晶體 100 之間至少設置有一層以上的阻擋層。另外，圖 14A 至圖 14C 未圖示電晶體 201。

[0377] 電晶體 230 及電晶體 231 包含第一半導體材料。另外，電晶體 100 及電晶體 201 包含第二半導體材料。雖然第一半導體材料和第二半導體材料可以為相同的材料，但是較佳為不同的半導體材料。

[0378] 作為可以用作第一半導體材料或第二半導體材料的半導體，例如可以舉出：矽、鍺、鎵、砷等半導體材料；包含矽、鍺、鎵、砷、鋁等的化合物半導體材料；有機半導體材料；或氧化物半導體材料等。

[0379] 在此，對作為第一半導體材料使用單晶矽且作為第二半導體材料使用氧化物半導體的情況進行說明。

[0380] 電晶體 230 及電晶體 231 與電晶體 100 層疊。在此，電晶體 230 是 p 通道型電晶體，電晶體 100 是 n 通道型電晶體。

[0381] 電晶體 230 設置在半導體基板 131 上，並且包括：作為半導體基板 131 的一部分的半導體層 132；閘極絕緣膜 134；閘極電極 135；以及用作源極區域或汲極區域的低電阻層 233a 及低電阻層 233b。另外，電晶體 231 設置在半導體基板 131 上，並且包括：作為半導體基板 131 的一部分的半導體層 132b；閘極絕緣膜 134b；閘極電極 135b；以及用作源極區域或汲極區域的低電阻層 233c 及低電阻層 233d。圖 14C 示出沿著圖 14B 的點劃線 C-D 的剖面。

[0382] 半導體層 132 的形成通道的區域或其附近的區域、用作源極區域或汲極區域的低電阻層 233a、低電

阻層 233b、低電阻層 233c 及低電阻層 233d 等較佳為包含矽類半導體等半導體，更佳為包含單晶矽。另外，也可以使用包含 Ge（鍺）、SiGe（矽鍺）、GaAs（砷化鎵）、GaAlAs（鎵鋁砷）等的材料形成。也可以使用具有晶格畸變的矽。此外，電晶體 230 也可以是使用 GaAs 和 AlGaAs 等的 HEMT（High Electron Mobility Transistor：高電子移動率電晶體）。

[0383] 另外，電晶體 230 也可以包括用作 LDD 區域的區域 276a、區域 276b、區域 276c 及區域 276d。

[0384] 在低電阻層 233a、低電阻層 233b、低電阻層 233c 及低電阻層 233d 中，除了應用於半導體層 132 的半導體材料之外，還包含磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素。在此，作為例子，考慮到包含硼等賦予 p 型導電性的元素的情況。

[0385] 作為閘極電極 135，可以使用包含磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素的矽等半導體材料、金屬材料、合金材料或金屬氧化物材料等導電材料。尤其是，較佳為使用同時實現耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。

[0386] 如圖 14A 所示，電晶體 230 的低電阻層 233a 藉由插頭 140、導電層 251 與電晶體 100 的導電層 104b 電連接。在此，較佳為以填充在絕緣膜 114 及障壁膜 211 的開口部的方式形成導電層 104b。藉由以填充在絕緣膜 114 及障壁膜 211 的開口部的方式形成導電層 104b，不一

定必須要另行形成用來將導電層 104b 與導電層 251 電連接的插頭，不但可以簡化製程，而且不需要考慮導電層 104b 與插頭的位置精度而設計，由此可以實現集成化。

[0387] 另外，如圖 14B 所示，電晶體 230 的閘極電極 135、電晶體 231 的低電阻層 233c 及閘極電極 103 藉由插頭 139、插頭 323、導電層 151 及導電層 104c 電連接。在此，較佳的是，在形成導電層 104a 及導電層 104b 的同時形成導電層 104c。藉由同時形成導電層 104a、導電層 104b 及導電層 104c，不需要在障壁膜 211 及絕緣膜 114 的開口部中另行形成插頭，所以可以簡化製程。

[0388] 另外，作為電晶體 230 及電晶體 231，也可以採用如圖 15C 及圖 15D 所示那樣的所謂的 FIN 型電晶體結構。

[0389] 此外，圖 14A 至圖 14C 所示的電晶體 100 可以參照圖 13A 至圖 13C 所示的電晶體 100 的記載。

[0390] 下面，圖 15A 示出圖 14A 至圖 14C 所示的半導體裝置的結構的變形例。另外，圖 15B 示出穿過圖 15A 所示的點劃線 A-B 且垂直於圖 15A 的面的剖面。在圖 15A 至圖 15D 中，作為電晶體 100，採用圖 9A 所示的電晶體結構。

[0391] 圖 15A 至圖 15D 與圖 14A 至圖 14C 之間的不同之處在於：圖 15A 至圖 15D 不包括導電層 104a、導電層 104b 及導電層 104c；設置有插頭 121 及插頭 122；以及插頭 322 的形狀不同等。

[0392] 在此，本實施方式所示的 CMOS 電路可能用於 NAND 電路、NOR 電路、編碼器、解碼器、MUX（multiplamplifier）、DEMUX（demultiplexer）等邏輯電路的基本元件。

[0393] 以上是對結構實例的說明。

[0394]

[製造方法例子]

以下，參照圖 16A 至圖 19B 說明上述結構實例所示的半導體裝置中的圖 13A 至圖 13C 所示的半導體裝置的製造方法的一個例子。

[0395] 首先，準備半導體基板 131。作為半導體基板 131，例如可以使用單晶矽基板（包括 p 型半導體基板或 n 型半導體基板）、以碳化矽或氮化鎵為材料的化合物半導體基板等。另外，作為半導體基板 131，也可以使用 SOI 基板。以下，對作為半導體基板 131 使用單晶矽的情況進行說明。

[0396] 接著，在半導體基板 131 中形成元件分離層（未圖示）。元件分離層可以利用 LOCOS（Local Oxidation of Silicon：矽局部氧化）法或 STI（Shallow Trench Isolation：淺溝槽隔離）法、平臺隔離（mesa isolation）法等形成。

[0397] 當在同一基板上形成 p 型電晶體和 n 型電晶體時，也可以在半導體基板 131 的一部分形成 n 井或 p 井。例如，也可以對 n 型半導體基板 131 添加賦予 p 型導

電性的硼等雜質元素形成 p 井，在同一基板上形成 n 型電晶體和 p 型電晶體。

[0398] 接著，在半導體基板 131 上形成成為閘極絕緣膜 134 的絕緣膜。例如，使半導體基板 131 的表面氧化，形成氧化矽膜。另外，也可以在藉由熱氧化法形成氧化矽之後進行氮化處理而使氧化矽膜的表面氮化，由此形成氧化矽膜和氧氮化矽膜的疊層結構。此外，也可以使用氧化矽、氧氮化矽、高介電常數物質（也稱為 high-k 材料）的鉭氧化物、氧化鉿、氧化鉿矽酸鹽、氧化鋯、氧化鋁、氧化鈦等金屬氧化物或氧化鑭等稀土氧化物等。

[0399] 該絕緣膜也可以藉由濺射法、CVD（Chemical Vapor Deposition：化學氣相沉積）法（包括熱 CVD 法、MOCVD（Metal Organic CVD：有機金屬 CVD）法、PECVD（Plasma Enhanced CVD：電漿 CVD）法等）、MBE（Molecular Beam Epitaxy：分子束磊晶）法，ALD（Atomic Layer Deposition：原子層沉積）法或 PLD（Pulsed Laser Deposition：脈衝雷射沉積）法等形成。

[0400] 接著，形成成為閘極電極 135 的導電膜。作為導電膜，較佳為使用選自鉭、鎢、鈦、鉬、鉻、鈮等的金屬或以這些金屬為主要成分的合金材料或化合物材料。另外，還可以使用添加有磷等雜質的多晶矽。此外，還可以使用金屬氮化物膜和上述金屬膜的疊層結構。作為金屬氮化物，可以使用氮化鎢、氮化鉬或氮化鈦。藉由設置金屬氮化物膜，可以提高金屬膜的密接性，從而能夠防止剝

離。

[0401] 導電膜也可以藉由濺射法、蒸鍍法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）等形成。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0402] 接著，藉由光微影法等在該導電膜上形成光阻遮罩，來去除該導電膜的不需要的部分。然後，去除光阻遮罩，由此可以形成閘極電極 135。

[0403] 在此，對被加工膜的加工方法進行說明。當對被加工膜進行微細加工時，可以使用各種微細加工技術。例如，也可以採用對藉由光微影法等形成的光阻遮罩進行縮小處理的方法。另外，也可以藉由光微影法等形成假圖案，在該假圖案處形成側壁之後去除假圖案，將殘留的側壁用作光阻遮罩，對被加工膜進行蝕刻。此外，為了實現高縱橫比，作為被加工膜的蝕刻較佳為利用各向異性乾蝕刻。另外，也可以使用由無機膜或金屬膜構成的硬遮罩。

[0404] 作為用來形成光阻遮罩的光，例如可以使用 i 線（波長為 365nm）、g 線（波長為 436nm）、h 線（波長為 405nm）或將這些光混合的光。此外，還可以使用紫外線、KrF 雷射或 ArF 雷射等。此外，也可以利用液浸曝光技術進行曝光。作為用於曝光的光，也可以使用極紫外光（EUV：Extreme Ultra-Violet）或 X 射線。此外，代替用於曝光的光，也可以使用電子束。當使用極紫外光、X

射線或電子束時，可以進行極其微細的加工，所以是較佳的。注意，在藉由掃描電子束等而進行曝光時，不需要光罩。

[0405] 也可以在形成將成為光阻遮罩的光阻膜之前，形成具有提高被加工膜與光阻膜的密接性的功能的有機樹脂膜。可以利用旋塗法等以覆蓋其下層的步階而使其表面平坦化的方式形成該有機樹脂膜，而可以降低形成在該有機樹脂膜的上層的光阻遮罩的厚度的偏差。尤其是，在進行微細的加工時，作為該有機樹脂膜較佳為使用具有對用於曝光的光的反射防止膜的功能的材料。作為具有這種功能的有機樹脂膜，例如有 BARC（Bottom Anti Reflection Coating：底部抗反射塗料）膜等。在去除光阻遮罩的同時或在去除光阻遮罩之後去除該有機樹脂膜即可。

[0406] 在形成閘極電極 135 之後，也可以形成覆蓋閘極電極 135 的側面的側壁。在形成比閘極電極 135 的厚度厚的絕緣膜之後，進行各向異性蝕刻，只殘留閘極電極 135 的側面部分的該絕緣膜，由此可以形成側壁。

[0407] 雖然圖 16A 至圖 16E 示出在形成側壁時不對閘極絕緣膜進行蝕刻的例子，但是也可以在形成側壁的同時對成為閘極絕緣膜 134 的絕緣膜進行蝕刻。在此情況下，在閘極電極 135 及側壁的下部形成閘極絕緣膜 134。

[0408] 接著，對半導體基板 131 的不設置閘極電極 135（及側壁）的區域添加磷等賦予 n 型導電性的元素或

硼等賦予 p 型導電性的元素。此時的剖面示意圖相當於圖 16A。

[0409] 接著，在形成絕緣膜 136 之後，進行用來使上述賦予導電性的元素活化的第一加熱處理。

[0410] 絕緣膜 136 例如可以利用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等，以疊層或單層設置。絕緣膜 136 可以藉由濺射法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法或 PLD 法等形成。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD 法形成該絕緣膜時，可以提高覆蓋性，所以是較佳的。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0411] 可以在稀有氣體或氮氣體等惰性氣體氛圍下或者在減壓氛圍下，例如以 400℃以上且低於基板的應變點的溫度進行第一加熱處理。

[0412] 在此階段形成了電晶體 130。另外，也可以藉由與形成電晶體 130 的方法同樣的方法形成第三電晶體 160。

[0413] 下面，形成絕緣膜 137 及絕緣膜 138。

[0414] 除了能夠用於絕緣膜 136 的材料之外，還較佳為使用包含氧和氫的氮化矽（SiNOH）形成絕緣膜 137，這是因為可以增大藉由加熱脫離的氫量。另外，作為絕緣膜 138，除了能夠用作絕緣膜 136 的材料之外，較

佳為使用使 TEOS（Tetra-Ethyl-Ortho-Silicate：四乙氧基矽烷）或矽烷等與氧或一氧化二氮起反應而形成的步階覆蓋性良好的氧化矽。

[0415] 絕緣膜 137 及絕緣膜 138 例如可以藉由濺射法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法或 PLD 法等形成。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD 法形成該絕緣膜時，可以提高覆蓋性，所以是較佳的。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0416] 接著，藉由 CMP 法等對絕緣膜 138 的頂面進行平坦化。另外，也可以作為絕緣膜 138 使用平坦化膜。在此情況下，不一定必須要藉由 CMP 法等進行平坦化。當形成平坦化膜時，例如可以利用常壓 CVD 法或塗佈法等。作為可以藉由常壓 CVD 法形成的膜，例如可以舉出 BPSG（Boron Phosphorus Silicate Glass：硼磷矽玻璃）等。另外，作為可以藉由塗佈法形成的膜，例如可以舉出 HSQ（氫倍半矽氧烷）等。

[0417] 然後，進行用來由從絕緣膜 137 脫離的氫終結半導體層 132 中的懸空鍵的第二加熱處理。另外，藉由第二加熱處理使各層所包含的水或氫脫離，可以減少水或氫的含有量。

[0418] 第二加熱處理可以在上述疊層結構的說明所例示的條件下進行。例如，可以採用第一加熱處理所說明

的條件等。

[0419] 接著，在絕緣膜 136、絕緣膜 137 及絕緣膜 138 中形成到達低電阻層 133a、低電阻層 133b 及閘極電極 135 等的開口（參照圖 16B）。然後，以填充開口的方式形成導電膜（參照圖 16C）。之後，藉由以使絕緣膜 138 的頂面露出的方式對該導電膜進行平坦化處理，由此形成插頭 139 和插頭 140 等（參照圖 16D）。例如藉由濺射法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法或 PLD 法等形成導電膜。

[0420] 接著，在絕緣膜 138 上形成絕緣膜 215。絕緣膜 215 可以使用與絕緣膜 136 等同樣的材料及方法形成。

[0421] 在形成絕緣膜 215 之後，較佳為進行第三加熱處理。藉由第三加熱處理，使各層所包含的水或氫脫離，由此可以降低水或氫的含量。在即將形成障壁膜 111 之前進行第三加熱處理，徹底去除障壁膜 111 的下層所包含的氫或水，然後形成障壁膜 111，由此可以抑制在後面的製程中水或氫擴散到障壁膜 111 的下側。

[0422] 第三加熱處理可以在上述疊層結構的說明所例示的條件下進行。例如，可以採用第一加熱處理所說明的條件等。

[0423] 接著，在絕緣膜 215 中形成開口部。然後，以填充開口的方式形成導電膜，以使絕緣膜 215 的頂面露出的方式對該導電膜進行平坦化處理，由此形成導電層 251、導電層 143 及導電層 151 等（參照圖 16E）。

[0424] 接著，形成障壁膜 111，形成開口部（參照圖 17A）。障壁膜 111 例如可以藉由濺射法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法或 PLD 法等形成。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD 法形成該絕緣膜時，可以提高覆蓋性，所以是較佳的。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0425] 接著，形成成為導電層 105、導電層 152a 及導電層 152b 的導電膜。然後，藉由蝕刻等形成導電層 105、導電層 152a 及導電層 152b（參照圖 17B）。

[0426] 接著，形成絕緣膜 114。絕緣膜 114 例如也可以藉由濺射法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法或 PLD 法等形成。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD 法形成該絕緣膜時，可以提高覆蓋性，所以是較佳的。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0427] 為了使絕緣膜 114 含有過剩氧，例如，在氧氛圍下進行絕緣膜 114 的形成即可。或者，可以對成膜後的絕緣膜 114 引入氧而形成含有過剩氧的區域。或者，還可以組合上述兩種方法。

[0428] 例如，對成膜之後的絕緣膜 114 引入氧（至少包含氧自由基、氧原子、氧離子中的任一個）而形成包含過剩氧的區域。作為氧的引入方法，可以使用離子植入

法、離子摻雜法、電漿浸沒離子佈植技術、電漿處理等。

[0429] 引入氧的處理可以使用含有氧的氣體進行。作為含有氧的氣體，例如可以使用氧、一氧化二氮、二氧化氮、二氧化碳及一氧化碳等。此外，在引入氧的處理中，也可以使含有氧的氣體包含稀有氣體。或者，也可以使其含有氫等。例如，較佳為使用二氧化碳、氫、氬的混合氣體。

[0430] 另外，在形成絕緣膜 114 之後，為了提高頂面的平坦性，也可以進行使用 CMP 法等的平坦化處理。

[0431] 接著，依次形成成為半導體層 101a 的半導體膜和成為半導體層 101b 的半導體膜（參照圖 17C）。較佳為以不接觸於大氣的方式連續地形成該半導體膜。成為半導體層 101a 的半導體以及成為半導體層 101b 的半導體可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0432] 另外，在作為成為半導體層 101a 的半導體以及成為半導體層 101b 的半導體藉由 MOCVD 法形成 In-Ga-Zn 氧化物層的情況下，作為源氣體可以使用三甲基銦、三甲基鎵及二甲基鋅等。注意，不侷限於上述源氣體的組合，也可以使用三乙基銦等代替三甲基銦。另外，也可以使用三乙基鎵等代替三甲基鎵。此外，也可以使用二乙基鋅等代替二甲基鋅。

[0433] 在此，也可以在形成半導體層 101a 之後對半導體層 101a 引入氧。例如，對成膜之後的半導體層 101a

引入氧（至少包含氧自由基、氧原子、氧離子中的任一個）而形成包含過剩氧的區域。作為氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子佈植技術、電漿處理等。

[0434] 引入氧的處理可以使用含有氧的氣體進行。作為含有氧的氣體，例如可以使用氧、一氧化二氮、二氧化氮、二氧化碳及一氧化碳等。此外，在引入氧的處理中，也可以使含有氧的氣體包含稀有氣體。或者，也可以使其含有氫等。例如，較佳為使用二氧化碳、氫、氬的混合氣體。

[0435] 較佳為在形成半導體層 101a 及半導體層 101b 之後進行第四加熱處理。以 250℃以上且 650℃以下，較佳為 300℃以上且 500℃以下的溫度，在惰性氣體氛圍下、包含 10ppm 以上的氧化氣體的氛圍下或者減壓狀態下進行加熱處理，即可。另外，在惰性氣體氛圍下進行加熱處理之後，為了填補脫離的氧，也可以在包含 10ppm 以上的氧化氣體的氛圍下進行加熱處理。加熱處理既可以在形成半導體膜之後立即進行，又可以在對半導體膜進行加工來形成島狀半導體層 101a 及 101b 之後進行。藉由加熱處理，氧從絕緣膜 114 或氧化物膜供應到半導體膜，而可以減少半導體膜中的氧缺陷。

[0436] 然後，形成光阻遮罩，藉由蝕刻去除不需要的部分。然後去除光阻遮罩，由此可以形成島狀半導體層 101a 和島狀半導體層 101b 的疊層結構（參照圖 17D）。

另外，當對半導體膜進行蝕刻時，絕緣膜 114 的一部分被蝕刻，而絕緣膜 114 中的不被半導體層 101a 及半導體層 101b 覆蓋的區域有時薄膜化。因此，較佳為預先形成厚度較厚的絕緣膜 114，以便防止該蝕刻導致的絕緣膜 114 的消失。

[0437] 此外，根據半導體膜的蝕刻條件，有時在蝕刻時光阻劑消失，所以也可以使用蝕刻耐性高的材料，例如由無機膜或金屬膜構成的所謂的硬遮罩。在此，示出作為硬遮罩 281 使用導電膜的例子。圖 18A 示出使用硬遮罩 281 對半導體膜進行加工，由此形成半導體層 101a 及半導體層 101b 的例子。在此，在作為硬遮罩 281 使用可以用於導電層 104a 及導電層 104b 的材料時，可以對硬遮罩 281 進行加工，而形成導電層 104a 及導電層 104b。藉由採用這種方法，例如可以製造圖 6A 和圖 6B 所示的電晶體 100。

[0438] 在形成圖 17D 所示的結構之後，在絕緣膜 114 中形成到達導電層 151、導電層 251 等的開口部（參照圖 18B）。然後，以填充在形成於絕緣膜 114 中的開口部的方式形成成為導電層 104a、導電層 104b 等的導電膜。例如藉由濺射法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法或 PLD 法等形成成為導電層 104a、導電層 104b 等的導電膜。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD 法形成該絕緣膜時，可以提高覆蓋性，所以是較佳的。另外，為了減少電漿所導

致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0439] 接著，形成光阻遮罩，藉由蝕刻去除成為導電層 104a、導電層 104b 等的導電膜的不需要的部分。然後，去除光阻遮罩，形成導電層 104a 及導電層 104b 等（參照圖 18C）。在此，當對導電膜進行蝕刻時，半導體層 101b 和絕緣膜 114 的上部的一部分被蝕刻，而不與導電層 104a 及導電層 104b 重疊的部分有時薄膜化。因此，較佳為考慮到被蝕刻的深度而預先形成厚度較厚的成為半導體層 101b 的半導體膜等。

[0440] 接著，形成半導體層 101c 及閘極絕緣膜 102。然後，形成光阻遮罩，藉由蝕刻進行加工，之後去除光阻遮罩（參照圖 19A）。接著，形成成為閘極電極 103 的導電膜，形成光阻遮罩，藉由蝕刻對該導電膜進行加工，然後去除光阻遮罩，由此形成閘極電極 103（參照圖 19B）。成為半導體層 101c 的半導體可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。

[0441] 另外，也可以在形成閘極電極之後對半導體層 101c 及閘極絕緣膜 102 進行蝕刻。作為蝕刻，例如可以利用光阻遮罩。此外，也可以以所形成的閘極電極 103 為遮罩對閘極絕緣膜 102 及半導體層 101c 進行蝕刻。藉由將閘極電極 103 用作遮罩，如圖 5A 至圖 5C 以及圖 6A 和圖 6B 所示那樣，可以製造閘極電極 103、閘極絕緣膜 102 及半導體層 101c 的側面大致連續的形狀。

[0442] 另外，在作為成為半導體層 101c 的半導體藉由 MOCVD 法形成 In-Ga-Zn 氧化物層的情況下，作為源氣體可以使用三甲基銦、三甲基鎵及二甲基鋅等。注意，不侷限於上述源氣體的組合，也可以使用三乙基銦等代替三甲基銦。另外，也可以使用三乙基鎵等代替三甲基鎵。此外，也可以使用二乙基鋅等代替二甲基鋅。

[0443] 另外，也可以在形成半導體層 101c 之後對半導體層 101c 引入氧。例如，對成膜之後的半導體層 101c 引入氧（至少包含氧自由基、氧原子、氧離子中的任一個）而形成包含過剩氧的區域。作為氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子佈植技術、電漿處理等。

[0444] 引入氧的處理可以使用含有氧的氣體進行。作為含有氧的氣體，例如可以使用氧、一氧化二氮、二氧化氮、二氧化碳及一氧化碳等。此外，在引入氧的處理中，也可以使含有氧的氣體包含稀有氣體。或者，也可以使其含有氫等。例如，較佳為使用二氧化碳、氫、氬的混合氣體。

[0445] 在此階段形成了電晶體 100。

[0446] 接著，形成絕緣膜 112。絕緣膜 112 例如也可以藉由濺射法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法或 PLD 法等形成。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD 法形成該絕緣膜時，可以提高覆蓋性，所以是較佳的。另外，為了減少

電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0447] 較佳為在形成絕緣膜 112 之後進行第五加熱處理。藉由加熱處理，可以將氧從絕緣膜 114 等供應到半導體層 101，而降低半導體層 101 中的氧缺陷。另外，此時，從絕緣膜 114 脫離的氧被障壁膜 111 及絕緣膜 112 阻擋，不擴散到障壁膜 111 的下層及絕緣膜 114 的上層，所以可以有效地封閉該氧。因此，可以增大可能供應到半導體層 101 的氧量，而可以有效地降低半導體層 101 中的氧缺陷。

[0448] 此外，絕緣膜 112 也可以是兩層以上的疊層結構。在此情況下，例如使絕緣膜 112 具有兩層的疊層結構，例如可以將氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等用於下層。另外，與障壁膜 111 同樣，較佳為將水或氫不容易擴散的材料用於上層。此外，設置在下層的絕緣膜作為與絕緣膜 114 同樣的藉由加熱使氧脫離的絕緣膜，可以採用隔著閘極絕緣膜 102 從半導體層 101 的上側也供應氧的結構。

[0449] 接著，形成絕緣膜 113。絕緣膜 113 例如可以利用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等，以疊層或單層設置。絕緣膜 113 例如可以藉由濺射法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法或 PLD 法等形成。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD

法形成該絕緣膜時，可以實現良好的覆蓋性，所以是較佳的。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0450] 接著，在絕緣膜 113、絕緣膜 112、閘極絕緣膜 102 及半導體層 101c 中形成到達導電層 104a 等的開口部。接著，在以填充開口部的方式形成導電膜之後，使用光阻遮罩去除不需要的部分，然後去除光阻遮罩，由此形成插頭 321 及插頭 322。

[0451] 接著，形成絕緣膜 116。絕緣膜 116 例如可以利用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等，以疊層或單層設置。例如可以藉由濺射法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法或 PLD 法等形成絕緣膜 116。此外，在作為絕緣膜 116 使用有機樹脂等有機絕緣材料的情況下，也可以利用旋塗法等塗佈法。另外，較佳為在形成絕緣膜 116 之後對其頂面進行平坦化處理。此外，也可以作為絕緣膜 116 利用絕緣膜 138 所示的材料或形成方法。

[0452] 接著，藉由與上述方法同樣的方法，在絕緣膜 116 中形成到達插頭 322 的插頭 123 等。

[0453] 接著，在絕緣膜 116 上形成導電膜。然後，藉由與上述方法同樣的方法形成光阻遮罩，藉由蝕刻去除導電膜的不需要的部分。然後，去除光阻遮罩，由此可以形成佈線 124 等。

[0454] 藉由上述製程，可以製造本發明的一個方式的半導體裝置。

[0455]

實施方式 4

在本實施方式中，參照圖式對本發明的一個方式的電晶體的電路的一個例子進行說明。

[0456]

[電路結構實例]

在實施方式 1 所示的結構中，藉由改變電晶體或佈線、電極的連接結構，可以構成各種電路。下面說明藉由使用本發明的一個方式的半導體裝置來可以實現的電路結構的例子。

[0457]

[CMOS 電路]

圖 24A 所示的電路圖示出所謂的 CMOS 電路的結構，其中將 p 通道電晶體 2200 和 n 通道電晶體 2100 串聯連接且將各閘極連接。注意，在圖式中，對使用第二半導體材料的電晶體附上“OS”的符號。

[0458]

[類比開關]

圖 24B 所示的電路圖示出將電晶體 2100 和電晶體 2200 的各源極和汲極連接的結構。藉由採用該結構，可以將其用作所謂的類比開關。

[0459]

[記憶體裝置的例子]

圖 24A 至圖 24D 示出半導體裝置（記憶體裝置）的一個例子，該半導體裝置（記憶體裝置）使用本發明的一個方式的電晶體，即使在沒有電力供應的情況下也能夠保持儲存內容，並且，對寫入次數也沒有限制。

[0460] 在圖 24C 所示的半導體裝置包括：使用第一半導體材料的電晶體 3200；使用第二半導體材料的電晶體 3300；以及電容元件 3400。作為電晶體 3300，可以使用在上述實施方式中例示的電晶體。

[0461] 在本實施方式中，示出作為電晶體 3300 使用其通道形成在具有氧化物半導體的半導體層中的電晶體的例子。因為電晶體 3300 的關態電流小，所以藉由使用該電晶體，可以長期保持儲存內容。換言之，因為可以製造不需要更新工作或更新工作的頻率極低的半導體記憶體裝置，所以可以充分降低耗電量。

[0462] 在圖 24C 中，第一佈線 3001 與電晶體 3200 的源極電極電連接，第二佈線 3002 與電晶體 3200 的汲極電極電連接。此外，第三佈線 3003 與電晶體 3300 的源極電極和汲極電極中的一個電連接，第四佈線 3004 與電晶體 3300 的閘極電極電連接。並且，電晶體 3200 的閘極電極及電晶體 3300 的源極電極和汲極電極中的另一個與電容元件 3400 的電極的一個電連接，第五佈線 3005 與電容元件 3400 的電極的另一個電連接。

[0463] 在圖 24C 所示的半導體裝置中，藉由有效地

利用能夠保持電晶體 3200 的閘極電極的電位的特徵，可以像如下所示那樣進行資料的寫入、保持以及讀出。

[0464] 對資料的寫入及保持進行說明。首先，將第四佈線 3004 的電位設定為使電晶體 3300 成為開啟狀態的電位，使電晶體 3300 成為開啟狀態。由此，第三佈線 3003 的電位供應到電晶體 3200 的閘極電極及電容元件 3400。換言之，對電晶體 3200 的閘極電極供應規定的電荷（寫入）。這裡，供應賦予兩種不同電位位準的電荷（以下，稱為低位準電荷、高位準電荷）中的任一種。然後，藉由將第四佈線 3004 的電位設定為使電晶體 3300 成為關閉狀態的電位，來使電晶體 3300 成為關閉狀態，而保持供應到電晶體 3200 的閘極電極的電荷（保持）。

[0465] 因為電晶體 3300 的關態電流極小，所以電晶體 3200 的閘極電極的電荷被長時間地保持。

[0466] 接著，對資料的讀出進行說明。當在對第一佈線 3001 供應規定的電位（恆電位）的狀態下對第五佈線 3005 供應適當的電位（讀出電位）時，根據保持在電晶體 3200 的閘極電極中的電荷量，第二佈線 3002 具有不同的電位。這是因為如下緣故：一般而言，在電晶體 3200 為 n 通道電晶體的情況下，對電晶體 3200 的閘極電極供應高位準電荷時的外觀上的臨界電壓 V_{th_H} 低於對電晶體 3200 的閘極電極供應低位準電荷時的外觀上的臨界電壓 V_{th_L}。在此，外觀上的臨界電壓是指為了使電晶體 3200 成為“開啟狀態”所需要的第五佈線 3005 的電位。因

此，藉由將第五佈線 3005 的電位設定為 V_{th_H} 與 V_{th_L} 之間的電位 V_0，可以辨別供應到電晶體 3200 的閘極電極的電荷。例如，在寫入時被供應高位準電荷的情況下，如果第五佈線 3005 的電位為 V_0（$>V_{th_H}$），電晶體 3200 成為“開啟狀態”。當被供應低位準電荷時，即使第五佈線 3005 的電位為 V_0（$<V_{th_L}$），電晶體 3200 依然是“關閉狀態”。因此，藉由辨別第二佈線 3002 的電位，可以讀出所保持的資料。

[0467] 注意，當將記憶單元配置為陣列狀時，需要僅讀出所希望的記憶單元的資料。如此，當不讀出資料時，對第五佈線 3005 供應不管閘極電極的狀態如何都使電晶體 3200 成為“關閉狀態”的電位，即小於 V_{th_H} 的電位，即可。或者，對第五佈線 3005 供應不管閘極電極的狀態如何都使電晶體 3200 成為“開啟狀態”的電位，即大於 V_{th_L} 的電位，即可。

[0468] 圖 24D 所示的半導體裝置與圖 24C 所示的半導體裝置之間的主要不同點是圖 24D 所示的半導體裝置沒有設置電晶體 3200。在此情況下也可以藉由與上述相同的工作進行資料的寫入及保持工作。

[0469] 接著，對資料的讀出進行說明。在電晶體 3300 成為開啟狀態時，處於浮動狀態的第三佈線 3003 和電容元件 3400 導通，且在第三佈線 3003 和電容元件 3400 之間再次分配電荷。其結果，第三佈線 3003 的電位產生變化。第三佈線 3003 的電位的變化量根據電容元件

3400 的一個電極的電位（或積累在電容元件 3400 中的電荷）而具有不同的值。

[0470] 例如，在電容元件 3400 的一個電極的電位為 V，電容元件 3400 的電容為 C，第三佈線 3003 所具有的電容成分為 CB，再次分配電荷之前的第三佈線 3003 的電位為 VB0 時，再次分配電荷之後的第三佈線 3003 的電位為（CB×VB0+C×V）/（CB+C）。因此，在假定作為記憶單元的狀態，電容元件 3400 的一個電極的電位成為兩種狀態，即 V1 和 V0（V1>V0）時，可以知道保持電位 V1 時的第三佈線 3003 的電位（=（CB×VB0+C×V1）/（CB+C））高於保持電位 V0 時的第三佈線 3003 的電位（=（CB×VB0+C×V0）/（CB+C））。

[0471] 藉由對第三佈線 3003 的電位和規定的電位進行比較，可以讀出資料。

[0472] 在此情況下，可以將使用上述第一半導體材料的電晶體用於用來驅動記憶單元的驅動電路，並在該驅動電路上作為電晶體 3300 層疊使用第二半導體材料的電晶體。

[0473] 在本實施方式所示的半導體裝置中，藉由使用將氧化物半導體用於通道形成區域的關態電流極小的電晶體，可以在極長的期間內保持儲存內容。換言之，因為不需要進行更新工作，或者，可以使更新工作的頻率極低，所以可以充分降低耗電量。另外，即使在沒有電力供應的情況下（注意，較佳為固定電位），也可以長期保持

儲存內容。

[0474] 另外，在本實施方式所示的半導體裝置中，資料的寫入不需要高電壓，而且也沒有元件劣化的問題。例如，由於不需要如習知的非揮發性記憶體那樣地對浮動閘極注入電子或從浮動閘極抽出電子，因此根本不會發生如閘極絕緣膜的劣化等問題。換言之，在根據所公開的發明的半導體裝置中，對重寫的次數沒有限制，這限制是習知的非揮發性記憶體所具有的問題，所以可靠性得到極大提高。再者，根據電晶體的開啟狀態或關閉狀態而進行資料寫入，因此可以容易地實現高速的工作。

[0475] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0476]

實施方式 5

在本實施方式中，參照圖式對使用本發明的一個方式的電晶體的半導體裝置的一個例子進行說明。圖 60 是根據本發明的一個方式的半導體裝置的電路圖的一個例子。

[0477] 圖 60 所示的半導體裝置包括：電容元件 660a；電容元件 660b；電晶體 661a；電晶體 661b；電晶體 662a；電晶體 662b；反相器 663a；反相器 663b；佈線 BL；佈線 BLB；佈線 WL；佈線 CL；以及佈線 GL。

[0478] 圖 60 所示的半導體裝置是藉由反相器 663a 及反相器 663b 環連接而構成正反器的記憶單元。以反相器 663b 的輸出信號被輸出的節點為節點 VN1，以反相器

663a 的輸出信號被輸出的節點為節點 VN2。另外，藉由將該記憶單元配置為矩陣狀，可以構成記憶體裝置（記憶單元陣列）。

[0479] 電晶體 662a 的源極和汲極中的一個與佈線 BL 電連接，源極和汲極中的另一個與節點 VN1 電連接，閘極與佈線 WL 電連接。電晶體 662b 的源極和汲極中的一個與節點 VN2 電連接，源極和汲極中的另一個與佈線 BLB 電連接，閘極與佈線 WL 電連接。

[0480] 電晶體 661a 的源極和汲極中的一個與節點 VN1 電連接，源極和汲極中的另一個與電容元件 660a 的一個電極電連接，閘極與佈線 GL 電連接。在此，以電晶體 661a 的源極和汲極中的另一個與電容元件 660a 的一個電極之間的節點為節點 NVN1。電晶體 661b 的源極和汲極中的一個與節點 VN2 電連接，源極和汲極中的另一個與電容元件 660b 的一個電極電連接，閘極與佈線 GL 電連接。在此，以電晶體 661b 的源極和汲極中的另一個與電容元件 660b 的一個電極之間的節點為節點 NVN2。

[0481] 電容元件 660a 的另一個電極與佈線 CL 電連接。電容元件 660b 的另一個電極與佈線 CL 電連接。

[0482] 可以根據施加到佈線 WL 的電位控制電晶體 662a 及電晶體 662b 的導通狀態和非導通狀態的選擇。可以根據施加到佈線 GL 的電位控制電晶體 661a 及電晶體 661b 的導通狀態和非導通狀態的選擇。

[0483] 下面說明圖 60 所示的記憶單元的寫入、保持

以及讀出工作。

[0484] 當進行寫入時，首先對佈線 BL 及佈線 BLB 施加對應於資料 0 或資料 1 的電位。

[0485] 例如，當想要寫入資料 1 時，對佈線 BL 施加高位準的電源電位（VDD），對佈線 BLB 施加接地電位。接著，對佈線 WL 施加高於或等於 VDD 與電晶體 662a、電晶體 662b 的臨界電壓之和的電位（VH）。

[0486] 接著，藉由將佈線 WL 的電位設定為小於電晶體 662a、電晶體 662b 的臨界電壓，可以保持對正反器寫入了的資料 1。

[0487] 當進行讀出工作時，預先對佈線 BL 及佈線 BLB 施加 VDD。接著，當對佈線 WL 施加 VH 時，佈線 BL 的電位保持 VDD 而不發生變化，而佈線 BLB 藉由電晶體 662a 及反相器 663a 進行放電，其電位成為接地電位。藉由利用感測放大器（未圖示）放大佈線 BL 與佈線 BLB 之間的電位差，可以讀出被保持的資料 1。

[0488] 另外，當想要寫入資料“0”時，對佈線 BL 施加接地電位且對佈線 BLB 施加 VDD，然後對佈線 WL 施加 VH，即可。接著，藉由將佈線 WL 的電位設定為低於電晶體 662a、電晶體 662b 的臨界電壓的電壓，可以保持寫入到正反器中的資料 0。當進行讀出工作時，預先對佈線 BL 及佈線 BLB 施加 VDD 並對佈線 WL 施加 VH，佈線 BLB 的電位保持 VDD 而不發生變化，佈線 BL 藉由電晶體 662b 及反相器 663b 進行放電，其電位成為接地電

位。藉由利用感測放大器放大佈線 BL 與佈線 BLB 之間的電位差，可以讀出被保持的資料 0。

[0489] 因此，圖 60 所示的半導體裝置用作所謂的 SRAM（Static Random Access Memory：靜態隨機存取記憶體）。因為 SRAM 使用正反器保持資料，所以不需要更新工作。由此，可以抑制保持資料時的耗電量。另外，因為在正反器中不使用電容元件，所以適合於被要求高速工作的用途。

[0490] 另外，圖 60 所示的半導體裝置可以將資料藉由電晶體 661a 從節點 VN1 寫入到節點 NVN1。與此同樣，也可以將資料藉由電晶體 661b 從節點 VN2 寫入到節點 NVN2。藉由使電晶體 661a 或電晶體 661b 成為非導通狀態保持被寫入的資料。例如，即使停止供應電源電位也有時可以保持節點 VN1 及節點 VN2 的資料。

[0491] 與當停止供應電源電位時立刻資料被消失的習知的 SRAM 不同，在圖 60 所示的半導體裝置中，即使在停止供應電源電位之後也可以保持資料。因此，藉由適當地供應或停止電源電位，可以實現耗電量小的半導體裝置。例如，藉由將圖 60 所示的半導體裝置用於 CPU 的儲存區域，也可以減少 CPU 的耗電量。

[0492] 另外可知，節點 NVN1 及節點 NVN2 中保持資料的期間根據電晶體 661a 及電晶體 661b 的關態電流而變化。因此，為了延長資料的保持期間，將關態電流低的電晶體用於電晶體 661a 及電晶體 661b 即可。另外，增大

電容元件 660a 及電容元件 660b 的電容即可。

[0493] 例如，在將實施方式 1 所示的電晶體 100 及電容元件 150 用作電晶體 661a 及電容元件 660a 時，可以在節點 NVN1 中長期間地保持資料。與此同樣，在將電晶體 100 及電容元件 150 用作電晶體 661b 及電容元件 660b 時，可以在節點 NVN2 中長期間地保持資料。因此，電晶體 661a 及電晶體 661b 可以參照電晶體 100 的記載。另外，電容元件 660a 及電容元件 660b 可以參照電容元件 150 的記載。

[0494] 此外，如上述實施方式所述那樣，電晶體 100 及電容元件 150 可以以至少部分地重疊於電晶體 130 的方式製造。在圖 60 所示的電晶體 662a、電晶體 662b、反相器 663a 中包括的電晶體及反相器 663b 所包括的電晶體可以以其一部分至少與電晶體 661a、電晶體 661b、電容元件 660a 及電容元件 660b 重疊的方式製造。因此，有時可以在與習知的 SRAM 相比不增加佔有面積的情況下製造圖 60 所示的半導體裝置。在電晶體 662a、電晶體 662b、反相器 663a 中包括的電晶體及反相器 663b 所包括的電晶體可以參照電晶體 130 的記載。

[0495] 如上所述，可知，根據本發明的一個方式的半導體裝置具有相對於佔有面積的高的性能。另外可知，根據本發明的一個方式的半導體裝置是生產率高的半導體裝置。

[0496] 本實施方式可以與本說明書所示的其他實施

方式適當地組合。

[0497]

實施方式 6

在本實施方式中，參照圖 25 說明包括上述實施方式所例示的電晶體或記憶體裝置的 RF 標籤。

[0498] 本實施方式的 RF 標籤在其內部包括記憶體電路，在該記憶體電路中儲存所需要的資料，並使用非接觸單元諸如無線通訊向外部發送資料和/或從外部接收資料。由於具有這種特徵，RF 標籤可以被用於藉由讀取物品等的個體資訊來識別物品的個體識別系統等。注意，鑒於這些用途，要求極高的可靠性。

[0499] 參照圖 25 說明 RF 標籤的結構。圖 25 是示出 RF 標籤的結構實例的塊圖。

[0500] 如圖 25 所示，RF 標籤 800 包括接收從與通信器 801（也稱為詢問器、讀取器/寫入器等）連接的天線 802 發送的無線信號 803 的天線 804。RF 標籤 800 還包括整流電路 805、恆壓電路 806、解調變電路 807、調變電路 808、邏輯電路 809、記憶體電路 810、ROM811。另外，在包括在解調變電路 807 中的具有整流作用的電晶體中，也可以使用充分地抑制反向電流的材料，諸如氧化物半導體。由此，可以抑制起因於反向電流的整流作用的降低並防止解調變電路的輸出飽和，也就是說，可以使解調變電路的輸入和解調變電路的輸出之間的關係靠近於線性關係。注意，資料傳輸方法大致分成如下三種方法：將一

對線圈相對地設置並利用互感進行通信的電磁耦合方法；利用感應場進行通信的電磁感應方法；以及利用電波進行通信的電波方法。在本實施方式所示的 RF 標籤 800 中可以使用上述任何方法。

[0501] 接著，說明各電路的結構。天線 804 與連接於通信器 801 的天線 802 之間進行無線信號 803 的發送及接收。在整流電路 805 中，對藉由由天線 804 接收無線信號來生成的輸入交流信號進行整流，例如進行半波倍壓整流，並由設置在後級的電容元件使被整流的信號平滑化，由此生成輸入電位。另外，整流電路 805 的輸入一側或輸出一側也可以設置限制器電路。限制器電路是在輸入交流信號的振幅大且內部生成電壓大時進行控制以不使一定以上的電力輸入到後級的電路中的電路。

[0502] 恆壓電路 806 是由輸入電位生成穩定的電源電壓而供應到各電路的電路。恆壓電路 806 也可以在其內部包括重設信號產生電路。重設信號產生電路是利用穩定的電源電壓的上升而生成邏輯電路 809 的重設信號的電路。

[0503] 解調變電路 807 是藉由包封檢測對輸入交流信號進行解調並生成解調信號的電路。此外，調變電路 808 是根據從天線 804 輸出的資料進行調變的電路。

[0504] 邏輯電路 809 是分析解調信號並進行處理的電路。記憶體電路 810 是保持被輸入的資料的電路，並包括行解碼器、列解碼器、儲存區域等。此外，ROM811 是

保持識別號碼（ID）等並根據處理進行輸出的電路。

[0505] 注意，根據需要可以適當地設置或省略上述各電路。

[0506] 在此，可以將上述實施方式所示的記憶體電路用於記憶體電路 810。因為根據本發明的一個方式的記憶體電路即使在關閉電源的狀態下也可以保持資料，所以適用於 RF 標籤。再者，因為根據本發明的一個方式的記憶體電路的資料寫入所需要的電力（電壓）比習知的非揮發性記憶體低得多，所以也可以不產生資料讀出時和寫入時的最大通信距離的差異。再者，根據本發明的一個方式的記憶體電路可以抑制由於資料寫入時的電力不足引起誤動作或誤寫入的情況。

[0507] 此外，因為根據本發明的一個方式的記憶體電路可以用作非揮發性記憶體，所以還可以應用於 ROM811。在此情況下，較佳為生產者另外準備用來對 ROM811 寫入資料的指令而防止使用者自由地重寫。由於生產者在出貨之前寫入識別號碼，可以僅使出貨的良品具有識別號碼而不使所製造的所有 RF 標籤具有識別號碼，由此不發生出貨後的產品的識別號碼不連續的情況而可以更容易地根據出貨後的產品進行顧客管理。

[0508] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0509]

實施方式 7

在本實施方式中，說明至少可以使用上述實施方式所說明的電晶體且包含上述實施方式所說明的記憶體裝置的CPU。

[0510] 圖 26 是示出將在上述實施方式中說明的電晶體用於至少其一部分的 CPU 的結構的一個例子的塊圖。

[0511] 圖 26 所示的 CPU 在基板 1190 上具有：ALU1191（ALU：Arithmetic logic unit：算術邏輯單元）、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、時序控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排介面 1198（Bus I/F）、能夠重寫的 ROM1199 以及 ROM 介面 1189（ROM I/F）。作為基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189 也可以設置在不同的晶片上。當然，圖 26 所示的 CPU 只不過是簡化其結構而表示的一個例子，所以實際上的 CPU 根據其用途具有各種各樣的結構。例如，也可以以包括圖 26 所示的 CPU 或算術電路的結構為核心，設置多個該核心並使其同時工作。另外，在 CPU 的內部算術電路或資料匯流排中能夠處理的位元數例如可以為 8 位、16 位、32 位、64 位等。

[0512] 藉由匯流排介面 1198 輸入到 CPU 的指令在輸入到指令解碼器 1193 並被解碼之後，輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195。

[0513] ALU 控制器 1192、中斷控制器 1194、暫存器

控制器 1197、時序控制器 1195 根據被解碼的指令進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在執行 CPU 的程式時，根據其優先度或遮罩的狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器 1197 生成暫存器 1196 的位址，並根據 CPU 的狀態來進行暫存器 1196 的讀出或寫入。

[0514] 另外，時序控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作時序的信號。例如，時序控制器 1195 具有根據參考時脈信號 CLK1 生成內部時脈信號 CLK2 的內部時脈發生器，並將內部時脈信號 CLK2 供應到上述各種電路。

[0515] 在圖 26 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。作為暫存器 1196 的記憶單元，可以使用上述實施方式所示的電晶體。

[0516] 在圖 26 所示的 CPU 中，暫存器控制器 1197 根據來自 ALU1191 的指令進行暫存器 1196 中的保持工作的選擇。換言之，暫存器控制器 1197 在暫存器 1196 所具有的記憶單元中選擇由正反器保持資料還是由電容元件保持資料。在選擇由正反器保持資料的情況下，對暫存器 1196 中的記憶單元供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停止對暫存器 1196 中的記憶單元供應電源電壓。

[0517] 圖 27 是可以用作暫存器 1196 的記憶元件的電路圖的一個例子。記憶元件 1200 包括當關閉電源時丟失儲存資料的電路 1201、當關閉電源時不丟失儲存資料的電路 1202、開關 1203、開關 1204、邏輯元件 1206、電容元件 1207 以及具有選擇功能的電路 1220。電路 1202 包括電容元件 1208、電晶體 1209 及電晶體 1210。另外，記憶元件 1200 根據需要還可以包括其他元件諸如二極體、電阻元件或電感器等。電晶體 1209 較佳為在氧化物半導體層中形成通道的電晶體。

[0518] 在此，電路 1202 可以使用上述實施方式所示的記憶體裝置。在停止對記憶元件 1200 供應電源電壓時，接地電位（0V）或使電晶體 1209 關閉的電位繼續輸入到電路 1202 中的電晶體 1209 的閘極。例如，電晶體 1209 的閘極藉由電阻器等負載接地。

[0519] 在此示出開關 1203 為具有一導電型（例如，n 通道型）的電晶體 1213，而開關 1204 為具有與此相反的導電型（例如，p 通道型）的電晶體 1214 的例子。這裡，開關 1203 的第一端子對應於電晶體 1213 的源極和汲極中的一個，開關 1203 的第二端子對應於電晶體 1213 的源極和汲極中的另一個，並且開關 1203 的第一端子與第二端子之間的導通或非導通（即，電晶體 1213 的開啟狀態或關閉狀態）由輸入到電晶體 1213 的閘極的控制信號 RD 選擇。開關 1204 的第一端子對應於電晶體 1214 的源極和汲極中的一個，開關 1204 的第二端子對應於電晶體

1214 的源極和汲極中的另一個，並且開關 1204 的第一端子與第二端子之間的導通或非導通（即，電晶體 1214 的開啟狀態或關閉狀態）由輸入到電晶體 1214 的閘極的控制信號 RD 選擇。

[0520] 電晶體 1209 的源極和汲極中的一個電連接到電容元件 1208 的一對電極中的一個及電晶體 1210 的閘極。在此，將連接部分稱為節點 M2。電晶體 1210 的源極和汲極中的一個電連接到能夠供應低電源電位的佈線（例如，GND 線），而另一個電連接到開關 1203 的第一端子（電晶體 1213 的源極和汲極中的一個）。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）電連接到開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）。開關 1204 的第二端子（電晶體 1214 的源極和汲極中的另一個）電連接到能夠供應電源電位 VDD 的佈線。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）、開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）、邏輯元件 1206 的輸入端子和電容元件 1207 的一對電極中的一個彼此電連接。在此，將連接部分稱為節點 M1。可以對電容元件 1207 的一對電極中的另一個輸入固定電位。例如，可以輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 1207 的一對電極中的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。可以對電容元件 1208 的一對電極中的另一個輸入固定電位。例如，可以輸入低電源電位（GND

等）或高電源電位（VDD 等）。電容元件 1208 的一對電極中的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。

[0521] 當積極地利用電晶體或佈線的寄生電容等時，可以不設置電容元件 1207 及電容元件 1208。

[0522] 控制信號 WE 輸入到電晶體 1209 的第一閘極（第一閘極電極）。開關 1203 及開關 1204 的第一端子與第二端子之間的導通狀態或非導通狀態由與控制信號 WE 不同的控制信號 RD 選擇，當一個開關的第一端子與第二端子之間處於導通狀態時，另一個開關的第一端子與第二端子之間處於非導通狀態。

[0523] 對應於保持在電路 1201 中的資料的信號被輸入到電晶體 1209 的源極和汲極中的另一個。圖 27 示出從電路 1201 輸出的信號輸入到電晶體 1209 的源極和汲極中的另一個的例子。由邏輯元件 1206 使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而成為反轉信號，將其經由電路 1220 輸入到電路 1201。

[0524] 另外，雖然圖 27 示出從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號經由邏輯元件 1206 及電路 1220 輸入到電路 1201 的例子，但是不侷限於此。也可以不使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而輸入到電路 1201。例如，當在電路 1201

內存在其中保持使從輸入端子輸入的信號的邏輯值反轉的信號的節點時，可以將從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號輸入到該節點。

[0525] 在圖 27 所示的用於記憶元件 1200 的電晶體中，電晶體 1209 以外的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的層中或基板 1190 中的電晶體。例如，可以使用其通道形成在矽層或矽基板中的電晶體。此外，也可以作為用於記憶元件 1200 的所有的電晶體使用其通道形成在氧化物半導體層中的電晶體。或者，記憶元件 1200 還可以包括電晶體 1209 以外的其通道由氧化物半導體層形成的電晶體，並且作為剩下的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的層中或基板 1190 中的電晶體。

[0526] 圖 27 所示的電路 1201 例如可以使用正反器電路。另外，作為邏輯元件 1206 例如可以使用反相器或時脈反相器等。

[0527] 在根據本發明的一個方式的半導體裝置中，在不向記憶元件 1200 供應電源電壓的期間，可以由設置在電路 1202 中的電容元件 1208 保持儲存在電路 1201 中的資料。

[0528] 另外，其通道形成在氧化物半導體層中的電晶體的關態電流極小。例如，其通道形成在氧化物半導體層中的電晶體的關態電流比其通道形成在具有結晶性的矽

中的電晶體的關態電流低得多。因此，藉由將該電晶體用作電晶體 1209，即使在不向記憶元件 1200 供應電源電壓的期間也可以長期間地儲存電容元件 1208 所保持的信號。因此，記憶元件 1200 在停止供應電源電壓的期間也可以保持儲存內容（資料）。

[0529] 另外，由於該記憶元件是以藉由設置開關 1203 及開關 1204 進行預充電工作為特徵的記憶元件，因此它可以縮短在再次開始供應電源電壓之後直到電路 1201 再次保持原來的資料為止的時間。

[0530] 另外，在電路 1202 中，由電容元件 1208 保持的信號被輸入到電晶體 1210 的閘極。因此，在再次開始向記憶元件 1200 供應電源電壓之後，可以將由電容元件 1208 保持的信號轉換為電晶體 1210 的狀態（開啟狀態或關閉狀態），並從電路 1202 讀出。因此，即使對應於保持在電容元件 1208 中的信號的電位有些變動，也可以準確地讀出原來的信號。

[0531] 藉由將這種記憶元件 1200 用於處理器所具有的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，可以在再次開始供應電源電壓之後在短時間內恢復到停止供應電源之前的狀態。因此，在整個處理器或構成處理器的一個或多個邏輯電路中在短時間內也可以停止電源，從而可以抑制耗電量。

[0532] 在本實施方式中，雖然對將記憶元件 1200 用

於 CPU 的例子進行說明，但是也可以將記憶元件 1200 應用於 LSI 諸如 DSP（Digital Signal Processor：數位訊號處理器）、定製 LSI、PLD（Programmable Logic Device：可程式邏輯裝置）等、RF-ID（Radio Frequency Identification：射頻識別）。

[0533] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0534]

實施方式 8

在本實施方式中說明本發明的一個方式的顯示面板的結構實例。

[0535]

[結構實例]

圖 28A 是本發明的一個方式的顯示面板的俯視圖，圖 28B 是在將液晶元件用於本發明的一個方式的顯示面板的像素時可以使用的像素電路的電路圖。圖 28C 是在將有機 EL 元件用於本發明的一個方式的顯示面板的像素時可以使用的像素電路的電路圖。

[0536] 可以根據上述實施方式形成配置在像素部中的電晶體。此外，因為該電晶體容易形成為 n 通道電晶體，所以將驅動電路中的可以由 n 通道電晶體構成的驅動電路的一部分與像素部的電晶體形成在同一基板上。如上所述，藉由將上述實施方式所示的電晶體用於像素部或驅動電路，可以提供可靠性高的顯示裝置。

[0537] 圖 28A 示出主動矩陣型顯示裝置的方塊圖的一個例子。在顯示裝置的基板 700 上設置有：像素部 701；第一掃描線驅動電路 702；第二掃描線驅動電路 703；以及信號線驅動電路 704。在像素部 701 中配置有從信號線驅動電路 704 延伸的多個信號線以及從第一掃描線驅動電路 702 及第二掃描線驅動電路 703 延伸的多個掃描線。此外，在掃描線與信號線的交叉區域中具有顯示元件的各像素配置為矩陣狀。另外，顯示裝置的基板 700 藉由 FPC（Flexible Printed Circuit：撓性印刷電路）等的連接部連接到時序控制電路（也稱為控制器、控制 IC）。

[0538] 在圖 28A 中，在設置有像素部 701 的基板 700 上形成有第一掃描線驅動電路 702、第二掃描線驅動電路 703、信號線驅動電路 704。由此，設置在外部的驅動電路等的構件的數量減少，從而能夠實現成本的降低。另外，當在基板 700 的外部設置驅動電路時，需要使佈線延伸，佈線之間的連接數增加。當在基板 700 上設置驅動電路時，可以減少該佈線之間的連接數，從而可以實現可靠性或良率的提高。

[0539]

（液晶面板）

圖 28B 示出像素部的電路結構的一個例子。在此，示出可以用於 VA 方式的液晶顯示面板的像素的像素電路。

[0540] 可以將該像素電路應用於一個像素具有多個像素電極層的結構。各像素電極層分別與不同的電晶體連

接，以藉由不同閘極信號驅動各電晶體。由此，可以獨立地控制施加到多域像素中的各像素電極層的信號。

[0541] 電晶體 716 的閘極佈線 712 和電晶體 717 的閘極佈線 713 彼此分離，以便能夠被提供不同的閘極信號。另一方面，電晶體 716 和電晶體 717 共同使用用作資料線的源極電極層或汲極電極層 714。作為電晶體 716 及電晶體 717，可以適當地利用上述實施方式所示的電晶體 100。由此可以提供可靠性高的液晶顯示面板。

[0542] 以下說明與電晶體 716 電連接的第一像素電極層及與電晶體 717 電連接的第二像素電極層的形狀。第一像素電極層和第二像素電極層被狹縫彼此分離。第一像素電極層呈擴展為 V 字型的形狀，第二像素電極層以圍繞第一像素電極層的方式形成。

[0543] 電晶體 716 的閘極電極連接到閘極佈線 712，而電晶體 717 的閘極電極連接到閘極佈線 713。藉由對閘極佈線 712 和閘極佈線 713 施加不同的閘極信號，可以使電晶體 716 及電晶體 717 的工作時序互不相同來控制液晶配向。

[0544] 另外，也可以由電容佈線 710、用作電介質的閘極絕緣膜以及與第一像素電極層或第二像素電極層電連接的電容電極形成儲存電容器。

[0545] 多域結構的像素設置有第一液晶元件 718 和第二液晶元件 719。第一液晶元件 718 由第一像素電極層、相對電極層以及它們之間的液晶層構成，而第二液晶

元件 719 由第二像素電極層、相對電極層以及它們之間的液晶層構成。

[0546] 此外，圖 28B 所示的像素電路不侷限於此。例如，也可以還對圖 28B 所示的像素追加開關、電阻元件、電容元件、電晶體、感測器或邏輯電路等。

[0547]

（有機 EL 面板）

圖 28C 示出像素的電路結構的其他例子。在此，示出使用有機 EL 元件的顯示面板的像素結構。

[0548] 在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別注入到包含發光有機化合物的層，而產生電流。然後，藉由使電子和電洞再結合，發光有機化合物達到激發態，並且當該激發態返回到基態時，獲得發光。根據這種機制，該發光元件被稱為電流激發型發光元件。

[0549] 圖 28C 是示出可以應用的像素電路的一個例子的圖。這裡示出一個像素包括兩個 n 通道電晶體的例子。本發明的一個方式的金屬氧化物膜可以用於 n 通道電晶體的通道形成區域。另外，該像素電路可以採用數位時間灰階驅動。

[0550] 以下說明可以應用的像素電路的結構及採用數位時間灰階驅動時的像素的工作。

[0551] 像素 720 包括開關電晶體 721、驅動電晶體 722、發光元件 724 以及電容元件 723。在開關電晶體 721

中，閘極電極層與掃描線 726 連接，第一電極（源極電極層和汲極電極層中的一個）與信號線 725 連接，並且第二電極（源極電極層和汲極電極層中的另一個）與驅動電晶體 722 的閘極電極層連接。在驅動電晶體 722 中，閘極電極層藉由電容元件 723 與電源線 727 連接，第一電極與電源線 727 連接，第二電極與發光元件 724 的第一電極（像素電極）連接。發光元件 724 的第二電極相當於共同電極 728。共同電極 728 與形成在同一基板上的共用電位線電連接。

[0552] 作為開關電晶體 721 及驅動電晶體 722，可以適當地利用上述實施方式所示的電晶體 100。由此可以提供可靠性高的有機 EL 顯示面板。

[0553] 將發光元件 724 的第二電極（共同電極 728）的電位設定為低電源電位。注意，低電源電位是指低於供應到電源線 727 的高電源電位的電位，例如，低電源電位可以為 GND、0V 等。將高電源電位與低電源電位的電位差設定為發光元件 724 的正向臨界電壓以上，將該電位差施加到發光元件 724 來使電流流過發光元件 724，以獲得發光。發光元件 724 的正向電壓是指為獲得所希望的亮度的電壓，至少包含正向臨界電壓。

[0554] 另外，還可以使用驅動電晶體 722 的閘極電容代替電容元件 723。作為驅動電晶體 722 的閘極電容，也可以利用在通道形成區域和閘極電極層之間的電容。

[0555] 接著，說明輸入到驅動電晶體 722 的信號。

當採用電壓輸入電壓驅動方式時，對驅動電晶體 722 輸入使驅動電晶體 722 充分處於開啟狀態或關閉狀態的兩個狀態的視訊信號。為了使驅動電晶體 722 在線性區域中工作，將比電源線 727 的電壓高的電壓施加到驅動電晶體 722 的閘極電極層。另外，對信號線 725 施加電源線電壓加驅動電晶體 722 的臨界電壓 Vth 的值以上的電壓。

[0556] 當進行類比灰階驅動時，對驅動電晶體 722 的閘極電極層施加發光元件 724 的正向電壓加驅動電晶體 722 臨界電壓的 Vth 的值以上的電壓。另外，藉由輸入使驅動電晶體 722 在飽和區域中工作的視訊信號，使電流流過發光元件 724。為了使驅動電晶體 722 在飽和區域中工作，使電源線 727 的電位高於驅動電晶體 722 的閘極電位。藉由採用類比方式的視訊信號，可以使與視訊信號對應的電流流過發光元件 724，而進行類比灰階驅動。

[0557] 注意，像素電路的結構不侷限於圖 28C 所示的像素結構。例如，還可以對圖 28C 所示的像素電路追加開關、電阻元件、電容元件、感測器、電晶體或邏輯電路等。

[0558] 當對圖 28A 至圖 28C 所示的電路應用上述實施方式所示的電晶體時，使源極電極（第一電極）及汲極電極（第二電極）分別電連接到低電位一側及高電位一側。再者，可以由控制電路等控制第一閘極電極的電位，且由未圖示的佈線將比源極電極低的電位等如上所示的電位輸入第二閘極電極。

[0559] 例如，在本說明書等中，顯示元件、作為具有顯示元件的裝置的顯示裝置、發光元件以及作為具有發光元件的裝置的發光裝置可以採用各種方式或各種元件。顯示元件、顯示裝置、發光元件或發光裝置例如包括 EL（電致發光）元件（包含有機和無機材料的 EL 元件、有機 EL 元件或無機 EL 元件）、LED（白色 LED、紅色 LED、綠色 LED、藍色 LED 等）、電晶體（根據電流而發光的電晶體）、電子發射元件、液晶元件、電子墨水、電泳元件、柵光閥（GLV）、電漿顯示器（PDP）、使用微機電系統（MEMS）的顯示元件、數位微鏡裝置（DMD）、數位微快門（DMS）、MIRASOL（在日本註冊的商標）、IMOD（干涉測量調節）元件、快門方式的 MEMS 顯示元件、光干涉方式的 MEMS 顯示元件、電潤濕（electrowetting）元件、壓電陶瓷顯示器、使用碳奈米管的顯示元件中的至少一個。除此以外，還可以包括其對比度、亮度、反射率、透射率等因電或磁作用而變化的顯示媒體。作為使用 EL 元件的顯示裝置的一個例子，有 EL 顯示器等。作為使用電子發射元件的顯示裝置的一個例子，有場致發射顯示器（FED）或 SED 方式平面型顯示器（SED：Surface-conduction Electron-emitter Display：表面傳導電子發射顯示器）等。作為使用液晶元件的顯示裝置的一個例子，有液晶顯示器（透過型液晶顯示器、半透過型液晶顯示器、反射型液晶顯示器、直觀型液晶顯示器、投射型液晶顯示器）等。作為使用電子墨水、電子粉

流體（在日本註冊的商標）或電泳元件的顯示裝置的一個例子，有電子紙等。注意，當實現半透過型液晶顯示器或反射式液晶顯示器時，使像素電極的一部分或全部具有反射電極的功能，即可。例如，像素電極的一部分或全部包含鋁、銀等，即可。並且，此時也可以將 SRAM 等記憶體電路設置在反射電極下。因而，可以進一步降低耗電量。

[0560] 例如在本說明書等中，可以使用各種基板形成電晶體。對基板的種類沒有特別的限制。作為該基板的一個例子，例如可以使用半導體基板（例如，單晶基板或矽基板）、SOI 基板、玻璃基板、石英基板、塑膠基板、金屬基板、不鏽鋼基板、具有不鏽鋼箔的基板、鎢基板、具有鎢箔的基板、撓性基板、貼合薄膜、包含纖維狀的材料的紙或者基材薄膜等。作為玻璃基板的一個例子，有鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鈉鈣玻璃等。作為撓性基板、貼合薄膜、基材薄膜等，可以舉出如下例子。例如可以舉出以聚對苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）、聚醚碸（PES）為代表的塑膠。或者，作為一個例子，可以舉出丙烯酸樹脂等合成樹脂等。或者，作為一個例子，可以舉出聚丙烯、聚酯、聚氟化乙烯或聚氯乙烯等。或者，作為一個例子，可以舉出聚醯胺、聚醯亞胺、芳族聚醯胺、環氧樹脂、無機蒸鍍薄膜、紙類等。尤其是，藉由使用半導體基板、單晶基板或 SOI 基板等製造電晶體，可以製造特性、尺寸或形狀等的偏差小、電流能力高且尺寸小的電晶體。當利用上述電晶體構

成電路時，可以實現電路的低耗電量化或電路的高集成化。

[0561] 另外，作為基板也可以使用撓性基板，在該撓性基板上直接形成電晶體。或者，也可以在基板與電晶體之間設置剝離層。剝離層可以在如下情況下使用，即在剝離層上製造半導體裝置的一部分或全部，然後將其從基板分離並轉置到其他基板上的情況。此時，也可以將電晶體轉置到耐熱性低的基板或撓性基板上。另外，作為上述剝離層，例如可以使用鎢膜與氧化矽膜的無機膜的層疊結構或基板上形成有聚醯亞胺等有機樹脂膜的結構等。

[0562] 另外，也可以使用一個基板形成電晶體，然後將該電晶體轉置到另一個基板上。作為轉置電晶體的基板，除了上述可以設置電晶體的基板之外，還可以使用紙基板、玻璃紙基板、芳族聚醯胺薄膜基板、聚醯亞胺薄膜基板、石材基板、木材基板、布基板（包括天然纖維（絲、棉、麻）、合成纖維（尼龍、聚氨酯、聚酯）或再生纖維（醋酯纖維、銅氨纖維、人造纖維、再生聚酯）等）、皮革基板、橡皮基板等。藉由使用上述基板，可以形成特性良好的電晶體或耗電量低的電晶體，可以製造不容易發生故障並具有耐熱性的裝置，或者可以實現輕量化或薄型化。

[0563] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0564]

實施方式 9

根據本發明的一個方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存介質的影像再現裝置（典型的是，能夠再現儲存介質如數位影音光碟（DVD：Digital Versatile Disc）等並具有可以顯示該影像的顯示器的裝置）中。另外，作為可以使用根據本發明的一個方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器終端、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動販賣機等。圖 29A 至圖 29F 示出這些電子裝置的具體例子。

[0565] 圖 29A 是可攜式遊戲機，該可攜式遊戲機包括外殼 901、外殼 902、顯示部 903、顯示部 904、麥克風 905、揚聲器 906、操作鍵 907 以及觸控筆 908 等。注意，雖然圖 29A 所示的可攜式遊戲機包括兩個顯示部 903 和顯示部 904，但是可攜式遊戲機所包括的顯示部的個數不限於此。

[0566] 圖 29B 是可攜式資料終端，該可攜式資料終端包括第一外殼 911、第二外殼 912、第一顯示部 913、第二顯示部 914、連接部 915、操作鍵 916 等。第一顯示部 913 設置在第一外殼 911 中，第二顯示部 914 設置在第二外殼 912 中。而且，第一外殼 911 和第二外殼 912 由連

接部 915 連接，由連接部 915 可以改變第一外殼 911 和第二外殼 912 之間的角度。第一顯示部 913 的影像也可以根據連接部 915 所形成的第一外殼 911 和第二外殼 912 之間的角度切換。另外，也可以對第一顯示部 913 和第二顯示部 914 中的至少一個使用附加有位置輸入功能的顯示裝置。另外，可以藉由在顯示裝置中設置觸控面板來附加位置輸入功能。或者，也可以藉由在顯示裝置的像素部中設置被稱為光感測器的光電轉換元件來附加位置輸入功能。

[0567] 圖 29C 是膝上型個人電腦，該膝上型個人電腦包括外殼 921、顯示部 922、鍵盤 923 以及指向裝置 924 等。

[0568] 圖 29D 是電冷藏冷凍箱，該電冷藏冷凍箱包括外殼 931、冷藏室門 932、冷凍室門 933 等。

[0569] 圖 29E 是視頻攝影機，該視頻攝影機包括第一外殼 941、第二外殼 942、顯示部 943、操作鍵 944、透鏡 945、連接部 946 等。操作鍵 944 及透鏡 945 設置在第一外殼 941 中，顯示部 943 設置在第二外殼 942 中。而且，第一外殼 941 和第二外殼 942 由連接部 946 連接，由連接部 946 可以改變第一外殼 941 和第二外殼 942 之間的角度。顯示部 943 的影像也可以根據連接部 946 所形成的第一外殼 941 和第二外殼 942 之間的角度切換。

[0570] 圖 29F 是一般的汽車，該汽車包括車體 951、車輪 952、儀表板 953 及燈 954 等。

[0571] 本實施方式的至少一部分可以與本說明書所

記載的其他實施方式適當地組合而實施。

[0572]

實施方式 10

在本實施方式中，參照圖 30A 至圖 30F 說明根據本發明的一個方式的 RF 標籤的使用例子。RF 標籤的用途廣泛，例如可以設置於物品諸如鈔票、硬幣、有價證券類、不記名證券類、證書類（駕駛證、居民卡等，參照圖 30A）、包裝用容器類（包裝紙、瓶子等，參照圖 30C）、儲存介質（DVD、錄影帶等，參照圖 30B）、車輛類（自行車等，參照圖 30D）、個人物品（包、眼鏡等）、食物類、植物類、動物類、人體、衣服、生活用品類、包括藥品或藥劑的醫療品、電子裝置（液晶顯示裝置、EL 顯示裝置、電視機或行動電話）等或者各物品的裝運標籤（參照圖 30E 和圖 30F）等。

[0573] 當將根據本發明的一個方式的 RF 標籤 4000 固定到物品時，將其附著到物品的表面上或者填埋於物品中。例如，當固定到書本時，將 RF 標籤嵌入在書本的紙張裡，而當固定到有機樹脂的包裝時，將 RF 標籤填埋於有機樹脂內部。根據本發明的一個方式的 RF 標籤 4000 實現了小型、薄型以及輕量，所以即使在固定到物品中也不會影響到該物品的設計性。另外，藉由將根據本發明的一個方式的 RF 標籤 4000 設置於鈔票、硬幣、有價證券類、不記名證券類或證書類等，可以賦予識別功能。藉由利用該識別功能可以防止偽造。另外，可以藉由在包裝用容器

類、儲存介質、個人物品、食物類、衣服、生活用品類或電子裝置等中設置根據本發明的一個方式的 RF 標籤，可以提高檢品系統等系統的運行效率。另外，藉由在車輛類中安裝根據本發明的一個方式的 RF 標籤，可以防止盜竊等而提高安全性。

[0574] 如上所述，藉由將根據本發明的一個方式的 RF 標籤應用於在本實施方式中列舉的各用途，可以降低包括資料的寫入或讀出等的工作的功耗，因此能夠使最大通信距離長。另外，即使在關閉電力供應的狀態下，也可以在極長的期間保持資料，所以上述 RF 標籤適用於寫入或讀出的頻率低的用途。

[0575] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0576] 注意，在一個實施方式中說明的內容（或者其一部分）可以應用於、組合於或者替換成在該實施方式中說明的其他內容（或者其一部分）和/或在一個或多個其他實施方式中說明的內容（或者其一部分）。

[0577] 在實施方式中說明的內容是指在各實施方式中利用各種圖式來說明的內容或利用說明書所記載的文章來說明的內容。

[0578] 另外，藉由將在一個實施方式中說明的圖式（或者其一部分）與該圖式的其他部分、在該實施方式中說明的其他圖式（或者其一部分）和/或在一個或多個其他實施方式中說明的圖式（或者其一部分）組合，而可以

構成更多的圖式。

[0579] 另外，可以構成除本說明書的圖式或文章裡未規定的內容之外的發明的一個方式。另外，當記載有某個值的範圍（例如上限值、下限值等）時，藉由任意縮小該範圍或者去除該範圍的一部分，可以規定去除該範圍的一部分的發明的一個方式。由此，例如，可以規定習知技術不包括在本發明的一個方式的技術範圍內。

[0580] 作為具體例子，在記載有包括第一至第五電晶體的電路的電路圖的情況下，可以規定為在發明中該電路不包括第六電晶體。或者，可以規定為在發明中該電路不包括電容元件。再者，可以規定為在發明中該電路不包括具有特定連接結構的第六電晶體。或者，可以規定為在發明中該電路不包括具有特定連接結構的電容元件。例如，可以規定為在發明中不包括其閘極與第三電晶體的閘極連接的第六電晶體。例如，可以規定為在發明中不包括其第一電極與第三電晶體的閘極連接的電容元件。

[0581] 作為其他具體例子，在關於某一個值，記載有“某一個電壓較佳為 3V 以上且 10V 以下”的情況下，例如，可以規定為發明的一個方式不包括該電壓為 -2V 以上且 1V 以下的情況。例如，可以規定為發明的一個方式不包括該電壓為 13V 以上的情況。例如，可以規定為在發明中該電壓為 5V 以上且 8V 以下。例如，可以規定為在發明中該電壓大約為 9V。例如，可以規定為發明包括該電壓為 3V 以上且 10V 以下但不是 9V 的情況。注意，即

使記載有“某一個值較佳為某個範圍”、“某一個值最好滿足某個條件”，也不侷限於該記載。換而言之，“較佳”、“最好”等的記載並不一定規定該值。

[0582] 作為其他具體例子，在關於某一個值，記載有“某一個電壓較佳為 10V”的情況下，例如，可以規定為發明的一個方式不包括該電壓為-2V 以上且 1V 以下的情況。例如，可以規定為發明的一個方式不包括該電壓為 13V 以上的情況。

[0583] 作為其他具體例子，在關於某一個物質的性質，記載有“某一個膜為絕緣膜”的情況下，例如，可以規定為發明的一個方式不包括該絕緣膜為有機絕緣膜的情況。例如，可以規定為發明的一個方式不包括該絕緣膜為無機絕緣膜的情況。例如，可以將不包括該膜為導電膜的情況規定為發明的一個方式。例如，可以將不包括該膜為半導體膜的情況規定為發明的一個方式。

[0584] 作為其他具體例子，在關於某一個層疊結構，記載有“在 A 膜與 B 膜之間設置有某一個膜”的情況下，例如，可以規定為發明不包括該膜為四層以上的疊層膜的情況。例如，可以規定為發明不包括在 A 膜與該膜之間設置有導電膜的情況。

[0585] 另外，在本說明書等中，有時即使不指定主動元件（電晶體、二極體等）、被動元件（電容元件、電阻元件等）等所具有的所有端子的連接位置，所屬技術領域的普通技術人員也能夠構成發明的一個方式。也就是

說，即使未指定連接位置，也可以說其是發明的一個方式是明確的。並且，當在本說明書等中記載有指定了連接位置的內容時，有時可以判斷為本說明書等中記載有未指定連接位置的本發明的一個方式。尤其是，在作為端子的連接位置有可能有多個位置的情況下，該端子的連接位置不限於指定的位置。因此，有時藉由僅指定主動元件（電晶體、二極體等）、被動元件（電容元件、電阻元件等）等所具有的一部分的端子的連接位置，就能夠構成發明的一個方式。

[0586] 另外，在本說明書等中，只要至少指定某個電路的連接位置，有時所屬技術領域的普通技術人員就能夠確定發明。或者，只要至少指定某個電路的功能，有時所屬技術領域的普通技術人員就能夠確定發明。也就是說，只要指定功能，有時就可以判斷其是發明的一個方式是明確的，並且作為本發明的一個方式記載在本說明書中。因此，即使未指定某一個電路的功能，只要指定其連接位置，該電路就是可作為發明的一個方式被公開的電路，而可以構成發明的一個方式。或者，即使不指定某個電路的連接位置，只要指定其功能，該電路就是可以作為本發明的一個方式被公開的電路，而可以構成發明的一個方式。

[0587] 此外，在本說明書等中，可以在某一個實施方式中所述的圖式或文章中取出其一部分而構成發明的一個方式。因此，在記載有說明某一部分的圖式或文章的情

況下，被取出的其一部分的圖式或文章的內容也是作為發明的一個方式被公開的內容，而能夠構成發明的一個方式。並且，可以說該發明的一個方式是明確的。因此，例如，可以在記載有一個或多個主動元件（電晶體、二極體等）、佈線、被動元件（電容元件、電阻元件等）、導電層、絕緣層、半導體層、有機材料、無機材料、構件、裝置、工作方法、製造方法等的圖式或文章中，取出其一部分而構成發明的一個方式。例如，可以從包括 N 個（N 是整數）電路元件（電晶體、電容元件等）的電路圖中取出 M 個（M 是整數，M<N）電路元件（電晶體、電容元件等）來構成發明的一個方式。作為其他例子，可以從包括 N 個（N 是整數）層而構成的剖面圖中取出 M 個（M 是整數，M<N）層來構成發明的一個方式。再者，作為其他例子，可以從包括 N 個（N 是整數）要素而構成的流程圖中取出 M 個（M 是整數，M<N）要素來構成發明的一個方式。作為其他的例子，當從“A 包括 B、C、D、E 或 F”的記載中任意抽出一部分的要素時，可以構成“A 包括 B 和 E”、“A 包括 E 和 F”、“A 包括 C、E 和 F”或者“A 包括 B、C、D 和 E”等的發明的一個方式。

[0588] 此外，在本說明書等中，在某一個實施方式所示的圖式或文章中至少記載有一個具體例子的情況下，所屬技術領域的普通技術人員可以很容易地理解一個事實就是由上述具體例子導出該具體例子的上位概念。因此，在某一個實施方式所示的圖式或文章中至少記載有一個具

體例子的情況下，該具體例子的上位概念也是所公開的發明的一個方式，而可以構成發明的一個方式。並且，可以說該發明的一個方式是明確的。

[0589] 另外，在本說明書等中，至少在圖式中記載的內容（也可以是其一部分）是所公開的發明的一個方式，而可以構成發明的一個方式。因此，某個內容只要在圖式中有記載，即便不使用文章來描述，該內容也是所公開的發明的一個方式，而可以構成發明的一個方式。同樣地，取出其一部分的圖式也是所公開的發明的一個方式，而可以構成發明的一個方式。並且，可以說該發明的一個方式是明確的。

實施例 1

[0590] 在本實施例中，說明本發明的一個方式的氧化物半導體膜的評價結果。

[0591]

[製造方法]

作為基板使用矽晶圓，在矽晶圓上形成氧化物半導體膜。作為氧化物半導體膜，藉由使用 In-Ga-Zn 氧化物靶材的濺射法形成 In-Ga-Zn 氧化物膜。表 6 示出成膜時的主要條件。

[0592]

[表 6]

	裝置	功率 [kW]	氣體流量[sccm]		基板溫度	壓力 [Pa]	靶材	靶材與基板間距離
			Ar[sccm]	O_2[sccm]				
條件 A1	裝置 A	0.5 (DC)	30	15	300℃	0.7	In：Ga：Zn=1：1：1	60mm
條件 A2		0.5 (DC)	30	15	300℃	0.4	In：Ga：Zn=1：1：1	60mm
條件 A3	裝置 B	0.5 (DC)	30	15	300℃	0.4	In：Ga：Zn=1：1：1	60mm
條件 B1	裝置 A	0.5 (DC)	30	15	200℃	0.7	In：Ga：Zn=2：1：3	60mm
條件 B2		0.5 (DC)	30	15	300℃	0.7	In：Ga：Zn=2：1：3	60mm
條件 E1	裝置 C	0.5 (DC)	20	10	200℃	0.4	In：Ga：Zn=4：2：4.1	130mm

[0593] 在此，在表 6 的條件 A3 中，壓力使用由日本佳能-安內華（CANON-ANELVA）公司製造的 B-A 真空計 BRG-1B 來測定，在其它五個條件中，壓力使用由日本佳能-安內華公司製造的小型真空計 MG-2 來測定。如表 6 所示，作為靶材，在條件 A1 及條件 A2 中使用原子個數比為 In：Ga：Zn=1：1：1 的 In-Ga-Zn 氧化物，在條件 B1 及條件 B2 中使用原子個數比為 In：Ga：Zn=2：1：3 的 In-Ga-Zn 氧化物，而在條件 E1 中使用原子個數比為 In：Ga：Zn=4：2：4.1 的 In-Ga-Zn 氧化物。作為電源使用 DC 電源。

[0594]

[XRD 評價]

下面，說明分別使用條件 A1、條件 B1、條件 B2 及

條件 E1 形成氧化物半導體膜而利用 XRD 裝置來進行評價的結果。首先，製造用於評價的樣本。在矽晶圓上形成 100nm 厚的氧化物半導體膜。將使用表 6 所記載的條件 A1、條件 B1、條件 B2 及條件 E1 的各條件來形成氧化物半導體膜的樣本分別為樣本 A1-1、樣本 B1-1、樣本 B2-1 及樣本 E1-1。

[0595] 接著，在利用 XRD 裝置進行評價之前，對各樣本進行加熱處理。作為加熱處理的條件，在以 450℃在氮氛圍下進行 1 小時的加熱處理之後，在同一處理室內在氧氛圍下進行 1 小時的加熱處理。然後，使用具有多功能的用來評價薄膜材料的 X 射線繞射儀 D8 DISCOVER Hybrid（美國布魯克 AXS 公司製造）來進行各樣本的評價。圖 36A 至圖 36D 示出藉由 Out-Of-Plane 法的分析結果。圖 36A、圖 36B、圖 36C 及圖 36D 分別示出樣本 A1-1、樣本 B1-1、樣本 B2-1 及樣本 E1-1 的分析結果。上述樣本都在 2θ=31°附近觀察到峰值。由於該峰值來源於 $InGaZnO_4$ 結晶的（009）面，因此可知在上述各樣本中氧化物半導體膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。另外，在對所得到的 2θ=31°附近的峰值進行比較時，可知與樣本 A1-1 相比，其它樣本的峰值的寬度更窄、更尖。由此可知 CAAC 比率較高。在此，表 7 示出各樣本的 2θ=31°附近的峰值的半寬度。半寬度是在減去背景之後利用洛倫茲函數進行擬合來獲得的。作為背景使用線性函數與洛倫茲函數之和。由

表 7 可知，在使用原子個數比為 In：Ga：Zn=1：1：1 的靶材來形成的樣本 A1-1 中半寬度為 4.68°，而在使用原子個數比為 In：Ga：Zn=2：1：3 的靶材來形成的樣本 B1-1 及樣本 B2-1 中半寬度為 2.10°及 2.19°，並在樣本 E1-1 中半寬度為 3.47°，如上所述，在樣本 B1-1、樣本 B2-1 及樣本 E1-1 中都得到較小的半寬度，並得到尖銳的峰值。

[0596]

[表 7]

	2θ[°]	半寬度[°]
樣本 A1-1	30.6	4.68
樣本 B1-1	31.1	2.10
樣本 B2-1	30.8	2.19
樣本 E1-1	30.7	3.47

[0597]

[膜密度評價]

接著，測定上述樣本 A1-1、樣本 B1-1 及樣本 B2-1 的膜密度。在進行膜密度評價之前，對各樣本進行加熱處理。作為加熱處理條件，在以 450℃在氮氛圍下進行 1 小時的加熱處理之後，在同一處理室內在氧氛圍下進行 1 小時的加熱處理。表 8 示出所得到的膜密度。在各條件中都能夠得到緻密且良好的膜。由上述結果可知，包含多個 c 軸配向的結晶部的氧化物半導體膜，即 CAAC-OS 膜是緻密的膜。

[0598]

[表 8]

	膜密度 [g/cm^3]
樣本 A1-1	6.27
樣本 B1-1	6.33
樣本 B2-1	6.29

[0599]

[藉由 ICP-MS 的評價結果]

藉由電感耦合電漿質譜分析法（Inductively Coupled Plasma Mass Spectrometry：ICP-MS 分析法）來測定上述樣本 A1-1、樣本 B1-1 及樣本 B2-1 中的銦、鎵及鋅的含有率。表 9 示出從所得到的結果算出各元素的原子個數比的結果。

[0600]

[表 9]

	原子個數比		
	In	Ga	Zn
樣本 A1-1	1	0.99	0.66
樣本 B1-1	2	0.98	2.3
樣本 B2-1	2	0.99	2.2

[0601] 由表 9 可知，與靶材中的鋅的原子個數比相比，在樣本 A1-1 中鋅的原子個數比減少了 44%左右，在樣本 B2-1 中減少了 23%左右，在樣本 B2-2 中減少了 26%左右。另一方面，銦及鎵的原子個數比在靶材與各樣本之間其差異只有 1%至 2%左右，幾乎沒有減少。

[0602]

[剖面 TEM 觀察 1]

[0603] 接著，說明剖面 TEM 影像的觀察結果。按如下方法來製造用於觀察的樣本。首先，在矽晶圓上形成絕緣膜。作為絕緣膜，利用熱氧化法形成 100nm 厚的氧化矽膜。然後，藉由濺射法形成 300nm 厚的氧化矽膜。氧化矽的成膜條件為如下：使用氧化矽的靶材；氧流量為 50sccm；壓力為 0.4Pa；使用 RF 電源而將功率設定為 1.5kW；並且基板溫度為 100℃。將靶材與基板間距離設定為 60mm。然後，使用 CMP 進行拋光以使表面平坦化。

[0604] 如上所述，在矽晶圓上形成絕緣膜之後，形成 20nm 厚的氧化物半導體膜。將使用表 6 所記載的條件 A1、B1 及 B2 的各條件來形成氧化物半導體膜的樣本分別為樣本 A1-1、樣本 B1-1 及樣本 B2-2。

[0605] 如上所述，製造樣本 A1-2、樣本 B1-2 及樣本 B2-2。接著，對所得到的各樣本進行加熱處理。作為加熱處理的條件，在以 450℃在氮氛圍下進行 1 小時的處理之後，以 450℃在氧氛圍下進行 1 小時的處理。然後，進行薄片化加工。

[0606] 接著，觀察藉由利用球面像差修正（Spherical Aberration Corrector）功能得到的樣本 A1-2、樣本 B1-2 及樣本 B2-2 的氧化物半導體膜的剖面的 TEM 影像。注意，將藉由 TEM 觀察得到的明視野像以及繞射圖案的複合分析影像稱為高解析度 TEM 影像。並且，尤其將利用球面像差修正功能而得到的高解析度 TEM 影像稱為 Cs 校正高解析度 TEM 影像。使用日本電

子株式會社所製造的原子解析度分析型電子顯微鏡 JEM-ARM200F 來得到 Cs 校正高解析度 TEM 影像。將加速電壓設定為 200kV。

[0607] 圖 37A 和圖 37B 示出樣本 A1-2 的剖面 TEM 影像的觀察結果，圖 38A 和圖 38B 示出樣本 B1-2 的剖面 TEM 影像的觀察結果，圖 39A 和圖 39B 示出樣本 B2-2 的剖面 TEM 影像的觀察結果。在作為靶材使用原子個數比為 In：Ga：Zn=2：1：3 的 In-Ga-Zn 氧化物的樣本 B1-2 及樣本 B2-2 的氧化物半導體膜中，與樣本 A1-2 的氧化物半導體膜相比，更明顯地觀察到原子排列為層狀的狀況。這表示在樣本 B1-2 及樣本 B2-2 中金屬原子具有層狀的結構，並更強烈地配向於 c 軸。

[0608] 另外，圖 59A 是樣本 A1-2 的與圖 37A 和圖 37B 所示的部分不同的位置的剖面 TEM 影像，圖 59B 是樣本 B1-2 的與圖 38A 和圖 38B 所示的部分不同的位置的剖面 TEM 影像。此外，圖 40A 和圖 40B 是以線表示圖 59A 和圖 59B 的某一部分區域中的金屬原子有規律地排列為層狀的區域的圖。在樣本 A1-2 的氧化物半導體膜中，觀察到如單晶那樣金屬原子有規律地排列的區域以及規律性不明確的區域。另外，在樣本 B1-2 的氧化物半導體膜中，與樣本 A1-2 相比，可知金屬原子有規律地排列的區域增加，並且規律性不明確的區域減少。

[0609]

[剖面 TEM 觀察 2]

接著，準備更厚的氧化物半導體膜，並觀察其剖面 TEM 影像。使用日本日立高新技術公司製造的 H-9500 來獲得 TEM 影像。將加速電壓設定為 300kV。

[0610] 作為用於觀察的樣本，使用條件 A2 及條件 B1 分別在矽晶圓上形成 50nm 厚的氧化物半導體膜。接著，在進行薄片化加工之後，藉由剖面 TEM 進行觀察。將使用條件 A2 及條件 B1 形成氧化物半導體膜的樣本分別為樣本 A2-3 及樣本 B1-3。圖 41A 至圖 41D 示出樣本 A2-3 的觀察結果，圖 42A 至圖 42D 示出樣本 B1-3 的觀察結果。圖 41A 示出整體結構的觀察結果，圖 41B 示出膜上部的觀察結果，圖 41C 示出膜中央部的觀察結果，圖 41D 示出與矽晶圓的介面附近的觀察結果。同樣地，圖 42A 示出整體結構的觀察結果，圖 42B 示出膜上部的觀察結果，圖 42C 示出膜中央部的觀察結果，圖 42D 示出與矽晶圓的介面附近的觀察結果。在作為靶材使用原子個數比為 In：Ga：Zn=2：1：3 的 In-Ga-Zn 氧化物的樣本 B1-3 的氧化物半導體膜中，與樣本 A2-3 的氧化物半導體膜相比，更明顯地觀察到原子排列為層狀的狀況，與圖 38A 至圖 39B 同樣地，該結果表示原子更強烈地配向於 c 軸。

[0611]

[平面 TEM 觀察]

接著，對平面 TEM 影像的觀察結果進行說明。使用日本日立高新技術公司製造的 H-9000NAR 來獲得 TEM 影像。將加速電壓設定為 300kV。在對上述樣本 A1-2 及樣

本 B1-2 進行加熱處理之後，觀察其平面 TEM 影像。作為加熱處理的條件，在以 450℃在氮氛圍下進行 1 小時的處理之後，以 450℃在氧氛圍下進行 1 小時的處理。

[0612] 圖 43A 示出樣本 A1-2 的觀察結果，圖 43B 示出樣本 B1-2 的觀察結果。由結果可知，不同的結晶部之間的金屬原子的排列雖然與單晶不同，但與樣本 A1-2 相比，在樣本 B1-2 中金屬原子更有規律地排列。另外，與樣本 A1-2 相比，在樣本 B1-2 中更清楚地觀察到晶格像，因此可以認為原子更有規律地排列。

[0613]

[CAAC 比率的評價]

接著，使用奈米束電子繞射對上述樣本 A1-2 及樣本 B1-2 進行 CAAC 比率的評價。使用日本日立高新技術公司製造的 HF-2000 來獲得電子繞射。將加速電壓設定為 200kV。

[0614] 逐漸地移動樣本工作臺而對包括氧化物半導體膜的各樣本的頂面進行掃描，來得到穿透式電子繞射圖案。作為電子線，使用束徑為 1nm 的奈米束電子線。另外，各樣本都在三個地方進行同樣的測定。換言之，進行掃描 1 至掃描 3 的一共 3 次的掃描。

[0615] 以 5nm/秒鐘的速度進行掃描觀察繞射圖案，而獲得動態影像。接著，每隔 0.5 秒鐘將該繞射圖案的動態影像轉換為靜態影像。對轉換的靜態影像進行分析而將其分為四種圖案，即，CAAC-OS 膜的圖案、難以辨別是

CAAC-OS 膜還是 nc-OS 膜的圖案的圖案、nc-OS 膜的圖案以及尖晶石型結晶結構的圖案。表 10 示出其結果。注意，在表 10 所示的 CAAC 比率中，將難以辨別是 CAAC-OS 膜還是 nc-OS 膜的圖案的圖案假設為不是 CAAC。

[0616]

[表 10]

		影像數量					CAAC 比率 (將 2.假設為不是 CAAC)
		分析次數	1. CAAC	2.CAAC 或 nc?	3. nc	4.尖晶石型	
樣本 A1-2	掃描 1	130	87	27	16	0	66.9%
	掃描 2	132	118	4	10	0	89.4%
	掃描 3	189	163	5	21	0	86.2%
樣本 B1-2	掃描 1	140	136	2	2	0	97.1%
	掃描 2	145	137	5	3	0	94.5%
	掃描 3	216	200	11	5	0	92.6%

[0617] 接著，在動態影像中確認每個難以辨別是 CAAC-OS 膜還是 nc-OS 膜的圖案前後的影像，並將其分為觀察到 CAAC-OS 膜圖案的圖案和觀察到 nc-OS 膜圖案的圖案，由此導出 CAAC 比率。表 11 示出其結果。表 11 分別示出各掃描中的算出 CAAC 比率時使用的繞射圖案的影像數量、觀察到的各種圖案的影像數量以及算出的 CAAC 比率。

[0618]

[表 11]

		影像數量				CAAC 比率
		分析次數	CAAC	nc	尖晶石型	
樣本 A1-2	掃描 1	130	114	16	0	87.7%
	掃描 2	132	122	10	0	92.4%
	掃描 3	189	168	21	0	88.9%
樣本 B1-2	掃描 1	140	138	2	0	98.6%
	掃描 2	145	142	3	0	97.9%
	掃描 3	216	211	5	0	97.7%

[0619] 圖 44A 是示出表 11 所示的 CAAC 比率的圖表。如圖 44A 所示，作為 CAAC-OS 膜之外的繞射圖案，觀察到 nc-OS 膜的圖案，而沒有觀察到尖晶石型結構的圖案。

[0620] 如表 11 所示，可知使用原子個數比為 In：Ga：Zn=2：1：3 的靶材形成的樣本 B1-2 的 CAAC 比率極高。

[0621] 接著，圖 55 示出樣本 B1-2 的在不同於圖 43B 的地方進行平面 TEM 觀察的結果。另外，使用奈米束電子繞射對圖 55 所示的 3 個地點（point1 至 3）進行結構分析。作為電子線，使用束徑為 1nm 的奈米束。在此，束徑包括±20%的誤差。圖 56A、圖 56B 及圖 56C 示出在 point1、2 及 3 得到的繞射斑點以及由繞射斑點確定結晶結構的結果。分析結果是，所得到的繞射斑點被確定為 JCPDS 卡片所記載的 $InGaO_3(ZnO)_2$ 的結構。

[0622] 接著，同樣地，對厚度為 100nm 的氧化物半導體膜進行 CAAC 比率的評價。作為氧化物半導體膜的成

膜條件，使用表 6 的條件 A3 和 B1。

[0623] 在矽晶圓上利用熱氧化法形成 100nm 厚的氧化矽膜。然後，使用表 6 所記載的條件 A3 形成 100nm 厚的氧化物半導體膜，而將其作為樣本 A3-1。作為條件 B1 的樣本，使用樣本 B1-1。

[0624] 接著，對樣本 A3-1 及樣本 B1-1 進行加熱處理。作為加熱處理的條件，在以 450℃在氮氛圍下進行 1 小時的加熱處理之後，在同一處理室內，在氧氛圍下進行 1 小時的加熱處理。

[0625] 接著，對各樣本的頂面進行掃描來獲得穿透式電子繞射圖案。作為電子線，使用束徑為 1nm 的奈米束。另外，各樣本都在三個地方進行同樣的測定。換言之，進行掃描 1 至掃描 3 的一共 3 次的掃描。

[0626] 以 5nm/秒鐘的速度進行掃描觀察繞射圖案，而獲得動態影像。接著，每隔 0.5 秒鐘將該繞射圖案的動態影像轉換為靜態影像。圖 45 至圖 49 示出將樣本 A3-1 的掃描 2 的繞射圖案轉換的靜態影像。另外，圖 50 至圖 54 示出將樣本 B1-1 的掃描 2 的繞射圖案轉換的靜態影像。如圖 45 至圖 54 所示，在每個樣本中觀察到表示 CAAC 結構的繞射圖案，並且隨著掃描的進展其繞射圖案的角度逐漸旋轉。

[0627] 對轉換的靜態影像進行分析而將其分為四種圖案，即 CAAC-OS 膜的圖案、難以辨別是 CAAC-OS 膜還是 nc-OS 膜的圖案的圖案、nc-OS 膜的圖案以及尖晶石

型結晶結構的圖案。表 12 示出其結果。注意，在表 12 所示的 CAAC 比率中，將難以辨別是 CAAC-OS 膜還是 nc-OS 膜的圖案的圖案假設為不是 CAAC。

[0628]

[表 12]

		影像數量					CAAC 比率 (將 2.假設為不是 CAAC)
		分析次數	1. CAAC	2.CAAC 或 nc?	3. nc	4. 尖晶石型	
樣本 A3-1	掃描 1	126	118	0	8	0	93.7%
	掃描 2	132	119	0	13	0	90.2%
	掃描 3	190	168	2	20	0	88.4%
樣本 B1-1	掃描 1	144	141	2	1	0	97.9%
	掃描 2	141	141	0	0	0	100.0%
	掃描 3	246	242	3	1	0	98.4%

[0629] 接著，在動態影像中確認每個難以辨別是 CAAC-OS 膜還是 nc-OS 膜的圖案的圖案前後的影像，並將其分為觀察到 CAAC-OS 膜圖案的圖案和觀察到 nc-OS 膜圖案的圖案，由此導出 CAAC 比率。表 13 示出其結果。

[0630]

[表 13]

		影像數量				CAAC 化率
		分析次數	CAAC	nc	尖晶石型	
樣本 A3-1	掃描 1	126	118	8	0	93.7%
	掃描 2	132	119	13	0	90.2%
	掃描 3	190	170	20	0	89.5%
樣本 B1-1	掃描 1	144	143	1	0	99.3%
	掃描 2	141	141	0	0	100.0%
	掃描 3	246	245	1	0	99.6%

[0631] 另外，圖 44B 是示出表 13 所示的 CAAC 比率的圖表。其結果，與厚度為 20nm 時的結果同樣地，使用原子個數比為 In：Ga：Zn=2：1：3 的靶材形成的樣本 B1-1 的 CAAC 比率極高。

[0632] 接著，在對樣本 B1-2 進行平面 TEM 觀察之後，對 3 個地點進行 EDX（Energy Dispersive X-ray spectroscopy：能量色散 X 射線光譜）分析來進行評價。表 14 示出從所得到的結果求出銦、鎵及鋅的原子個數比的結果。

[0633]

[表 14]

	原子個數比		
	In	Ga	Zn
point 1	2	0.80	1.57
point 2	2	0.85	1.64
point 3	2	0.70	1.36

[0634] 鎵相對於銦的原子個數比（Ga/In）為藉由 ICP-MS 得到的值的大約 70%以上且 83%以下，鋅相對於

銦的原子個數比（Zn/In）為藉由 ICP-MS 得到的值的大約 58%以上且 76%以下。

實施例 2

[0635]

[電晶體的製造]

在本實施例中，製造樣本 A1-4 以及樣本 B1-4，該樣本 A1-4 是在基板上形成有包括在實施例 1 的表 6 所示的條件 A1 下形成的氧化物半導體膜的電晶體的樣本，並且該樣本 B1-4 是在基板上形成有包括在成膜條件 B1 下形成的氧化物半導體膜的電晶體的樣本，然後對其上述兩者的特性進行評價。注意，在本實施例中，只說明樣本 A1-4 的條件與樣本 B1-4 的條件之間的不同點。因此，在沒有對該不同點的描述時，在相同的條件下對樣本 A1-4 與樣本 B1-4 進行處理。

[0636] 在電晶體特性的評價中，使用具有圖 5A 至圖 5C 所示的剖面結構的電晶體。注意，使用的電晶體不包括導電層 105。下面，說明電晶體的具體的製造方法。

[0637] 作為基板 50，準備晶面配向（110）的 p 型 CZ 晶體矽晶圓。接著，在洗滌基板之後，形成絕緣膜 51。絕緣膜 51 為氧化矽膜與氧氮化矽膜的疊層膜。以 950℃進行熱氧化來形成 100nm 厚的氧化矽膜。然後，利用 PECVD 設備形成 300nm 厚的氧氮化矽膜。成膜條件為如下：基板溫度為 400℃；矽烷流量為 2sccm，一氧化二

氮流量為 800sccm；壓力為 40Pa；成膜功率（RF，27MHz）為 50W；並且電極間距離為 15mm。在形成絕緣膜 51 之後，藉由 CMP 法進行平坦化處理。然後，以 450℃在減壓氛圍下進行 1 小時的加熱處理。

[0638] 接著，使用離子植入法注入氧離子（$^{16}O^{+}$）。注入條件為如下：加速電壓為 60kV；劑量為 $2.0\times10^{16}ions/cm^{2}$；傾角為 7°；並且扭轉角（twist angle）為 72°。

[0639] 接著，在絕緣膜 51 上形成成為半導體層 101a 的第一半導體膜。作為第一半導體膜，藉由利用作為靶材使用原子個數比為 In：Ga：Zn=1：3：4 的 In-Ga-Zn 氧化物的濺射法，來形成 20nm 厚的 In-Ga-Zn 氧化物膜。成膜條件為如下：氬流量為 40sccm；氧流量為 5sccm；壓力為 0.7Pa；電源功率（DC）為 0.5kW；基板溫度為 200℃；並且基板與靶材間的距離為 60mm。在此，作為壓力計使用日本佳能-安內華公司製造的小型真空計。

[0640] 然後，接著形成成為半導體層 101b 的第二半導體膜。使用不同的處理室形成第一半導體膜和第二半導體膜，並且以不暴露於大氣氛圍的方式在真空氛圍下進行處理室之間的傳送。作為第二半導體膜，形成 15nm 厚的 In-Ga-Zn 氧化物膜。作為第二半導體膜的成膜條件，在樣本 A1-4 中作為靶材使用原子個數比為 In：Ga：Zn=1：1：1 的 In-Ga-Zn 氧化物，而在樣本 B1-4 中作為靶材使用原子個數比為 In：Ga：Zn=2：1：3 的 In-Ga-Zn 氧化物。

將基板與靶材間的距離設定為 60mm。作為電源使用 DC 電源。表 15 示出其他主要條件。在此，作為壓力計使用日本佳能-安內華公司製造的小型真空計。

[0641]

[表 15]

	功率 [kW]	氣體流量		基板溫度 [℃]	壓力 [Pa]	靶材
		Ar[sccm]	O_2[sccm]			
樣本 A1-4	0.5	30	15	300℃	0.7	In：Ga：Zn=1：1：1
樣本 B1-4	0.5	30	15	200℃	0.7	In：Ga：Zn=2：1：3

[0642] 接著，在以 450℃在氮氛圍下進行 1 小時的加熱處理之後，在同一處理室內在氧氛圍下進行 1 小時的加熱處理。

[0643] 接著，藉由濺射法形成 15nm 厚的鎢膜。成膜條件為如下：作為靶材使用鎢；氬流量為 80sccm；壓力為 0.8Pa；電源功率（DC）為 1kW；並且基板與靶材間的距離為 60mm。將基板溫度設定為 130℃左右。另外，還進一步向基板的背面供應 10sccm 的氬。

[0644] 接著，藉由光微影製程在鎢膜上形成遮罩，而使用該遮罩藉由感應耦合電漿（ICP：Inductively Coupled Plasma）蝕刻法對鎢膜的一部分進行蝕刻，此時蝕刻條件為如下：使用流量為 60sccm 的四氟化碳（CF_4）氣體及流量為 40sccm 的氧（O_2）氣體的混合氛圍；電源功率為 1000W；偏壓功率為 25W；並且壓力為 2.0Pa，由

此，形成硬遮罩。

[0645] 接著，將鎢層用作遮罩而藉由蝕刻對第一半導體膜及第二半導體膜的形狀進行加工，由此形成島狀的第一半導體層 101a 和第二半導體層 101b。注意，在上述蝕刻中，使用 ICP 蝕刻法。作為該蝕刻，首先在如下條件下進行第一蝕刻：基板溫度為 70℃；作為蝕刻氣體使用甲烷（CH_4）與氬（Ar）的混合氣體（CH_4=16sccm，Ar=32sccm）；電源功率為 600W；偏壓功率為 50W；壓力為 3.0Pa；並且處理時間為 3 秒。接著，在如下條件下進行第二蝕刻：基板溫度為 70℃；作為蝕刻氣體使用甲烷與氬的混合氣體（CH_4=16sccm，Ar=32sccm）；電源功率為 600W；偏壓功率為 50W；並且壓力為 1.0Pa。

[0646] 接著，對鎢層進行蝕刻。該蝕刻藉由 ICP 蝕刻法進行，其中條件為如下：使用流量 45sccm 的氯（Cl_2）氣體、流量為 55sccm 的四氟化碳（CF_4）氣體及流量為 55sccm 的氧（O_2）氣體的混合氛圍；電源功率為 1000W；偏壓功率為 25W；並且壓力為 2.0Pa。

[0647] 接著，作為成為導電層 104a 及導電層 104b 的導電膜，藉由濺射法形成 100nm 厚的鎢膜。成膜條件為如下：作為靶材使用鎢；氬流量為 80sccm；壓力為 0.8Pa；並且電源功率（DC）為 1kW。另外，進一步向基板的背面供應氬。將基板溫度設定為 130℃左右。

[0648] 接著，藉由蝕刻對成為導電層 104a 及導電層 104b 的導電膜的形狀進行加工，來形成導電層 104a 及導

電層 104b。另外，明確而言，上述導電膜的蝕刻按以下方法進行。首先，在如下條件下進行第一蝕刻：基板溫度為 40℃；作為蝕刻氣體使用氯與四氟化碳與氧的混合氣體（Cl_2=45sccm，CF_4=55sccm，O_2=55sccm）；電源功率為 3000W；偏壓功率為 110W；壓力為 0.67Pa；並且處理時間為 13 秒。接著，在如下條件下進行第二蝕刻：基板溫度為 40℃；作為蝕刻氣體使用氯（Cl_2=100sccm）；電源功率為 2000W；偏壓功率為 0W；壓力為 3.00Pa；並且處理時間為 15 秒。接著，在如下條件下進行第三蝕刻：基板溫度為 40℃；作為蝕刻氣體使用氯與四氟化碳與氧的混合氣體（Cl_2=45sccm，CF_4=55sccm，O_2=55sccm）；電源功率為 3000W；偏壓功率為 110W；並且壓力為 0.67Pa。

[0649] 接著，在導電層 104a 及導電層 104b 上形成成為半導體層 101c 的第三半導體膜。作為第三半導體膜，藉由使用原子個數比為 In：Ga：Zn=1：3：2 的 In-Ga-Zn 氧化物靶材的濺射法形成 5nm 厚的 In-Ga-Zn 氧化物膜。成膜條件為如下：氬流量為 30sccm；氧流量為 15sccm；壓力為 0.4Pa；電源功率（DC）為 0.5kW；基板溫度為 200℃；並且基板與靶材間的距離為 60mm。在此，作為壓力計使用 B-A 真空計。

[0650] 接著，作為閘極絕緣膜 102，藉由 PECVD 法形成 20nm 厚的氧氮化矽膜。成膜條件為如下：基板溫度為 450℃；矽烷的流量為 1sccm，一氧化二氮的流量為

800sccm；壓力為 200Pa；成膜功率（RF，60MHz）為 150W；並且電極間距離為 28mm。接著，作為成為閘極電極 103 的導電膜，在形成 30nm 厚的氮化鉭膜之後，形成 135nm 厚的鎢膜。氮化鉭膜的成膜條件為如下：氛圍為氬與氮（氬=50sccm，氮=10sccm）；壓力為 0.6Pa；電源功率（DC）為 1.0kW；基板溫度為室溫；並且基板與靶材間的距離為 60mm。鎢膜的成膜條件為如下：氛圍為氬（氬=100sccm）；壓力為 2.0Pa；電源功率（DC）為 4.0kW；基板溫度為 130℃左右；並且基板與靶材間的距離為 60mm。另外，進一步向基板的背面供應 10sccm 的氬。

[0651] 接著，藉由蝕刻對成為閘極電極 103 的導電膜的形狀進行加工，來形成閘極電極 103。另外，明確而言，上述導電膜的蝕刻按以下方法進行。首先，在如下條件下進行第一蝕刻：基板溫度為 40℃；作為蝕刻氣體使用氯與四氟化碳與氧的混合氣體（Cl_2=45sccm，CF_4=55sccm，O_2=55sccm）；電源功率為 3000W；偏壓功率為 110W；並且壓力為 0.67Pa。接著，在如下條件下進行第二蝕刻：基板溫度為 40℃；作為蝕刻氣體使用氯（Cl_2=100sccm）；電源功率為 2000W；偏壓功率為 50W；並且壓力為 0.67Pa。

[0652] 接著，將閘極電極 103 用作遮罩而藉由蝕刻對閘極絕緣膜 102 以及第三半導體膜的形狀進行加工，由此其形狀被加工的閘極絕緣膜 102 及半導體層 101c。注

意，在上述蝕刻中，採用 ICP 蝕刻法。蝕刻條件為如下：基板溫度為 70℃；作為蝕刻氣體使用三氯化硼（BCl_3=80sccm）；電源功率為 450W；偏壓功率為 100W；壓力為 1.0Pa；並且處理時間為 36 秒。

[0653] 接著，作為絕緣膜 112，以覆蓋電晶體的方式形成 70nm 厚的氧化鋁膜。該氧化鋁膜藉由濺射法形成。氧化鋁膜的成膜條件為如下：作為靶材使用氧化鋁；氛圍為氬與氧（氬=25sccm，氧=25sccm）；壓力為 0.4Pa；電源功率（RF）為 2.5kW；基板溫度為 250℃；並且基板與靶材間的距離為 60mm。

[0654] 接著，作為絕緣膜 113，形成 300nm 厚的氧氮化矽膜。氧氮化矽膜藉由 PECVD 法形成。成膜條件為如下：基板溫度為 325℃；矽烷的流量為 5sccm，一氧化二氮的流量為 1000sccm；壓力為 133.30Pa；成膜功率（RF）為 35W（13.56MHz）；並且電極間距離為 20mm。

[0655] 接著，藉由蝕刻形成到達導電層 104a 及導電層 104b 的開口部。在上述蝕刻中，採用 ICP 蝕刻法。

[0656] 明確而言，用作絕緣膜 113 的氧氮化矽膜的蝕刻按以下方法進行。首先，在如下條件下進行第一蝕刻：基板溫度為 70℃；作為蝕刻氣體使用三氟甲烷與氦的混合氣體（CHF_3=50sccm，He=100sccm）；電源功率為 475W；偏壓功率為 300W；壓力為 5.5Pa；並且處理時間為 3 秒。接著，在如下條件下進行第二蝕刻：基板溫度為 70℃；作為蝕刻氣體使用三氟甲烷與氦的混合氣體

（CHF_3=7.5sccm，He=142.5sccm）；電源功率為 475W；偏壓功率為 300W；壓力為 5.5Pa；處理時間為 61 秒。接著，在如下條件下進行第三蝕刻：基板溫度為 70℃；作為蝕刻氣體使用三氟甲烷與氦的混合氣體（CHF_3=50sccm，He=100sccm）；電源功率為 475W；偏壓功率為 150W；壓力為 5.5Pa；並且處理時間為 3 秒。接著，在如下條件下進行第四蝕刻：基板溫度為 70℃；作為蝕刻氣體使用三氟甲烷與氦的混合氣體（CHF_3=7.5sccm，He=142.5sccm）；電源功率為 475W；偏壓功率為 150W；壓力為 5.5Pa；並且處理時間為 36 秒。

[0657] 另外，明確而言，用作絕緣膜 112 的氧化鋁膜的蝕刻條件為如下：基板溫度為 70℃；作為蝕刻氣體使用三氯化硼（BCl_3=80sccm）；電源功率為 450W；偏壓功率為 100W；壓力為 1.9Pa；並且處理時間為 185 秒。

[0658] 接著，在開口部內及絕緣膜 113 上藉由濺射法形成依次層疊有 50nm 厚的鈦膜、200nm 厚的鋁膜及 50nm 厚的鈦膜的導電膜。最底層和最頂層的鈦膜的成膜條件為如下：氛圍為氬（流量為 20sccm）；壓力為 0.1Pa；電源功率（DC）為 12kW；基板溫度為室溫；並且基板與靶材間的距離為 400mm。另外，鋁膜的成膜條件為如下：氛圍為氬（流量為 50sccm）；壓力為 0.4Pa；電源功率（DC）為 1kW；基板溫度為室溫；並且基板與靶材間的距離為 60mm。

[0659] 接著，藉由蝕刻對開口部內及絕緣膜 113 上的導電膜的形狀進行加工，來形成佈線。在上述蝕刻中，採用 ICP 蝕刻法。明確而言，首先，在如下條件下進行第一蝕刻：基板溫度為 70℃；作為蝕刻氣體使用三氯化硼與氯的混合氣體（BCl_3=60sccm，Cl_2=20sccm）；電源功率為 450W；偏壓功率為 100W；並且壓力為 1.9Pa。接著，在如下條件下進行第二蝕刻：基板溫度為 70℃；作為蝕刻氣體使用四氟化碳（CF_4=80sccm）；電源功率為 500W；偏壓功率為 50W；壓力為 2.0Pa；並且處理時間為 15 秒左右。

[0660] 接著，在藉由塗佈法形成 1.6μm 厚的聚醯亞胺膜之後，在大氣氛圍下以 300℃進行 1 小時左右的加熱處理。

[0661] 藉由上述製程，製造樣本 A1-4 及樣本 B1-4。

[0662]

[電晶體特性的評價]

圖 57A 和圖 57B 示出電晶體的特性。在樣本 A1-4 和樣本 B1-4 的每一個中，在設置於其基板面且具有 0.46μm 的通道長度 L 和 0.8μm 的通道寬度 W 的 n 通道型電晶體當中，對 25 個電晶體進行評價。圖 57A 示出樣本 A1-4 的電晶體的 Vg-Id 測定結果，圖 57B 示出樣本 B1-4 的電晶體的 Vg-Id 測定結果。在此，Vg 表示源極-閘極之間的電壓，Id 表示源極-汲極之間的電流。另外，橫軸表示閘極電壓 Vg，左邊的縱軸表示汲極電壓 Id，右邊的縱軸表

示場效移動率μ_{FE}。在汲極電壓 Vd 為 0.1V 及 3V 的兩種條件下進行測定。在此，場效移動率是在 Vd=0.1V 的情況下算出的值。

[0663] 由圖 57A 和圖 57B 的結果可知，在每個樣本中都得到良好的電晶體。與樣本 A1-4 的電晶體相比，樣本 B1-4 的電晶體具有更低的臨界電壓，更高的場效移動率及更好的特性。

[0664]

[對比例子]

在本對比例子中，說明氧化物半導體膜的密度與電晶體特性的關係。

[0665] 如實施例 1 所示，包含多個 c 軸配向的結晶部的 CAAC-OS 膜是緻密的膜。另一方面，如實施方式 3 所述，根據氧化物半導體膜的形成條件，有時得到膜密度低的膜。另外，隨著膜密度的降低，有時得到具有所謂的空洞（void）的膜。

[0666] 為了調查在使用膜密度低且空洞較多的氧化物半導體膜的情況下會對電晶體的特性造成什麼樣的影響，使用膜密度不同的兩個條件形成氧化物半導體膜，並使用所形成的該氧化物半導體膜製造電晶體。

[0667] 氧化物半導體膜藉由濺射法形成。作為靶材使用原子個數比為 In：Ga：Zn=1：1：1 的 In-Ga-Zn 氧化物。另外，將基板與靶材間的距離設定為 130mm。表 16 示出所設定的主要條件。作為電源使用 RF 電源。

[0668]

[表 16]

	電源功率	氣體流量		基板溫度 [℃]	壓力 [Pa]
		Ar[sccm]	O_2[sccm]		
條件 C	100W	98	2	室溫	1.0
條件 D	100W	98	2	室溫	0.4

[0669]

[電晶體的製造]

接著，製造樣本 C-2 以及樣本 D-2，該樣本 C-2 是在基板上形成有使用在表 16 所記載的條件 C 下成膜的氧化物半導體膜的電晶體的樣本，並且該樣本 D-2 是在基板上形成有使用在條件 D 下成膜的氧化物半導體膜的電晶體的樣本。注意，在本實施例中，只說明樣本 C-2 的條件與樣本 D-2 的條件之間的不同點。因此，在沒有對該不同點的描述時，在相同的條件下對樣本 C-2 及樣本 D-2 進行處理。作為電晶體的結構，使用圖 62A 至圖 62C 所示的電晶體的結構。

[0670] 首先，作為基板 50 準備玻璃基板，在玻璃基板上形成閘極電極。

[0671] 藉由濺射法形成 100nm 厚的鎢膜，藉由光微影製程在該鎢膜上形成遮罩，並使用該遮罩對該鎢膜的一部分進行蝕刻，來形成閘極電極 103。

[0672] 接著，在閘極電極 103 上形成閘極絕緣膜 102。

[0673] 層疊 400nm 厚的氮化矽膜以及 50nm 厚的氧氮化矽膜來形成閘極絕緣膜 102。

[0674] 接著，形成隔著閘極絕緣膜 102 重疊於閘極電極 103 的半導體層 101。作為半導體層 101 使用氧化物半導體層。在此，在閘極絕緣膜上藉由濺射法形成 35nm 厚的氧化物半導體膜之後，使用遮罩對該氧化物半導體膜的一部分進行蝕刻，來形成半導體層 101。

[0675] 另外，作為氧化物半導體膜，形成 In-Ga-Zn 氧化物膜。樣本 C-2 中的氧化物半導體膜的成膜條件不同於樣本 D-2 中的氧化物半導體膜的成膜條件。樣本 C-2 使用上述條件 C 來形成，樣本 D-2 使用上述條件 D 來形成。

[0676] 接著，進行加熱處理。在此，在 450℃的氮氛圍下進行 1 小時的加熱處理之後，在 450℃的氮與氧的混合氣體氛圍下進行 1 小時的加熱處理。

[0677] 接著，形成作為接觸於氧化物半導體膜的一對導電層的導電層 104a 及導電層 104b。

[0678] 首先，在閘極絕緣膜 102 及半導體層 101 上形成導電膜。作為該導電膜，在 50nm 厚的鎢膜上形成 400nm 厚的鋁膜，並在該鋁膜上形成 100nm 厚的鈦膜。接著，藉由光微影製程在該導電膜上形成遮罩，並使用該遮罩對該導電膜的一部分進行蝕刻，由此形成導電層 104a 及導電層 104b。

[0679] 接著，在半導體層 101 和導電層 104a 及導電層 104b 上形成保護膜 25。作為保護膜，在形成 450nm 厚的氧氮化矽膜之後，形成 100nm 厚的氮化矽膜。

[0680] 接著，在保護膜 25 的一部分中形成到達導電層 104a 和導電層 104b 中的一個的開口部。在保護膜 25 上形成遮罩，並使用該遮罩對保護膜 25 的一部分進行蝕刻來形成該開口部。

[0681] 接著，在保護膜 25 上形成用作像素電極的電極 126。電極 126 藉由設置於保護膜 25 的一部分的開口部電連接於一對導電層的導電層 104a 和導電層 104b 中的一個。

[0682] 在此，作為電極 126，藉由濺射法形成包含氧化矽的氧化銦-氧化錫化合物（ITO-SiO_2）的導電膜。注意，用於形成該導電膜的靶材的組成是 In_2O_3：SnO_2：SiO_2=85：10：5[wt%]（重量百分比）。然後，以 300℃在氮氛圍下進行 1 小時的加熱處理。

[0683] 藉由上述製程，得到樣本 C-2 及樣本 D-2。

[0684]

[電晶體特性的評價]

在此，作為電晶體的初始特性測定 Vg-Id 特性。在樣本 C-2 和樣本 D-2 的每一個中，在設置於其基板面且具有 3μm 的通道長度 L 和 50μm 的通道寬度 W 的 n 通道型電晶體當中，對 4 個電晶體進行評價。在此，在如下條件下測定流過源極與汲極之間的電流（下面，也稱為汲極電流或 Id）的變化特性，即 Vg-Id 特性：基板溫度為 25℃；源極與汲極之間的電位差（下面，也稱為汲極電壓或 Vd）為 1V、10V；並且使源極與閘極之間的電位差（下

面，也稱為閘極電壓或 Vg）在-20V 至 20V 的範圍內變化。

[0685] 圖 58A 示出樣本 C-2 的電晶體的評價結果，圖 58B 示出樣本 D-2 的電晶體的評價結果。圖 58A 和圖 58B 的橫軸表示閘極電壓 Vg，縱軸表示汲極電流 Id。另外，對基板面上的 4 個電晶體進行測定。

[0686] 在使用膜密度較低的樣本 C-2 的電晶體中，不能得到良好的開關特性。另外，在使用膜密度較高的樣本 D-2 的電晶體中，雖然能夠得到開關比，但偏差較大。氧化物半導體膜的膜密度與電晶體的特性有相關關係，為了得到良好的特性，較佳為使用實施例 2 所示那樣的緻密的膜。

實施例 3

[0687] 在本實施例中，說明本發明的一個方式的氧化物半導體膜的評價結果。氧化物半導體膜使用表 17 所示的條件並利用濺射法來形成。關於條件 A1 至條件 A3、條件 B1 及條件 B2、條件 E1，使用表 6 所示的條件。在測定壓力時，作為表 17 所記載的裝置 B 使用由日本佳能-安內華公司製造的 B-A 真空計 BRG-1B，而作為裝置 A 及裝置 C 使用由日本佳能-安內華公司製造的小型真空計 MG-2。另外，作為靶材，在條件 A1 至條件 A3 中使用原子個數比為 In：Ga：Zn=1：1：1 的 In-Ga-Zn 氧化物的多晶，在條件 B1 及條件 B2 中使用原子個數比為 In：Ga：

Zn=2：1：3 的 In-Ga-Zn 氧化物的多晶，在條件 E1 至條件 E3 中使用 In：Ga：Zn=4：2：4.1 的 In-Ga-Zn 氧化物的多晶，在條件 F1 至條件 F3 中使用原子個數比為 In：Ga：Zn=1：3：4 的 In-Ga-Zn 氧化物的多晶，在條件 F4 中使用原子個數比為 In：Ga：Zn=1：3：2 的 In-Ga-Zn 氧化物的多晶。作為電源使用 DC 電源。

[0688]

[表 17]

	裝置	功率 [kW]	氣體流量[sccm]		基板溫度	壓力 [Pa]	靶材	靶材與基板間距離
			Ar[sccm]	O_2[sccm]				
條件 A1	裝置 A	0.5 (DC)	30	15	300℃	0.7	In：Ga：Zn=1：1：1	60mm
條件 A2		0.5 (DC)	30	15	300℃	0.4	In：Ga：Zn=1：1：1	60mm
條件 A3	裝置 B	0.5 (DC)	30	15	300℃	0.4	In：Ga：Zn=1：1：1	60mm
條件 B1	裝置 A	0.5 (DC)	30	15	200℃	0.7	In：Ga：Zn=2：1：3	60mm
條件 B2		0.5 (DC)	30	15	300℃	0.7	In：Ga：Zn=2：1：3	60mm
條件 E1	裝置 C	0.2 (DC)	20	10	200℃	0.4	In：Ga：Zn=4：2：4.1	130mm
條件 E2		0.2 (DC)	20	10	300℃	0.4	In：Ga：Zn=4：2：4.1	130mm
條件 E3	裝置 A	0.5 (DC)	30	15	200℃	0.7	In：Ga：Zn=4：2：4.1	60mm
條件 E4		0.5 (DC)	30	15	300℃	0.7	In：Ga：Zn=4：2：4.1	60mm
條件 F1	裝置 A	0.5 (DC)	40	5	200℃	0.7	In：Ga：Zn=1：3：4	60mm
條件 F2	裝置 B	0.5 (DC)	40	5	200℃	0.4	In：Ga：Zn=1：3：4	60mm
條件 F3	裝置 C	0.2 (DC)	27	3	200℃	0.4	In：Ga：Zn=1：3：4	130mm
條件 F4	裝置 B	0.5 (DC)	30	15	200℃	0.4	In：Ga：Zn=1：3：2	60mm

[0689]

[XRD 評價 2]

使用表 17 的條件 E2 至條件 E4 形成氧化物半導體膜，並利用 XRD 裝置進行評價，下面對其結果進行說明。

[0690] 首先，製造用於評價的樣本。在矽晶圓上藉由濺射法形成氧化物半導體膜。作為成膜條件，採用表 17 的條件 E2 至條件 E4。在成膜後，對各樣本進行加熱處理。作為加熱處理的條件，在以 450℃在氮氛圍下進行 1 小時的加熱處理之後，在同一處理室內在氧氛圍下進行 1 小時的加熱處理。將使用條件 E2、條件 E3 及條件 E4 製造的樣本分別為樣本 E2-1、條件 E3-1 及條件 E4-1。注意，樣本 E2-1 是採用使實施例 1 所示的樣本 E1-1 的成膜溫度從 200℃變為 300℃的成膜條件來形成的樣本。

[0691] 示出使用 XRD 裝置進行評價的結果。用於測定的裝置是與實施例 1 所示的裝置相同的。圖 68A 是樣本 E2-1 的藉由 Out-Of-Plane 法的分析結果，圖 68B 是樣本 E3-1 的藉由 Out-Of-Plane 法的分析結果，圖 68C 是樣本 E4-1 的藉由 Out-Of-Plane 法的分析結果。上述樣本都在 $2\theta=31°$附近觀察到峰值。由於該峰值來源於 $InGaZnO_4$ 結晶的（009）面，因此可知在上述各樣本中氧化物半導體膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。在此，表 18 示出各樣本的 $2\theta=31°$附近的峰值為最大值時的角度及半寬度。在減去背景之

後，利用洛倫茲函數進行擬合來算出峰值為最大值時的角度及半寬度。作為背景使用線性函數與洛倫茲函數之和。半寬度在樣本 E4-1 中為 3.21°，而在樣本 E3-1 中為 3.67°。另外，半寬度在樣本 E2-1 中為 3.10°，而在實施例 1 所記載的樣本 E1-1 中為 3.47°。由此可知，在成膜溫度高的樣本中，能夠得到尖銳的峰值，並且其半寬度也較小。

[0692]

[表 18]

	2θ[°]	半寬度[°]
樣本 E2-1	30.3	3.10
樣本 E3-1	30.9	3.67
樣本 E4-1	30.5	3.21

[0693]

[藉由 ICP-MS 的評價結果 2]

藉由電感耦合電漿質譜分析法分析上述樣本 E2-1、樣本 E3-1、樣本 E4-1 以及實施例 1 所示的樣本 E1-1 中的銦、鎵及鋅的含有率。表 19 示出從所得到的結果算出各元素的原子個數比的結果。

[0694]

[表 19]

	原子個數比		
	In	Ga	Zn
樣本 E1-1	4.00	1.93	2.74
樣本 E2-1	4.00	1.92	2.60
樣本 E3-1	4.00	1.93	2.94
樣本 E4-1	4.00	1.97	2.90

[0695] 由表 19 可知，樣本 E1-1 的鋅的殘留率 A（=Zn（Film）÷Zn（Target）×100[%]）為 78%，樣本 E2-1 的鋅的殘留率為 75%，樣本 E3-1 的鋅的殘留率為大約 82%，樣本 E4-1 的鋅的殘留率 A 為大約 81%。

[0696]

[CAAC 比率的評價 2]

接著，使用表 17 的條件 E1、條件 E3 及條件 E4 進行 CAAC 比率的評價。

[0697] 首先，製造用於評價的樣本。作為絕緣膜，在矽晶圓上利用熱氧化法形成 100nm 厚的氧化矽膜。然後，藉由濺射法形成 300nm 厚的氧化矽膜。氧化矽的成膜條件為如下：使用氧化矽的靶材；氧流量為 50sccm；壓力為 0.4Pa；使用 RF 電源而將功率設定為 1.5kW；並且基板溫度為 100℃。將靶材與基板間距離設定為 60mm。然後，使用 CMP 進行拋光以使表面平坦化。

[0698] 接著，形成 20nm 厚的氧化物半導體膜。接著，進行加熱處理。作為加熱處理的條件，在以 450℃ 在氮氛圍下進行 1 小時的處理之後，以 450℃ 在氧氛圍下進行 1 小時的處理。將使用表 17 所記載的條件 E1、條件 E3 及條件 E4 的各條件形成氧化物半導體膜的樣本分別為樣本 E1-2、樣本 E3-2 及樣本 E4-2。

[0699] 接著，對所得到的各樣本進行薄片化，並進行 CAAC 比率的評價。作為用於評價的裝置及評價方法，使用用於實施例 1 所記載的 CAAC 比率的評價的裝置及評

價方法，因此在此省略其詳細說明。

[0700] 每隔 0.5 秒鐘將所得到的動態影像轉換為靜態影像。對從該靜態影像得到的繞射圖案進行分析而將其分為四種圖案，即 CAAC-OS 膜的圖案、難以辨別是 CAAC-OS 膜還是 nc-OS 膜的圖案的圖案、nc-OS 膜的圖案以及尖晶石型結晶結構的圖案。表 20 示出其結果。注意，在表 20 所示的 CAAC 比率中，將難以是辨別 CAAC-OS 膜還是 nc-OS 膜的圖案的圖案假設為不是 CAAC。

[0701]

[表 20]

		影像數量					CAAC 比率 (將 2.假設為不是 CAAC)
		分析次數	1. CAAC	2.CAAC 或 nc?	3. nc	4. 尖晶石型	
樣本 E1-2	掃描 1	135	120	9	6	0	88.9%
	掃描 2	133	122	3	8	0	91.7%
	掃描 3	224	200	13	11	0	89.3%
樣本 E3-2	掃描 1	133	120	7	6	0	90.2%
	掃描 2	133	106	19	8	0	79.7%
	掃描 3	236	187	27	22	0	79.2%
樣本 E4-2	掃描 1	133	127	4	2	0	95.5%
	掃描 2	129	121	2	6	0	93.8%
	掃描 3	223	207	5	11	0	92.8%

[0702] 接著，在動態影像中確認每個難以辨別是 CAAC-OS 膜還是 nc-OS 膜的圖案前後的影像，並將其分為觀察到 CAAC-OS 膜圖案的圖案和觀察到 nc-OS 膜圖案的圖案，由此導出 CAAC 比率。表 21 示出其結果。表 20 及表 21 分別表示各掃描中的在算出 CAAC 比率時使用的繞射圖案的影像數量、觀察到的各種圖案的影像數量以及

算出的 CAAC 比率。

[0703]

[表 21]

		影像數量				CAAC 比率
		分析次數	CAAC	nc	尖晶石型	
樣本 E1-2	掃描 1	135	129	6	0	95.6%
	掃描 2	133	125	8	0	94.0%
	掃描 3	224	213	11	0	95.1%
樣本 E3-2	掃描 1	133	127	6	0	95.5%
	掃描 2	133	125	8	0	94.0%
	掃描 3	236	214	22	0	90.7%
樣本 E4-2	掃描 1	133	131	2	0	98.5%
	掃描 2	129	123	6	0	95.3%
	掃描 3	223	212	11	0	95.1%

[0704] 在成膜溫度為 200℃的樣本 E3-2 中，CAAC 比率為 90%以上，其中掃描 1 至掃描 3 的 CAAC 比率的平均為 93.4%。另外，在成膜溫度為 300℃的樣本 E4-2 中，CAAC 比率為 95%以上，其中掃描 1 至掃描 3 的 CAAC 比率的平均為 96.3%。在上述各樣本中，觀察到的繞射圖案都為 CAAC-OS 膜的圖案或 nc-OS 膜的圖案，沒有觀察到尖晶石型結構的繞射圖案。

實施例 4

[0705]

[CPM 評價]

接著，使用恆定光電流法（CPM：Constant Photo-current Method）進行氧化物半導體膜的評價。

[0706] 首先，製造樣本。作為基板使用石英基板，並且作為氧化物半導體膜，在石英基板上形成 100nm 厚的 In-Ga-Zn 氧化物膜。作為靶材使用 In-Ga-Zn 氧化物的多晶並利用濺射法來形成 In-Ga-Zn 氧化物膜。作為成膜條件使用表 17 的 A1 及 E3 所記載的條件。在此，A1 是使用原子個數比為 In：Ga：Zn=1：1：1 的 In-Ga-Zn 氧化物的多晶的條件，而 E3 是使用原子個數比為 In：Ga：Zn=4：2：4.1 的 In-Ga-Zn 氧化物的多晶的條件。在成膜後，進行加熱處理。作為加熱處理的條件，在以 450℃在氮氛圍下進行 1 小時的加熱處理之後，在同一處理室內在氧氛圍下進行 1 小時的加熱處理。將使用 A1 的條件製造的樣本為 A1-3，而將使用 E3 的條件製造的樣本為 E3-3。

[0707] 在 CPM 測定中，在對接觸於氧化物半導體膜地設置的第一電極與第二電極之間施加電壓的狀態下，以使光電流值為恆定的方式調整照射到端子間的樣本表面的光量，由此根據照射光量導出吸收係數。在此，導出各波長的吸收係數。在 CPM 測定中，對應於態密度（Density of State，以下記為 DOS）的能量（根據波長換算）的吸收係數增加。藉由用常數乘以該吸收係數的增加值，可以導出樣本的 DOS。

[0708] 另外，藉由從光吸收光譜的曲線去除起因於帶尾的光吸收（耳巴赫帶尾（Urbach tail）），可以根據下述算式算出起因於缺陷能階的吸收係數α。

[0709]

[算式 10]

$$\alpha = \int \frac{\alpha(E) - \alpha_u}{E} dE \qquad (10)$$

[0710] 在此，α（E）表示各能量的吸收係數、α_u 表示起因於耳巴赫帶尾的吸收係數。

[0711] 注意，將耳巴赫帶尾的傾斜稱為耳巴赫能量（Urbach energy）。耳巴赫能量越小，在半導體層中缺陷越少，其價帶的能帶邊緣的能階的尾（邊）傾斜度越陡，如此，該半導體層具有高秩序性。

[0712] 圖 71A 和圖 71B 示出在氧化物半導體膜的能隙以上的能量範圍內將利用分光光度計測定的吸收係數（虛線）與藉由 CPM 測定的吸收係數（實線）擬合的結果。圖 71A 示出樣本 A1-3 的結果，圖 71B 示出樣本 E3-3 的結果。由藉由 CPM 測定的吸收係數得到的耳巴赫能量在樣本 A1-3 中為 70.2meV，在樣本 E3-3 中為 68.6meV。

[0713] 另外，在圖 71A 和圖 71B 中，從藉由 CPM 測定的吸收係數減去背景（細點劃線）而算出吸收係數的積分值，由此可知，起因於 DOS 的吸收係數在樣本 A2-3 中為 $1.1\times10^{-3}cm^{-1}$，在樣本 E3-3 中為 $1.6\times10^{-3}cm^{-1}$。可知，在上述各樣本中，起因於缺陷能階的吸收係數較小。

[0714] 由所得到的吸收係數可知，各樣本的膜都是缺陷較少的膜。另外，由耳巴赫能量的結果可知，使用原子個數比為 In：Ga：Zn=4：2：4.1 的 In-Ga-Zn 氧化物的

多晶形成氧化物半導體膜的樣本的缺陷有可能是更少。

實施例 5

[0715] 在本實施例中，說明電晶體特性的評價結果。

[0716]

[電晶體的製造 2]

在電晶體特性的評價中，使用如圖 6A 所示的例子那樣的具有導電層 104a 及導電層 104b 不覆蓋半導體層 101a 及半導體層 101b 的側面的剖面結構的電晶體。注意，使用的電晶體不包括導電層 105。作為包括電晶體的基板，製造樣本 T1、樣本 T2 及樣本 T3。半導體層 101a、半導體層 101b 及半導體層 101c 藉由濺射法形成。在樣本 T1 中，半導體層 101a、半導體層 101b 及半導體層 101c 分別在條件 F2、條件 A3 及條件 F2 下成膜。在樣本 T2 中，半導體層 101a、半導體層 101b 及半導體層 101c 分別在條件 F1、條件 B1 及條件 F2 下成膜。在樣本 T3 中，半導體層 101a、半導體層 101b 及半導體層 101c 分別在條件 F1、條件 E3 及條件 F2 下成膜。

[0717] 下面，說明電晶體的具體的製造方法。注意，在本實施例中，只說明樣本 T1 至樣本 T3 的條件之間的不同點。因此，在沒有對該不同點的描述時，在相同的條件下對樣本 T1 至樣本 T3 進行處理。

[0718] 作為基板 50，準備晶面配向（110）的 p 型

CZ 晶體矽晶圓。接著，在洗滌基板之後，形成絕緣膜 51。絕緣膜 51 為氧化矽膜與氧氮化矽膜的疊層膜。以 950℃進行熱氧化來形成 100nm 厚的氧化矽膜。然後，利用 PECVD 設備形成 300nm 厚的氧氮化矽膜。成膜條件為如下：基板溫度為 400℃；矽烷的流量為 2sccm，一氧化二氮的流量為 800sccm；壓力為 40Pa；成膜功率（RF）為 50W（27MHz）；並且電極間距離為 15mm。在形成絕緣膜 51 之後，藉由 CMP 法進行平坦化處理。然後，以 450℃在減壓氛圍下進行 1 小時的加熱處理。

[0719] 接著，使用離子植入法注入氧離子（$^{16}O^{+}$）。注入條件為如下：加速電壓為 60kV；劑量為 $2.0\times10^{16}ions/cm^{2}$；傾角為 7°；並且扭轉角為 72°

[0720] 接著，在絕緣膜 51 上形成成為半導體層 101a 的第一半導體膜。作為第一半導體膜，作為靶材使用原子個數比為 In：Ga：Zn=1：3：4 的 In-Ga-Zn 氧化物的多晶而藉由濺射法形成 20nm 厚的 In-Ga-Zn 氧化物膜。表 17 的 F2 示出樣本 T1 的第一半導體膜的成膜條件的詳細內容。表 17 的 F1 示出樣本 T2 及樣本 T3 的第一半導體膜的成膜條件的詳細內容。

[0721] 接著，形成成為半導體層 101b 的第二半導體膜。作為第二半導體膜，形成 20nm 厚的 In-Ga-Zn 氧化物膜。使用不同的處理室形成第一半導體膜和第二半導體膜，並且以不暴露於大氣氛圍的方式在真空氛圍下進行處理室之間的傳送。在樣本 T1 中，作為靶材使用原子個數

比為 In：Ga：Zn=1：1：1 的 In-Ga-Zn 氧化物的多晶，並且，表 17 的 A3 示出成膜條件的詳細內容。在樣本 T2 中，作為靶材使用原子個數比為 In：Ga：Zn=2：1：3 的 In-Ga-Zn 氧化物。表 17 的 B1 示出成膜條件的詳細內容。在樣本 T3 中，作為靶材使用原子個數比為 In：Ga：Zn=4：2：4.1 的 In-Ga-Zn 氧化物的多晶。表 17 的 E3 示出成膜條件的詳細內容。

[0722] 接著，在以 450℃在氮氛圍下進行 1 小時的加熱處理之後，在同一處理室內在氧氛圍下進行 1 小時的加熱處理。

[0723] 接著，藉由濺射法形成 150nm 厚的鎢膜。成膜條件為如下：作為靶材使用鎢；氬流量為 80sccm；壓力為 0.8Pa；電源功率（DC）為 1kW；並且基板與靶材間的距離為 60mm。將基板溫度設定為 130℃左右。另外，還進一步向基板的背面供應 10sccm 的氬。

[0724] 接著，在鎢膜上形成光阻遮罩，使用該遮罩而藉由感應耦合電漿蝕刻法對鎢膜的一部分進行蝕刻，由此形成導電層 104a 及導電層 104b。明確而言，鎢膜的蝕刻按以下方法進行。首先，在如下條件下進行第一蝕刻：基板溫度為 40℃；作為蝕刻氣體使用氯與四氟化碳與氧的混合氣體（Cl_2=45sccm，CF_4=55sccm，O_2=55sccm）；電源功率為 3000W；偏壓功率為 110W；壓力為 0.67Pa；並且處理時間為 13 秒。接著，在如下條件下進行第二蝕刻：基板溫度為 40℃；作為蝕刻氣體使用氯

（Cl_2=100sccm）；電源功率為 2000W；偏壓功率為 0W；壓力為 3.00Pa；並且處理時間為 15 秒。接著，在如下條件下進行第三蝕刻：基板溫度為 40℃；作為蝕刻氣體使用氯與四氟化碳與氧的混合氣體（Cl_2=45sccm，CF_4=55sccm，O_2=55sccm）；電源功率為 3000W；偏壓功率為 110W；並且壓力為 0.67Pa。

[0725] 接著，藉由蝕刻對第一半導體膜及第二半導體膜的形狀進行加工，由此形成島狀的第一半導體層 101a 和第二半導體層 101b。注意，在上述蝕刻中，使用 ICP 蝕刻法。蝕刻條件為如下：基板溫度為 70℃；作為蝕刻氣體使用三氯化硼（BCl_3=80sccm）；電源功率為 450W；偏壓功率為 100W；並且壓力為 1.0Pa。

[0726] 接著，在導電層 104a 及導電層 104b 上形成成為半導體層 101c 的第三半導體膜。作為第三半導體膜，作為靶材使用原子個數比為 In：Ga：Zn=1：3：4 的 In-Ga-Zn 氧化物的多晶而藉由濺射法形成 5nm 厚的 In-Ga-Zn 氧化物膜。表 17 的 F2 示出成膜條件的詳細內容。

[0727] 接著，作為閘極絕緣膜 102，使用 PECVD 法形成 20nm 厚的氧氮化矽膜。作為閘極絕緣膜 102 的成膜條件使用與實施例 2 的閘極絕緣膜 102 相同的條件。接著，形成成為閘極電極 103 的導電膜。成為閘極電極 103 的導電膜的成膜條件使用與實施例 3 的成為閘極電極 103 的導電膜相同的條件。

[0728] 接著，藉由蝕刻對成為閘極電極 103 的導電

膜的形狀進行加工，來形成閘極電極 103。在閘極電極 103 的加工中，使用與實施例 2 的閘極電極相同的條件。

[0729] 接著，使用光阻遮罩而藉由蝕刻對閘極絕緣膜 102 及第三半導體膜的形狀進行加工。注意，在上述蝕刻中，使用與實施例 2 所記載的加工條件相同的條件。

[0730] 接著，作為絕緣膜 112，以覆蓋電晶體的方式形成 140nm 厚的氧化鋁膜。氧化鋁膜藉由濺射法形成。作為氧化鋁膜的成膜條件使用與實施例 2 的絕緣膜 112 相同的成膜條件。

[0731] 接著，作為絕緣膜 113，形成 150nm 厚的氧氮化矽膜。氧氮化矽膜藉由 PECVD 法形成。作為成膜條件使用與實施例 2 的絕緣膜 113 相同的成膜條件。

[0732] 接著，藉由蝕刻形成到達導電層 104a 及導電層 104b 的開口部。在上述蝕刻中，採用 ICP 蝕刻法。蝕刻條件為如下：基板溫度為 70℃；作為蝕刻氣體使用三氯化硼（BCl_3=80sccm）；電源功率為 450W；偏壓功率為 100W；並且壓力為 1.9Pa。

[0733] 接著，在開口部內及絕緣膜 113 上藉由濺射法形成依次層疊有 50nm 厚的鈦膜、300nm 厚的鋁膜及 50nm 厚的鈦膜的導電膜。接著，藉由蝕刻對開口部內及絕緣膜 113 上的導電膜的形狀進行加工，來形成佈線。在上述蝕刻中，使用 ICP 蝕刻法。

[0734] 接著，在藉由塗佈法形成 1.6μm 厚的聚醯亞胺膜之後，在大氣氛圍下以 300℃進行 1 小時左右的加熱

處理。

[0735] 藉由上述工程，在樣本 T1 至樣本 T3 上製造電晶體。

[0736]

[電晶體特性的評價 2]

接著，作為電晶體的初始特性，對電晶體的 Vg-Id 特性進行評價。圖 69A 至圖 69C 示出電晶體的特性。在樣本 T1 至樣本 T3 的每一個中，在設置於其基板面且具有 0.84μm 的通道長度 L 和 0.8μm 的通道寬度 W 的 n 通道型電晶體當中，對 13 個電晶體進行評價。圖 69A 示出樣本 T1 的電晶體的 Vg-Id 測定結果，圖 69B 示出樣本 T2 的電晶體的 Vg-Id 測定結果，圖 69C 示出樣本 T3 的電晶體的 Vg-Id 測定結果。在此，Vg 表示源極-閘極之間的電壓，Id 表示源極-汲極之間的電流。另外，橫軸表示閘極電壓 Vg，左邊的縱軸表示汲極電壓 Id，右邊的縱軸表示場效移動率 μ_{FE}。在汲極電壓 Vd 為 0.1V 及 3V 的兩種條件下進行測定。在此，場效移動率是在 Vd=0.1V 的情況下算出的值。

[0737] 由圖 69A 至圖 69C 的結果可知，在每個樣本中都得到良好的電晶體。另外，與樣本 T1 相比，在樣本 2 的電晶體中，能夠得到臨界電壓小且場效移動率高的優異的特性，在樣本 3 的電晶體中，能夠得到 S 值更小且場效移動率更高的優異的特性。

實施例 6

[0738] 在本實施例中，說明通道長度為 60nm 左右的電晶體的特性的評價結果。

[0739]

[電晶體的製造 3]

在電晶體特性的評價中，使用具有圖 64A 和圖 64B 所示的剖面結構的電晶體。注意，使用的電晶體不包括導電層 105。作為包括電晶體的基板，製造樣本 T4。半導體層 101a、半導體層 101b 及半導體層 101c 藉由濺射法形成。半導體層 101a、半導體層 101b 及半導體層 101c 分別在條件 F3、條件 E1 及條件 F4 下成膜。

[0740] 作為基板 50，準備矽晶圓。在洗滌基板 50 之後，形成絕緣膜 51。絕緣膜 51 為氧化矽膜與氧氮化矽膜的疊層膜。作為絕緣膜 51 的形成條件使用與實施例 5 的絕緣膜 51 相同的條件。在形成絕緣膜 51 之後，藉由 CMP 法進行平坦化處理。然後，以 450℃ 在減壓氛圍下進行 1 小時的加熱處理。

[0741] 接著，使用離子植入法注入氧離子（$^{16}O^{+}$）。注入條件為如下：加速電壓為 60kV；劑量為 2.0×10^{16}ions/cm^2；傾角為 7°；並且扭轉角為 72°。

[0742] 接著，在絕緣膜 51 上形成成為半導體層 101a 的第一半導體膜。作為第一半導體膜，藉由利用作為靶材使用原子個數比為 In：Ga：Zn=1：3：4 的 In-Ga-Zn 氧化物的濺射法來形成 20nm 厚的 In-Ga-Zn 氧化物膜。表 17

的條件 F3 示出成膜條件的詳細內容。

[0743] 接著，形成成為半導體層 101b 的第二半導體膜。使用不同的處理室形成第一半導體膜和第二半導體膜，並且以不暴露於大氣氛圍的方式在真空氛圍下進行處理室之間的傳送。作為第二半導體膜，形成 15nm 厚的 In-Ga-Zn 氧化物膜。在第二半導體膜的成膜條件中，作為靶材使用原子個數比為 In：Ga：Zn=4：2：4.1 的 In-Ga-Zn 氧化物。表 17 的條件 E1 示出成膜條件的詳細內容。

[0744] 接著，在以 450℃在氮氛圍下進行 1 小時的加熱處理之後，在同一處理室內在氧氛圍下進行 1 小時的加熱處理。

[0745] 接著，作為硬遮罩，在半導體層 101b 上形成 20nm 厚的鎢膜。鎢膜藉由濺射法形成。成膜條件為如下：作為靶材使用鎢；氬流量為 80sccm；壓力為 0.8Pa；電源功率（DC）為 1kW；並且基板與靶材間的距離為 60mm。將基板溫度設定為 130℃左右。另外，還進一步向基板的背面供應 10sccm 的氬。

[0746] 接著，說明在硬遮罩的鎢膜上形成 SWK-T7（日本東京應化工業株式會社製造）作為有機塗佈膜的製程。首先，以 200℃加熱 120 秒來去除水分。然後，將基板設置於處理室內的加熱板上。將加熱板的溫度設定為 110℃。接著，在處理室內導入含有 1,1,1,3,3,3-六甲基二矽氮烷（HMDS：hexamethyldisilazane）的氮氣體 60 秒來進行處理。接著，以厚度為 20nm 的方式形成有機塗佈

膜。然後，以 200℃加熱 200 秒來去除溶劑和水分。

[0747] 接著，說明在有機塗佈膜上形成光阻劑的製程。首先，以 200℃加熱 120 秒來去除水分。然後，將基板設置於處理室內的加熱板上。將加熱板的溫度設定為 110℃。接著，在處理室內導入含有 1,1,1,3,3,3-六甲基二矽氮烷（HMDS：hexamethyldisilazane）的氮氣體 60 秒來進行處理。接著，作為光阻劑形成 100nm 厚的負性光阻劑 OEBR-CAN034A2（日本東京應化工業株式會社製造）。然後，以 100℃加熱 85 秒來去除溶劑和水分。

[0748] 接下來，進行曝光及顯影來形成光阻遮罩。利用電子束曝光機的多重曝光，將曝光量設定為 80μC/cm^2 至 160μC/cm^2 來進行曝光（較佳為 130μC/cm^2 至 155μC/cm^2）。曝光後以 100℃進行 PEB（Post Exposure Bake）100 秒。作為顯影條件，以 NMD-3（日本東京應化工業株式會社製造）為顯影液，並將顯影時間設定為 60 秒來進行處理，由此形成光阻遮罩。

[0749] 接著，將光阻遮罩用作遮罩來蝕刻有機塗佈膜及硬遮罩。蝕刻條件為如下：將基板溫度設定為-10℃，使用蝕刻氣體（CF_4=100sccm），將偏壓功率設定為 50W，將 ICP 電源功率設定為 2000W，並將壓力設定為 0.67Pa，然後，使用蝕刻氣體（CF_4：O_2=60sccm：40sccm），將偏壓功率設定為 25W，將 ICP 電源功率設定為 1000W，並將壓力設定為 2.0Pa。

[0750] 接著，藉由利用氧電漿的灰化來去除光阻遮

罩及有機塗佈膜。灰化條件為如下：使用 100sccm 的氧；電源功率為 200W；壓力為 500mTorr；並且處理時間為 120 秒。

[0751] 接著，將硬遮罩用作遮罩來蝕刻半導體層 101b 及半導體層 101a。蝕刻條件為如下：使用蝕刻氣體（CH_4：Ar=16sccm：32sccm），將偏壓功率設定為 50W，將 ICP 電源功率設定為 600W，並將壓力設定為 3.0Pa，然後，使用蝕刻氣體（CH_4：Ar=16sccm：32sccm），將偏壓功率設定為 50W，將 ICP 電源功率設定為 600W，並將壓力設定為 1.0Pa。

[0752] 接著，對作為硬遮罩的鎢膜進行加工，來形成導電層 104a 及導電層 104b。首先，與上述方法同樣地，形成有機塗佈膜及光阻膜。接著，在利用電子束曝光機進行曝光後，進行顯影，來形成光阻遮罩。然後，使用光阻遮罩來蝕刻有機塗佈膜及鎢膜。接著，藉由利用氧電漿的灰化來去除光阻遮罩及有機塗佈膜，來形成導電層 104a 及導電層 104b。

[0753] 接著，在導電層 104a 及導電層 104b 上形成成為半導體層 101c 的第三半導體膜。作為第三半導體膜，藉由利用作為靶材使用原子個數比為 In：Ga：Zn=1：3：2 的 In-Ga-Zn 氧化物的多晶的濺射法來形成 5nm 厚的 In-Ga-Zn 氧化物膜。表 17 的條件 F4 示出成膜條件的詳細內容。

[0754] 接著，作為閘極絕緣膜 102，使用 PECVD 法

形成 10nm 厚的氧氮化矽膜。作為閘極絕緣膜 102 的成膜條件使用與實施例 5 所示的閘極絕緣膜 102 相同的條件。接著，作為成為閘極電極 103 的導電膜，在形成 10nm 厚的氮化鈦膜之後形成 30nm 厚的鎢膜。氮化鈦膜的成膜條件為如下：氮流量為 50sccm；壓力為 0.2Pa；電源功率（DC）為 12kW；基板溫度為室溫；並且基板與靶材間的距離為 400mm。鎢膜的成膜條件為如下：氬流量為 100sccm；壓力為 2.0Pa；電源功率（DC）為 1.0kW；基板溫度為 130℃左右；並且基板與靶材間的距離為 60mm。另外，進一步向基板的背面供應 10sccm 的氬。

[0755] 接著，在形成有機塗佈膜及光阻膜並利用電子束曝光機形成光阻遮罩之後，藉由蝕刻對成為有機塗佈膜及閘極電極 103 的導電膜進行加工。然後，藉由利用氧電漿的灰化來去除光阻遮罩及有機塗佈膜，來形成閘極電極 103。

[0756] 接著，使用光微影法形成光阻遮罩，藉由蝕刻對閘極絕緣膜 102 及半導體層 101c 進行加工。作為蝕刻條件，首先在如下條件下進行第一蝕刻：使用蝕刻氣體（CH_3=56sccm、He=144sccm）；偏壓功率為 425W；ICP 電源功率為 25W；並且壓力為 7.5Pa。然後，在如下條件下進行第二蝕刻：使用蝕刻氣體（CH_4：Ar=16sccm：32sccm）；偏壓功率為 50W；並且 ICP 電源功率為 600W，然後將壓力設定為 3.0Pa。然後，在如下條件下進行第三蝕刻：使用蝕刻氣體（CH_4：Ar=16sccm：

32sccm）；偏壓功率為 50W；ICP 電源功率為 600W；並且壓力為 3.0Pa。

[0757] 接著，作為絕緣膜 112 形成 40nm 厚的氧化鋁膜。氧化鋁膜藉由濺射法形成。作為氧化鋁膜的成膜條件使用與實施例 2 的絕緣膜 112 相同的條件。

[0758] 接著，作為絕緣膜 113 形成 150nm 厚的氧氮化矽膜。氧氮化矽膜藉由 PECVD 法形成。作為氧氮化矽膜的成膜條件使用與實施例 2 的絕緣膜 113 相同的條件。

[0759] 接著，使用 i 線步進曝光機形成光阻遮罩，並蝕刻絕緣膜 112 及絕緣膜 113 來形成到達導電層 104a 及導電層 104b 的開口部。在上述蝕刻中，採用 ICP 蝕刻法。

[0760] 下面示出蝕刻條件。在如下條件下進行第一蝕刻：基板溫度為 70℃；作為蝕刻氣體使用三氟甲烷與氦的混合氣體（CHF_3=50sccm，He=100sccm）；電源功率為 475W；偏壓功率為 300W；並且壓力為 5.5Pa。接著，在如下條件下進行第二蝕刻：基板溫度為 70℃；作為蝕刻氣體使用三氟甲烷與氦的混合氣體（CHF_3=7.5sccm，He=142.5sccm）；電源功率為 475W；偏壓功率為 300W；並且壓力為 5.5Pa。

[0761] 接著，在開口部內及絕緣膜 113 上藉由濺射法形成依次層疊有 50nm 厚的鈦膜、200nm 厚的鋁膜及 50nm 厚的鈦膜的導電膜。接著，藉由蝕刻對開口部內及絕緣膜 113 上的導電膜的形狀進行加工，來形成佈線。在

上述蝕刻中，採用 ICP 蝕刻法。

[0762] 接著，在使用塗佈法形成 1.6μm 厚的聚醯亞胺膜之後，在大氣氛圍下以 300℃進行 1 小時左右的加熱處理。

[0763] 藉由上述製程，製造樣本 T4。

[0764]

[電晶體特性的評價 3]

圖 70 示出電晶體的特性的 Vg-Id 測定結果。在設置於基板面且具有 66nm 的通道長度 L 及 55nm 的通道寬度 W 的 n 通道型電晶體當中，對 9 個電晶體進行評價。在此，Vg 表示源極-閘極之間的電壓，Id 表示源極-汲極之間的電流。另外，橫軸表示閘極電壓 Vg，左邊的縱軸表示汲極電壓 Id，右邊的縱軸表示場效移動率μ_{FE}。在汲極電壓 Vd 為 0.1V 及 1.8V 的兩種條件下進行測定。在此，場效移動率是在 Vd=0.1V 的情況下算出的值。

[0765] 由圖 70 的結果可知，能夠得到臨界電壓小且具有高場效移動率的良好的電晶體。

實施例 7

[0766] 在本實施例中，說明使用與在實施例 6 中製造的電晶體相同的條件來製造的電晶體的特性。

[0767] 製造具有圖 64A 和圖 64B 所示的結構的電晶體。注意，電晶體不包括導電層 105。在電晶體的製造中，使用與實施例 6 所示的製程同樣的製程。

[0768]

[電晶體特性的評價 4]

對所製造的電晶體的特性進行評價。首先，作為電晶體的初期特性，對 Vg-Id 特性進行評價。圖 72 示出通道長度 L 為 72nm 且通道寬度 W 為 53nm 的 n 通道型電晶體的 Vg-Id 特性。在此，Vg 表示源極-閘極之間的電壓，Id 表示源極-汲極之間的電流。另外，橫軸表示 Vg，左邊的縱軸表示 Id，右邊的縱軸表示場效移動率μ_{FE}。在 Vd 為 0.1V 及 1.8V 的兩種條件下測定 Vg-Id 特性。在此，Vd 表示源極-汲極之間的電壓。另外，場效移動率是在 Vd=0.1V 的情況下算出的值。

[0769] 接著，在樣本 T2 及 T4 的每一個中，評價起因於壓力施加的臨界電壓的變動。臨界電壓是由 Vd=1.8V 時的 Vg-Id 曲線算出的。

[0770] 在如下三種壓力條件下進行評價：施加 Vg=+1.8V，Vd=0V；施加 Vg=−1.8V，Vd=0V；以及施加 Vg=0V，Vd=+1.8V。將測試溫度設定為 150℃，並將壓力施加時間設定為 1 小時。

[0771] 圖 73 示出以 150℃施加+1.8V 的 Vg 以及 0V 的 Vd1 小時時的臨界電壓的變動量ΔVth。橫軸表示電壓施加時間，縱軸表示臨界值的變動量ΔVth。1 小時後的 ΔVth 為+0.06V。

[0772] 圖 74 示出以 150℃施加−1.8V 的 Vg 以及 0V 的 Vd1 小時時的臨界電壓的變動量ΔVth。1 小時後的ΔVth

為+0.12V。

[0773] 圖 75 示出以 150℃施加 0V 的 Vg 以及+1.8V 的 Vd1 小時時的臨界電壓的變動量ΔVth。1 小時後的ΔVth 為+0.19V。

[0774] 由圖 73 至圖 75 可知，在上述各壓力條件中，臨界值變動量都較小，能夠得到良好的特性。

實施例 8

[0775] 在本實施例中，製造通道長度 L 為 26nm 且通道寬度 W 為 31nm 的電晶體，並對該電晶體的特性進行評價。

[0776]

[電晶體的製造 4]

下面，示出包括電晶體的樣本 T5 的製造方法。由於這裡製造的電晶體具有與圖 64A 和圖 64B 同樣的結構，因此使用在圖 64A 和圖 64B 中使用的符號來說明。在本實施例中，作為半導體層 101a、半導體層 101b 及半導體層 101c 分別在條件 F1、條件 E3 及條件 F4 下成膜。將在後面說明詳細條件。作為基板 50，準備矽晶圓。在洗滌基板 50 之後，形成絕緣膜 51。絕緣膜 51 為氧化矽膜與氧氮化矽膜的疊層膜。作為絕緣膜 51 的形成條件使用與實施例 5 的絕緣膜 51 相同的條件。在形成絕緣膜 51 之後，藉由 CMP 法進行平坦化處理。然後，以 450℃在減壓氛圍下進行 1 小時的加熱處理。

[0777] 接著，使用離子植入法注入氧離子（$^{16}O^{+}$）。注入條件為如下：加速電壓為 60kV；劑量為 $2.0\times10^{16}ions/cm^{2}$；傾角為 7°；並且扭轉角為 72°。

[0778] 接著，在絕緣膜 51 上形成成為半導體層 101a 的第一半導體膜。作為第一半導體膜，藉由利用作為靶材使用原子個數比為 In：Ga：Zn=1：3：4 的 In-Ga-Zn 氧化物的濺射法來形成 20nm 厚的 In-Ga-Zn 氧化物膜。表 16 的條件 F1 示出成膜條件的詳細內容。

[0779] 接著，形成成為半導體層 101b 的第二半導體膜。使用不同的處理室形成第一半導體膜和第二半導體膜，並且以不暴露於大氣氛圍的方式在真空氛圍下進行處理室之間的傳送。作為第二半導體膜，形成 15nm 厚的 In-Ga-Zn 氧化物膜。在第二半導體膜的成膜條件中，作為靶材使用原子個數比為 In：Ga：Zn=4：2：4.1 的 In-Ga-Zn 氧化物。表 17 的條件 E3 示出成膜條件的詳細內容。

[0780] 接著，在以 450℃ 在氮氛圍下進行 1 小時的加熱處理之後，在同一處理室內在氧氛圍下進行 1 小時的加熱處理。

[0781] 接著，在半導體層 101b 上使用鎢形成硬遮罩。關於硬遮罩的形成方法可以參照實施例 6。

[0782] 接著，將硬遮罩用作遮罩來蝕刻半導體層 101b 及半導體層 101a。關於半導體層 101b 及半導體層 101a 的蝕刻方法可以參照實施例 6。

[0783] 接著，對作為硬遮罩的鎢膜進行加工，來形

成導電層 104a 及導電層 104b。關於導電層 104a 及導電層 104b 的形成方法可以參照實施例 6。

[0784] 接著，在導電層 104a 及導電層 104b 上形成成為半導體層 101c 的第三半導體膜。作為第三半導體膜，藉由利用作為靶材使用原子個數比為 In：Ga：Zn=1：3：2 的 In-Ga-Zn 氧化物的多晶的濺射法來形成 5nm 厚的 In-Ga-Zn 氧化物膜。表 16 的條件 F4 示出成膜條件的詳細內容。

[0785] 接著，作為閘極絕緣膜 102，使用 PECVD 法形成 10nm 厚的氧氮化矽膜。作為閘極絕緣膜 102 的成膜條件使用與實施例 5 所示的閘極絕緣膜 102 相同的條件。接著，在形成 10nm 厚的氮化鈦膜之後，形成 30nm 厚的鎢膜並對其進行加工，來製造閘極電極 103。關於閘極電極 103 的形成方法可以參照實施例 6。

[0786] 接著，作為絕緣膜 112，形成 30nm 厚的氧化鋁膜。接著，以 350℃ 在氧氛圍下進行 1 小時的加熱處理。接著，作為絕緣膜 113，形成 460nm 厚的氧氮化矽膜。然後，進行 CMP 處理。

[0787] 接著，將鎢膜及氮化矽膜用作硬遮罩而藉由乾蝕刻來設置到達閘極電極 103 和導電層 104a 及導電層 104b 的開口部。

[0788] 接著，在開口部內及絕緣膜 113 上藉由濺射法形成層疊有 10nm 厚的氮化鈦膜及 150nm 厚的鎢膜的導電膜。接著，對開口部內及絕緣膜 113 上的導電膜進行

CMP 處理，來形成插頭。

[0789] 接著，在插頭上設置鎢電極，然後作為絕緣膜形成氧氮化矽膜。

[0790] 接著，在氧氮化矽膜中設置到達鎢電極等的開口部。在開口部內及氧氮化矽膜上形成佈線。

[0791] 接著，設置 1.6μm 厚的聚醯亞胺膜。

[0792] 藉由上述製程，製造包括本發明的一個方式的電晶體的樣本 T5。

[0793] 接著，藉由剖面 TEM 觀察製造的樣本 T5 所包括的電晶體。在為了觀察而進行的薄片化加工中，使用 FIB（Focused Ion Beam System：聚焦離子束裝置）。

[0794] 圖 77A 示出通道長度方向的剖面圖，圖 77B 示出通道寬度方向的剖面圖。能夠製造通道長度為 30nm 以下的具有良好的電特性的微型電晶體。

[0795]

[電晶體的評價 5]

接著，對所製造的電晶體的特性進行評價。所製造的電晶體的通道長度 L 為 26nm，通道寬度 W 為 31nm。

[0796] 圖 78 示出電晶體的 Id-Vg 特性。在 Vd=0.1V 及 1V 的兩種條件下進行測定。另外，圖 79 示出電晶體的 Id-Vd 特性。在 Vg 從 0V 每隔 0.2V 變化到 2V 的 11 種條件下使用同一電晶體連續進行測定。在此，在圖 79 中省略 Vg=0V、0.2V 及 0.4V 的條件的結果。在通道長度為 30nm 以下的微型電晶體中，能夠得到良好的電晶體特

性。

實施例 9

[0797] 在本實施例中，說明本發明的一個方式的 In-Ga-Zn 氧化物膜的評價結果。

[0798]

[樣本的製造]

作為基板使用矽晶圓。接著，對矽晶圓進行熱氧化來形成 100nm 厚的氧化矽膜。接著，在氧化矽膜上形成 40nm 厚的 In-Ga-Zn 氧化物膜。作為靶材使用多晶的 In-Ga-Zn 氧化物而藉由濺射法來形成 In-Ga-Zn 氧化物膜。表 22 示出成膜時的主要條件。在此，表 22 示出作為靶材使用的 In-Ga-Zn 氧化物的銦、鎵和鋅的原子個數比。

[0799]

[表 22]

	裝置	功率 [kW]	氣體流量[sccm]		基板溫度	壓力 [Pa]	靶材	靶材與基板間距離
			Ar[sccm]	O_2[sccm]				
條件 F1	裝置 A	0.5 (DC)	40	5	200℃	0.7	In：Ga：Zn=1：3：4	60mm
條件 G1	裝置 D	0.2 (DC)	20	10	300℃	0.4	In：Ga：Zn=1：2：4	130mm

[0800] 接著，使用離子植入法注入氧離子（$^{16}O^{+}$）。注入條件為如下：加速電壓為 60kV；並且劑量的條件為 1.0×10^{16}ions/cm^2、1.5×10^{16}ions/cm^2 及 2.0×10^{16}ions/cm^2 的三種條件。另外，傾角為 7°，並且扭轉角為 72°。藉由上

述製程，製造樣本。

[0801]

[XRD 評價]

接著，藉由 XRD 對所製造的樣本進行評價。在 XRD 的評價中，使用具有多功能的用來評價薄膜材料的 X 射線繞射儀 D8 DISCOVER Hybrid（美國布魯克 AXS 公司製造）。圖 80A 至圖 81D 示出 XRD 測定的結果。

[0802] 圖 80A 至圖 80C 是使用表 22 所示的條件 F1 來形成 In-Ga-Zn 氧化物膜的樣本的評價結果。在條件 F1 中，使用銦、鎵和鋅的原子個數比為 In：Ga：Zn=1：3：4 的 In-Ga-Zn 氧化物靶材。圖 80A 示出沒有注入氧離子的樣本的評價結果，圖 80B 及圖 80C 分別示出氧離子植入的劑量為 1.0×10^{16}ions/cm^2 及 2.0×10^{16}ions/cm^2 的樣本的評價結果。由此可知，藉由注入氧離子，使箭頭所示的 31°附近的峰值強度減弱。該峰值表示 c 軸配向性。另外，離子植入的劑量越多，其強度越小。另外，藉由注入氧離子，能夠觀察到箭頭所示的 36°附近的峰值。該峰值表示不具有 c 軸配向性的結晶，例如典型的是尖晶石型的結晶結構。在此，在使用條件 F1 形成 In-Ga-Zn 氧化物膜的樣本中，將沒有注入氧離子的樣本為樣本 F4-1，將氧離子植入的劑量為 1.0×10^{16}ions/cm^2 及 2.0×10^{16}ions/cm^2 的樣本分別為樣本 F4-2 及樣本 F4-3。

[0803] 圖 81A 至圖 81D 是使用表 22 所示的條件 G1 形成 In-Ga-Zn 氧化物膜的樣本的評價結果。在條件 G1

中，使用銦、鎵和鋅的原子個數比為 In：Ga：Zn=1：2：4 的 In-Ga-Zn 氧化物靶材。圖 81A 示出沒有注入氧離子的樣本的評價結果，圖 81B、圖 81C 及圖 81D 分別示出氧離子植入的劑量為 1.0×10^{16}ions/cm^2、1.5×10^{16}ions/cm^2 及 2.0×10^{16}ions/cm^2 的樣本的評價結果。在條件 G1 中，即便注入氧離子也沒有觀察到 36°附近的峰值，並且，箭頭所示的 31°附近的峰值強度也沒有顯著變化。在此，在使用條件 G1 形成 In-Ga-Zn 氧化物膜的樣本中，將沒有注入氧離子的樣本為樣本 G1-1，將氧離子植入的劑量為 1.0×10^{16}ions/cm^2、1.5×10^{16}ions/cm^2 及 2.0×10^{16}ions/cm^2 的樣本分別為樣本 G1-2、樣本 G1-3 及樣本 G1-4。

[0804]

[平面 TEM 觀察]

接著，觀察所製造的各樣本的平面 TEM 影像。使用日本日立高新技術公司製造的 H-9000NAR 來獲得 TEM 影像。將加速電壓設定為 300kV。藉由離子研磨（ion milling）法對樣本進行薄片化。

[0805] 圖 82A 及圖 82B 示出樣本 F4-1 及樣本 F4-2 的觀察結果。另外，圖 83A 及圖 84B 示出樣本 G1-1 及樣本 G1-2 的觀察結果。另外，圖 84A 示出將圖 82B 所示的以四邊形圍繞的區域放大而進行觀察的結果，圖 84B 示出將圖 83B 所示的以四邊形圍繞的區域放大而進行觀察的結果。

[0806] 在對使用銦、鎵及鋅的原子個數比為 In：

Ga：Zn=1：3：4 的 In-Ga-Zn 氧化物靶材的樣本 F4-1 和樣本 F4-2 的觀察結果進行比較時，在注入氧離子的樣本 F4-2 中，清楚地觀察到對比度不同的區域。另外，在圖 84A 的對比度不同的區域中，觀察到晶格像，還觀察到晶界。

[0807] 在使用銦、鎵和鋅的原子個數比為 In：Ga：Zn=1：2：4 的 In-Ga-Zn 氧化物靶材的樣本 G1-1 及樣本 G1-2 中，沒有如樣本 F4-2 那樣清楚地觀察到對比度不同的區域。

[0808] 由 XRD 評價及 TEM 觀察認為，在使用銦、鎵和鋅的原子個數比為 In：Ga：Zn=1：2：4 的靶材形成的 In-Ga-Zn 氧化物膜中，所得到的膜的原子個數比具有實施方式 2 所示的算式 3 的原子個數比附近的值，並且表示 CAAC 比率更高。

實施例 10

[0809] 在本實施例中，示出使用本發明的一個方式的 In-Ga-Zn 氧化物膜製造的電晶體的評價結果。在電晶體特性的評價中，使用具有圖 66A 和圖 66B 所示的剖面結構的電晶體。

[0810]

[電晶體的製造]

作為包括電晶體的樣本，準備樣本 T11 至樣本 T14。首先，說明 In-Ga-Zn 氧化物膜的成膜條件。作為圖 66A

和圖 66B 所示的半導體層 101a 至半導體層 101c，藉由濺射法形成 In-Ga-Zn 氧化物膜。作為靶材使用多晶的 In-Ga-Zn 氧化物。表 23 示出成膜條件。在此，表 23 示出作為靶材使用的 In-Ga-Zn 氧化物的銦、鎵和鋅的原子個數比。注意，在成膜條件中，表 23 僅示出靶材的原子個數比，表 24 表示其它條件的詳細內容。

[0811]

[表 23]

			條件	
			膜厚[nm]	靶材
樣本 T11	半導體層 101a	條件 F1	40	In：Ga：Zn=1：3：4
	半導體層 101b	條件 A1	20	In：Ga：Zn=1：1：1
	半導體層 101c	條件 F4	5	In：Ga：Zn=1：3：2
樣本 T12	半導體層 101a	條件 G2	40	In：Ga：Zn=1：2：4
	半導體層 101b	條件 A1	20	In：Ga：Zn=1：1：1
	半導體層 101c	條件 F4	5	In：Ga：Zn=1：3：2
樣本 T13	半導體層 101a	條件 F1	40	In：Ga：Zn=1：3：4
	半導體層 101b	條件 E3	20	In：Ga：Zn=4：2：4.1
	半導體層 101c	條件 F4	5	In：Ga：Zn=1：3：2
樣本 T14	半導體層 101a	條件 G2	40	In：Ga：Zn=1：2：4
	半導體層 101b	條件 E3	20	In：Ga：Zn=4：2：4.1
	半導體層 101c	條件 F4	5	In：Ga：Zn=1：3：2

[0812]

[表 24]

	裝置	功率[kW]	氣體流量[sccm]		基板溫度	壓力[Pa]	靶材	靶材與基板間距離
			Ar[sccm]	O_2[sccm]				
條件F1	裝置A	0.5 (DC)	40	5	200℃	0.7	In：Ga：Zn=1：3：4	60mm
條件G2	裝置D	0.2 (DC)	20	10	200℃	0.4	In：Ga：Zn=1：2：4	130mm
條件A1	裝置A	0.5 (DC)	30	15	300℃	0.7	In：Ga：Zn=1：1：1	60mm
條件E3	裝置A	0.5 (DC)	30	15	200℃	0.7	In：Ga：Zn=4：2：4.1	60mm
條件F4	裝置B	0.5 (DC)	30	15	200℃	0.4	In：Ga：Zn=1：3：2	60mm

[0813] 接著，說明包括電晶體的樣本 T11 至樣本 T14 的製造方法。

[0814] 首先，作為基板 50，準備晶面配向（110）的 p 型 CZ 晶體矽晶圓。接著，在洗滌基板之後，形成絕緣膜 51。絕緣膜 51 為第一氧化矽膜、氮氧化矽膜、第二氧化矽膜、第三氧化矽膜以及氧化鋁膜的疊層膜。首先，以 950℃進行熱氧化來形成 400nm 厚的第一氧化矽膜。然後，利用 PECVD 設備形成 280nm 厚的氮氧化矽膜。成膜條件為如下：基板溫度為 325℃；矽烷的流量為 40sccm，一氧化二氮的流量為 30sccm，氨的流量為 300sccm，氫的流量為 900sccm；壓力為 160Pa；成膜功率（RF）為 250W（27MHz）；並且電極間距離為 20mm。然後，利用 PECVD 設備形成 300nm 厚的第二氧化矽膜。成膜條件為如下：基板溫度為 300℃；TEOS（Tetraethyl Ortho

Silicate：四乙氧基矽烷）的流量為 15sccm，氧的流量為 750sccm；壓力為 100Pa；成膜功率（RF）為 300W（27MHz）；並且電極間距離為 14mm。在形成絕緣膜 51 之後，藉由 CMP 法進行平坦化處理。然後，以 590℃在氮氛圍下進行 10 小時的加熱處理。

[0815] 接著，利用 PECVD 設備形成 300nm 厚的第三氧化矽膜。作為成膜條件使用與第二氧化矽膜相同的條件。在成膜後，以 590℃在氮氛圍下進行 10 小時的加熱處理。

[0816] 接著，藉由濺射法形成 50nm 厚的氧化鋁膜。藉由上述製程，形成絕緣膜 51。

[0817] 接著，作為成為導電層 105 的導電膜，藉由濺射法形成 50nm 厚的第一鎢膜。接著，使用光阻遮罩而藉由蝕刻對第一鎢膜進行加工，來形成導電層 105。

[0818] 接著，作為絕緣膜 114，藉由 PECVD 法形成 70nm 厚的氧氮化膜。成膜條件為如下：基板溫度為 500℃；矽烷的流量為 1sccm，一氧化二氮的流量為 800sccm；壓力為 40Pa；成膜功率（RF）為 150W（60MHz）；並且電極間距離為 28mm。

[0819] 接著，在絕緣膜 114 上形成 40nm 厚的成為半導體層 101a 的第一半導體膜。成為半導體層 101a 的第一半導體膜使用表 6 及表 7 所記載的成膜條件並藉由濺射法形成。在此，在樣本 T11 及樣本 T13 中，使用銦、鎵和鋅的原子個數比為 In：Ga：Zn=1：3：4 的 In-Ga-Zn 氧化物

靶材，而在樣本 T12 及樣本 T14 中，In：Ga：Zn=1：2：4 的 In-Ga-Zn 氧化物靶材。

[0820] 接著，使用離子植入法注入氧離子（$^{16}O^{+}$）。注入條件為如下：加速電壓為 5kV；劑量為 $1.0\times10^{16}ions/cm^{2}$；傾角為 7°；並且扭轉角為 72°。

[0821] 接著，形成 20nm 厚的成為半導體層 101b 的第二半導體膜。成為半導體層 101b 的第二半導體膜使用表 6 及表 7 所記載的成膜條件並藉由濺射法形成。在此，在樣本 T11 及樣本 T12 中，使用銦、鎵和鋅的原子個數比為 In：Ga：Zn=1：1：1 的 In-Ga-Zn 氧化物靶材，而在樣本 T13 及樣本 T14 中，In：Ga：Zn=4：2：4.1 的 In-Ga-Zn 氧化物靶材。

[0822] 接著，在以 450℃在氮氛圍下進行 1 小時的加熱處理之後，在同一處理室內在氧氛圍下進行 1 小時的加熱處理。

[0823] 接著，藉由濺射法形成 20nm 厚的第二鎢膜。成膜條件為如下：作為靶材使用鎢；氬流量為 80sccm；壓力為 0.8Pa；電源功率（DC）為 1kW；並且基板與靶材間的距離為 60mm。將基板溫度設定為 130℃左右。另外，還進一步向基板的背面供應 10sccm 的氬。接著，雖然在圖 66A 和圖 66B 中未圖示，但形成到達導電層 105 的開口部。明確而言，在第二鎢膜、第一半導體膜及第二半導體膜中形成開口部，然後將第二鎢膜用作遮罩而在絕緣膜 114 中設置開口部。

[0824] 接著，藉由濺射法形成 150nm 厚的第三鎢膜。

[0825] 接著，將第三鎢膜用作光阻遮罩而進行蝕刻，來形成導電層 104a 及導電層 104b。

[0826] 接著，形成光阻遮罩，並藉由蝕刻對第一半導體膜及第二半導體膜進行加工，來形成島狀的第一半導體層 101a 及第二半導體層 101b。注意，在上述蝕刻中，採用 ICP 蝕刻法。蝕刻條件為如下：基板溫度為 70℃；使用 BCl_3 氣體；BCl_3 的流量為 80sccm；電源功率為 450W；偏壓功率為 100W；並且壓力為 1.2Pa。

[0827] 接著，形成 5nm 厚的成為半導體層 101c 的第三半導體膜。成為半導體層 101c 的第三半導體膜使用表 6 及表 7 所記載的成膜條件並藉由濺射法形成。在此，使用銦、鎵和鋅的原子個數比為 In：Ga：Zn=1：3：2 的 In-Ga-Zn 氧化物靶材。

[0828] 接著，作為閘極絕緣膜 102，使用 PECVD 法形成 20nm 厚的氧氮化矽膜。成膜條件為如下：基板溫度為 350℃；矽烷的流量為 1sccm，一氧化二氮的流量為 800sccm；壓力為 200Pa；成膜功率（RF）為 150W（60MHz）；並且電極間距離為 28mm。

[0829] 接著，作為成為閘極電極 103 的導電膜，在形成 30nm 厚的氮化鉭膜之後形成 135nm 厚的第四鎢膜。氮化鉭膜及鎢膜分別藉由濺射法形成。接著，藉由利用蝕刻對成為閘極電極 103 的導電膜的形狀進行加工，來形成

閘極電極 103。

[0830] 接著，使用光阻遮罩而藉由蝕刻對閘極絕緣膜 102 以及半導體膜的形狀進行加工，由此其形狀被加工的閘極絕緣膜 102 及第三半導體層 101c。

[0831] 接著，作為絕緣膜 112，以覆蓋電晶體的方式形成 140nm 厚的氧化鋁膜。氧化鋁膜使用濺射法形成。

[0832] 接著，作為絕緣膜 113，形成 300nm 厚的氧氮化矽膜。氧氮化矽膜使用 PECVD 法形成。

[0833] 接著，藉由蝕刻形成到達導電層 104a 及導電層 104b 的開口部。在上述蝕刻中，採用 ICP 蝕刻法。

[0834] 接著，在開口部內及絕緣膜 113 上藉由濺射法形成依次層疊有 50nm 厚的鈦膜、300nm 厚的鋁膜以及 5nm 厚的鈦膜的導電膜。接著，藉由蝕刻對開口部內及絕緣膜 113 上的導電膜的形狀進行加工，來形成佈線。然後，在藉由塗佈法形成 1.6μm 厚的聚醯亞胺膜之後，以 300℃ 在大氣氛圍下進行 1 小時左右的加熱處理。

[0835] 藉由上述製程，製造樣本 T11 至樣本 T14。

[0836]

[電晶體特性的評價]

對製造的樣本 T11 至樣本 T14 所包括的電晶體的特性進行評價。首先，作為電晶體的初始特性，評價 Vg-Id 特性。在設置於基板面且具有 0.83μm 的通道長度 L 和 0.8μm 的通道寬度 W 的 n 通道型電晶體當中，對 25 個電晶體進行評價。圖 85A 和圖 85B 示出樣本 T11 和樣本

T12 的電晶體的 Vg-Id 特性的測定結果，圖 86A 和圖 86B 示出樣本 T13 和樣本 T14 的電晶體的 Vg-Id 特性的測定結果。在此，Vg 表示源極-閘極之間的電壓，Id 表示源極-汲極之間的電流。另外，橫軸表示閘極電壓 Vg，左邊的縱軸表示汲極電壓 Id，右邊的縱軸表示場效移動率 μ_{FE}。在汲極電壓 Vd 為 0.1V 及 1.8V 的兩種條件下進行測定。另外，在此對用作第二閘極電極的導電層 105 與源極之間施加 0V。在此，場效移動率是在 Vd=0.1V 的情況下算出的值。

[0837] 另外，從通道長度 L 為 0.83μm 且通道寬度 W 為 0.8μm 的 n 通道型電晶體的 Vg-Id 特性算出的 S 值在樣本 T11、T12、T13 及 T14 中分別為 126.9、122.3、103.0 及 90.5[mV/dec.]。

[0838] 接著，對樣本 T12 及 T14 的施加壓力前後的電晶體的 Vg-Id 特性的變化進行評價。壓力條件為如下：作為電壓施加條件，採用如下三種條件，即閘極電壓 Vg 為+3.3V、−3.3V 的兩種條件和汲極電壓為+1.8V 的一種條件；溫度為 150℃；並且壓力施加時間為 1 小時。在各壓力施加條件下都對導電層 105 施加 0V。

[0839] 圖 87A 和圖 87B 示出以 150℃施加 Vg=+3.3V 的電壓 1 小時後的 Vg-Id 特性的變化。以實線表示施加壓力之前的特性，以虛線表示施加壓力之後的特性。圖 87A 示出樣本 T12 的結果，圖 87B 示出樣本 T14 的結果。

[0840] 另外，圖 88A 和圖 88B 示出以 150℃施加

Vg=−3.3V 的電壓 1 小時後的 Vg-Id 特性的變化。以實線表示施加壓力之前的特性，以虛線表示施加壓力之後的特性。圖 88A 示出樣本 T12 的結果，圖 88B 示出樣本 T14 的結果。

[0841] 另外，圖 89A 和圖 89B 示出以 150℃施加 Vg=+1.8V 的電壓 1 小時後的 Vg-Id 特性的變化。以實線表示施加壓力之前的特性，以虛線表示施加壓力之後的特性。圖 89A 示出樣本 T12 的結果，圖 89B 示出樣本 T14 的結果。

[0842] 由圖 87A 至圖 89B 可知，在樣本 T12 和 T14 的每一個中在任何壓力條件下也起因於壓力的變化都較小，並且，在施加+3.3V 的 Vg 的樣本 T14 中變化量更小。

【符號說明】

[0843]

11：區域

12：區域

13：區域

14：區域

21：垂線

22：垂線

23：垂線

25：保護膜

50：基板

51：絕緣膜

60a：電晶體

60b：電晶體

61：絕緣膜

62：半導體層

63：半導體層

64d：低電阻層

64s：低電阻層

65d：導電層

65s：導電層

66：半導體層

67：絕緣膜

68：閘極電極

69：絕緣膜

72：絕緣膜

76：絕緣膜

100：電晶體

101：半導體層

101a：半導體層

101b：半導體層

101c：半導體層

102：閘極絕緣膜

103：閘極電極

104a：導電層

104b：導電層

104c：導電層

105：導電層

111：障壁膜

112：絕緣膜

113：絕緣膜

114：絕緣膜

115：絕緣膜

116：絕緣膜

121：插頭

122：插頭

123：插頭

124：佈線

126：電極

127：絕緣膜

128：絕緣膜

130：電晶體

131：半導體基板

132：半導體層

132b：半導體層

133a：低電阻層

133b：低電阻層

134：閘極絕緣膜

134b：閘極絕緣膜

135：閘極電極

135b：閘極電極

136：絕緣膜

137：絕緣膜

138：絕緣膜

139：插頭

140：插頭

143：導電層

150：電容元件

151：導電層

152a：導電層

152b：導電層

160：電晶體

164：插頭

165：插頭

166：佈線

171a：低電阻層

171b：低電阻層

176a：區域

176b：區域

181：元件分離層

190：電晶體

191：電晶體

211：障壁膜

215：絕緣膜

201：電晶體

230：電晶體

231：電晶體

233a：低電阻層

233b：低電阻層

233c：低電阻層

233d：低電阻層

251：導電層

276a：區域

276b：區域

276c：區域

276d：區域

281：硬遮罩

321：插頭

322：插頭

323：插頭

324：區域

610：電子槍室

612：光學系統

614：樣本室

616：光學系統

618：拍攝裝置

620：觀察室

622：膠片室

624：電子

632：螢光板

660a：電容元件

660b：電容元件

661a：電晶體

661b：電晶體

662a：電晶體

662b：電晶體

663a：反相器

663b：反相器

700：基板

701：像素部

702：掃描線驅動電路

703：掃描線驅動電路

704：信號線驅動電路

710：電容佈線

712：閘極佈線

713：閘極佈線

714：汲極電極層

716：電晶體

717：電晶體

718：液晶元件

719：液晶元件

720：像素

721：開關電晶體

722：驅動電晶體

723：電容元件

724：發光元件

725：信號線

726：掃描線

727：電源線

728：共同電極

800：RF 標籤

801：通信器

802：天線

803：無線信號

804：天線

805：整流電路

806：恆壓電路

807：解調變電路

808：調變電路

809：邏輯電路

810：記憶體電路

811：ROM

901：外殼

902：外殼

903：顯示部

904：顯示部

905：麥克風

906：揚聲器

907：操作鍵

908：觸控筆

911：外殼

912：外殼

913：顯示部

914：顯示部

915：連接部

916：操作鍵

921：外殼

922：顯示部

923：鍵盤

924：指向裝置

931：外殼

932：冷藏室門

933：冷凍室門

941：外殼

942：外殼

943：顯示部

944：操作鍵

945：透鏡

946：連接部

951：車體

952：車輪

953：儀表板

954：燈

1189：ROM 介面

1190：基板

1191：ALU

1192：ALU 控制器

1193：指令解碼器

1194：中斷控制器

1195：時序控制器

1196：暫存器

1197：暫存器控制器

1198：匯流排介面

1199：ROM

1200：記憶元件

1201：電路

1202：電路

1203：開關

1204：開關

1206：邏輯元件

1207：電容元件

1208：電容元件

1209：電晶體

1210：電晶體

1213：電晶體

1214：電晶體

1220：電路

2100：電晶體

2200：電晶體

3001：佈線

3002：佈線

3003：佈線

3004：佈線

3005：佈線

3200：電晶體

3300：電晶體

3400：電容元件

4000：RF 標籤

申請專利範圍

1. 一種半導體裝置，包括：

包含 In、Ga 及 Zn 的氧化物半導體層；以及

具有其氧含量超過化學計量組成的絕緣層，

其中，該絕緣層及該氧化物半導體層彼此重疊，

該氧化物半導體層中 In、Ga 及 Zn 的原子個數比滿足 In：Ga：Zn=x：y：z，

在以 In、Ga 及 Zn 這三個元素為頂點的平衡狀態圖中，該原子個數比在由依次連接第一座標（x：y：z=35：20：22）、第二座標（x：y：z=7：4：11）、第三座標（x：y：z=5：1：6）、第四座標（x：y：z=25：10：14）、以及該第一座標的線段圍繞的範圍內，

並且，該氧化物半導體層包括多個結晶部。

2. 一種半導體裝置，包括：

包含 In、元素 M 及 Zn 的氧化物半導體層；以及

具有其氧含量超過化學計量組成的絕緣層，

其中，該絕緣層及該氧化物半導體層彼此重疊，

該元素 M 為鋁、鎵、釔和錫中的至少一個，

該氧化物半導體層中 In、該元素 M 及 Zn 的原子個數比滿足 In：M：Zn =x：y：z，

在以 In、該元素 M 及 Zn 這三個元素為頂點的平衡狀態圖中，該原子個數比在由依次連接第一座標（x：y：z=35：20：22）、第二座標（x：y：z=7：4：11）、第三座標（x：y：z=5：1：6）、第四座標（x：y：z=25：

10：14）、以及該第一座標的線段圍繞的範圍內，

並且，該氧化物半導體層包括多個結晶部。

3. 一種半導體裝置，包括：

包含 In、Ga 及 Zn 的氧化物半導體層；以及

具有其氧含量超過化學計量組成的絕緣層，

其中，該絕緣層及該氧化物半導體層彼此重疊，

該氧化物半導體層中 In、Ga 及 Zn 的原子個數比滿足 In：Ga：Zn=x：y：z，

在以 In、Ga 及 Zn 這三個元素為頂點的平衡狀態圖中，該原子個數比在由依次連接第一座標（x：y：z=35：20：22）、第二座標（x：y：z=7：4：11）、第三座標（x：y：z=5：1：6）、第四座標（x：y：z=25：10：14）、以及該第一座標的線段圍繞的範圍內，

該氧化物半導體層包括多個結晶部，

並且，In:Ga = 2:1。

4. 一種半導體裝置，包括：

絕緣層；

在該絕緣層上方且與其直接接觸的第一氧化物半導體層，該第一氧化物半導體層包含 In、Ga 及 Zn；

在該第一氧化物半導體層上方且與其直接接觸的第二氧化物半導體層，該第二氧化物半導體層包含 In、Ga 及 Zn；

在該第二氧化物半導體層與該絕緣層上方且與其直接接觸的第三氧化物半導體層，該第三氧化物半導體層包含

In、Ga 及 Zn；

在該第三氧化物半導體層上方的閘極絕緣層；以及

在該閘極絕緣層上方的閘極電極，

其中，該第二氧化物半導體層中 In、Ga 及 Zn 的原子個數比滿足 In：Ga：Zn=x：y：z，

在以 In、Ga 及 Zn 這三個元素為頂點的平衡狀態圖中，該原子個數比在由依次連接第一座標（x：y：z=35：20：22）、第二座標（x：y：z=7：4：11）、第三座標（x：y：z=5：1：6）、第四座標（x：y：z=25：10：14）、以及該第一座標的線段圍繞的範圍內，

並且，該第二氧化物半導體層包括多個結晶部。

5. 一種半導體裝置，包括：

絕緣層；

在該絕緣層上方且與其直接接觸的第一氧化物半導體層，該第一氧化物半導體層包含 In、元素 M 及 Zn；

在該第一氧化物半導體層上方且與其直接接觸的第二氧化物半導體層，該第二氧化物半導體層包含 In、該元素 M 及 Zn；

在該第二氧化物半導體層與該絕緣層上方且與其直接接觸的第三氧化物半導體層，該第三氧化物半導體層包含 In、該元素 M 及 Zn；

在該第三氧化物半導體層上方的閘極絕緣層；以及

在該閘極絕緣層上方的閘極電極，

其中，該元素 M 為鋁、鎵、釔和錫中的至少一個，

該第二氧化物半導體層中 In、該元素 M 及 Zn 的原子個數比滿足 In：M：Zn=x：y：z，

在以 In、該元素 M 及 Zn 這三個元素為頂點的平衡狀態圖中，該原子個數比在由依次連接第一座標（x：y：z=35：20：22）、第二座標（x：y：z=7：4：11）、第三座標（x：y：z=5：1：6）、第四座標（x：y：z=25：10：14）、以及該第一座標的線段圍繞的範圍內，

並且，該第二氧化物半導體層包括多個結晶部。

6. 一種半導體裝置，包括：

絕緣層；

在該絕緣層上方且與其直接接觸的第一氧化物半導體層，該第一氧化物半導體層包含 In、Ga 及 Zn；

在該第一氧化物半導體層上方且與其直接接觸的第二氧化物半導體層，該第二氧化物半導體層包含 In、Ga 及 Zn；

在該第二氧化物半導體層與該絕緣層上方且與其直接接觸的第三氧化物半導體層，該第三氧化物半導體層包含 In、Ga 及 Zn；

在該第三氧化物半導體層上方的閘極絕緣層；以及

在該閘極絕緣層上方的閘極電極，

其中，該第二氧化物半導體層中 In、Ga 及 Zn 的第一原子個數比滿足 In：Ga：Zn=x：y：z，

在以 In、Ga 及 Zn 這三個元素為頂點的平衡狀態圖中，該第一原子個數比在由依次連接第一座標（x：y：

z=35：20：22）、第二座標（x：y：z=7：4：11）、第三座標（x：y：z=5：1：6）、第四座標（x：y：z=25：10：14）、以及該第一座標的線段圍繞的範圍內，

該第二氧化物半導體層包括多個結晶部，

該第三氧化物半導體層中 In、Ga 及 Zn 的第二原子個數比滿足 In：Ga：$Zn=x_a$：y_a：z_a，

並且，在以 In、Ga 及 Zn 這三個元素為頂點的平衡狀態圖中，該第二原子個數比在由依次連接第一座標（x_a：y_a：z_a =35：20：22）、第二座標（x_a：y_a：z_a =7：4：11）、第三座標（x_a：y_a：z_a =5：1：6）、第四座標（x_a：y_a：z_a =25：10：14）、以及該第一座標的線段圍繞的範圍內。

7. 一種半導體裝置，包括：

絕緣層；

在該絕緣層上方且與其直接接觸的第一氧化物半導體層，該第一氧化物半導體層包含 In、元素 M 及 Zn；

在該第一氧化物半導體層上方且與其直接接觸的第二氧化物半導體層，該第二氧化物半導體層包含 In、該元素 M 及 Zn；

在該第二氧化物半導體層與該絕緣層上方且與其直接接觸的第三氧化物半導體層，該第三氧化物半導體層包含 In、該元素 M 及 Zn；

在該第三氧化物半導體層上方的閘極絕緣層；以及

在該閘極絕緣層上方的閘極電極，

其中，該元素 M 為鋁、鎵、釔和錫中的至少一個，

該第二氧化物半導體層中 In、該元素 M 及 Zn 的第一原子個數比滿足 In：M：Zn=x：y：z，

在以 In、M 及 Zn 這三個元素為頂點的平衡狀態圖中，該第一原子個數比在由依次連接第一座標（x：y：z=35：20：22）、第二座標（x：y：z=7：4：11）、第三座標（x：y：z=5：1：6）、第四座標（x：y：z=25：10：14）、以及該第一座標的線段圍繞的範圍內，

該第二氧化物半導體層包括多個結晶部，

該第三氧化物半導體層中 In、該元素 M 及 Zn 的第二原子個數比滿足 In：M：Zn=x_a：y_a：z_a，

並且，在以 In、M 及 Zn 這三個元素為頂點的平衡狀態圖中，該第二原子個數比在由依次連接第一座標（x_a：y_a：z_a =35：20：22）、第二座標（x_a：y_a：z_a =7：4：11）、第三座標（x_a：y_a：z_a =5：1：6）、第四座標（x_a：y_a：z_a =25：10：14）、以及該第一座標的線段圍繞的範圍內。

8. 根據申請專利範圍第 1 至 7 項中任一項之半導體裝置，其中該多個結晶部為多個奈米晶。

9. 根據申請專利範圍第 1 至 7 項中任一項之半導體裝置，其中該多個結晶部為多個 c 軸配向結晶部。

圖式

圖 1A

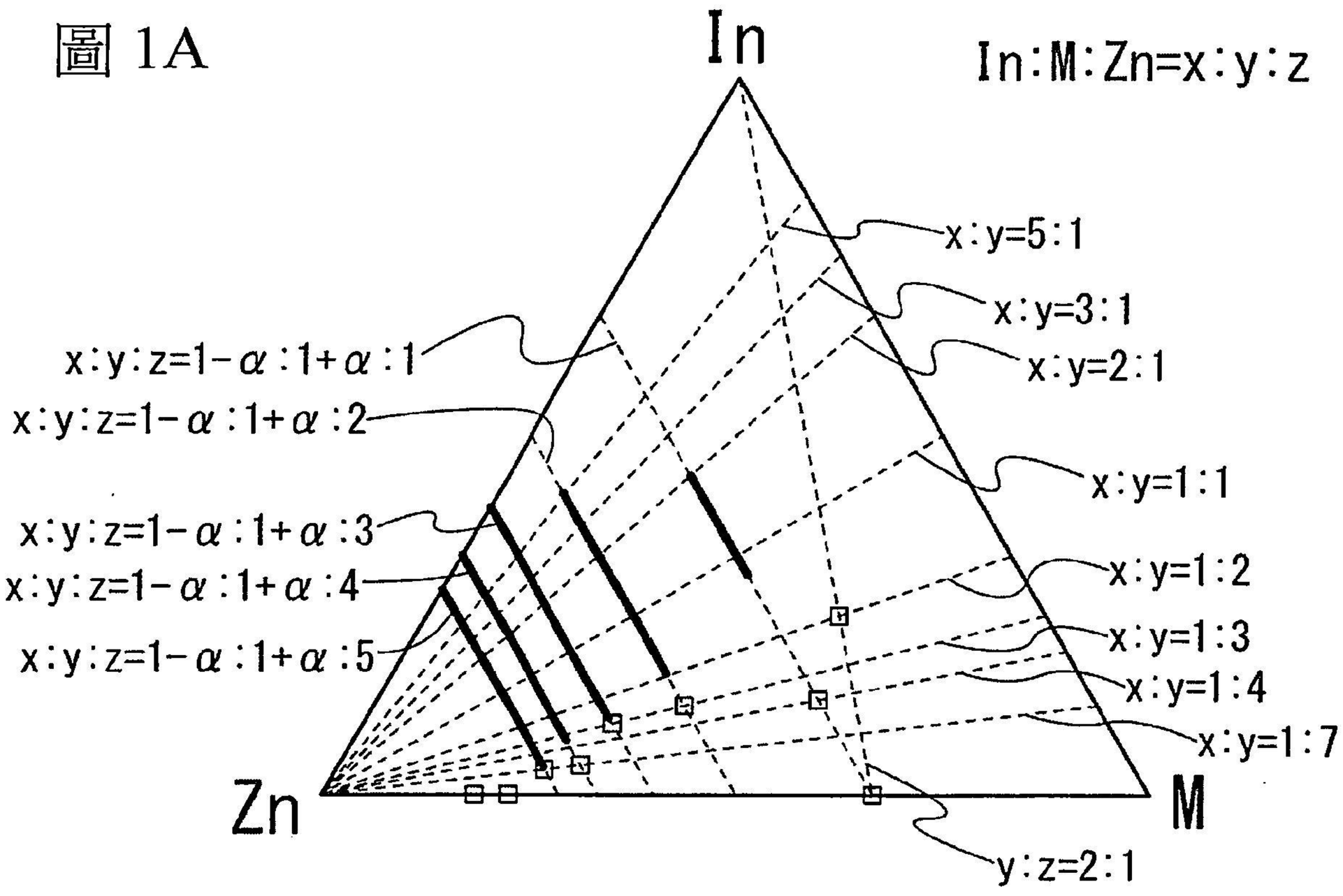

In
In:M:Zn=x:y:z
x:y=5:1
x:y=3:1
x:y=2:1
x:y=1:1
x:y=1:2
x:y=1:3
x:y=1:4
x:y=1:7
x:y:z=1−α:1+α:1
x:y:z=1−α:1+α:2
x:y:z=1−α:1+α:3
x:y:z=1−α:1+α:4
x:y:z=1−α:1+α:5
Zn
M
y:z=2:1

圖 1B

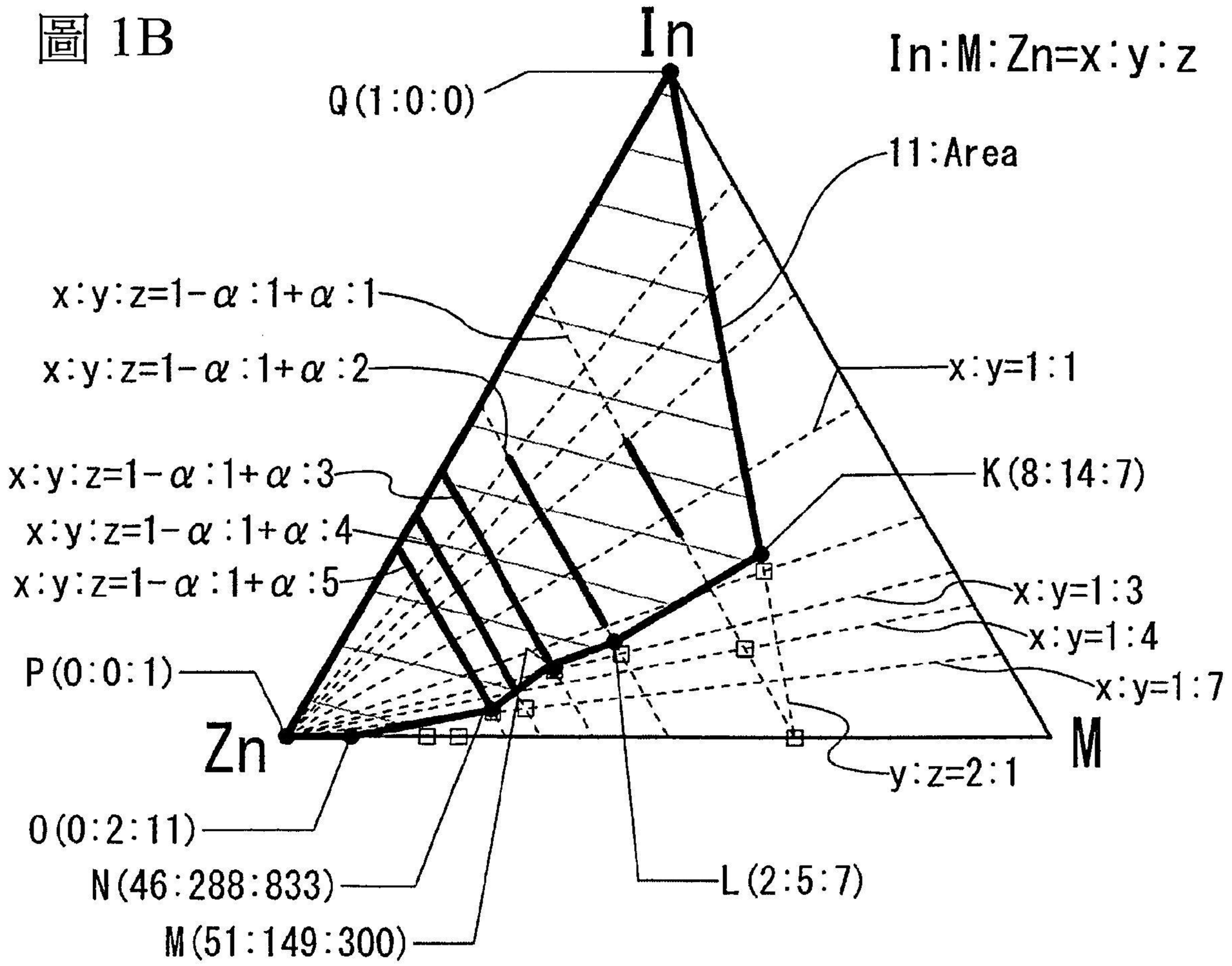

In
In:M:Zn=x:y:z
Q(1:0:0)
11:Area
x:y:z=1−α:1+α:1
x:y:z=1−α:1+α:2
x:y:z=1−α:1+α:3
x:y:z=1−α:1+α:4
x:y:z=1−α:1+α:5
x:y=1:1
K(8:14:7)
x:y=1:3
x:y=1:4
x:y=1:7
P(0:0:1)
Zn
M
y:z=2:1
O(0:2:11)
N(46:288:833)
M(51:149:300)
L(2:5:7)

圖 2A

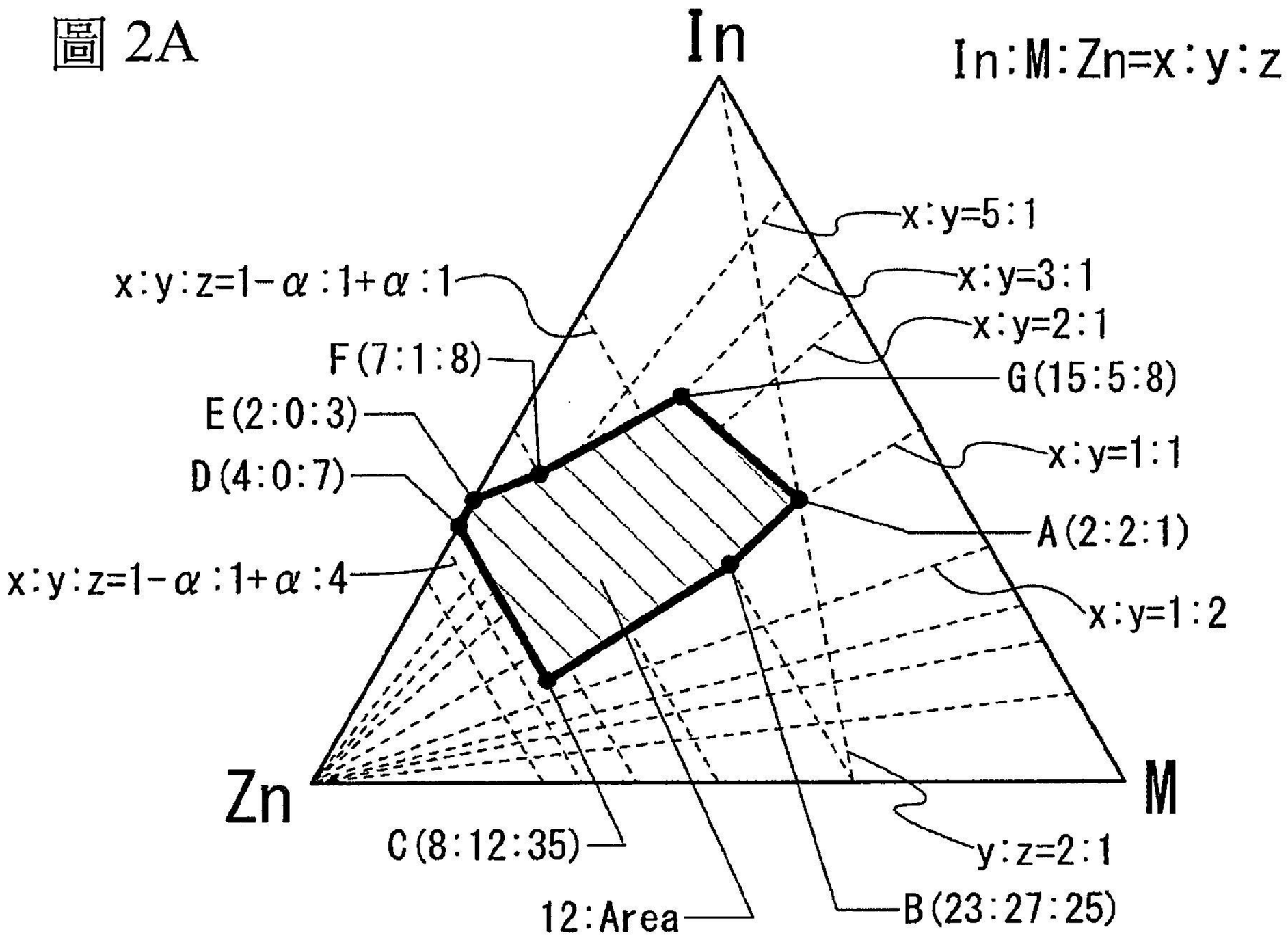

In
In:M:Zn=x:y:z
x:y=5:1
x:y=3:1
x:y=2:1
x:y=1:1
x:y=1:2
y:z=2:1
x:y:z=1−α:1+α:1
x:y:z=1−α:1+α:4
F(7:1:8)
E(2:0:3)
D(4:0:7)
G(15:5:8)
A(2:2:1)
B(23:27:25)
C(8:12:35)
12:Area
Zn
M

圖 2B

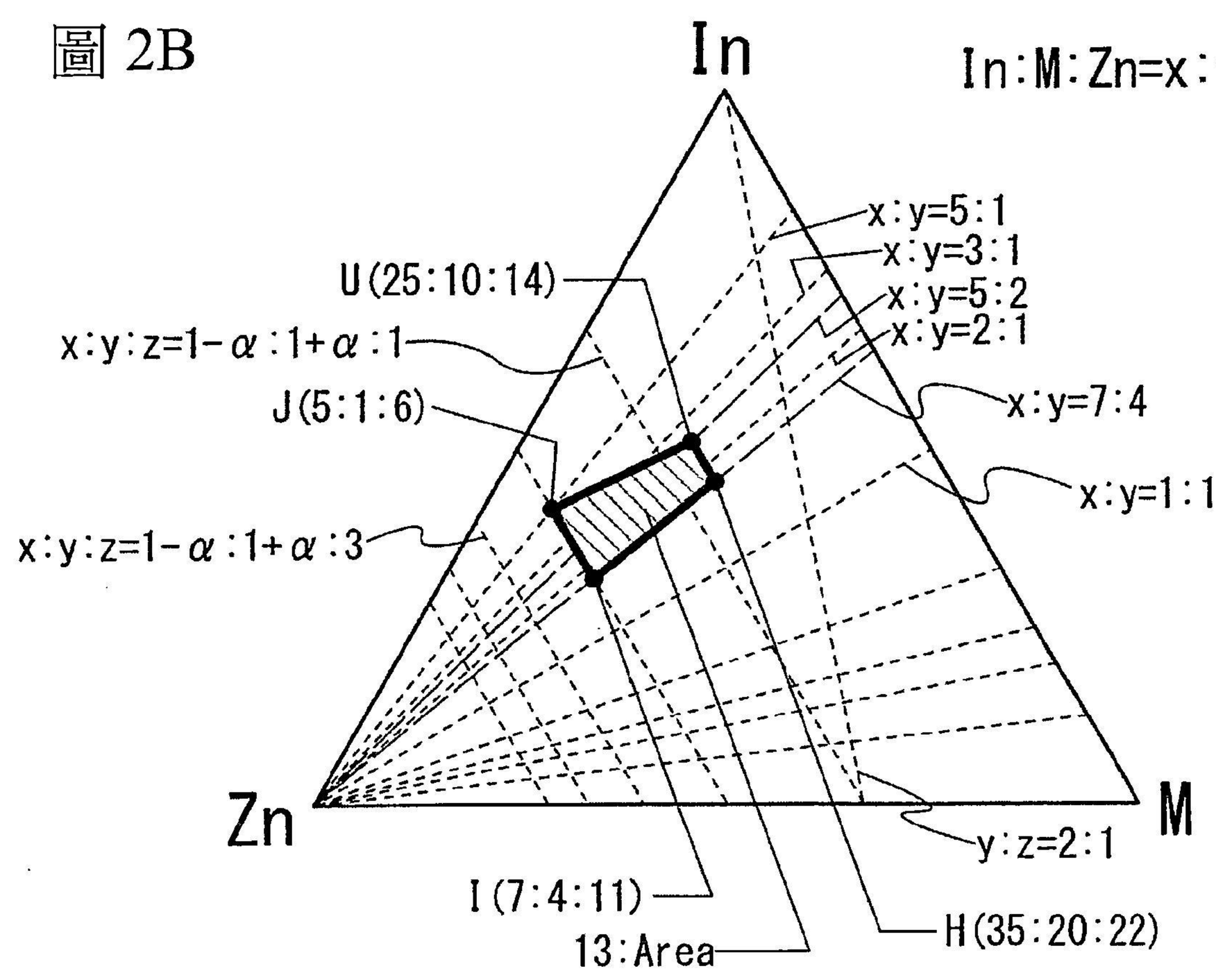

In
In:M:Zn=x:y:z
x:y=5:1
x:y=3:1
x:y=5:2
x:y=2:1
x:y=7:4
x:y=1:1
y:z=2:1
x:y:z=1−α:1+α:1
x:y:z=1−α:3
U(25:10:14)
J(5:1:6)
I(7:4:11)
H(35:20:22)
13:Area
Zn
M

圖 3A

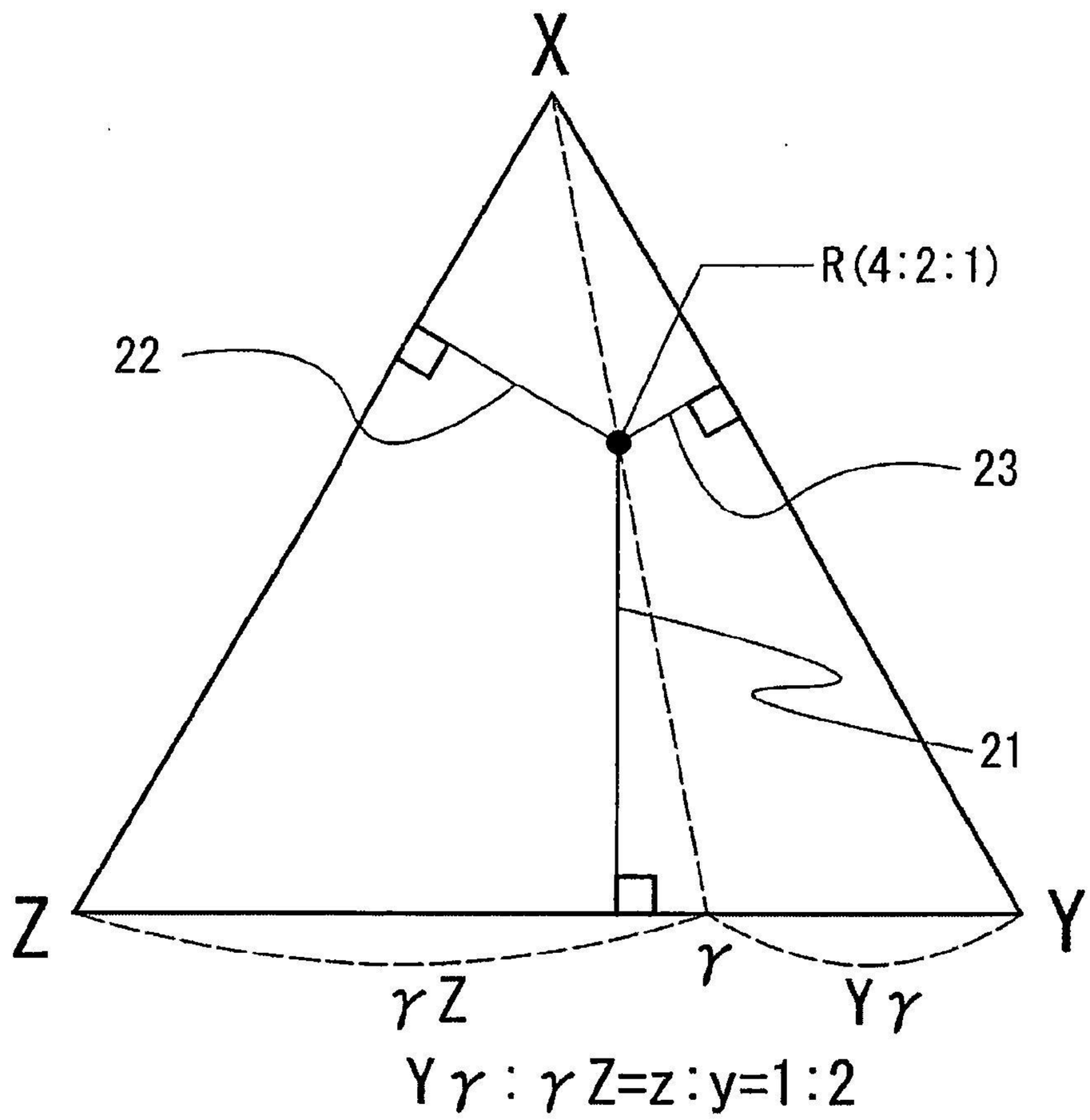


圖 3B

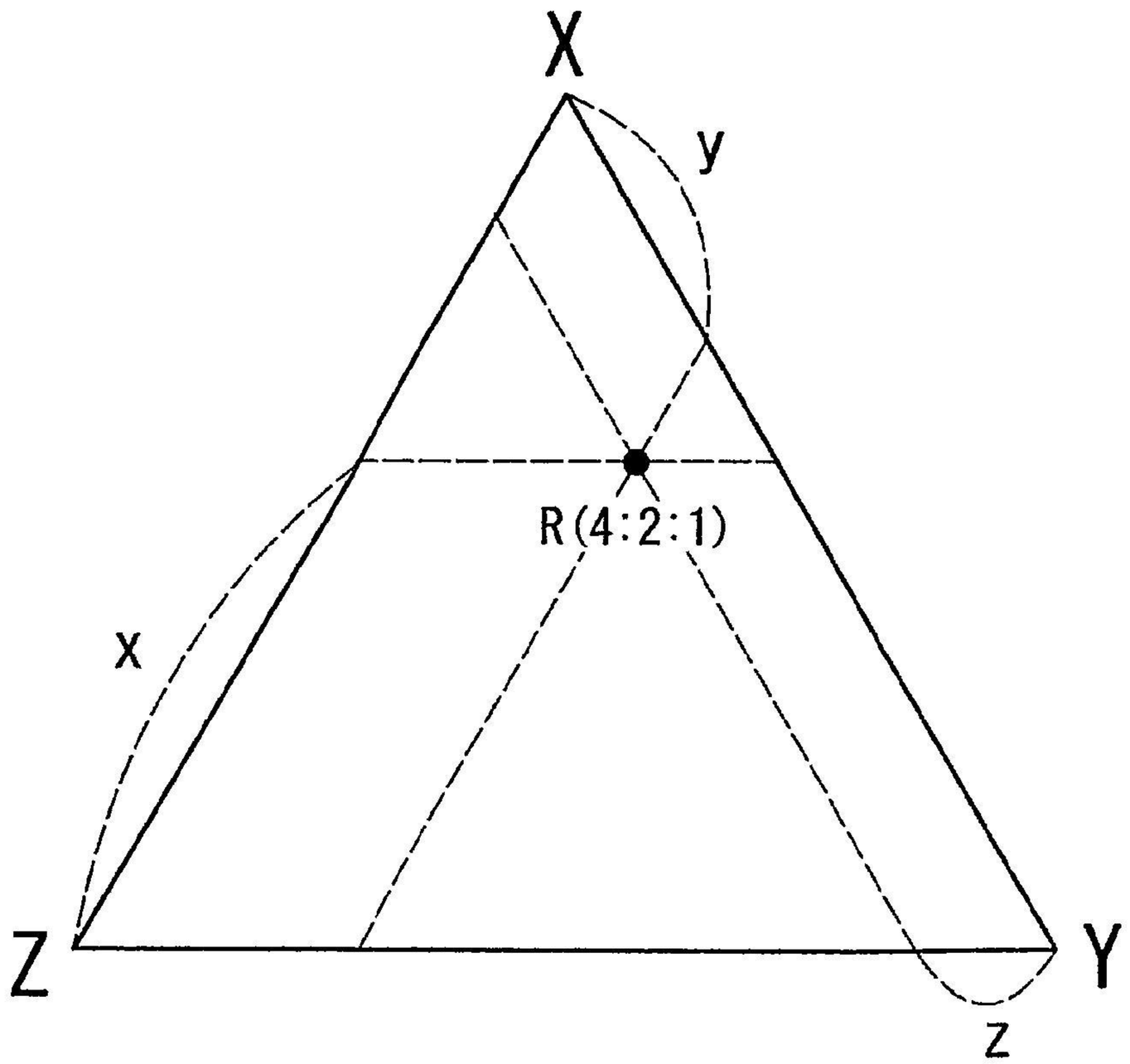
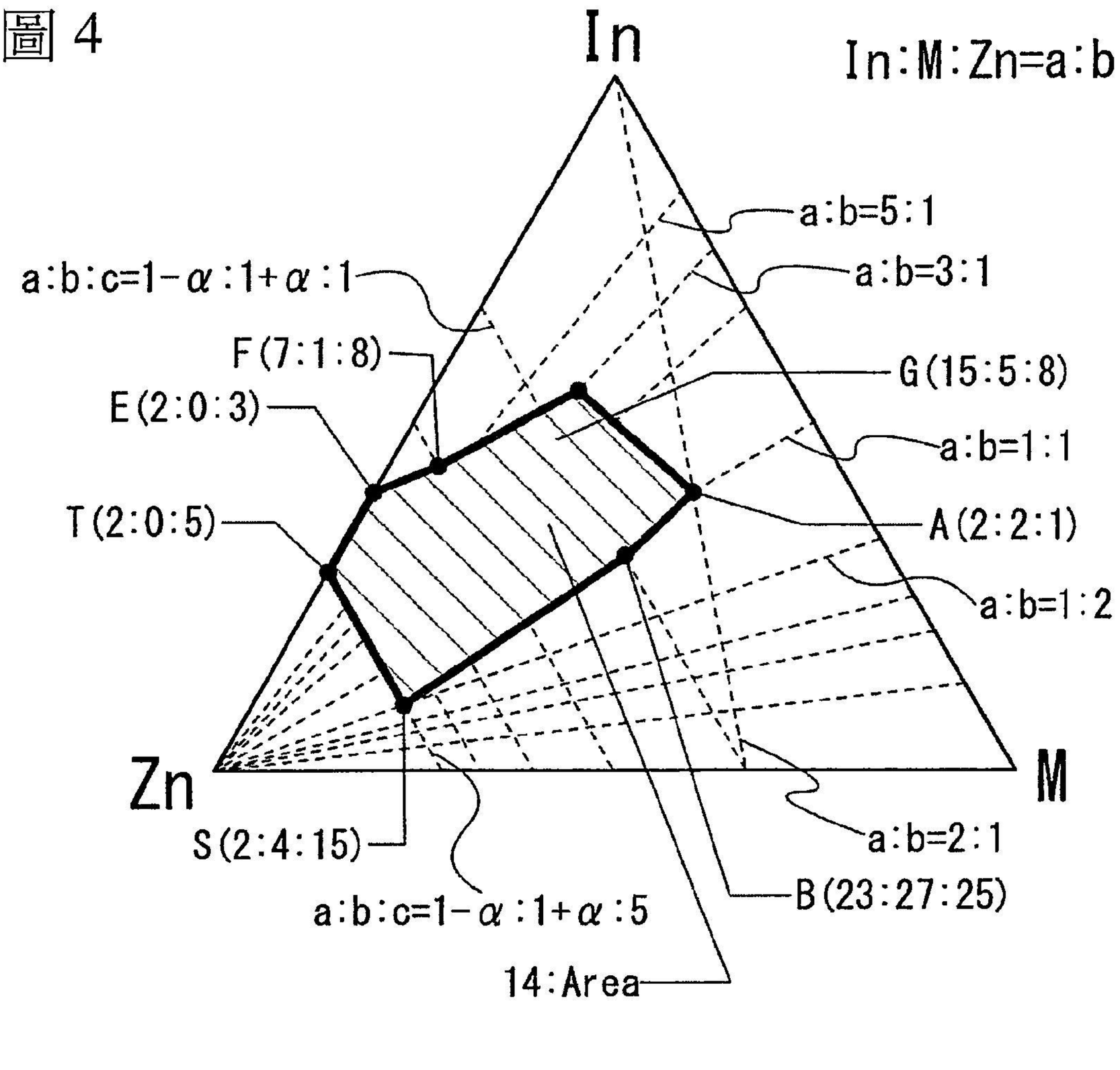


圖 4


In
In:M:Zn=a:b:c
a:b=5:1
a:b=3:1
a:b:c=1−α:1+α:1
F(7:1:8)
G(15:5:8)
E(2:0:3)
a:b=1:1
T(2:0:5)
A(2:2:1)
a:b=1:2
Zn
M
S(2:4:15)
a:b=2:1
a:b:c=1−α:1+α:5
B(23:27:25)
14:Area

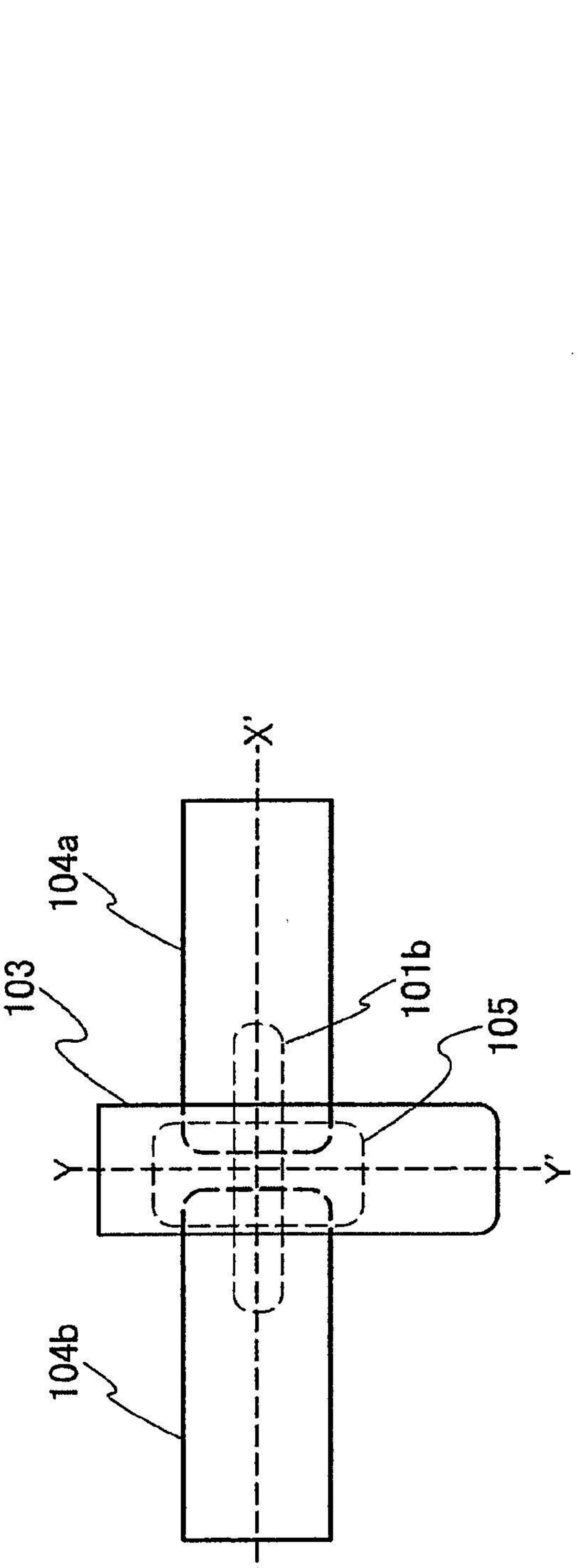

104a
103
101b
105
104b
X
X'
Y
Y'

圖 5A

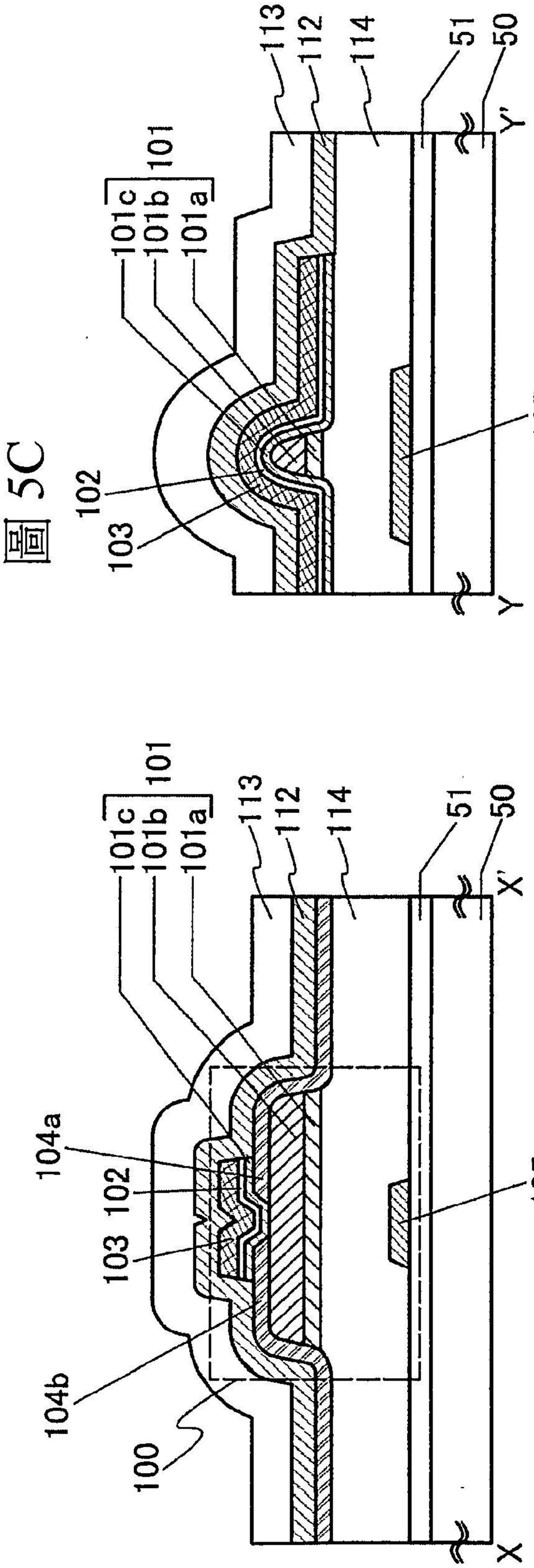

101c
101b
101a
101
113
112
114
51
50
Y'
102
103
105
Y

圖 5C

101c
101b
101a
101
113
112
114
51
50
X'
104a
102
103
105
104b
100
X

圖 5B

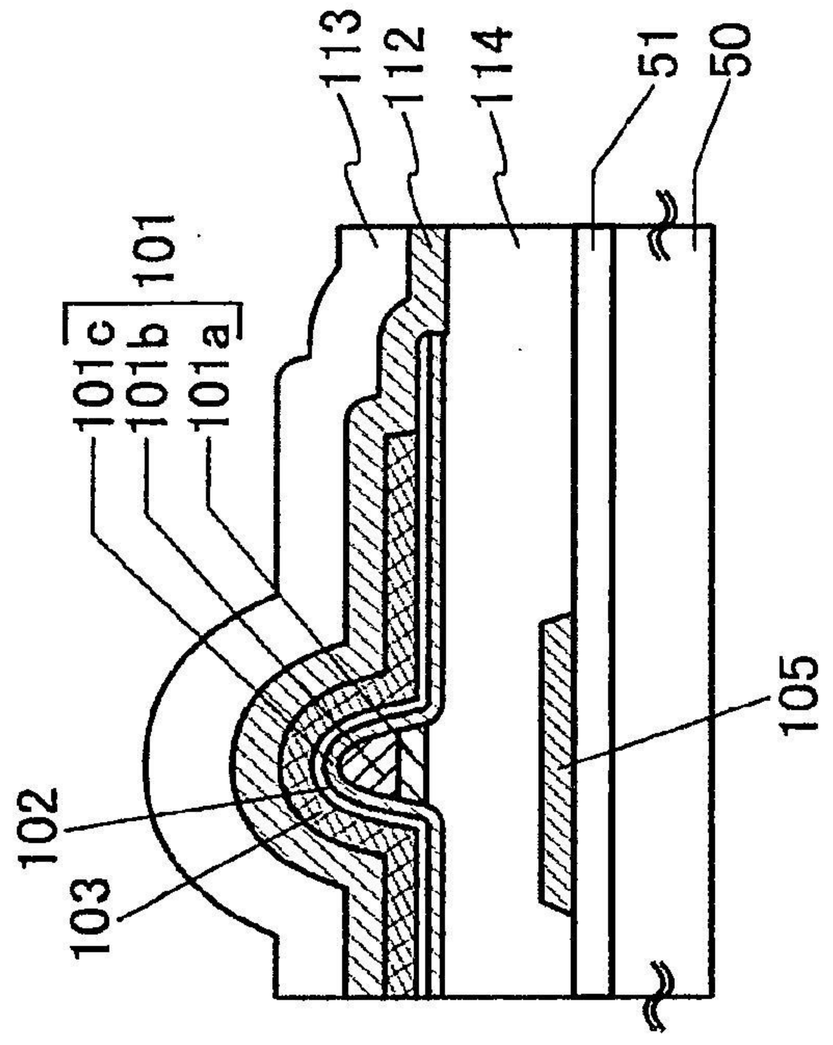

113
112
114
51
50
101
101c
101b
101a
102
103
105

圖 6B

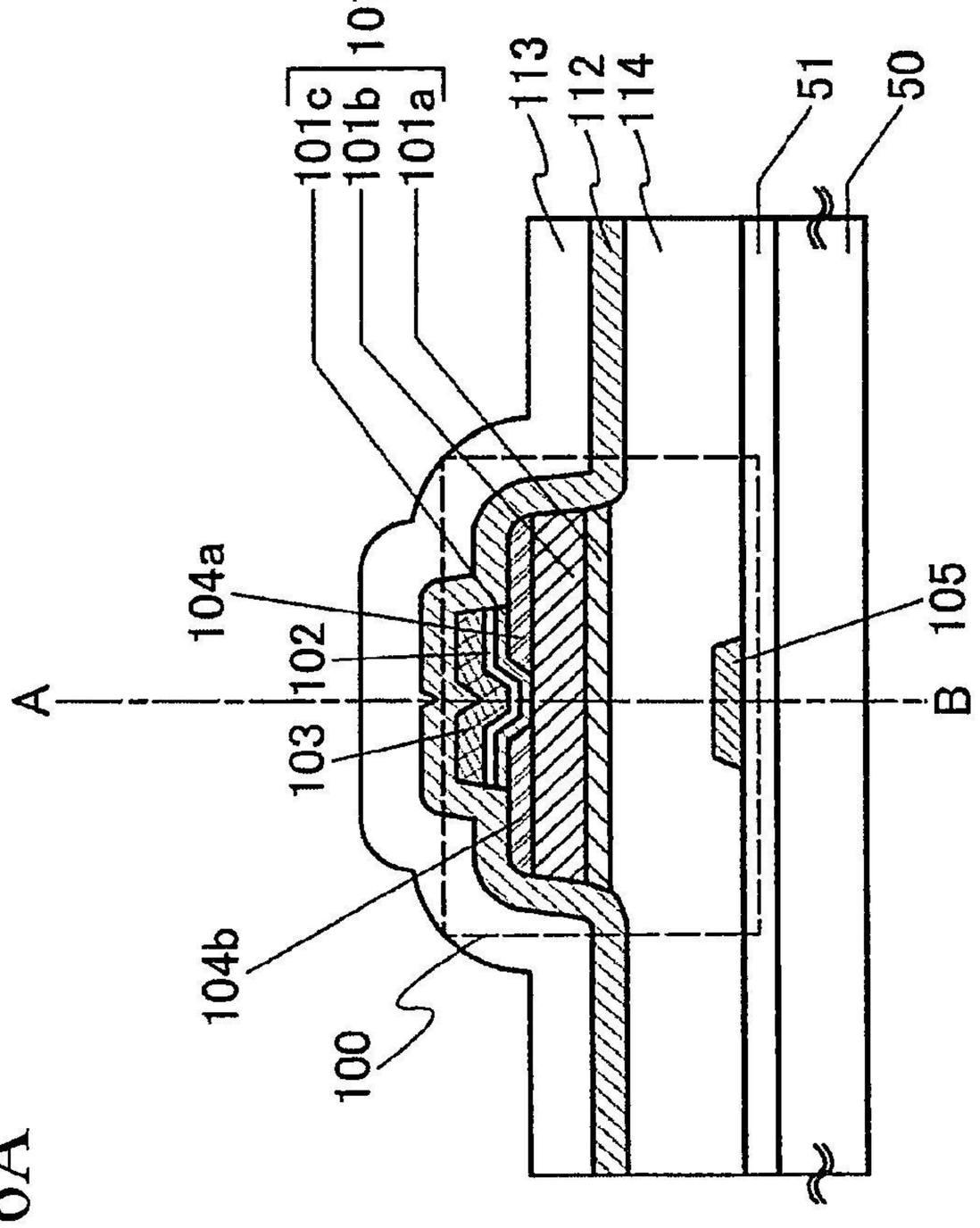

101
101c
101b
101a
113
112
114
51
50
104a
102
103
104b
105
A
B
100

圖 6A

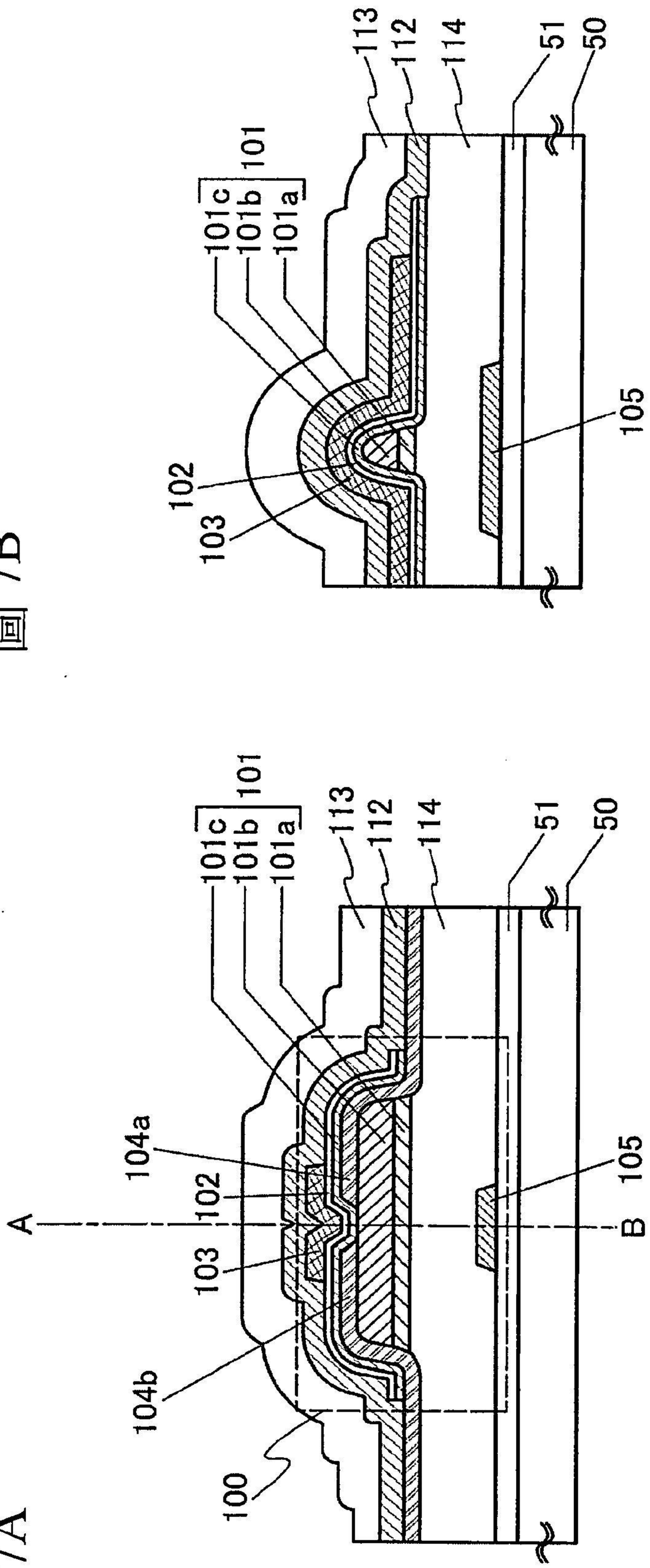

113
112
114
51
50
101
101c
101b
101a
102
103
105
104a
104b
A
B
100

圖 7A

圖 7B

圖 8B

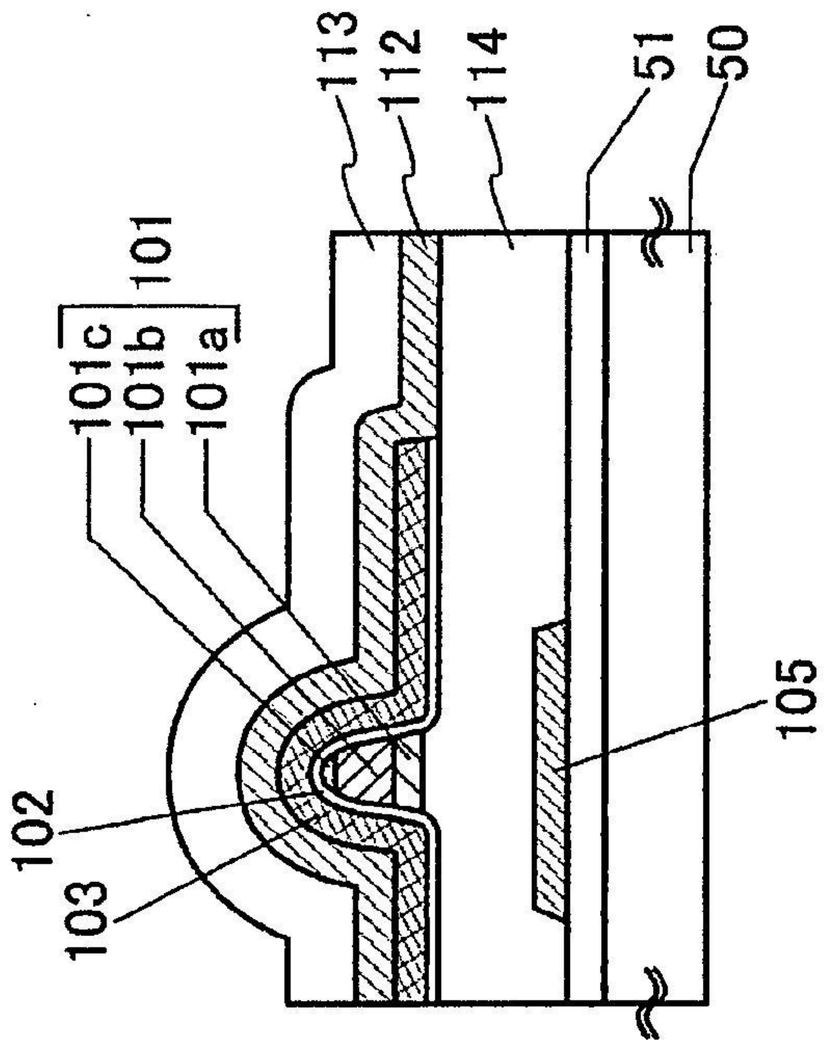
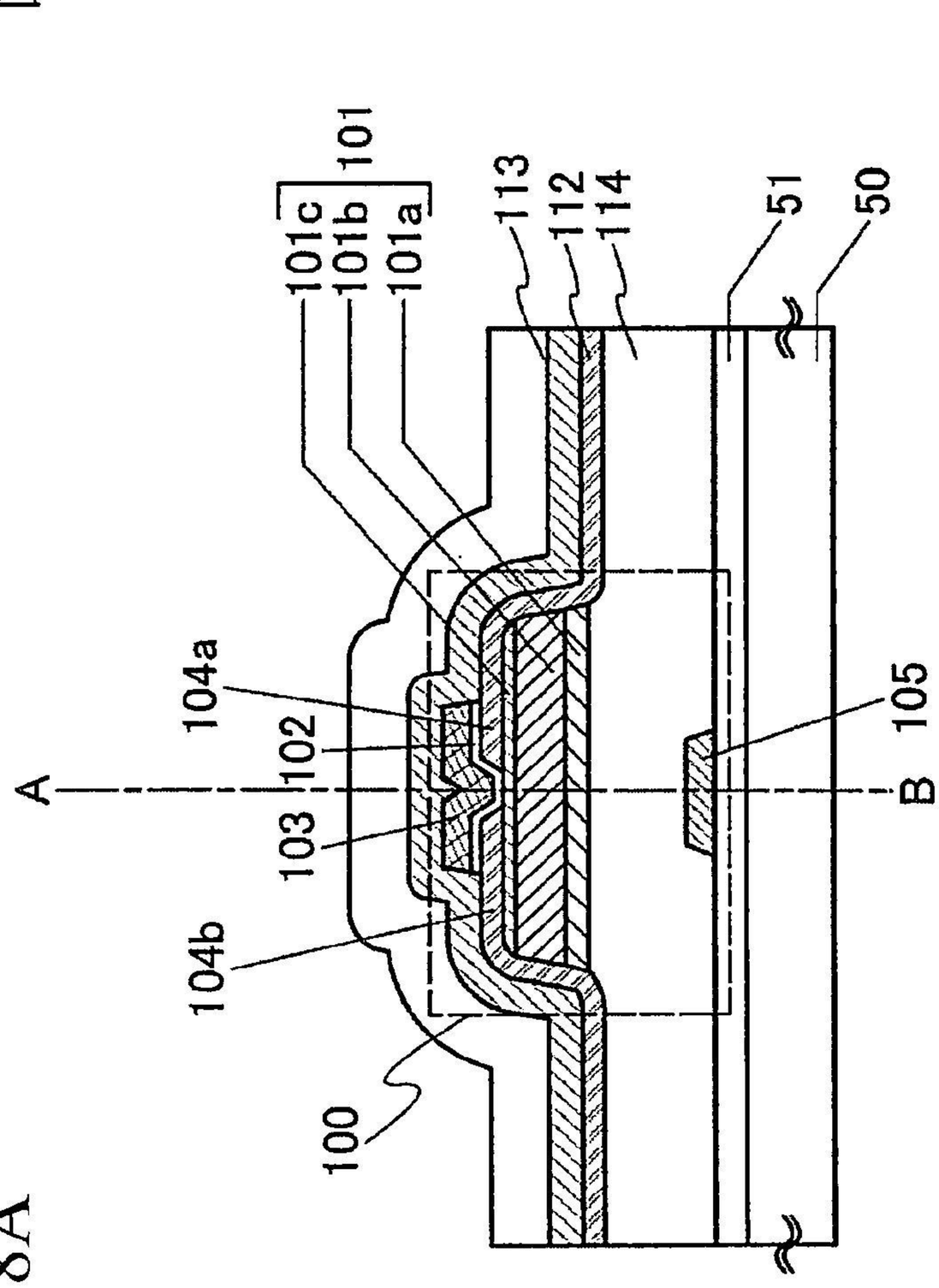

113
112
114
51
50
101
101c
101b
101a
102
103
105

圖 8A


100
104b
104a
102
103
A
B
105
113
112
114
51
50
101
101c
101b
101a

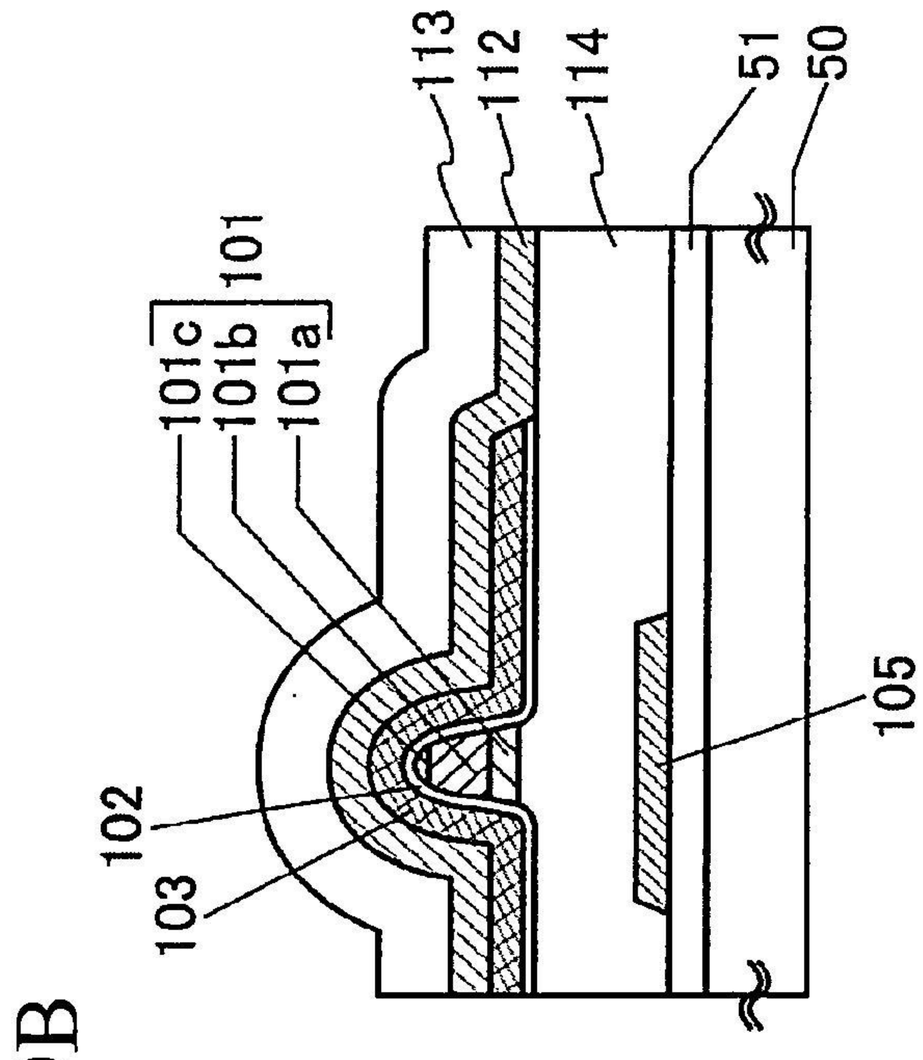


圖 9B

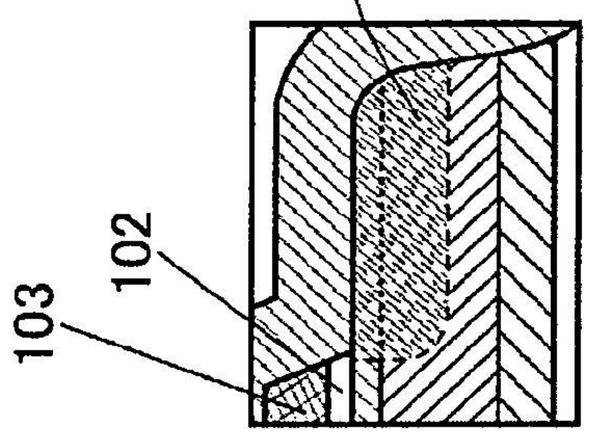


圖 9D

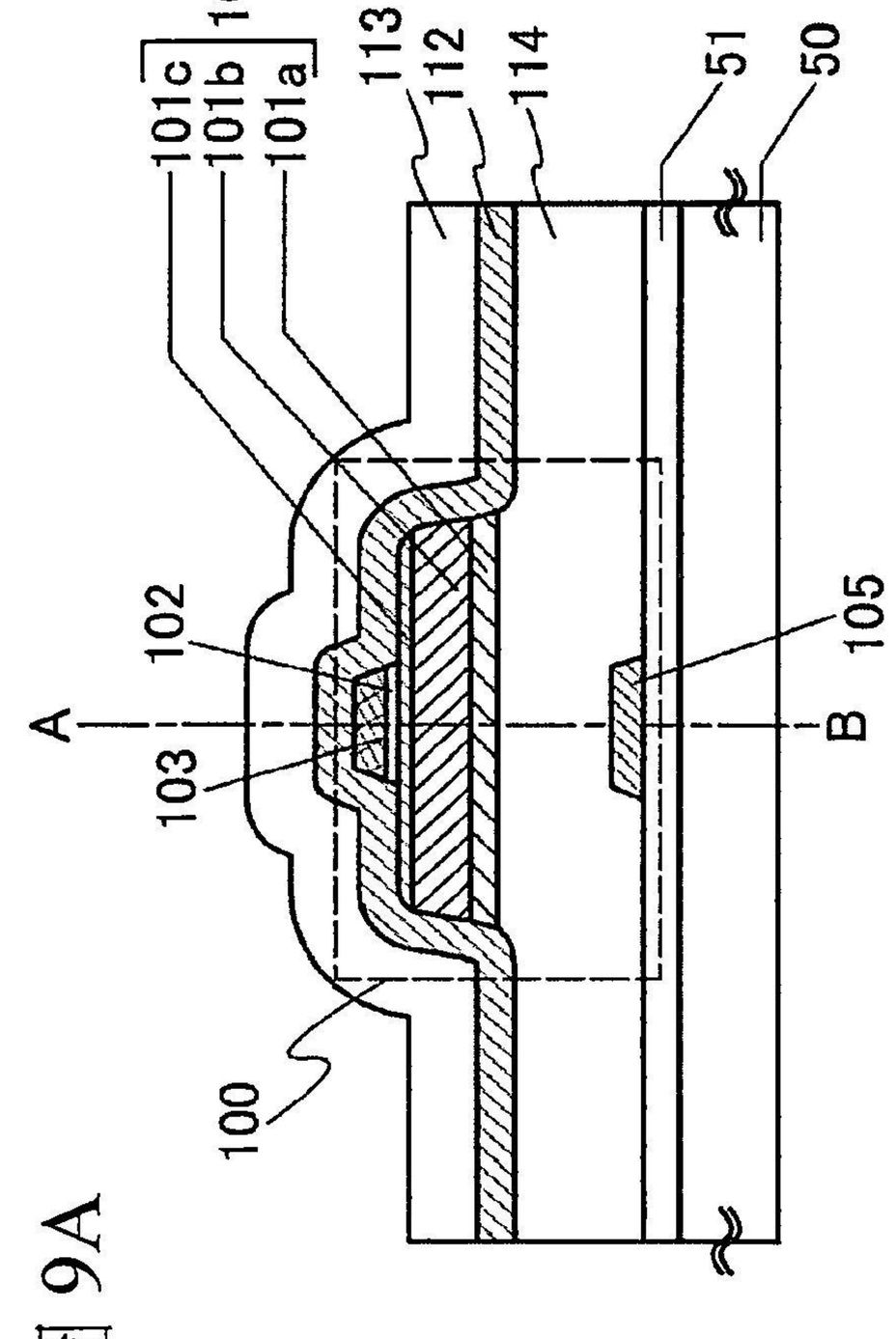


圖 9A

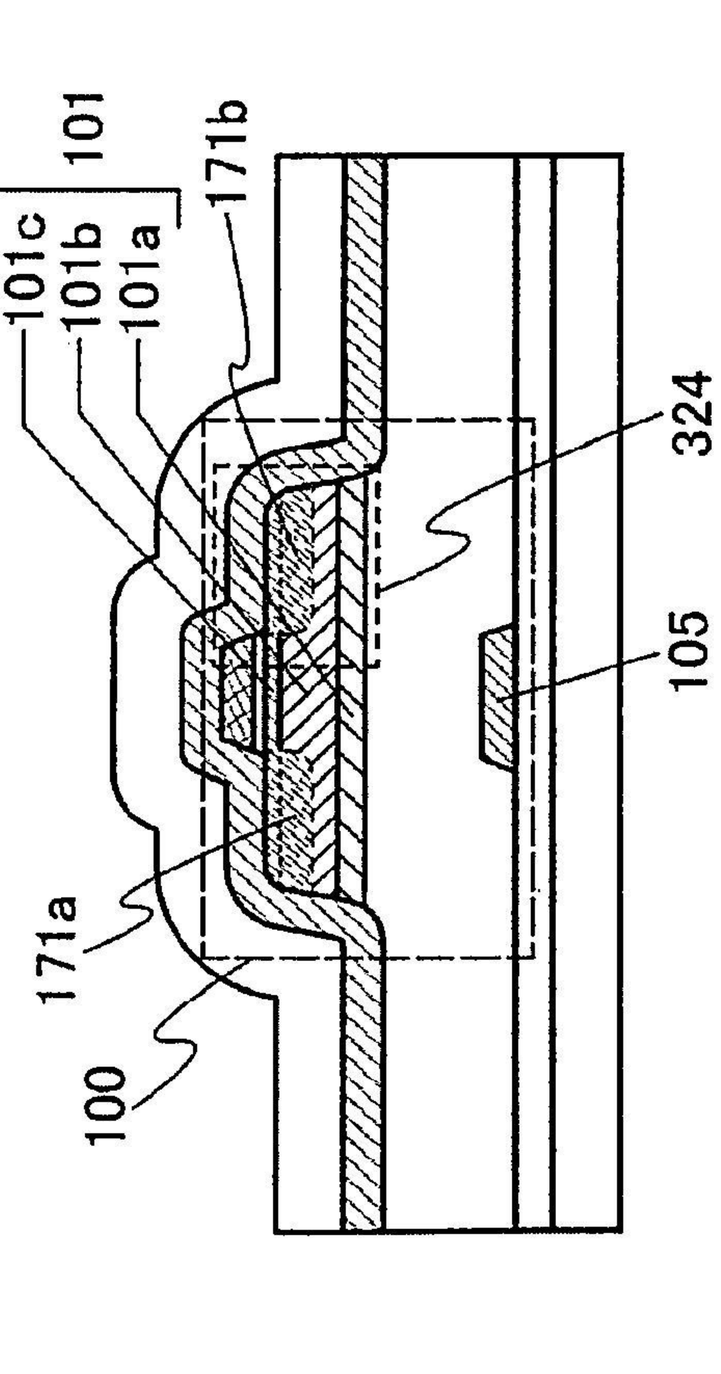


圖 9C

圖 10B

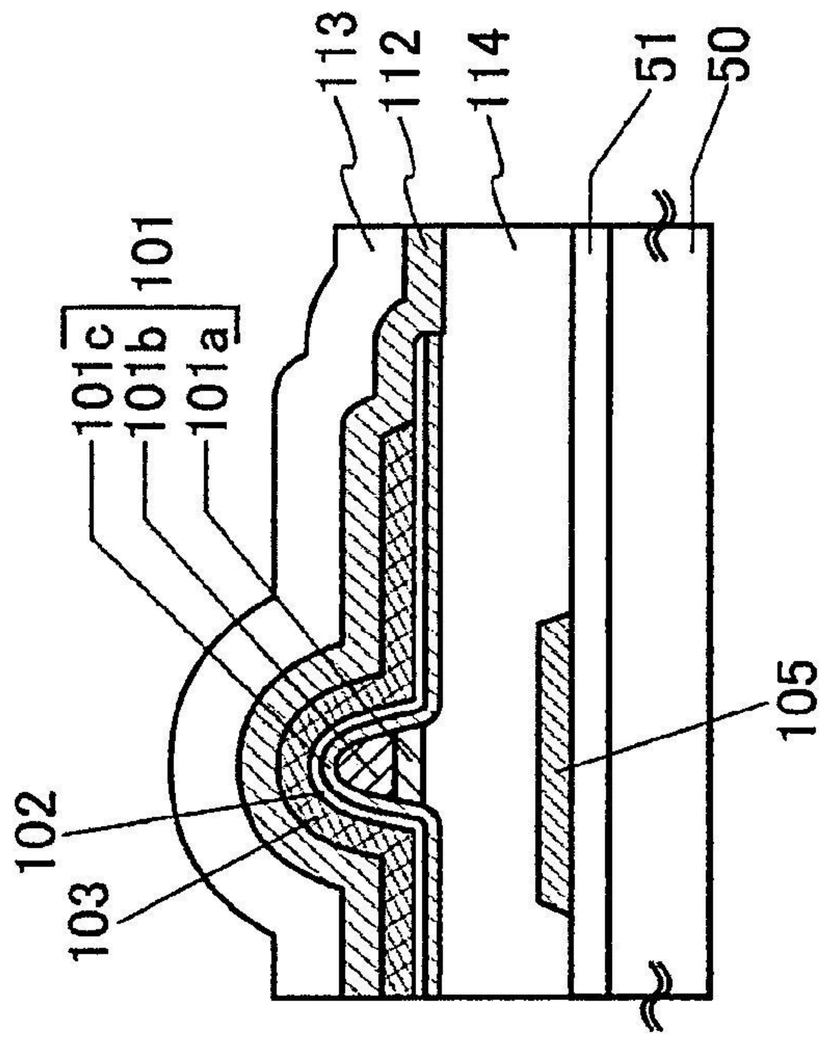

113
112
114
51
50
101
101c
101b
101a
102
103
105

圖 10A

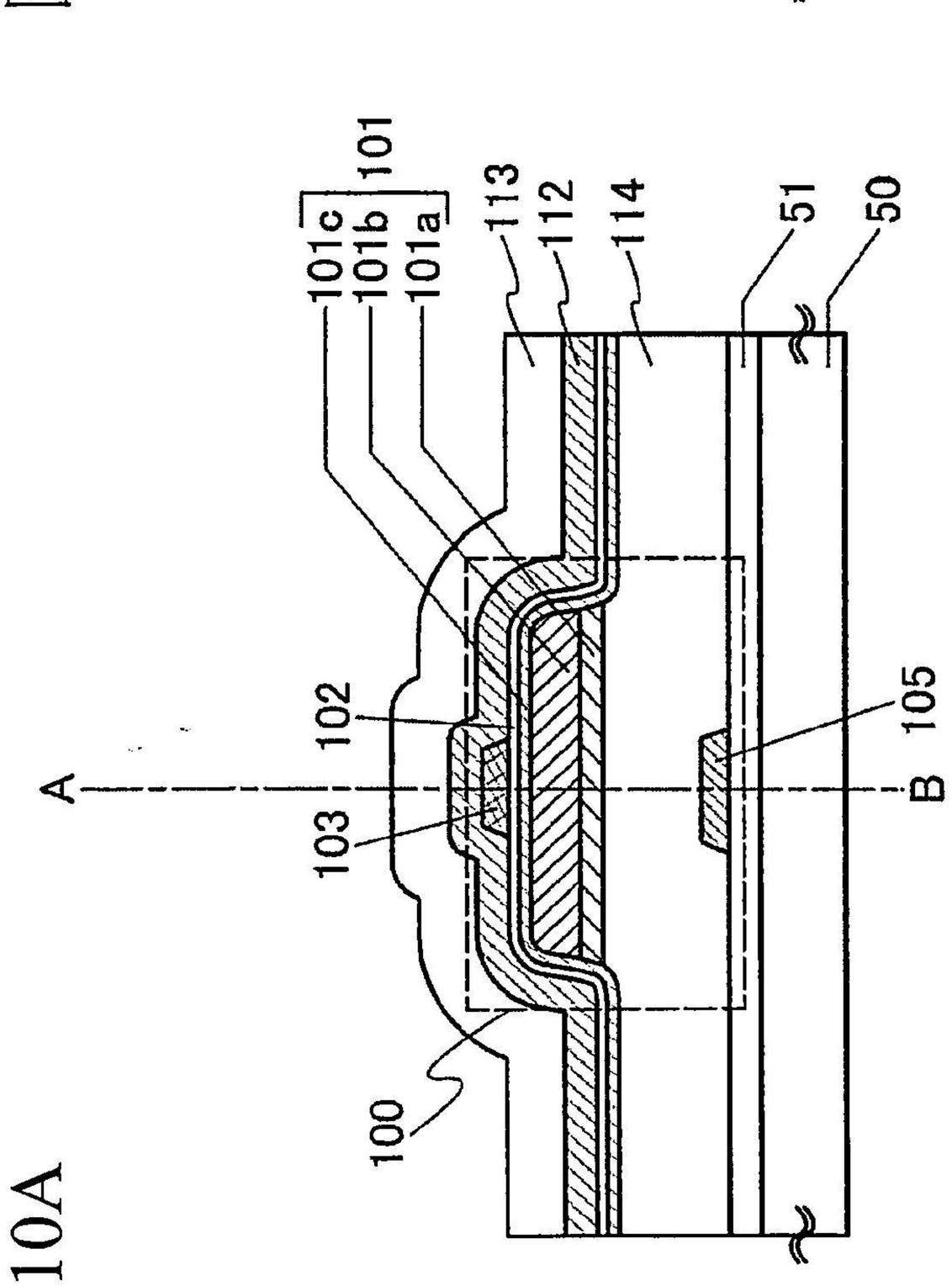
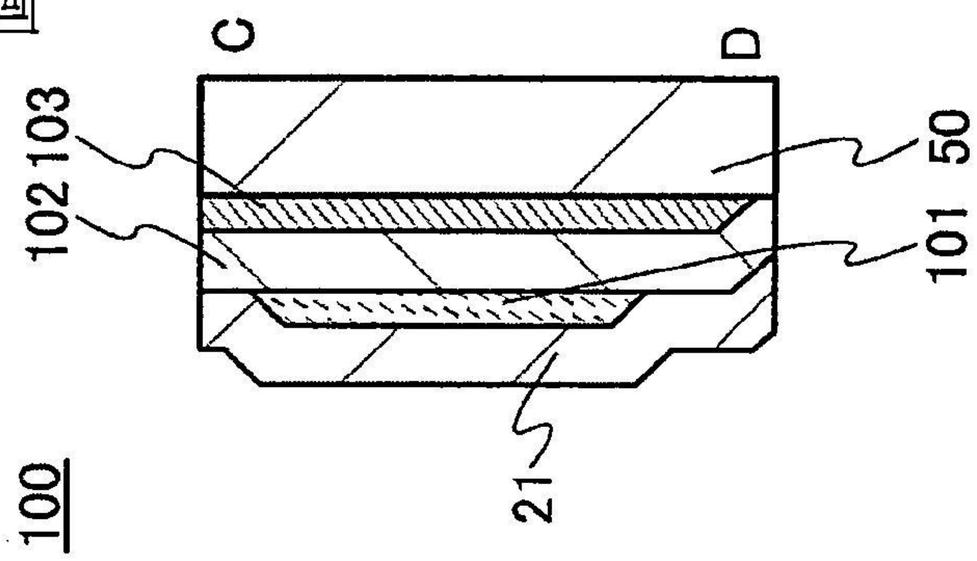
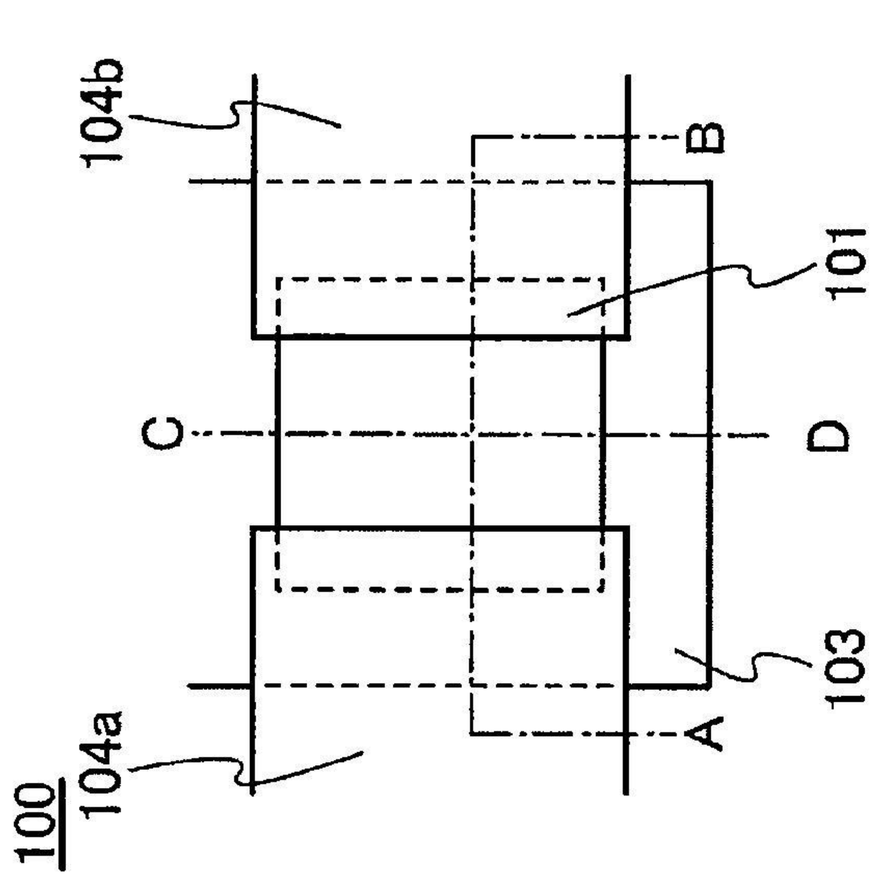

A
B
100
101
101c
101b
101a
102
103
105
113
112
114
51
50

圖 11C





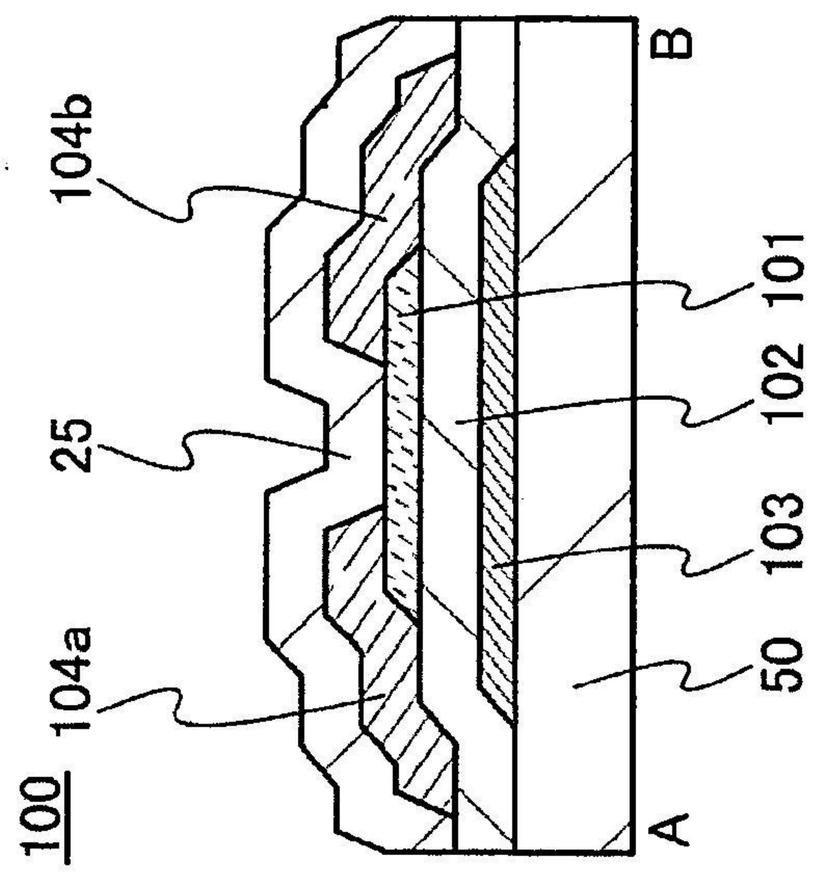


圖 11A

圖 11B

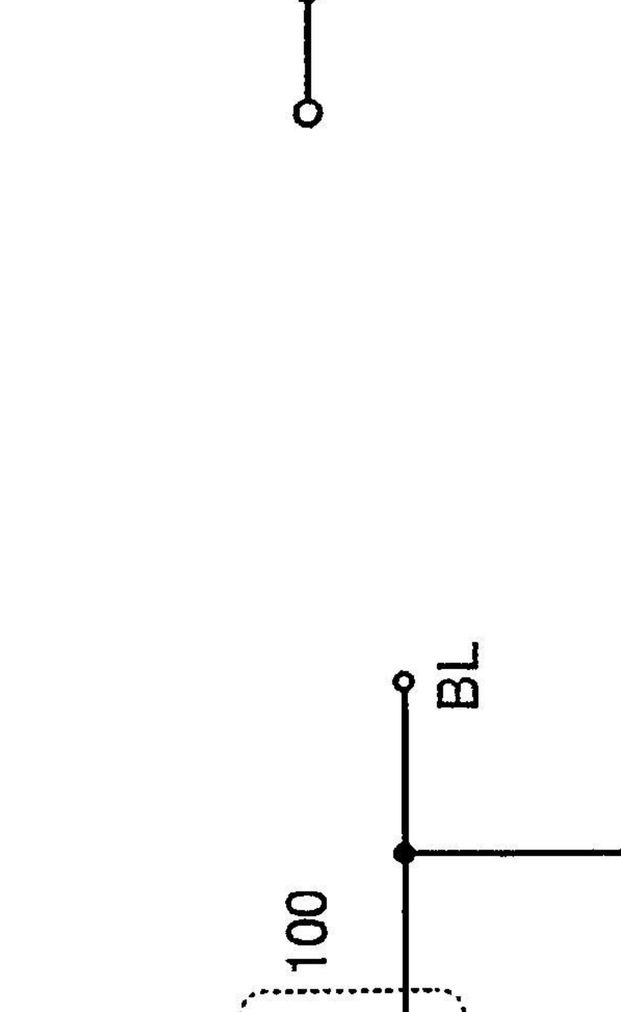


圖 12B

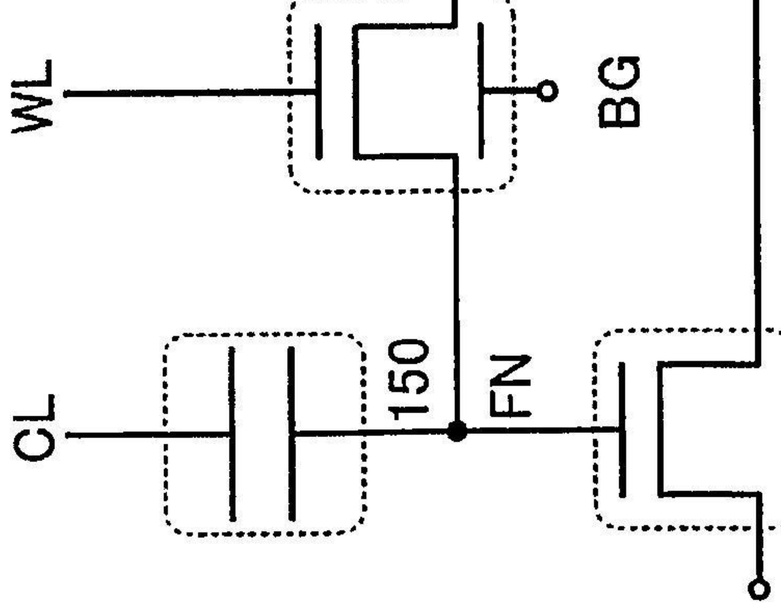


圖 12A

圖 13C

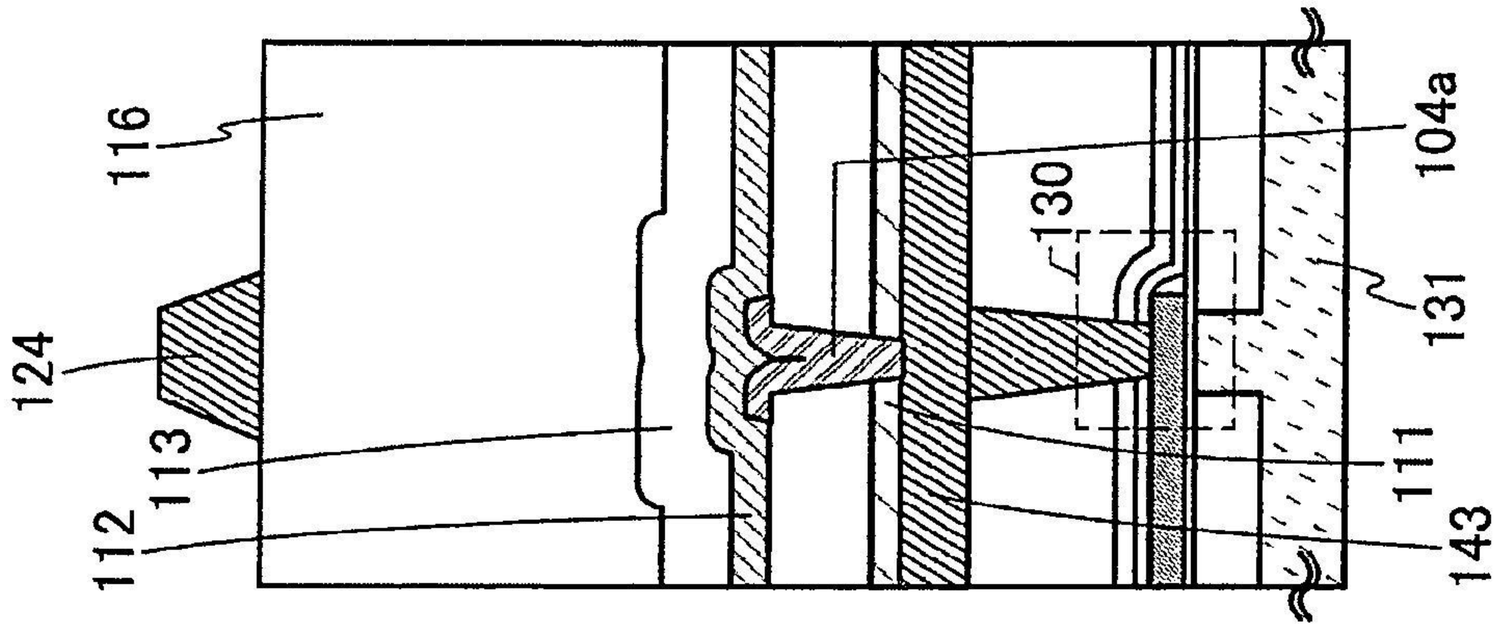


圖 13B

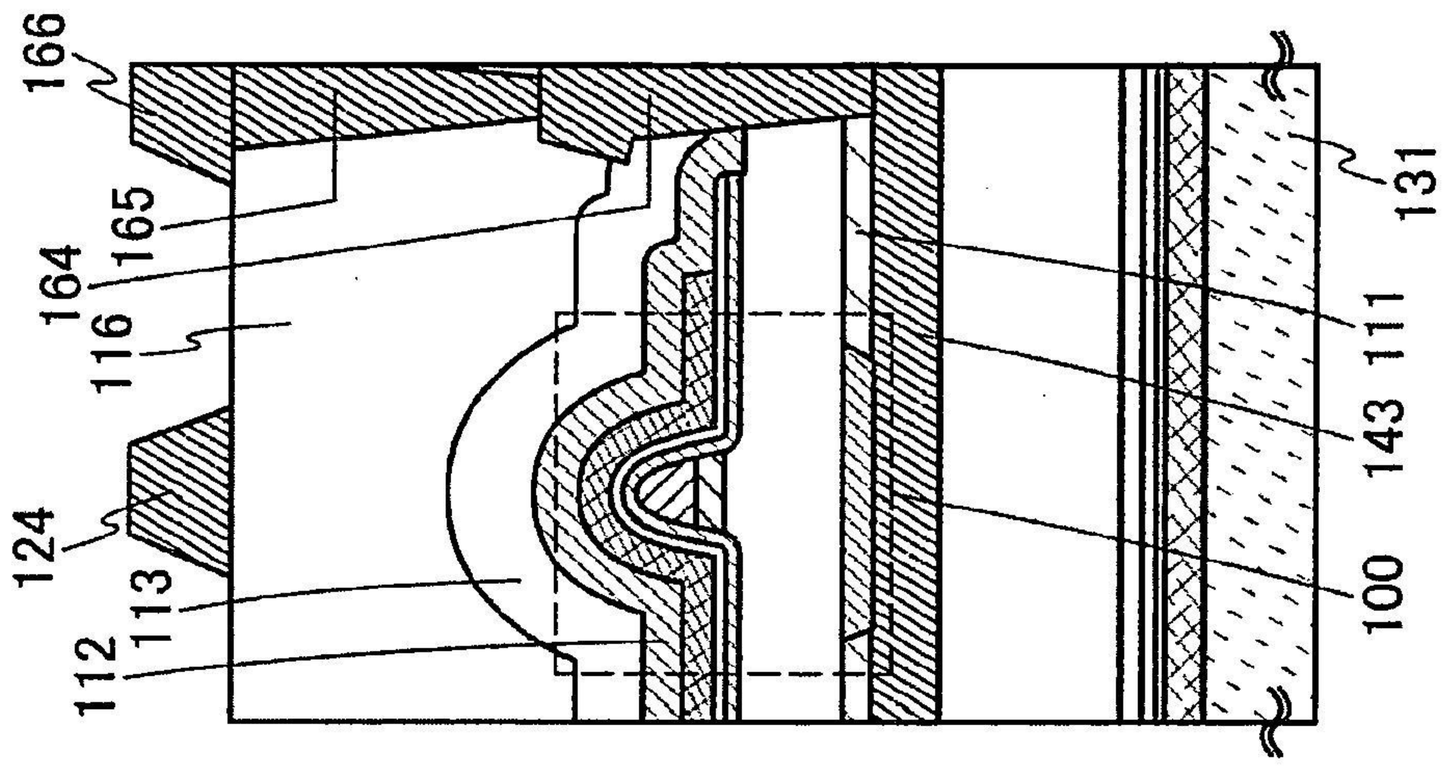


圖 13A

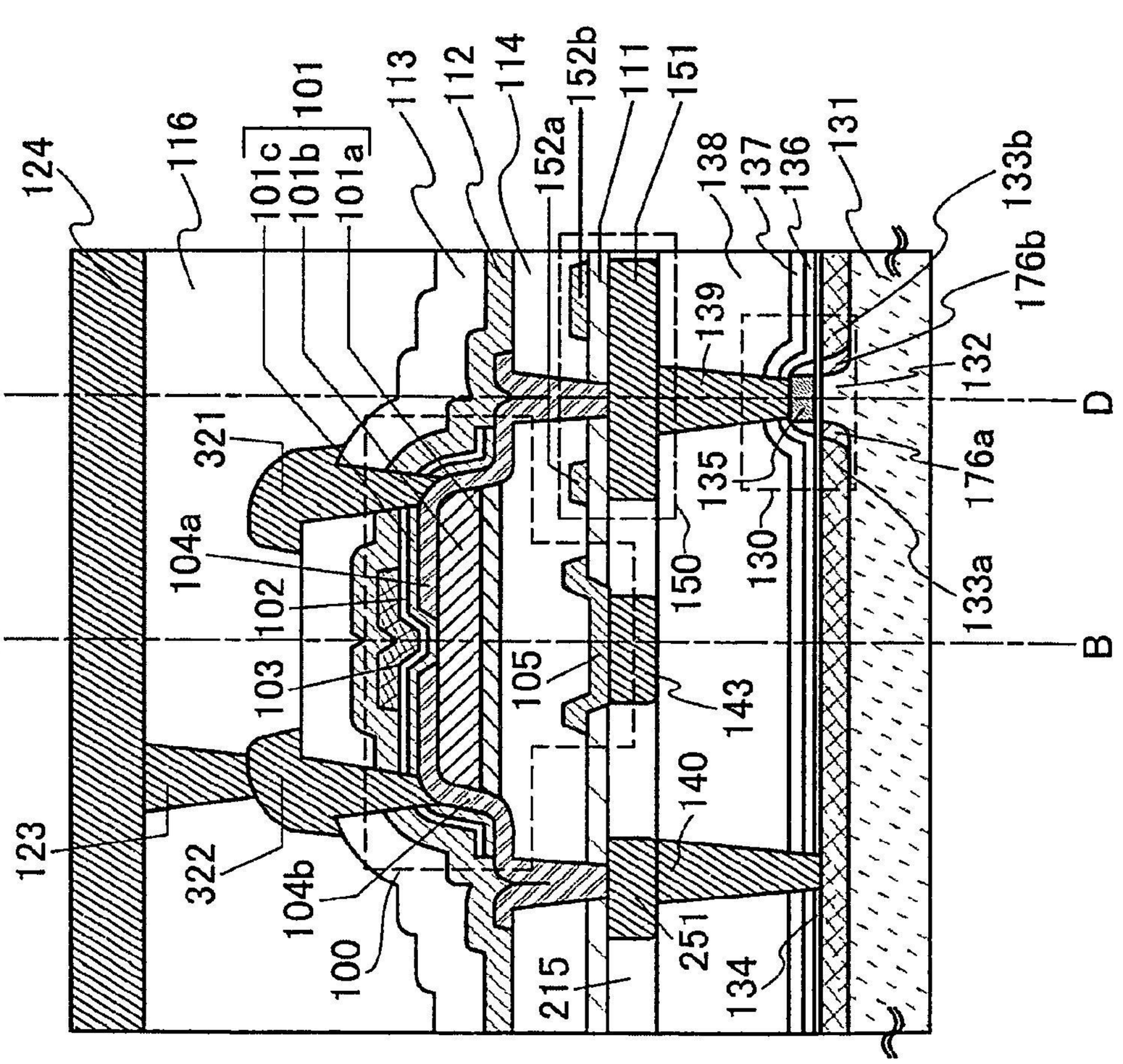


圖 14C

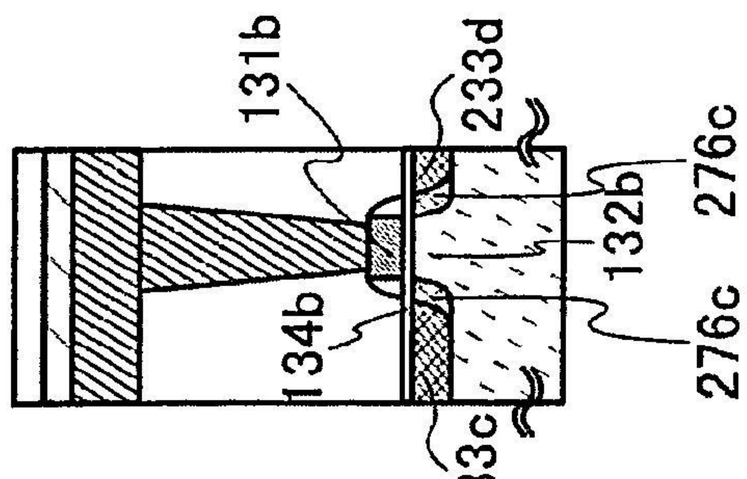


圖 14B

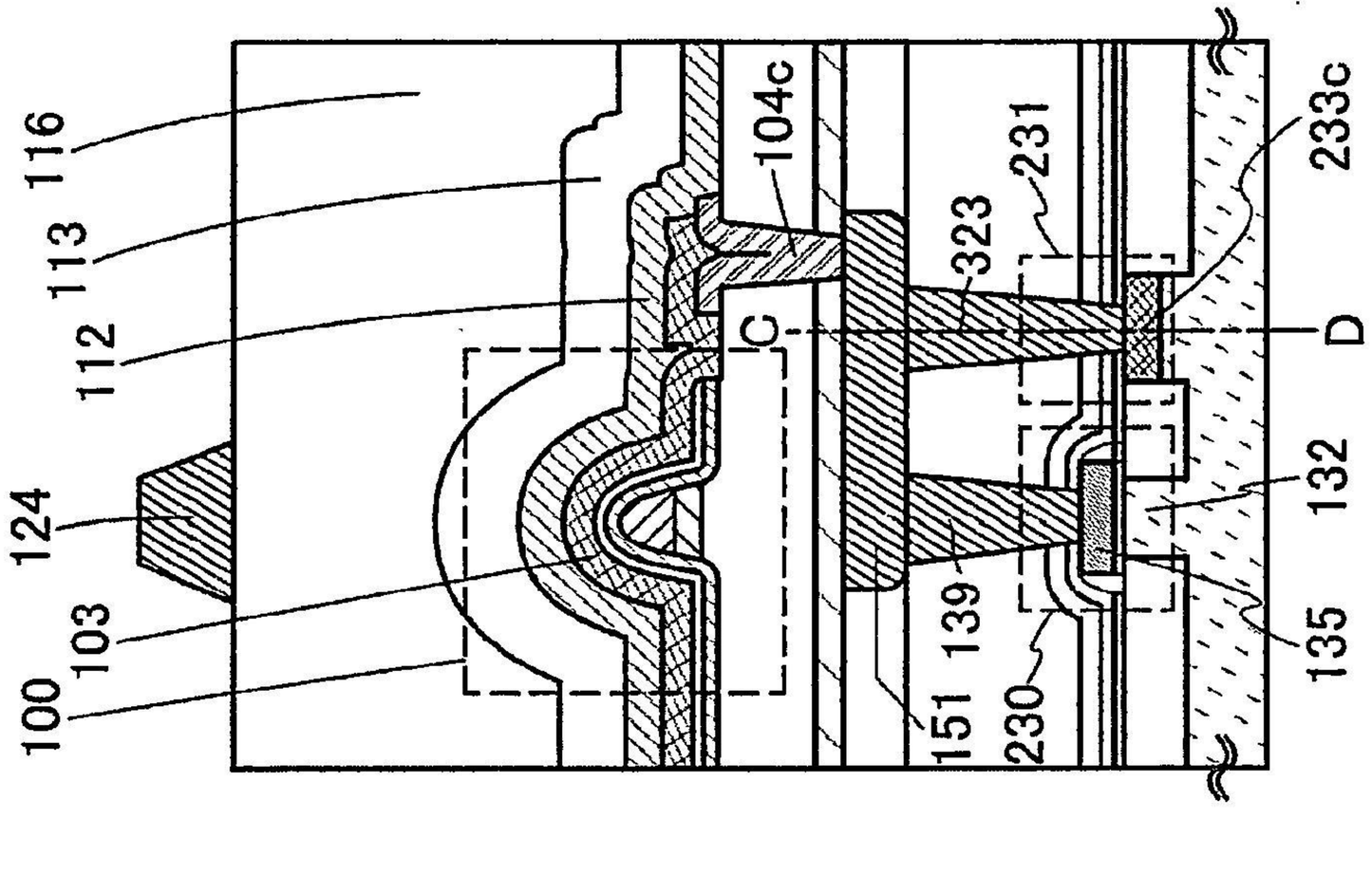


圖 14A

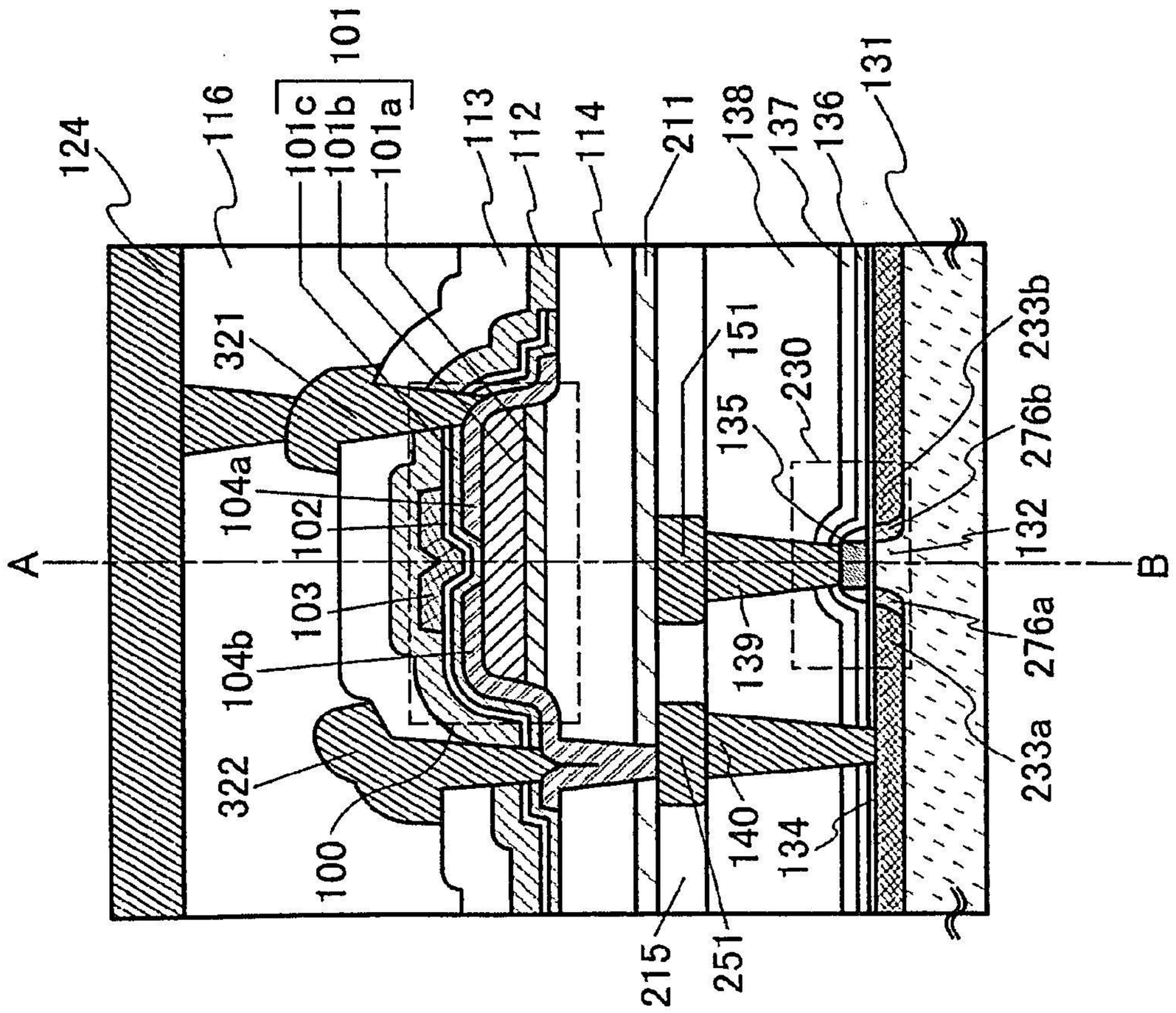


圖 15C

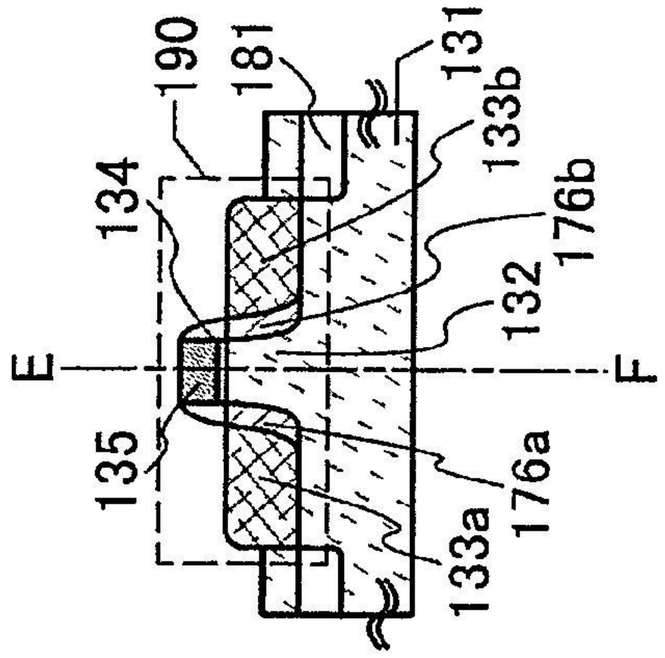


圖 15D

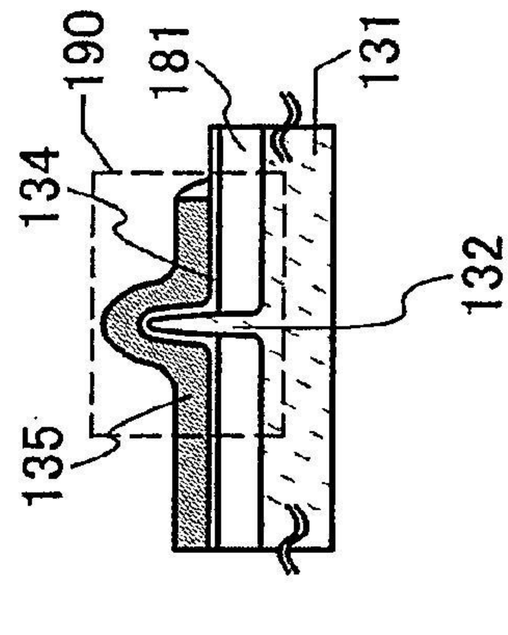
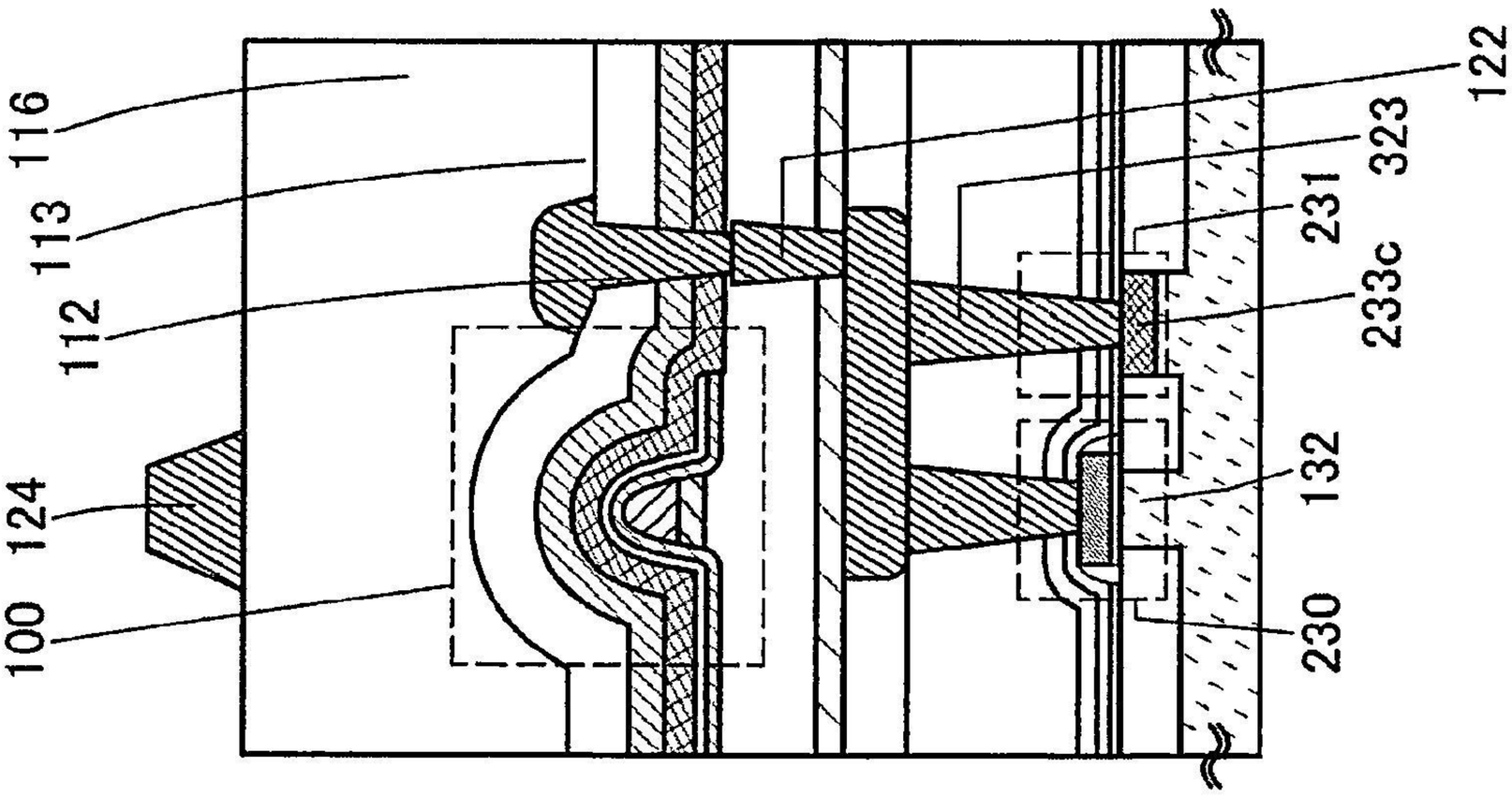


圖 15B



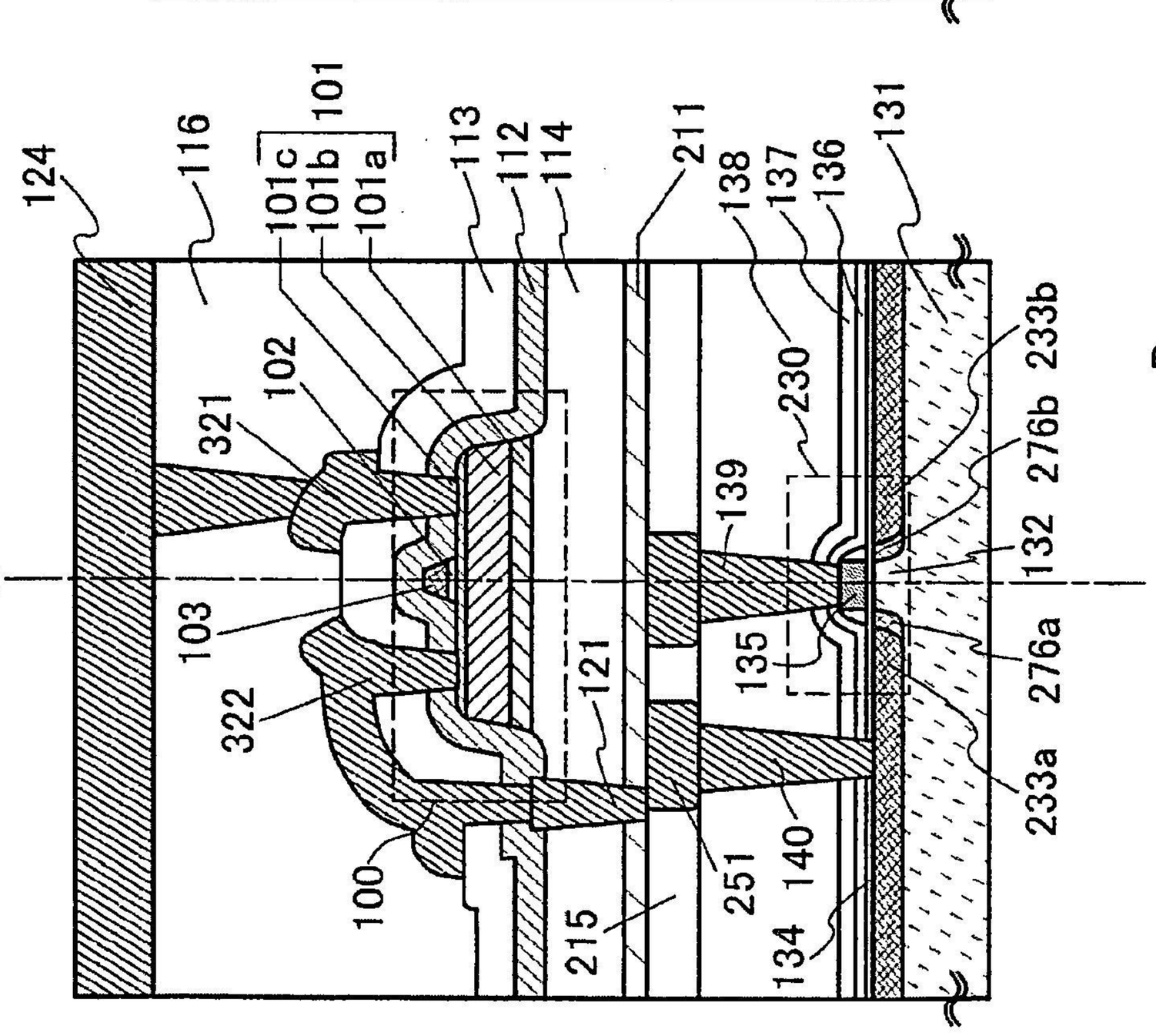


圖 15A

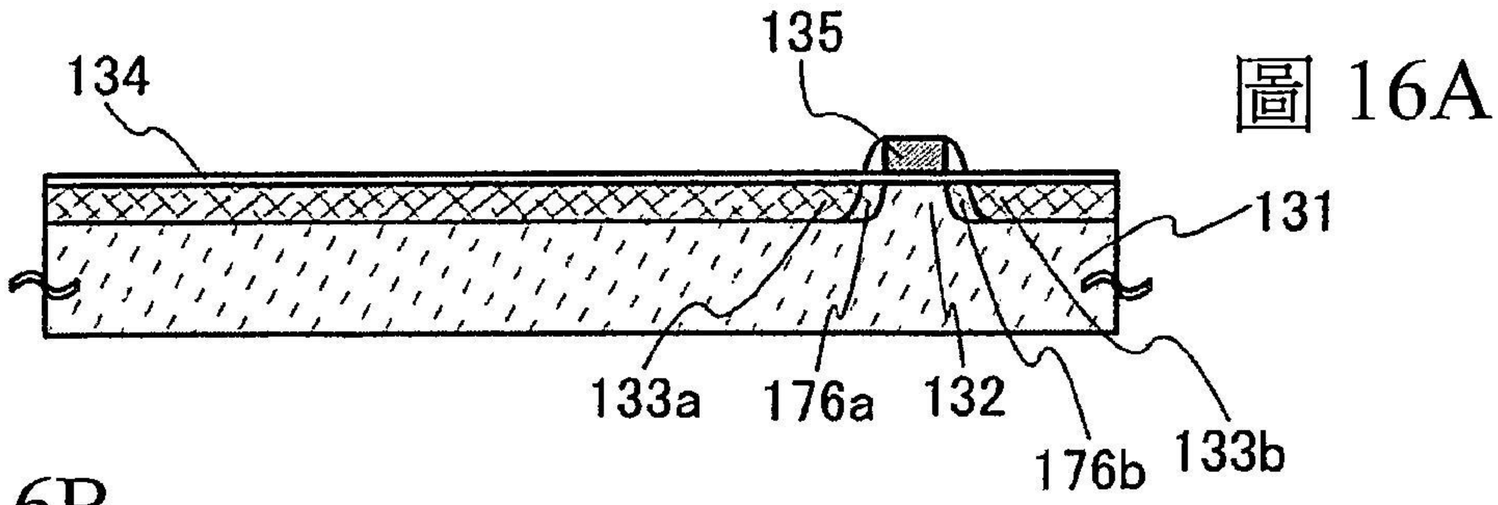


圖 16A

圖 16B

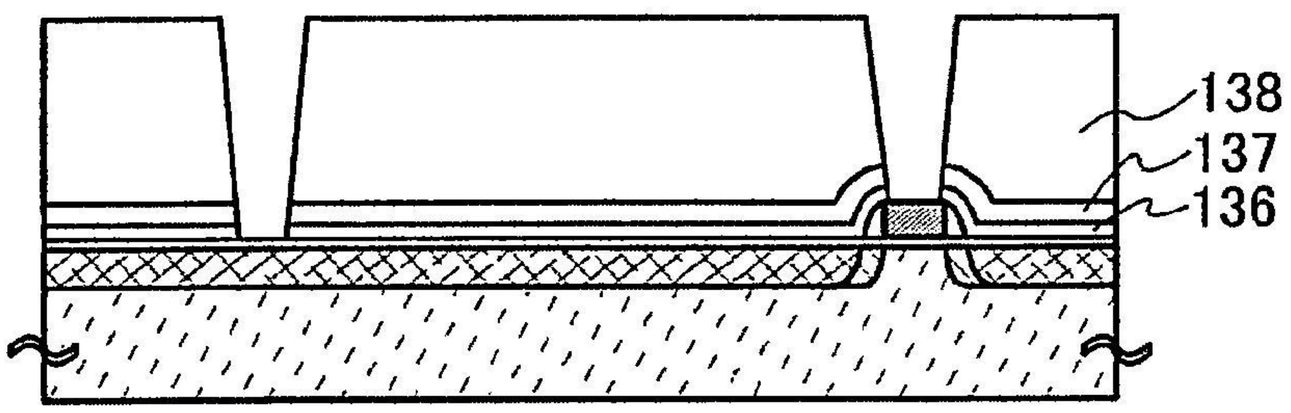


圖 16C

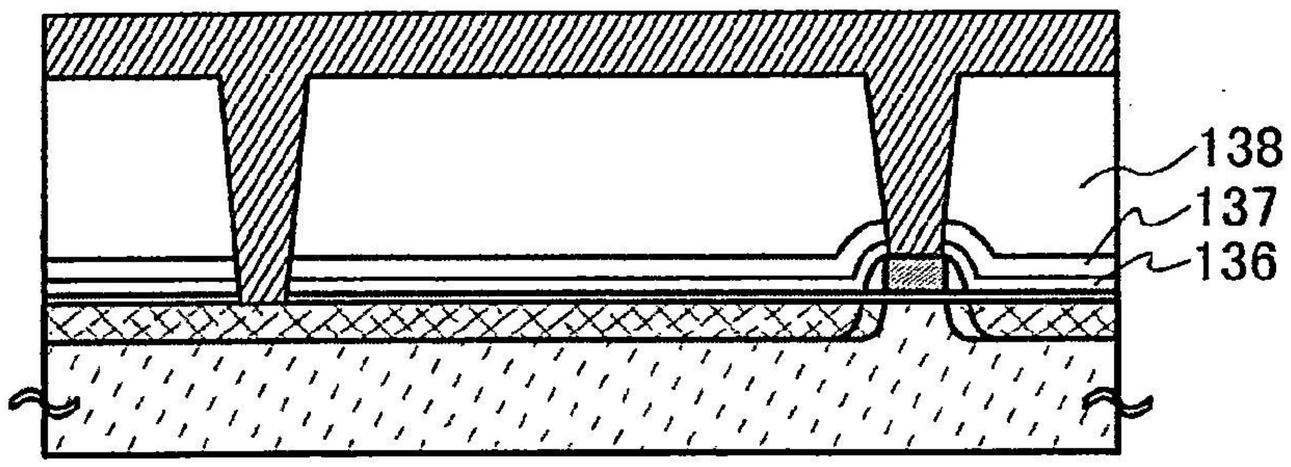


圖 16D

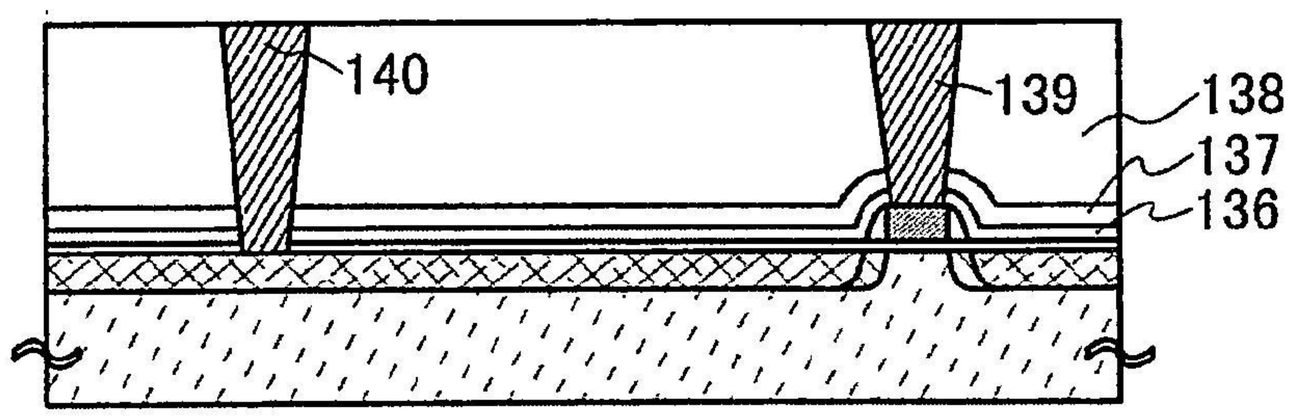
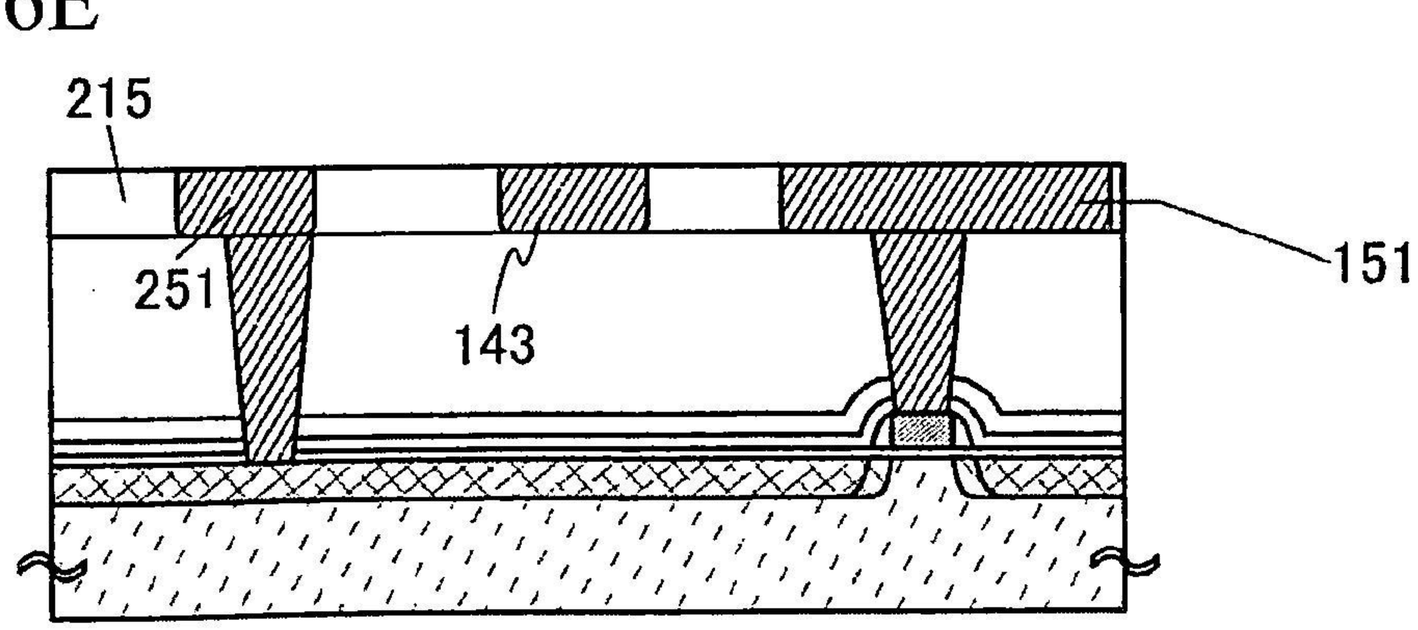


圖 16E



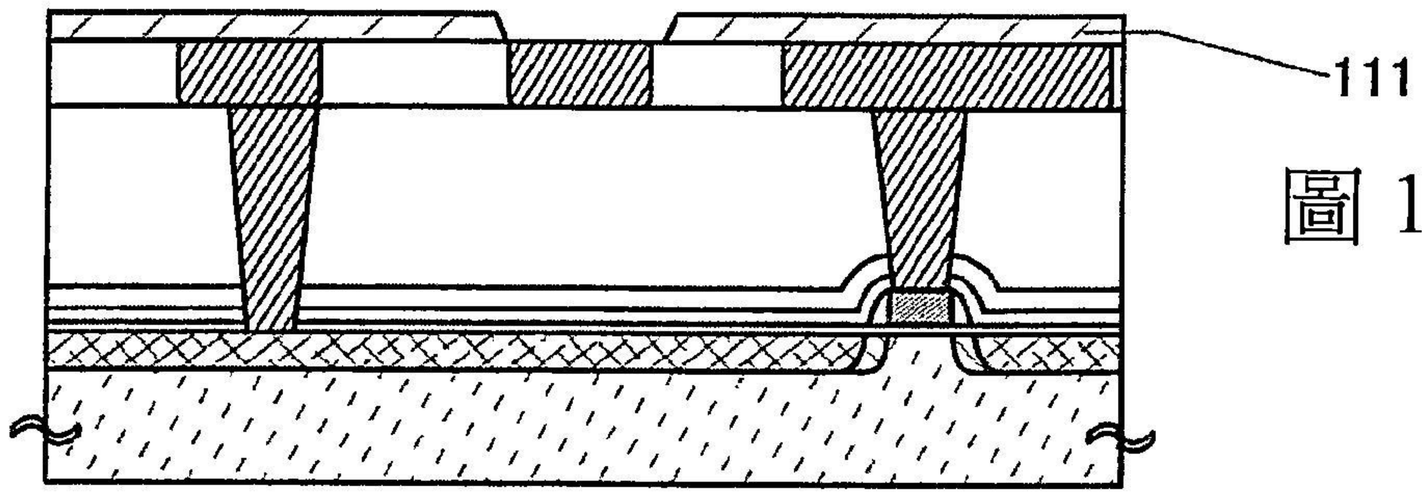


圖 17A

圖 17B

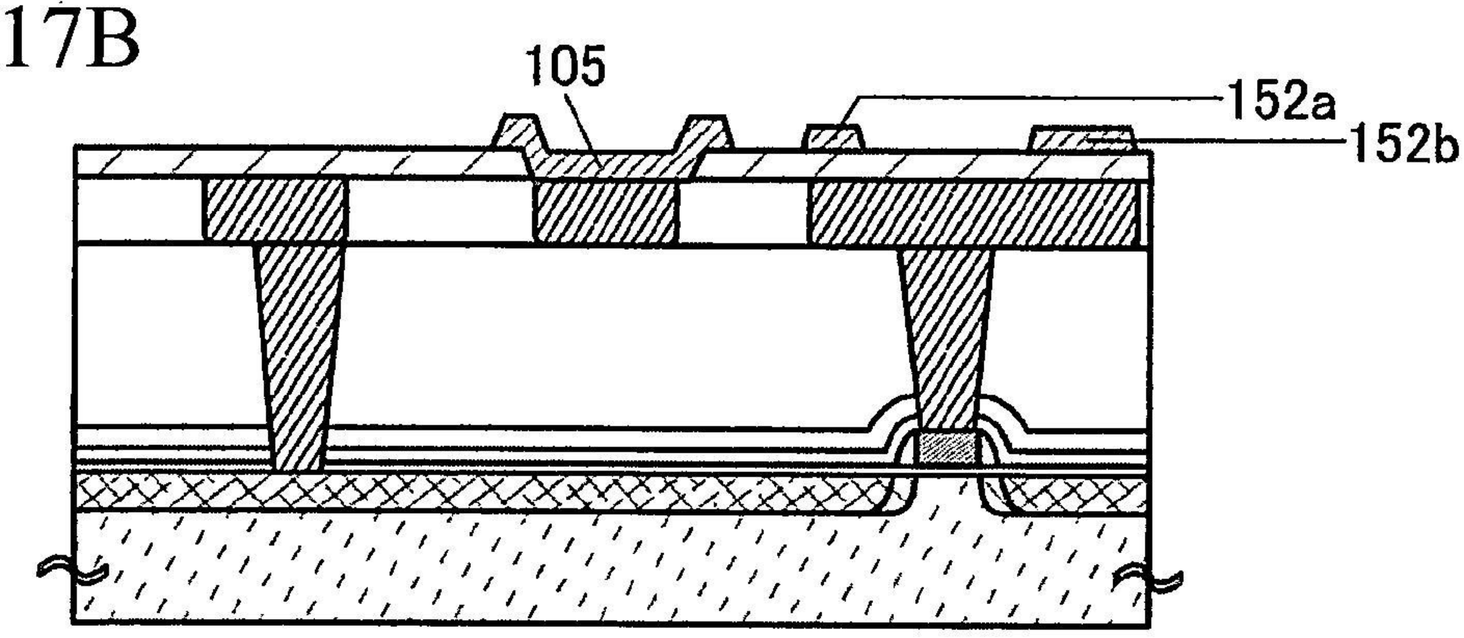


圖 17C

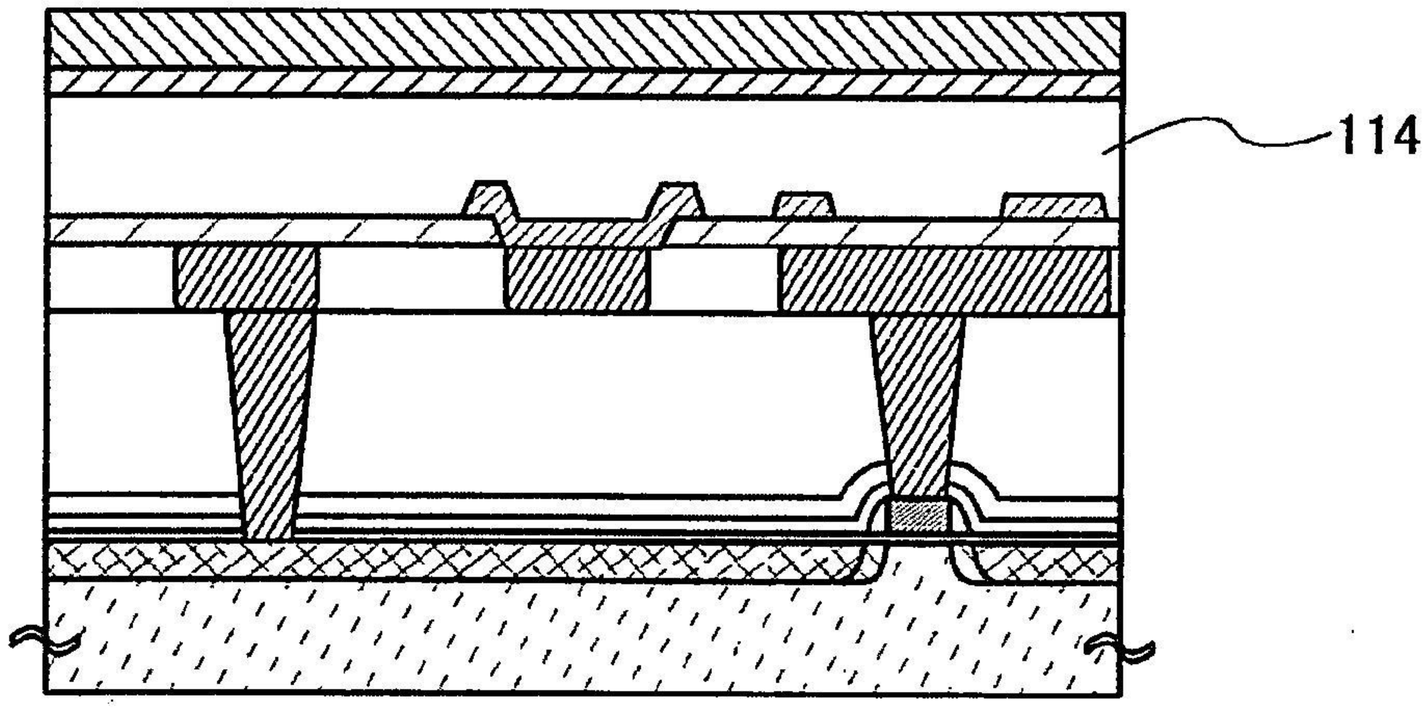


圖 17D

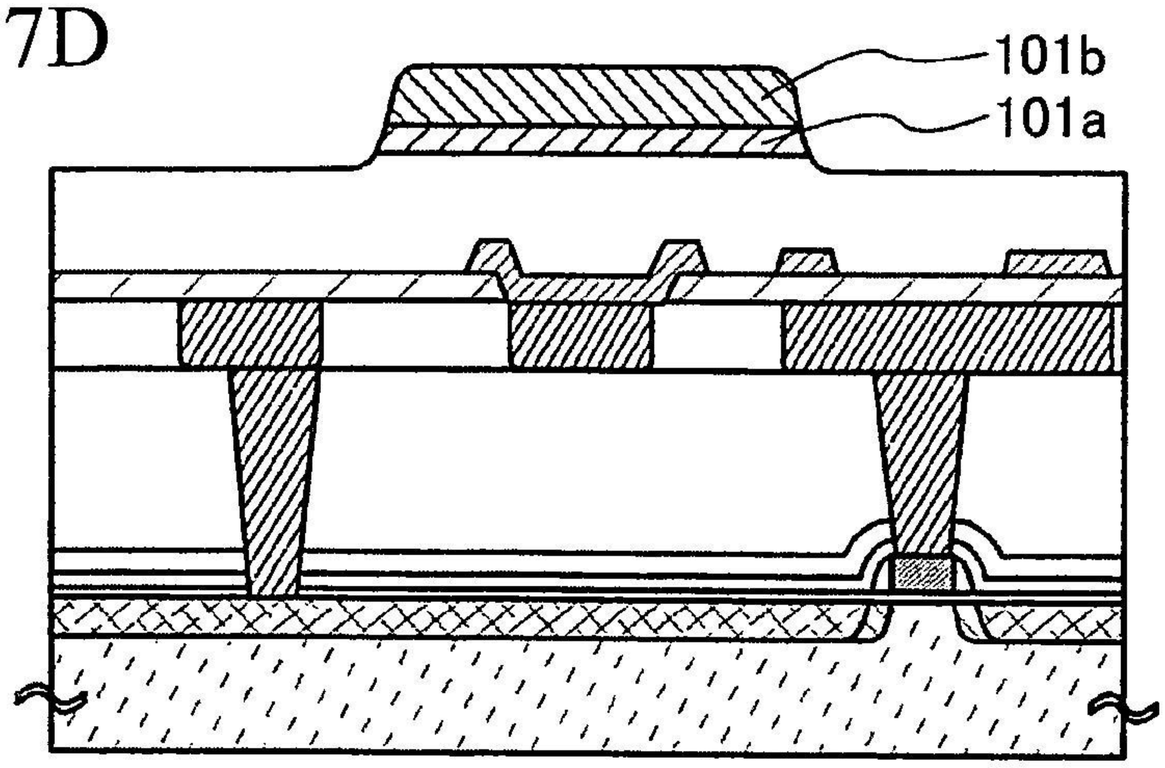


圖 18A

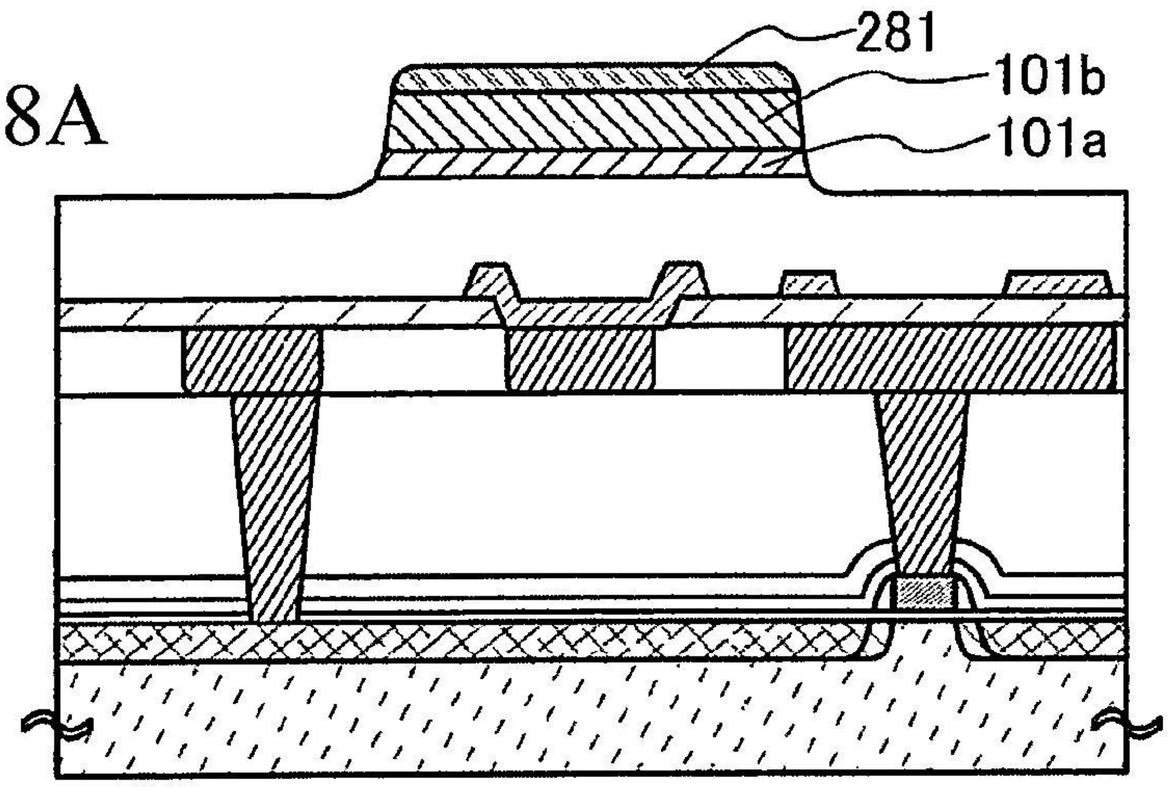


圖 18B

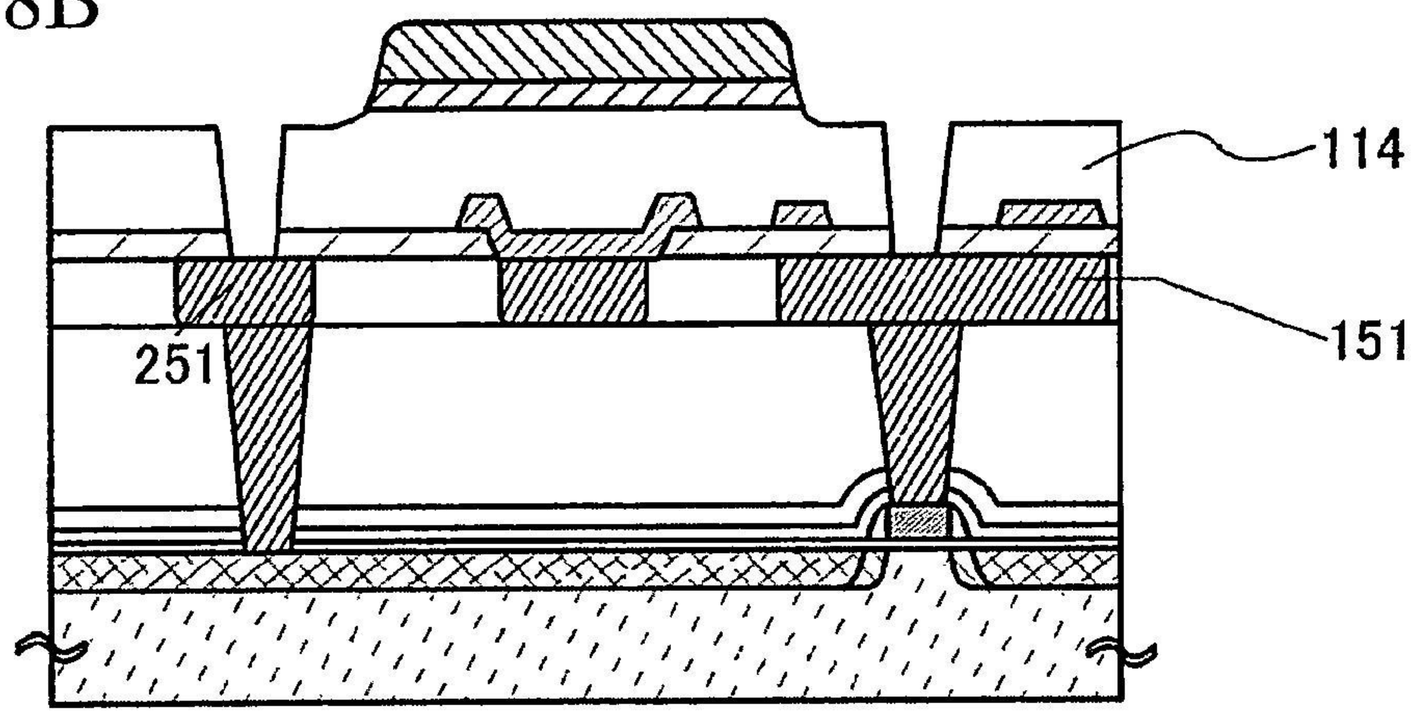


圖 18C

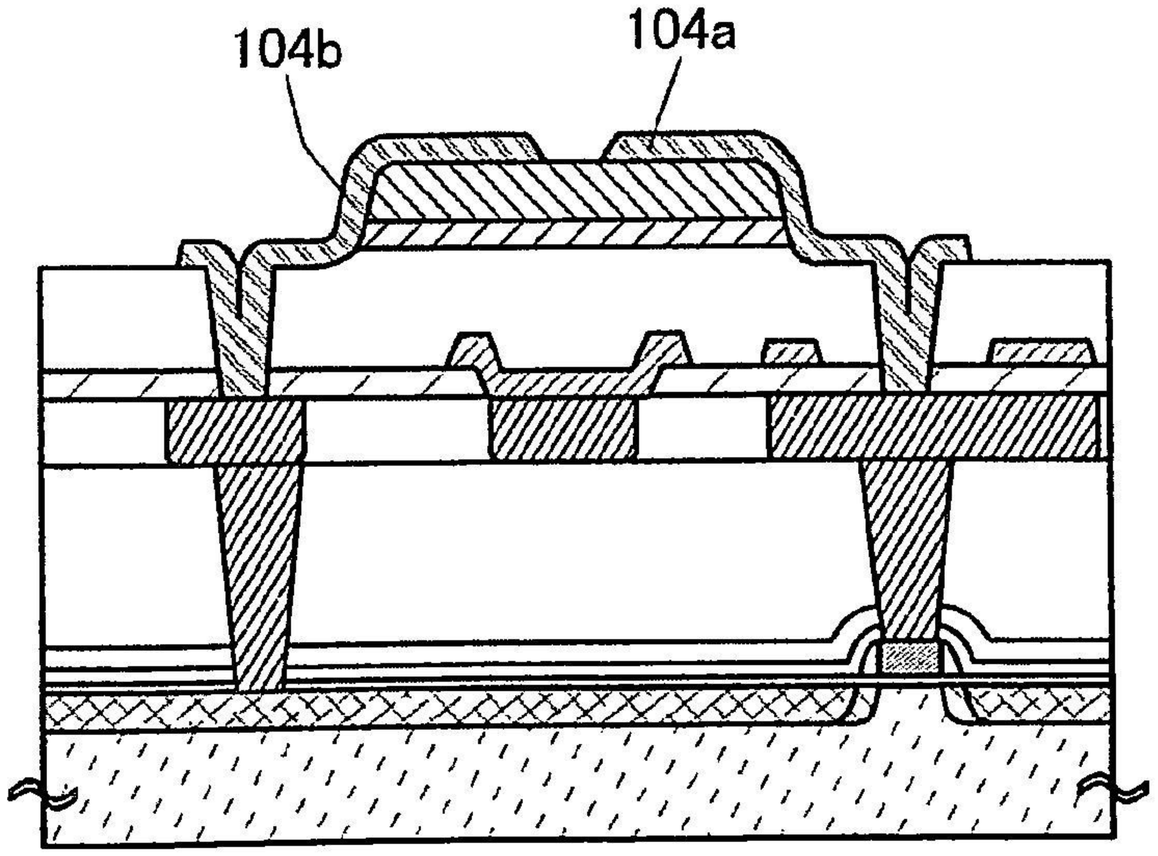


圖 19A

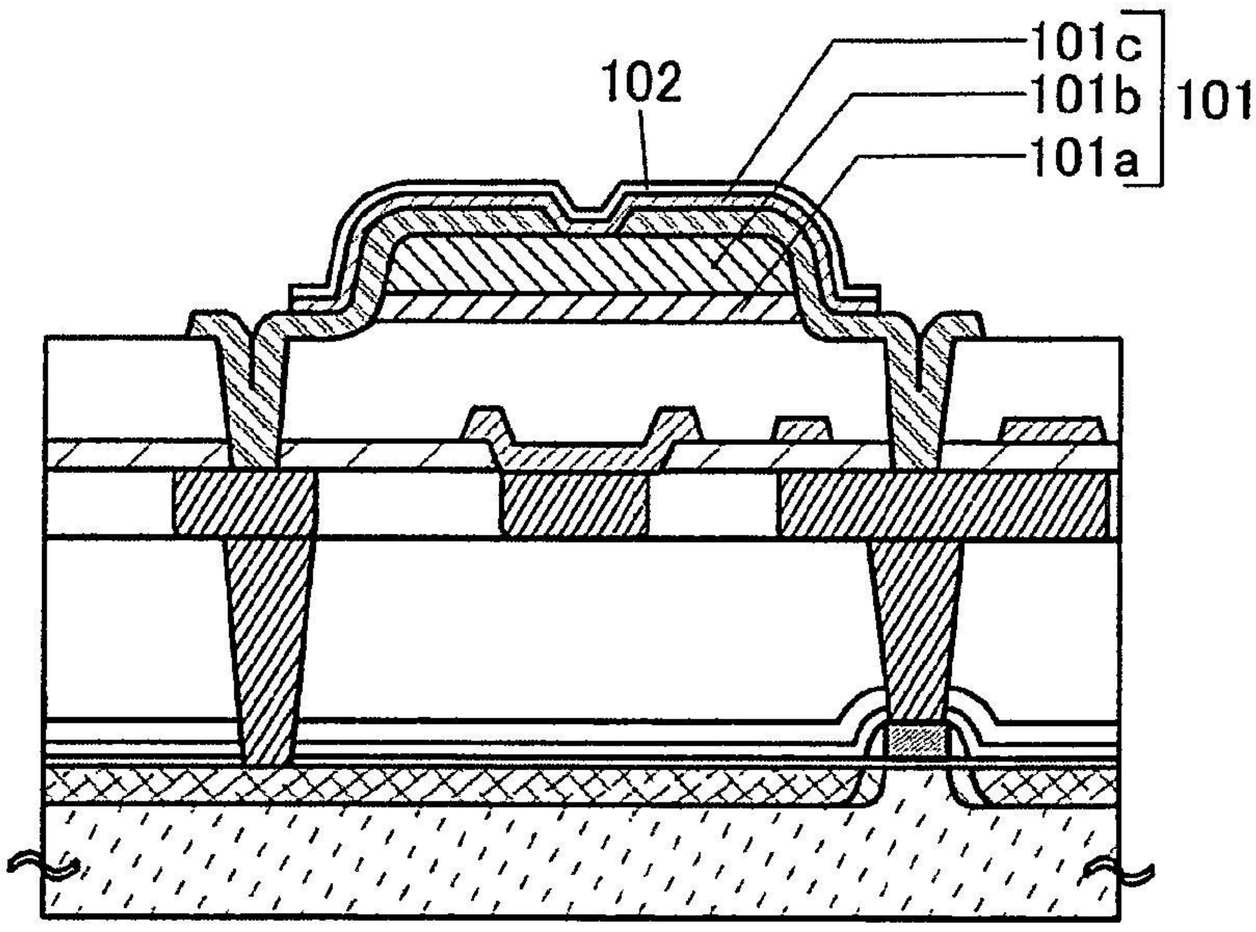

101c
101b
101
101a
102

圖 19B

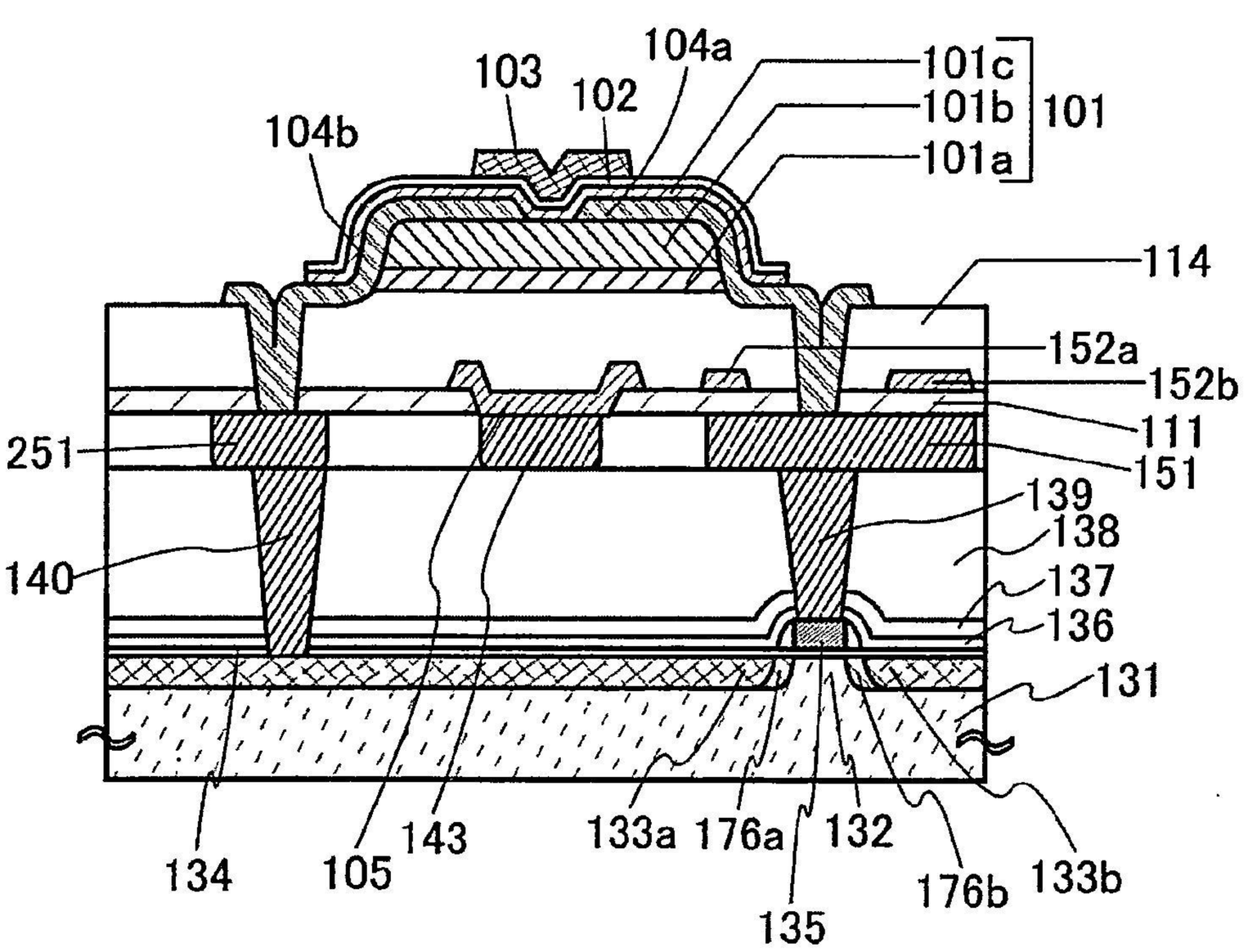

103
104a
104b
102
101c
101b
101
101a
114
152a
152b
111
251
151
139
138
140
137
136
131
134
105
143
133a
176a
132
176b
133b
135

圖 20A

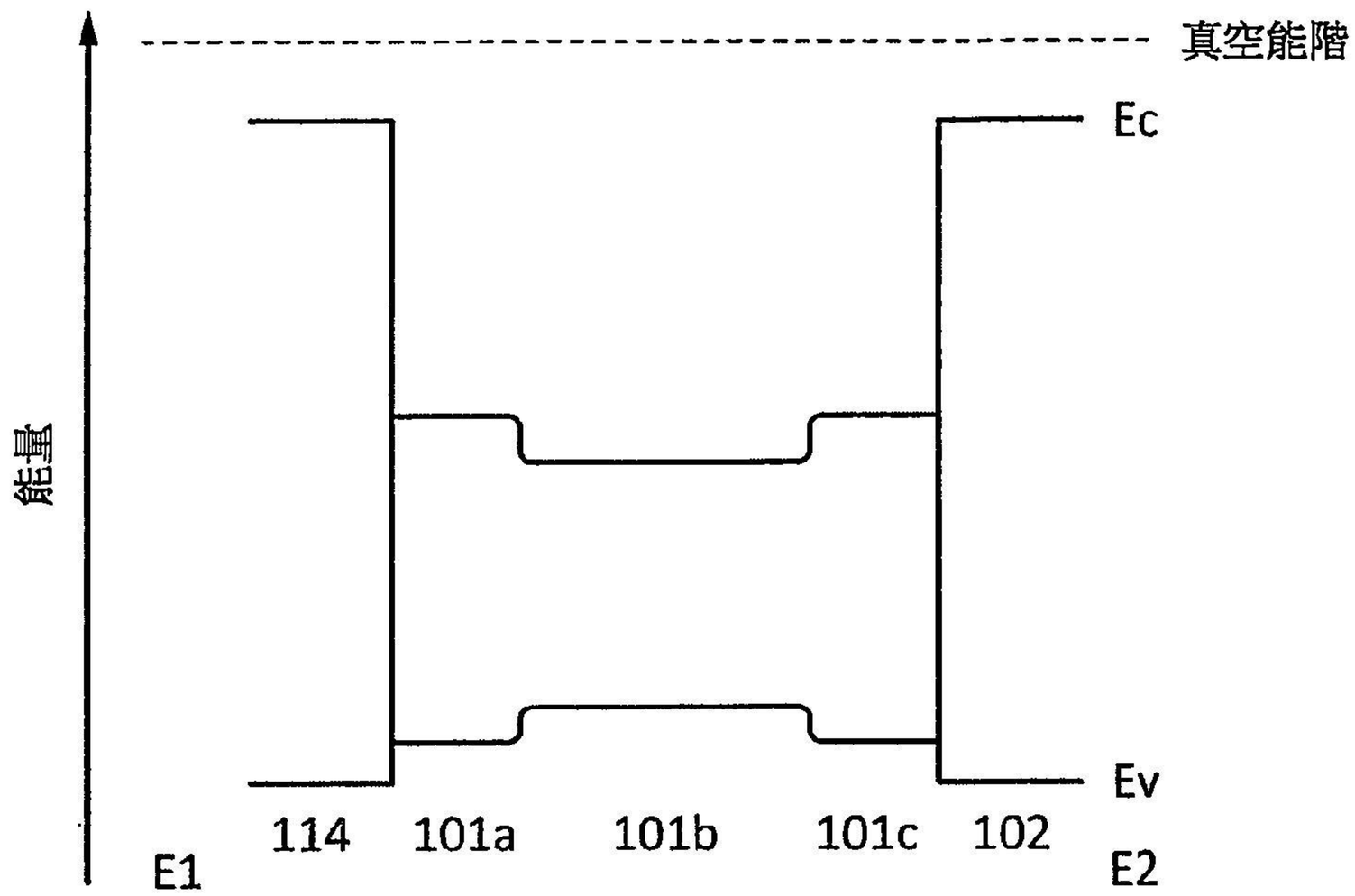
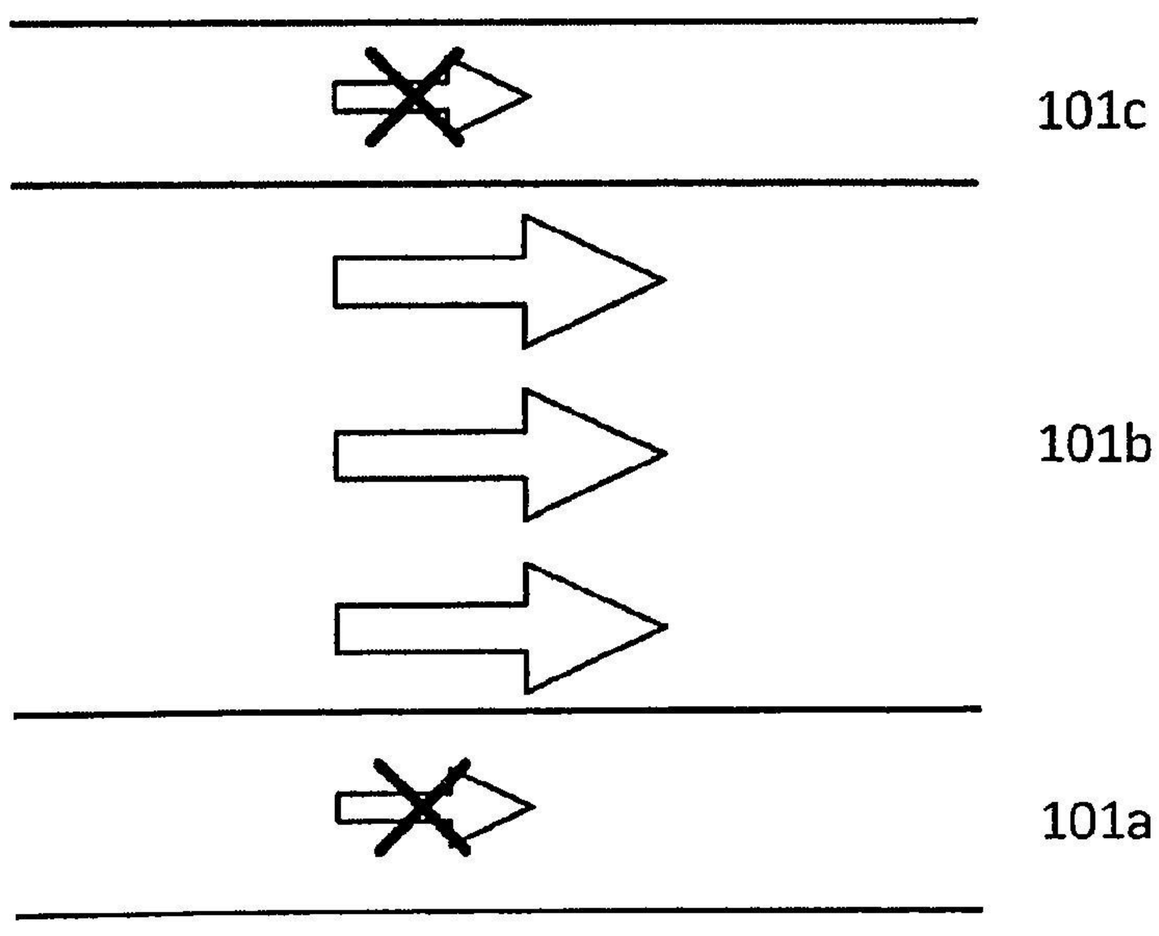


圖 20B



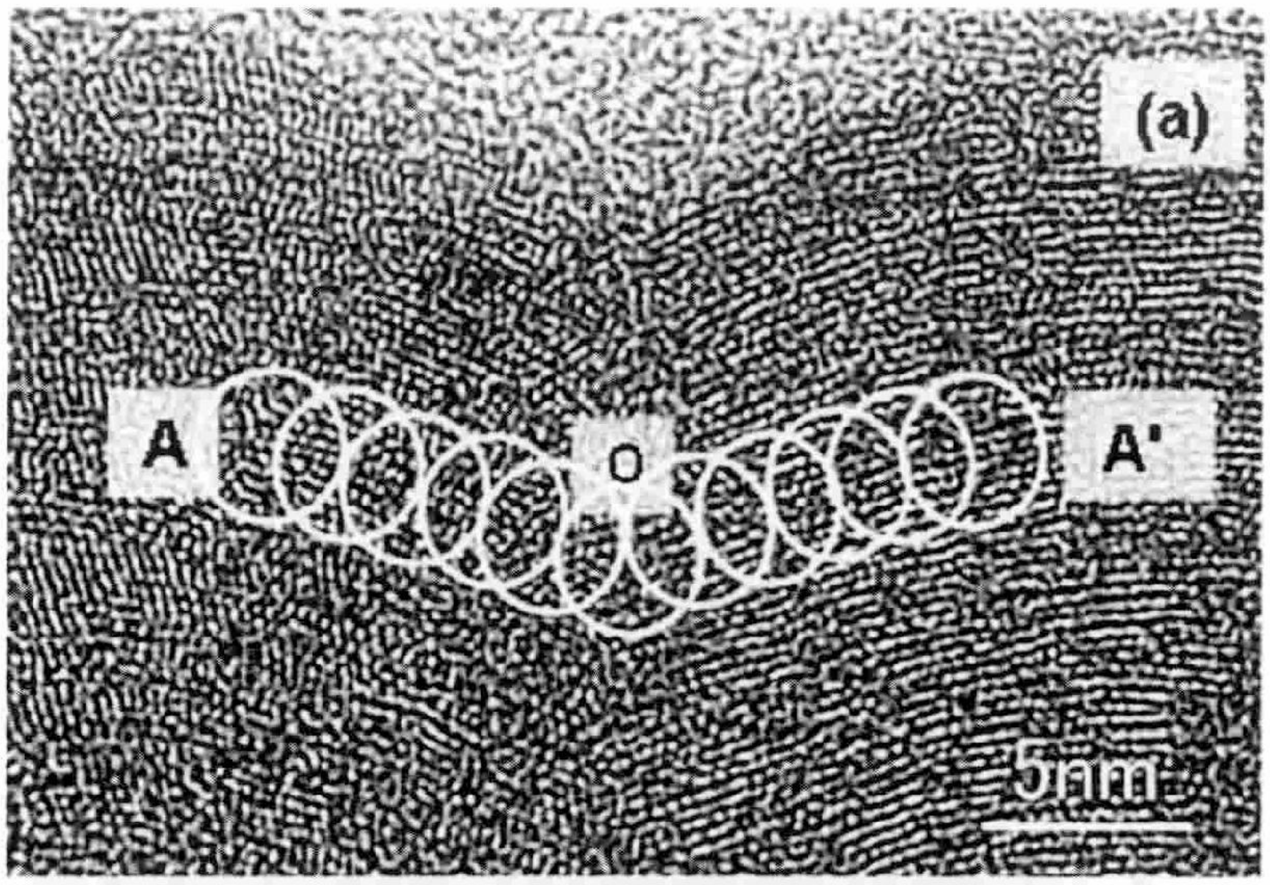


圖 21A

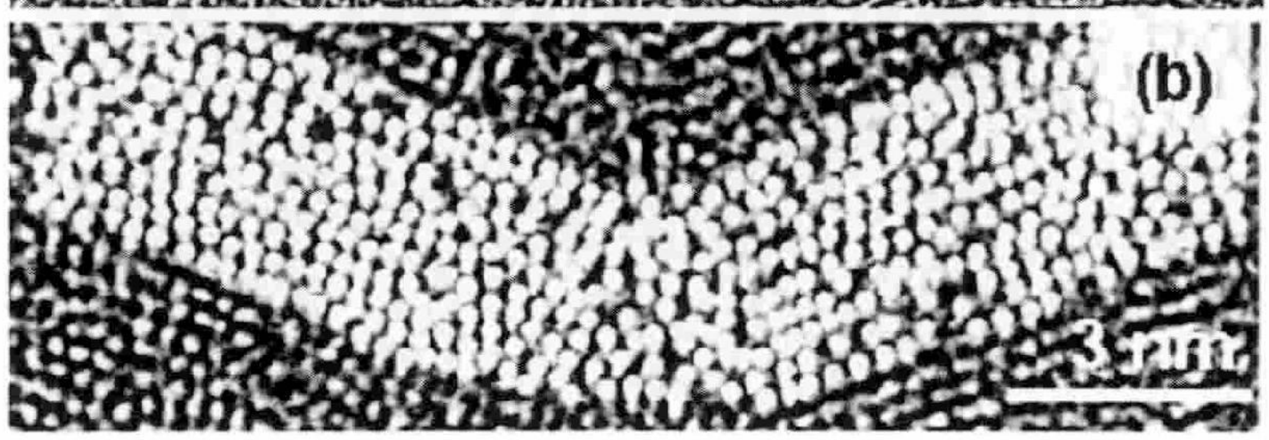


圖 21B

圖 21C

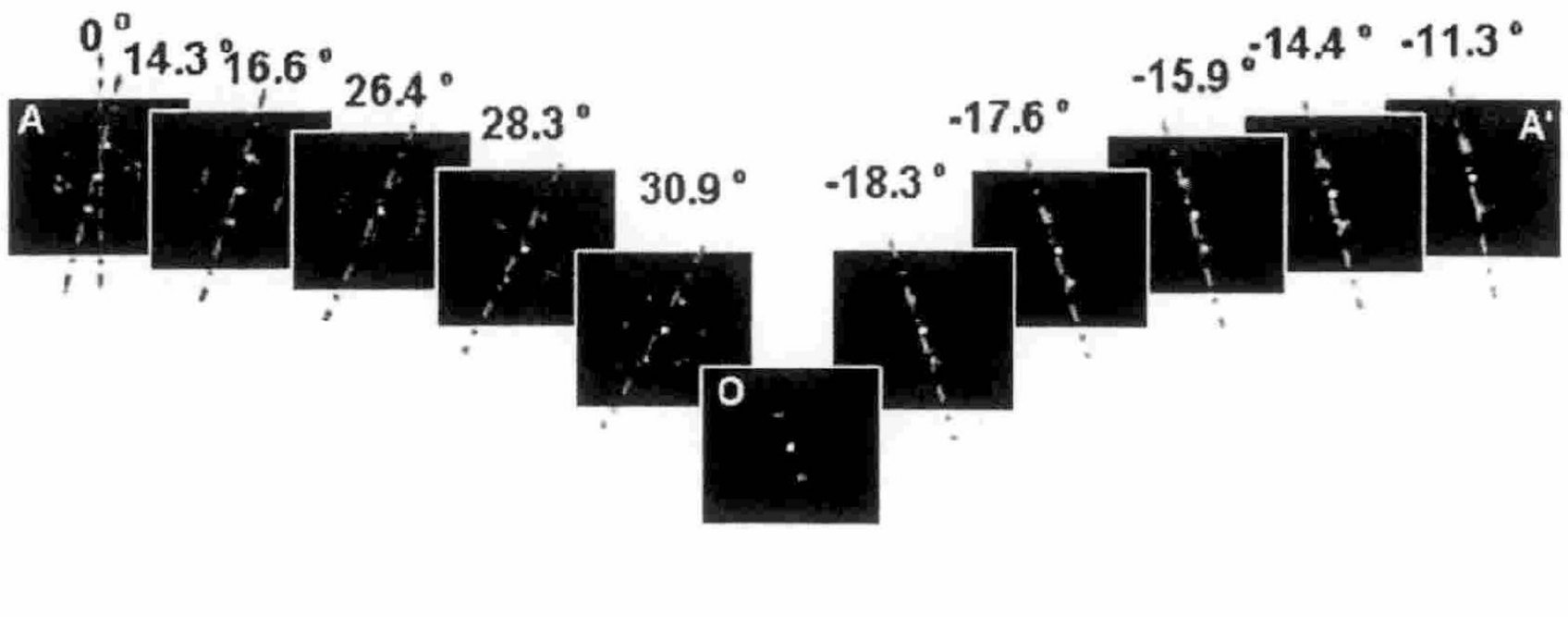
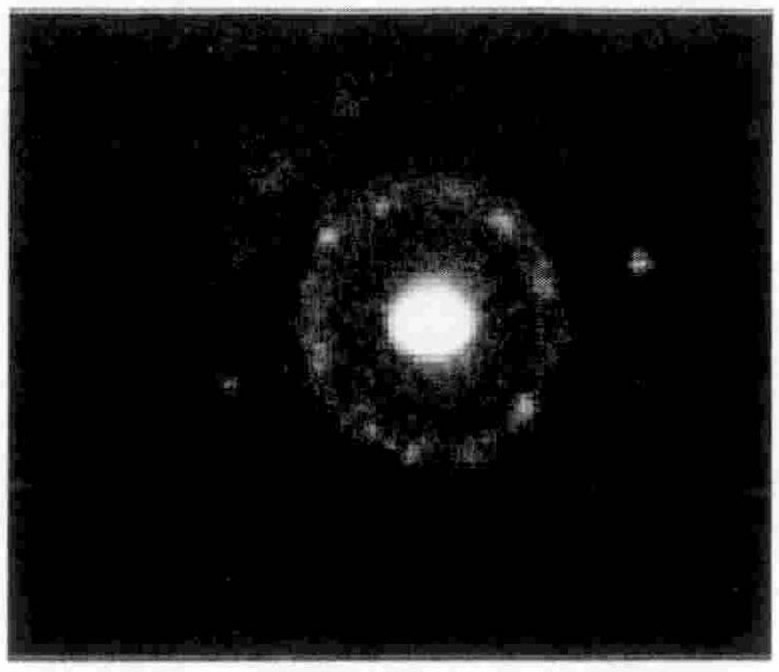


圖 22A



CAAC-OS

圖 22B



nc-OS

圖 22C

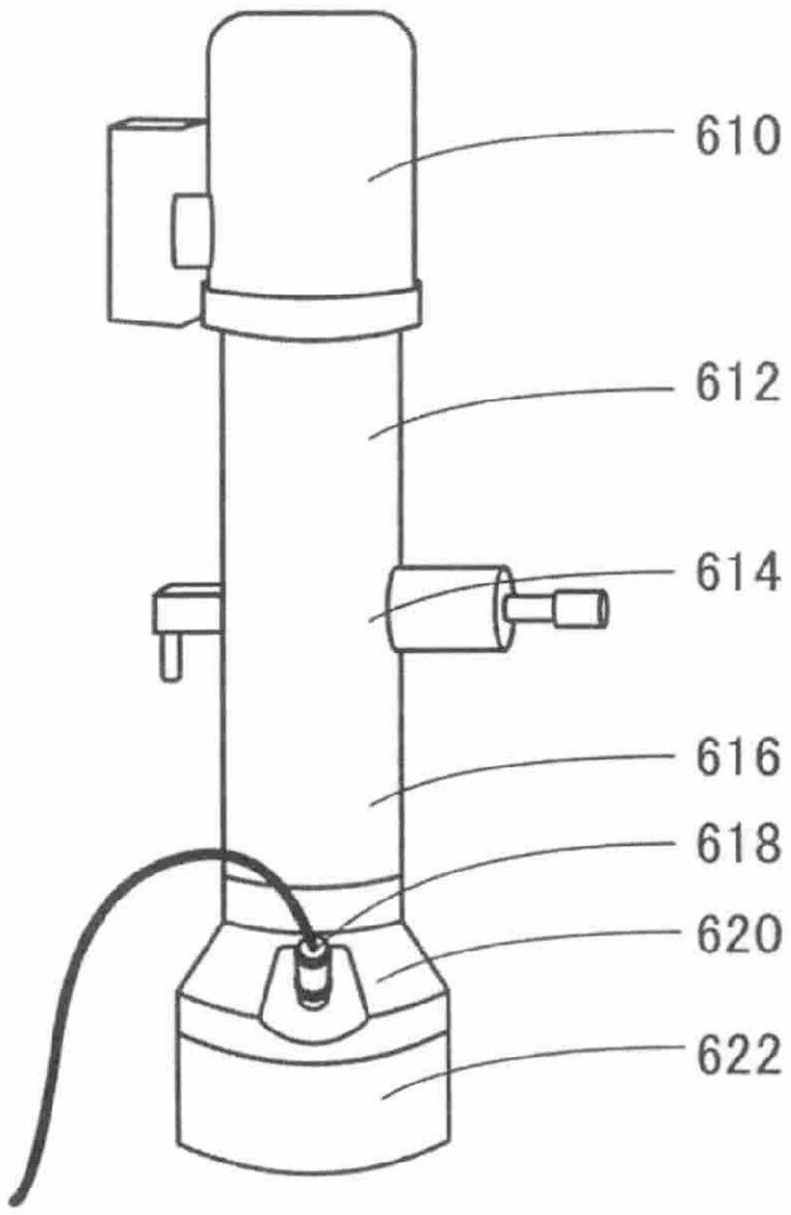


圖 22D

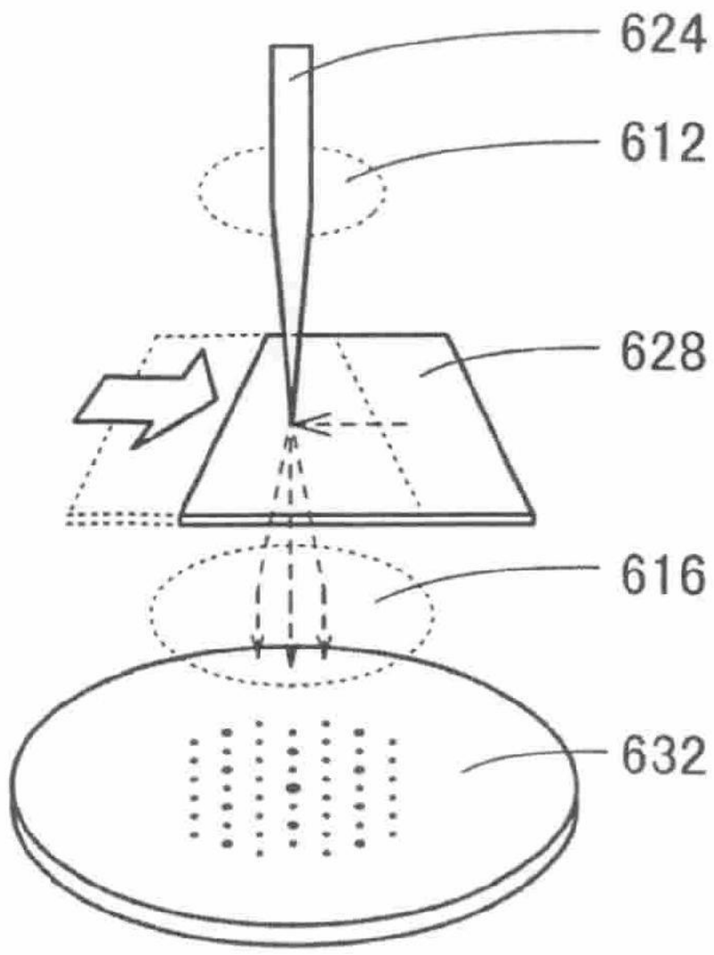


圖 23A

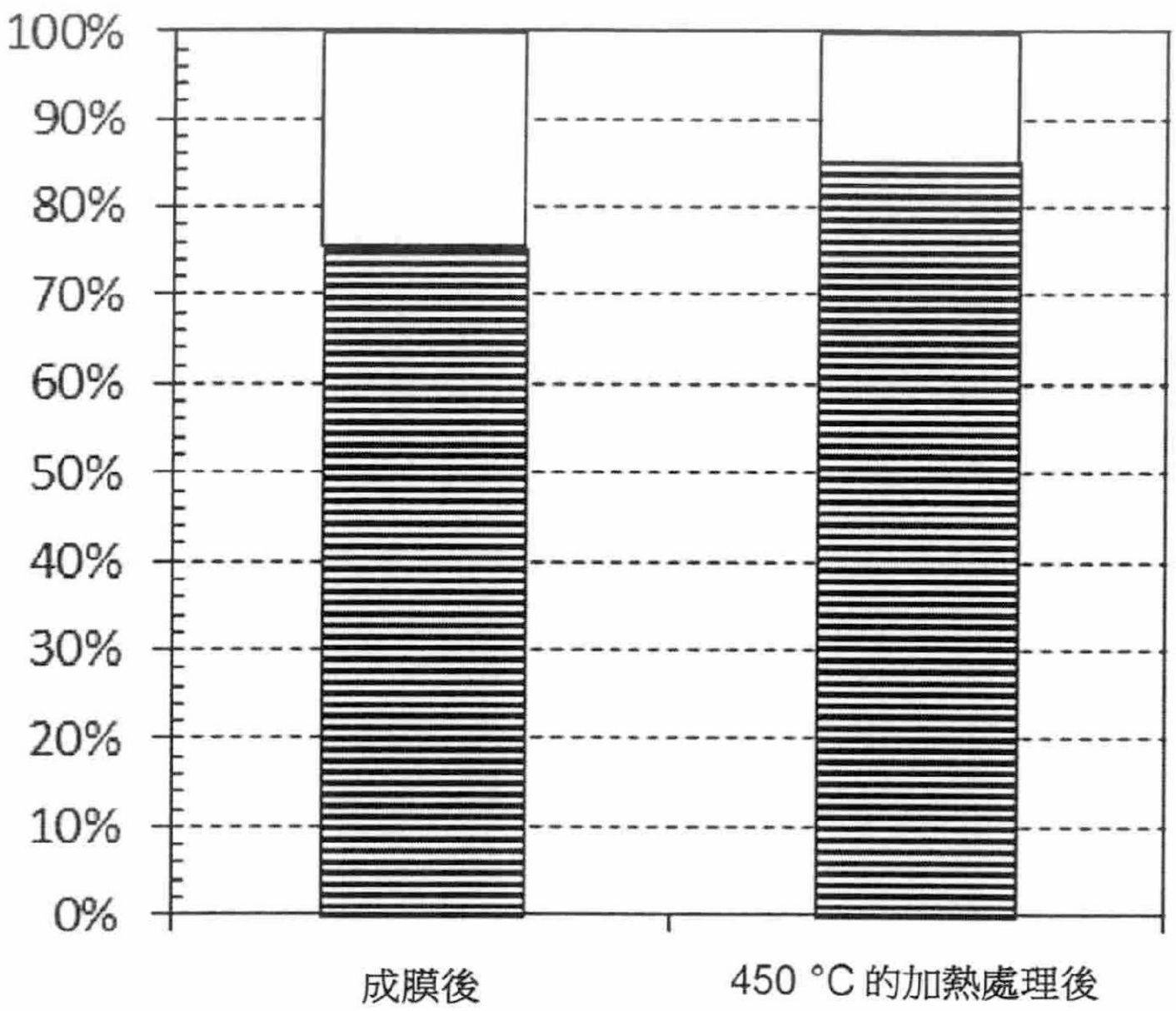
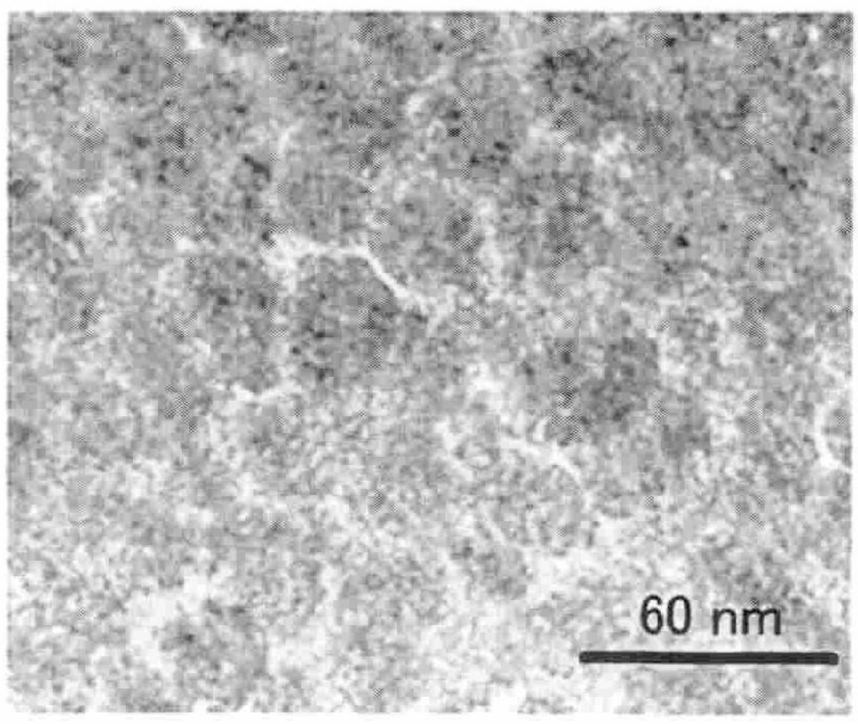
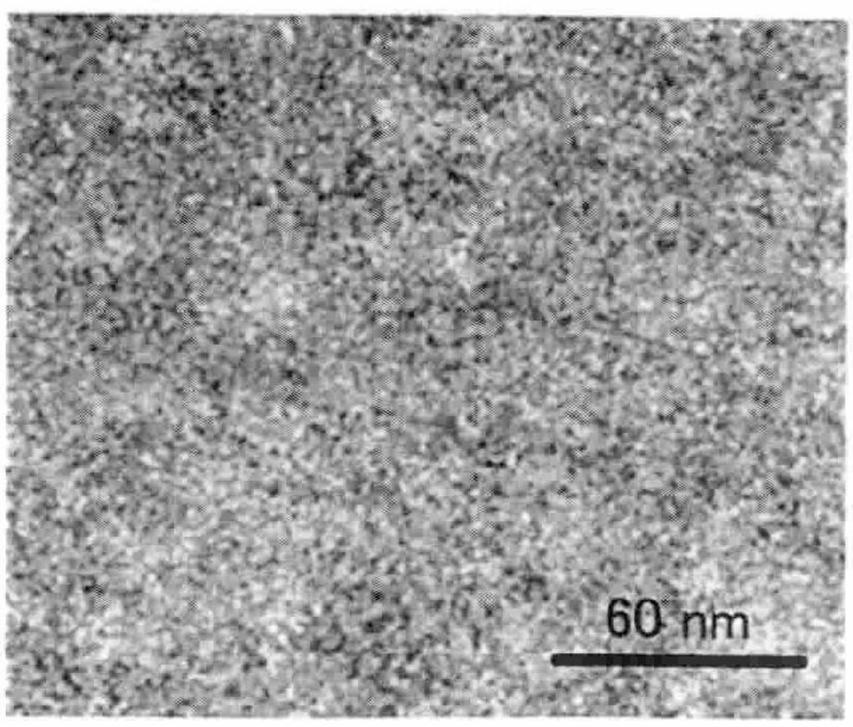


圖 23B



成膜之後

圖 23C



450 °C 加熱處理之後

圖 24A

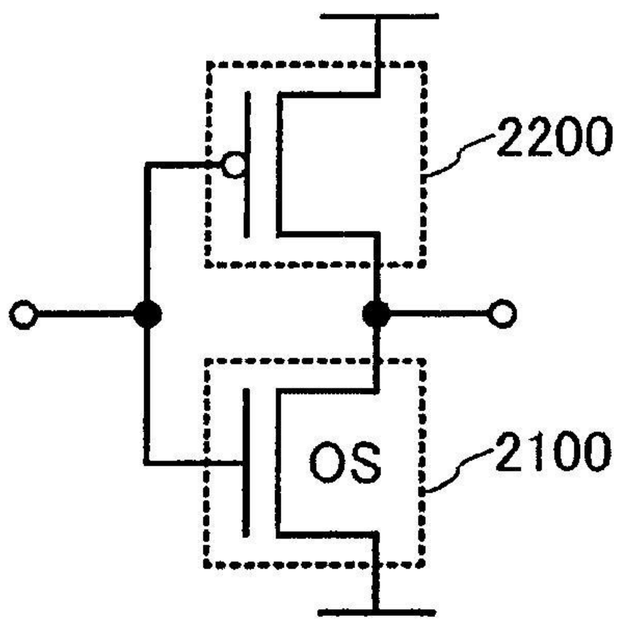


圖 24B

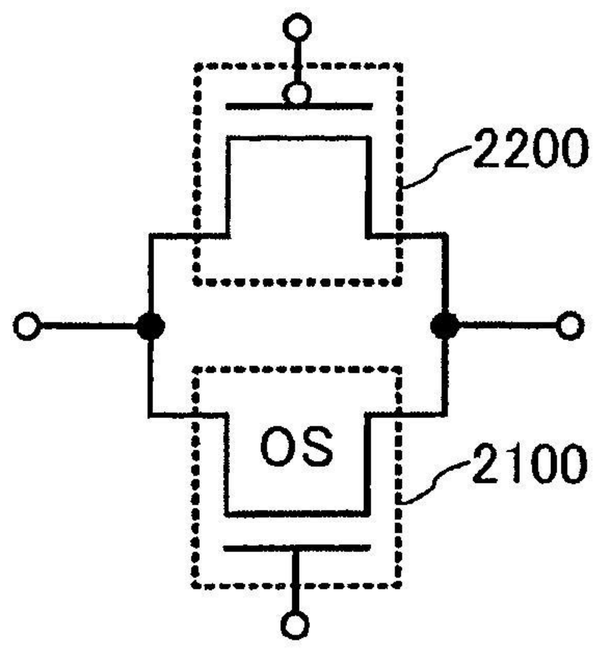


圖 24C

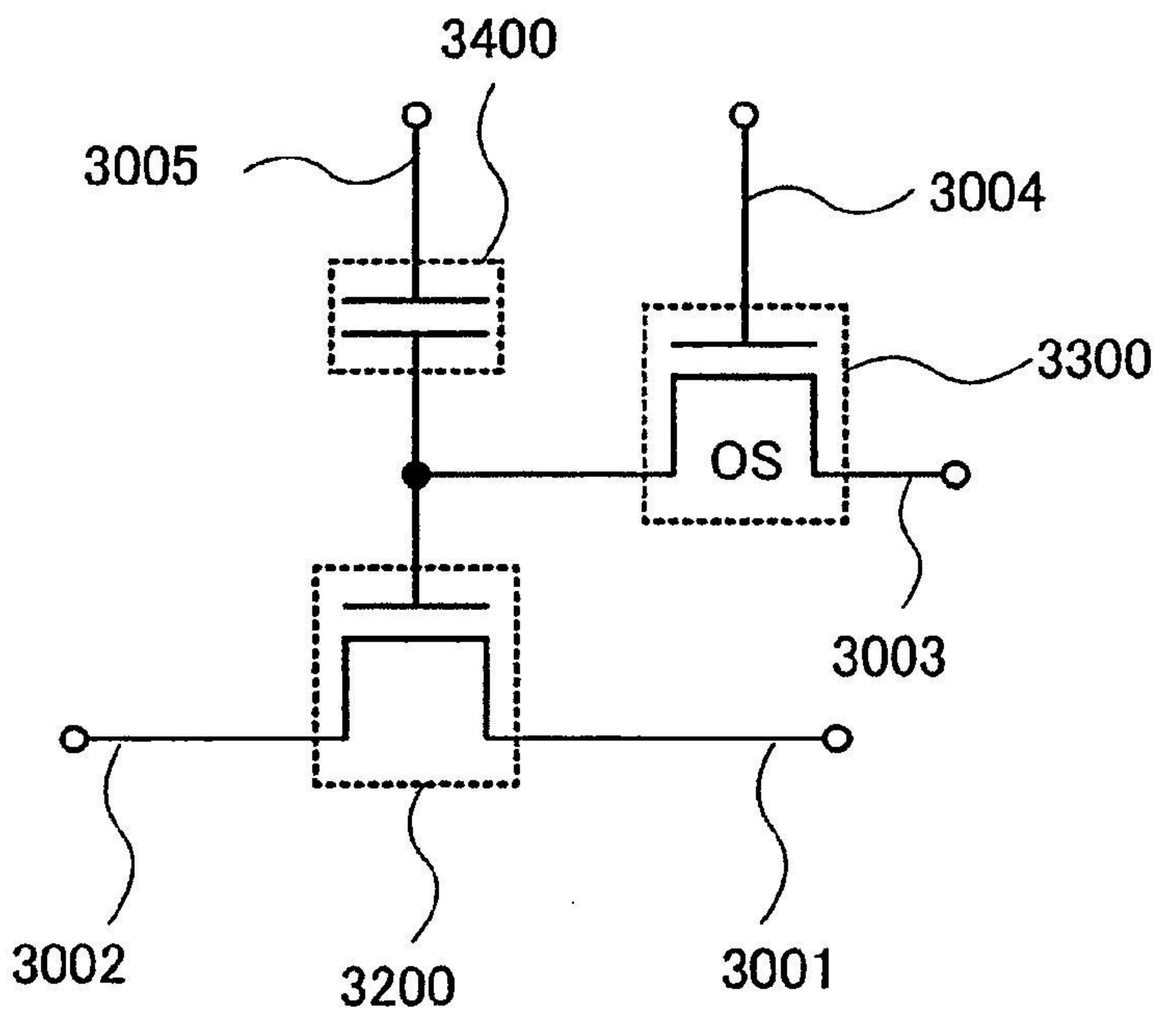


圖 24D

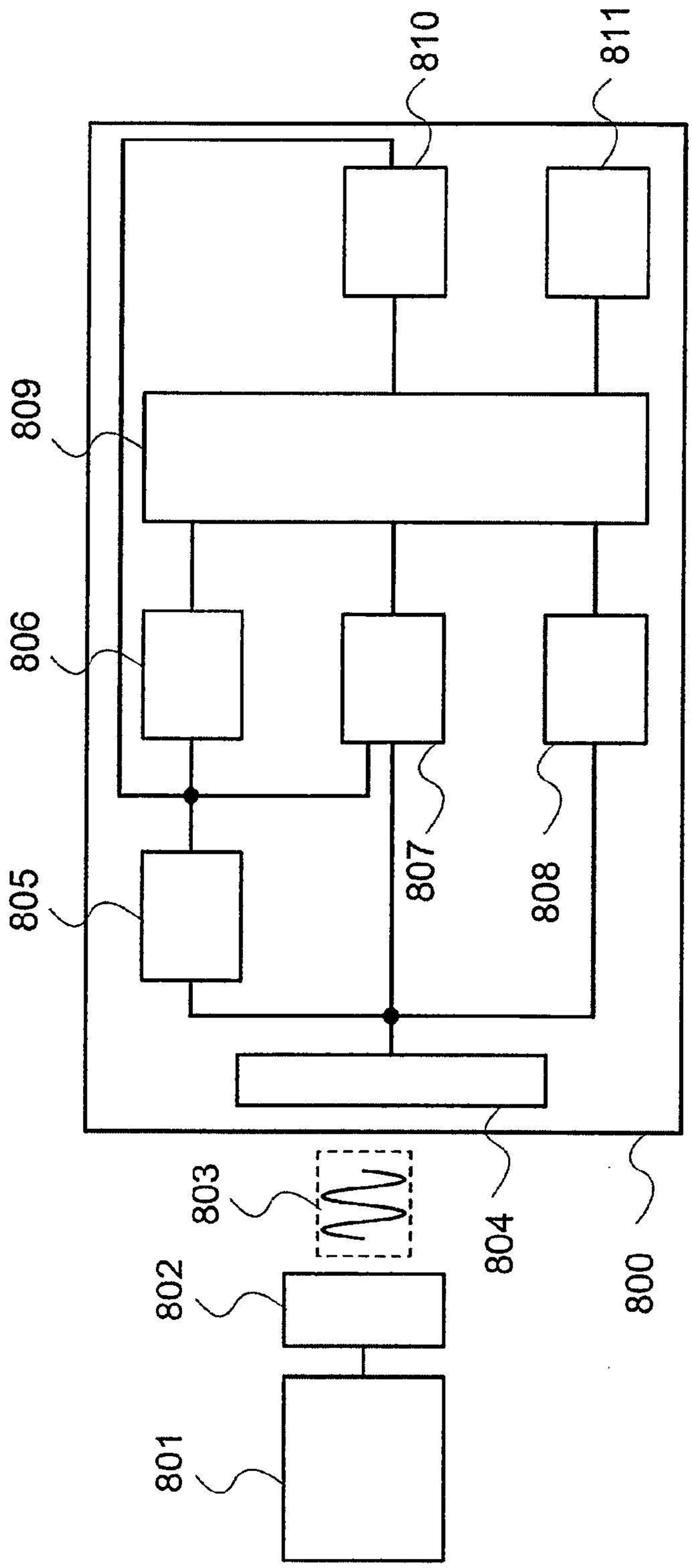


圖 25

圖 26

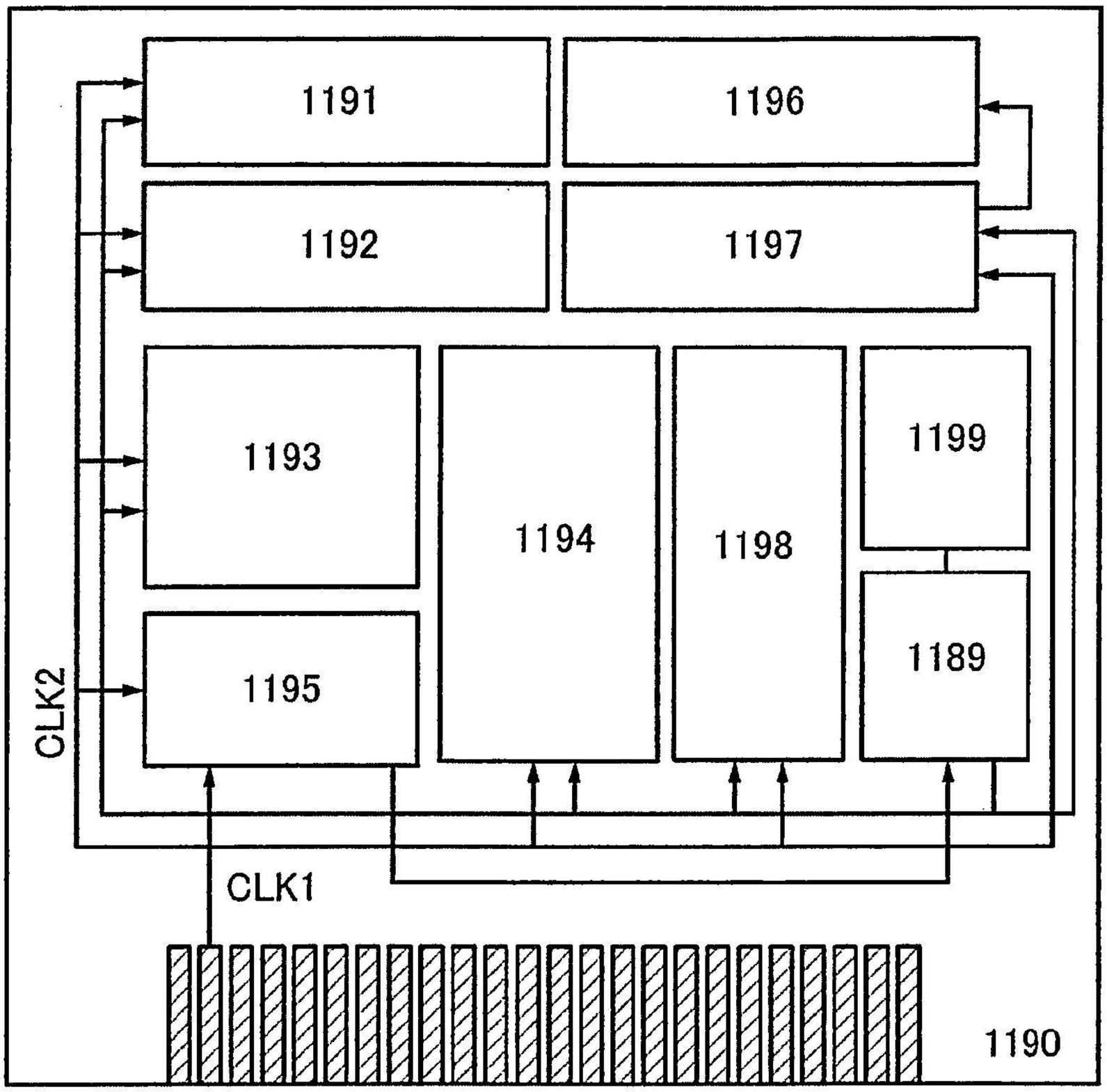

1191
1196
1192
1197
1193
1194
1198
1199
1189
1195
CLK2
CLK1
1190

圖 27

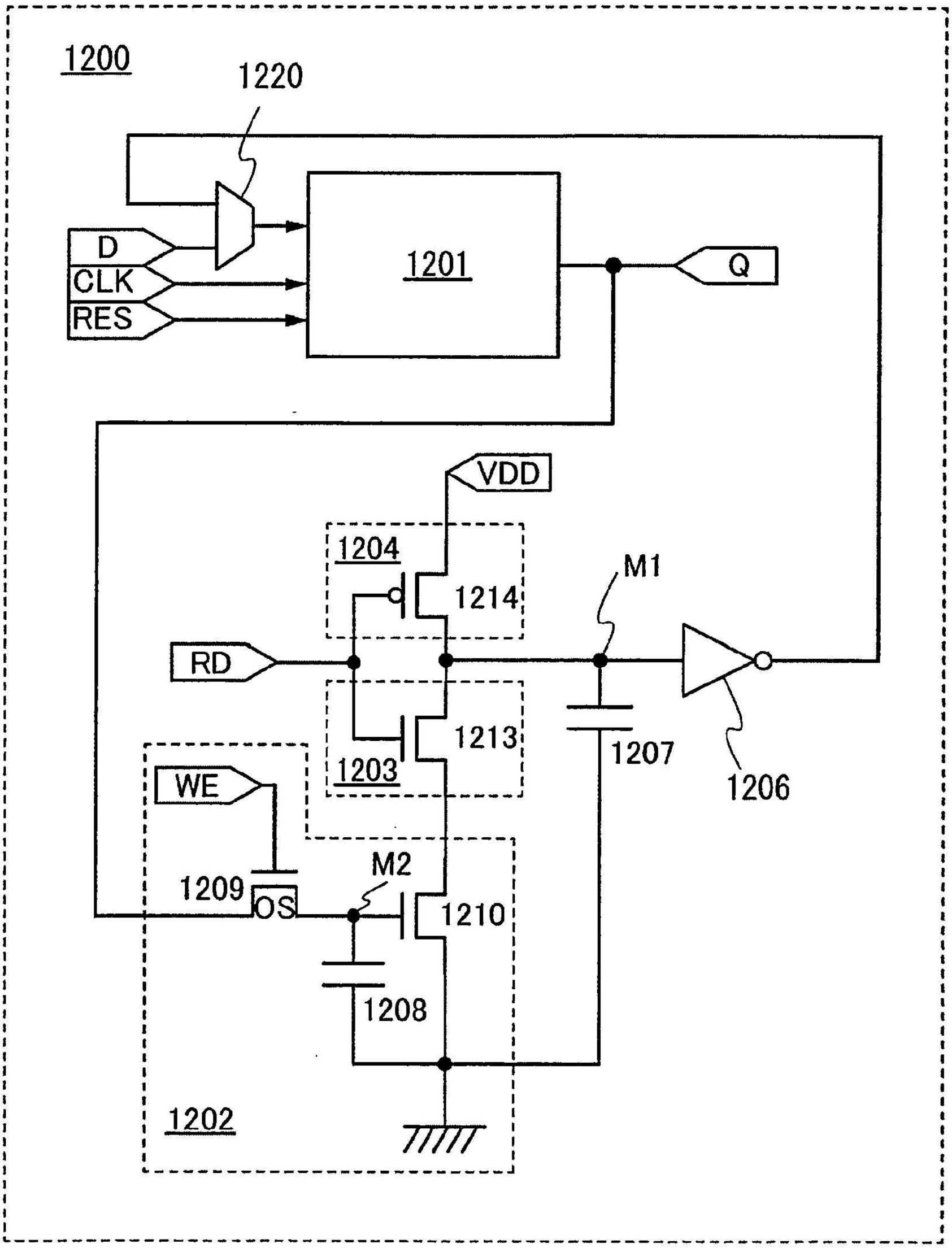

1200
1220
D
CLK
RES
1201
Q
VDD
1204
1214
M1
RD
1213
1203
1207
1206
WE
1209
OS
M2
1210
1208
1202

圖 28A

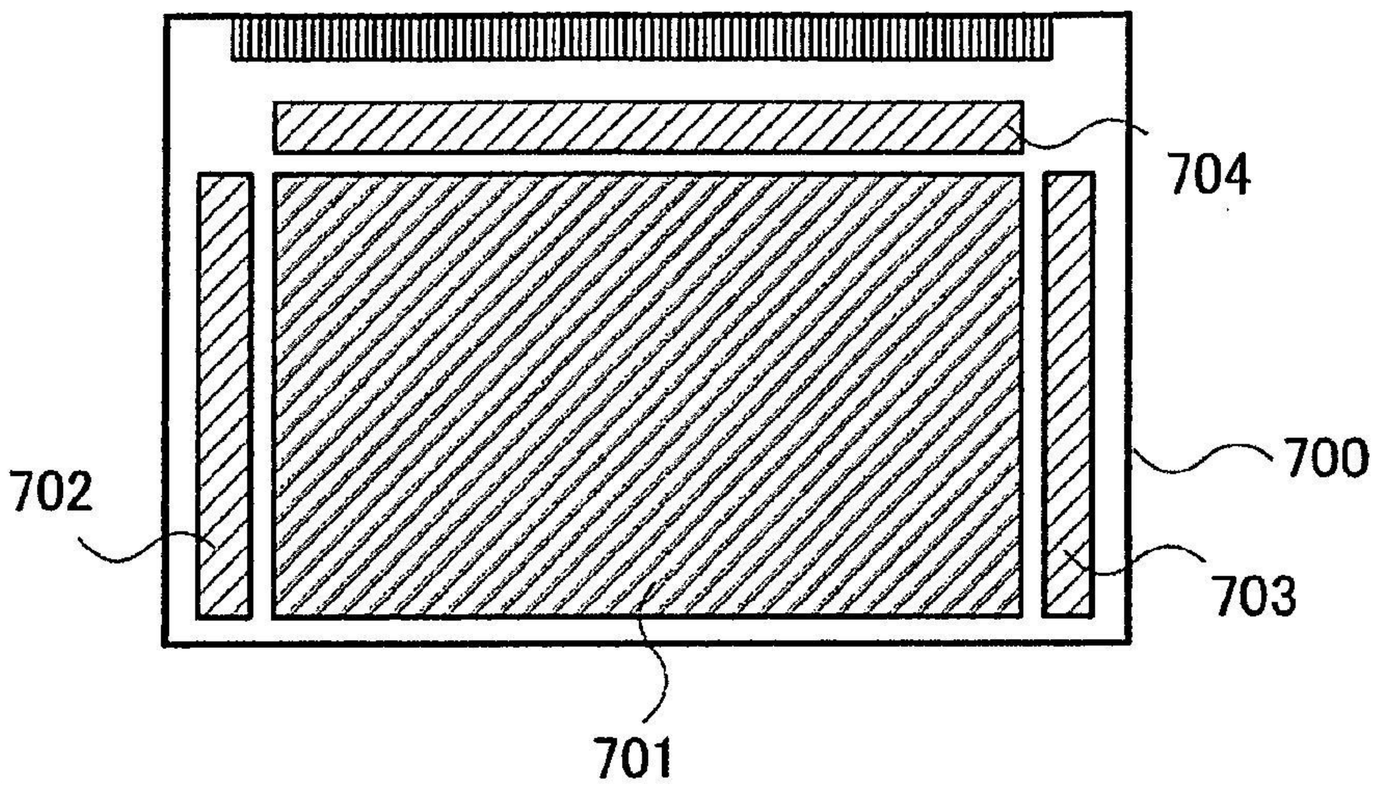


圖 28B

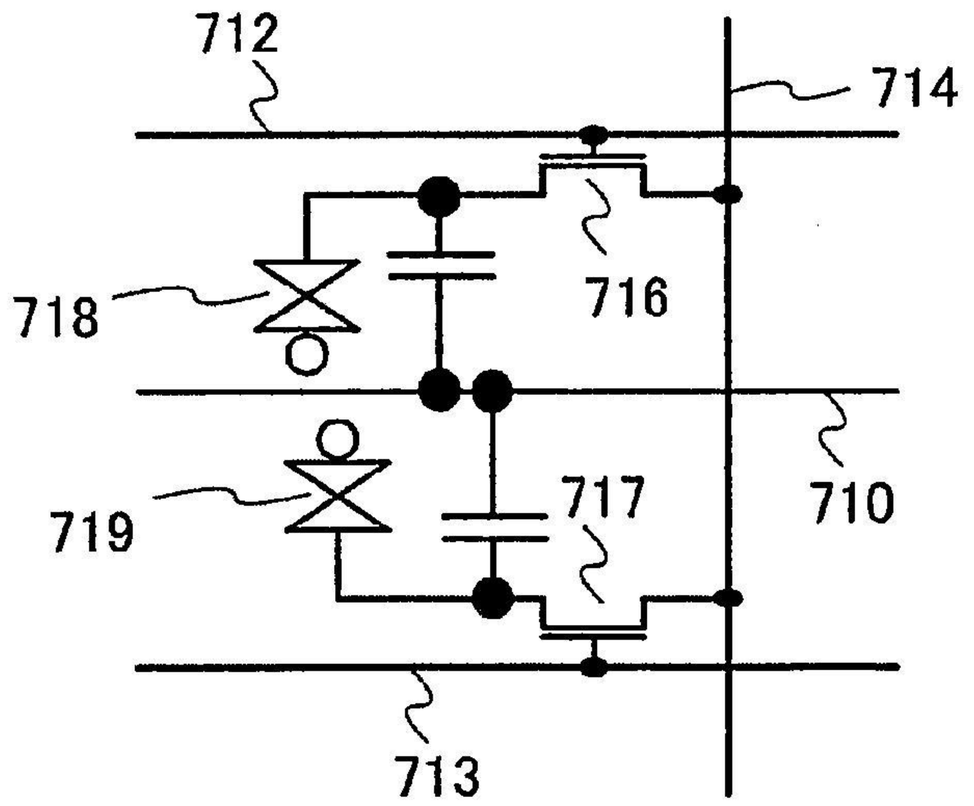


圖 28C

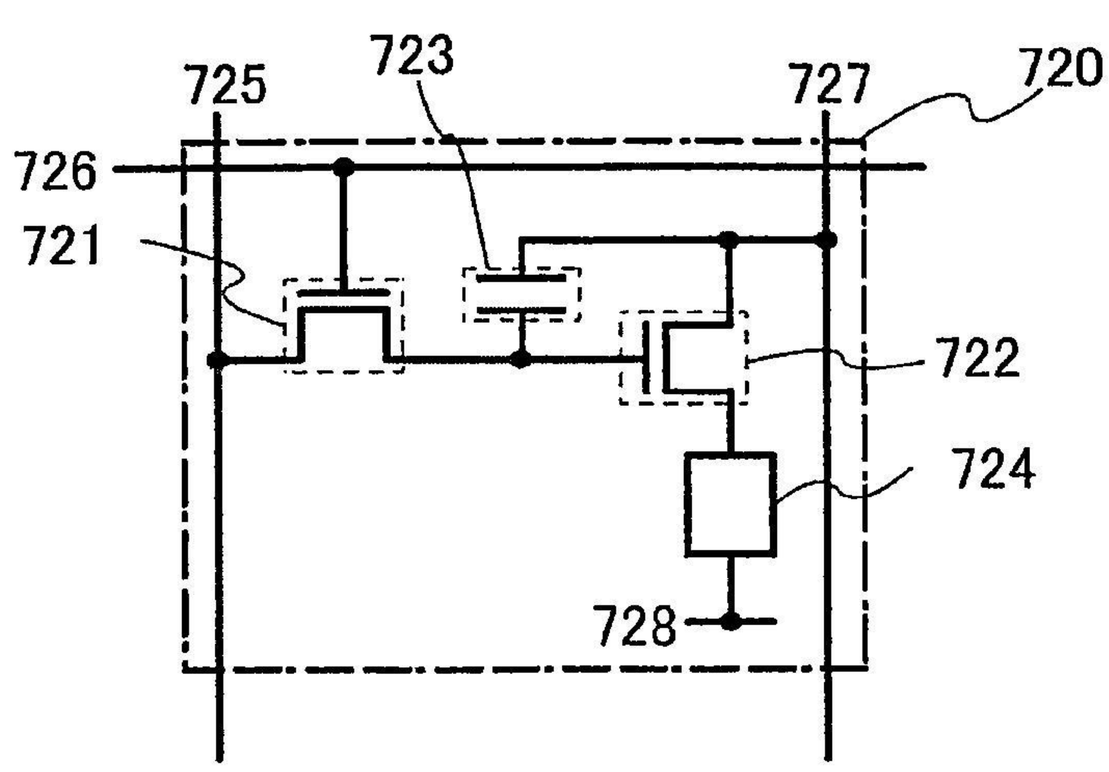


圖 29A

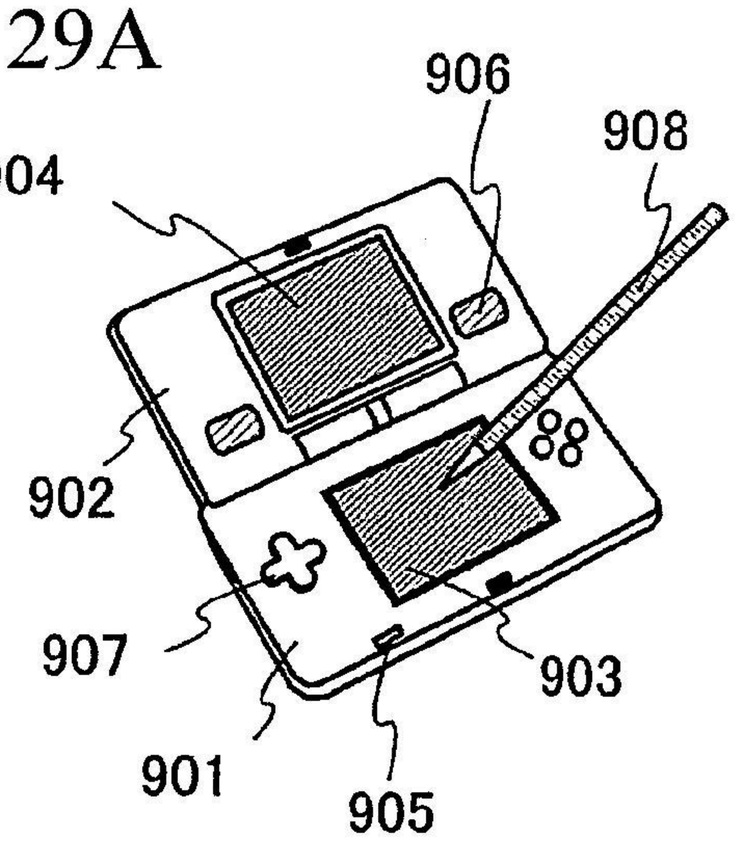


圖 29B

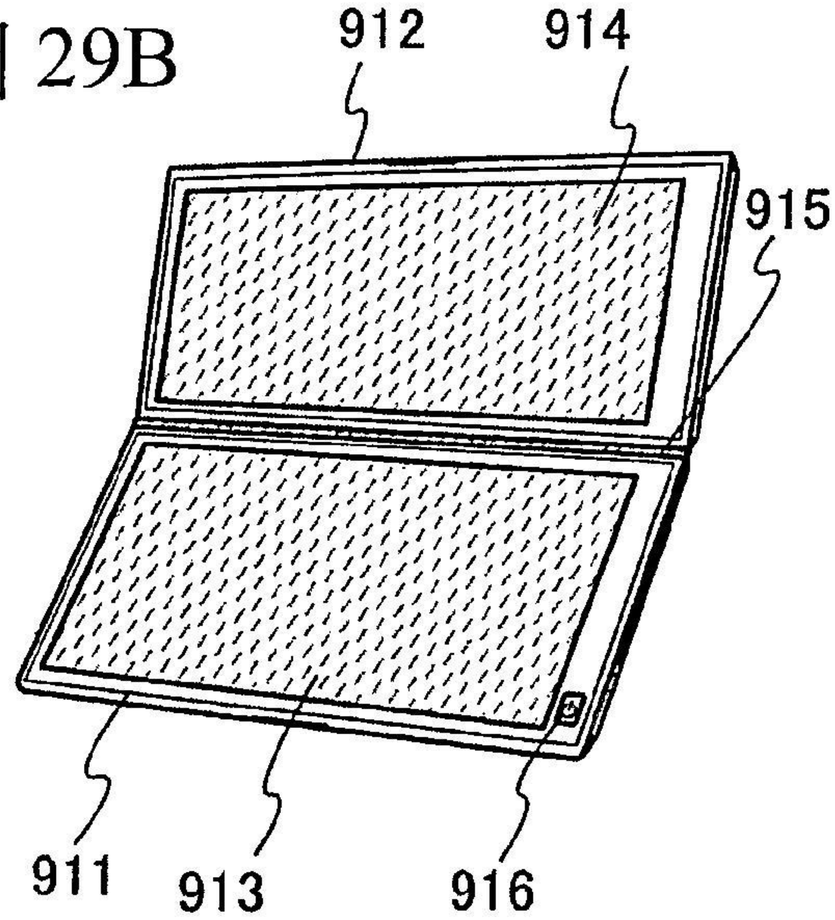


圖 29C

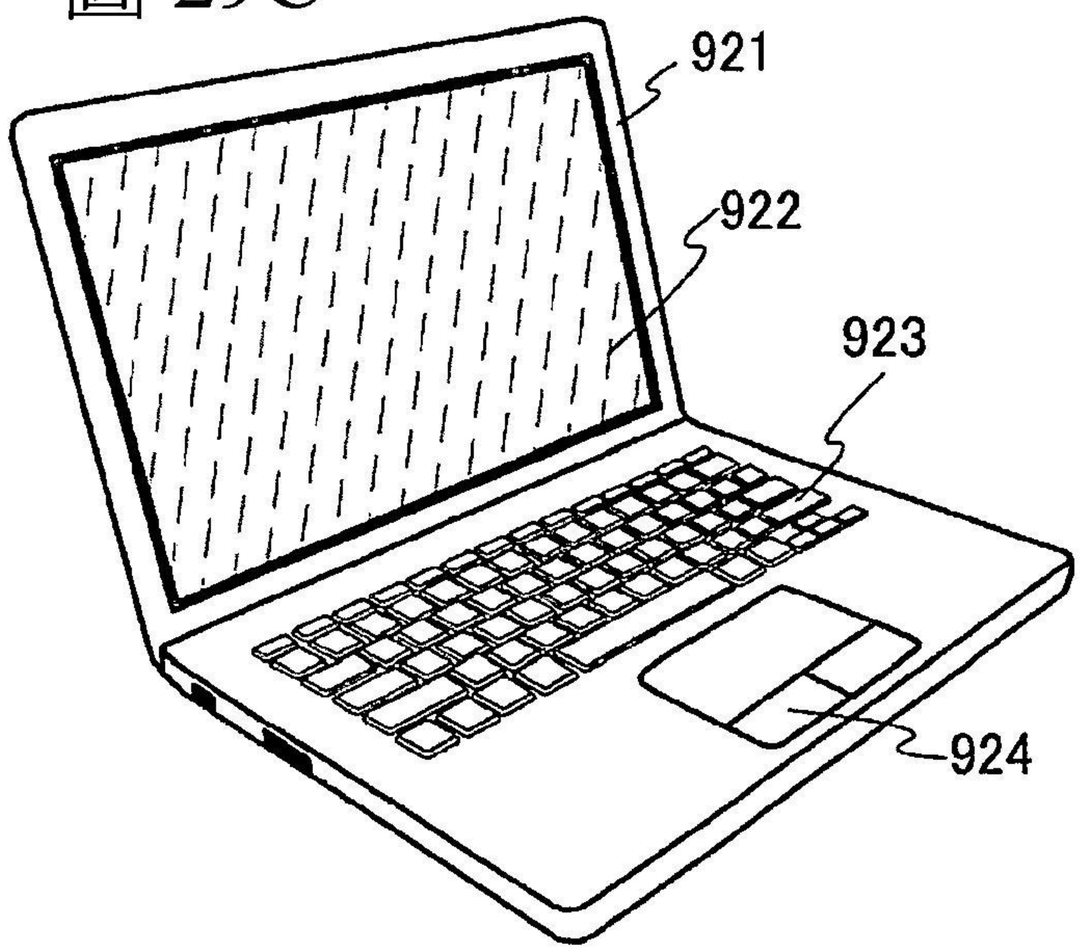


圖 29D

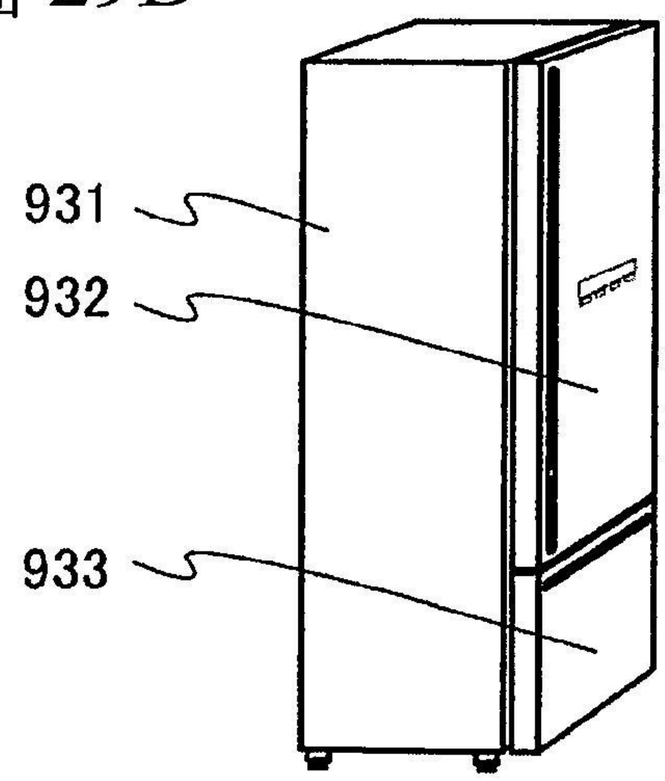


圖 29E

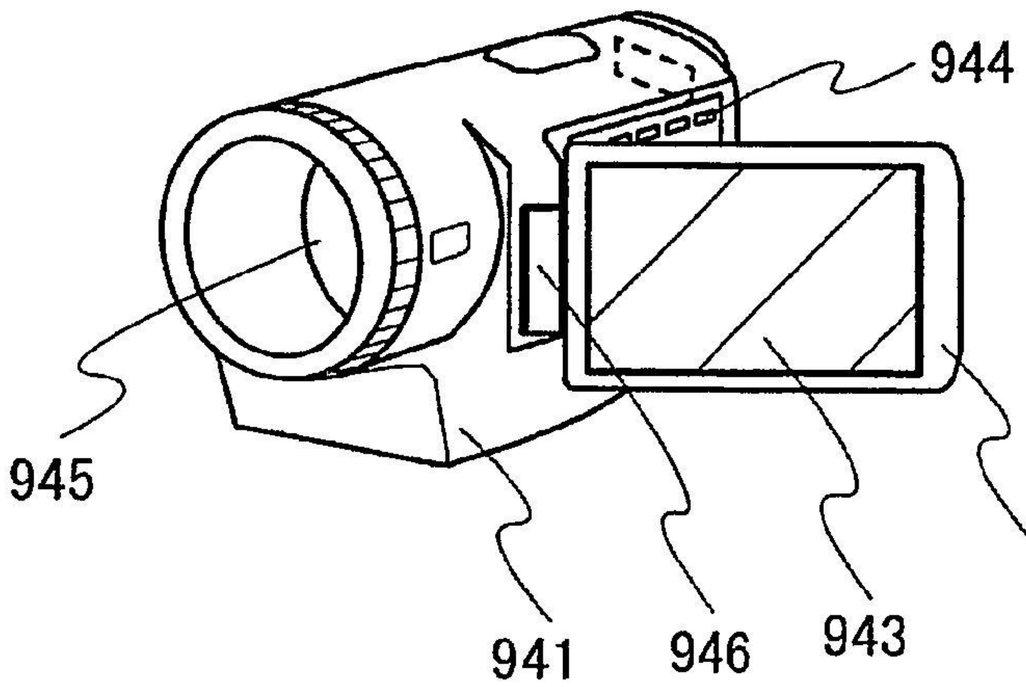


圖 29F

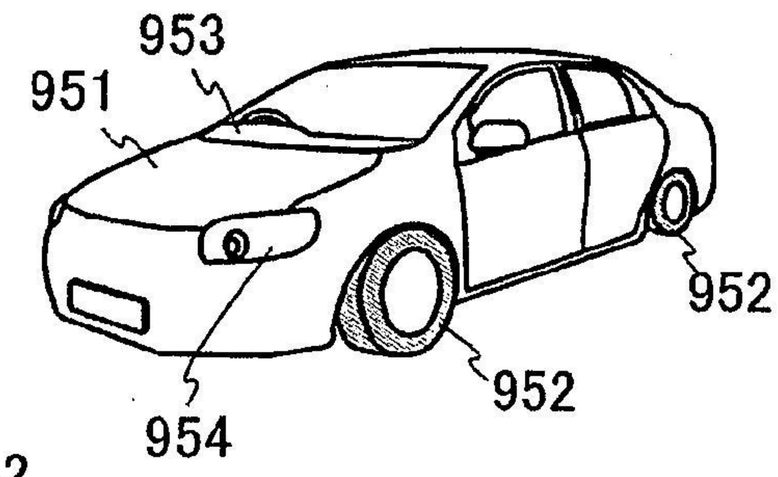


圖 30A

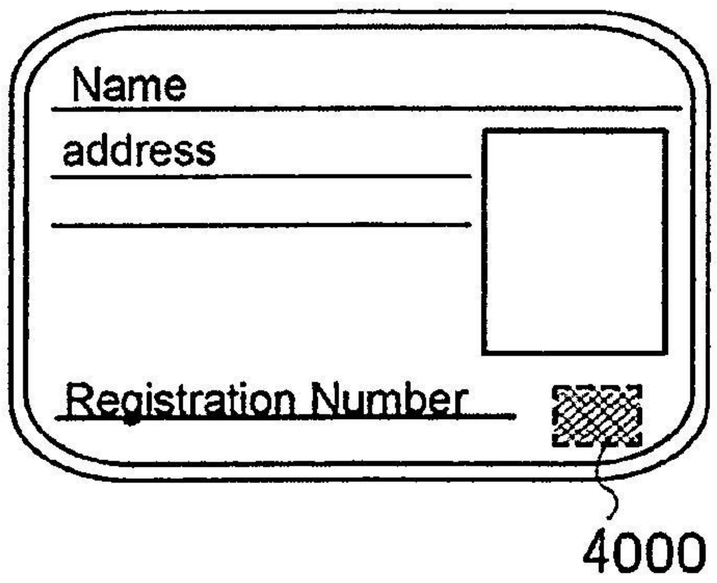


圖 30C

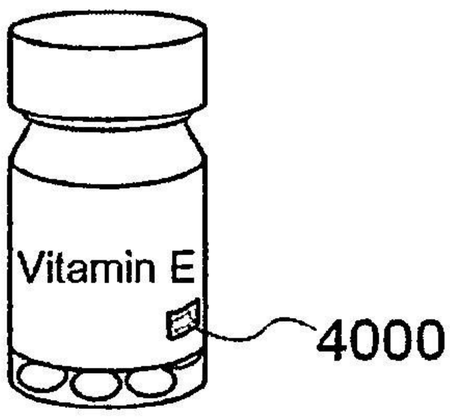


圖 30E

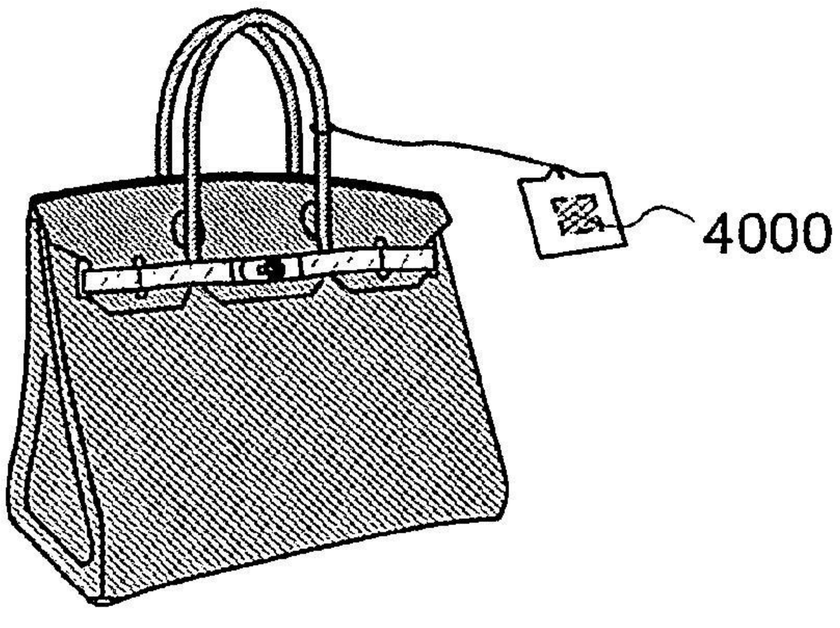


圖 30B

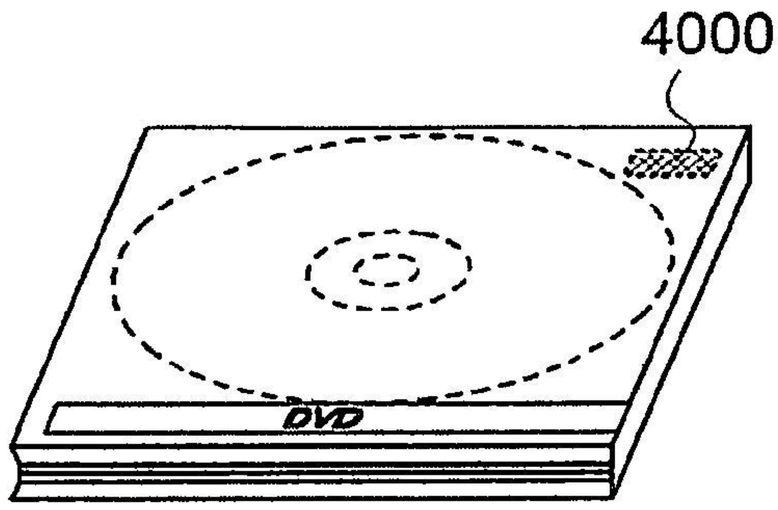


圖 30D

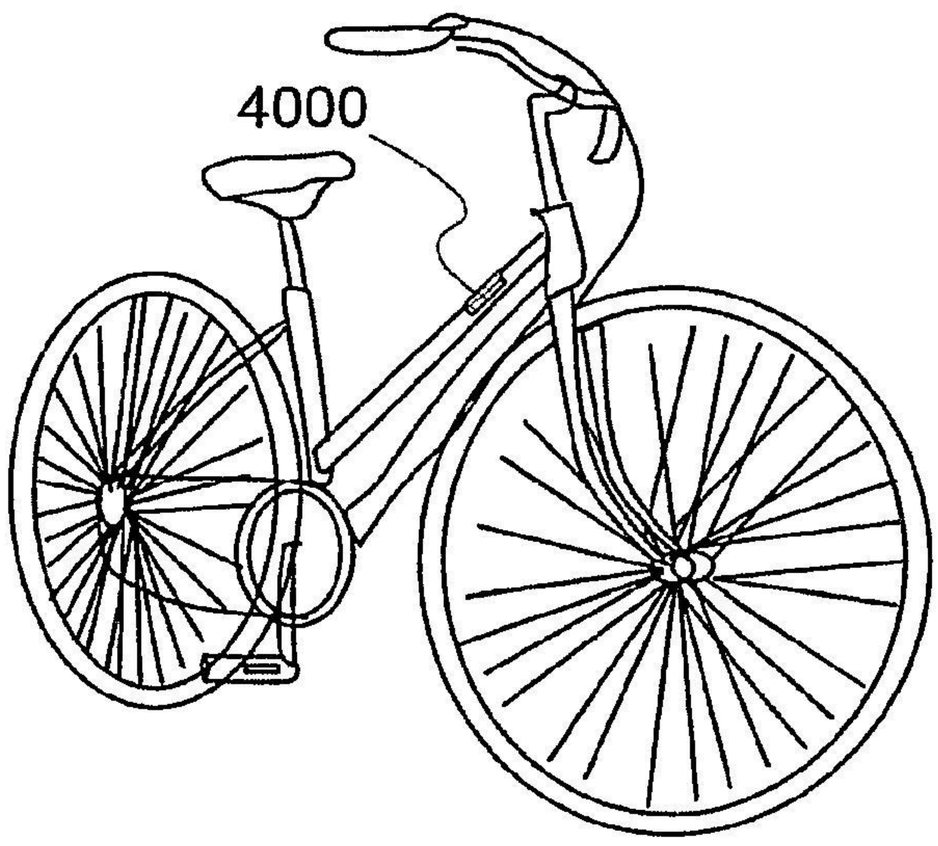


圖 30F

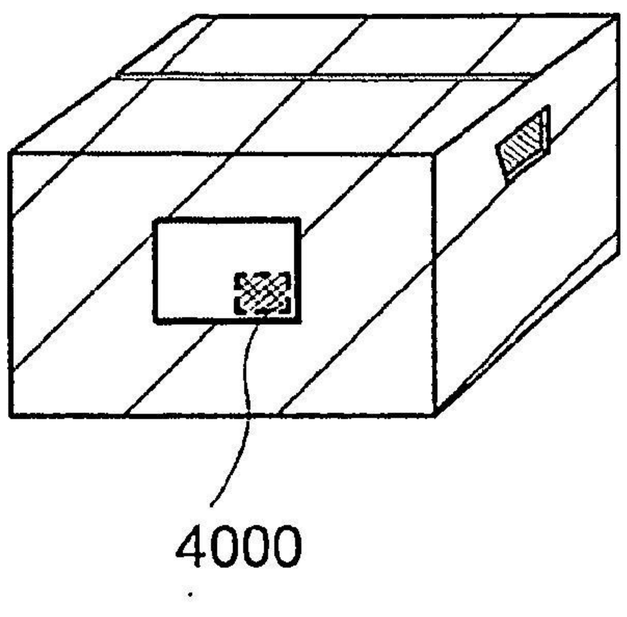


圖 31A

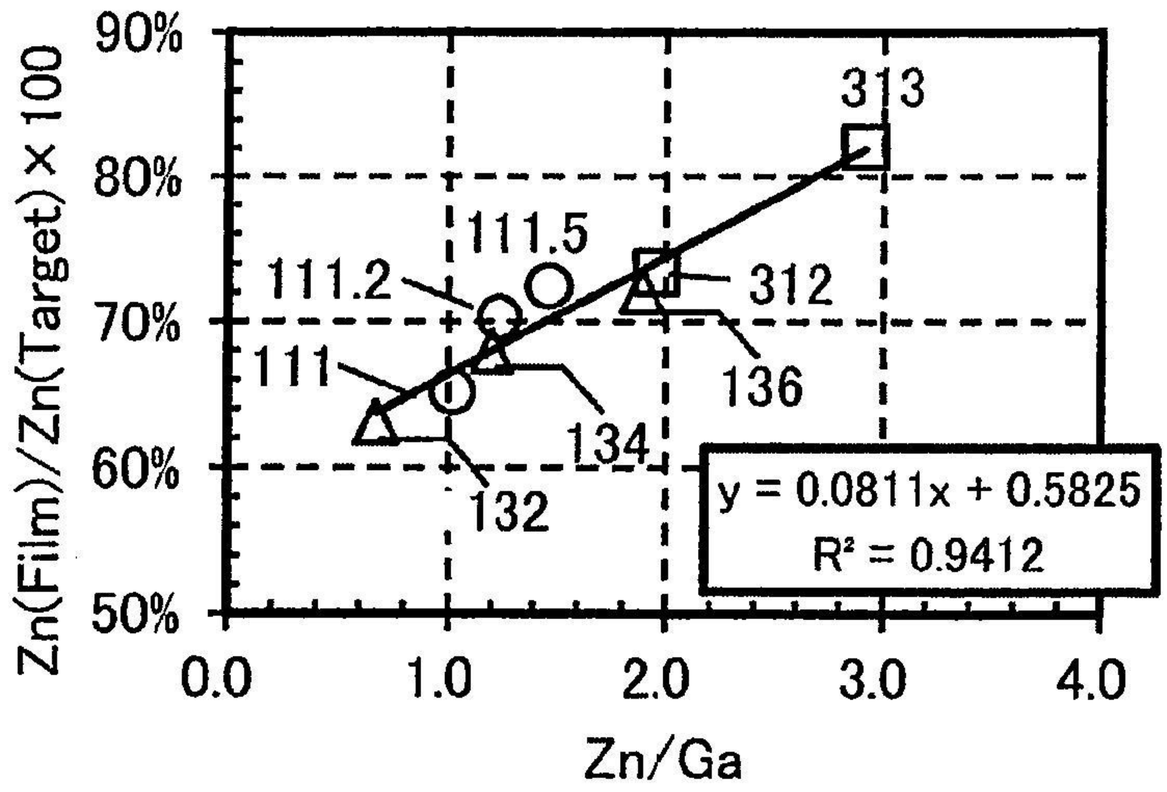


圖 31B

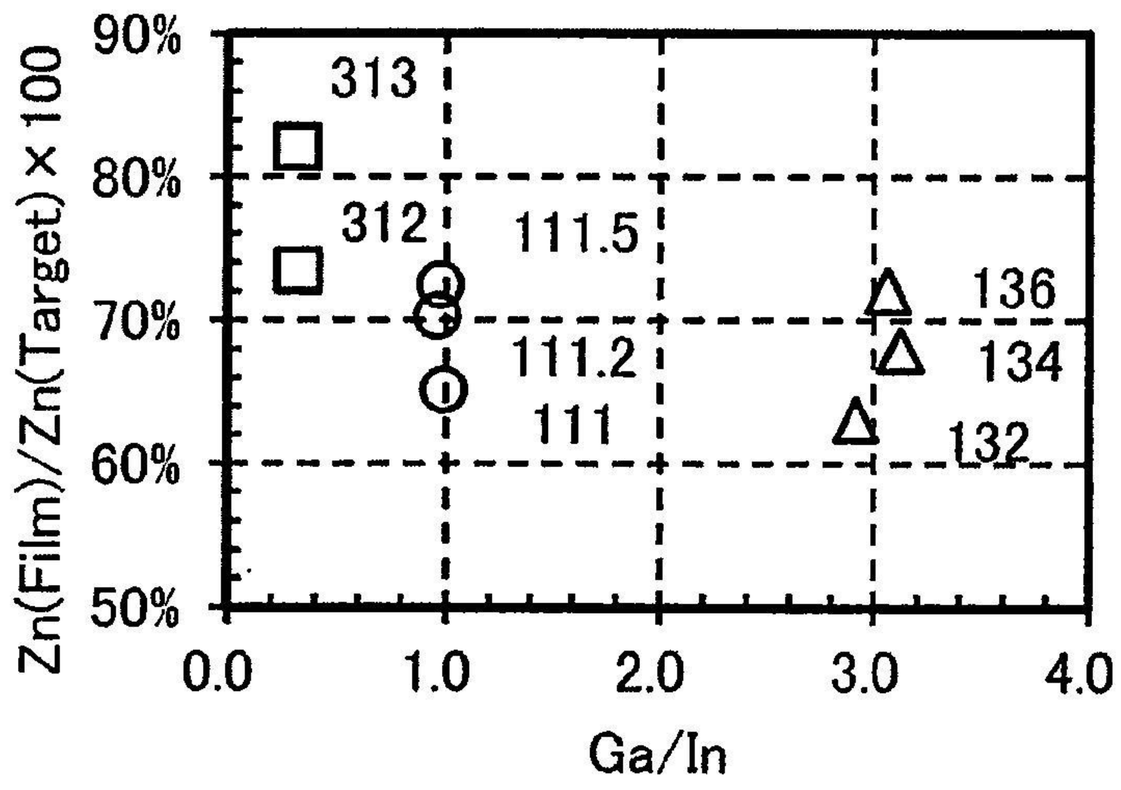


圖 31C

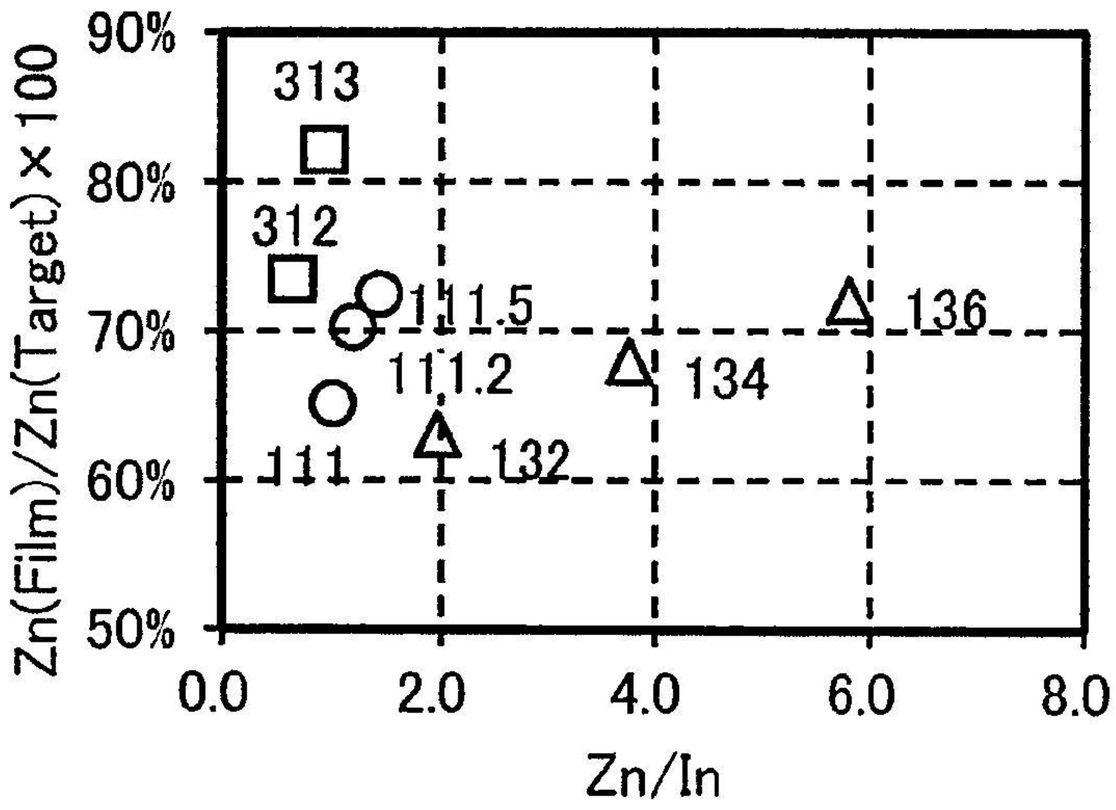


圖 32

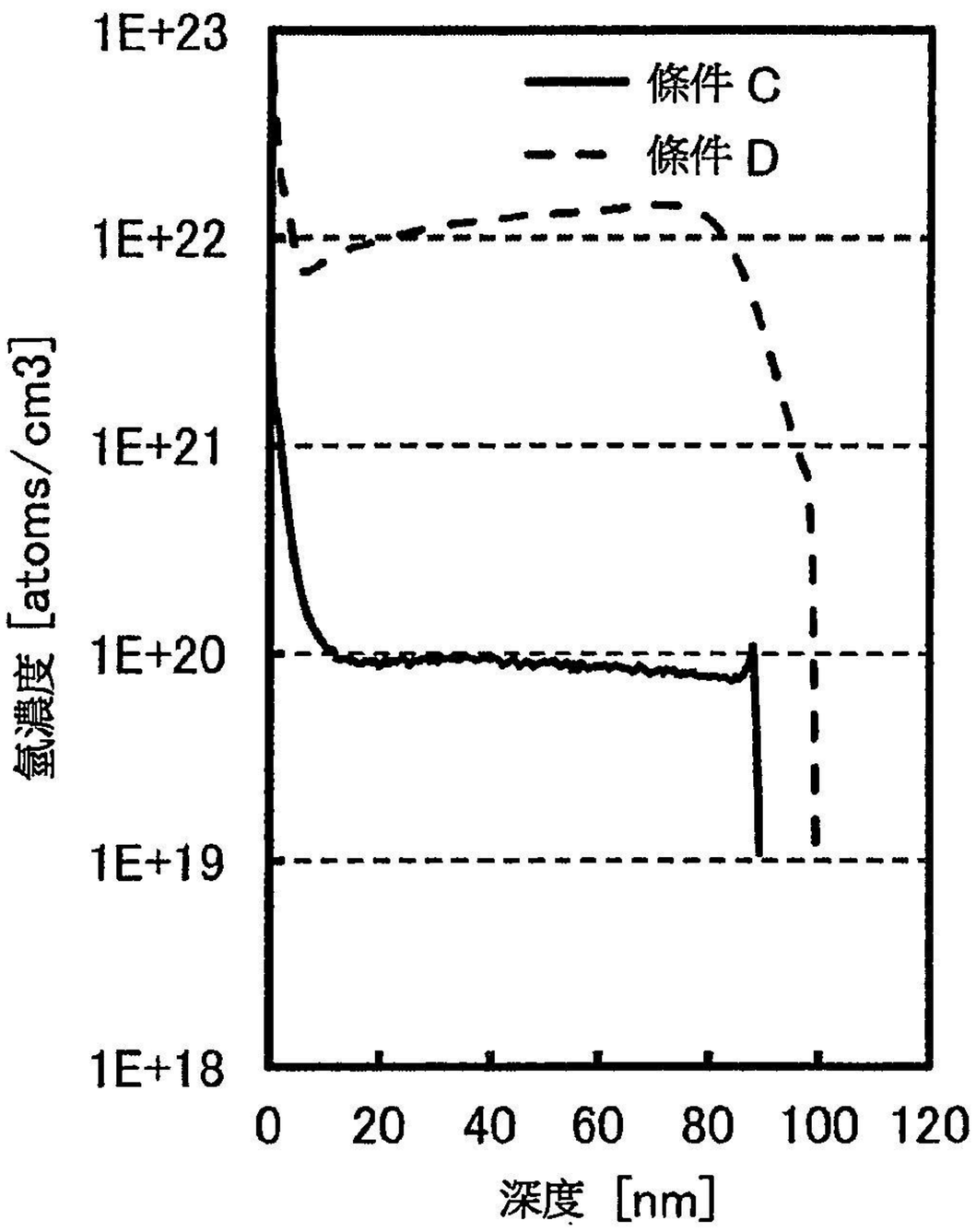

1E+23
1E+22
1E+21
1E+20
1E+19
1E+18
氫濃度 [atoms/cm3]
條件 C
條件 D
0
20
40
60
80
100
120
深度 [nm]

圖 33A

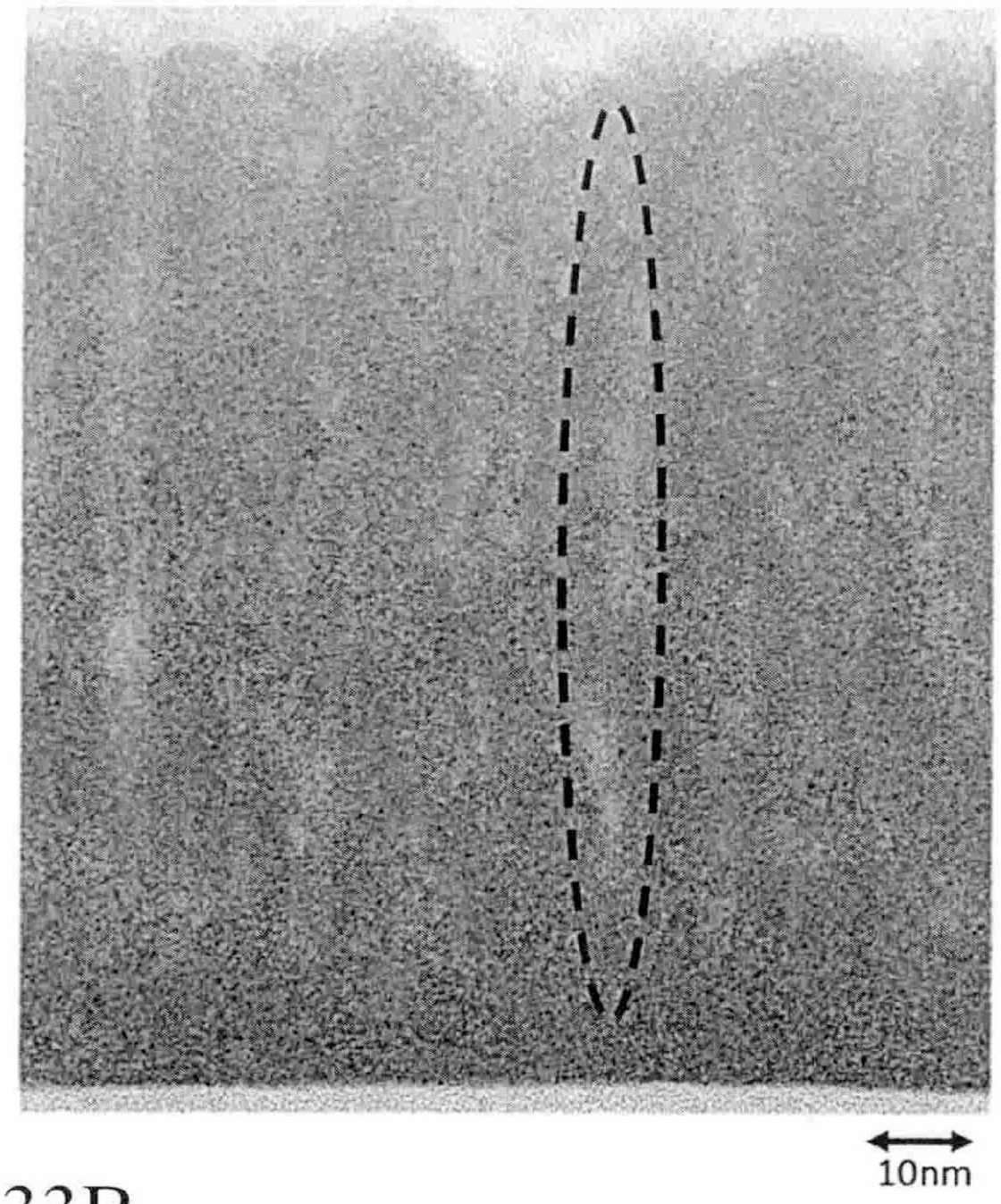


圖 33B

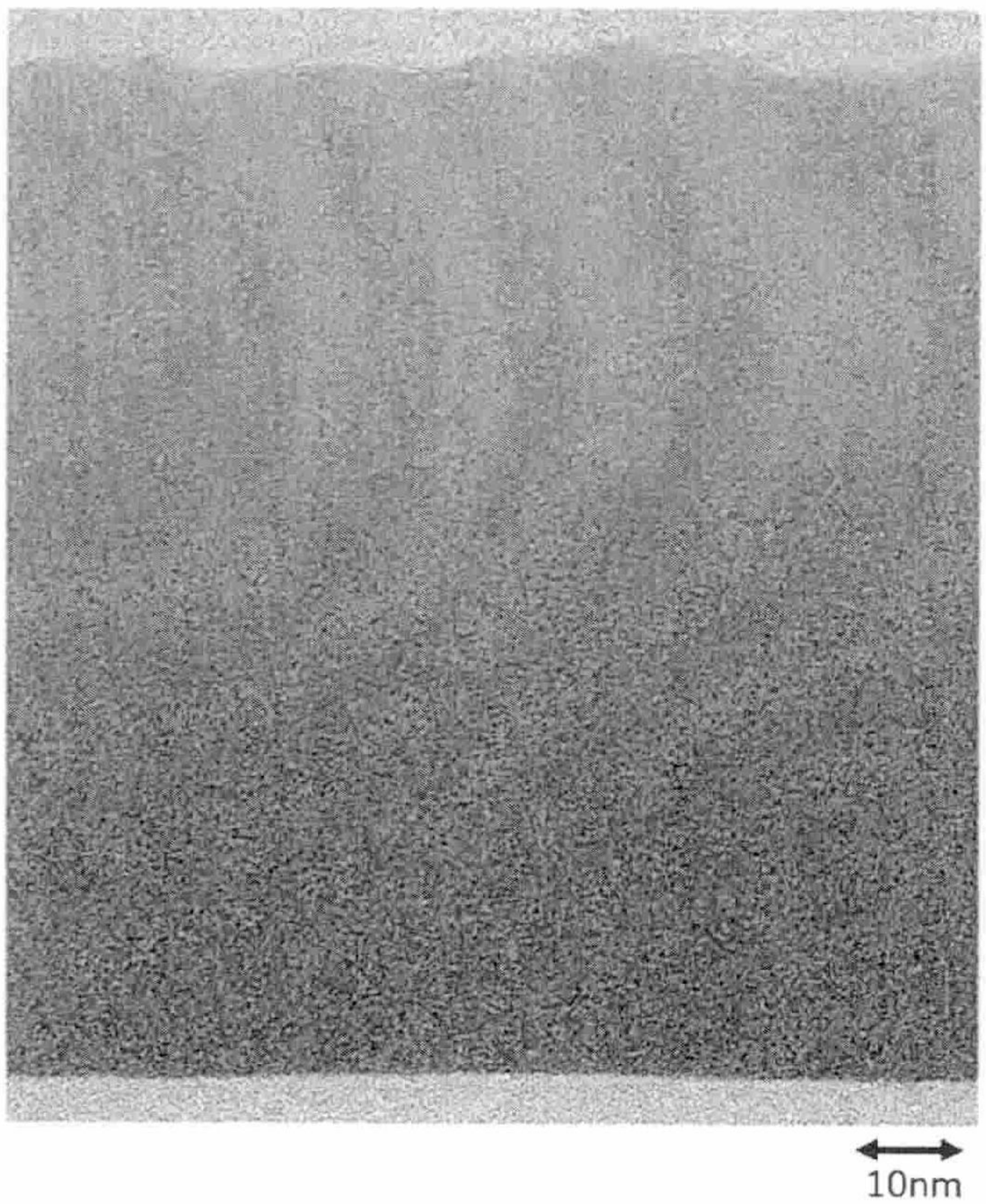


圖 34A

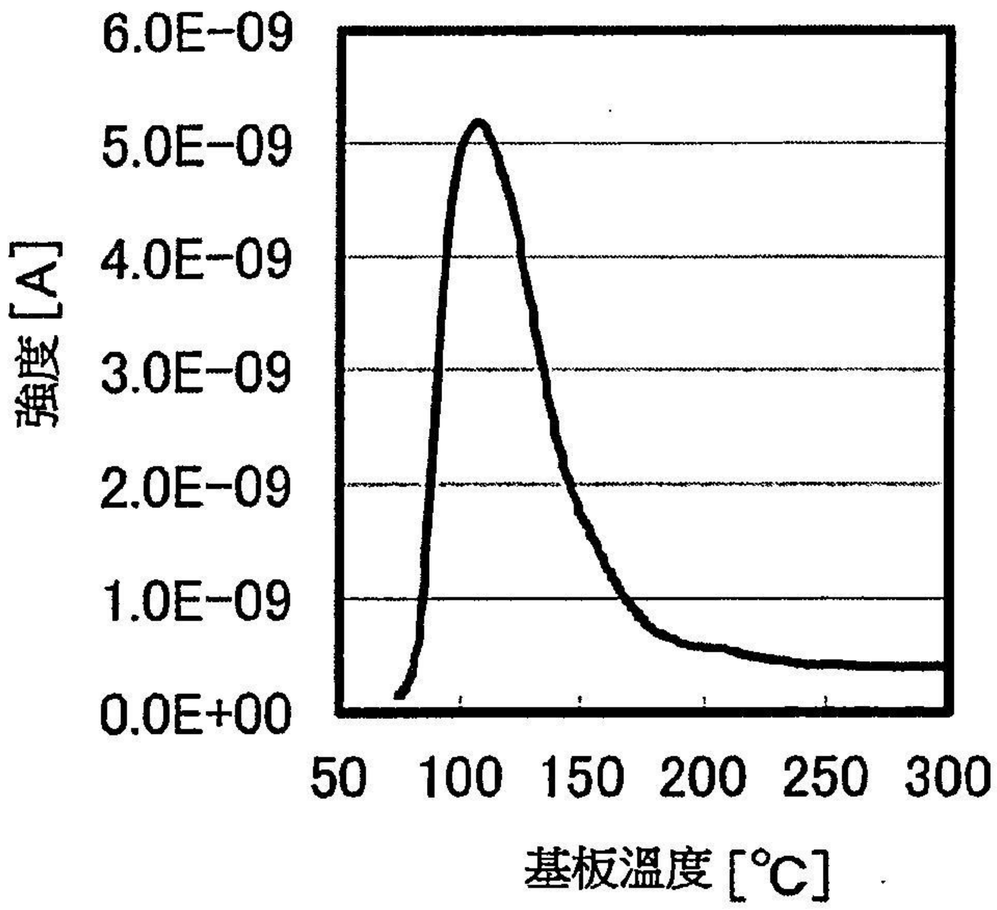

6.0E-09
5.0E-09
4.0E-09
3.0E-09
2.0E-09
1.0E-09
0.0E+00
強度 [A]
50 100 150 200 250 300
基板溫度 [°C]

圖 34B

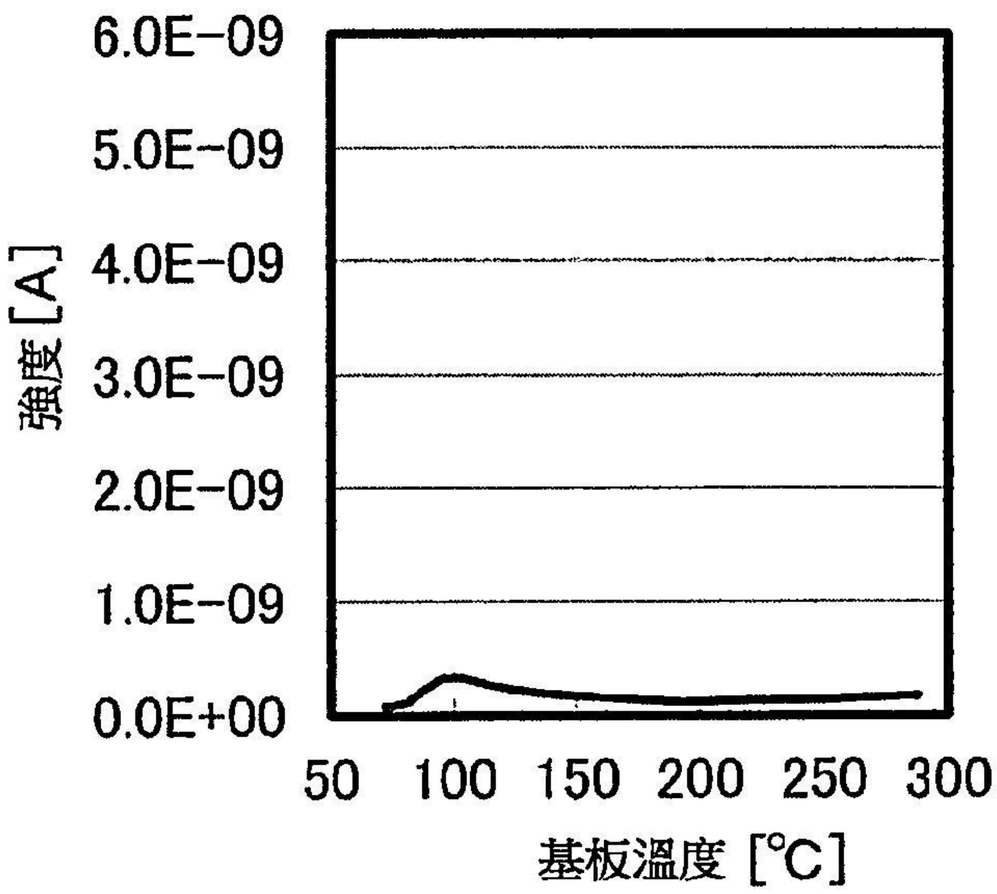

6.0E-09
5.0E-09
4.0E-09
3.0E-09
2.0E-09
1.0E-09
0.0E+00
強度 [A]
50 100 150 200 250 300
基板溫度 [°C]

圖 35A

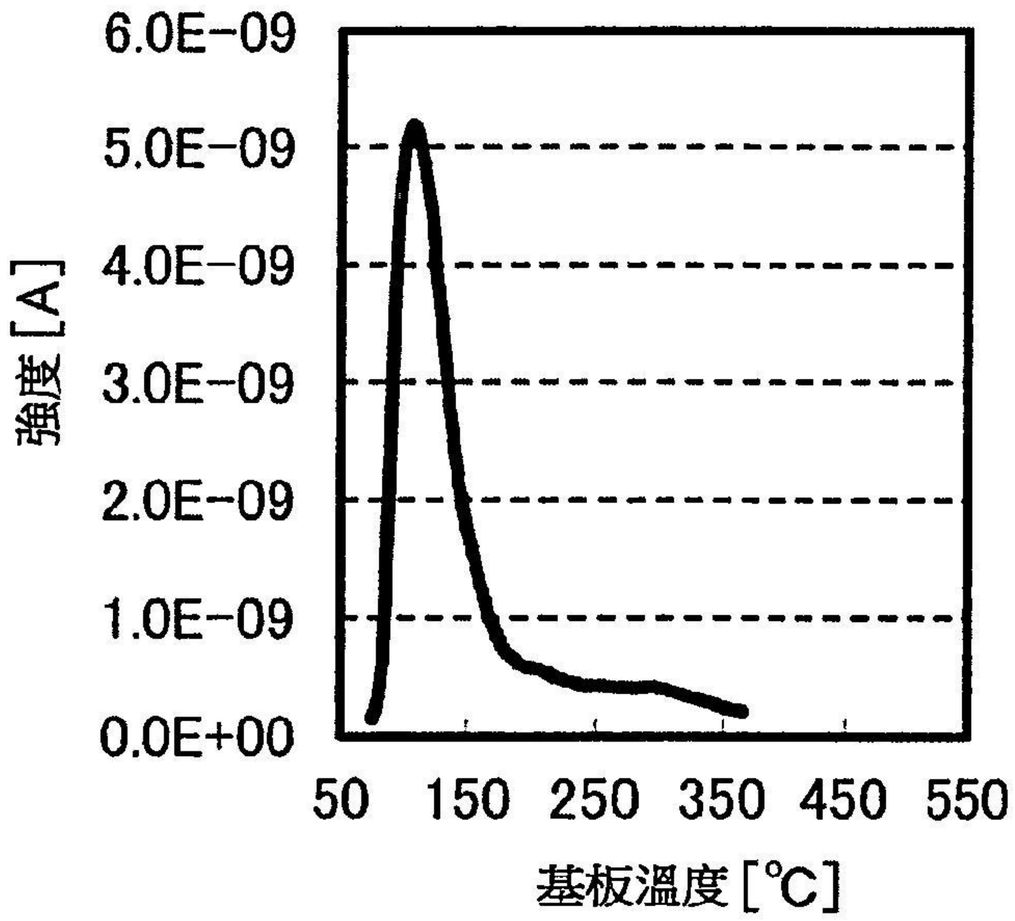
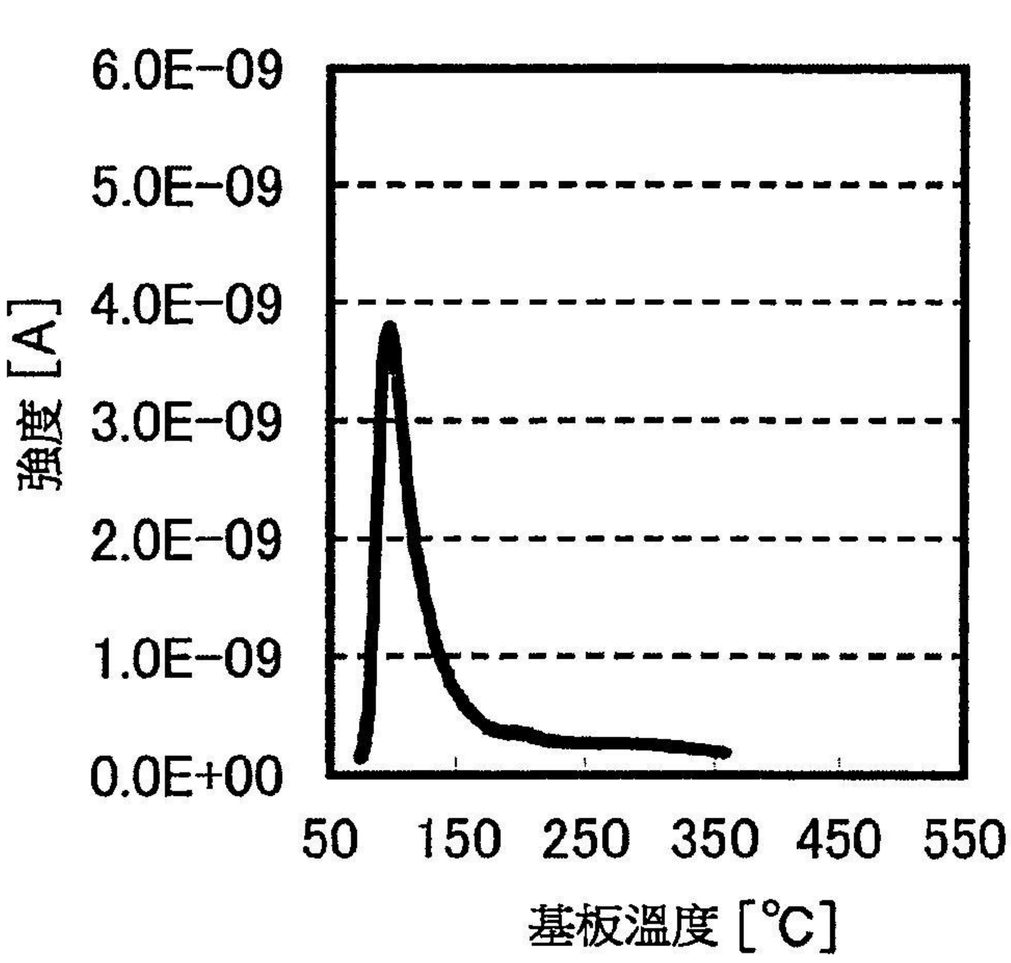
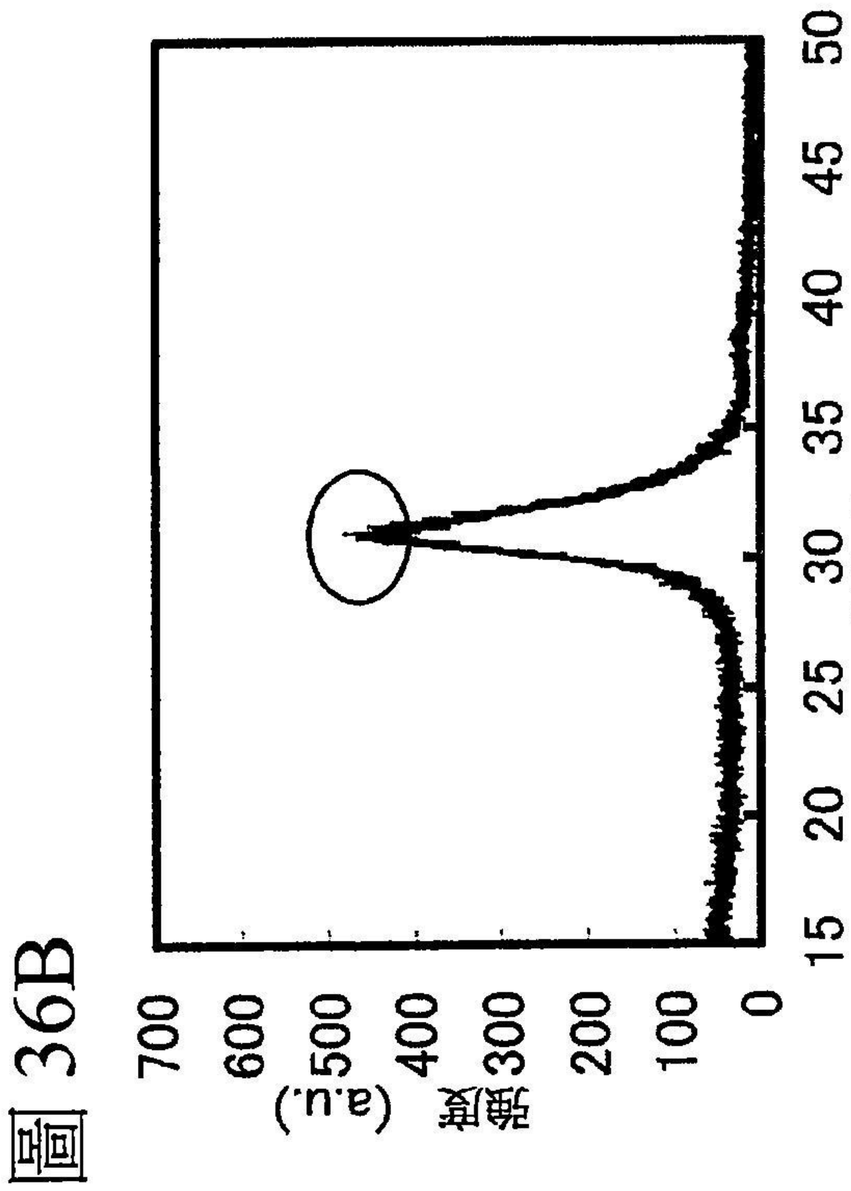
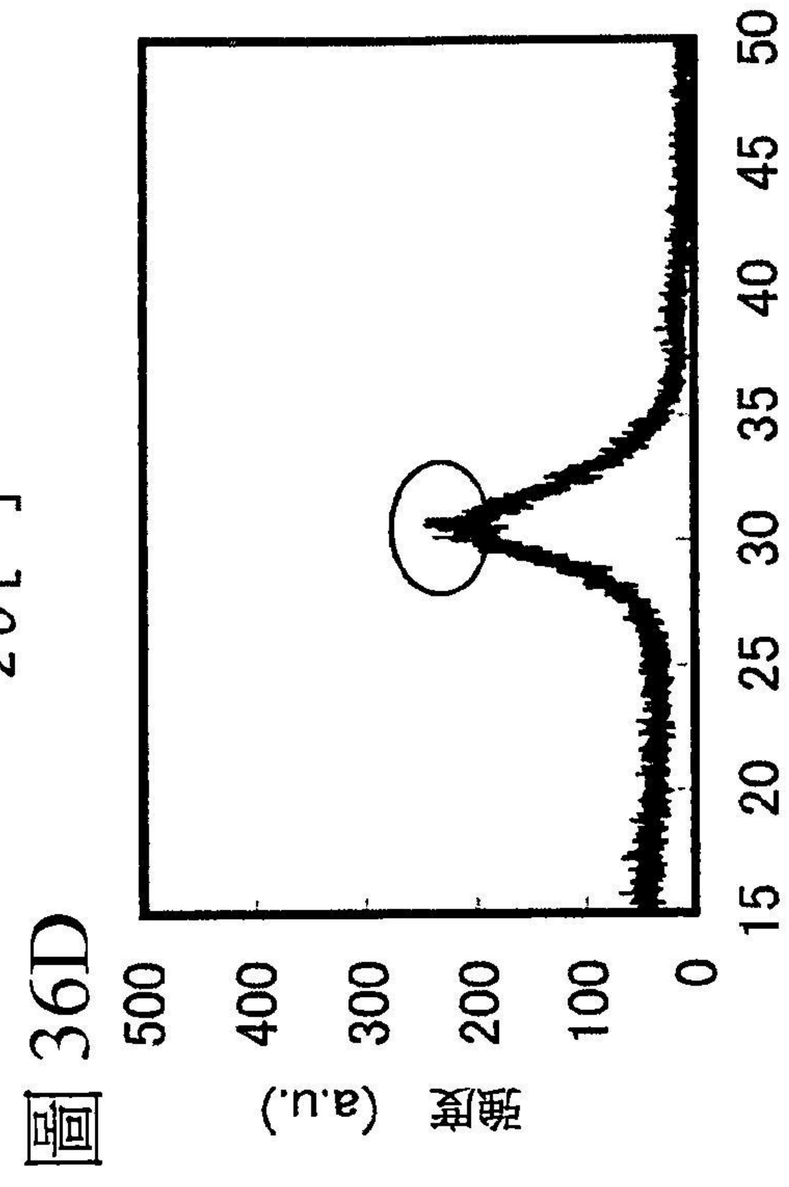
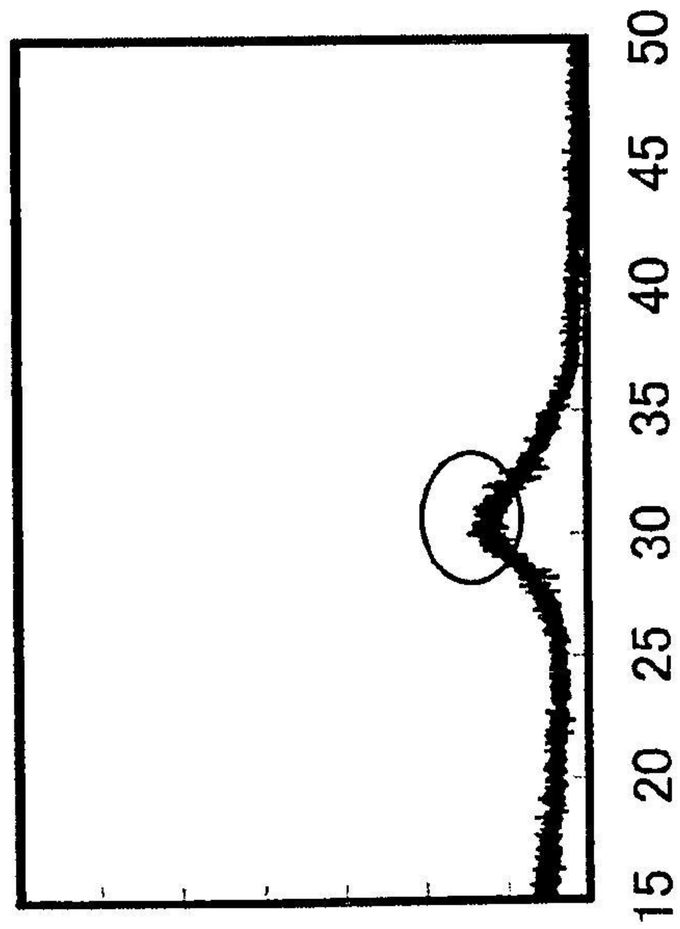

6.0E-09
5.0E-09
4.0E-09
3.0E-09
2.0E-09
1.0E-09
0.0E+00
強度 [A]
50
150
250
350
450
550
基板溫度 [℃]

圖 35B


6.0E-09
5.0E-09
4.0E-09
3.0E-09
2.0E-09
1.0E-09
0.0E+00
強度 [A]
50
150
250
350
450
550
基板溫度 [℃]


圖 36B
強度 (a.u.)
2θ[°]


圖 36D
強度 (a.u.)
2θ[°]


圖 36A
強度 (a.u.)
2θ[°]

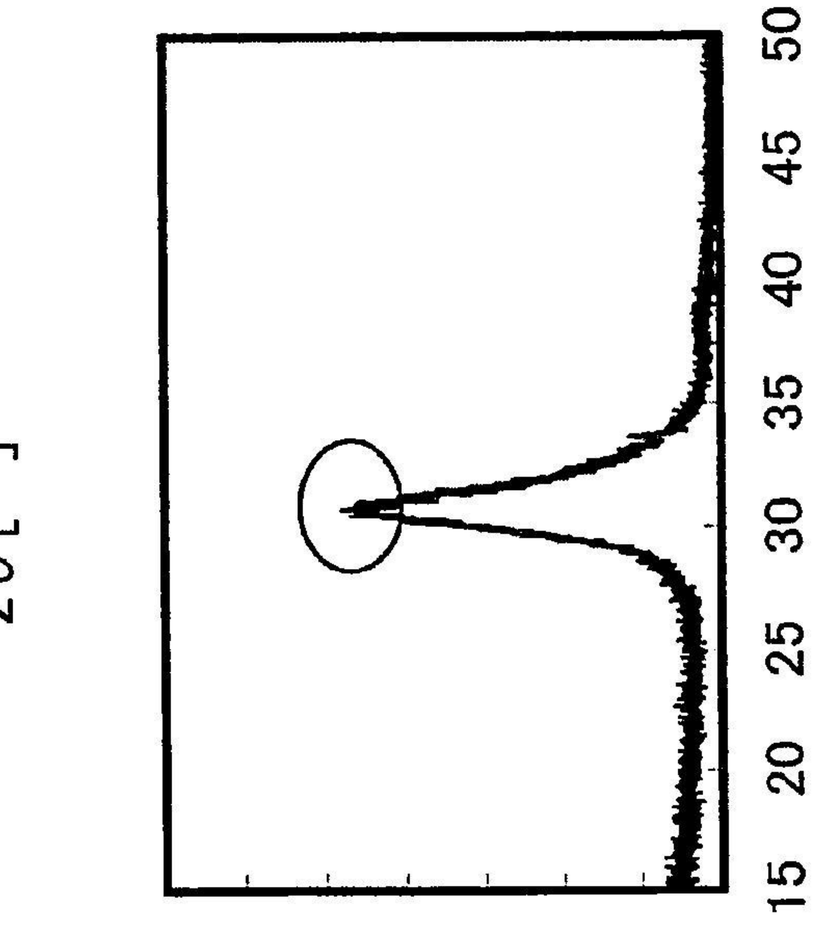

圖 36C
強度 (a.u.)
2θ[°]

圖 37A

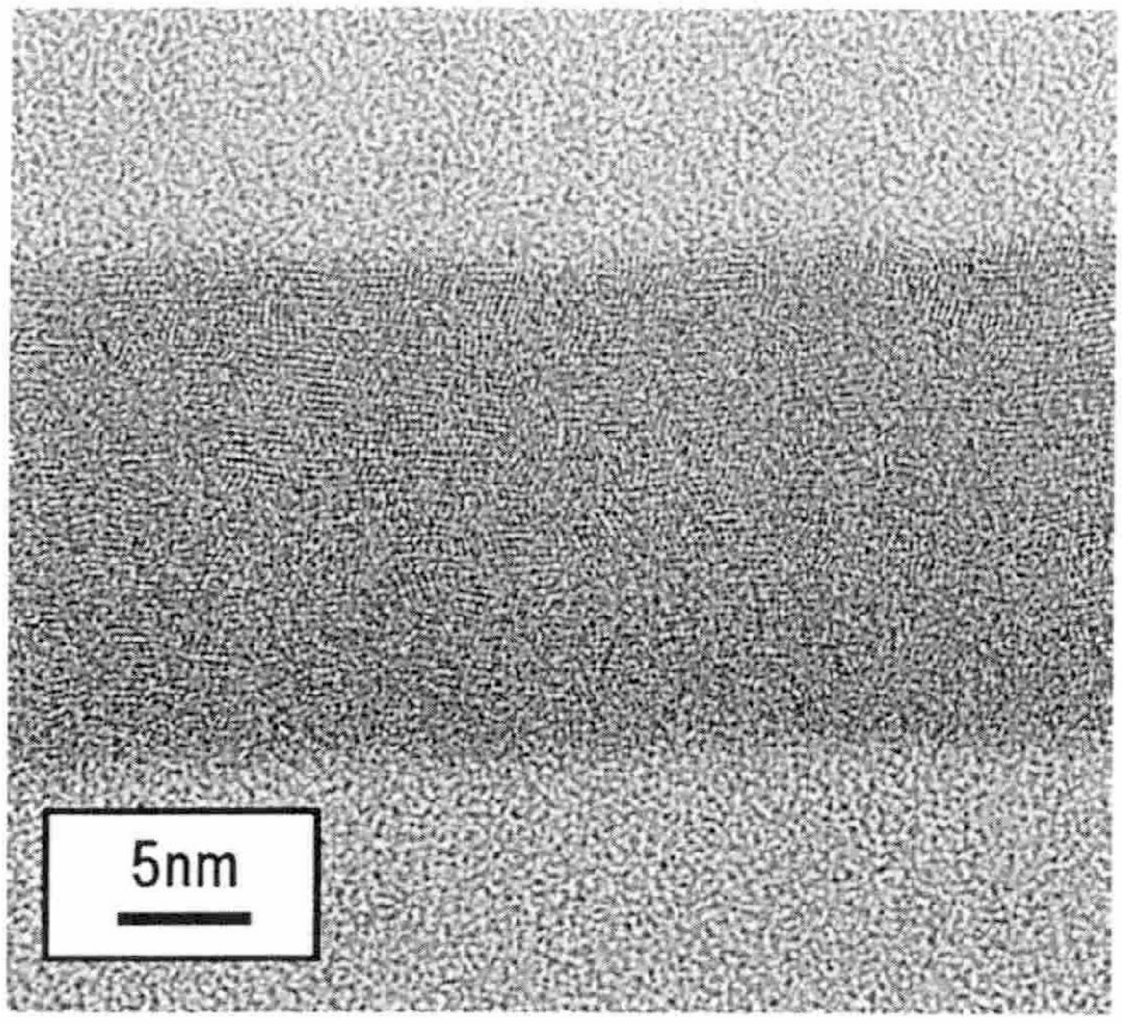


圖 37B

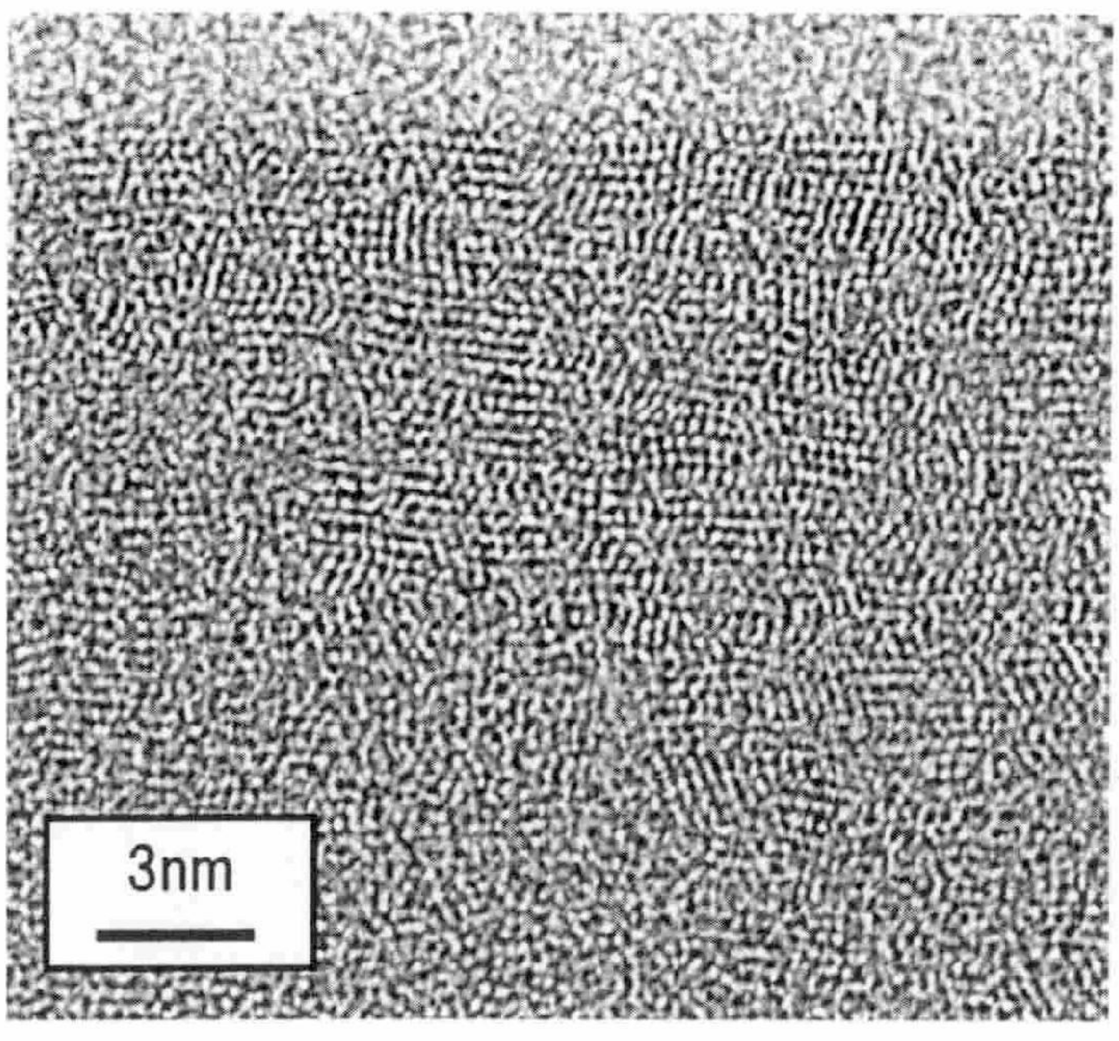


圖 38A

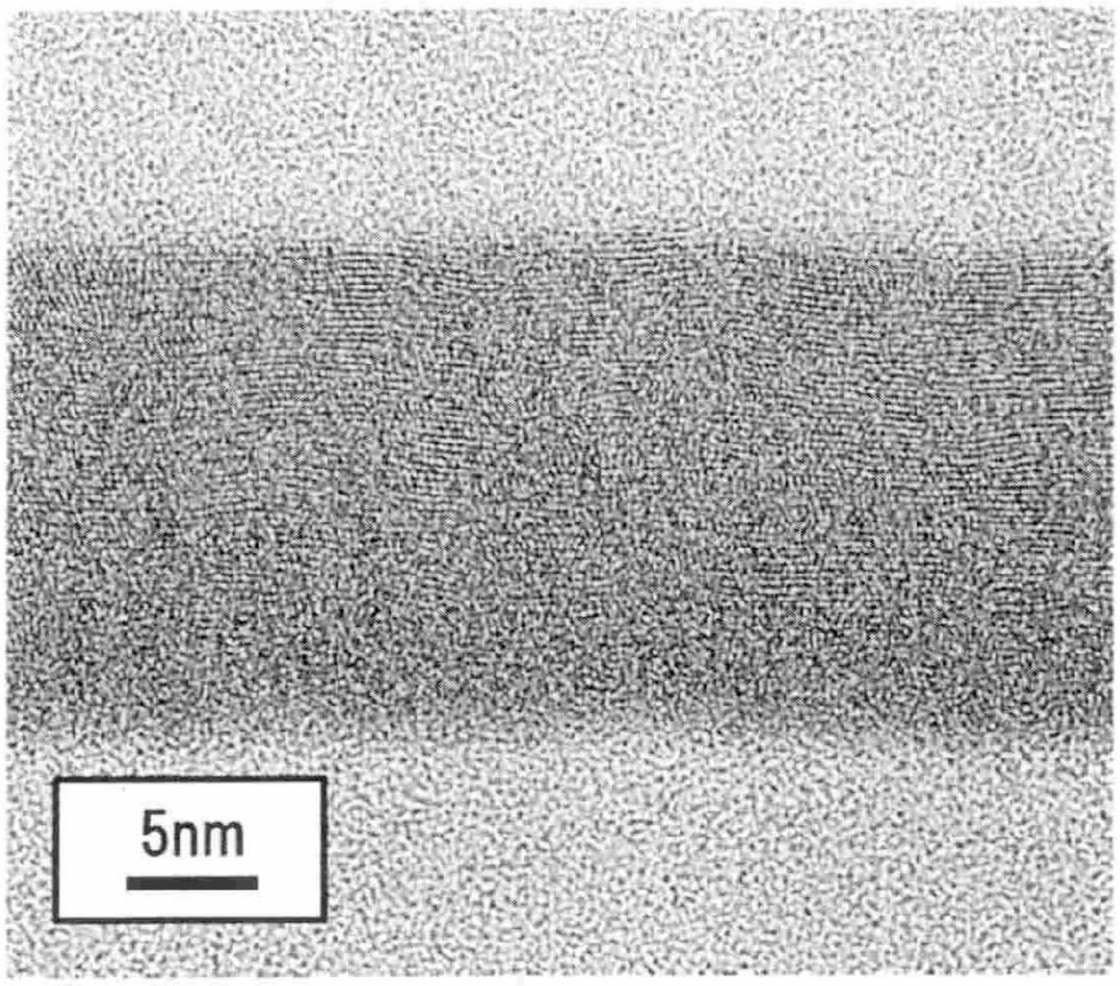


圖 38B

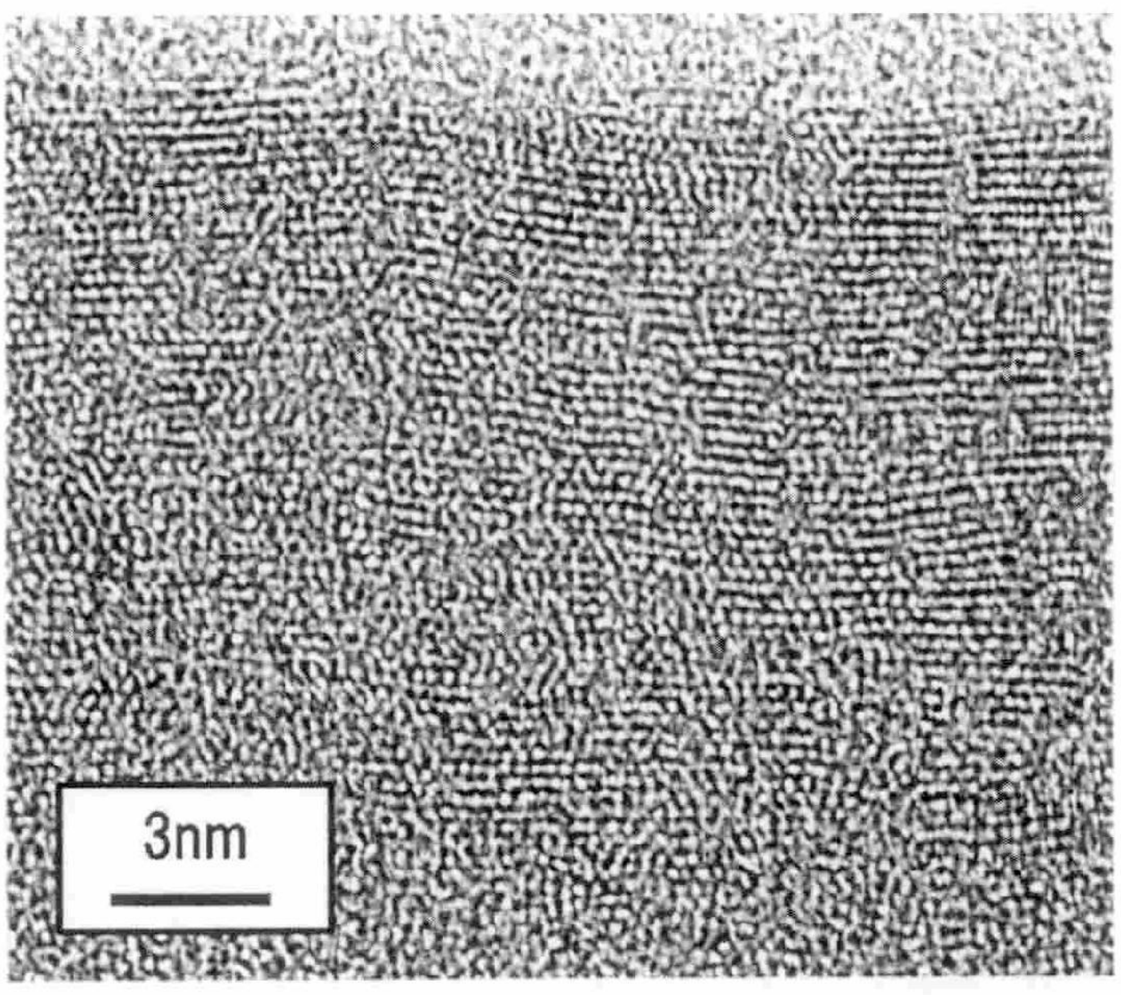


圖 39A

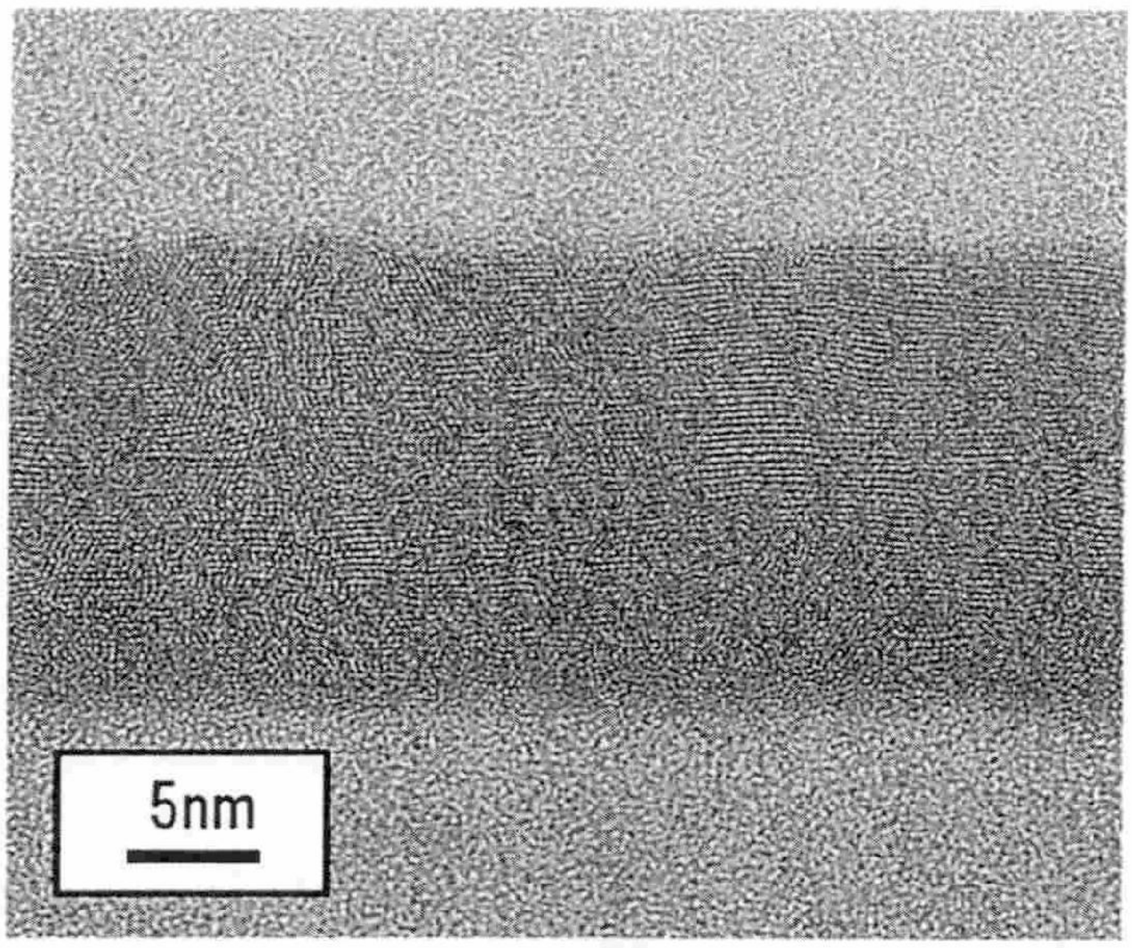
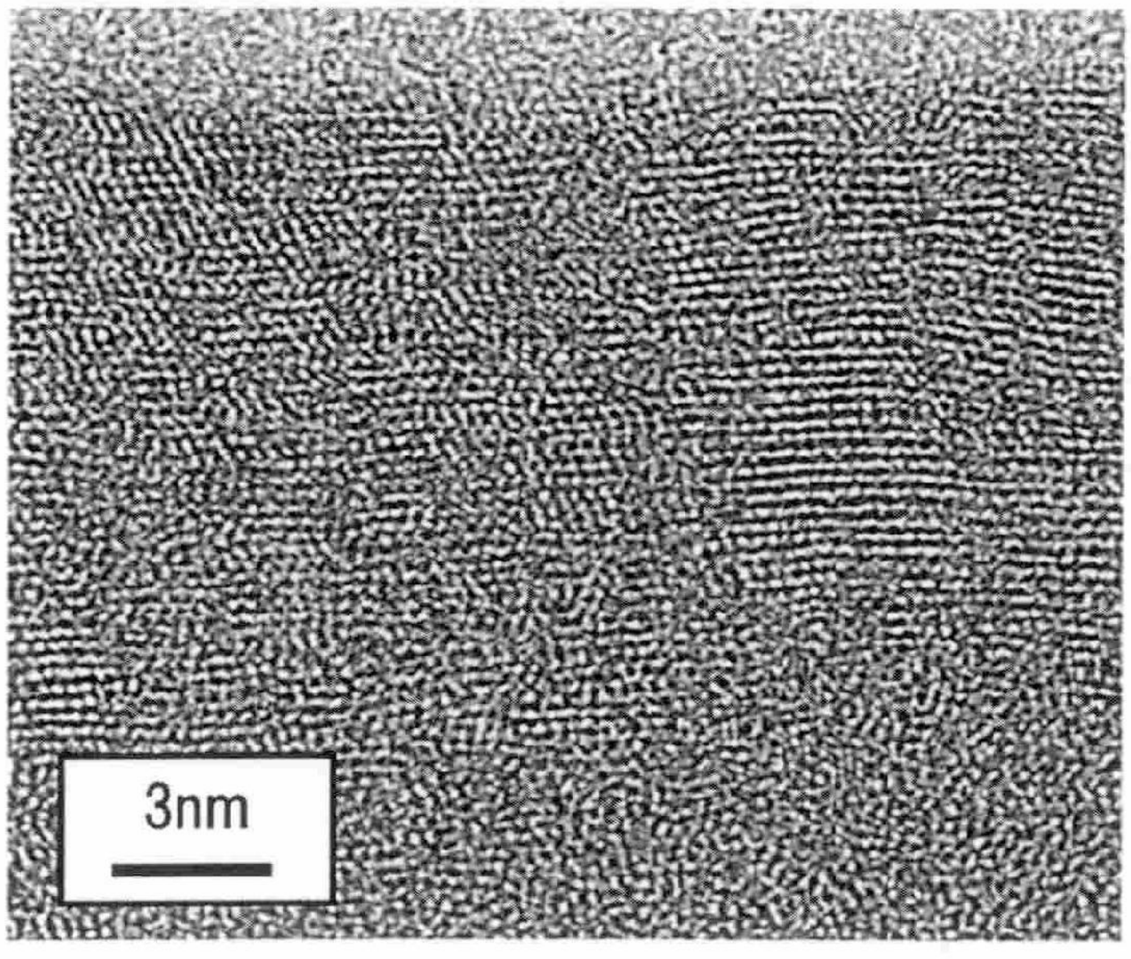


圖 39B



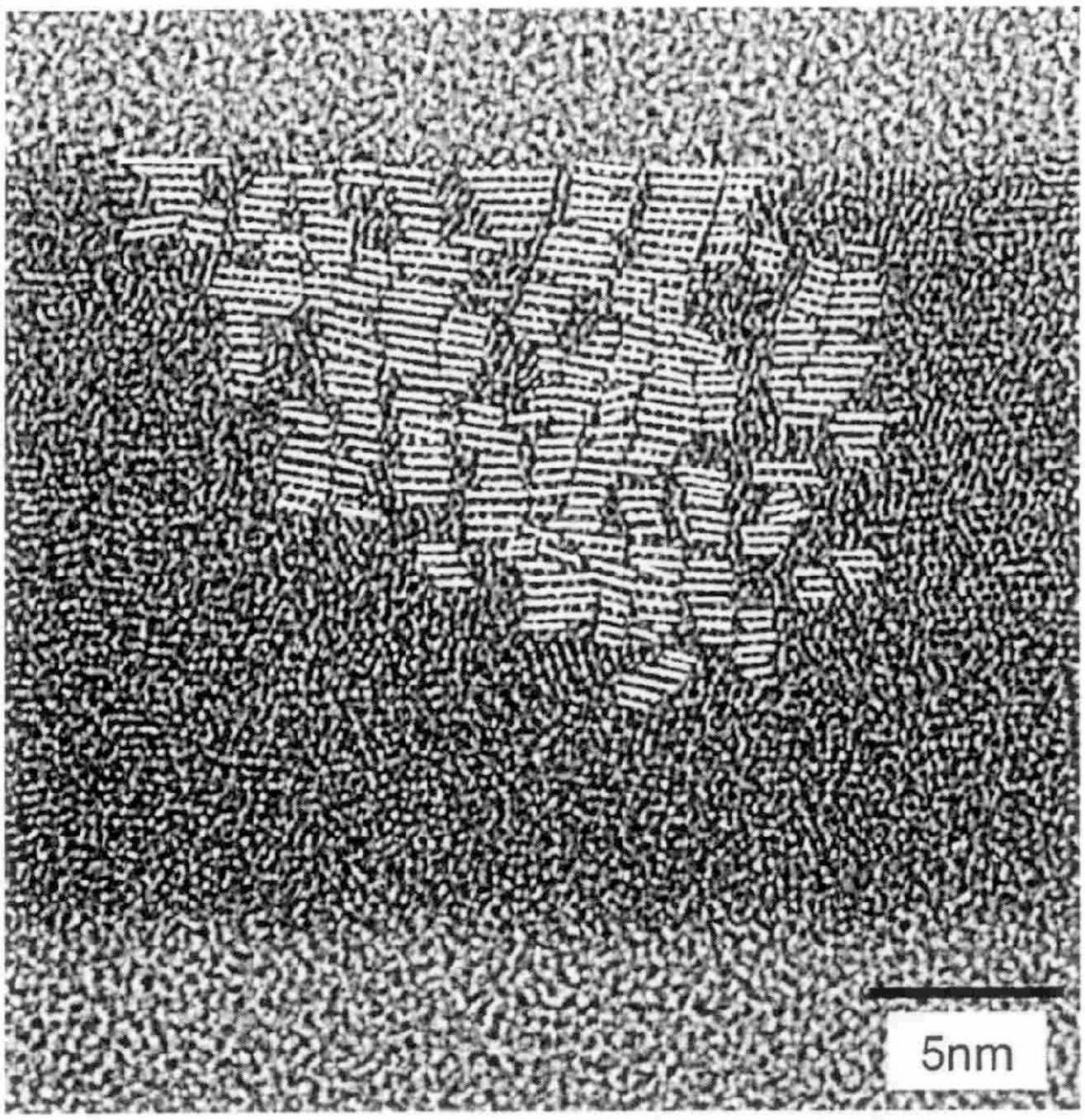


圖 40A

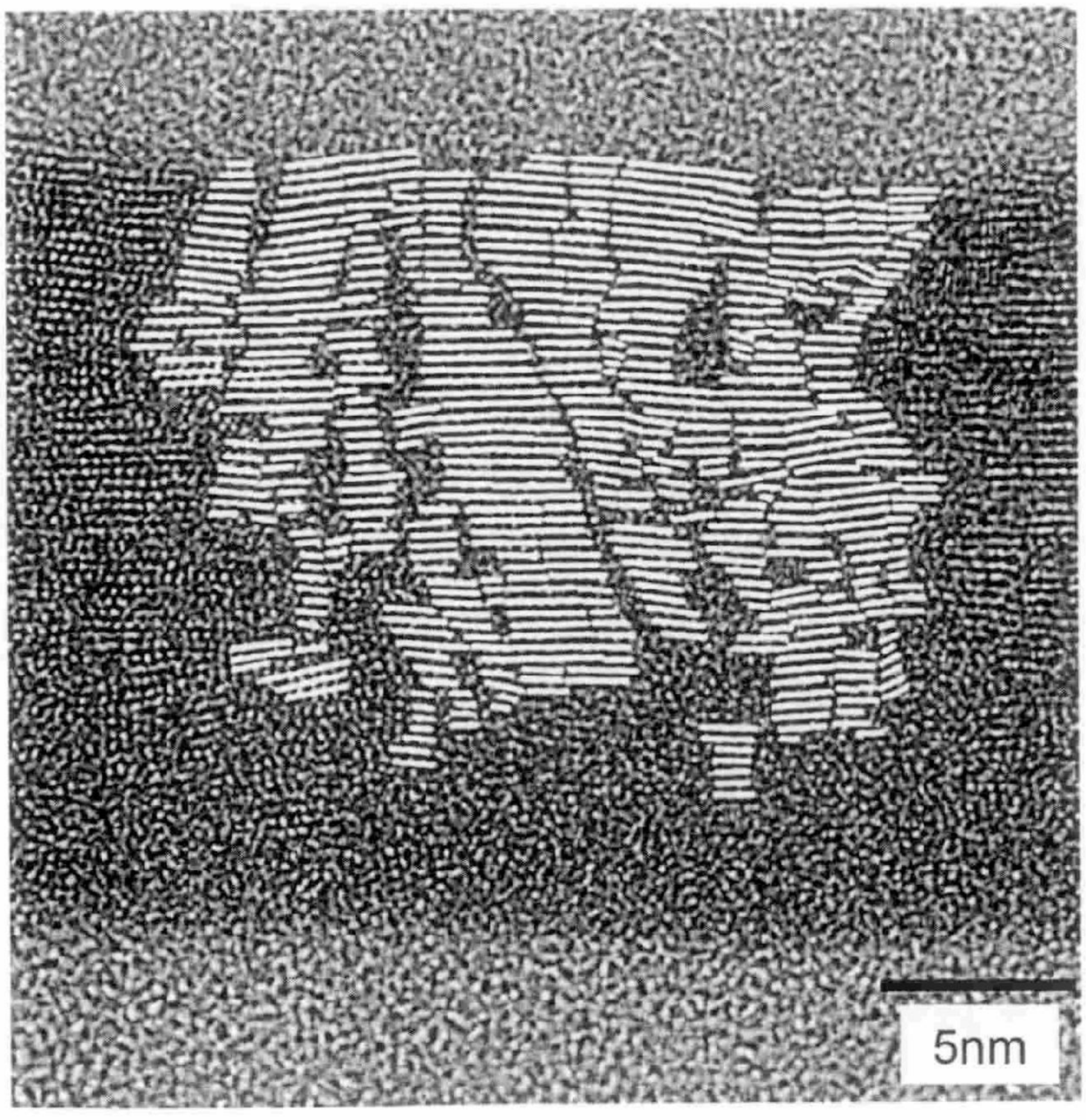


圖 40B

圖 41A

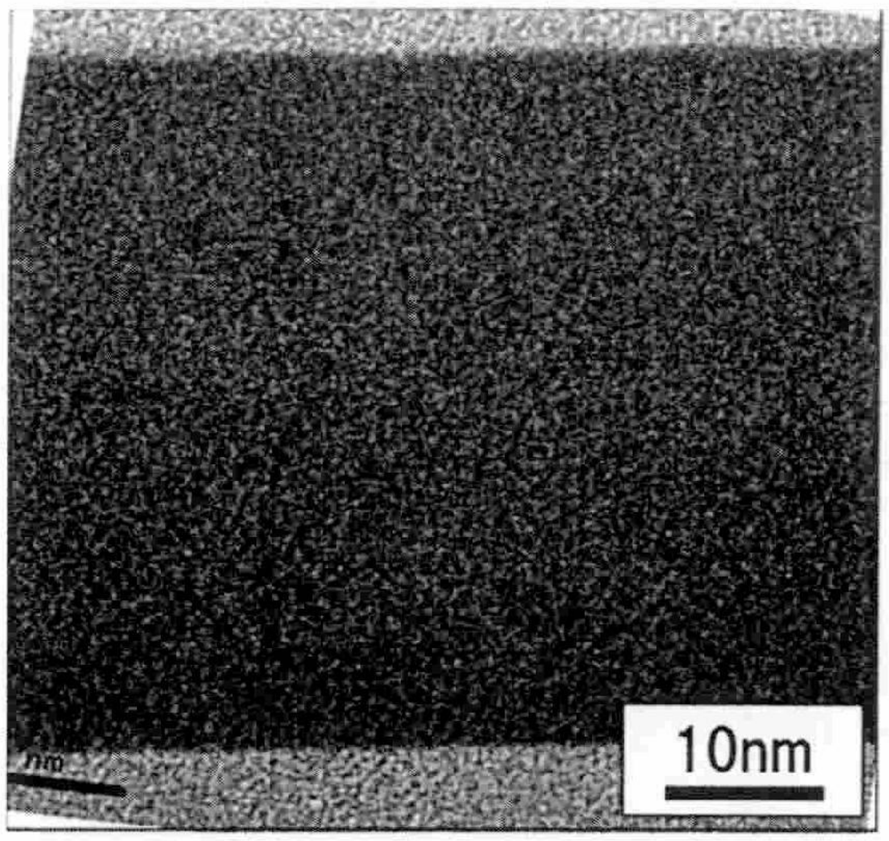


圖 41B

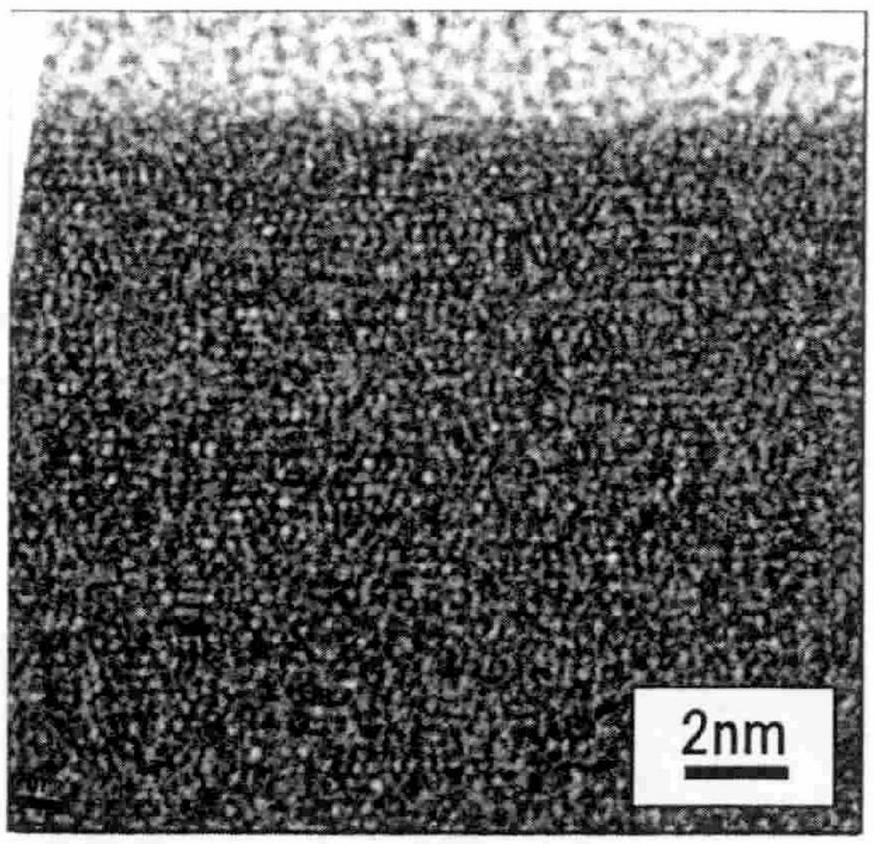


圖 41C

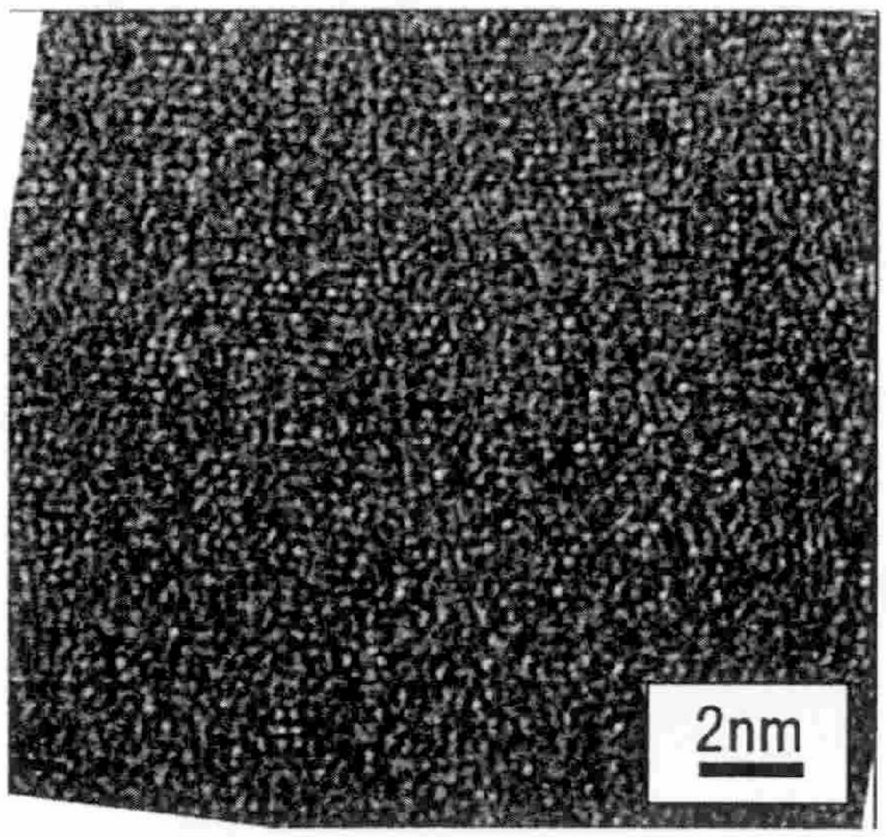


圖 41D

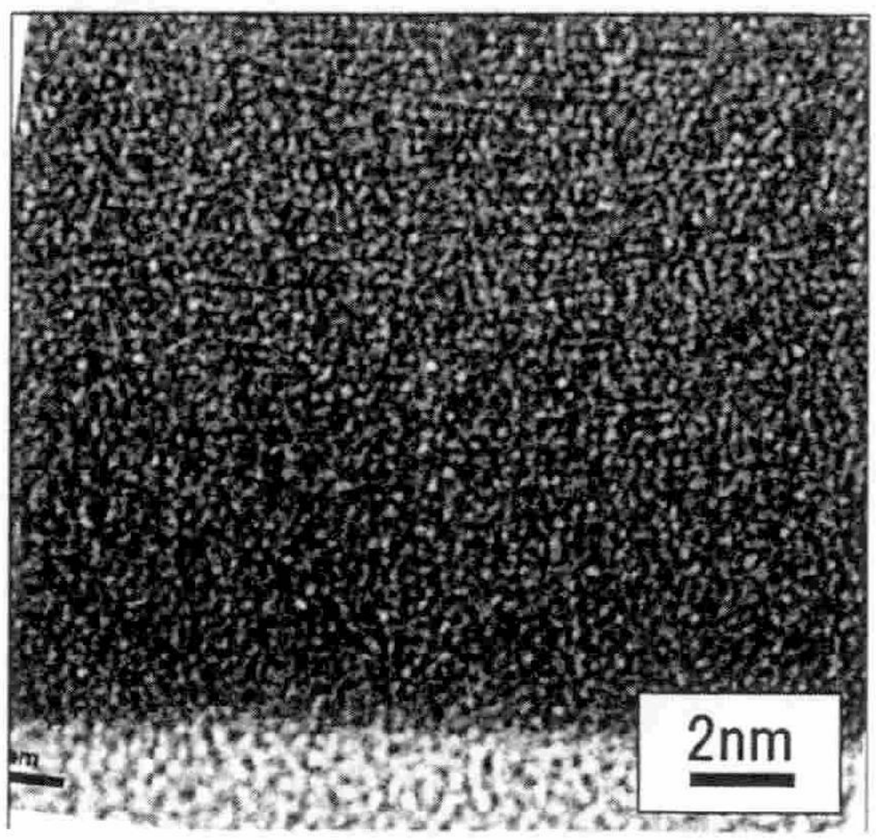


圖 42A

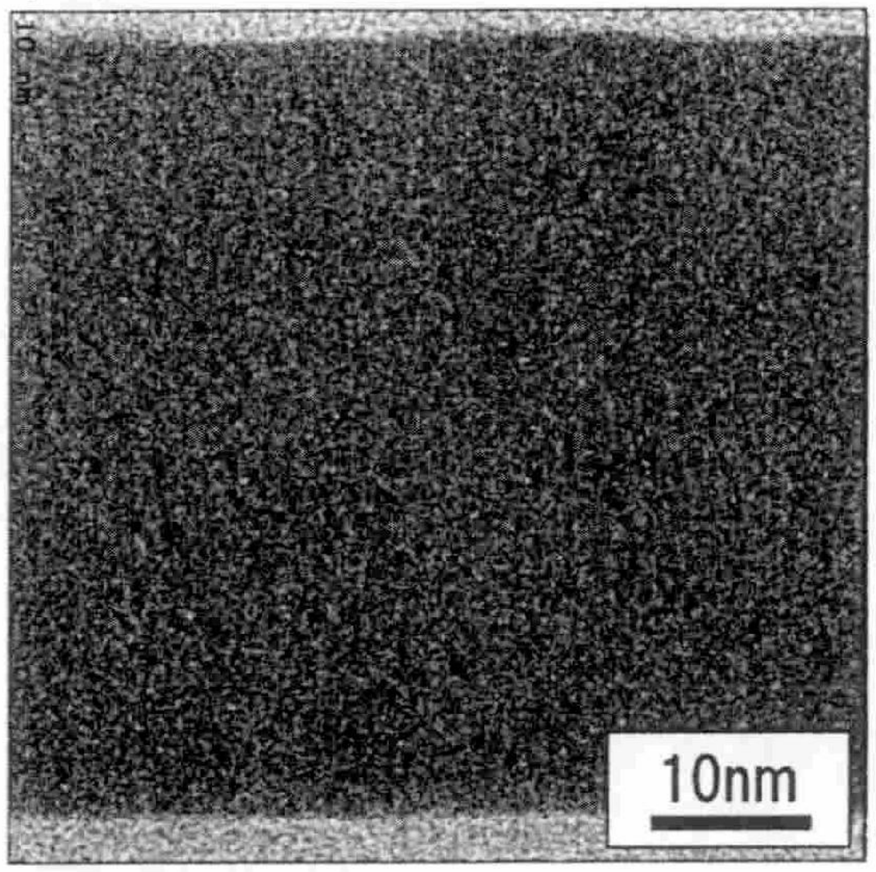


圖 42B

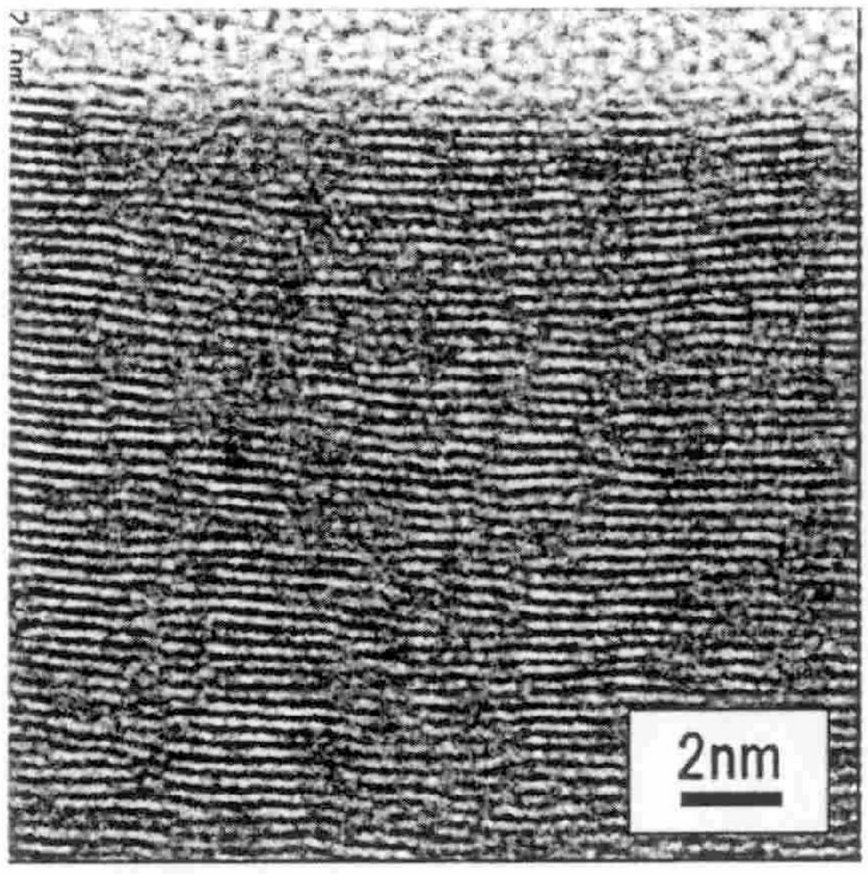


圖 42C

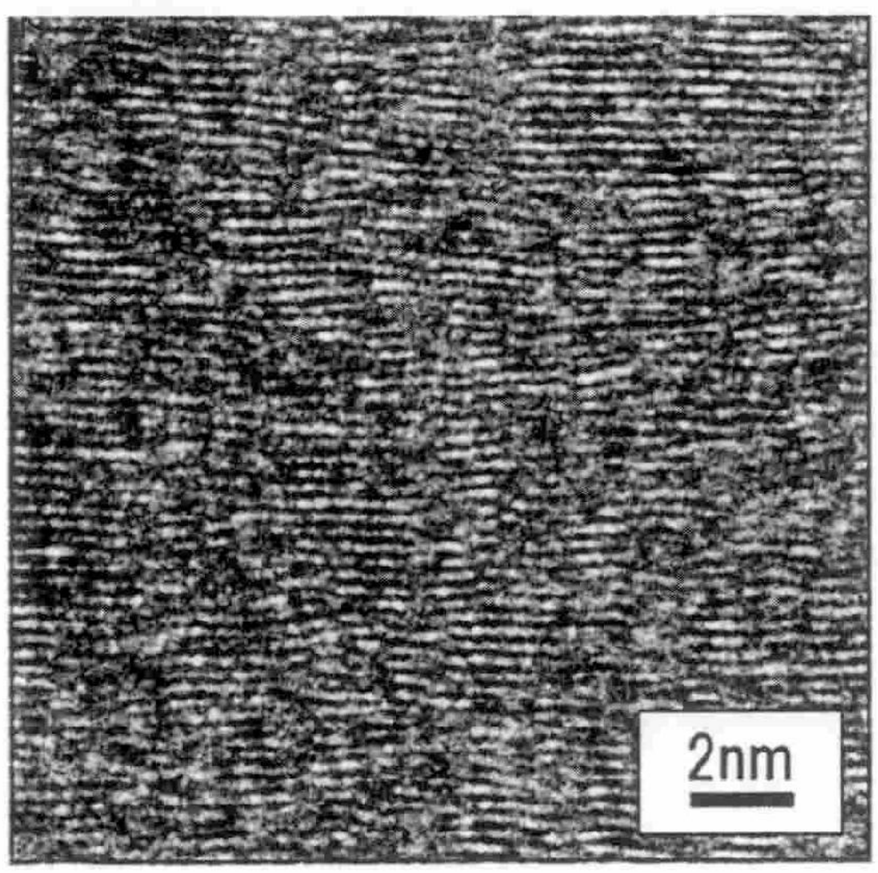


圖 42D

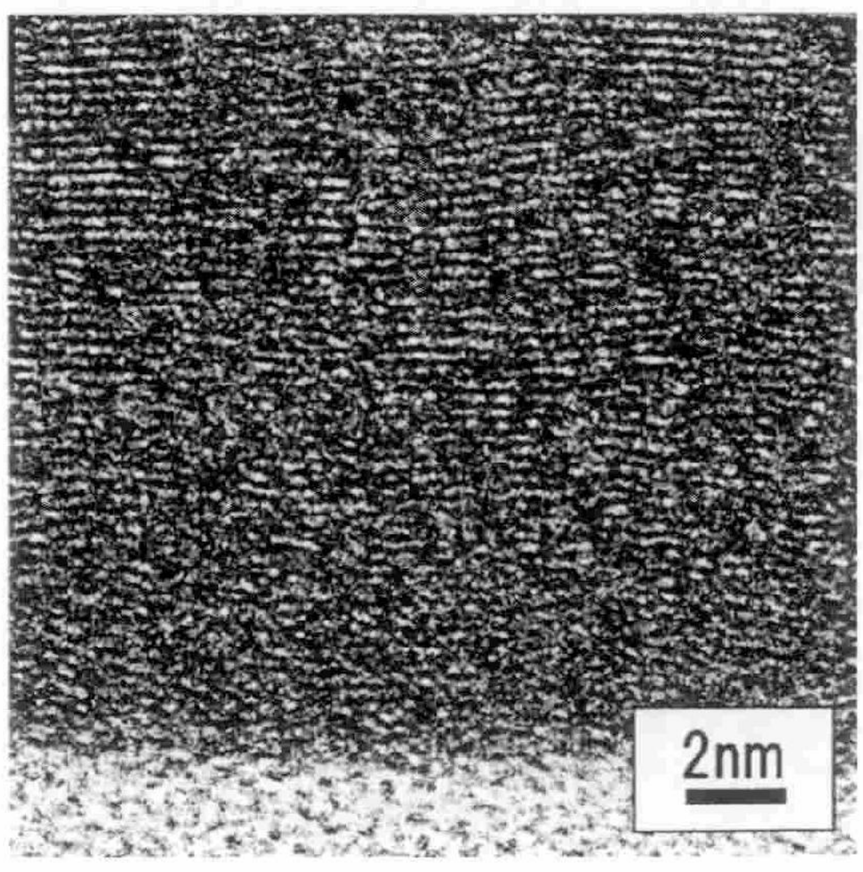


圖 43A

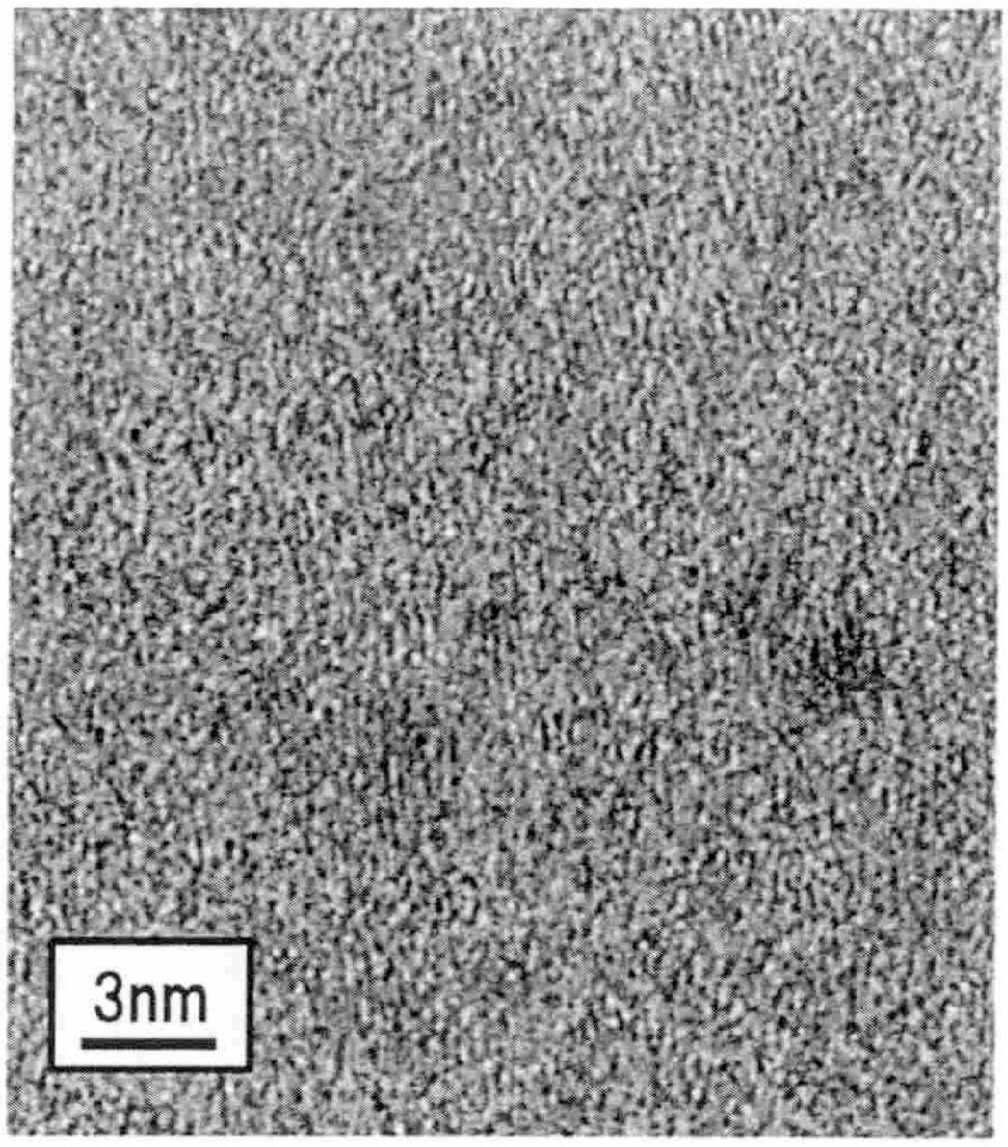


圖 43B

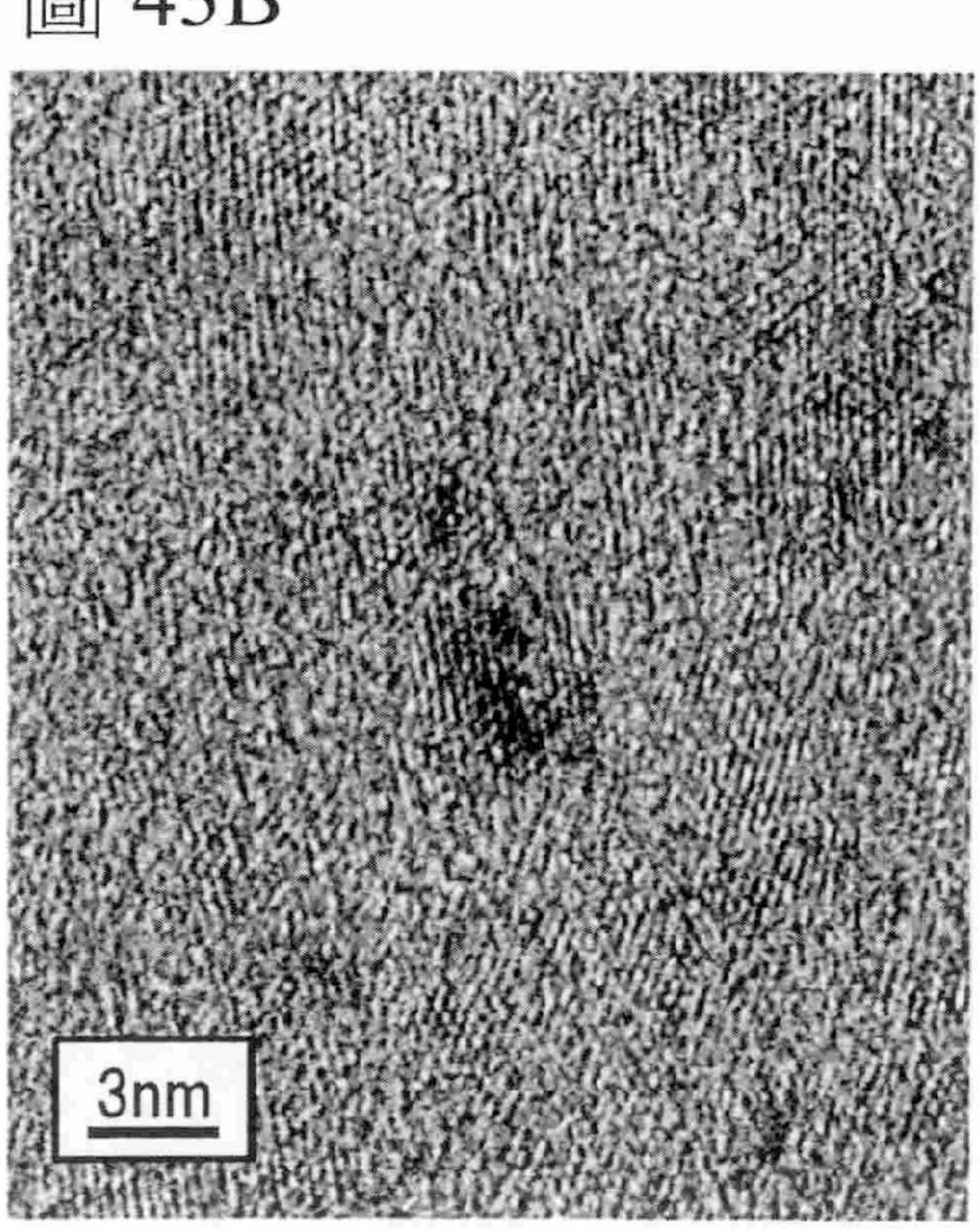


圖 44A

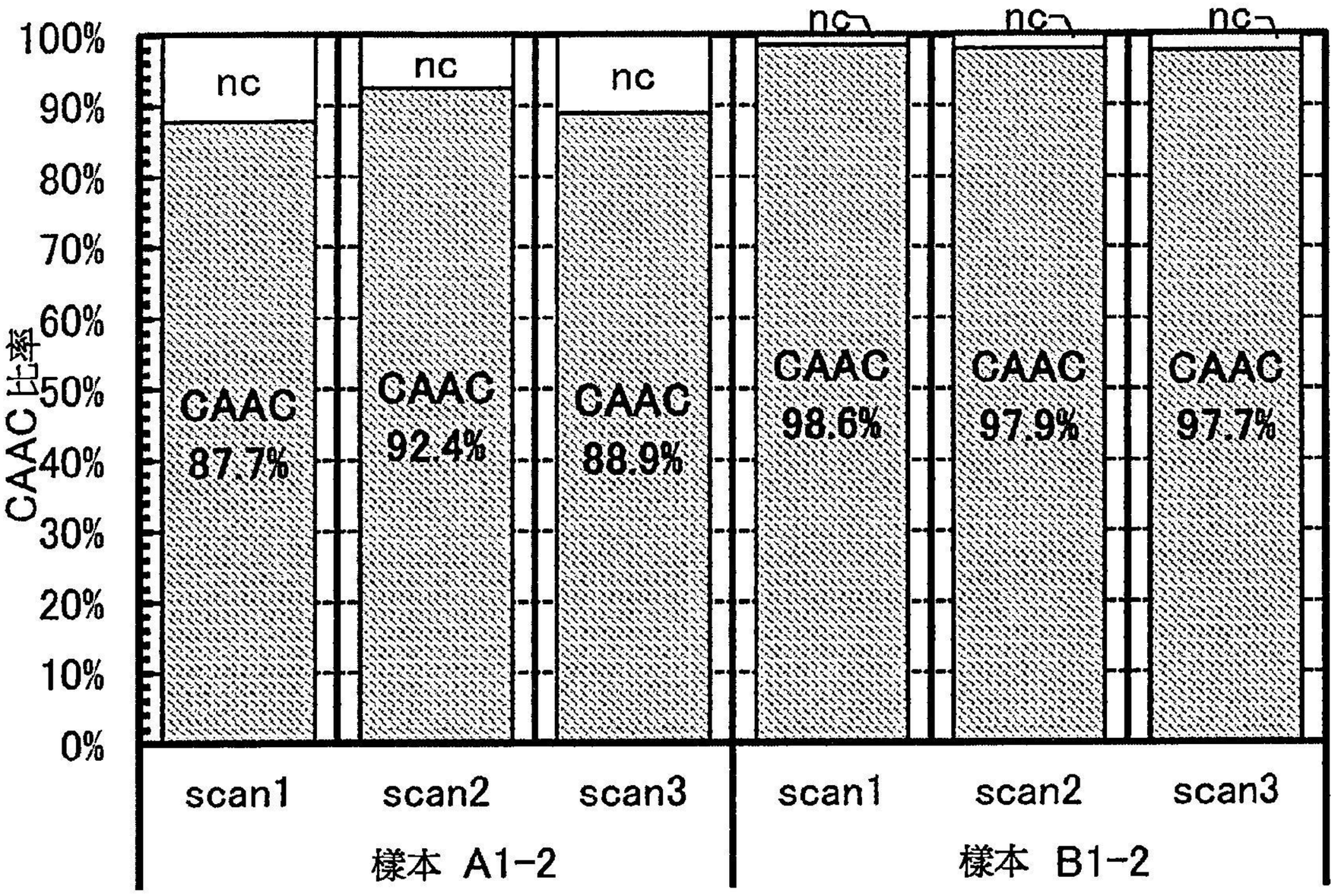
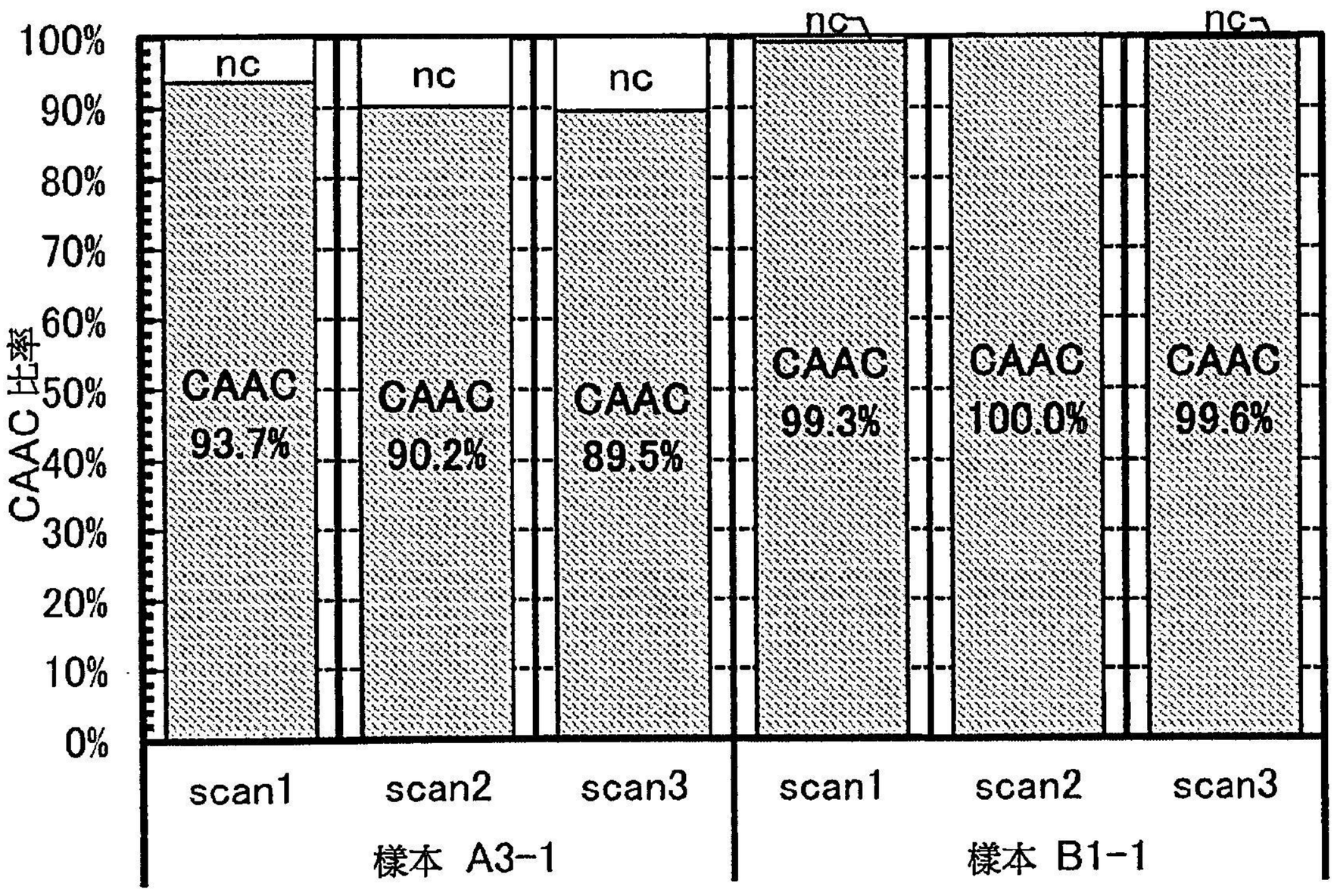

100%
90%
80%
70%
60%
50%
40%
30%
20%
10%
0%
CAAC 比率
nc
nc
nc
nc
nc
nc
CAAC
87.7%
CAAC
92.4%
CAAC
88.9%
CAAC
98.6%
CAAC
97.9%
CAAC
97.7%
scan1
scan2
scan3
scan1
scan2
scan3
樣本 A1-2
樣本 B1-2

圖 44B


100%
90%
80%
70%
60%
50%
40%
30%
20%
10%
0%
CAAC 比率
nc
nc
nc
nc
nc
CAAC
93.7%
CAAC
90.2%
CAAC
89.5%
CAAC
99.3%
CAAC
100.0%
CAAC
99.6%
scan1
scan2
scan3
scan1
scan2
scan3
樣本 A3-1
樣本 B1-1

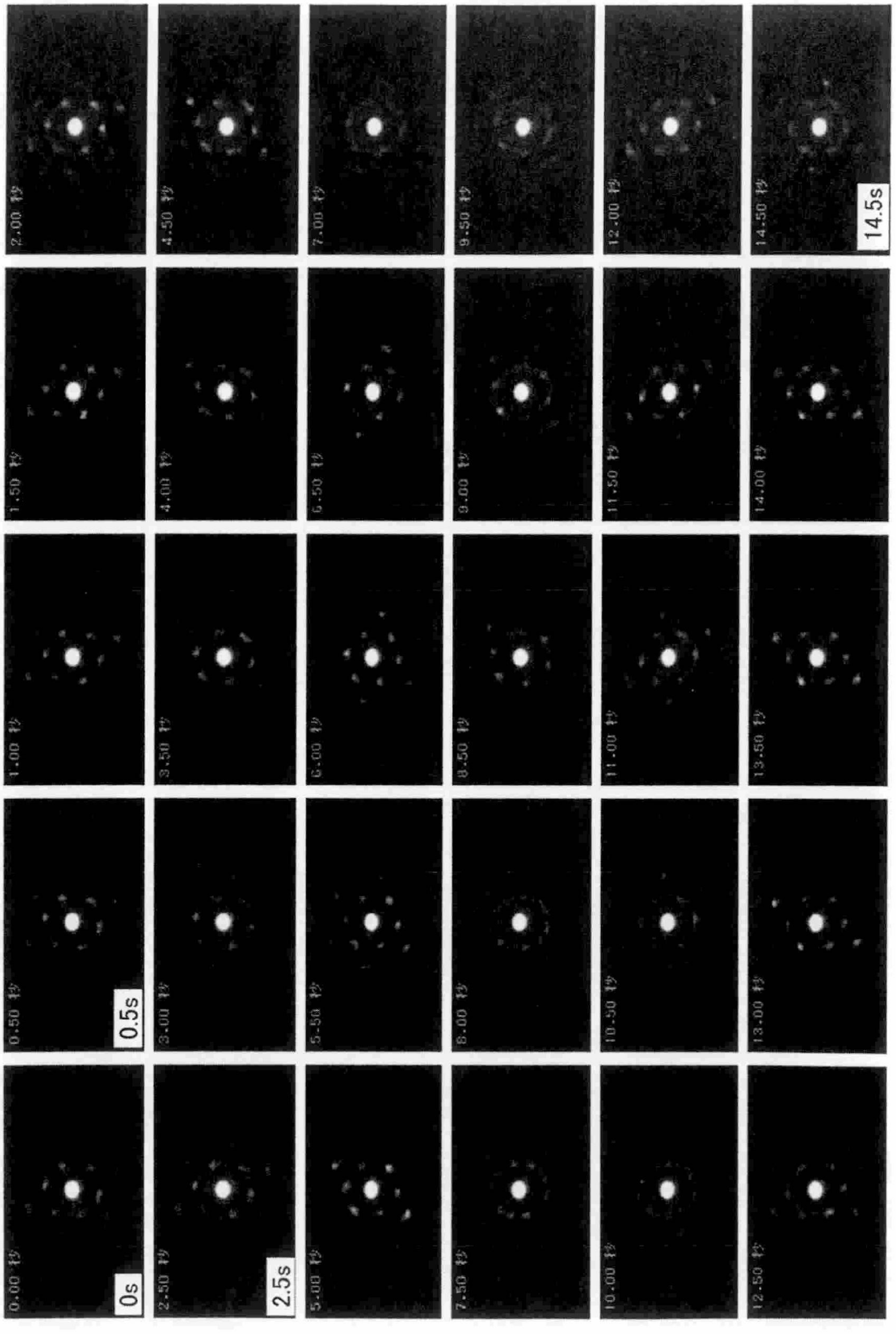
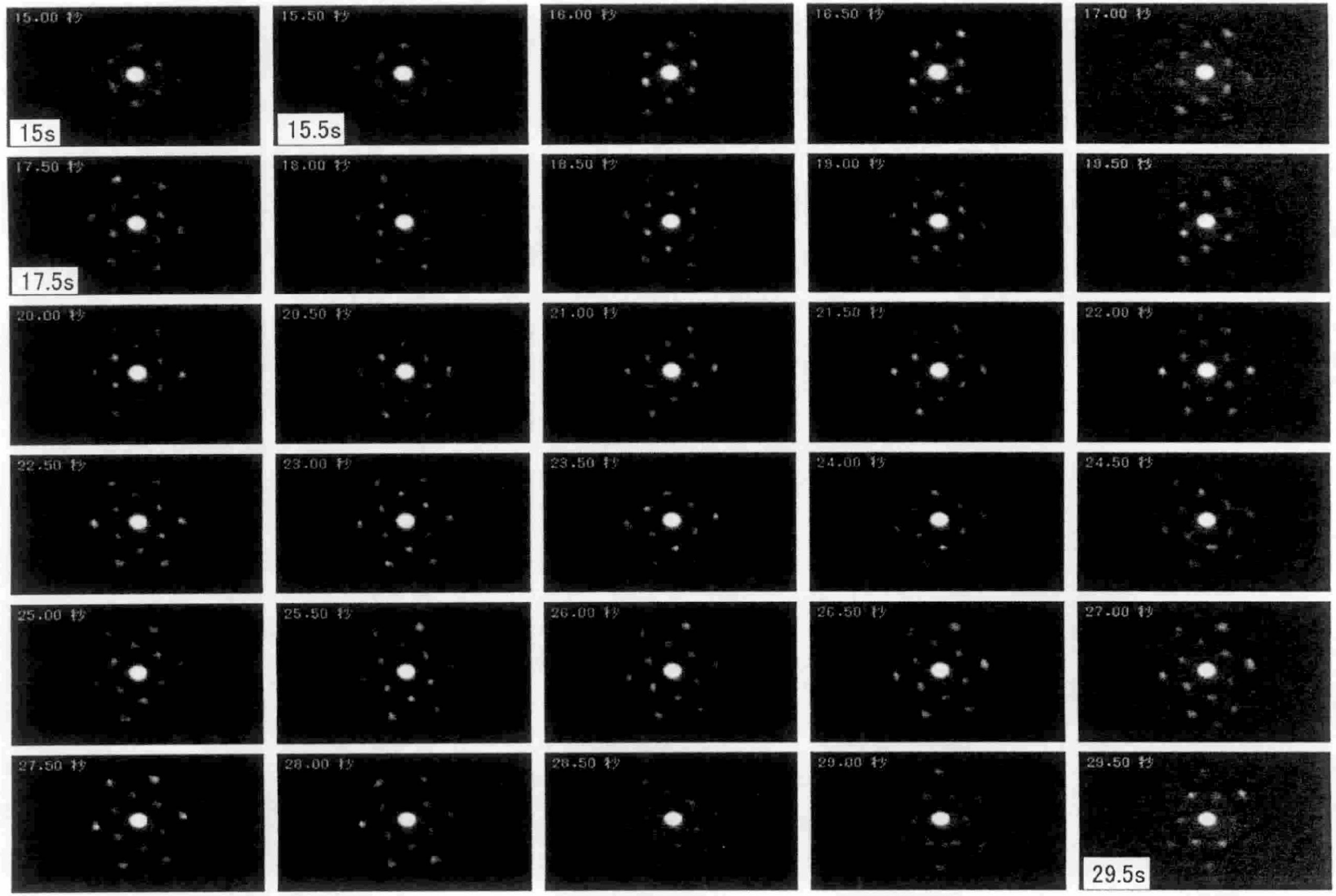

0.00 秒
0s
0.50 秒
0.5s
1.00 秒
1.50 秒
2.00 秒
2.50 秒
2.5s
3.00 秒
3.50 秒
4.00 秒
4.50 秒
5.00 秒
5.50 秒
6.00 秒
6.50 秒
7.00 秒
7.50 秒
8.00 秒
8.50 秒
9.00 秒
9.50 秒
10.00 秒
10.50 秒
11.00 秒
11.50 秒
12.00 秒
12.50 秒
13.00 秒
13.50 秒
14.00 秒
14.50 秒
14.5s

圖 45

圖 46


15.00 秒
15s
15.50 秒
15.5s
16.00 秒
16.50 秒
17.00 秒
17.50 秒
17.5s
18.00 秒
18.50 秒
19.00 秒
19.50 秒
20.00 秒
20.50 秒
21.00 秒
21.50 秒
22.00 秒
22.50 秒
23.00 秒
23.50 秒
24.00 秒
24.50 秒
25.00 秒
25.50 秒
26.00 秒
26.50 秒
27.00 秒
27.50 秒
28.00 秒
28.50 秒
29.00 秒
29.50 秒
29.5s

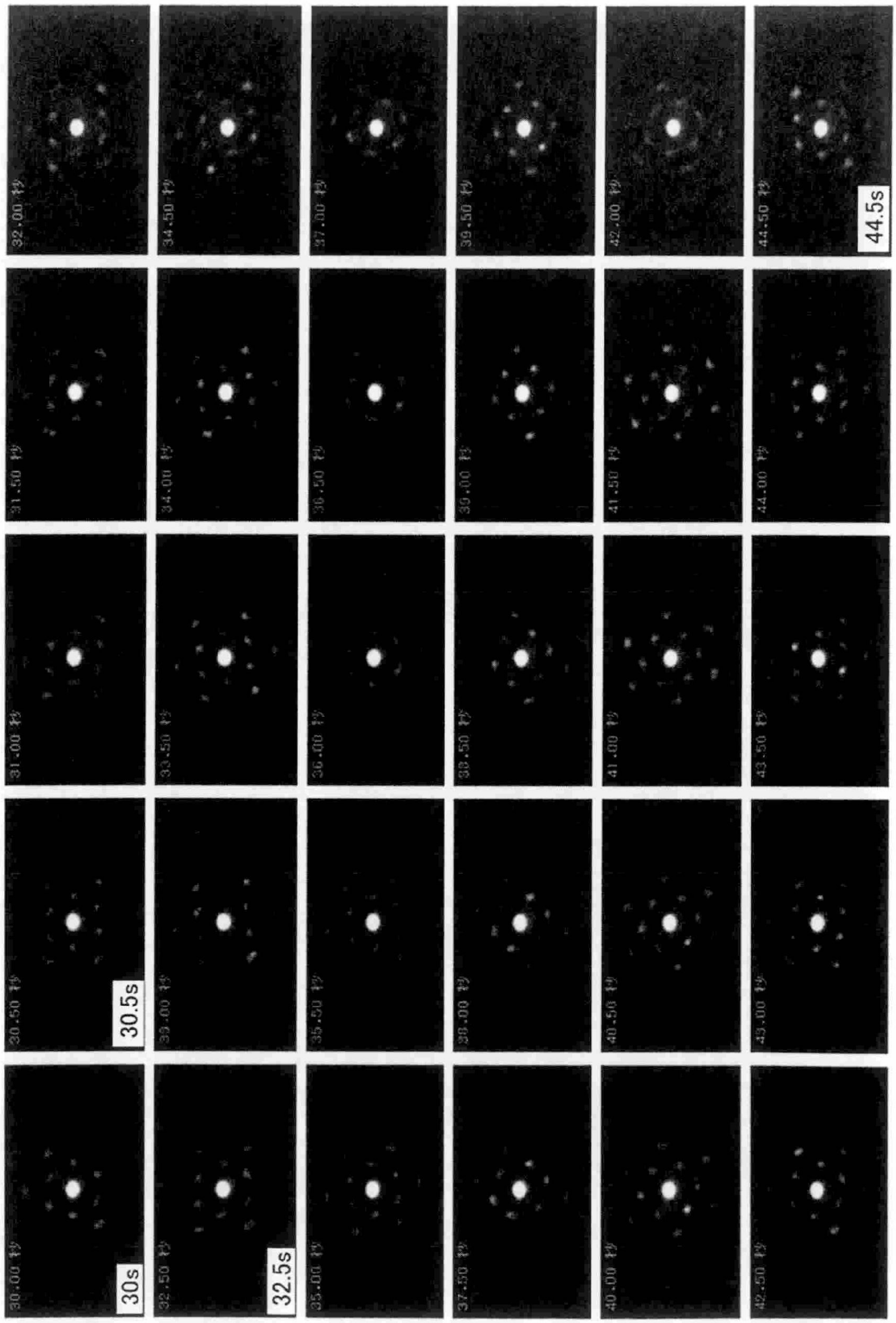

32.00 秒
34.50 秒
37.00 秒
39.50 秒
42.00 秒
44.5s
31.50 秒
34.00 秒
36.50 秒
39.00 秒
41.50 秒
44.00 秒
31.00 秒
33.50 秒
36.00 秒
38.50 秒
41.00 秒
43.50 秒
30.50 秒
30.5s
33.00 秒
35.50 秒
38.00 秒
40.50 秒
43.00 秒
30.00 秒
30s
32.50 秒
32.5s
35.00 秒
37.50 秒
40.00 秒
42.50 秒

圖 47

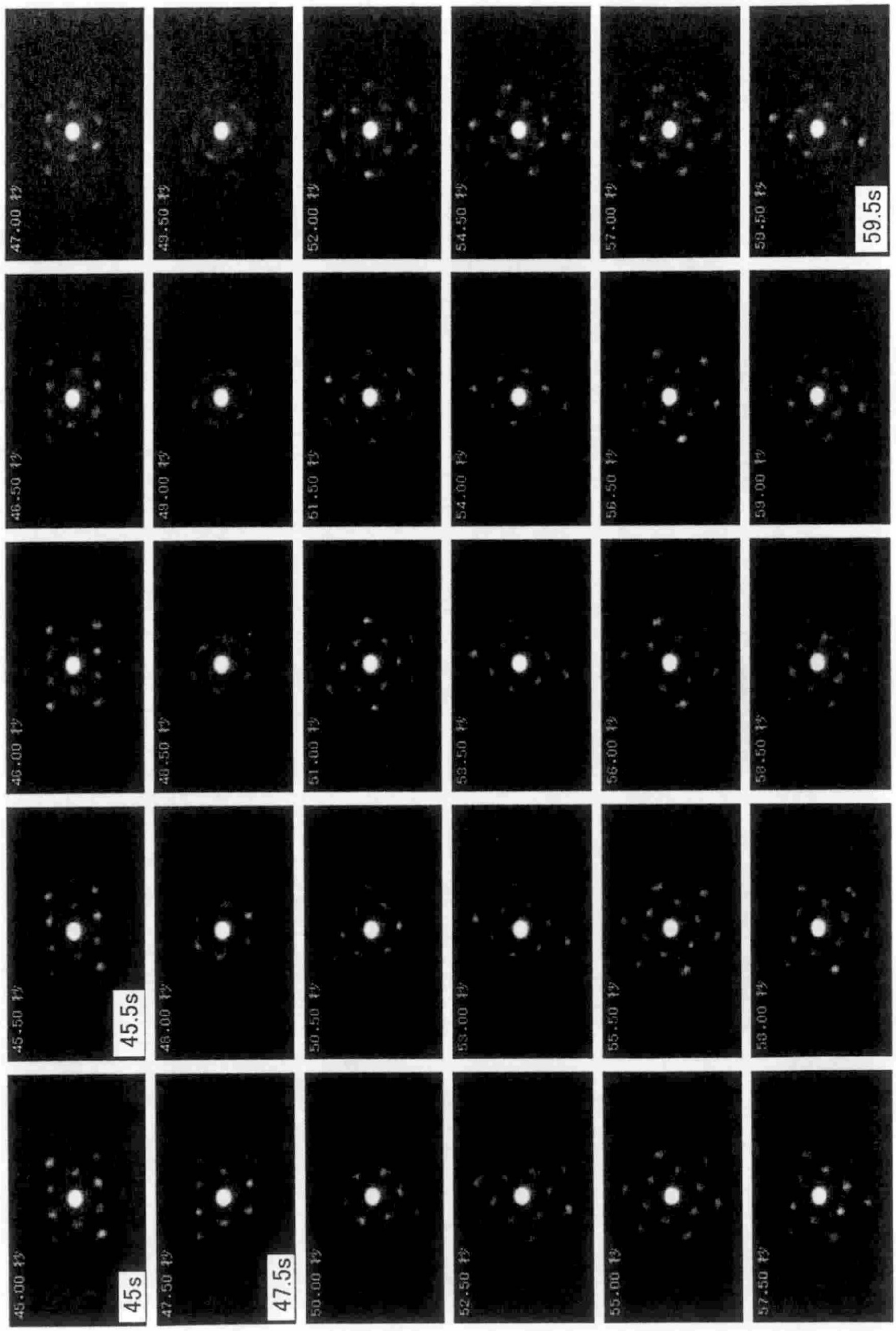

47.00 秒
49.50 秒
52.00 秒
54.50 秒
57.00 秒
59.50 秒
59.5s
46.50 秒
49.00 秒
51.50 秒
54.00 秒
56.50 秒
59.00 秒
46.00 秒
48.50 秒
51.00 秒
53.50 秒
56.00 秒
58.50 秒
45.50 秒
45.5s
48.00 秒
50.50 秒
53.00 秒
55.50 秒
58.00 秒
45.00 秒
45s
47.50 秒
47.5s
50.00 秒
52.50 秒
55.00 秒
57.50 秒

圖 48

圖 4

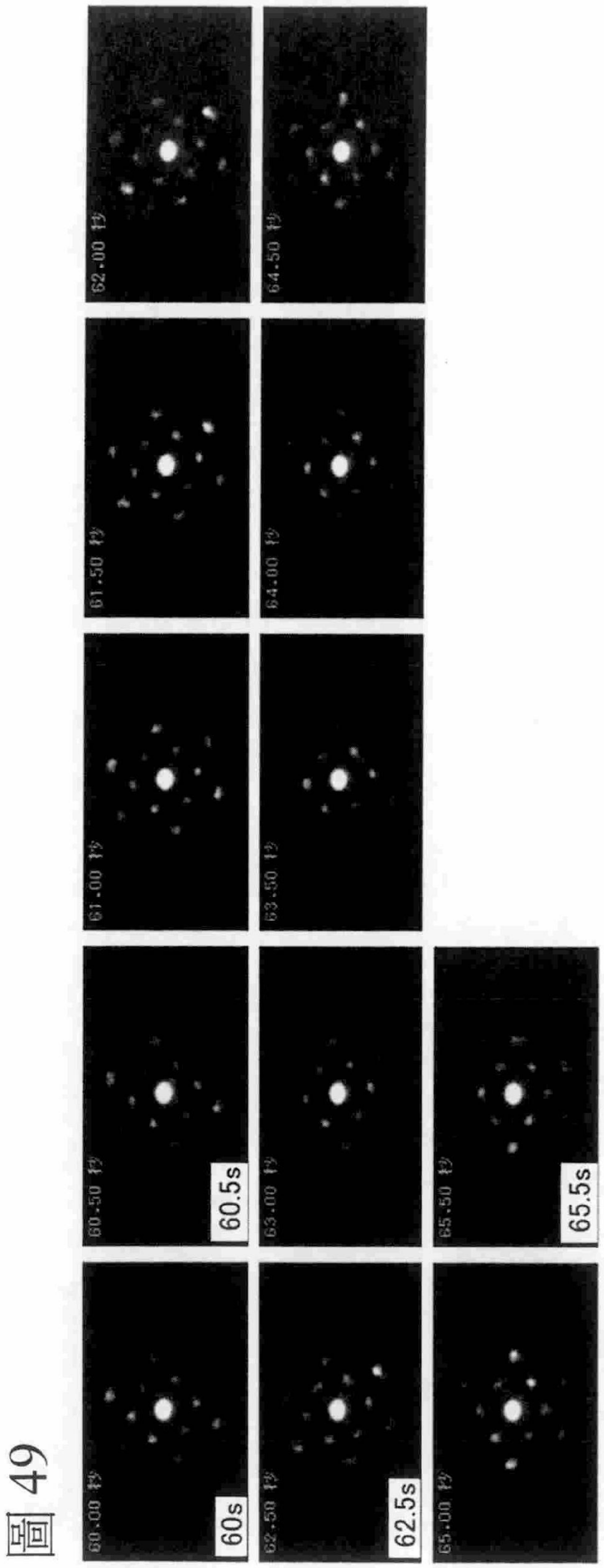
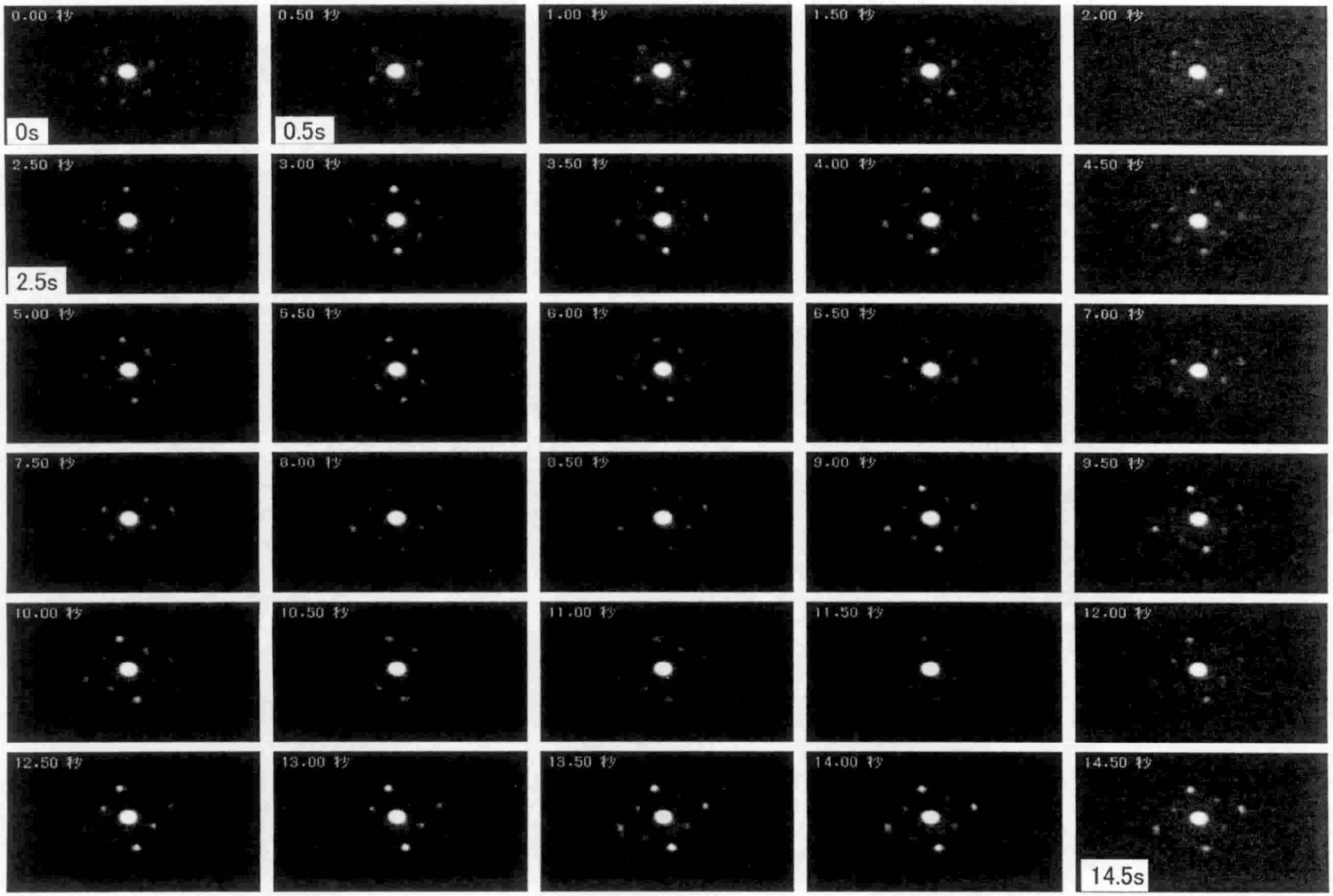

60.00 秒
60s
60.50 秒
60.5s
61.00 秒
61.50 秒
62.00 秒
62.50 秒
62.5s
63.00 秒
63.50 秒
64.00 秒
64.50 秒
65.00 秒
65.50 秒
65.5s

圖 50


0.00 秒
0s
0.50 秒
0.5s
1.00 秒
1.50 秒
2.00 秒
2.50 秒
2.5s
3.00 秒
3.50 秒
4.00 秒
4.50 秒
5.00 秒
5.50 秒
6.00 秒
6.50 秒
7.00 秒
7.50 秒
8.00 秒
8.50 秒
9.00 秒
9.50 秒
10.00 秒
10.50 秒
11.00 秒
11.50 秒
12.00 秒
12.50 秒
13.00 秒
13.50 秒
14.00 秒
14.50 秒
14.5s

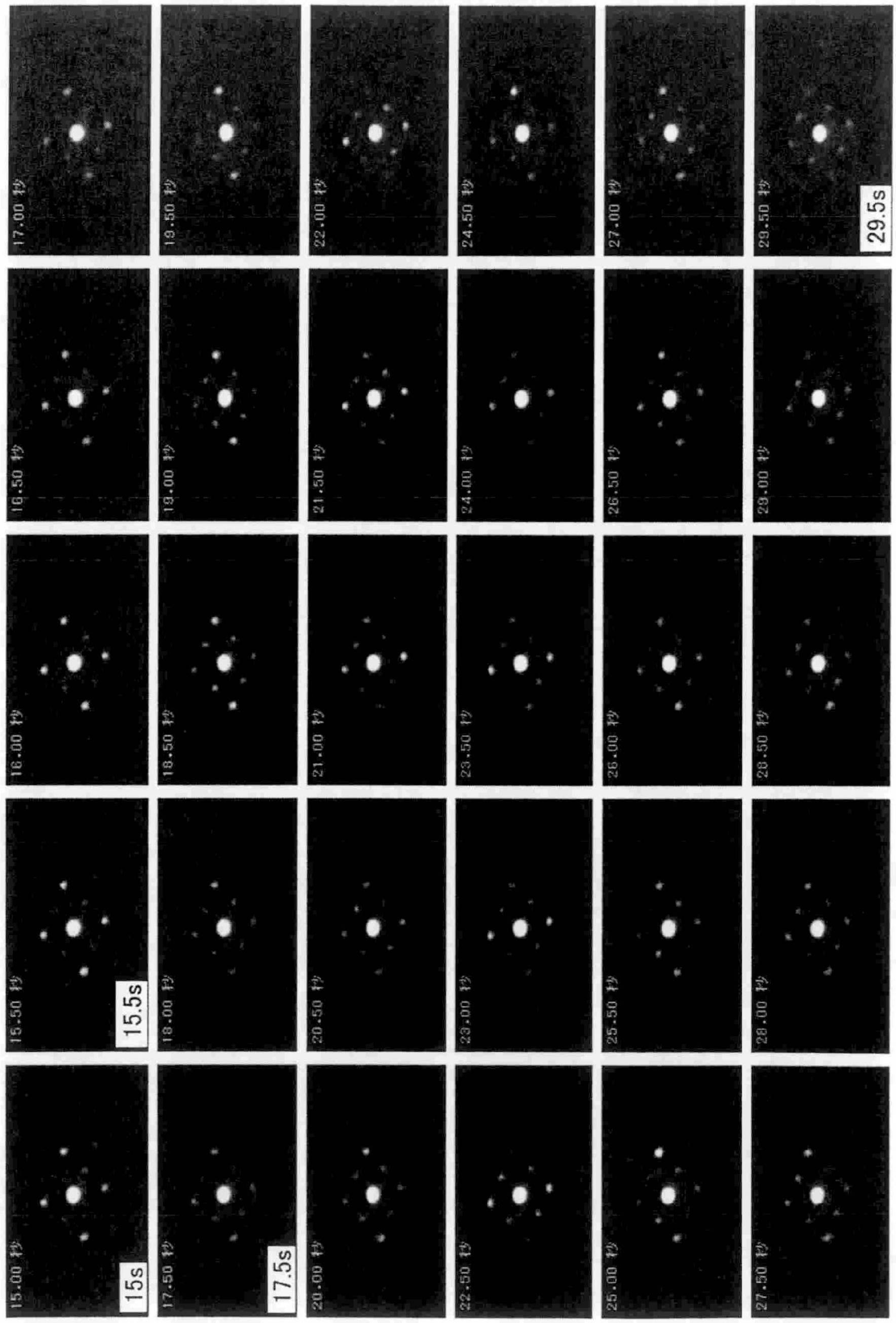

15.00 秒
15.5s
15.50 秒
16.00 秒
16.50 秒
17.00 秒
17.50 秒
17.5s
18.00 秒
18.50 秒
19.00 秒
19.50 秒
20.00 秒
20.50 秒
21.00 秒
21.50 秒
22.00 秒
22.50 秒
23.00 秒
23.50 秒
24.00 秒
24.50 秒
25.00 秒
25.50 秒
26.00 秒
26.50 秒
27.00 秒
27.50 秒
28.00 秒
28.50 秒
29.00 秒
29.5s
29.50 秒

圖 51

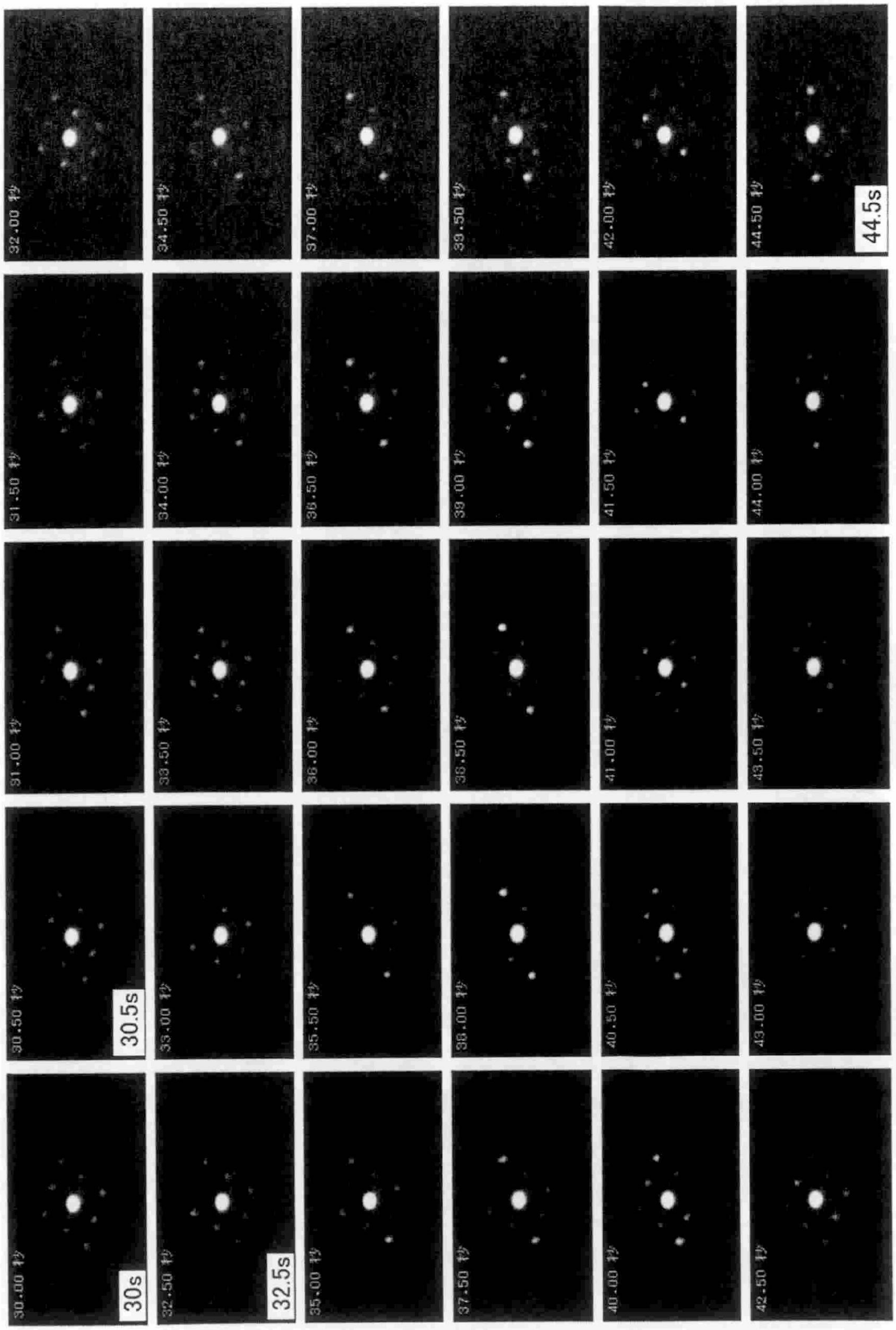
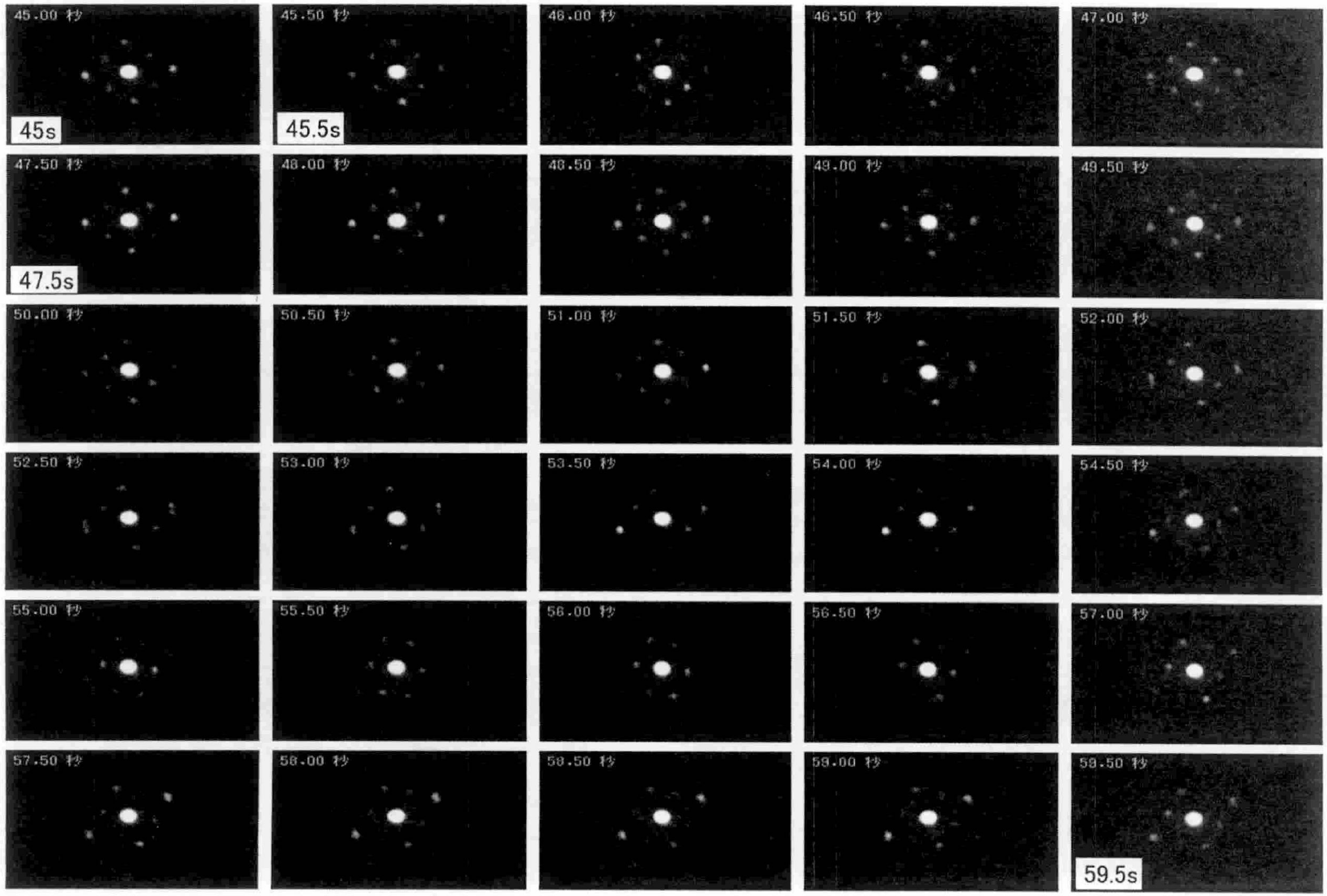

32.00 秒
34.50 秒
37.00 秒
39.50 秒
42.00 秒
44.50 秒
44.5s
31.50 秒
34.00 秒
36.50 秒
39.00 秒
41.50 秒
44.00 秒
31.00 秒
33.50 秒
36.00 秒
38.50 秒
41.00 秒
43.50 秒
30.50 秒
30.5s
33.00 秒
35.50 秒
38.00 秒
40.50 秒
43.00 秒
30.00 秒
30s
32.50 秒
32.5s
35.00 秒
37.50 秒
40.00 秒
42.50 秒

圖 52

圖 53


45.00 秒
45s
45.50 秒
45.5s
46.00 秒
46.50 秒
47.00 秒
47.50 秒
47.5s
48.00 秒
48.50 秒
49.00 秒
49.50 秒
50.00 秒
50.50 秒
51.00 秒
51.50 秒
52.00 秒
52.50 秒
53.00 秒
53.50 秒
54.00 秒
54.50 秒
55.00 秒
55.50 秒
56.00 秒
56.50 秒
57.00 秒
57.50 秒
58.00 秒
58.50 秒
59.5s

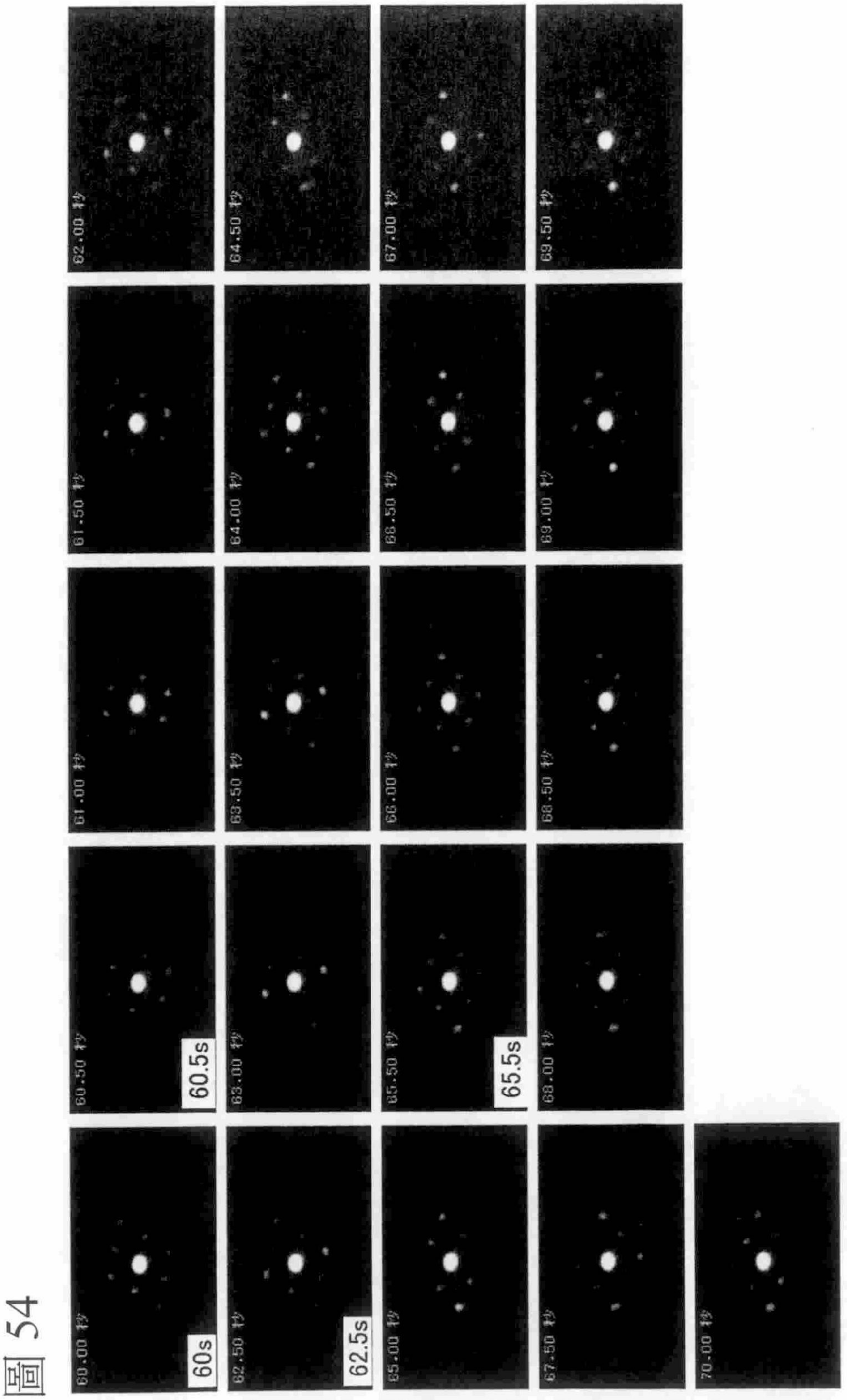

62.00 秒
64.50 秒
67.00 秒
69.50 秒
61.50 秒
64.00 秒
68.50 秒
69.00 秒
61.00 秒
63.50 秒
66.00 秒
68.50 秒
60.50 秒
60.5s
63.00 秒
65.50 秒
65.5s
68.00 秒
60.00 秒
60s
62.50 秒
62.5s
65.00 秒
67.50 秒
70.00 秒

圖 54

圖 55

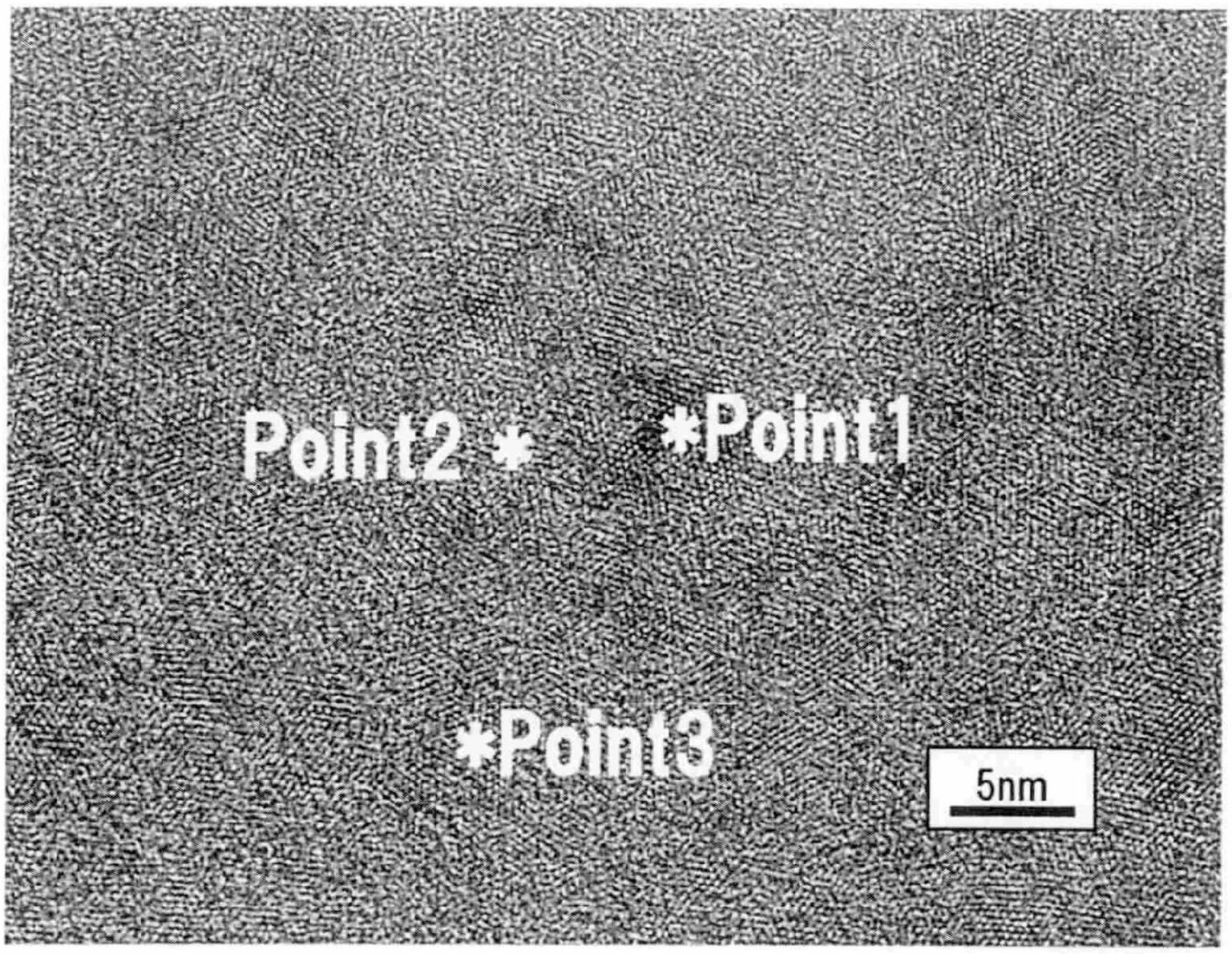
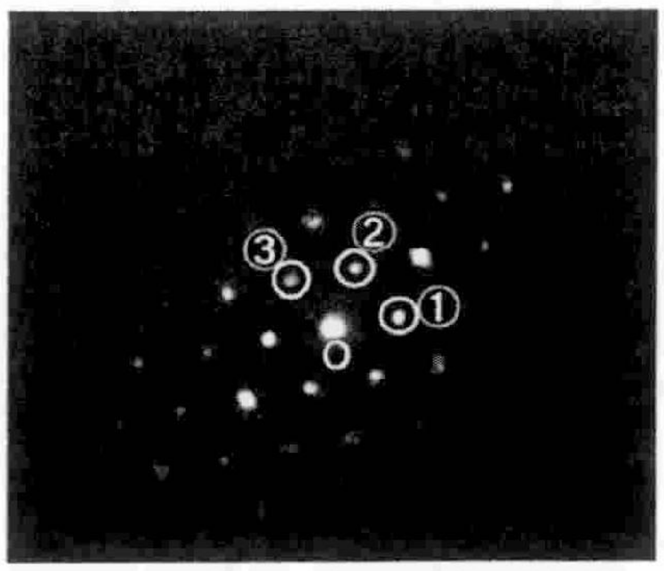


圖 56A



入射方向 <0 0 1>

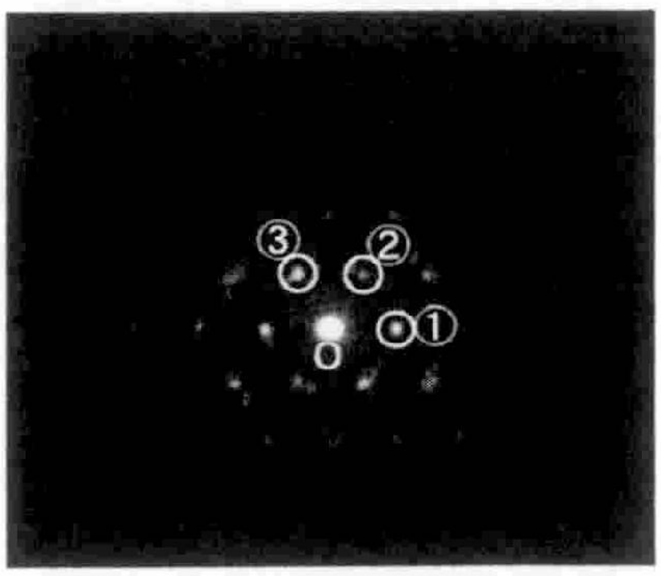
觀察值
d 值
① d=0.285nm
② d=0.291nm
③ d=0.291nm

角度
∠①O②=60°
∠①O③=120°
∠②O③=60°

參考值
InGaZn2O5
(JCPDS:40-252)
d 值
① 0-1 0　d=0.285nm
② 1-1 0　d=0.285nm
③ 1 0 0　d=0.285nm

角度 (計算值)
∠①O②=60°
∠①O③=120°
∠②O③=60°

圖 56B



入射方向 <0 0 1>

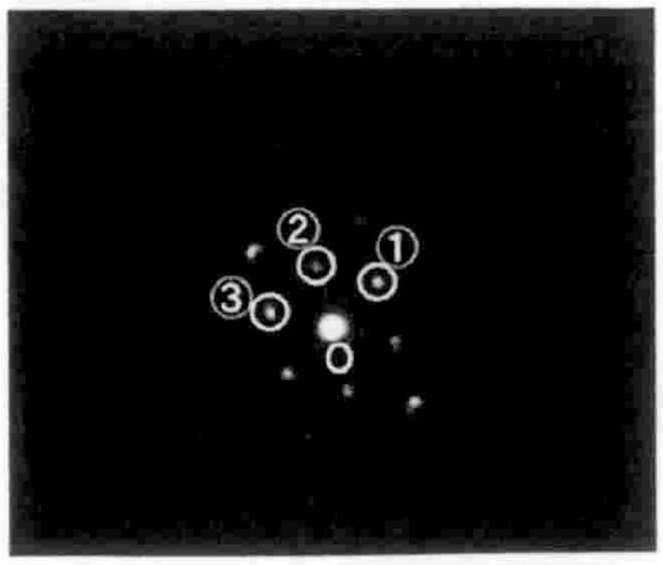
觀察值
d 值
① d=0.287nm
② d=0.291nm
③ d=0.291nm

角度
∠①O②=59°
∠①O③=119°
∠②O③=60°

參考值
InGaZn2O5
(JCPDS:40-252)
d 值
① 0-1 0　d=0.285nm
② 1-1 0　d=0.285nm
③ 1 0 0　d=0.285nm

角度 (計算值)
∠①O②=60°
∠①O③=120°
∠②O③=60°

圖 56C



入射方向 <0 0 1>

觀察值
d 值
① d=0.287nm
② d=0.287nm
③ d=0.291nm

角度
∠①O②=58°
∠①O③=119°
∠②O③=61°

參考值
InGaZn2O5
(JCPDS:40-252)
d 值
① 0-1 0　d=0.285nm
② 1-1 0　d=0.285nm
③ 1 0 0　d=0.285nm

角度 (計算值)
∠①O②=60°
∠①O③=120°
∠②O③=60°

圖 57A

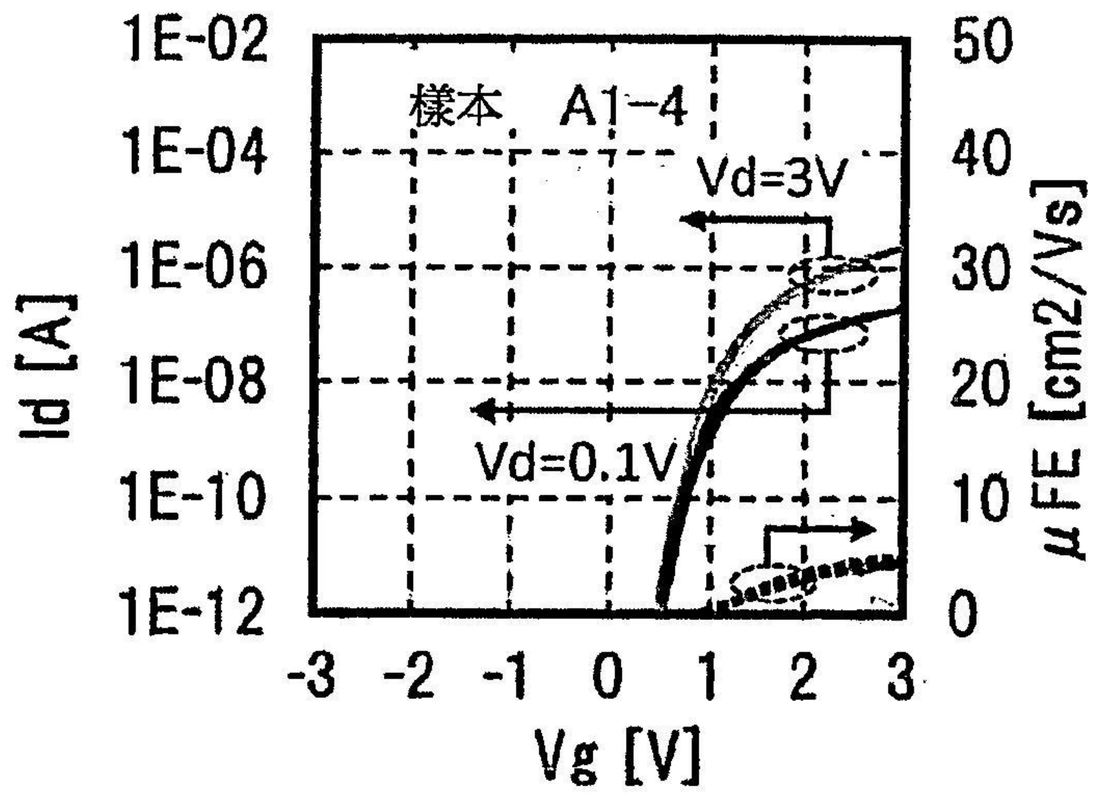

1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
Id [A]
50
40
30
20
10
0
μFE [cm2/Vs]
-3 -2 -1 0 1 2 3
Vg [V]
樣本 A1-4
Vd=3V
Vd=0.1V

圖 57B

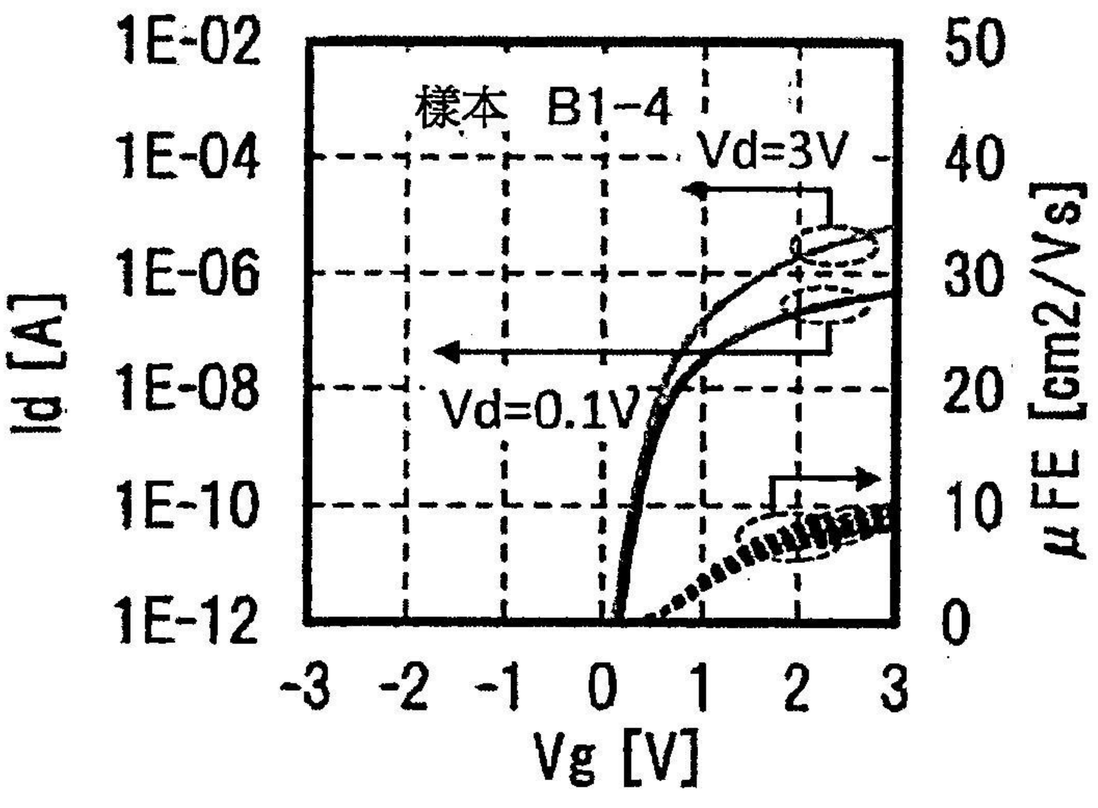

1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
Id [A]
50
40
30
20
10
0
μFE [cm2/Vs]
-3 -2 -1 0 1 2 3
Vg [V]
樣本 B1-4
Vd=3V
Vd=0.1V

圖 58A

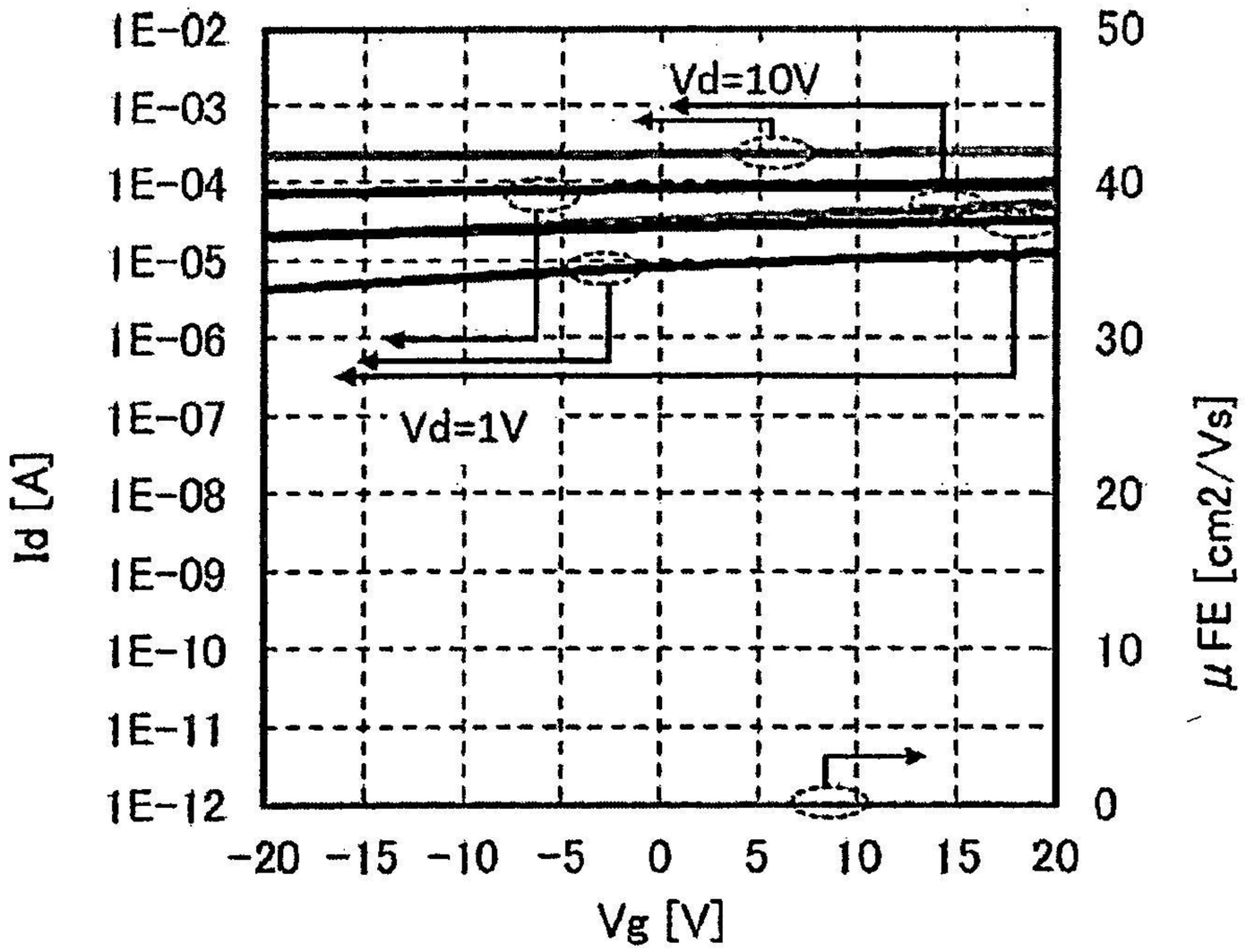

Vd=10V
Vd=1V
Id [A]
μFE [cm2/Vs]
Vg [V]
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
50
40
30
20
10
0
−20 −15 −10 −5 0 5 10 15 20

圖 58B

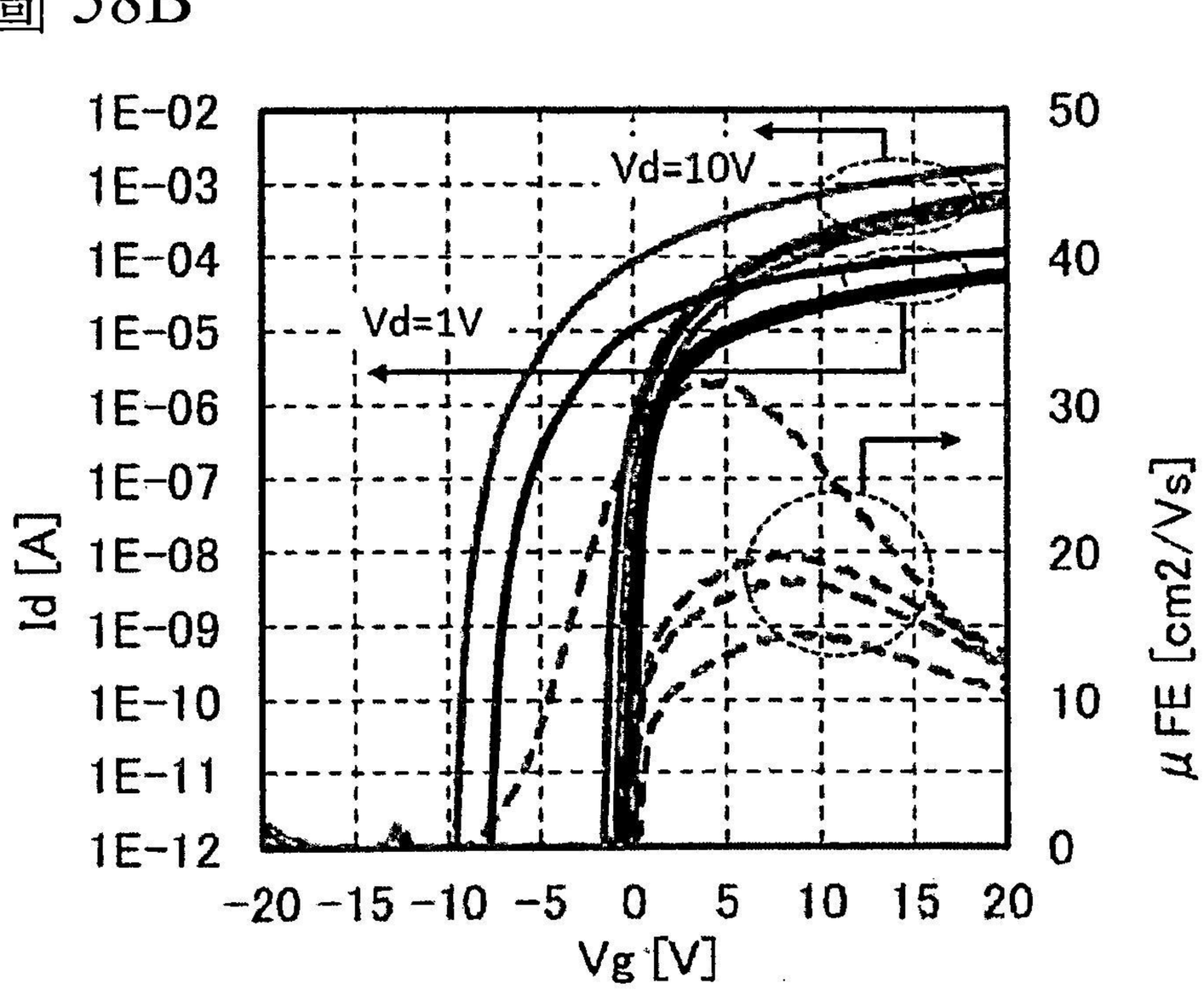

Vd=10V
Vd=1V
Id [A]
μFE [cm2/Vs]
Vg [V]
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
50
40
30
20
10
0
−20 −15 −10 −5 0 5 10 15 20

圖 59A

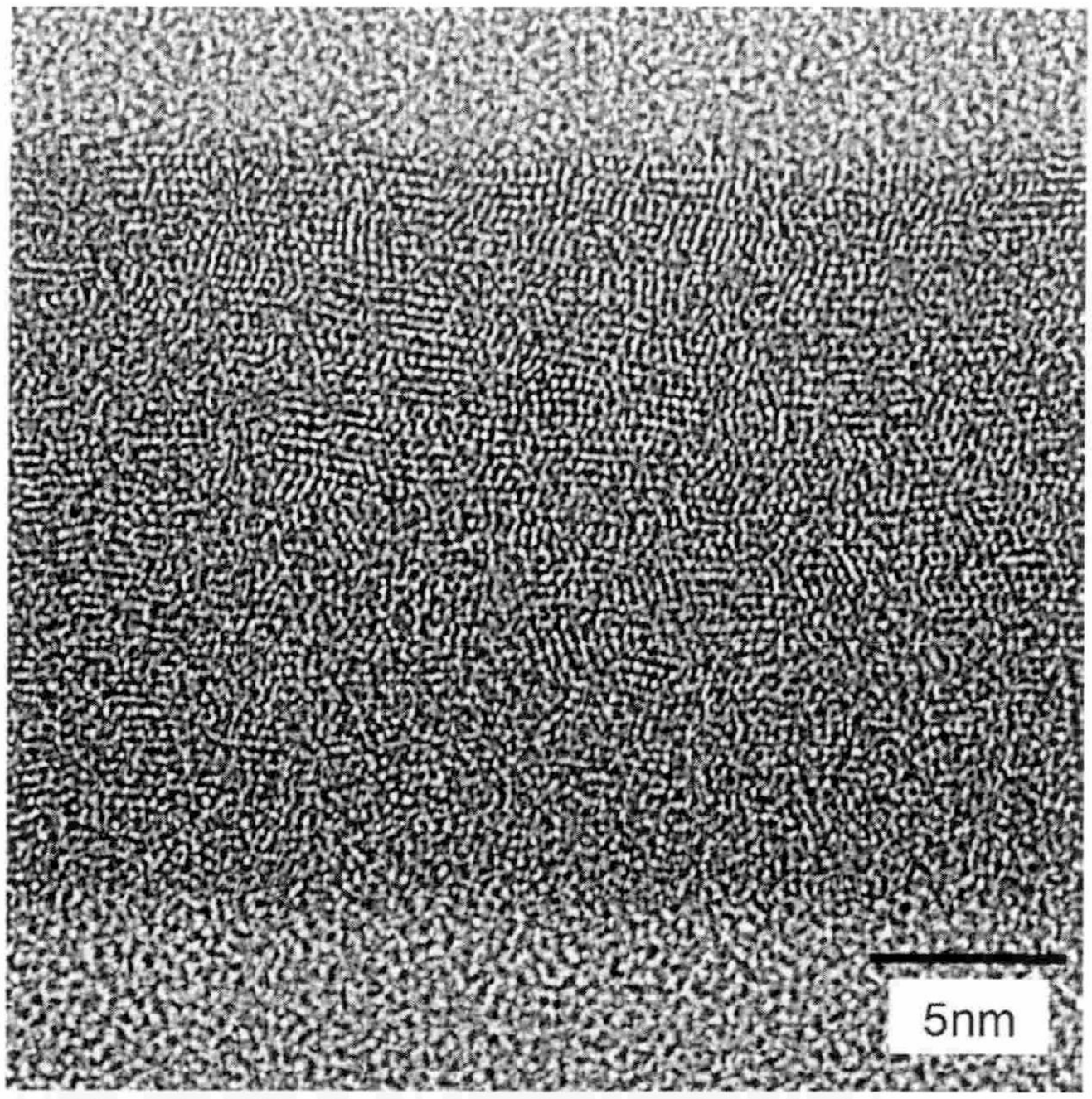


圖 59B

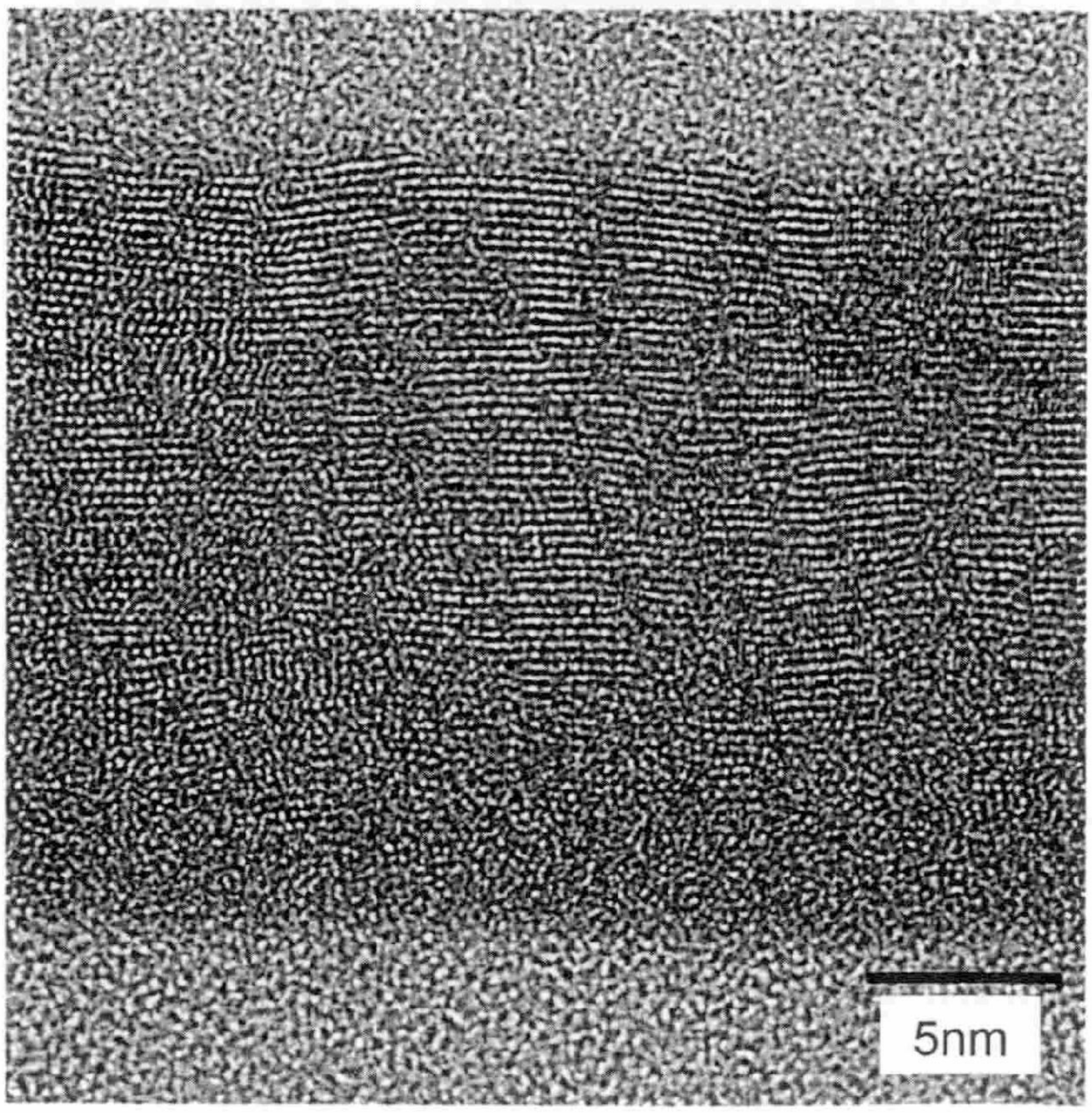


圖 60

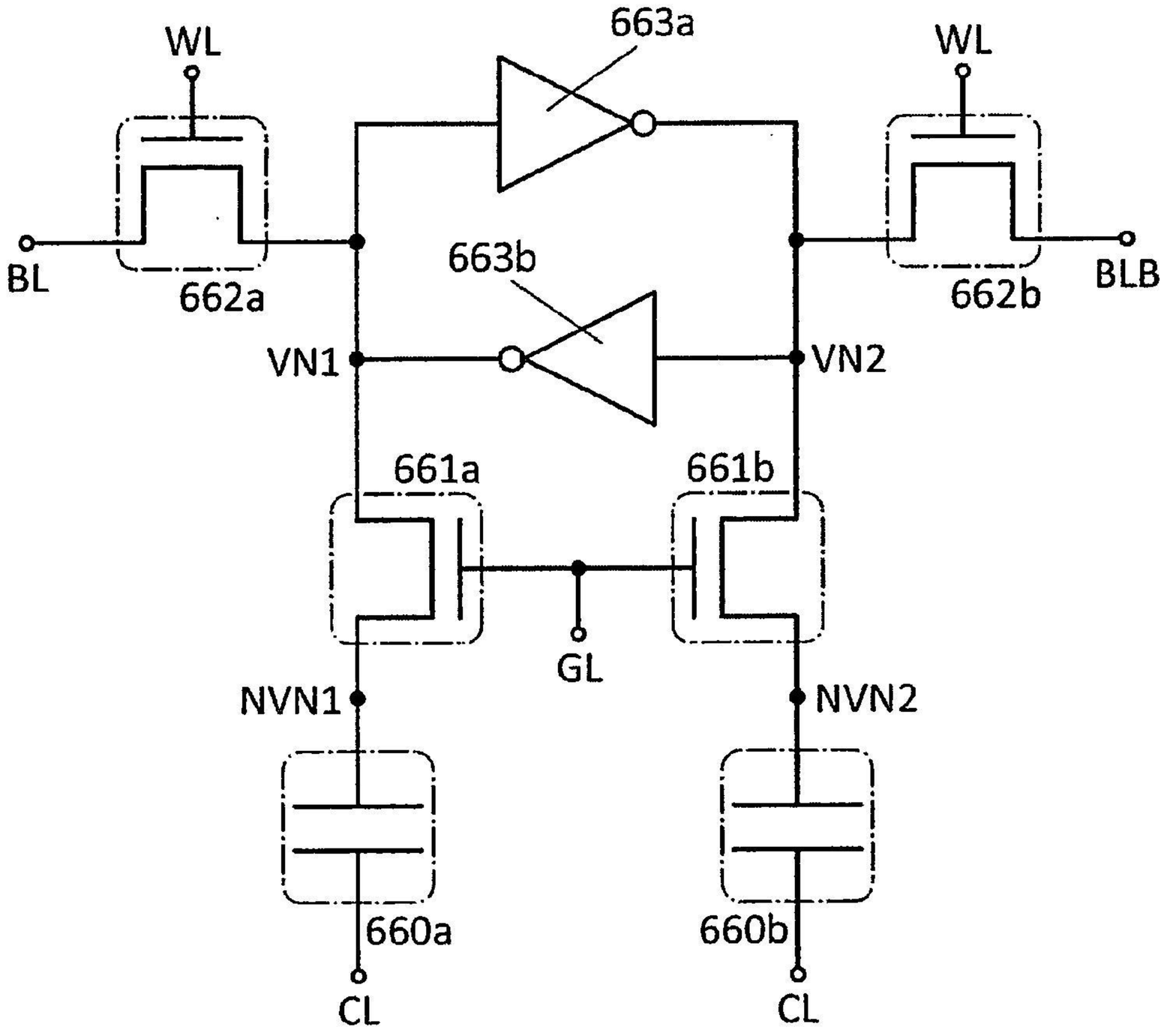

WL
663a
WL
BL
662a
663b
662b
BLB
VN1
VN2
661a
661b
GL
NVN1
NVN2
660a
660b
CL
CL

圖 61

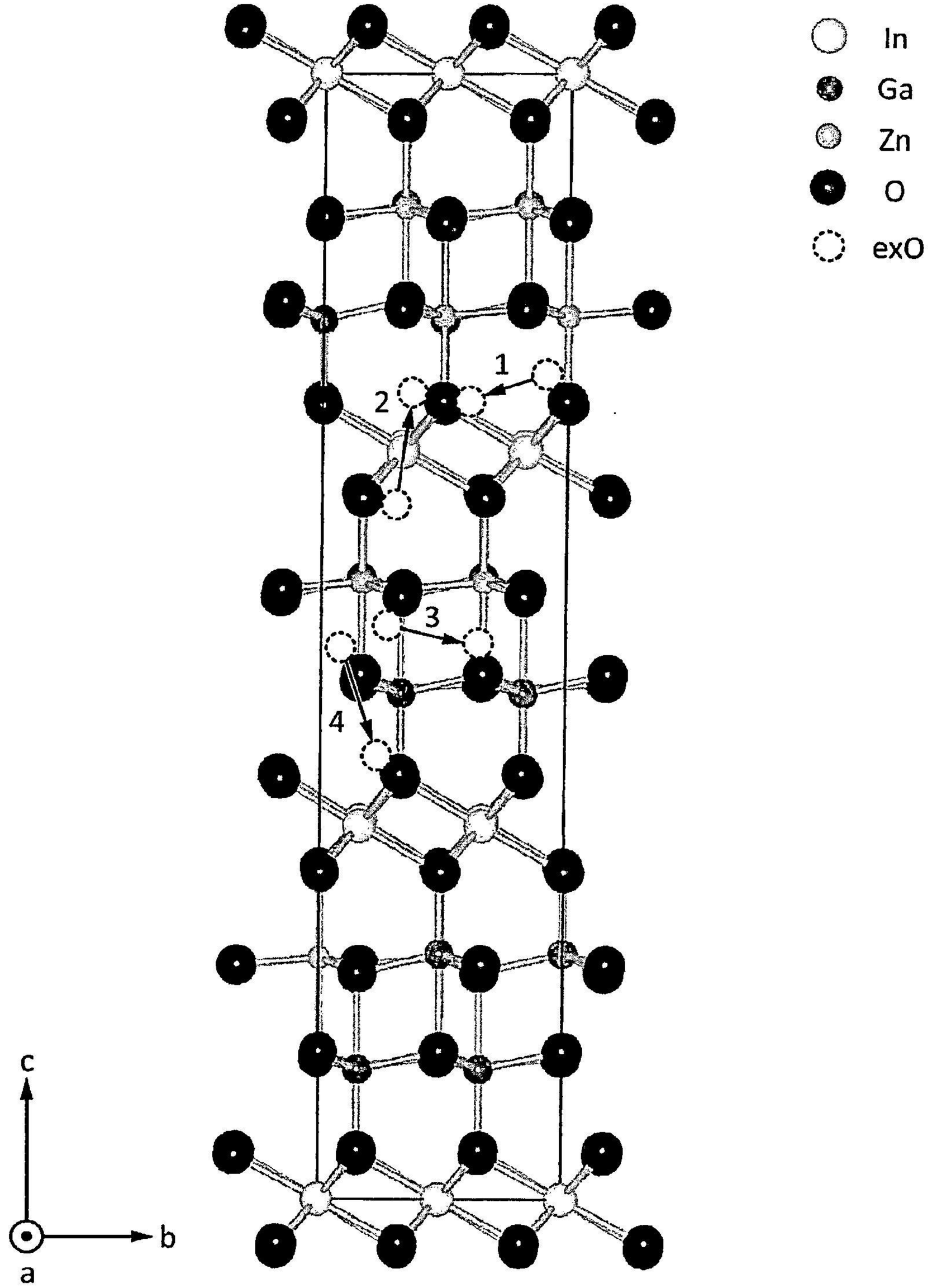


圖 62A

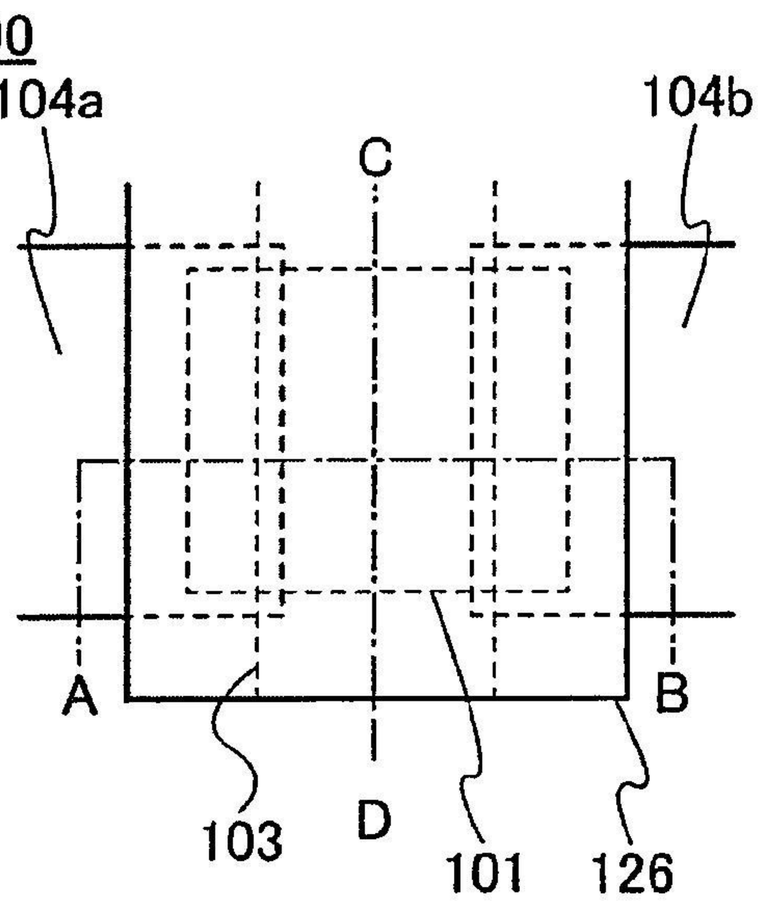


圖 62C

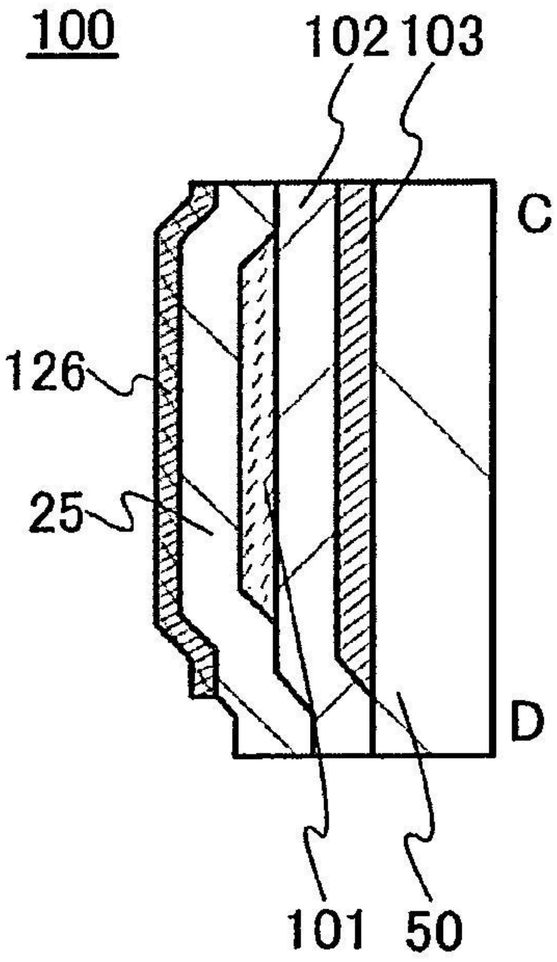


圖 62B

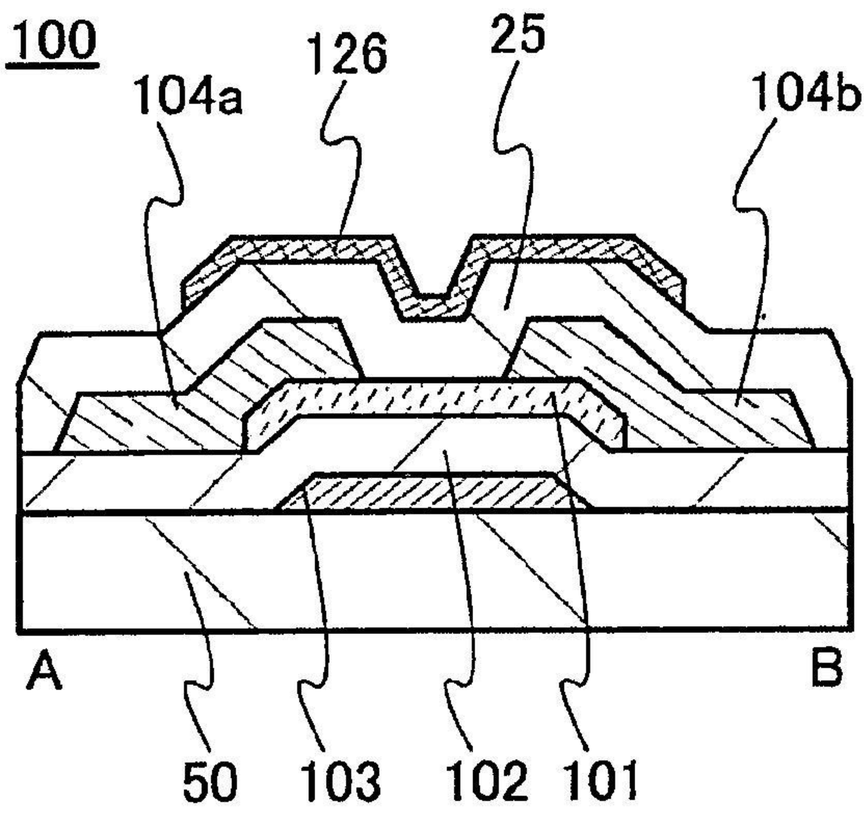


圖 63A

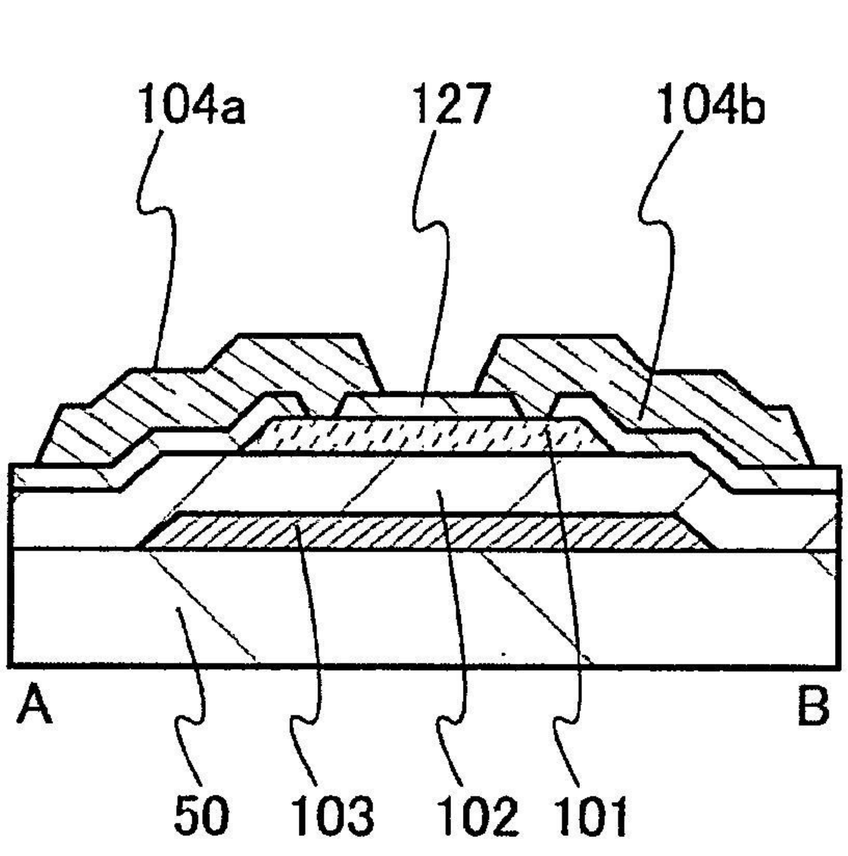

100
104a
127
104b
A
B
50
103
102
101

圖 63B

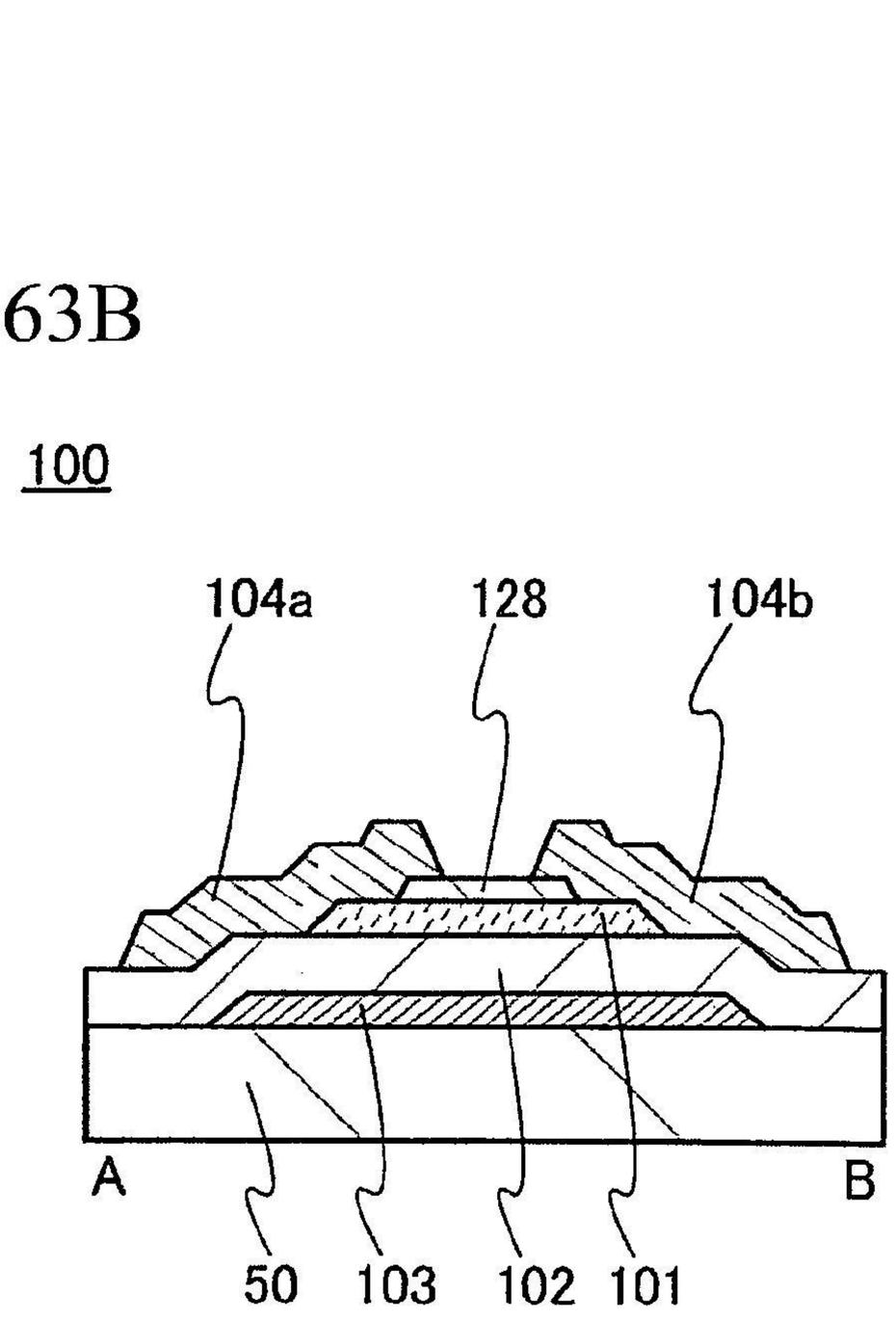

100
104a
128
104b
A
B
50
103
102
101

圖 64A

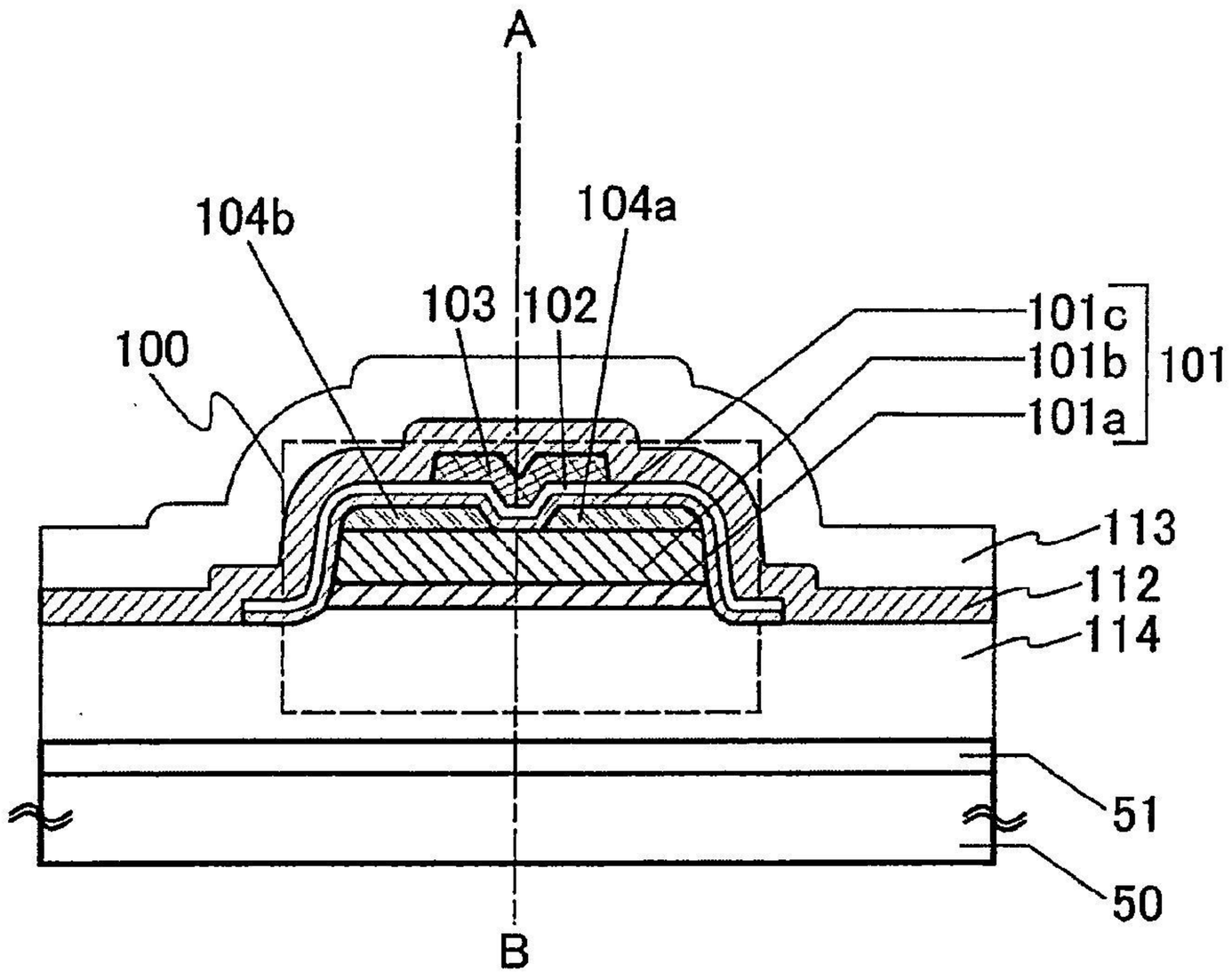

A
104b
104a
103
102
100
101c
101b
101
101a
113
112
114
51
50
B

圖 64B

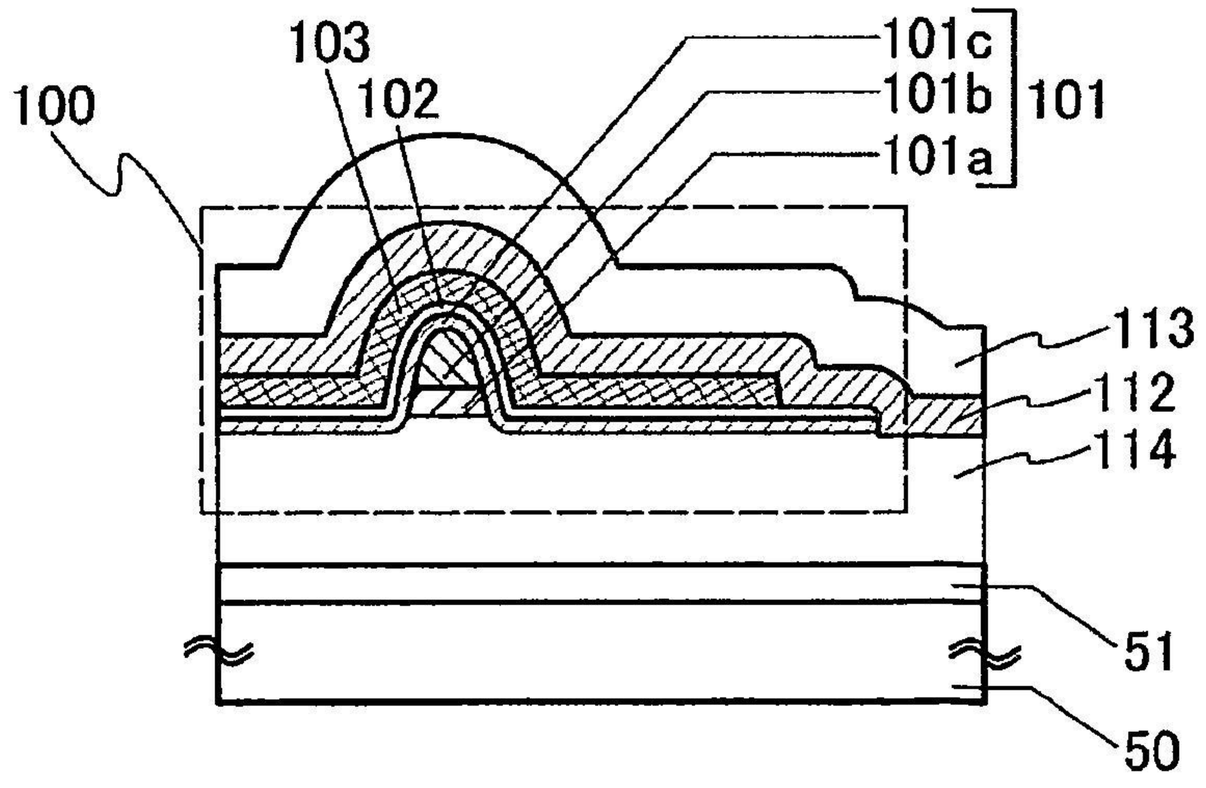

103
102
100
101c
101b
101
101a
113
112
114
51
50

圖 65A

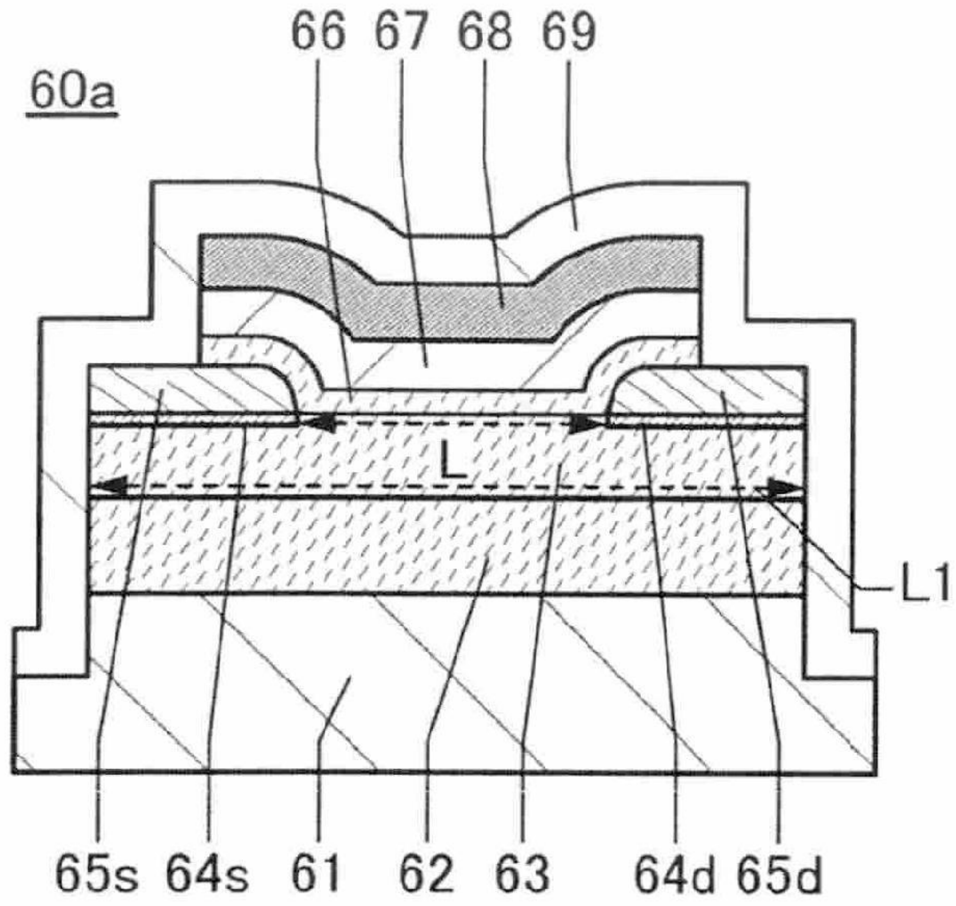


圖 65B

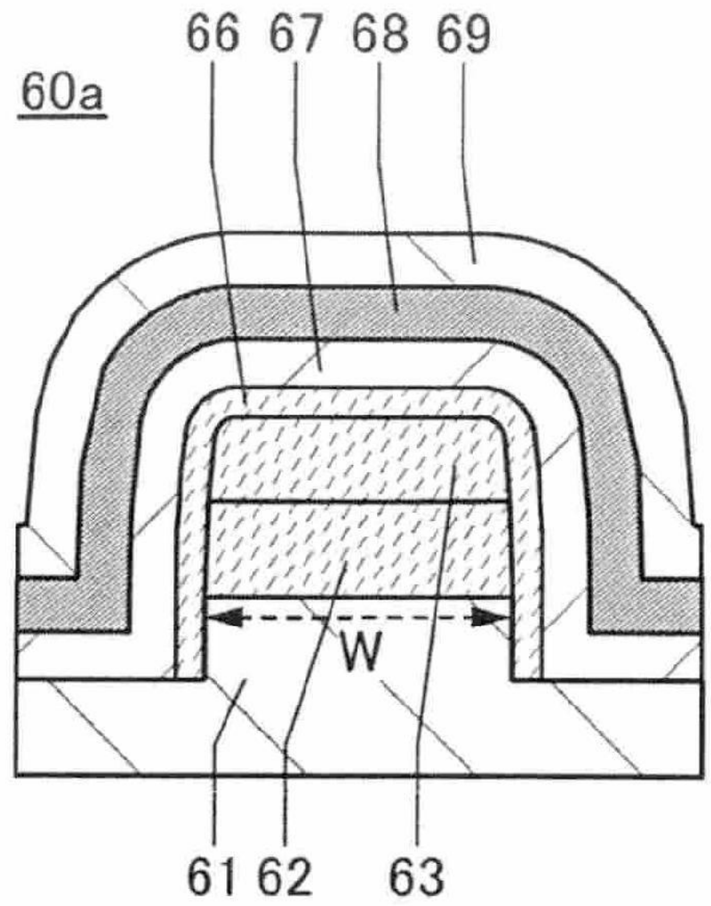


圖 65C

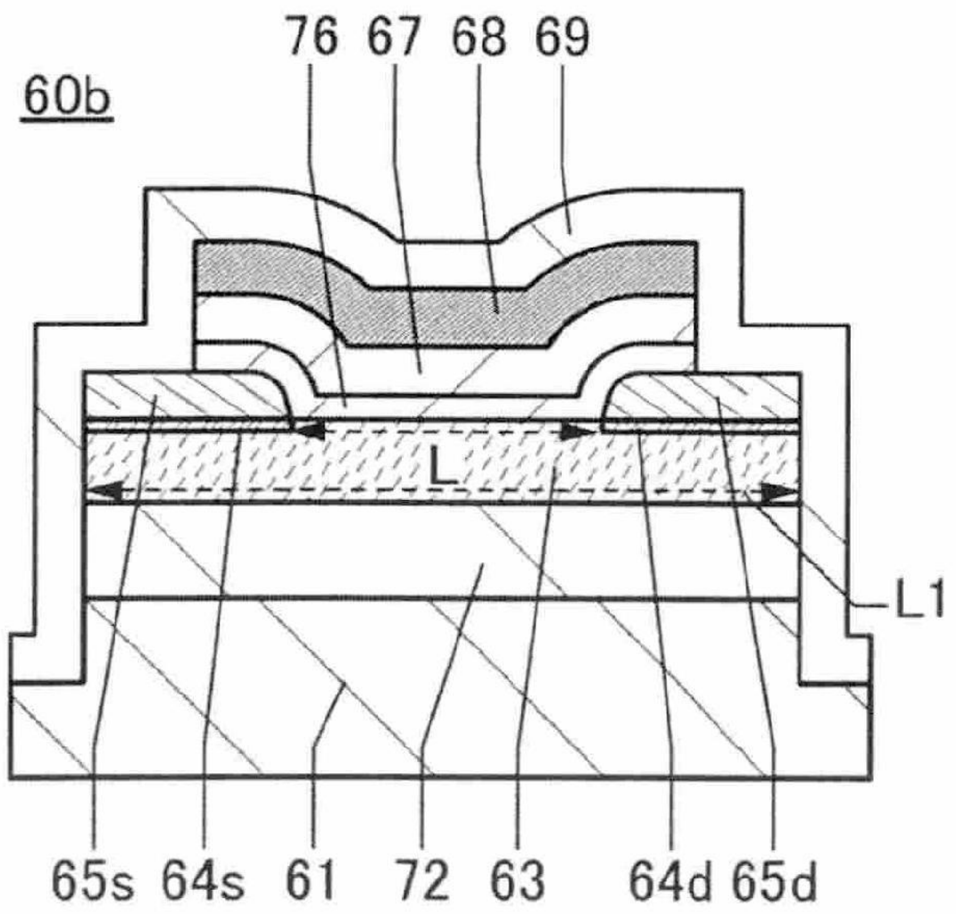


圖 65D

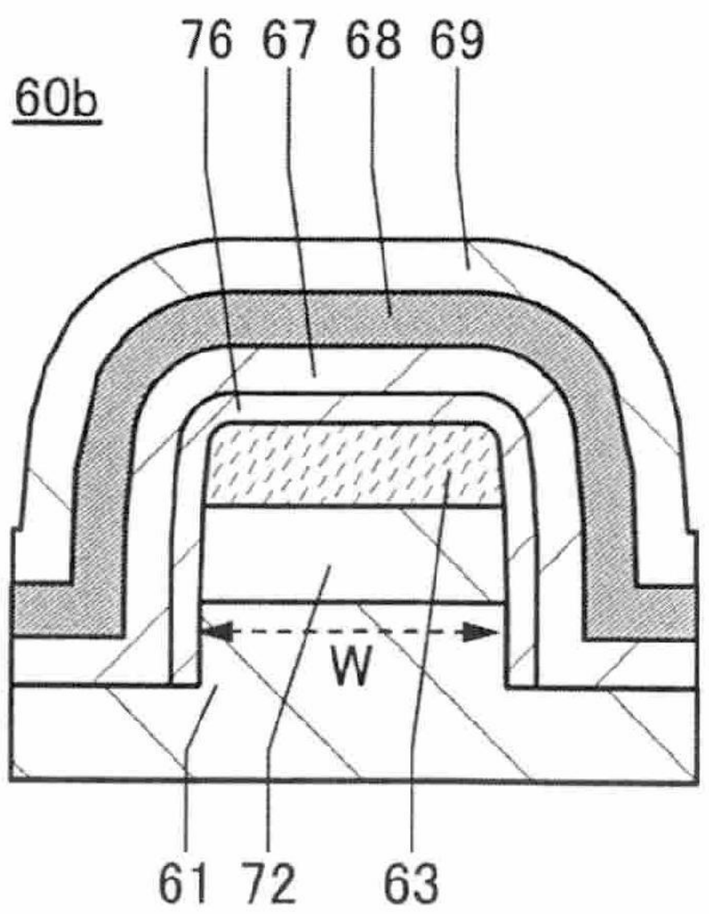


圖 66A

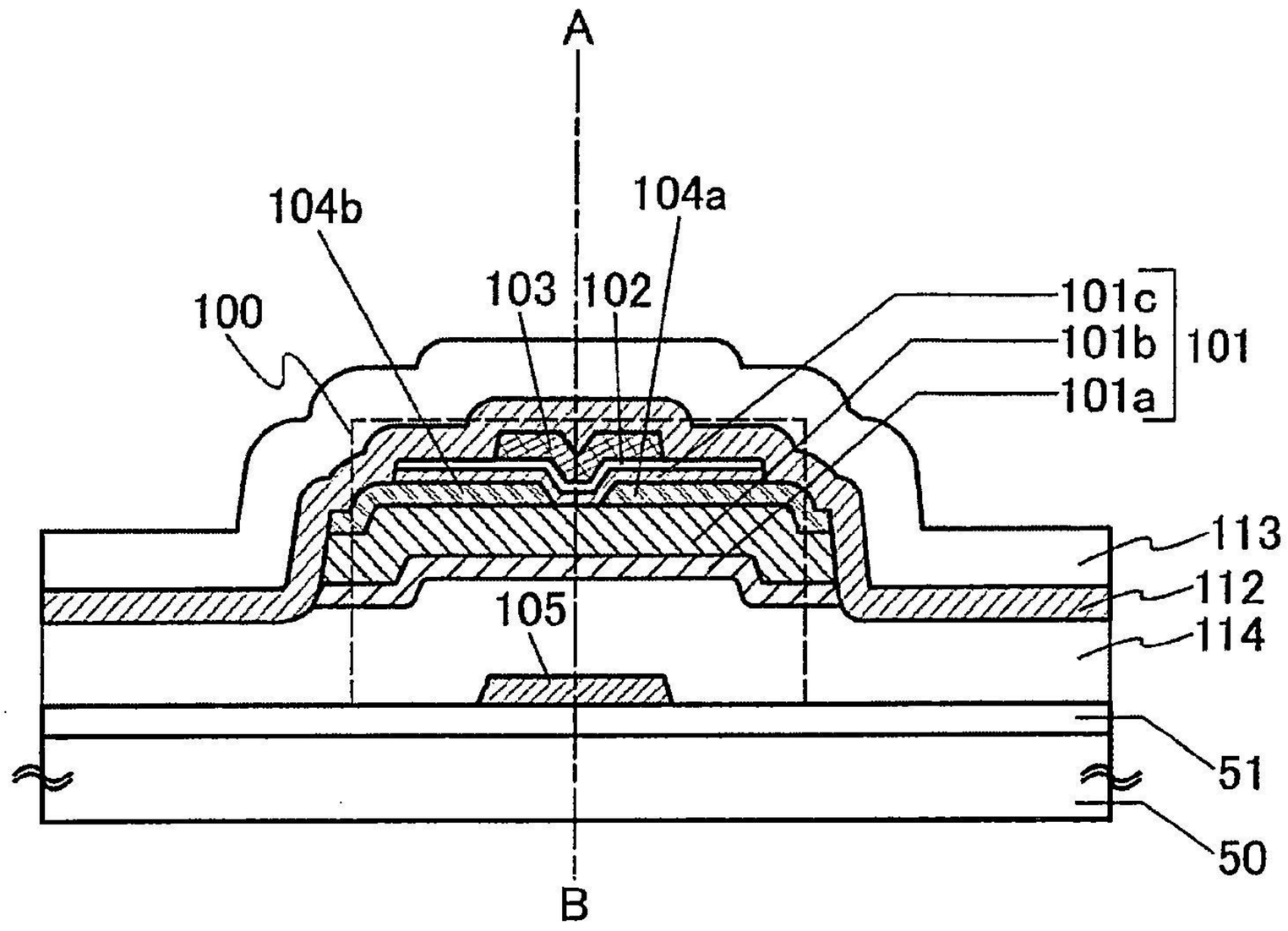

A
104b
104a
103
102
100
101c
101b
101a
101
113
112
114
105
51
50
B

圖 66B

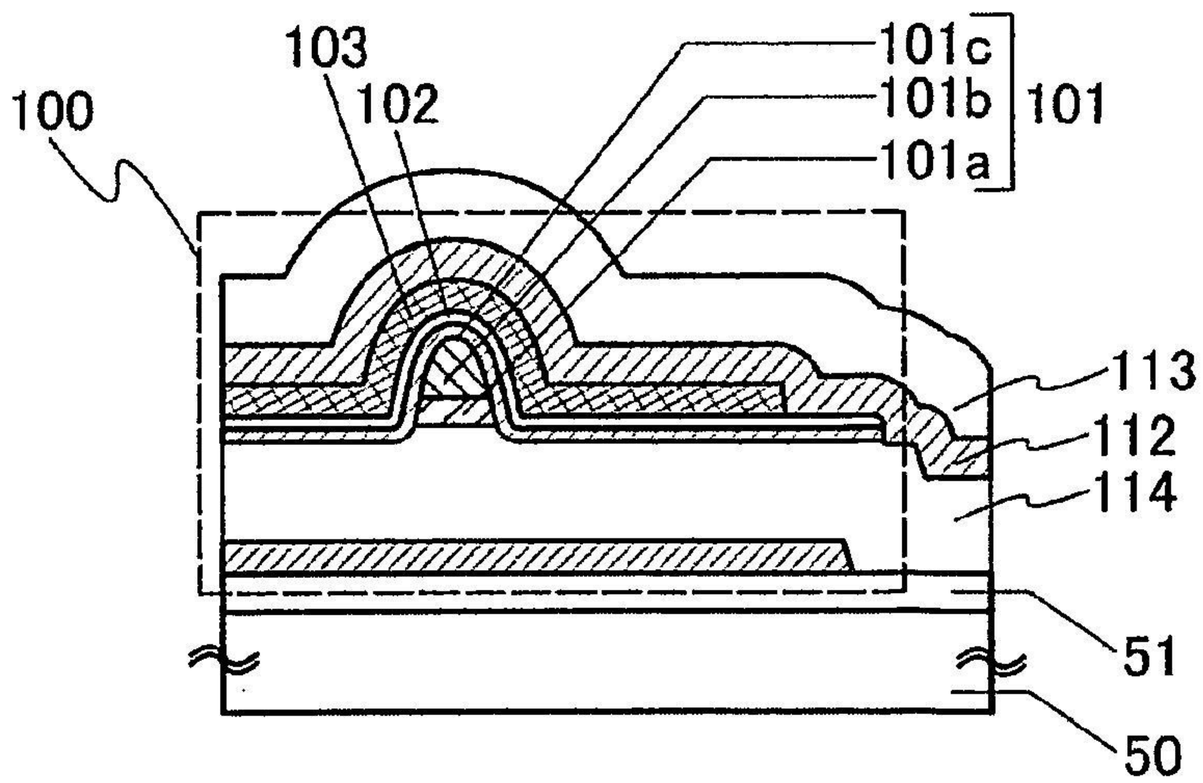

103
102
100
101c
101b
101a
101
113
112
114
51
50

圖 67A

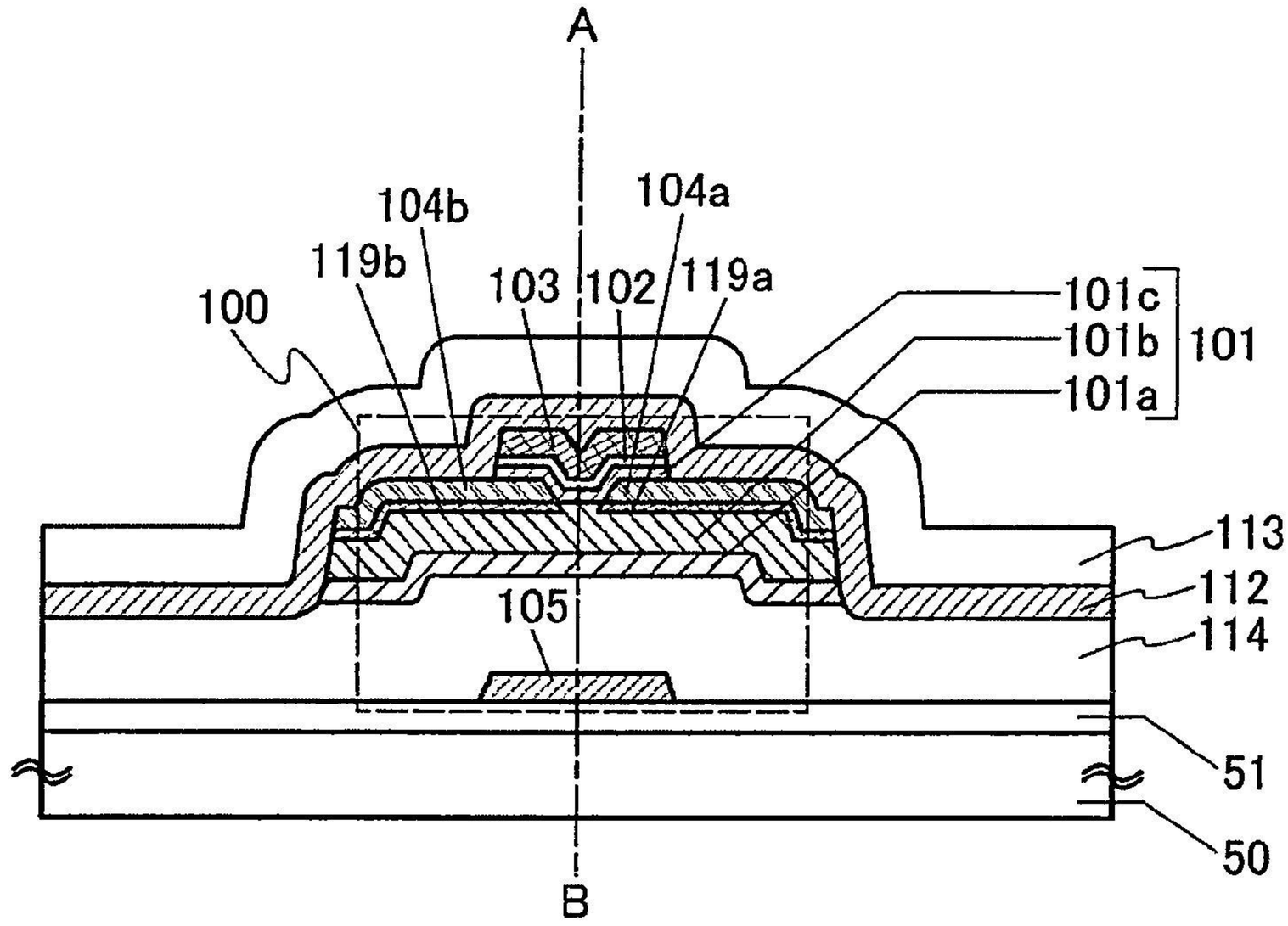
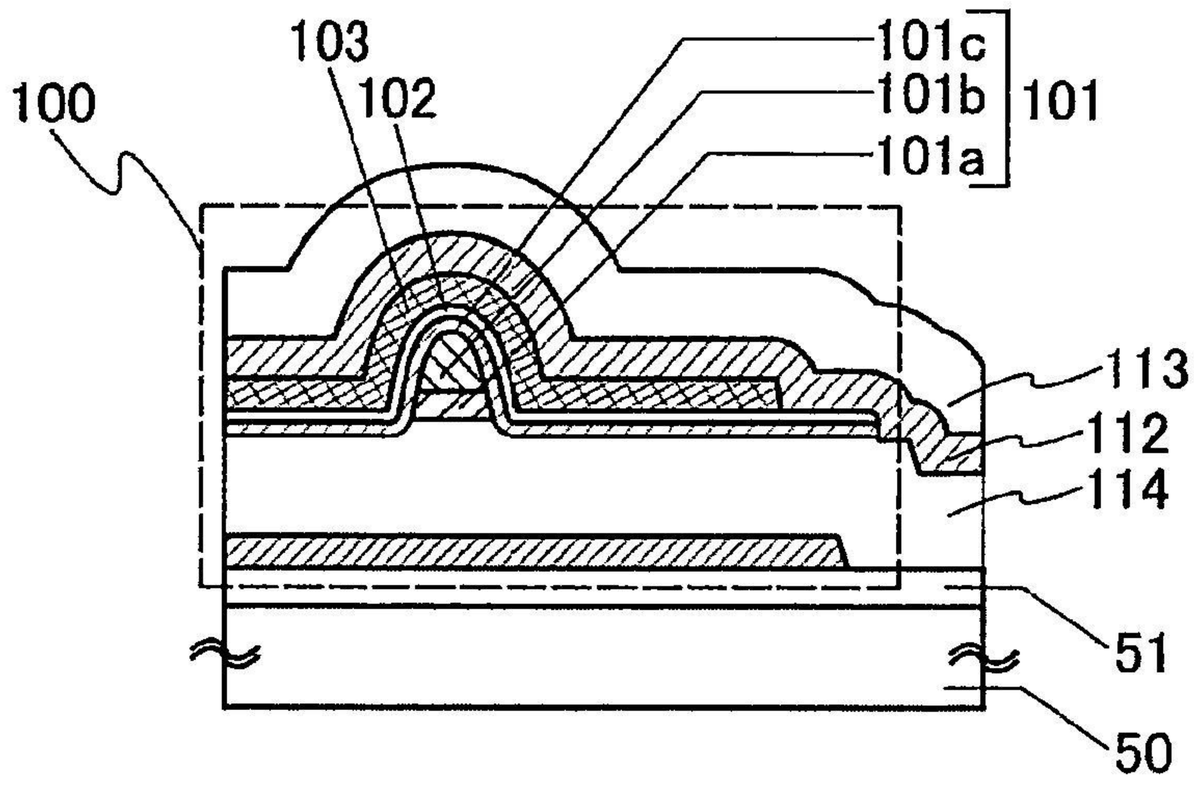

A
104b
104a
119b
103
102
119a
100
101c
101b
101
101a
113
112
105
114
51
50
B

圖 67B


103
100
102
101c
101b
101
101a
113
112
114
51
50

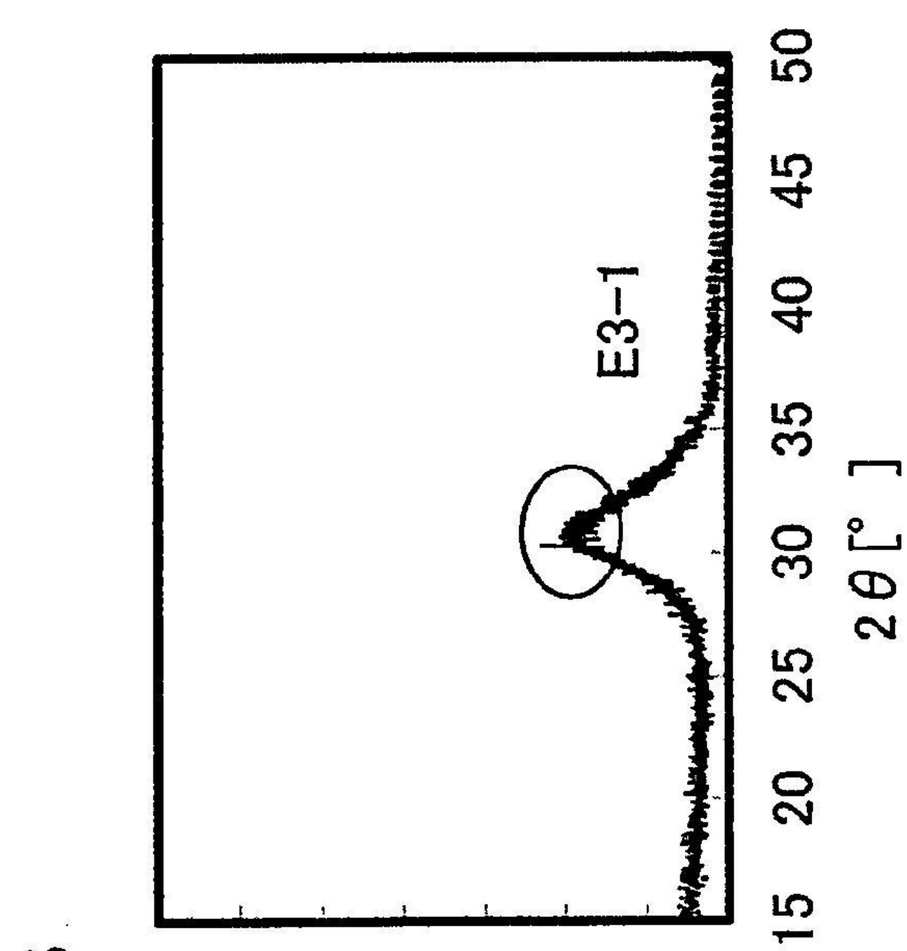


圖 68A

圖 68B

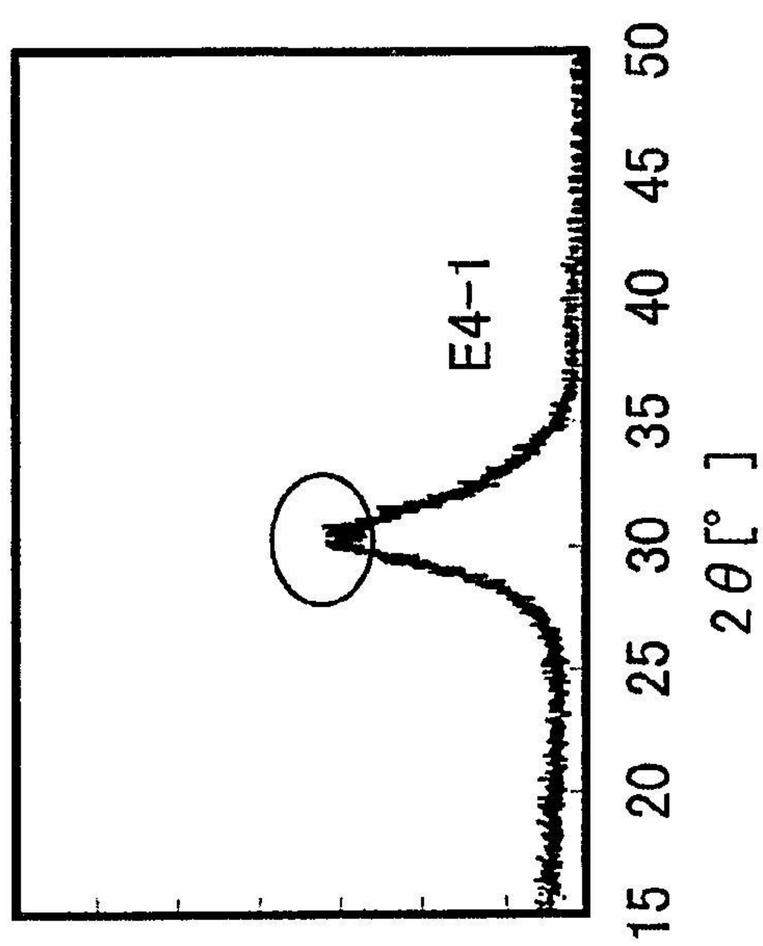


圖 68C

圖 69A

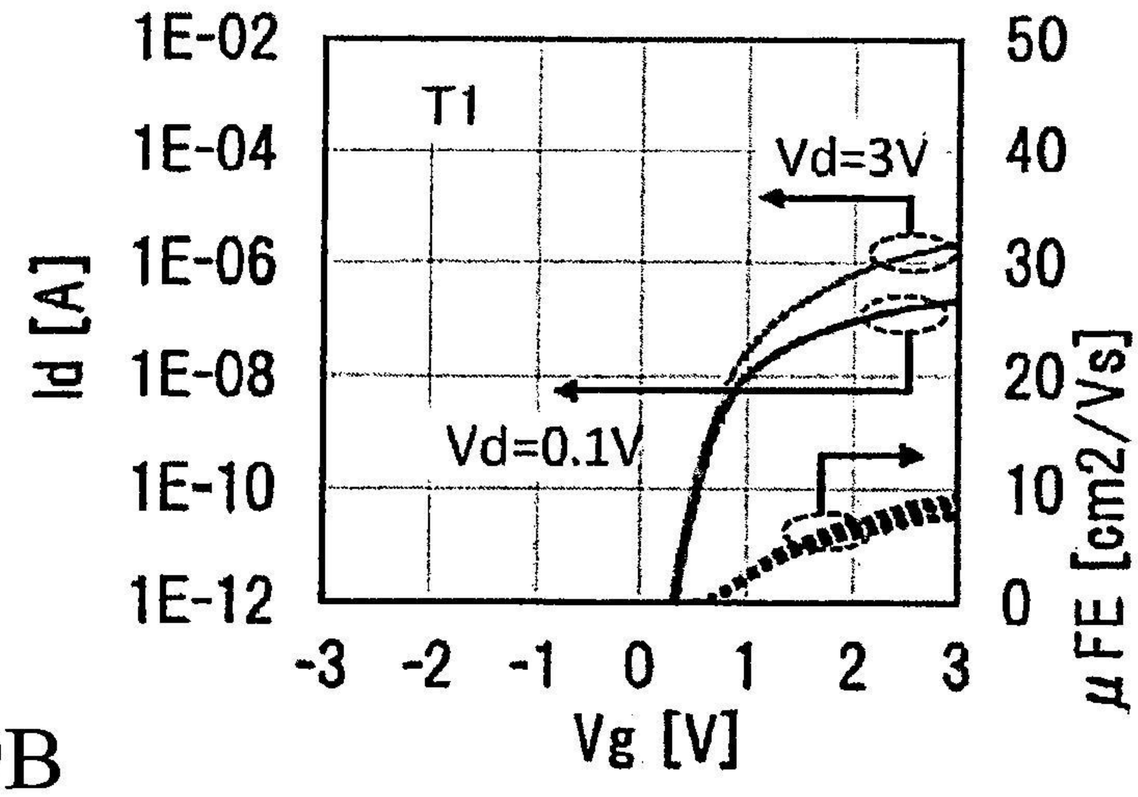


圖 69B

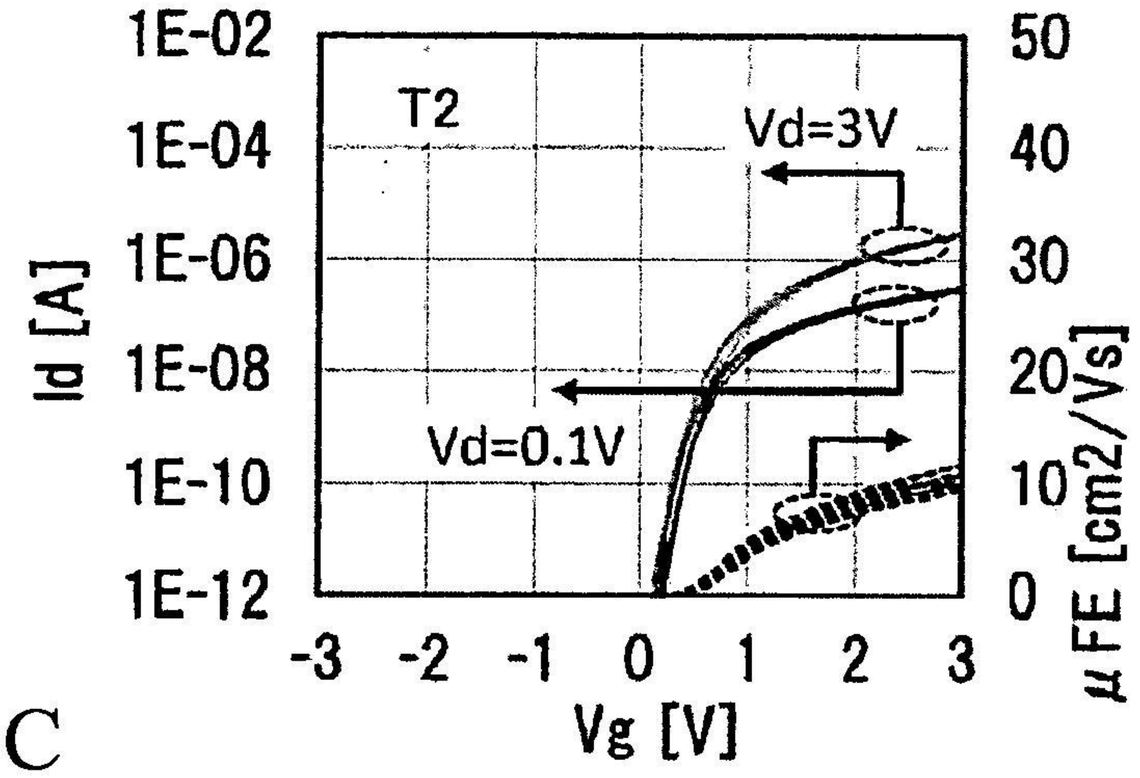


圖 69C

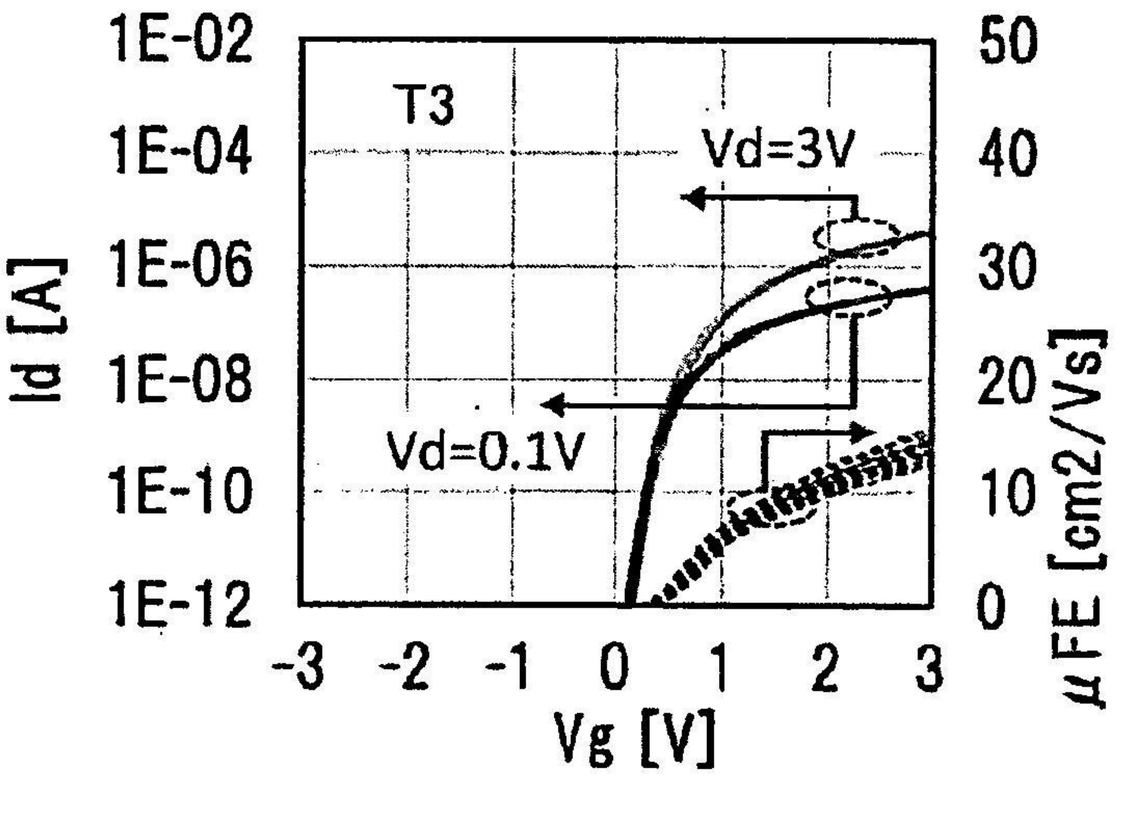


圖 70

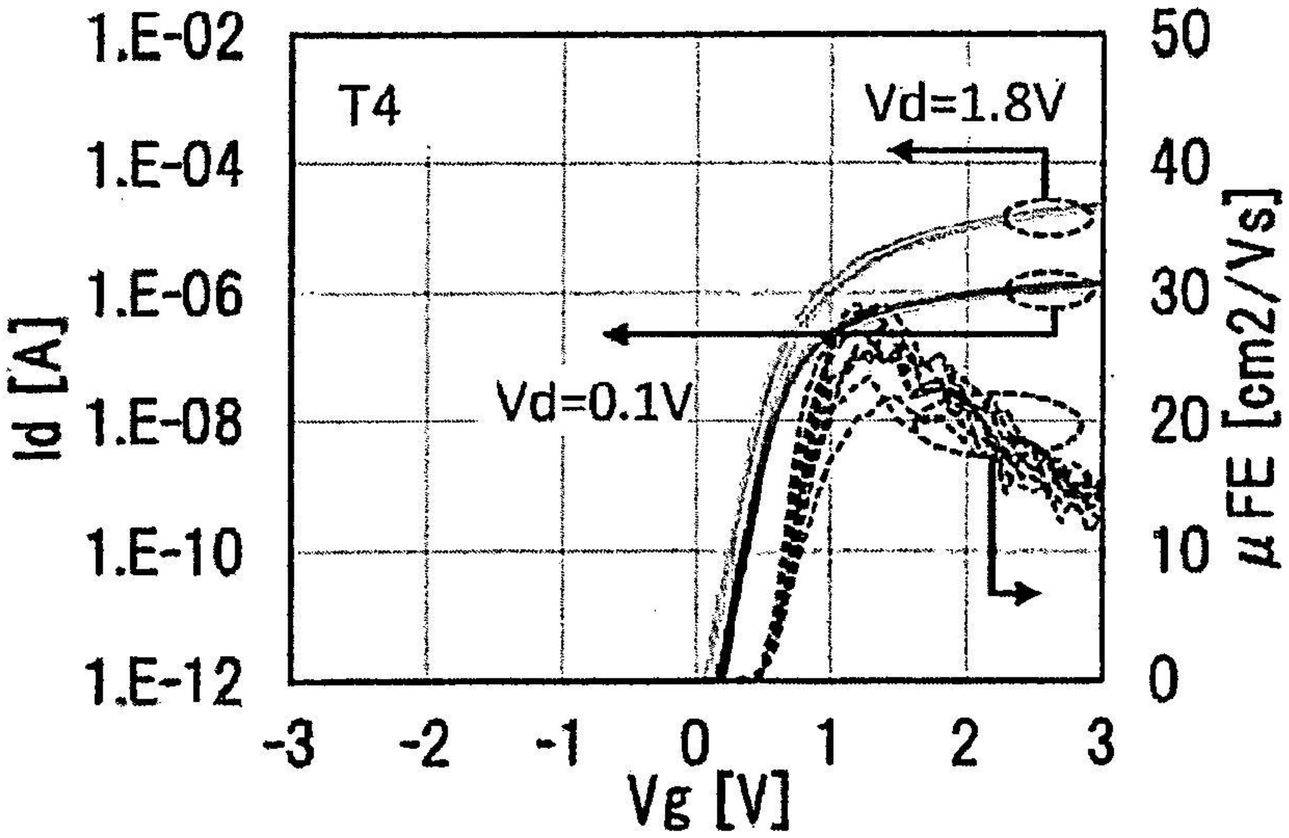

T4
Vd=1.8V
Vd=0.1V
Id [A]
1.E-02
1.E-04
1.E-06
1.E-08
1.E-10
1.E-12
-3
-2
-1
0
1
2
3
Vg [V]
50
40
30
20
10
0
μFE [cm2/Vs]

圖 71A

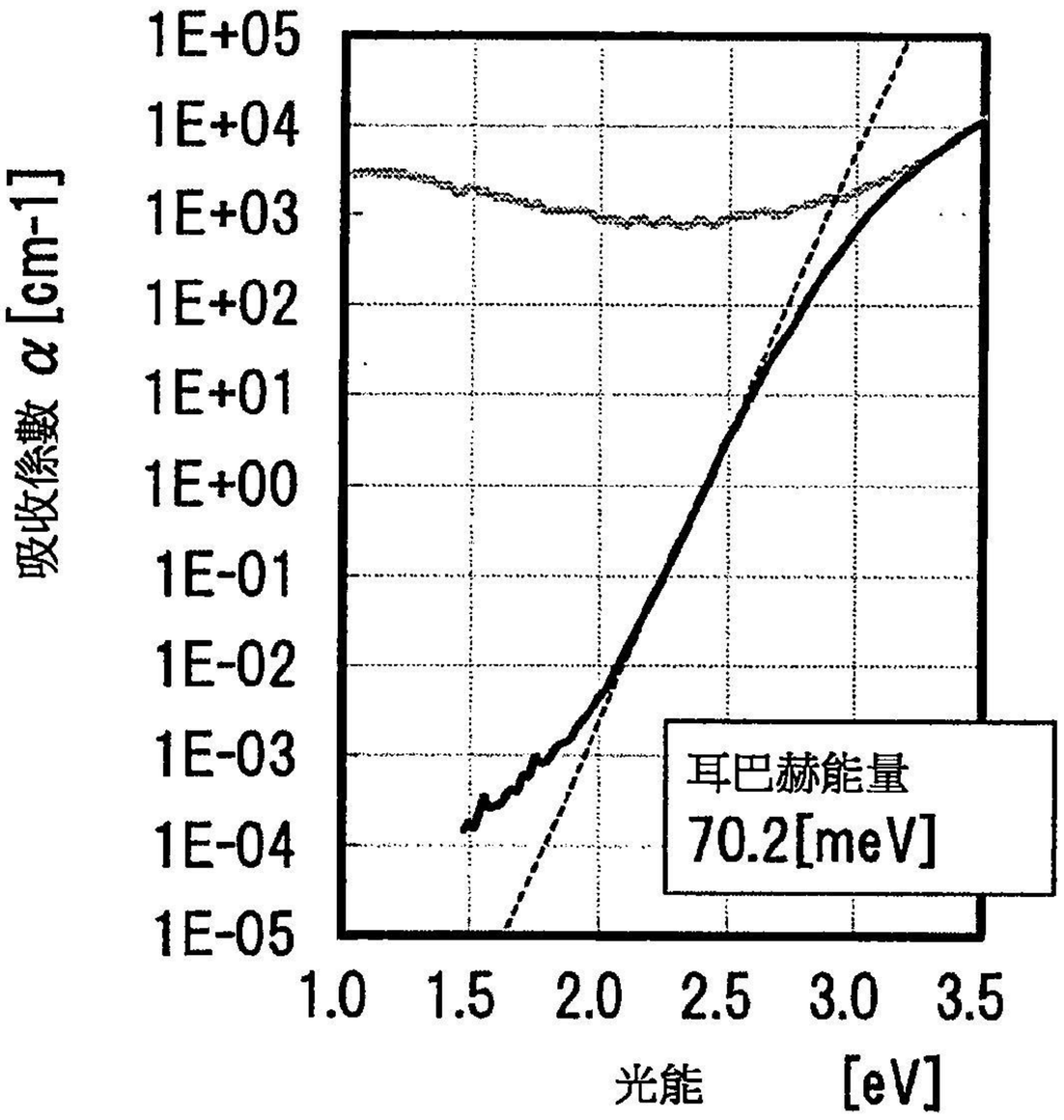

1E+05
1E+04
1E+03
1E+02
1E+01
1E+00
1E-01
1E-02
1E-03
1E-04
1E-05
吸收係數 α [cm-1]
1.0
1.5
2.0
2.5
3.0
3.5
光能 [eV]
耳巴赫能量
70.2[meV]

圖 71B

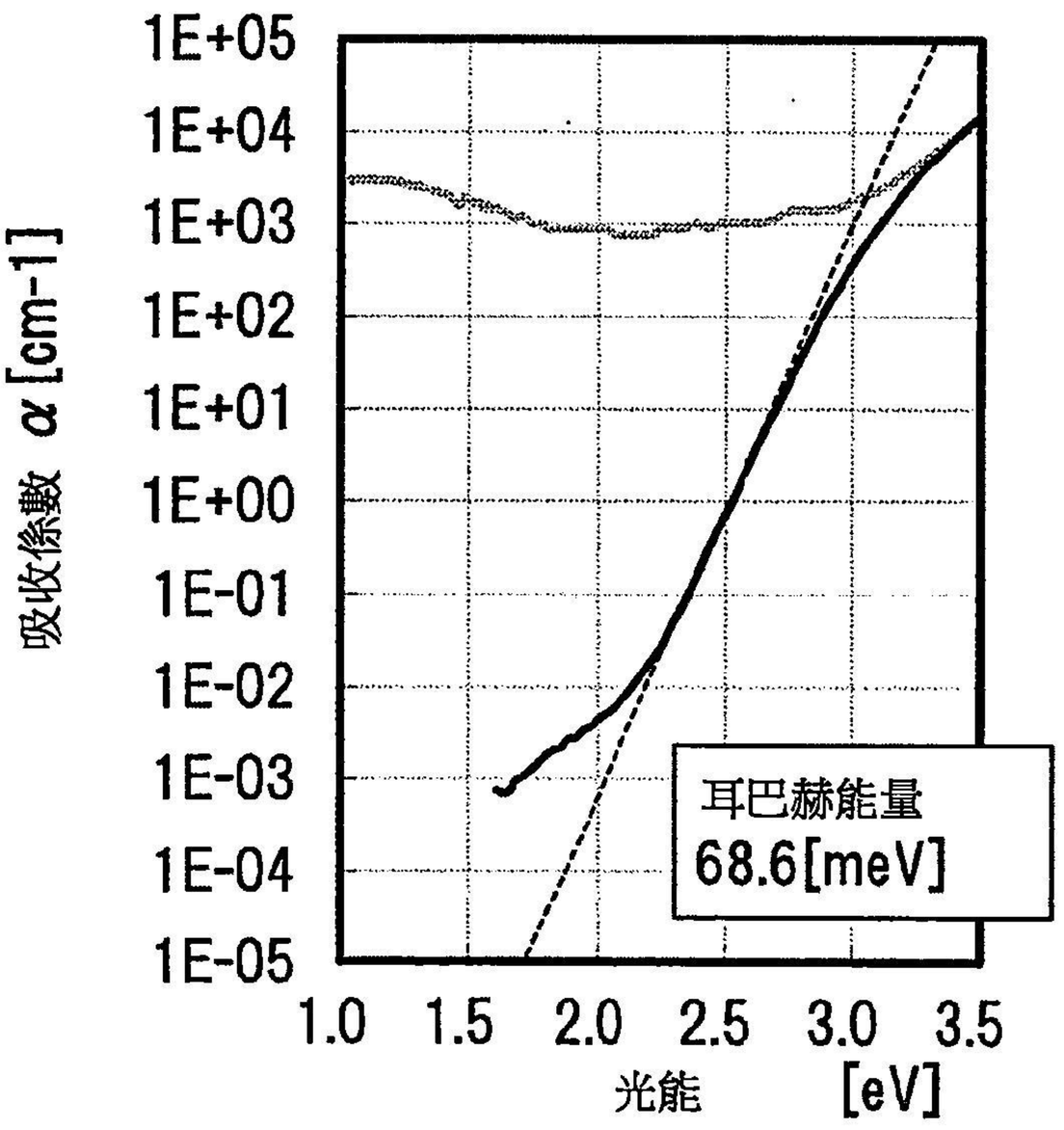

1E+05
1E+04
1E+03
1E+02
1E+01
1E+00
1E-01
1E-02
1E-03
1E-04
1E-05
吸收係數 α [cm-1]
1.0
1.5
2.0
2.5
3.0
3.5
光能 [eV]
耳巴赫能量
68.6[meV]

圖 72

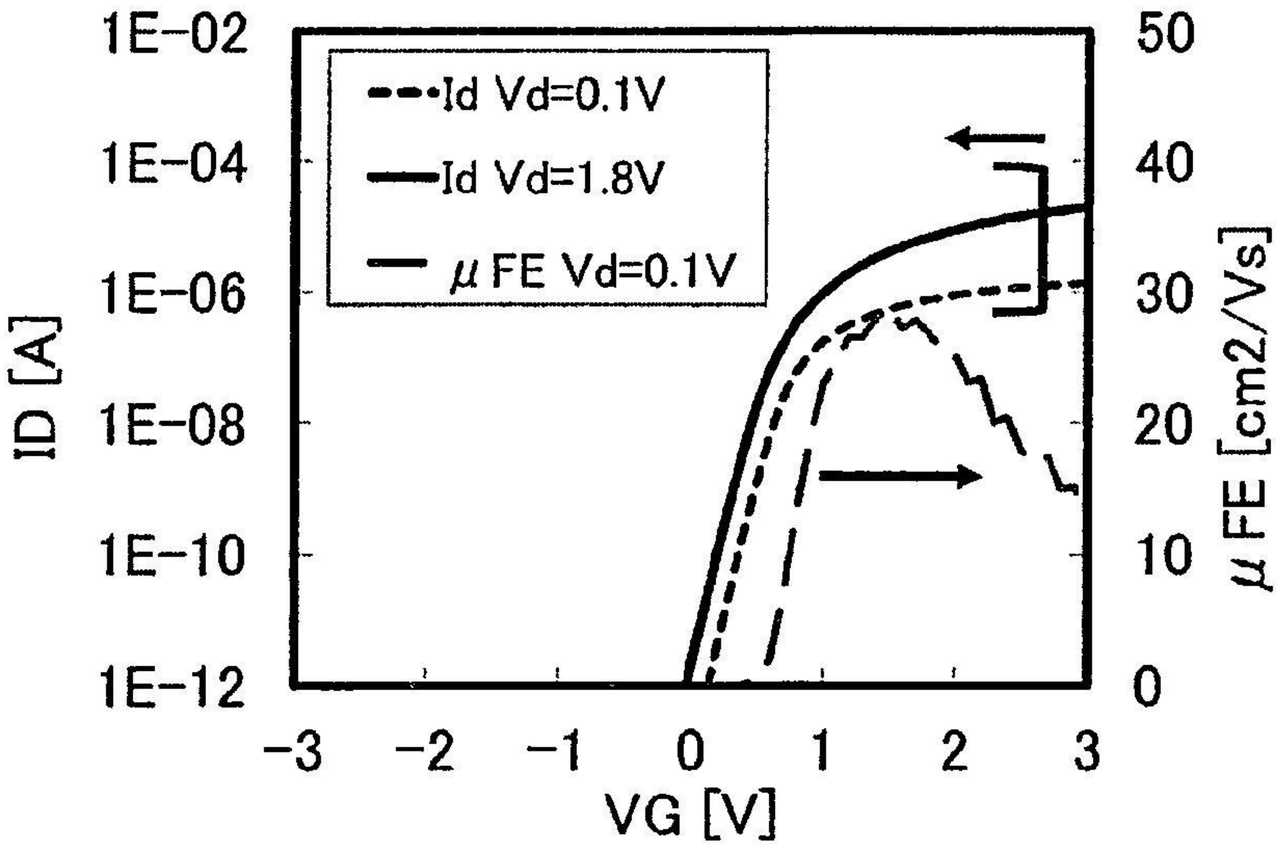

Id Vd=0.1V
Id Vd=1.8V
μFE Vd=0.1V
ID [A]
1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
50
40
30
20
10
0
μFE [cm2/Vs]
−3
−2
−1
0
1
2
3
VG [V]

圖 73

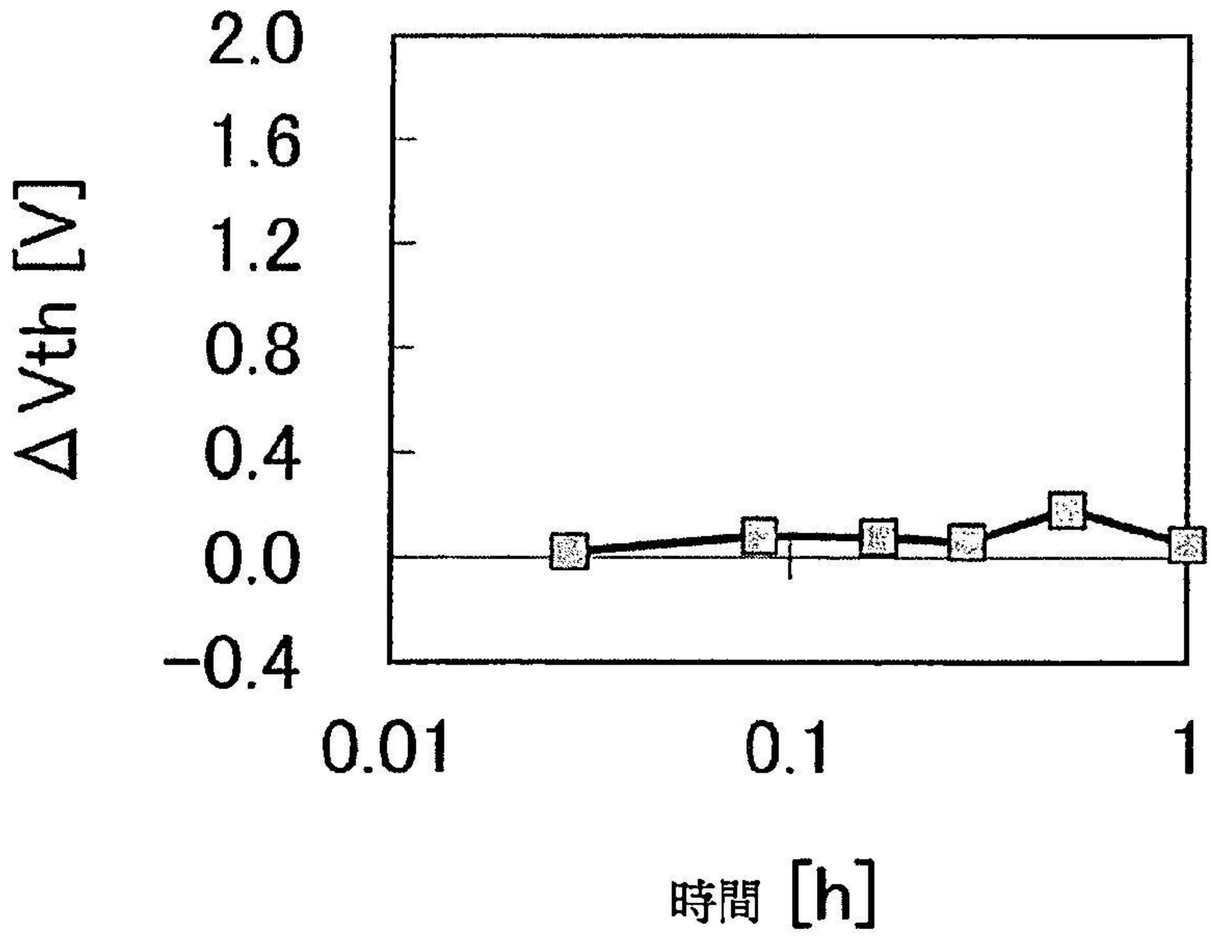


圖 74

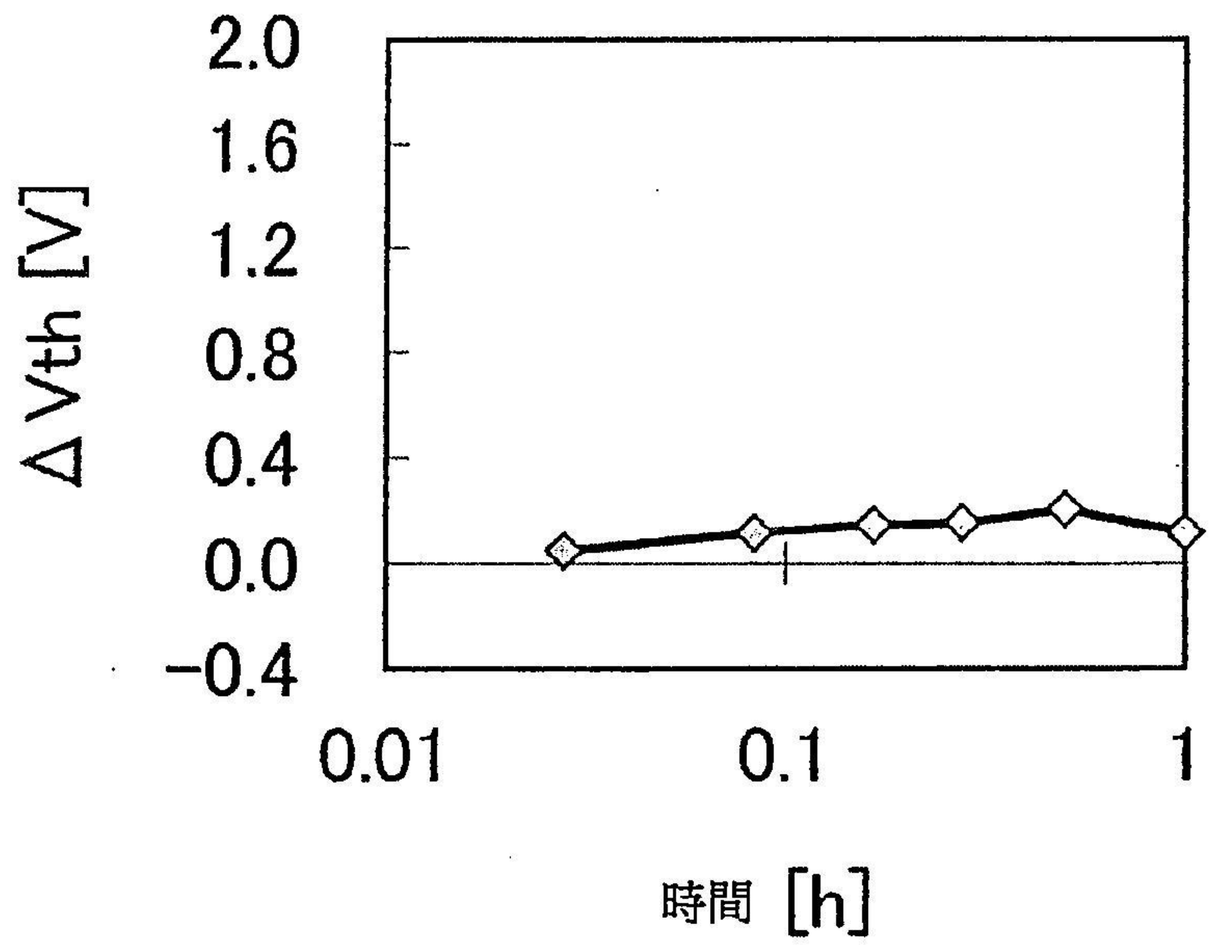


圖 75

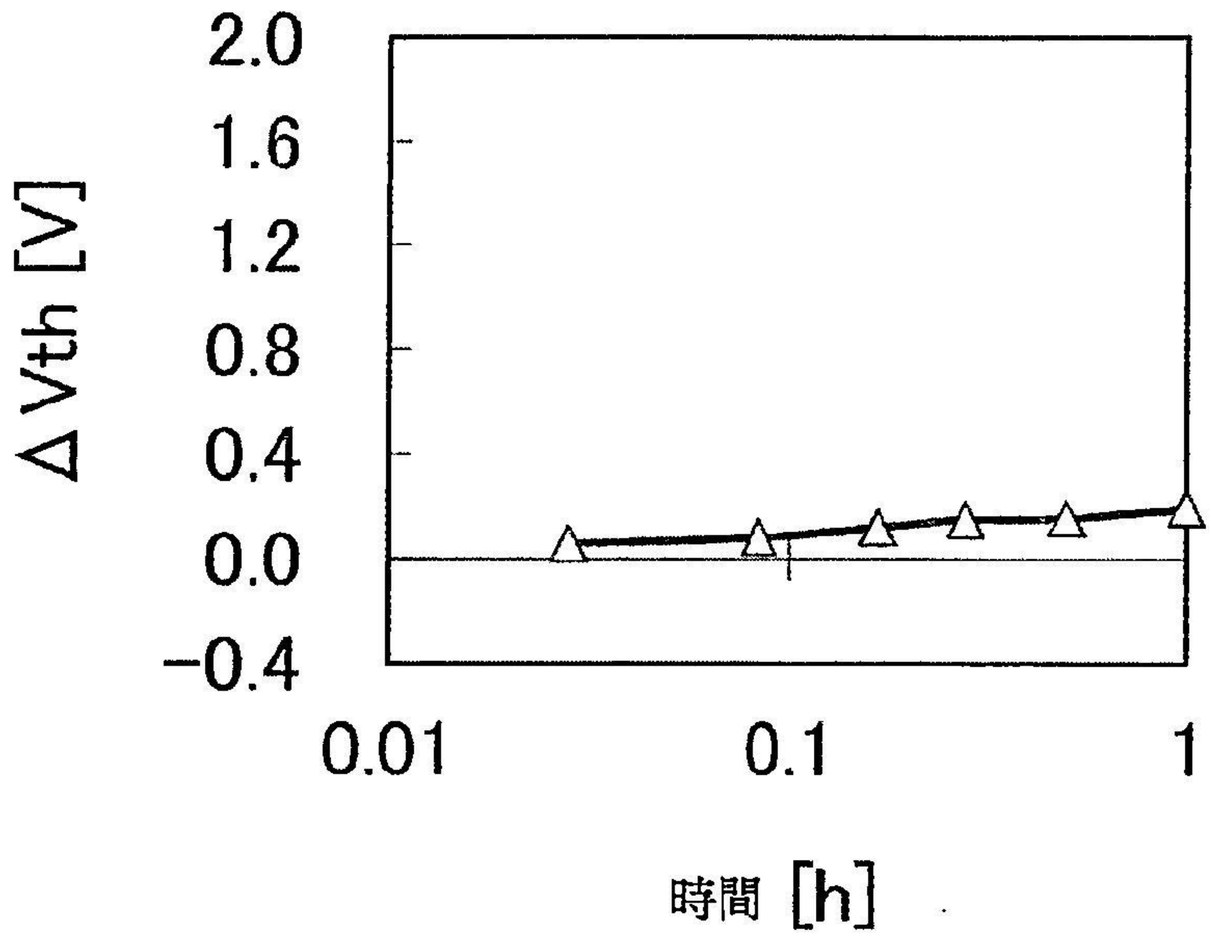


圖 76A

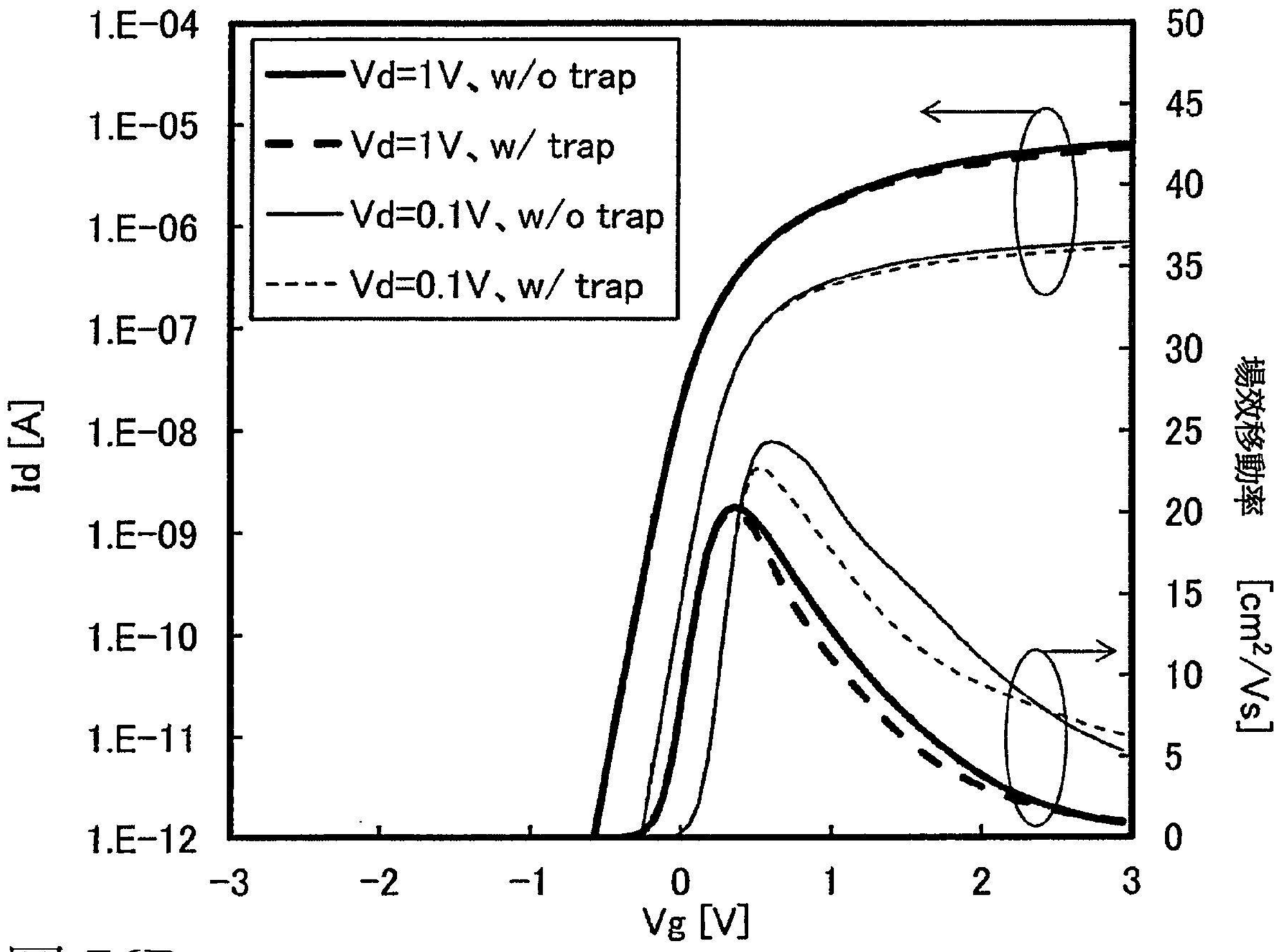

Vd=1V、w/o trap
Vd=1V、w/ trap
Vd=0.1V、w/o trap
Vd=0.1V、w/ trap
Id [A]
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
1.E-11
1.E-12
50
45
40
35
30
25
20
15
10
5
0
場效移動率 [cm²/Vs]
−3
−2
−1
0
1
2
3
Vg [V]

圖 76B

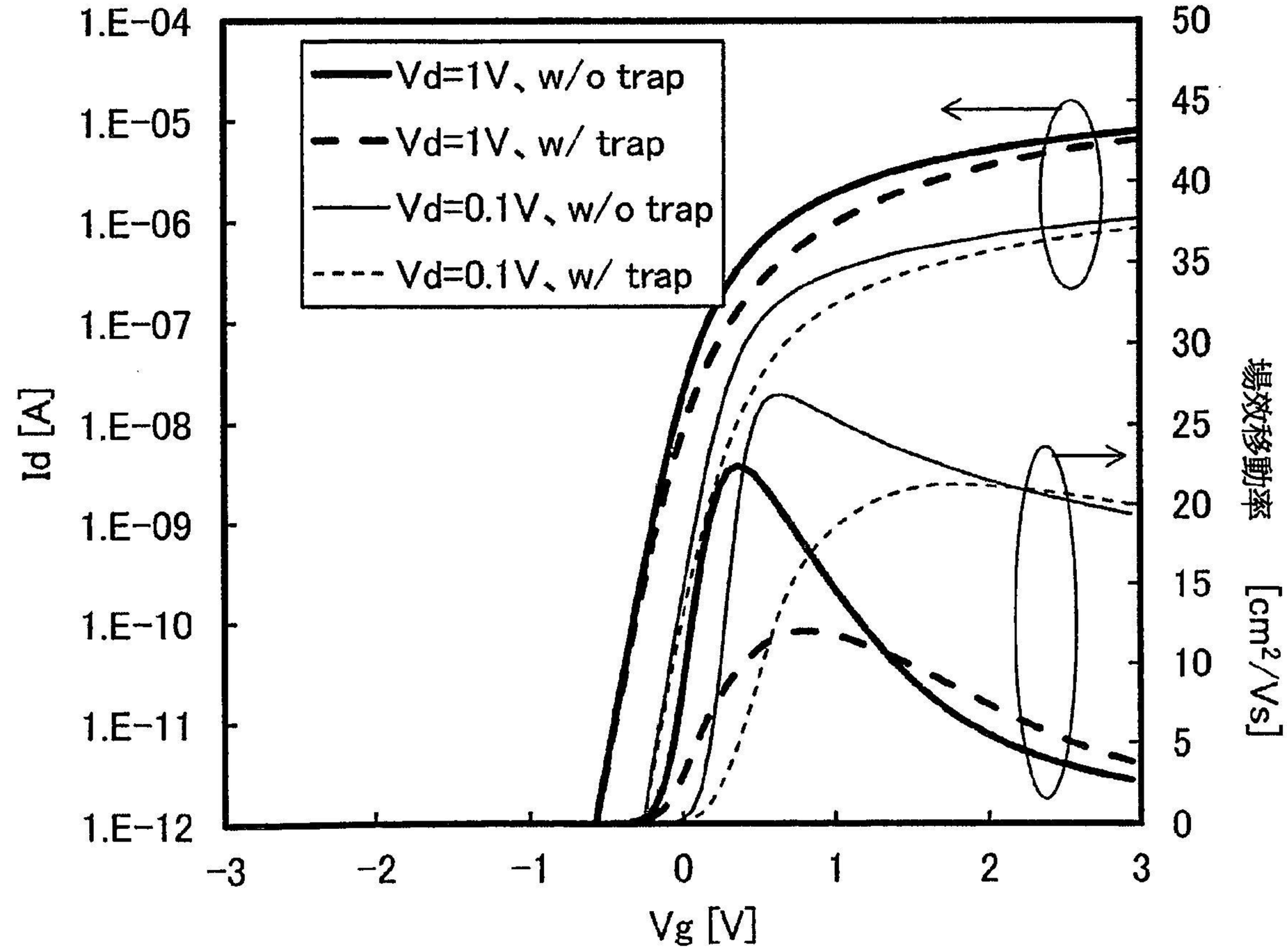

Vd=1V、w/o trap
Vd=1V、w/ trap
Vd=0.1V、w/o trap
Vd=0.1V、w/ trap
Id [A]
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
1.E-11
1.E-12
50
45
40
35
30
25
20
15
10
5
0
場效移動率 [cm²/Vs]
−3
−2
−1
0
1
2
3
Vg [V]

圖 77A

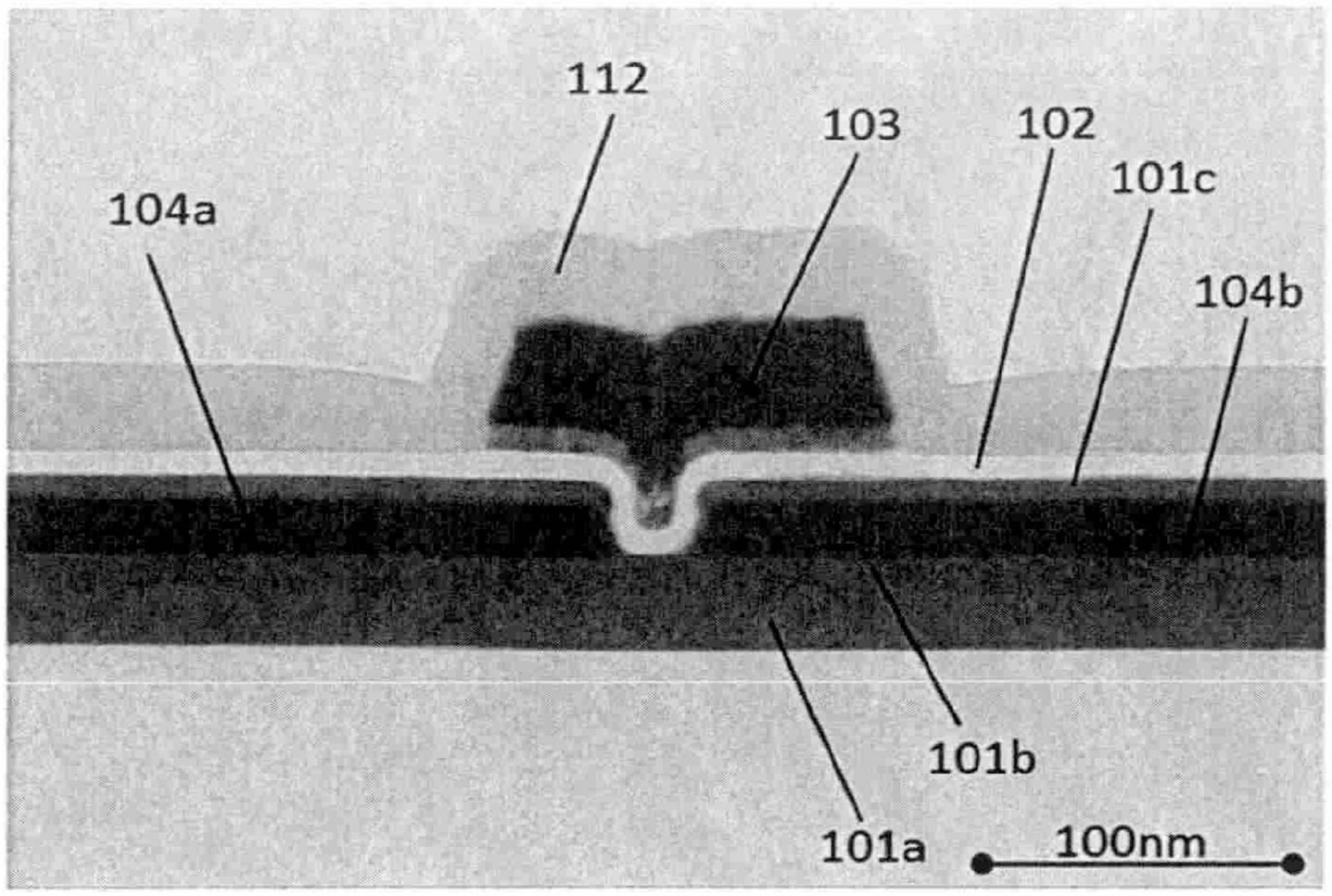

112
103
102
101c
104a
104b
101b
101a
100nm

圖 77B

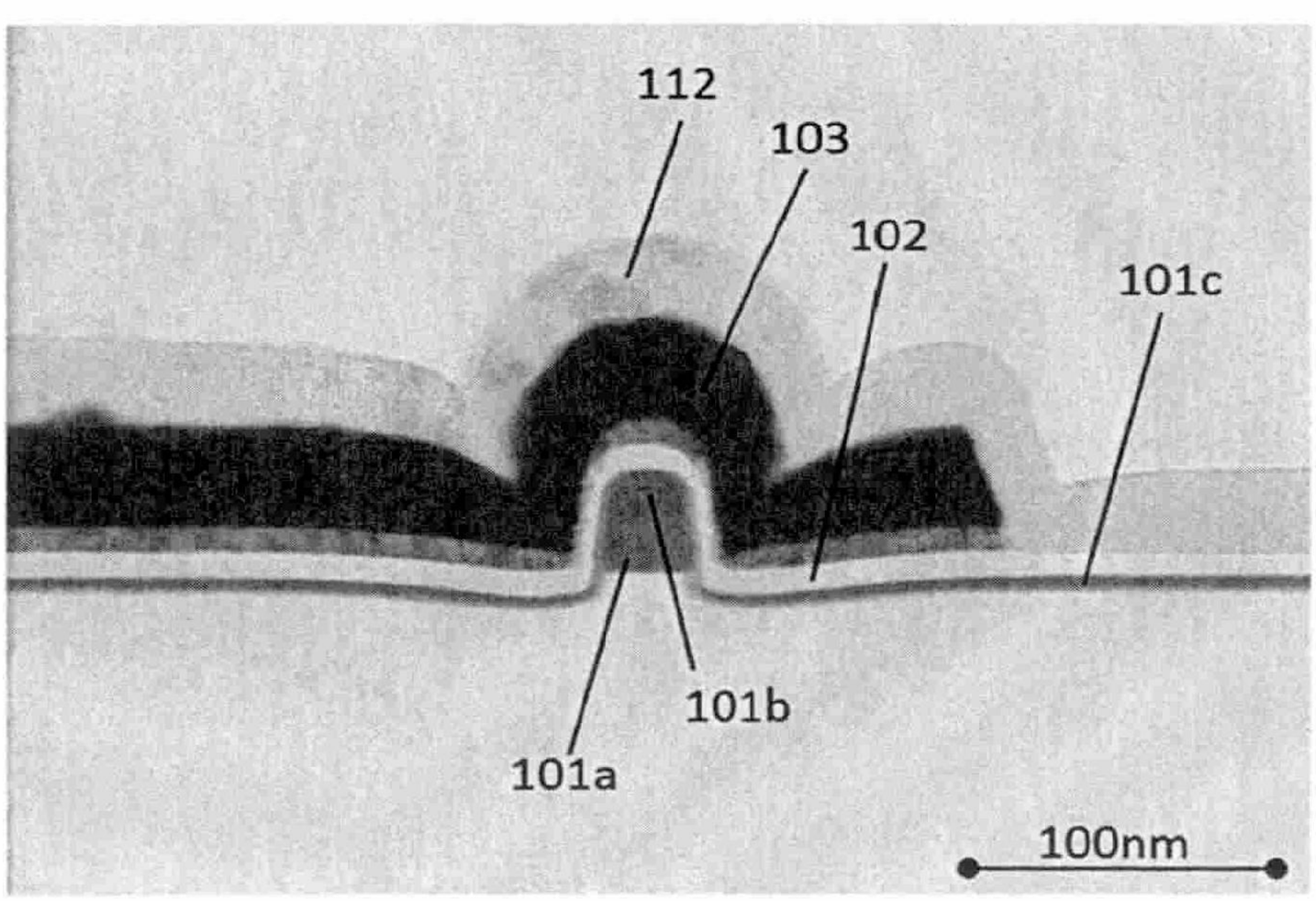

112
103
102
101c
101b
101a
100nm

圖 78

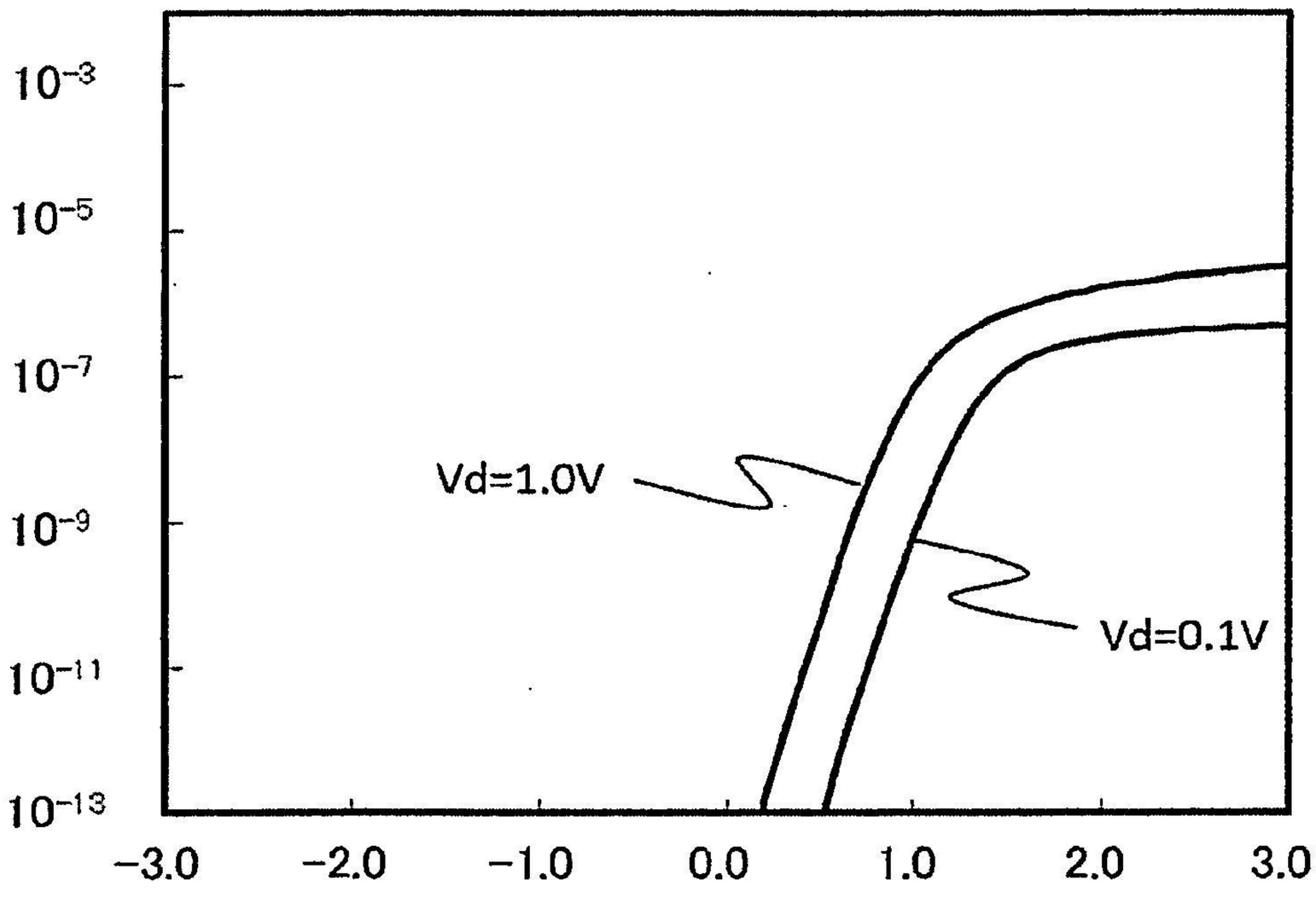


圖 79

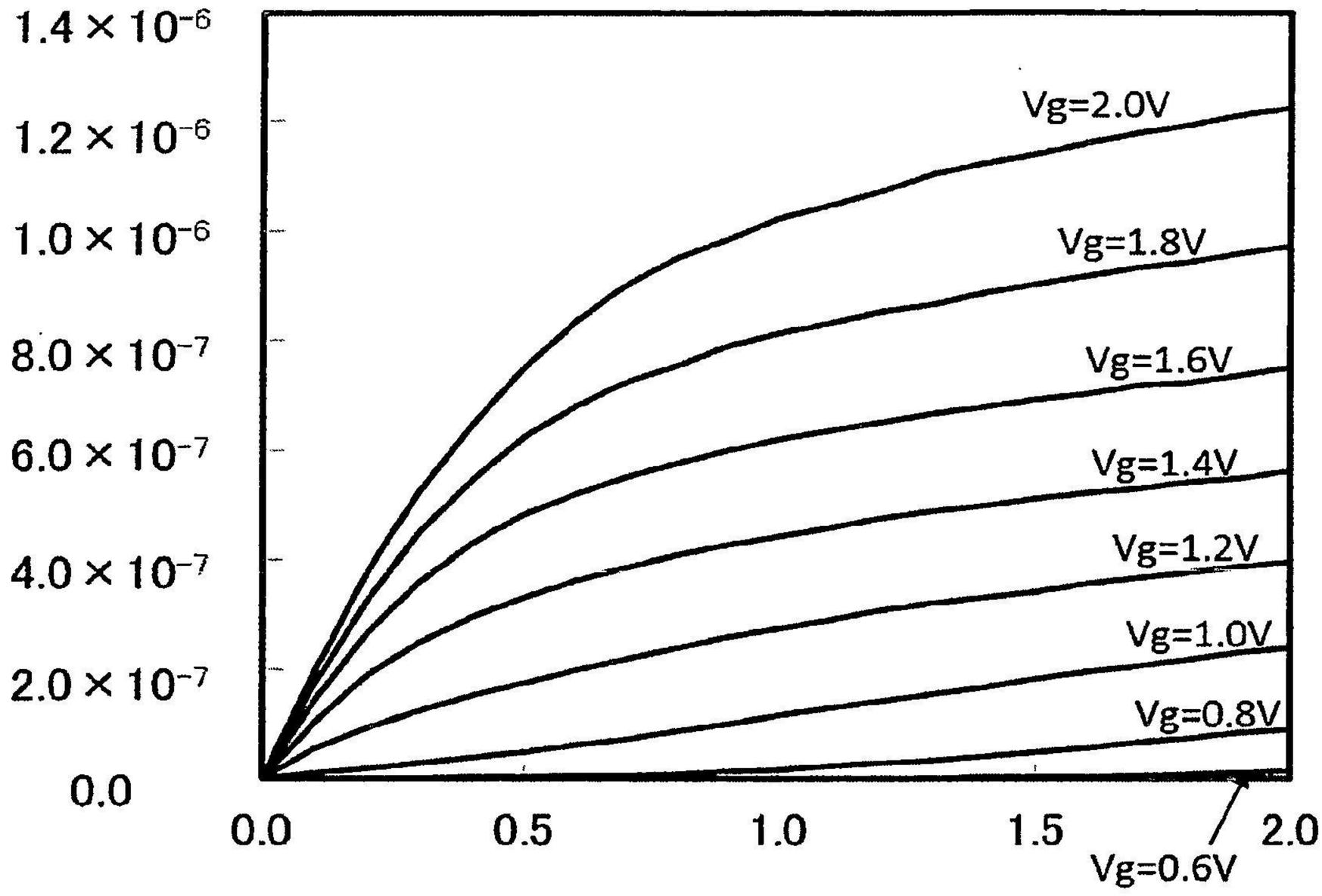

1.4 × 10⁻⁶
1.2 × 10⁻⁶
1.0 × 10⁻⁶
8.0 × 10⁻⁷
6.0 × 10⁻⁷
4.0 × 10⁻⁷
2.0 × 10⁻⁷
0.0
0.0
0.5
1.0
1.5
2.0
Vg=2.0V
Vg=1.8V
Vg=1.6V
Vg=1.4V
Vg=1.2V
Vg=1.0V
Vg=0.8V
Vg=0.6V

圖 80A

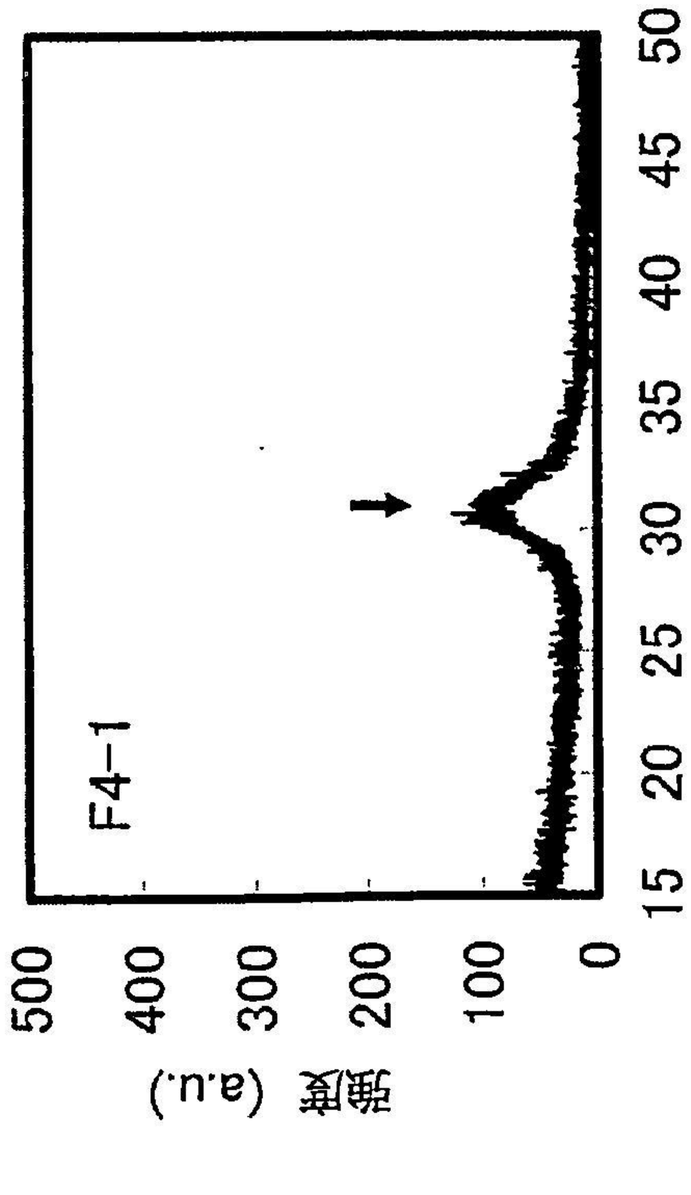


圖 80B

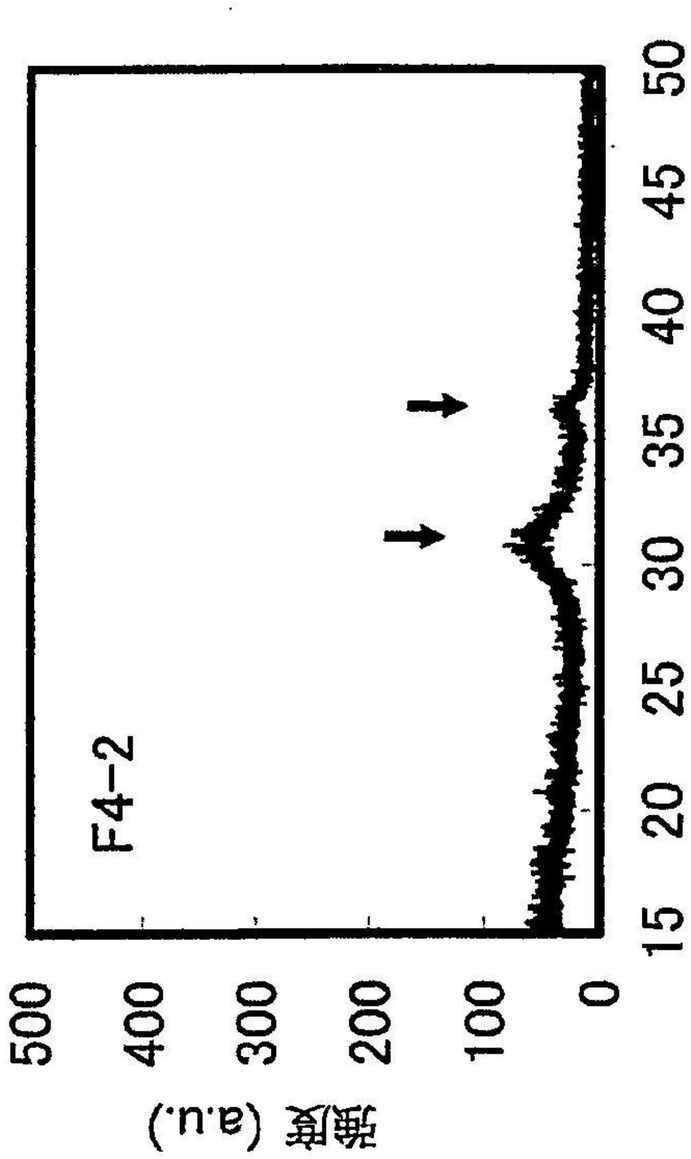
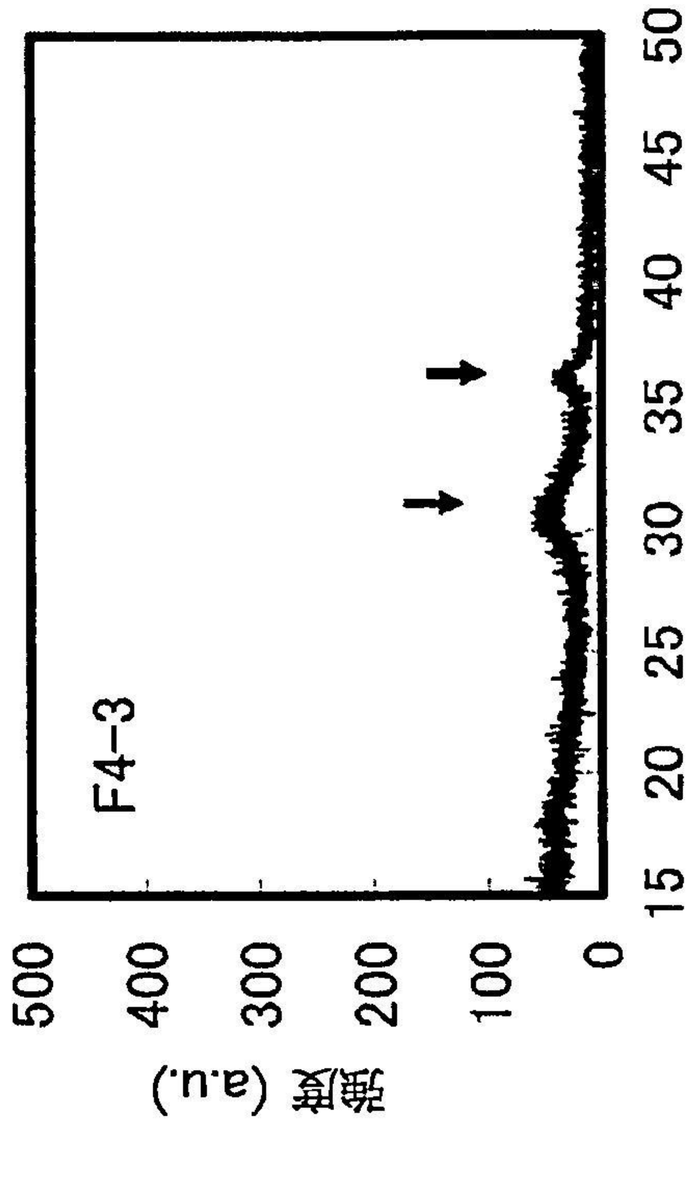


圖 80C



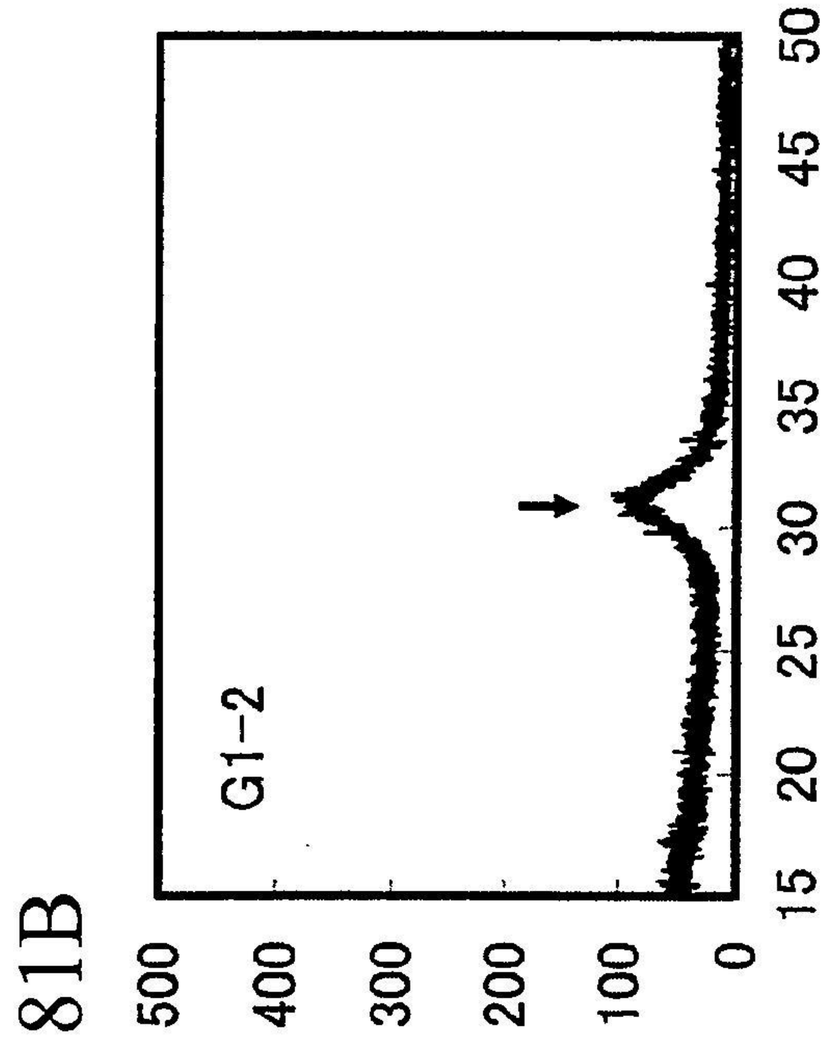


圖 81B

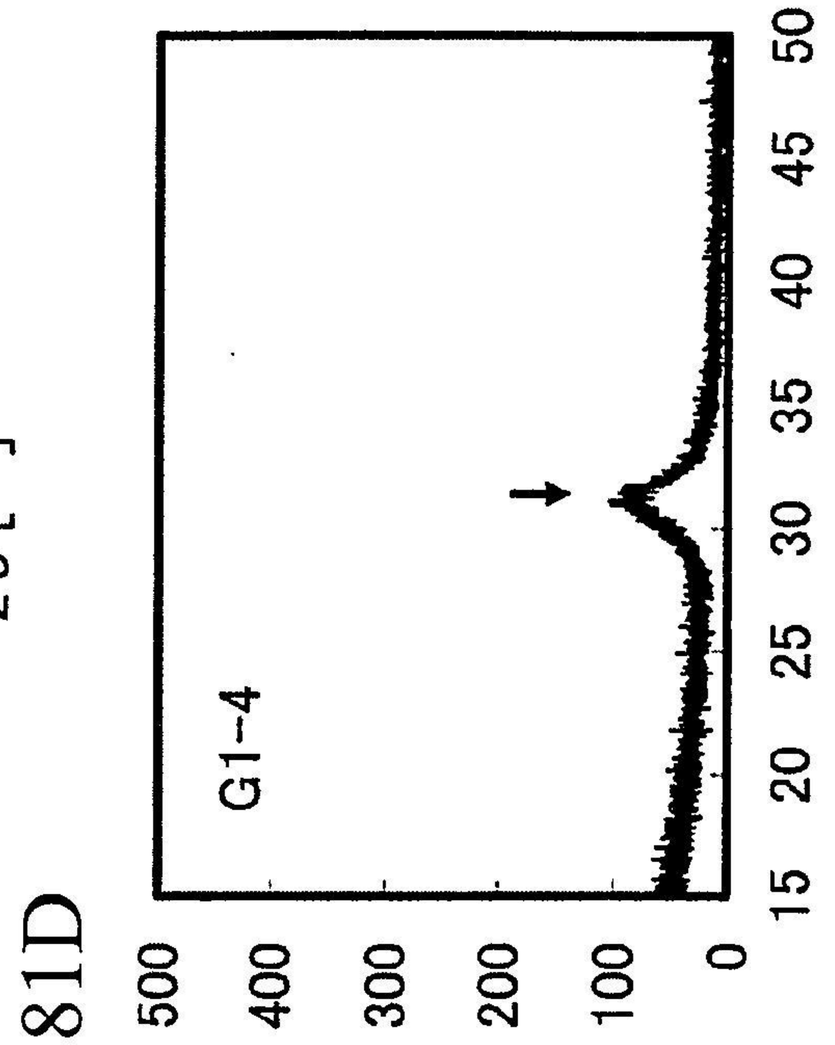


圖 81D

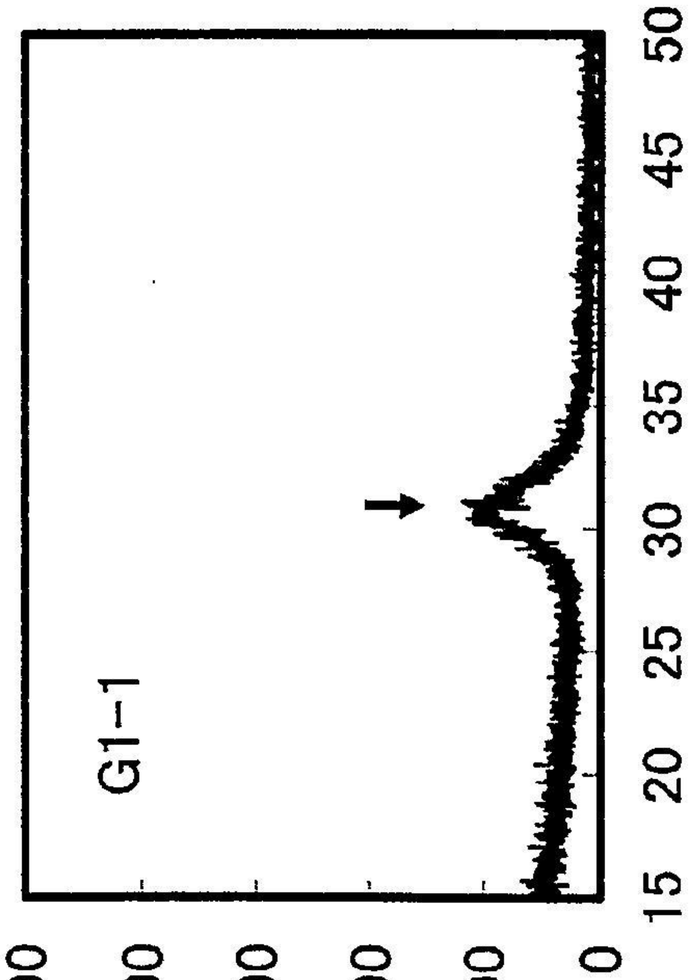


圖 81A

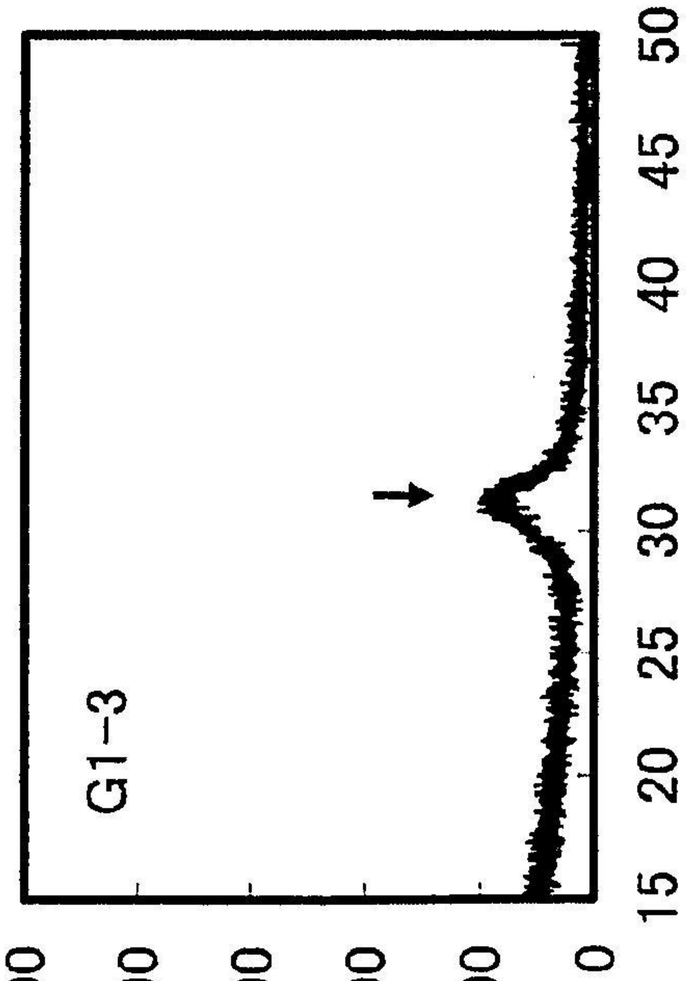


圖 81C

圖 82A

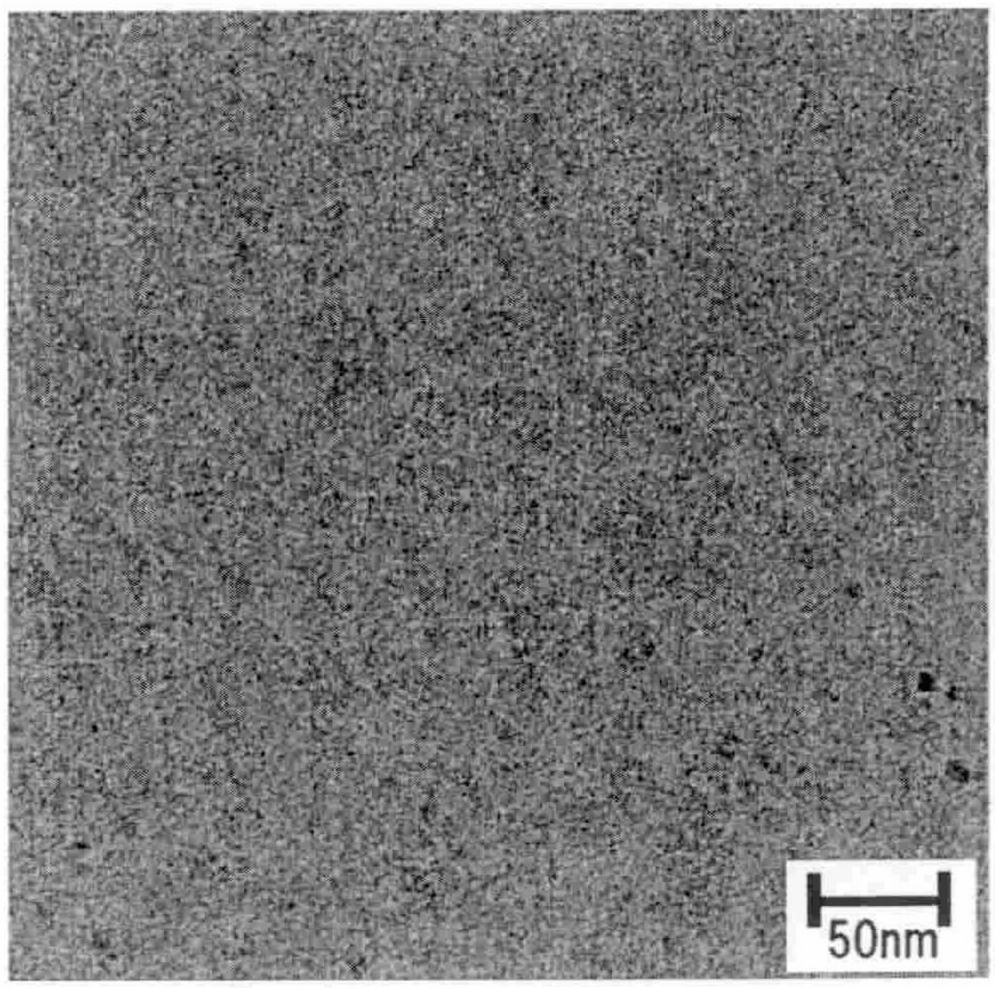


圖 82B

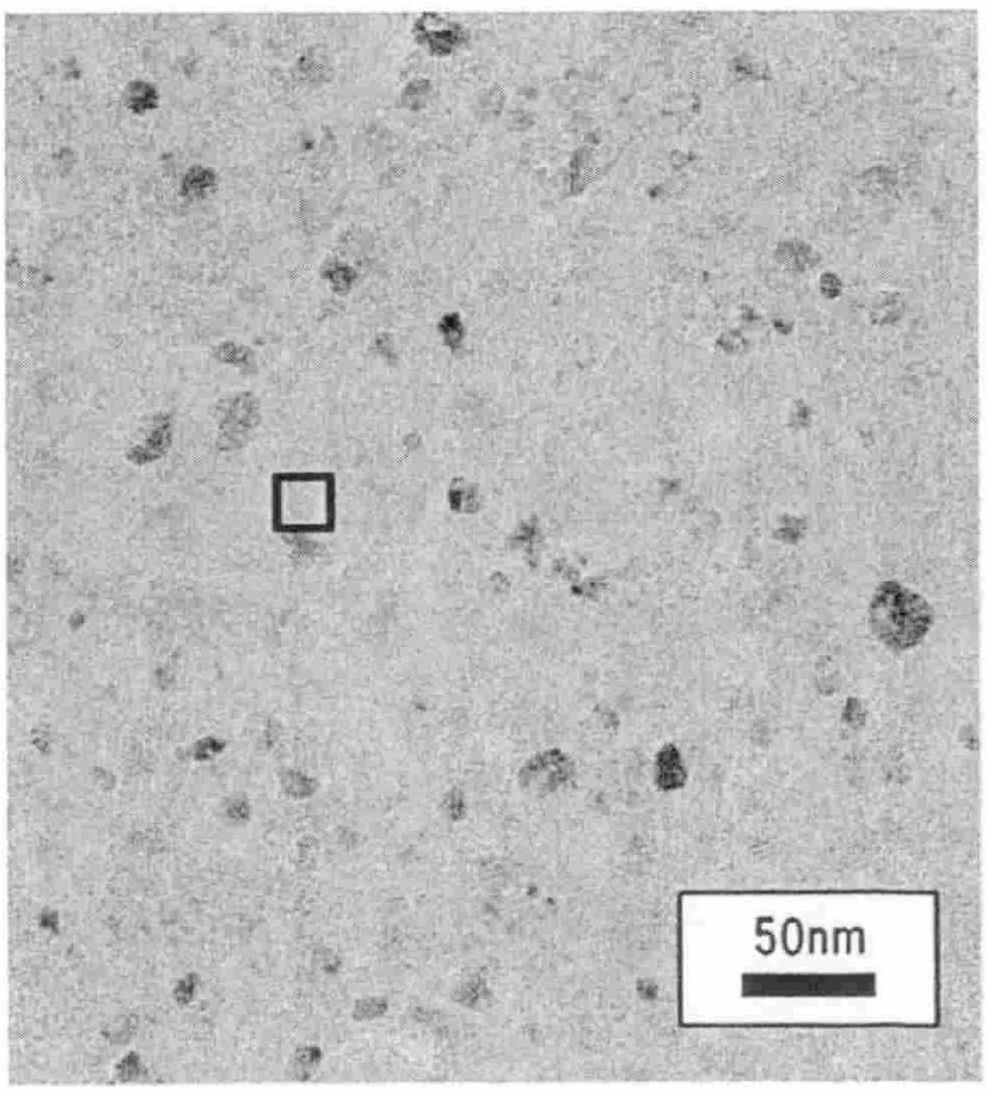


圖 83A

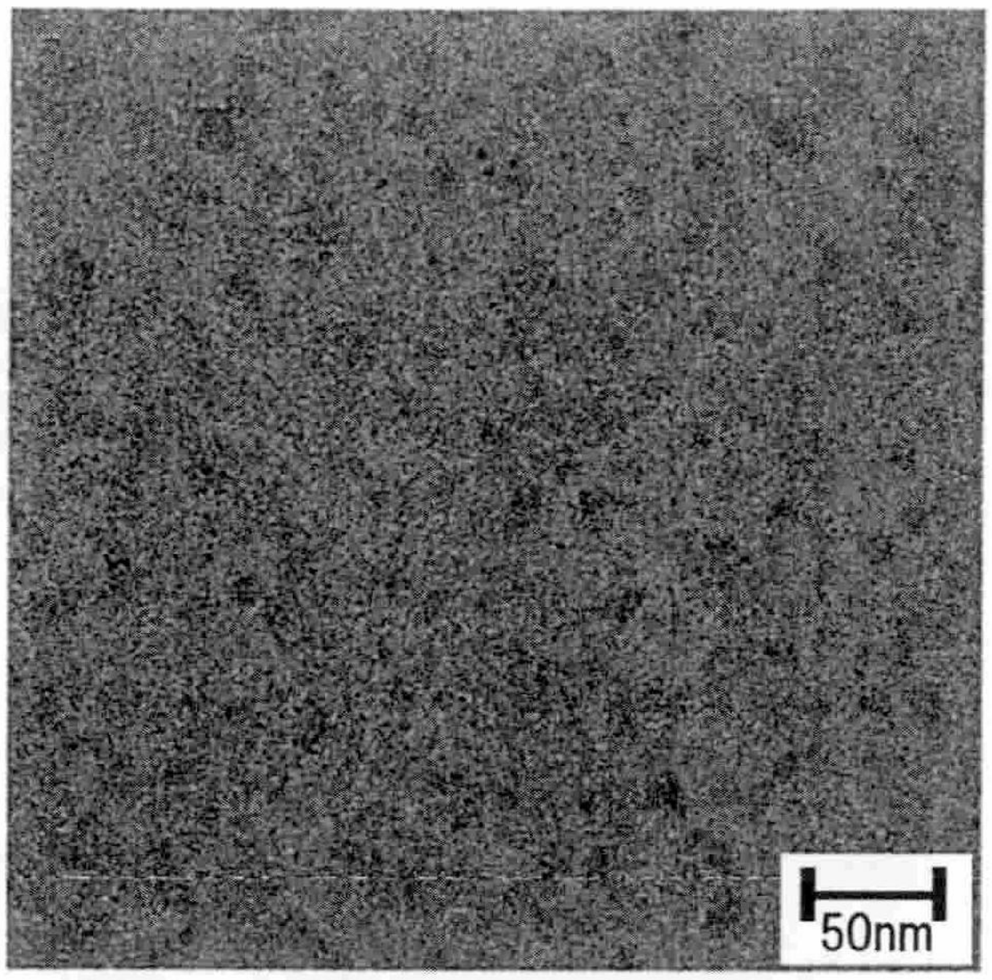


圖 83B

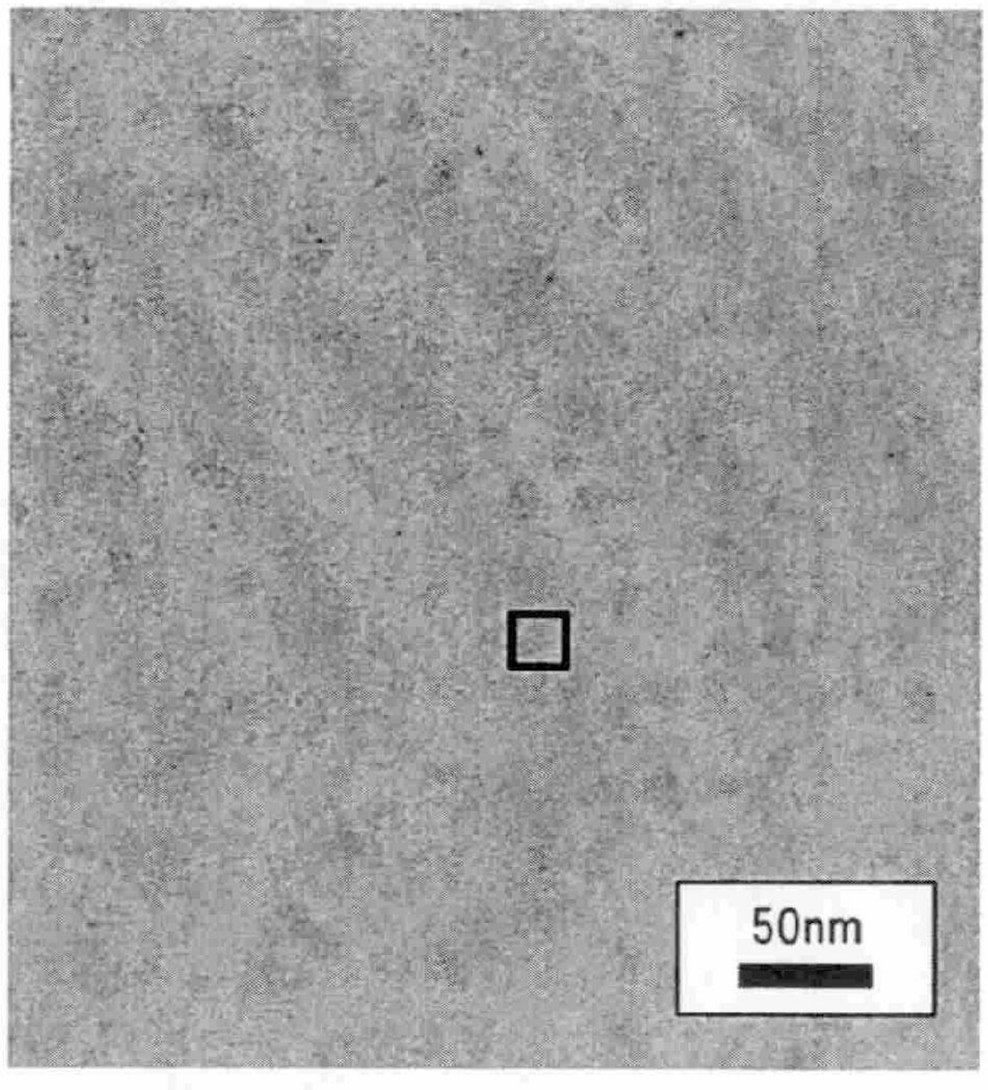


圖 84A

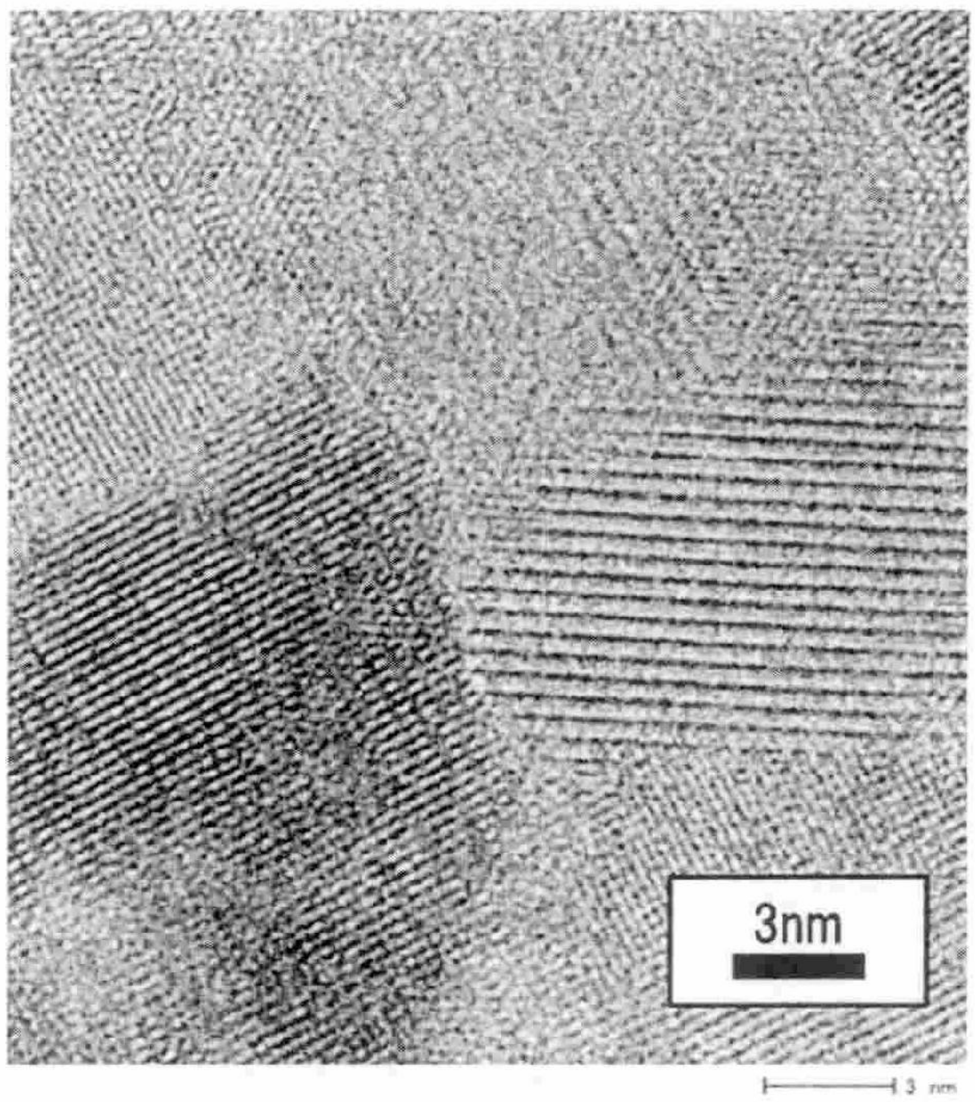


圖 84B

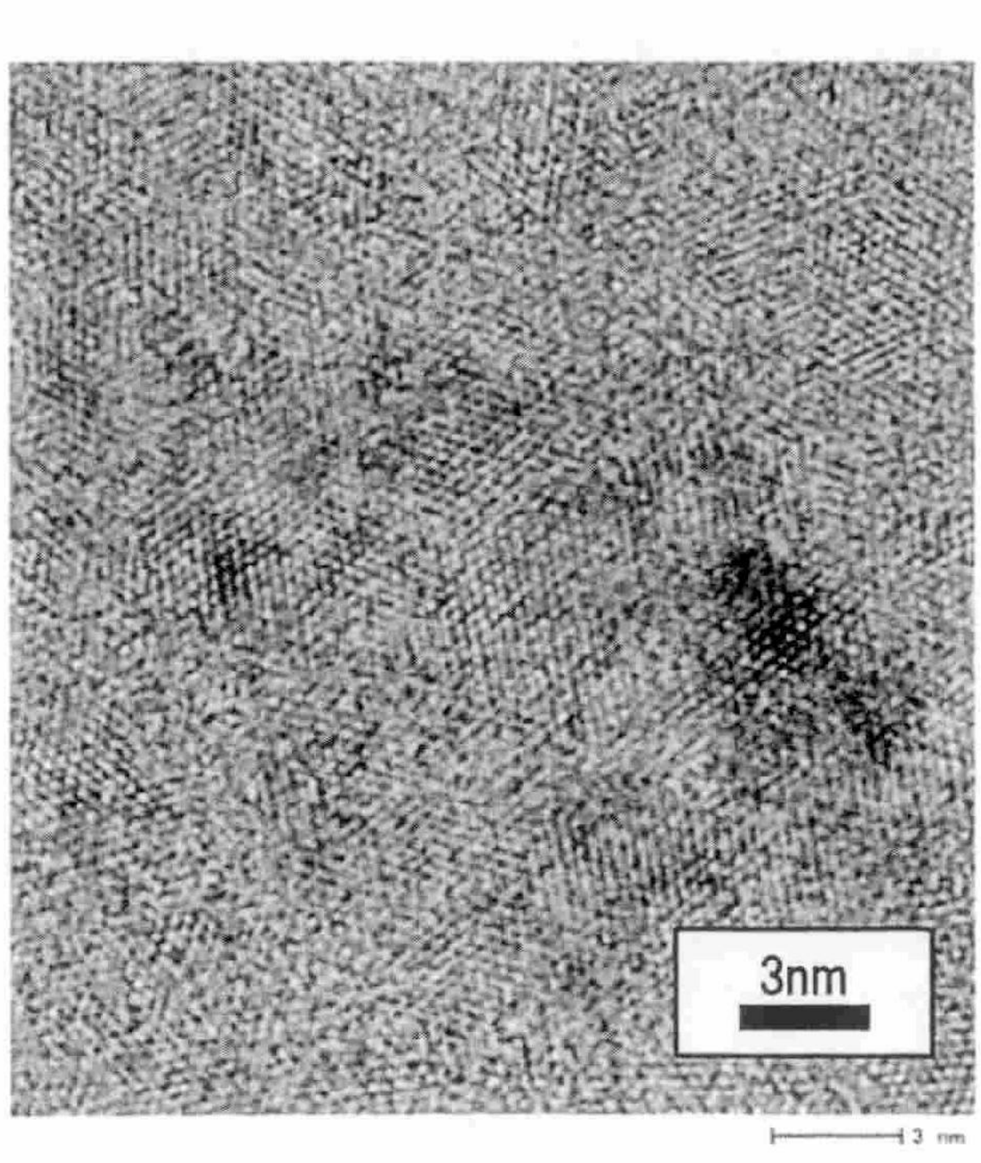


圖 85A

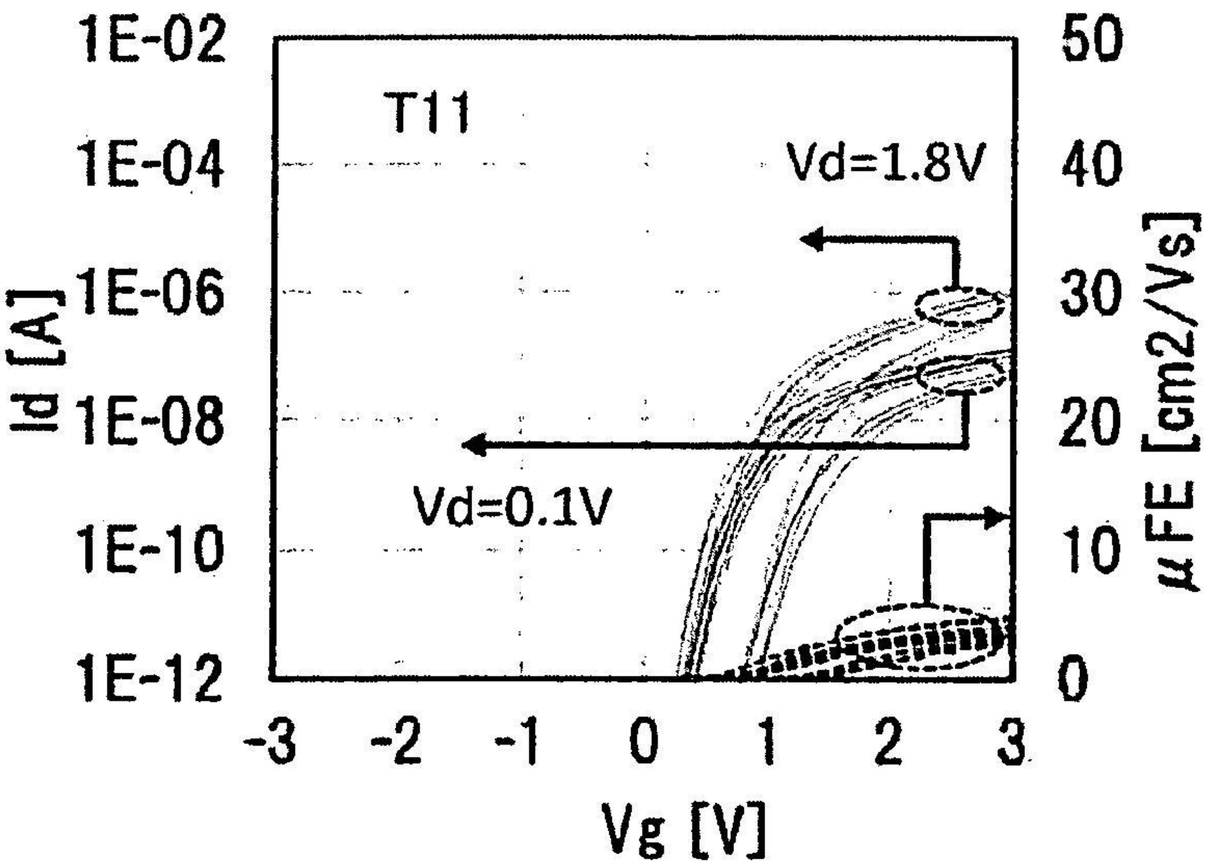

T11
Vd=1.8V
Vd=0.1V
Id [A]
μFE [cm2/Vs]
Vg [V]
1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
50
40
30
20
10
0
-3
-2
-1
0
1
2
3

圖 85B

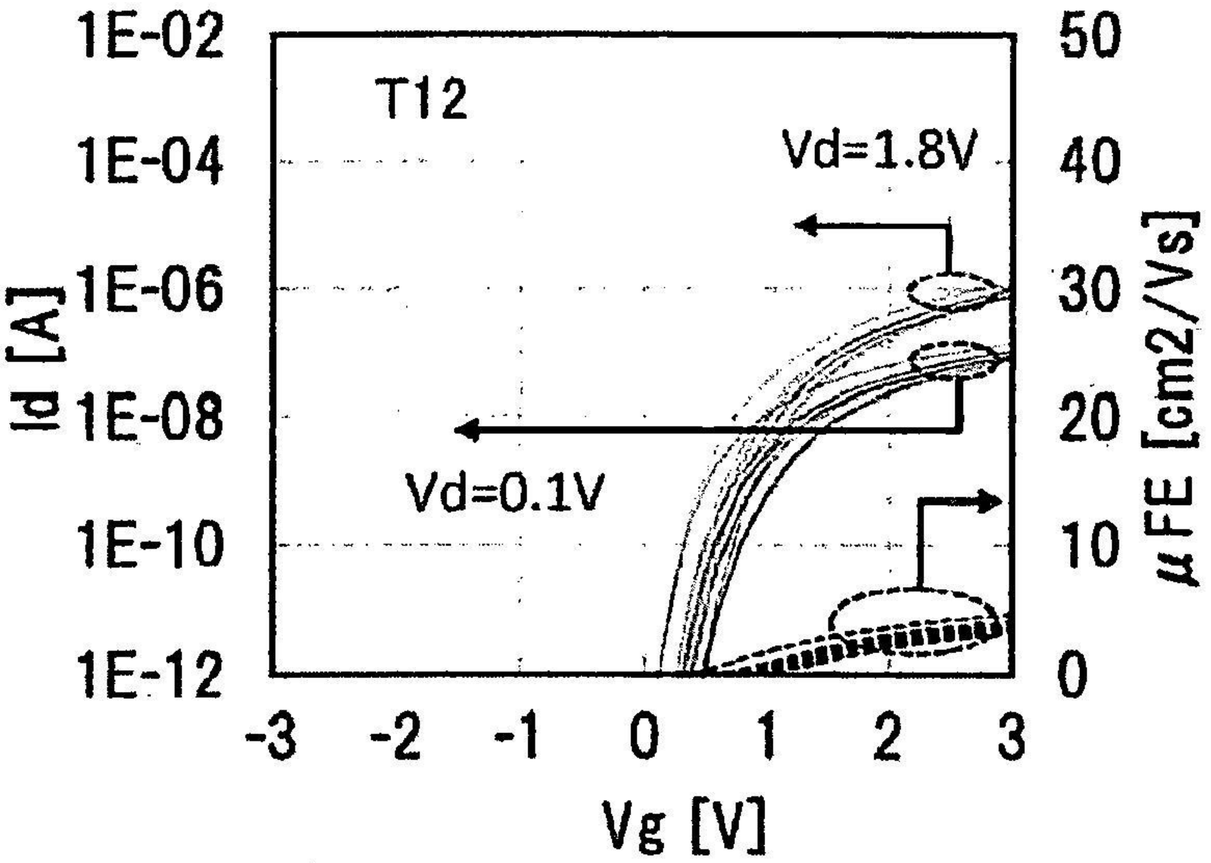

T12
Vd=1.8V
Vd=0.1V
Id [A]
μFE [cm2/Vs]
Vg [V]
1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
50
40
30
20
10
0
-3
-2
-1
0
1
2
3

圖 86A

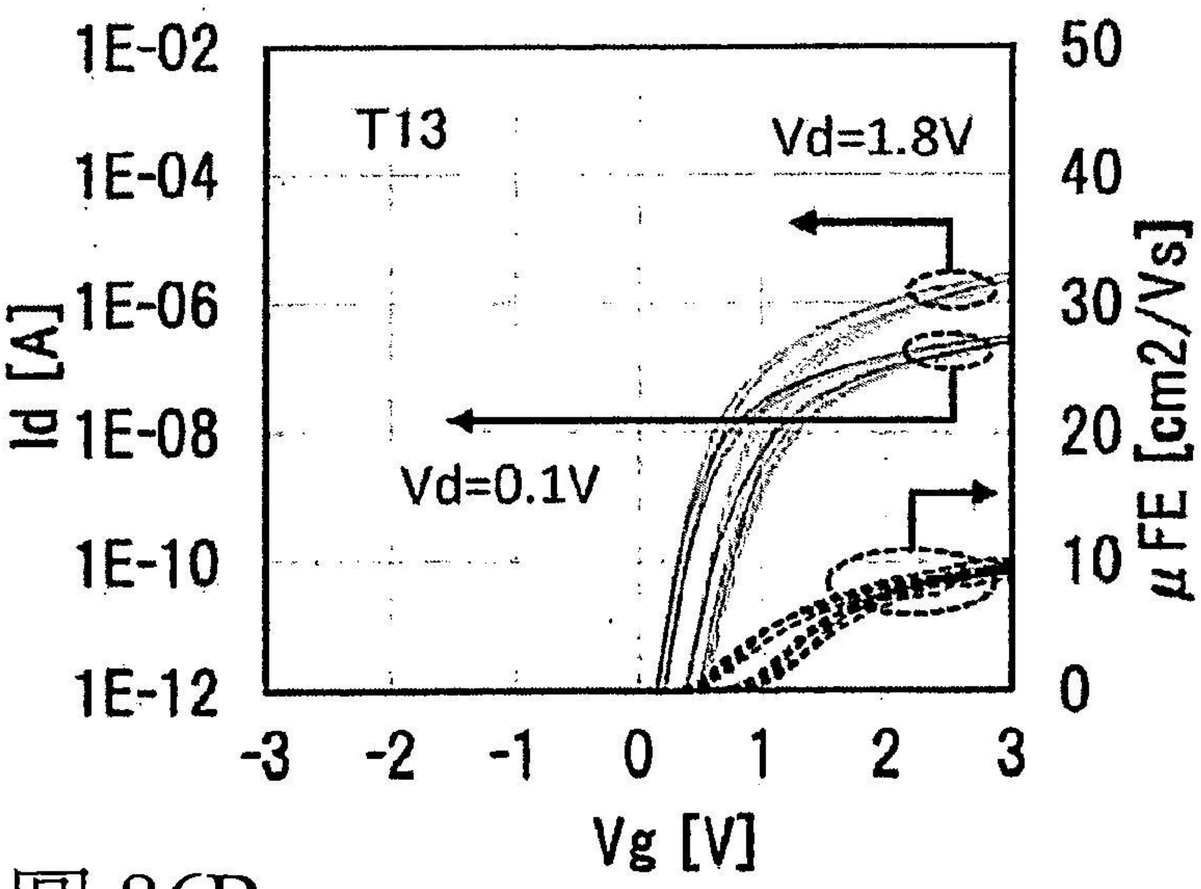

T13
Vd=1.8V
Vd=0.1V
Id [A]
μFE [cm2/Vs]
Vg [V]
1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
50
40
30
20
10
0
-3
-2
-1
0
1
2
3

圖 86B

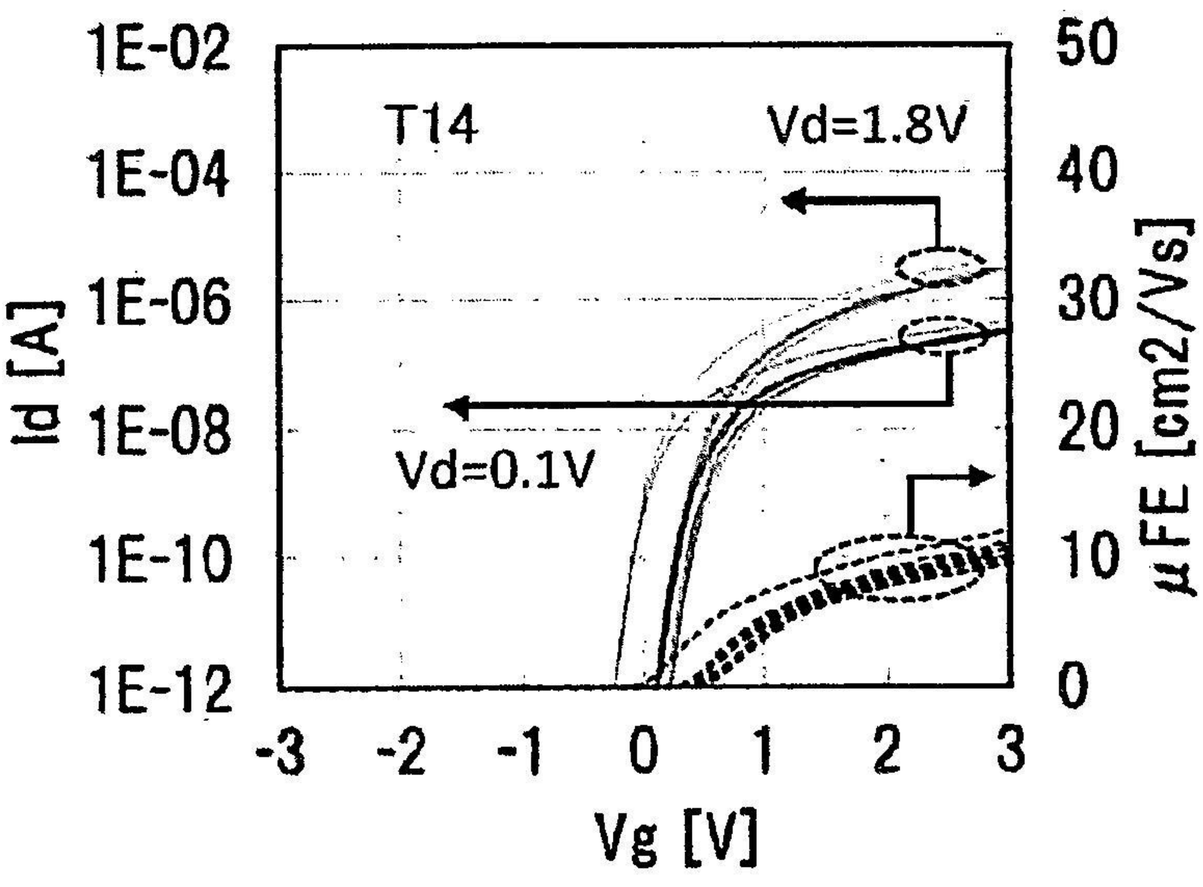

T14
Vd=1.8V
Vd=0.1V
Id [A]
μFE [cm2/Vs]
Vg [V]
1E-02
1E-04
1E-06
1E-08
1E-10
1E-12
50
40
30
20
10
0
-3
-2
-1
0
1
2
3

圖 87A

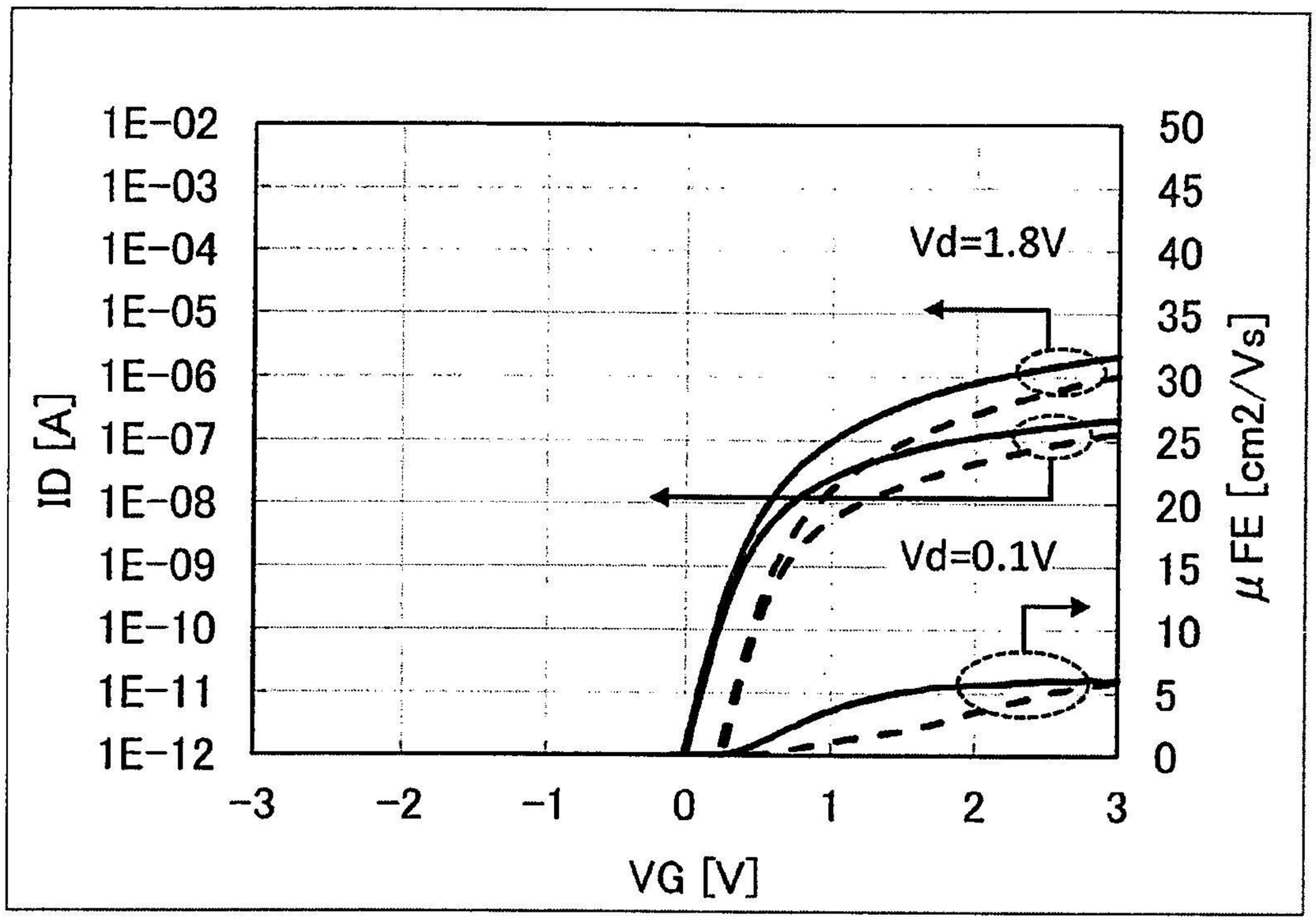

1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
ID [A]
50
45
40
35
30
25
20
15
10
5
0
μFE [cm2/Vs]
Vd=1.8V
Vd=0.1V
−3
−2
−1
0
1
2
3
VG [V]

圖 87B

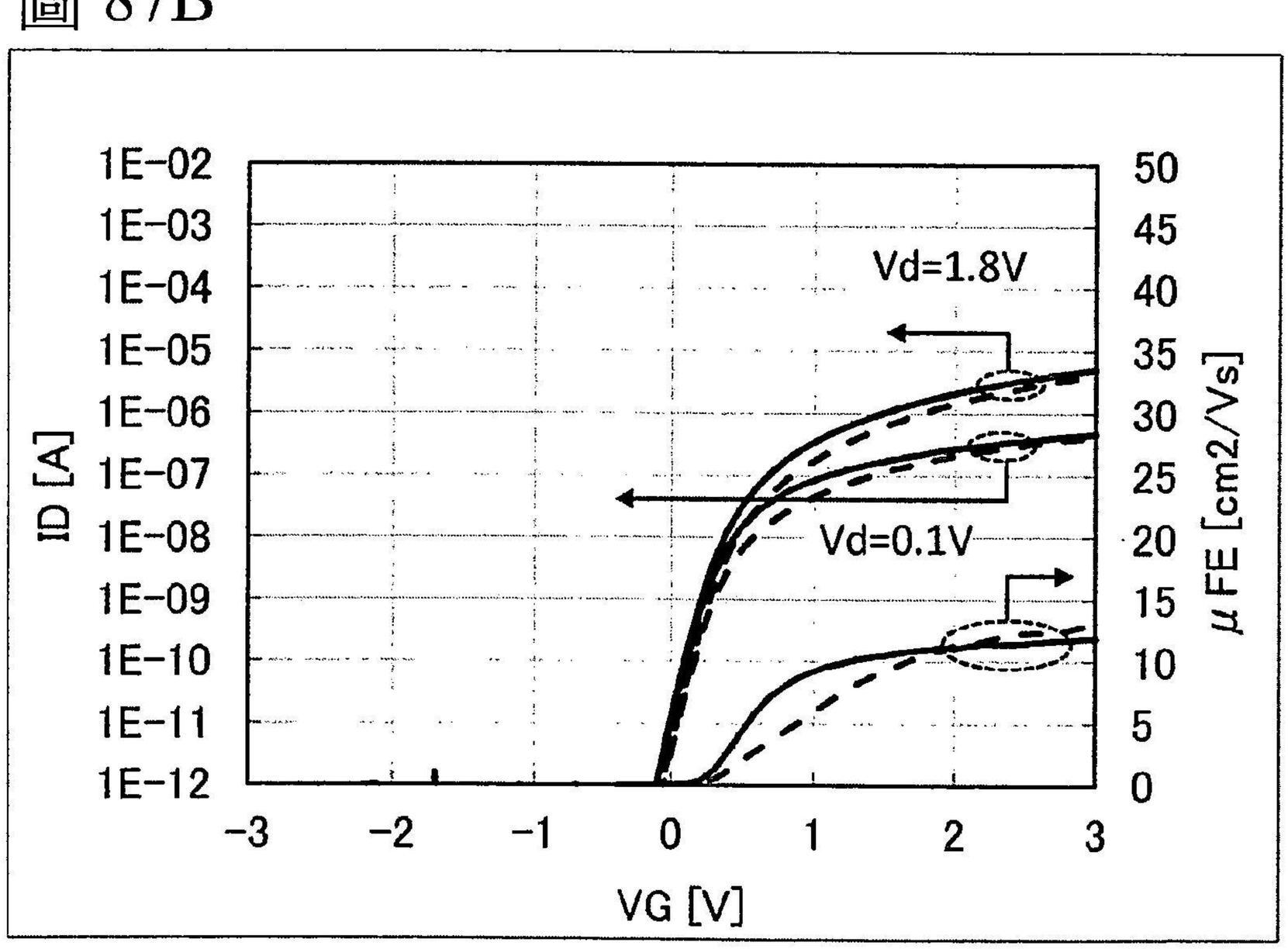

1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
ID [A]
50
45
40
35
30
25
20
15
10
5
0
μFE [cm2/Vs]
Vd=1.8V
Vd=0.1V
−3
−2
−1
0
1
2
3
VG [V]

圖 88A

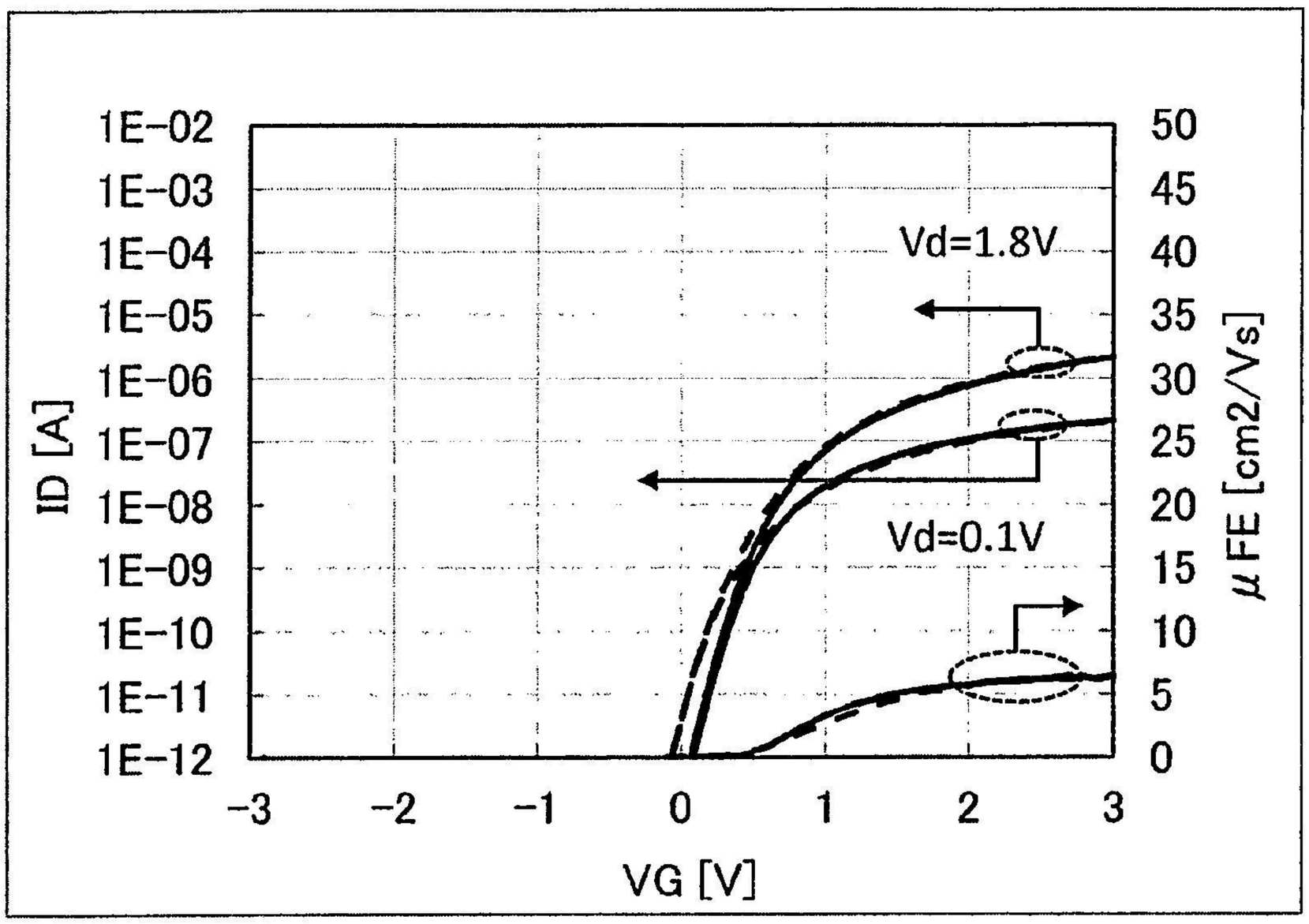

1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
ID [A]
50
45
40
35
30
25
20
15
10
5
0
μFE [cm2/Vs]
Vd=1.8V
Vd=0.1V
−3
−2
−1
0
1
2
3
VG [V]

圖 88B

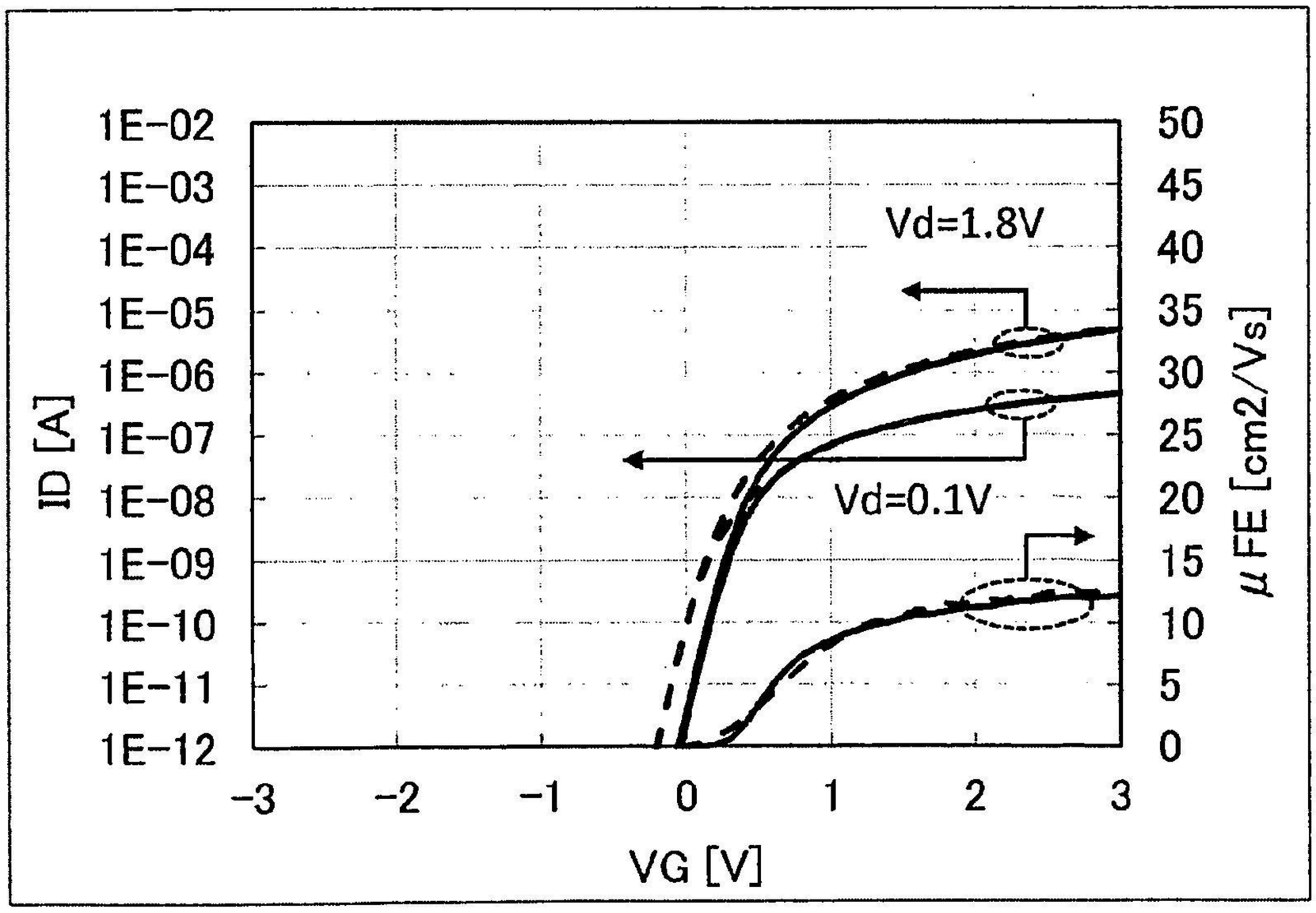

1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
ID [A]
50
45
40
35
30
25
20
15
10
5
0
μFE [cm2/Vs]
Vd=1.8V
Vd=0.1V
−3
−2
−1
0
1
2
3
VG [V]

圖 89A

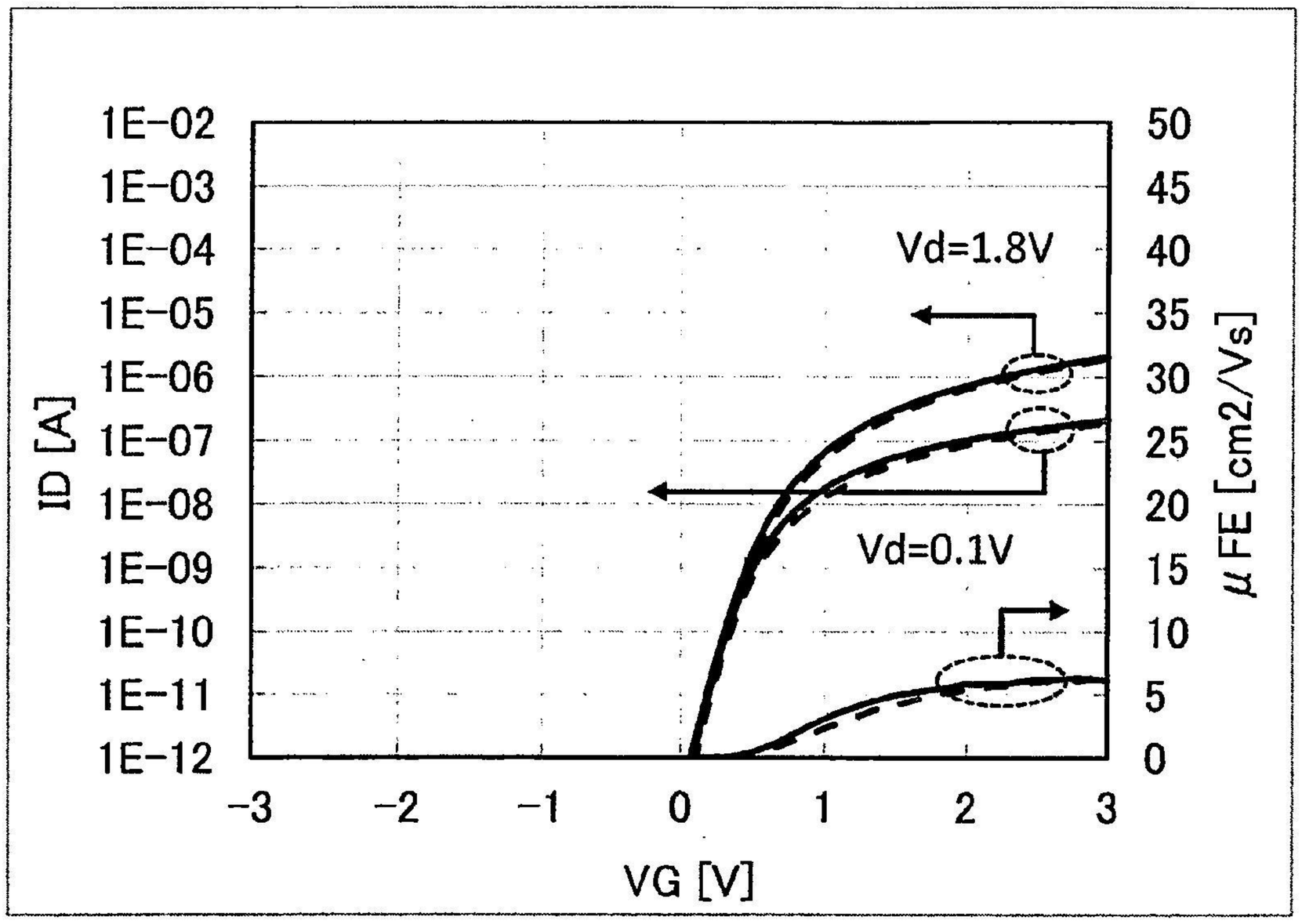
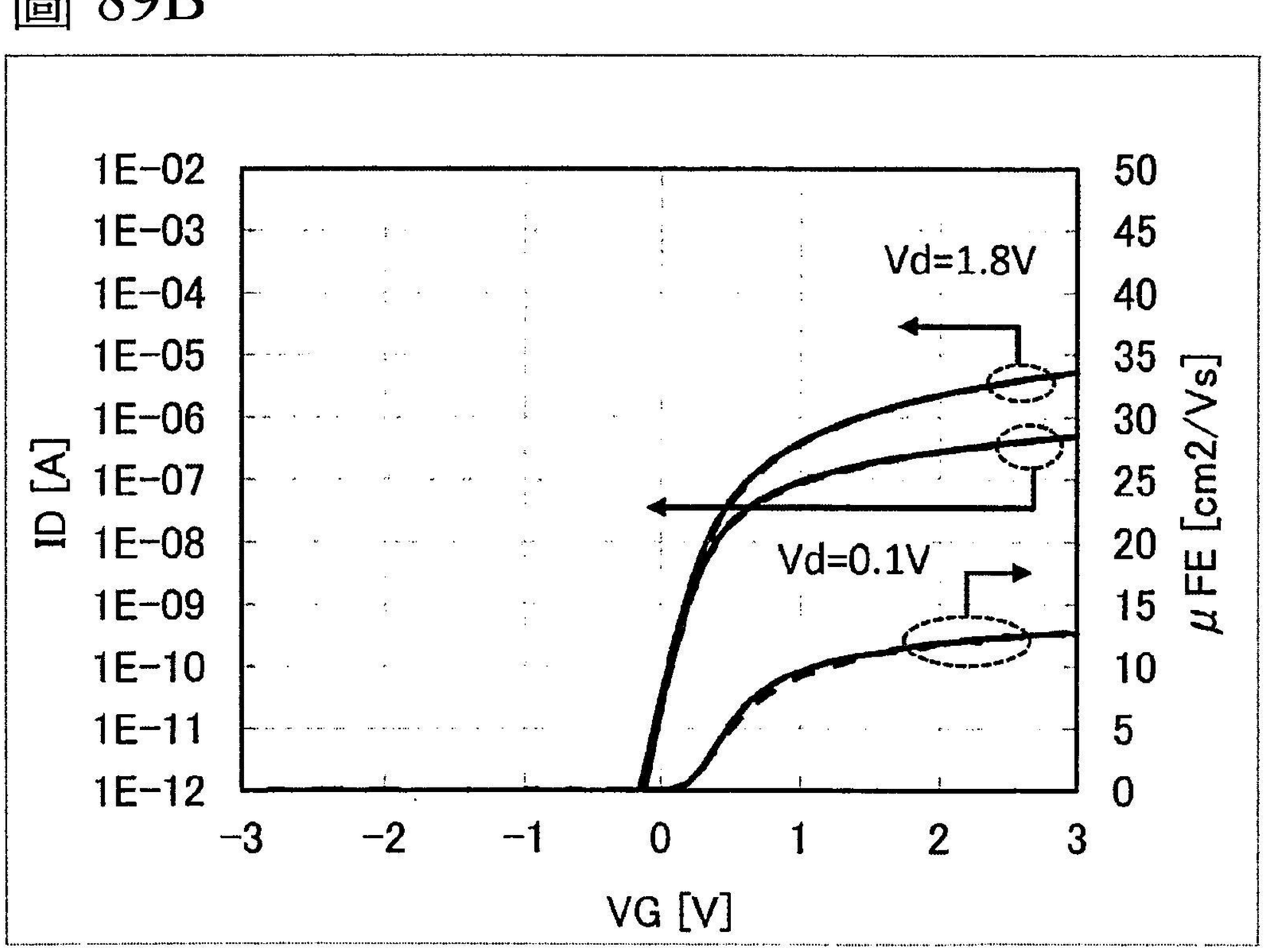

1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
ID [A]
50
45
40
35
30
25
20
15
10
5
0
μFE [cm2/Vs]
Vd=1.8V
Vd=0.1V
−3
−2
−1
0
1
2
3
VG [V]

圖 89B


1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
ID [A]
50
45
40
35
30
25
20
15
10
5
0
μFE [cm2/Vs]
Vd=1.8V
Vd=0.1V
−3
−2
−1
0
1
2
3
VG [V]