

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年6月10日(10.06.2021)



(10) 国際公開番号

WO 2021/111243 A1

(51) 国際特許分類:

H01L 21/28 (2006.01) H01L 27/1156 (2017.01)
H01L 21/8234 (2006.01) H01L 27/11582 (2017.01)
H01L 27/06 (2006.01) H01L 29/417 (2006.01)
H01L 27/088 (2006.01) H01L 29/423 (2006.01)
H01L 21/8239 (2006.01) H01L 29/49 (2006.01)
H01L 27/105 (2006.01) H01L 21/336 (2006.01)
H01L 21/8242 (2006.01) H01L 29/788 (2006.01)
H01L 27/108 (2006.01) H01L 29/792 (2006.01)
H01L 27/11556 (2017.01) GIIC 11/405 (2006.01)

(21) 国際出願番号 : PCT/IB2020/061059

(22) 国際出願日 : 2020年11月24日(24.11.2020)

(25) 国際出願の言語 : 日本語

(26) 国際公開の言語 : 日本語

(30) 優先権データ :

特願 2019-220945 2019年12月6日(06.12.2019) JP
特願 2020-069023 2020年4月7日(07.04.2020) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

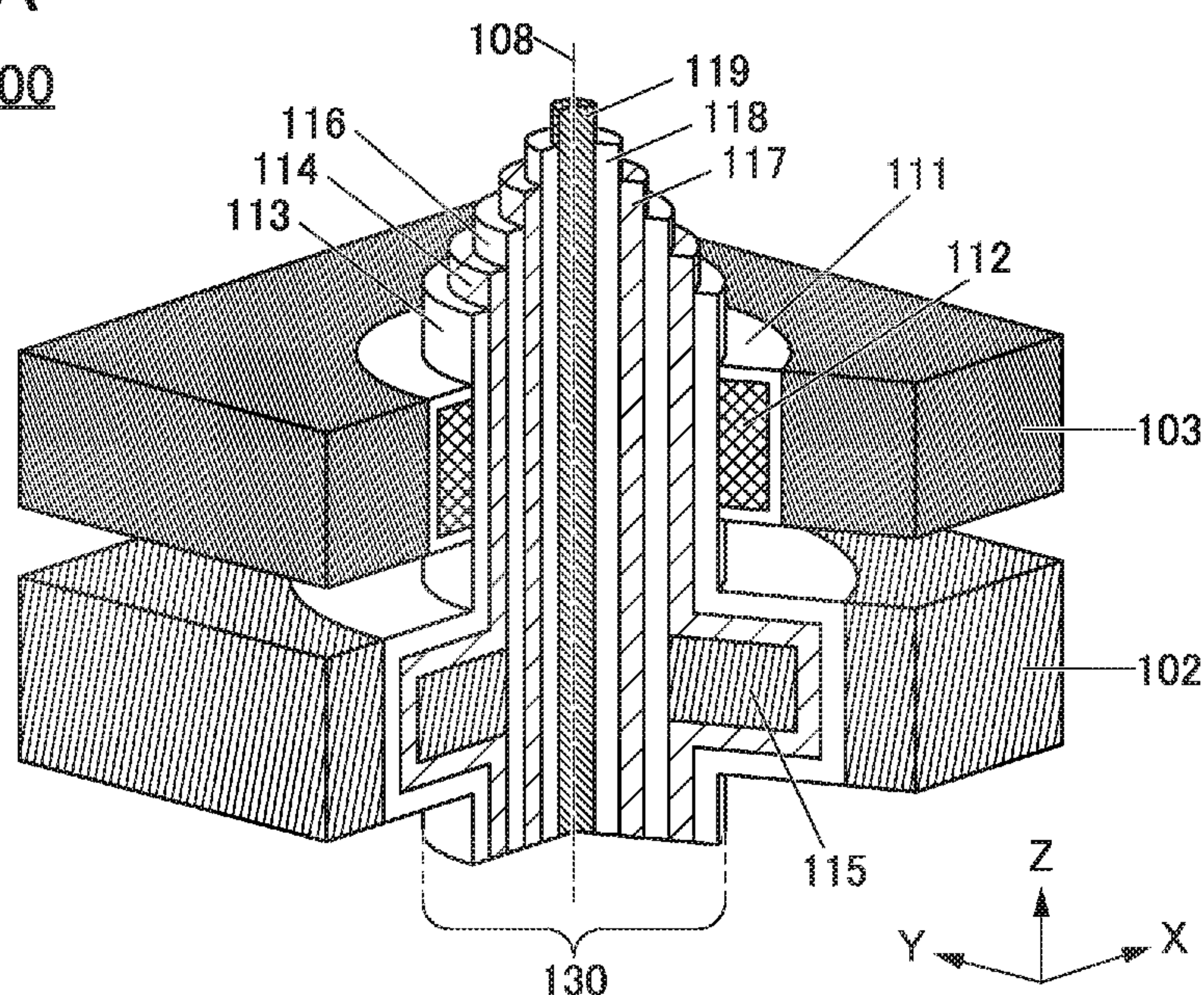
(72) 発明者: 津田一樹(TSUDA, Kazuki); 〒2430036
神奈川県厚木市長谷398株式会社半導体エ
ネルギー研究所内 Kanagawa (JP). 郷戸宏充
(GODO, Hiromichi); 〒2430036 神奈川県厚木
市長谷398株式会社半導体エネルギー研究所
内 Kanagawa (JP). 大下智(OHSHITA, Satoru);
〒2430036 神奈川県厚木市長谷398株式会社

(54) Title: SEMICONDUCTOR DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称 : 半導体装置および電子機器

図1A

100



(57) Abstract: Provided is a novel semiconductor device comprising a structure extending in a first direction, a first electrical conductor extending in a second direction, and a second electrical conductor extending in the second direction. The structure and the first electrical conductor intersect each other in a first intersecting portion in which the structure comprises a first insulator, a first semiconductor, a second insulator, a second semiconductor, a third insulator, a fourth insulator, and a fifth insulator which are disposed concentrically on the outside of a third electrical conductor. The structure

半導体エネルギー研究所内 Kanagawa (JP).
國武寛司 (KUNITAKE, Hitoshi); 〒2430036 神
奈川県厚木市長谷398株式会社半導体エネ
ルギー研究所内 Kanagawa (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

and the second electrical conductor intersect each other in a second intersecting portion in which the structure comprises a first insulator, a first semiconductor, a second insulator, a fourth electrical conductor, a second semiconductor, and a third insulator which are disposed concentrically on the outside of the third electrical conductor.

(57) 要約：新規な半導体装置を提供する。第1方向に延在する構造体と、第2方向に延在する第1導電体と、第2方向に延在する第2導電体と、を設ける。構造体と第1導電体が交差する第1交差部において、構造体は、第1絶縁体、第1半導体、第2絶縁体、第2半導体、第3絶縁体、第4絶縁体、および第5絶縁体を第3導電体の外側に同心状に設ける。構造体と第2導電体が交差する第2交差部において、構造体は、第1絶縁体、第1半導体、第2絶縁体、第4導電体、第2半導体、および第3絶縁体を第3導電体の外側に同心状に設ける。

明細書

発明の名称

半導体装置および電子機器

技術分野

[0001]

本発明の一態様は、半導体装置および電子機器に関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法、またはそれらの検査方法を一例として挙げることができる。

背景技術

[0003]

近年、パーソナルコンピュータ、スマートフォン、デジタルカメラなどさまざまな電子機器に、セントラルプロセシングユニット（CPU）、グラフィクスプロセシングユニット（GPU）、記憶装置、センサなどの電子部品が用いられており、当該電子部品は、微細化、および低消費電力など様々な面で改良が進んでいる。

[0004]

特に、上述した電子機器などにおいて扱われているデータ量は増加しており、記憶容量の大きい記憶装置が求められている。記憶容量を大きくする手段として、例えば、特許文献1および特許文献2では、チャネル形成領域として金属酸化物を用いた三次元構造のNANDメモリ素子が開示されている。

[先行技術文献]

[特許文献]

[0005]

[特許文献1] 国際公開第2019/3060号パンフレット

[特許文献2] 特開2018-207038

発明の概要

発明が解決しようとする課題

[0006]

本発明の一態様は、信頼性の高い記憶装置を提供することを課題の一とする。または、本発明の一態様は、記憶容量の大きい記憶装置を提供することを課題の一とする。または、本発明の一態様は、新規な記憶装置を提供することを課題の一つとする。または、本発明の一態様は、信頼性の高い半導体装置を提供することを課題の一とする。または、本発明の一態様は、記憶容量の大きい半導体装置を提供することを課題の一とする。または、本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。

[0007]

なお本発明の一態様の課題は、上記列举した課題に限定されない。上記列举した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書または図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列举した課題、および他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列举した課題、および他の課題の全てを解決する必要はない。

課題を解決するための手段

[0008]

本発明の一態様は、第1方向に延在する構造体と、第2方向に延在する第1導電体と、第2方向に延在する第2導電体と、を有し、構造体は、第1方向に延在する第3導電体と、第3導電体と隣接する第1絶縁体と、第1絶縁体と隣接する第1半導体と、第1半導体と隣接する第2絶縁体と、を有し、構造体と第1導電体とが交差する第1交差部において、構造体は、第2絶縁体と隣接する第2半導体と、第2半導体と隣接する第3絶縁体と、第3絶縁体と隣接する機能体と、機能体と隣接する第4絶縁体と、を有し、構造体と第2導電体とが交差する第2交差部において、構造体は、第2絶縁体と隣接する第4導電体と、第4導電体と隣接する第2半導体と、第2半導体と隣接する第3絶縁体と、を有し、第1交差部において、第1絶縁体、第1半導体、第2絶縁体、第2半導体、第3絶縁体、機能体、および第4絶縁体は、第1方向から見て第3導電体の外側に同心状に設けられ、第2交差部において、第1絶縁体、第1半導体、第2絶縁体、第4導電体、第2半導体、および第3絶縁体は、第1方向から見て第3導電体の外側に同心状に設けられている半導体装置である。

[0009]

第1方向は、第2方向と直交する方向である。また、第1交差部が第1トランジスタとして機能し、第2交差部が第2トランジスタおよび容量素子として機能する。第1半導体および第2半導体の少なくとも一方がシリコンであってもよい。

[0010]

機能体として絶縁体または半導体を用いることができる。例えば、機能体として窒化シリコン（窒素とシリコンを含む絶縁体）を用いることで、第1トランジスタをMONOS型のトランジスタにすることができる。また、例えば、機能体として窒化シリコン（窒素とシリコンを含む絶縁体）を用いることで、第1トランジスタをFG型のトランジスタにすることができる。

[0011]

機能体に電荷を注入することで、第1トランジスタのしきい値電圧を大きくし、第1トランジスタをノーマリーオフ型のトランジスタにすることができる。よって、第1トランジスタをノーマリーオフ型のトランジスタにし、第2トランジスタをノーマリーオン型のトランジスタにすることもできる。

[0012]

また、第1半導体および第2半導体の少なくとも一方が酸化物半導体であってもよい。酸化物半導体は、インジウムまたは亜鉛の少なくとも一方を含むことが好ましい。

[0013]

本発明の別の態様は、上記の半導体装置と、操作スイッチ、バッテリー、および表示部の少なくとも一つと、を有する電子機器である。

発明の効果

[0 0 1 4]

本発明の一態様によって、信頼性の高い記憶装置を提供することができる。または、記憶容量の大きい記憶装置を提供することができる。または、新規な記憶装置を提供することができる。または、信頼性の高い半導体装置を提供することができる。または、記憶容量の大きい半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

[0 0 1 5]

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書または図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、および他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

[0 0 1 6]

図 1 A は、メモリセルの斜視図である。図 1 B は、メモリセルの断面図である。

図 2 A および図 2 B は、メモリセルの断面図である。

図 3 は、構造体の斜視図である。

図 4 A 乃至図 4 C は、メモリセルの等価回路図である。

図 5 A および図 5 B は、メモリセルの等価回路図である。

図 6 は、メモリストリングの断面図である。

図 7 は、メモリストリングの等価回路図である。

図 8 は、メモリストリングの等価回路図である。

図 9 は、メモリストリングの等価回路図である。

図 1 0 は、メモリストリングの等価回路図である。

図 1 1 A および図 1 1 B は、メモリストリングの上面図である。

図 1 2 A および図 1 2 B は、メモリセルの断面図である。

図 1 3 は、メモリセルの断面図である。

図 1 4 A は結晶構造の分類を説明する図である。図 1 4 B は C A A C - I G Z O 膜の X R D スペクトルを説明する図である。図 1 4 C は C A A C - I G Z O 膜の極微電子線回折パターンを説明する図である。

図 1 5 A および図 1 5 B は、メモリセルの作製方法を説明する断面図である。

図 1 6 A および図 1 6 B は、メモリセルの作製方法を説明する断面図である。

図 1 7 A および図 1 7 B は、メモリセルの作製方法を説明する断面図である。

図 1 8 A および図 1 8 B は、メモリセルの作製方法を説明する断面図である。

図 1 9 A および図 1 9 B は、メモリセルの作製方法を説明する断面図である。

図 2 0 A および図 2 0 B は、メモリセルの作製方法を説明する断面図である。

図 2 1 A および図 2 1 B は、メモリセルの作製方法を説明する断面図である。

図 2 2 A および図 2 2 B は、メモリセルの作製方法を説明する断面図である。

図 2 3 は、半導体装置の回路図である。

図 2 4 は、半導体装置の動作例を説明するタイミングチャートである。

図 2 5 A および図 2 5 B は、半導体装置の動作例を説明するタイミングチャートである。

図 2 6 A は半導体装置の構成例を説明する斜視図である。図 2 6 B は半導体装置の構成例を説明する上面図である。図 2 6 C は半導体装置の構成例を説明する断面図である。

図 2 7 A は半導体装置の構成例を説明する斜視図である。図 2 7 B は半導体装置の構成例を説明する上面図である。図 2 7 C は半導体装置の構成例を説明する断面図である。

図 2 8 A および図 2 8 B は、半導体装置を説明する断面図である。

図 2 9 A および図 2 9 B は、半導体装置を説明する断面図である。

図 3 0 は、半導体装置の構成例を説明するブロック図である。

図 3 1 は、半導体装置の構成例を説明する図である。

図 3 2 は、複数の記憶装置を用いて情報処理システムを構築する例を説明する図である。

図 3 3 は、C P U を説明するブロック図である。

図 3 4 A および図 3 4 B は、半導体装置の斜視図である。

図 3 5 A および図 3 5 B は、半導体装置の斜視図である。

図 3 6 A および図 3 6 B は、半導体装置の斜視図である。

図 3 7 A は半導体ウェハの一例を示す斜視図であり、図 3 7 B はチップの一例を示す斜視図であり、図 3 7 C、および図 3 7 D は電子部品の一例を示す斜視図である。

図 3 8 A および図 3 8 B は、各種の記憶装置を階層ごとに示す図である。

図 3 9 A 乃至図 3 9 J は、電子機器の一例を説明する斜視図、または、模式図である。

図 4 0 A 乃至図 4 0 E は、電子機器の一例を説明する斜視図、または、模式図である。

図 4 1 A 乃至図 4 1 C は、電子機器の一例を説明する図である。

図 4 2 は、コンピュータシステムの構成例を説明する図である。

図 4 3 は、I o T ネットワークの階層構造と要求仕様の傾向を示す図である。

図 4 4 は、ファクトリーオートメーションのイメージ図である。

図 4 5 A は、半導体装置の斜視概念図である。図 4 5 B は、メモリセルの等価回路図である。

図 4 6 は、3 D O S N A N D ストリングの動作を説明するタイミングチャートである。

図 4 7 A は、トランジスタ $W T r$ の $I d - V w g$ 特性を示す図である。図 4 7 B は、トランジスタ $W T r$ のしきい値電圧と $V p r e$ の関係を示す図である。

図 4 8 A および図 4 8 B は、3 D O S N A N D ストリングの保持特性を示す図である。

図 4 9 A および図 4 9 B は、メモリセルの保持特性のシミュレーション結果を示す図である。

図 5 0 は、メモリセルの保持データと読み出し電流 $I r b l$ のシミュレーション結果を示す図である。

発明を実施するための形態

[0 0 1 7]

本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップや、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置および電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

[0 0 1 8]

また、本明細書等において、XとYとが接続されていると記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYが直接接続されている場合が、本明細書等の開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章の開示されているものとする。X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層など）であるとする。

〔0019〕

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示デバイス、発光デバイス、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オン状態とオフ状態が制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。

〔0020〕

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（デジタルアナログ変換回路、アナログデジタル変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

〔0021〕

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟んで接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟まずに接続されている場合）とを含むものとする。

〔0022〕

また、例えば、「XとYとトランジスタのソース（または第1の端子など）とドレイン（または第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（または第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（または第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（または第1の端子など）とドレイン（または第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定

することにより、トランジスタのソース（または第1の端子など）と、ドレイン（または第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0023]

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、および電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

[0024]

また、本明細書等において、「抵抗素子」とは、例えば、 $0\ \Omega$ よりも高い抵抗値を有する回路素子、配線などとすることができる。そのため、本明細書等において、「抵抗素子」は、抵抗値を有する配線、ソースドレイン間に電流が流れるトランジスタ、ダイオード、コイルなどを含むものとする。そのため、「抵抗素子」という用語は、「抵抗」「負荷」「抵抗値を有する領域」などの用語に言い換えることができ、逆に「抵抗」「負荷」「抵抗値を有する領域」という用語は、「抵抗素子」などの用語に言い換えることができる。抵抗値としては、例えば、好ましくは $1\text{ m}\Omega$ 以上 $10\ \Omega$ 以下、より好ましくは $5\text{ m}\Omega$ 以上 $5\ \Omega$ 以下、更に好ましくは $10\text{ m}\Omega$ 以上 $1\ \Omega$ 以下とすることができる。また、例えば、 $1\ \Omega$ 以上 $1 \times 10^9\ \Omega$ 以下としてもよい。

[0025]

また、本明細書等において、「容量素子」とは、例えば、 0 F よりも高い静電容量の値を有する回路素子、静電容量の値を有する配線の領域、寄生容量、トランジスタのゲート容量などとすることができる。そのため、本明細書等において、「容量素子」は、1対の電極と、当該電極の間に含まれている誘電体と、を含む回路素子だけでなく、配線と配線との間に現れる寄生容量、トランジスタのソースまたはドレインの一方とゲートとの間に現れるゲート容量などを含むものとする。また、「容量素子」「寄生容量」「ゲート容量」などという用語は、「容量」などの用語に言い換えることができ、逆に、「容量」という用語は、「容量素子」「寄生容量」「ゲート容量」などの用語に言い換えることができる。また、「容量」の「1対の電極」という用語は、「一対の導電体」「一対の導電領域」「一対の領域」などに言い換えることができる。なお、静電容量の値としては、例えば、 0.05 fF 以上 10 pF 以下とすることができる。また、例えば、 1 pF 以上 $10\ \mu\text{F}$ 以下としてもよい。

[0026]

また、本明細書等において、トランジスタは、ゲート、ソース、およびドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソースまたはドレインとして機能する2つの端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型（nチャネル型、pチャネル型）およびトランジスタの3つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、言い換えることができるものとする。また、本明細書等では、トランジスタの接続関係を説明する際、「ソースまたはドレインの一方」（または第1電極、または第1端子）、「ソースまたはドレインの他方」（または第2電極、または第2端子）という表記を

用いる。なお、トランジスタの構造によっては、上述した3つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書等において、トランジスタのゲートまたはバックゲートの一方を第1ゲートと呼称し、トランジスタのゲートまたはバックゲートの他方を第2ゲートと呼称することがある。更に、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、3以上のゲートを有する場合は、本明細書等においては、それぞれのゲートを第1ゲート、第2ゲート、第3ゲートなどと呼称することがある。

[0027]

また、本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

[0028]

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも0Vを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

[0029]

また、本明細書等において、「高レベル電位（「ハイレベル電位」、「H電位」、または「H」ともいう）」「低レベル電位（「ローレベル電位」、「L電位」、または「L」ともいう）」という用語は、特定の電位を意味するものではない。例えば、2本の配線において、両方とも「高レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの高レベル電位は、互いに等しくなくてもよい。また、同様に、2本の配線において、両方とも「低レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの低レベル電位は、互いに等しくなくてもよい。

[0030]

「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとは、電子、正孔、アニオン、カチオン、錯イオン等が挙げられ、電流の流れる系（例えば、半導体、金属、電解液、真空中など）によってキャリアが異なる。また、配線等における「電流の向き」は、正のキャリアが移動する方向とし、電流量を正の値で記載する。換言すると、負のキャリアが移動する方向は、電流の向きと逆の方向となり、電流量を負の値で記載する。そのため、本明細書等において、電流の正負（または電流の向き）について断りがない場合、「素子Aから素子Bに電流が流れる」等の記載は「素子Bから素子Aに電流が流れる」等に言い換えることができるものとする。また、「素子Aに電流が入力される」等の記載は「素子Aから電流が出力される」等に言い換えることができるものとする。

[0031]

また、本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

〔0032〕

また、「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

〔0033〕

また、構成要素の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成要素の位置関係を、図面を参照して説明するために、便宜上用いている場合がある。よって、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。また、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを90度回転することによって、「導電体の左面（もしくは右面）に位置する絶縁体」と言い換えることができる。

〔0034〕

同様に、本明細書等において、「重なる」などの用語は、構成要素の積層順などの状態を限定するものではない。例えば、「絶縁層Aに重なる電極B」の表現であれば、「絶縁層Aの上に電極Bが形成されている」状態に限らず、「絶縁層Aの下に電極Bが形成されている」状態または「絶縁層Aの右側（もしくは左側）に電極Bが形成されている」状態などを除外しない。

〔0035〕

また、本明細書等において、「隣接」や「近接」の用語は、構成要素が直接接していることを限定するものではない。例えば、「絶縁層Aに隣接する電極B」の表現であれば、絶縁層Aと電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bの間に他の構成要素を含むものを除外しない。

〔0036〕

また、本明細書等において、「膜」、「層」などの語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。または、場合によっては、または、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」または「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。または、例えば、「絶縁層」「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

〔0037〕

また、本明細書等において「電極」「配線」「端子」などの用語は、これらの構成要素を機能的に

限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。また、例えば、「端子」は「配線」や「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、複数の「電極」「配線」「端子」などが一体となって形成されている場合なども含む。そのため、例えば、「電極」は「配線」または「端子」の一部とすることができ、また、例えば、「端子」は「配線」または「電極」の一部とすることができる。また、「電極」「配線」「端子」などの用語は、場合によって、「領域」などの用語に置き換える場合がある。

[0038]

また、本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、または、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

[0039]

本明細書等において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。具体的には、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0040]

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。一例としては、電氣的なスイッチ、機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

[0041]

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタ

など)、またはこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性(導電型)は特に限定されない。

[0042]

機械的なスイッチの一例としては、MEMS(マイクロ・エレクトロ・メカニカル・システム)技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

[0043]

また、本明細書等において、「オン電流」とは、トランジスタがオン状態の時にソースとドレイン間に流れる電流をいう場合がある。また、「オフ電流」とは、トランジスタがオフ状態である時にソースとドレイン間に流れる電流をいう場合がある。

[0044]

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」または「概略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」または「概略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0045]

本明細書等において、計数値および計量値に関して、または、計数値もしくは計量値に換算可能な物、方法、および事象などに関して、「同一」、「同じ」、「等しい」または「均一」などと言う場合は、明示されている場合を除き、プラスマイナス20%の誤差を含むものとする。

[0046]

本明細書等において、金属酸化物(metal oxide)とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体(透明酸化物導電体を含む)、酸化物半導体(Oxide Semiconductorまたは単にOSともいう)などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、およびスイッチング作用の少なくとも1つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体(metal oxide semiconductor)と呼称することができる。また、OSトランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0047]

また、本明細書等において、窒素を有する金属酸化物も金属酸化物(metal oxide)と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物(metal oxynitride)と呼称してもよい。

[0048]

また、本明細書等において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

〔0049〕

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）と、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）との少なくとも一つの内容に対して、適用、組み合わせ、または置き換えなどを行うことができる。

〔0050〕

なお、実施の形態の中で述べる内容とは、各々の実施の形態（または実施例）において、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

〔0051〕

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）と、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

〔0052〕

本明細書に記載の実施の形態については、図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなく、その形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、図面を理解しやすくするため、斜視図または上面図などにおいて、一部の構成要素の記載を省略している場合がある。

〔0053〕

また、本明細書の図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもその大きさや縦横比などに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

〔0054〕

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“__1”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。例えば、2つある配線GLの一方を配線GL[1]と記載し、他方を配線GL[2]と記載する場合がある。

〔0055〕

（実施の形態1）

本実施の形態では、本発明の一態様に係る記憶装置として機能するメモリセル100の構成例と作製方法例について図面を用いて説明する。

〔0056〕

＜記憶装置の構成例＞

図1 Aに、本発明の一態様に係るメモリセル100の斜視図を示す。メモリセル100は、三次元積層構造を有する記憶装置である。図1 Aでは、メモリセル100の内部構造を示すため、メモリセル100の一部を省略している。なお、図面において、X方向、Y方向、およびZ方向を示す矢印を付す場合がある。X方向、Y方向、およびZ方向は、それぞれが互いに直交する方向である。本明細書などでは、X方向、Y方向、またはZ方向の1つを「第1方向」または「第1の方向」と呼ぶ場合がある。また、他の1つを「第2方向」または「第2の方向」と呼ぶ場合がある。また、残りの1つを「第3方向」または「第3の方向」と呼ぶ場合がある。なお、本実施の形態などでは、後述する構造体130が延在する方向をZ方向としている。

[0057]

図1 Bは、図1 Aに示すメモリセル100の一部を示す断面図である。また、図1 Bは、メモリセル100の一部をY方向から見た断面図である。また、図1 Bは、中心軸108を通るXZ面の断面図である。図2 Aは、図1 Bに一点鎖線で示した部位A1－A2をZ方向から見た断面図である。図2 Bは、図1 Bに一点鎖線で示した部位B1－B2をZ方向から見た断面図である。

[0058]

メモリセル100は、基板（図示せず）の上方に配置された複数の絶縁体101を有する。複数の絶縁体101は基板側から順に積層されている。本実施の形態などでは、i番目（iは1以上の整数）の絶縁体101を絶縁体101[i]と示す。図1 Bでは、絶縁体101[i]の上方に配置された絶縁体101[i+1]と、絶縁体101[i+1]の上方に配置された絶縁体101[i+2]と、を示している。また、絶縁体101[i]と絶縁体101[i+1]の間に導電体102を有し、絶縁体101[i+1]と絶縁体101[i+2]の間に導電体103を有する。なお、絶縁体101、導電体102、および導電体103は、Y方向に沿って延在する。また、メモリセル100は、絶縁体101、導電体102、および導電体103の側面を覆うように、絶縁体121を有する。

[0059]

また、メモリセル100は、構造体130を有する。構造体130は中心軸108に沿ってZ方向に延在する。図3に構造体130の斜視図を示す。構造体130は柱状の形状を有する。図3では、構造体130の内部構造を示すため、構造体130の一部を省略している。構造体130の一部がメモリセル100の一部として機能する。また、図1および図3に示すように、構造体130は、Z方向に延在する側面に凹凸を有する。

[0060]

本実施の形態では、構造体130をZ方向から見たときに構造体130の外周形状が円形である場合を示しているが、構造体130の外周形状は円形でなくてもよい。例えば、三角形や、四角形などの多角形であってもよい。また、構造体130の外周形状は曲線で構成されてもよいし、曲線と直線を組み合わせて構成されてもよい。

[0061]

構造体130は、導電体102と交差する領域（「交差部R」ともいう。）と、導電体103と交差する領域（「交差部W」ともいう。）と、を有する。また、構造体130は、絶縁体111、機能体112、絶縁体113、半導体114、導電体115、絶縁体116、半導体117、絶縁体118、および導電体119を含む。

[0062]

具体的には、導電体119が中心軸108に沿ってZ方向に延在し、絶縁体118が導電体119に隣接して設けられている。また、半導体117が絶縁体118に隣接して設けられている。また、絶縁体116が半導体117に隣接して設けられている。

[0063]

また、構造体130は、交差部Wにおいて、絶縁体116と隣接して半導体114が設けられ、半導体114と隣接して絶縁体113が設けられ、絶縁体113と隣接して機能体112が設けられ、機能体112と隣接して絶縁体111が設けられている。図2Aは、交差部WにおけるZ方向と垂直な方向の断面図である。交差部Wにおいて、絶縁体111、機能体112、絶縁体113、半導体114、絶縁体116、半導体117、および絶縁体118は、導電体119の外側に同心状に設けられている。

[0064]

また、構造体130は、交差部Rにおいて、絶縁体116と隣接して導電体115が設けられ、導電体115と隣接して半導体114が設けられ、半導体114と隣接して絶縁体113が設けられている。図2Bは、交差部RにおけるZ方向と垂直な方向の断面図である。交差部Rにおいて、絶縁体113、半導体114、導電体115、絶縁体116、半導体117、および絶縁体118は、導電体119の外側に同心状に設けられている。

[0065]

交差部Wにおいて、絶縁体111、機能体112、絶縁体113、半導体114、および導電体103がトランジスタWTrとして機能する。よって、トランジスタWTrは、交差部Wに形成されると言える。

[0066]

交差部Wにおいて、導電体103はトランジスタWTrのゲート電極として機能する。よって、絶縁体111、機能体112、および絶縁体113は、トランジスタWTrのゲート絶縁体として機能する。半導体114は、トランジスタWTrのチャネルが形成される半導体として機能する。

[0067]

また、交差部Wにおいて、導電体119はトランジスタWTrのバックゲート電極として機能する場合がある。よって、絶縁体116、半導体117、および絶縁体118は、トランジスタWTrのバックゲート絶縁体として機能する場合がある。図2Aは、Z方向から見たトランジスタWTrの断面図でもある。

[0068]

交差部Rにおいて、導電体119、絶縁体118、半導体117、絶縁体116、導電体115がトランジスタRTrとして機能する。また、導電体115、半導体114、絶縁体113、および導電体102が、容量素子Csとして機能する。よって、トランジスタRTrおよび容量素子Csは、交差部Rに形成されると言える。

[0069]

交差部Rにおいて、導電体115はトランジスタRTrのゲート電極として機能する。よって、絶縁体116はゲート絶縁体として機能する。半導体117は、トランジスタRTrのチャネルが形成される半導体として機能する。また、導電体119はトランジスタRTrのバックゲート電極として機能する場合がある。よって、絶縁体118はトランジスタRTrのバックゲート絶縁体とし

て機能する場合がある。図2Bは、Z方向から見たトランジスタRTrの断面図でもある。

[0070]

また、トランジスタWTrが有する機能体112は、電荷蓄積層として機能できる。機能体112に電荷を蓄積することで、トランジスタWTrのしきい値電圧を制御できる。例えば、トランジスタWTrのしきい値電圧を大きくすることで、トランジスタWTrをノーマリーオフ型のトランジスタにすることができる。

[0071]

機能体112への電荷の注入は、絶縁体111を介して導電体103から行うことができる。この場合、絶縁体111は注入層として機能し、絶縁体113はブロック層として機能する。また、機能体112への電荷の注入は、絶縁体113を介して半導体114から行うこともできる。この場合、絶縁体113は注入層として機能し、絶縁体111はブロック層として機能する。Z方向に垂直な方向から見た時の注入層の厚さは、ブロック層よりも薄いことが好ましい。

[0072]

絶縁体111を酸化物、機能体112を窒化物、絶縁体113を酸化物で構成した場合、トランジスタWTrをMONOS (Metal Oxide Nitride Oxide Semiconductor) 型のトランジスタと呼ぶことができる。

[0073]

また、MONOS型のトランジスタにおいて、ゲート電極にn型シリコンまたはp型シリコンを用いた場合は、SONOS (Silicon Oxide Nitride Oxide Semiconductor) 型のトランジスタと呼ぶことができる。

[0074]

同様に、ゲート電極に窒化タンタル、ブロック層に酸化アルミニウムを用いた場合は、TANOS (Tantalum nitride Aluminium oxide Nitride Oxide Semiconductor) 型のトランジスタと呼ぶことができる。

[0075]

また、ゲート電極に窒化タンタル、ブロック層に酸化ハフニウムを用いた場合は、THNOS (Tantalum nitride Hafnium oxide Nitride Oxide Semiconductor) 型のトランジスタと呼ぶことができる。

[0076]

電荷蓄積層として機能する機能体112には、絶縁体111および絶縁体113よりもバンドギャップが小さい材料を用いることが好ましい。例えば、絶縁体111および絶縁体113に酸化シリコンを用い、機能体112に窒化シリコンなどの絶縁体を用いればよい。機能体112に窒化シリコンを用いる場合は、シリコンリッチな窒化シリコンを用いることが好ましい。例えば、絶縁体111および絶縁体113に窒化シリコンを用いる場合、機能体112には、絶縁体111および絶縁体113に用いる窒化シリコンよりも、シリコンの含有量が多い窒化シリコンを用いればよい。

[0077]

また、電荷蓄積層として機能する機能体112は、半導体であってもよい。例えば、機能体112として、シリコンなどの半導体を用いてもよい。機能体112に半導体を用いたトランジスタWTrをFG (Floating Gate) 型のトランジスタと呼ぶことができる。

[0078]

絶縁体 1 1 1、機能体 1 1 2、および絶縁体 1 1 3は、それぞれが複数層の積層であってもよい。例えば、ブロック層として機能する絶縁体を、酸化シリコンと酸化アルミニウムの積層にしてもよい。

[0079]

図 4 Aにメモリセル 1 0 0の等価回路図を示す。図 4 Aにおいて、トランジスタ W T rのソースまたはドレインの一方は半導体 1 1 4と電氣的に接続され、ソースまたはドレインの他方はトランジスタ R T rのゲートと電氣的に接続される。トランジスタ W T rのゲートは導電体 1 0 3と電氣的に接続される。トランジスタ W T rはゲートと半導体層の間に電荷蓄積層を有するトランジスタである。

[0080]

半導体 1 1 4の一部は、トランジスタ W T rのチャネル形成領域として機能する。また半導体 1 1 4の他の一部は、トランジスタ W T rのソースまたはドレインとして機能する。また半導体 1 1 4は、電極または配線としても機能できる。また、導電体 1 0 3の一部がトランジスタ W T rのゲートとして機能する。

[0081]

図 4 Aに示すトランジスタ R T rはバックゲートを有するトランジスタである。本実施の形態では、導電体 1 1 9の一部がトランジスタ R T rのバックゲートとして機能する。また、半導体 1 1 4の他の一部および導電体 1 1 5がトランジスタ R T rのゲートとして機能する。また、導電体 1 0 2の一部が容量素子 C sの他方の電極として機能する。また、半導体 1 1 7の一部がトランジスタ R T rのソースまたはドレインの一方として機能する。また半導体 1 1 7の他の一部は、トランジスタ R T rのソースまたはドレインの他方として機能する。また半導体 1 1 7は、電極または配線としても機能できる。

[0082]

また、図 4 Bに示すようにトランジスタ R T rにバックゲートを設けなくてもよい。図 4 Bは、後述するメモリセル 1 0 0 Bおよびメモリセル 1 0 0 Cの等価回路図に相当する。また、図 4 Cに示すようにトランジスタ W T rにバックゲートを設けてもよい。図 4 Cではトランジスタ W T rのバックゲートを導電体 1 1 9と電氣的に接続する回路構成例を示しているが、トランジスタ W T rのバックゲートと電氣的に接続する導電体を導電体 1 1 9以外に設けてもよい。または、図 5 Aもしくは図 5 Bのような回路構成にしてもよい。

[0083]

導電体 1 0 2は、容量素子 C sの一方の電極として機能する。導電体 1 1 5および半導体 1 1 4は、他の一部が容量素子 C sの他方の電極として機能する。本明細書などでは、トランジスタ R T rのゲート、トランジスタ W T rのソースまたはドレインの他方、および容量素子 C sの他方の電極が電氣的に接続する節点をノード N Dという。

[0084]

図 6に4つのメモリセル 1 0 0（メモリセル 1 0 0 [1]乃至メモリセル 1 0 0 [4]）を含むメモリストリング 2 0 0の断面図を示す。図 6に示すメモリストリング 2 0 0は、9層の絶縁体 1 0 1（絶縁体 1 0 1 [1]乃至絶縁体 1 0 1 [9]）と、4層の導電体 1 0 2（導電体 1 0 2 [1]乃至導電体 1 0 2 [4]）と、4層の導電体 1 0 3（導電体 1 0 3 [1]乃至導電体 1 0 3 [4]）と、を備える。

[0085]

図7にメモリストリング200の等価回路図を示す。メモリストリング200は、4つのメモリセル100が直列に接続された構成を有する。よって、メモリストリング200は、NAND型の記憶装置である。

[0086]

また、等価回路図などにおいて、トランジスタがOSトランジスタであることを明示するために、トランジスタの回路記号に「OS」を付記する場合がある。同様に、トランジスタがSiトランジスタ（チャネルが形成される半導体層にシリコンを用いたトランジスタ）であることを明示するために、トランジスタの回路記号に「Si」を付記する場合がある。図7では、トランジスタWTrおよびトランジスタRTrがOSトランジスタであることを示している。

[0087]

図7において、メモリセル100[1]が備えるトランジスタWTr、トランジスタRTr、および容量素子Csを、それぞれトランジスタWTr[1]、トランジスタRTr[1]、および容量素子Cs[1]と示している。メモリセル100[2]乃至メモリセル100[4]が備えるトランジスタWTr、トランジスタRTr、および容量素子Csも同様に示している。

[0088]

なお、メモリストリング200が備えるメモリセル100の数は、4に限定されるものではない。メモリストリング200が備えるメモリセル100の数をnとすると、nは2以上の整数であればよい。

[0089]

また、「複数のメモリセル100が直列に接続された構成」とは、メモリセル100[k]（kは1以上n以下の整数）に含まれるトランジスタWTr[k]のドレイン（またはソース）が、メモリセル100[k+1]に含まれるトランジスタWTr[k+1]のソース（またはドレイン）と電氣的に接続され、メモリセル100[k]に含まれるトランジスタRTr[k]のドレイン（またはソース）が、メモリセル100[k+1]に含まれるトランジスタRTr[k+1]のソース（またはドレイン）と電氣的に接続された構成をいう。

[0090]

トランジスタWTrおよびトランジスタRTrのチャネルが形成される半導体は、単結晶半導体、多結晶半導体、微結晶半導体、または非晶質半導体などを、単体でまたは組み合わせて用いることができる。半導体材料としては、例えば、シリコンや、ゲルマニウムなどを用いることができる。また、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、酸化物半導体、窒化物半導体などの化合物半導体を用いてもよい。

[0091]

なお、トランジスタに用いる半導体は、半導体の積層であってもよい。半導体層を積層する場合は、それぞれ異なる結晶状態を有する半導体を用いてもよいし、それぞれ異なる半導体材料を用いてもよい。

[0092]

また、半導体114と半導体117に同じ材料を用いてもよいし、異なる材料を用いてもよい。例えば、半導体114および半導体117の双方が酸化物半導体であってもよい。また、半導体114および半導体117の双方がシリコンであってもよい。また、半導体114が酸化物半導体で、

半導体 1 1 7 がシリコンであってもよい。また、半導体 1 1 4 がシリコンで、半導体 1 1 7 が酸化物半導体であってもよい。

[0093]

特に、トランジスタ WT_r は、チャネルが形成される半導体層に金属酸化物の一種である酸化物半導体を用いたトランジスタであることが好ましい。酸化物半導体はバンドギャップが 2 eV 以上であるため、オフ電流が著しく少ない。トランジスタ WT_r に OS トランジスタを用いると、ノード ND（「記憶ノード」ともいう。）に書き込まれた電荷を長期間保持することができる。メモリセル 100 を構成するトランジスタに OS トランジスタを用いた場合、当該メモリセル 100 を「OS メモリ」と呼ぶことができる。また、当該メモリセル 100 を含むメモリストリング 200 も「OS メモリ」と呼ぶことができる。

[0094]

OS メモリを含む NAND 型の記憶装置を「OS NAND 型」または「OS NAND 型の記憶装置」ともいう。また、複数の OS メモリが Z 方向に積層された構成を有する OS NAND 型の記憶装置を「3D OS NAND 型」または「3D OS NAND 型の記憶装置」ともいう。

[0095]

また、トランジスタ RT_r は、チャネルが形成される半導体層にシリコンを用いたトランジスタ（「Si トランジスタ」ともいう。）であってもよい。トランジスタ RT_r を Si トランジスタで形成し、トランジスタ WT_r を OS トランジスタで形成してもよい。図 8 に、トランジスタ WT_r として OS トランジスタを用い、トランジスタ RT_r として Si トランジスタを用いる場合のメモリストリング 200 の等価回路図を示す。

[0096]

OS メモリは、電力の供給を停止しても、1 年以上、さらには 10 年以上の期間で書き込まれた情報を保持することができる。よって、OS メモリを不揮発性メモリと見なすこともできる。

[0097]

また、OS メモリは書き込まれた電荷量が長期間変化しにくいため、OS メモリは 2 値（1 ビット）に限らず、多値（マルチビット）の情報を保持可能である。

[0098]

また、OS メモリは OS トランジスタを介してノードに電荷を書き込む方式であるため、従来のフラッシュメモリで必要であった高電圧が不要であり、高速な書き込み動作も実現できる。また、フラッシュメモリで行われるデータ書き換え前の消去動作が OS メモリでは不要である。また、フローティングゲートまたは電荷捕獲層への電荷注入および引き抜きも行われないため、OS メモリは実質的に無制限回のデータの書き込みおよび読み出しが可能である。OS メモリは、従来のフラッシュメモリと比較して劣化が少なく、高い信頼性が得られる。

[0099]

また、OS メモリは磁気抵抗メモリ（MRAM）あるいは抵抗変化型メモリ（ReRAM）などのように、データの書き換え時に原子レベルでの構造変化を伴わない。よって、OS メモリは、磁気抵抗メモリおよび抵抗変化型メモリよりも書き換え耐性に優れている。

[0100]

また、OS トランジスタは高温環境下でもオフ電流がほとんど増加しない。具体的には室温以上 200°C 以下の環境温度下でもオフ電流がほとんど増加しない。また、高温環境下でもオン電流が低

下しにくい。OSメモリを含む記憶装置は、高温環境下においても動作が安定し、高い信頼性が得られる。また、OSTランジスタは、ソースとドレイン間の絶縁耐圧が高い。半導体装置を構成するランジスタにOSTランジスタを用いることで、高温環境下においても動作が安定し、信頼性の良好な半導体装置が実現できる。

[0101]

なお、図9に示すように、目的または用途などによっては、ランジスタWTrとしてSiランジスタを用い、ランジスタRTrとしてOSTランジスタを用いてもよい。また、図10に示すように、目的または用途などによっては、ランジスタWTrおよびランジスタRTrの双方にSiランジスタを用いてもよい。

[0102]

メモリストリング200のように、複数のメモリセル100をZ方向に連続して設けることで、単位面積当たりの記憶容量を増やすことができる。

[0103]

また、メモリセル100またはメモリストリング200を用いた半導体装置の記憶容量を増やしたい場合は、複数のメモリセル100または複数のメモリストリング200を千鳥格子状（図11A参照）、または格子状（図11B参照）に設ければよい。図11はメモリストリングの上面図である。

[0104]

表1に、Siランジスタで作製した3D NAND型の記憶装置と、3DOS NAND型の記憶装置の比較表を示す。

[0105]

[表1]

大項目	小項目	3D NAND	比較	3D OS NAND	
①高速書き込み/書き消し	ページ当たりの書き込み速度	300μs/page	>	1~3μs/page(32層想定)	○
	ブロック当たりの書き消し速度	2ms/block	>>	2.6μs/block(32層想定)	◎
②高速読み出し	ページ当たりの読み出し速度	50μs/page	=	50μs/page(32層想定)	—
③大電圧不要	プログラム電圧 Vph	12~20V	>>	3~5V	○
	プログラム電圧 Vpl	0V	≒	-3~0V	—
	ロジック電圧 Vc	1.2V	=	1.2V	—
④書き換え劣化無し	書き換え耐性	10 ³ ~10 ⁵ 回	<<	10 ¹² 回以上	◎
⑤ブロック毎の消去動作不要	—	必要		不要	○
⑥多値化可能	何値まで可能か	4bit/cell(16値)		≒4bit/cell(16値)	—
⑦非ノイマン型に採用可能	積層容易性 アクセス容易性	キャッシュメモリが必要		外部キャッシュメモリが不要	○
⑧消費電力	—	8W(SSDの場合)	>>	3D NANDよりも極めて少ない	◎

×:worse、○:better、◎:best

[0106]

〔変形例〕

続いて、メモリセル１００の変形例について説明する。以下で説明するメモリセルの変形例は、本明細書などに示す他のメモリセルと適宜組み合わせることができる。

〔０１０７〕

図１２Ａにメモリセル１００Ａの断面図を示す。メモリセル１００Ａはメモリセル１００の変形例である。よって、本実施の形態などでは、主にメモリセル１００Ａのメモリセル１００と異なる点について説明する。

〔０１０８〕

本発明の一態様に係るメモリセルは、図１２Ａに示すメモリセル１００Ａのように、交差部Ｒにおいて、絶縁体１１６に隣接して半導体１１４を設け、半導体１１４に隣接して導電体１１５を設け、導電体１１５に隣接して絶縁体１１３を設けてもよい。

〔０１０９〕

メモリセル１００Ａでは、導電体１１９、絶縁体１１８、半導体１１７、絶縁体１１６、半導体１１４、導電体１１５がトランジスタＲＴｒとして機能する。半導体１１４はゲート電極として機能する場合がある。また、半導体１１４はゲート絶縁体として機能する場合がある。また、導電体１１５、絶縁体１１３、および導電体１０２が、容量素子Ｃｓとして機能する。

〔０１１０〕

図１２Ｂにメモリセル１００Ｂの断面図を示す。メモリセル１００Ｂはメモリセル１００の変形例である。メモリセル１００Ｂのように、バックゲートとして機能する導電体１１９の形成を省略し、絶縁体１１８で埋めてもよい。導電体１１９を設けないことで、作製工程が簡略化され、記憶装置の生産性を高めることができる。

〔０１１１〕

図１３にメモリセル１００Ｃの断面図を示す。メモリセル１００Ｃはメモリセル１００の変形例であり、メモリセル１００Ｂの変形例でもある。メモリセル１００Ｃのように、バックゲートとして機能する導電体１１９の形成を省略し、かつ、導電体１１９が形成される予定の領域を埋めずに空洞１２０にしてもよい。導電体１１９を設けず空洞にすることで、作製工程が簡略化され、記憶装置の生産性をさらに高めることができる。

〔０１１２〕

〔メモリセルの構成材料〕

続いて、メモリセル１００などに用いることができる構成材料について説明する。

〔０１１３〕

〔基板〕

メモリセル１００およびメモリストリング２００は基板上に設けることができる。基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウム、窒化ガリウム（ＧａＮ）などからなる化合物半導体基板がある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、ＳＯＩ（Ｓｉｌｉｃｏｎ Ｏｎ Ｉｎｓｕｌａｔｏｒ）基板などがある。導電体基板としては、黒鉛基板、金属

基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0114]

[絶縁体]

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0115]

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、*high-k* 材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0116]

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

[0117]

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

[0118]

また、OSトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

[0119]

なお、本明細書等において、「酸化窒化物」とは、主成分として窒素よりも酸素の含有量が多い材料を指す。例えば「酸化窒化シリコン」とは、窒素よりも酸素の含有量が多い、シリコンと、窒素と、酸素と、を含む材料を指す。また、本明細書等において、「窒化酸化物」とは、主成分として酸素よりも窒素の含有量が多い材料を指す。例えば「窒化酸化アルミニウム」とは、酸素よりも窒

素の含有量が多い、アルミニウムと、窒素と、酸素と、を含む材料を示す。

〔0120〕

また、半導体114および／または半導体117に酸化物半導体を用いる場合、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを半導体114および／または半導体117と接する構造とすることで、半導体114および／または半導体117が有する酸素欠損を補償することができる。

〔0121〕

また、絶縁体として上記材料で形成される絶縁層を単層で用いてもよいが、上記の材料で形成される絶縁層を複数積層して用いてもよい。

〔0122〕

例えば、導電体に接して絶縁体を設ける場合、導電体の酸化を防ぐため、当該絶縁体として酸素の透過を抑制する機能を有する絶縁体を用いることが好ましい。例えば、当該絶縁体として酸化ハフニウム、酸化アルミニウム、または窒化シリコンなどを用いることが好ましい。

〔0123〕

また、導電体に隣接して絶縁体を積層して設ける場合、導電体に接する絶縁体として酸素の透過を抑制する機能を有する絶縁体を用いることが好ましい。例えば、酸化ハフニウムを用いて導電体に接する絶縁体を形成し、当該絶縁体に接して酸化窒化シリコンを用いた絶縁体を形成してもよい。

〔0124〕

〔導電体〕

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

〔0125〕

また、導電体として上記の材料で形成される導電層を単層で用いてもよいが、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

〔0126〕

なお、トランジスタのチャネル形成領域に金属酸化物の一種である酸化物半導体を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0127]

特に、ゲート電極として機能する導電体として、チャネルが形成される酸化物半導体に含まれる金属元素と、酸素と、を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される酸化物半導体に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0128]

[酸化物半導体]

半導体114および／または半導体117として、半導体として機能する金属酸化物（酸化物半導体）を用いることが好ましい。特に、半導体114に酸化物半導体を用いることが好ましい。以下では、メモリセル100に適用可能な酸化物半導体について説明する。

[0129]

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

[0130]

ここでは、酸化物半導体が、インジウム、元素Mおよび亜鉛を有する $I_n - M - Z_n$ 酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、および錫の中から選ばれる一または複数とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0131]

[結晶構造の分類]

まず、酸化物半導体における、結晶構造の分類について、図14Aを用いて説明を行う。図14Aは、酸化物半導体、代表的にはIGZO（ I_n と、 G_a と、 Z_n と、を含む金属酸化物）の結晶構造の分類を説明する図である。

[0132]

図14Aに示すように、酸化物半導体は、大きく分けて「Amorphous（無定形）」と、

「Crystalline（結晶性）」と、「Crystal（結晶）」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）、およびCAC（cloud-aligned composite）が含まれる。なお、「Crystalline」の分類には、single crystal、poly crystal、およびcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、およびpoly crystalが含まれる。

[0133]

なお、図14Aに示す太枠内の構造は、「Amorphous（無定形）」と、「Crystal（結晶）」との間の中間状態であり、新しい境界領域（New crystalline phase）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous（無定形）」や、「Crystal（結晶）」とは全く異なる構造と言い換えることができる。

[0134]

なお、膜または基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD（Grazing-Incidence XRD）測定で得られるXRDスペクトルを図14Bに示す。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図14Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図14Bに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、図14Bに示すCAAC-IGZO膜の厚さは、500nmである。

[0135]

図14Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図14Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

[0136]

また、膜または基板の結晶構造は、極微電子線回折法（NBED：Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。CAAC-IGZO膜の回折パターンを、図14Cに示す。図14Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図14Cに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

[0137]

図14Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

[0138]

[酸化物半導体の構造]

なお、酸化物半導体は、結晶構造に着目した場合、図14Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、およびnc-OS (nanocrystalline Oxide Semiconductor)がある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体、などが含まれる。

[0139]

続いて、上述のCAAC-OS、nc-OS、およびa-like OSの詳細について、説明を行う。

[0140]

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方に配向している酸化物半導体である。なお、特定の方とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

[0141]

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

[0142]

また、In-M-Zn酸化物において、CAAC-OSは、インジウム(In)、および酸素を有する層（以下、In層）と、元素M、亜鉛(Zn)、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、(M, Zn)層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

[0143]

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置(2θ の値)は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

[0144]

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

[0145]

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0146]

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、およびIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0147]

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0148]

[nc-OS]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径

(例えば1 nm以上30 nm以下)の電子線を用いる電子線回折(ナノビーム電子線回折ともいう。)を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

[0149]

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆または低密度領域を有する。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OSおよびCAAC-OSと比べて、膜中の水素濃度が高い。

[0150]

[酸化物半導体の構成]

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

[0151]

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5 nm以上10 nm以下、好ましくは、1 nm以上3 nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5 nm以上10 nm以下、好ましくは、1 nm以上3 nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0152]

さらに、CAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成(以下、クラウド状ともいう。)である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

[0153]

ここで、In-Ga-Zn酸化物におけるCAC-OSを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

[0154]

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

[0155]

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

[0156]

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、Inを主成分とする領域（第1の領域）と、Gaを主成分とする領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

[0157]

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流（ I_{on} ）、高い電界効果移動度（ μ ）、および良好なスイッチング動作を実現することができる。

[0158]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0159]

〔酸化物半導体を有するトランジスタ〕

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0160]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0161]

トランジスタのチャネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ場合がある。また、高純度真性または実質的に高純度真性であることをi型または実質的にi型と呼ぶ場合がある。

[0162]

また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0163]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチ

ャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0164]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0165]

[不純物]

ここで、酸化物半導体中における各不純物の影響について説明する。

[0166]

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体のチャネル形成領域におけるシリコンや炭素の濃度と、酸化物半導体のチャネル形成領域との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0167]

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0168]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

[0169]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体のチャネル形成領域において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

[0170]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0171]

〔その他の半導体材料〕

半導体114および半導体117に用いることができる半導体材料は、上述の酸化物半導体に限られない。半導体114および半導体117として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料などともいう。）などを半導体材料に用いてもよい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

[0172]

本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合やイオン結合によって形成される層が、ファンデルワールス力のような、共有結合やイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0173]

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

[0174]

本発明の一態様に係る半導体装置に用いる半導体材料として、例えば、半導体として機能する遷移金属カルコゲナイドを用いてもよい。具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

[0175]

〔成膜方法について〕

導電体、絶縁体、半導体の形成は、スパッタリング法、CVD法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD：Pulsed Laser Deposition）法または原子層堆積（ALD：Atomic Layer Deposition）法などを用いて行うことができる。

[0176]

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用

する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

[0177]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0178]

また、ALD法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ALD法も、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0179]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0180]

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0181]

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後に不活性ガス（アルゴン、或いは窒素など）などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の薄い層を成膜し、後から導入される第2の原料ガスと反応して、第2の薄い層が第1

の薄い層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細な FET を作製する場合に適している。

[0182]

MOCVD 法や ALD 法などの熱 CVD 法は、金属膜、半導体膜、無機絶縁膜など様々な膜を形成することができる。例えば、In-Ga-Zn-O 膜を成膜する場合には、トリメチルインジウム ($\text{In}(\text{CH}_3)_3$)、トリメチルガリウム ($\text{Ga}(\text{CH}_3)_3$)、およびジメチル亜鉛 ($\text{Zn}(\text{CH}_3)_2$) を用いればよい。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム ($\text{Ga}(\text{C}_2\text{H}_5)_3$) を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛 ($\text{Zn}(\text{C}_2\text{H}_5)_2$) を用いることもできる。

[0183]

例えば、ALD を利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体 (ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム (TDMAH、 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$) などのハフニウムアミド) を気化させた原料ガスと、酸化剤としてオゾン (O_3) の 2 種類のガスを用いる。また、他の材料としては、テトラキス (エチルメチルアミド) ハフニウムなどがある。

[0184]

例えば、ALD を利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体 (トリメチルアルミニウム (TMA、 $\text{Al}(\text{CH}_3)_3$) など) を気化させた原料ガスと、酸化剤として H_2O の 2 種類のガスを用いる。また、他の材料としては、トリス (ジメチルアミド) アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス (2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオナート) などがある。

[0185]

例えば、ALD を利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、酸化性ガス (O_2 、一酸化二窒素) のラジカルを供給して吸着物と反応させる。

[0186]

例えば、ALD を利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを順次繰り返し導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

[0187]

例えば、ALD を利用する成膜装置により酸化物半導体膜、例えば In-Ga-Zn-O 膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入して In-O 層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入して Ga-O 層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ ガスと O_3 ガスを順次繰り返し導入して Zn-O 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを用いて In-Ga-O 層や In-Zn-O 層、Ga-Zn-O 層などの混合酸化物層を形成しても良い。なお、 O_3 ガスに替えて Ar 等の不活性ガスで水をバブリングして得られた H_2O ガスを用いても良いが、H を含まない O_3 ガスを用いる方が好ま

しい。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Ga}(\text{CH}_3)_3$ ガスにかえて、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Zn}(\text{CH}_3)_2$ ガスにかえて、 $\text{Zn}(\text{C}_2\text{H}_5)_2$ ガスを用いても良い。

[0188]

<記憶装置の作製方法例>

次に、メモリセル100の作製方法例について説明する。

[0189]

はじめに、図15Aに示す積層体140を作製する。積層体140は、絶縁体101と、導電体102と、導電体103と、有する。絶縁体101[i]は基板(図示しない。)の上方に配置され、導電体102は絶縁体101[i]上に配置され、絶縁体101[i+1]は導電体102上に配置され、導電体103は絶縁体101[i+1]上に配置され、絶縁体101[i+2]は導電体103上に配置されている。

[0190]

絶縁体101として、水、または水素などの不純物濃度が低減されている材料であることが好ましい。例えば、絶縁体101の水素分子の単位面積当たりの脱離量は、昇温脱離ガス分析法(TDS(Thermal Desorption Spectroscopy))において、 50°C 以上 500°C 以下までの範囲において、 $2 \times 10^{15} \text{ molecules/cm}^2$ 以下、好ましくは $1 \times 10^{15} \text{ molecules/cm}^2$ 以下、より好ましくは $5 \times 10^{14} \text{ molecules/cm}^2$ 以下であればよい。また、絶縁体101は、加熱により酸素が放出される絶縁体を用いてもよい。但し、絶縁体101に適用できる材料は、上述の記載に限定されない。

[0191]

なお、絶縁体101は複数の絶縁体の積層構造であってもよい。例えば、絶縁体101を酸化ハフニウムと酸化窒化シリコンの積層にしてもよい。絶縁体101を構成する複数の絶縁体のうち、導電体103に接する絶縁体には前述した酸素の透過を抑制する機能を有する絶縁体を用いることが好ましい。

[0192]

次に、積層体140上にレジストマスクを形成し、レジストマスクをマスクとして用いたエッチング処理によって、絶縁体101、導電体103、および導電体102の一部を除去して積層体140に開口131を形成する(図15B参照)。

[0193]

レジストマスクの形成は、例えば、リソグラフィ法、印刷法、インクジェット法等を適宜用いて行うことができる。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる場合がある。また、エッチング処理については、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。ドライエッチング法による加工は微細加工に適している。

[0194]

なお、リソグラフィ法によるレジストマスクの形成は、まず、レジストを形成し、次にフォトマスクを介して当該レジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。

[0195]

当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、K r Fエキシマレーザ光、A r Fエキシマレーザ光、E U V（E x t r e m e U l t r a v i o l e t）光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、フォトマスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去できる。

[0196]

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電膜上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。

[0197]

ドライエッチング法によるエッチング処理を行うためのドライエッチング装置としては、例えば、平行平板型電極を有する容量結合型プラズマ（C C P : C a p a c i t i v e l y C o u p l e d P l a s m a）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（I C P : I n d u c t i v e l y C o u p l e d P l a s m a）エッチング装置などを用いることができる。

[0198]

次に、開口131の側面に露出した導電体103の一部をエッチングして、開口131の側面から導電体103を後退させる（図16A参照）。導電体103のエッチングは、絶縁体101および導電体102と選択比が得られる条件で行なえばよい。

[0199]

次に、開口131の側面に沿って絶縁体111を形成する（図16B参照）。開口131内に露出した絶縁体101、導電体103、および導電体102の表面は絶縁体111に覆われる。絶縁体111として、例えば、酸化シリコンを用いる。なお、絶縁体111は複数の絶縁体の積層構造であってもよい。

[0200]

次に、絶縁体111の表面に沿って機能体112を形成する（図17A参照）。絶縁体111として、例えば、窒化シリコンを用いる。なお、機能体112は複数の絶縁体の積層構造であってもよい。

[0201]

次に、開口131内の絶縁体111および機能体112の一部をエッチングする。絶縁体111お

よび機能体 1 1 2 は、Z 方向から見て絶縁体 1 0 1 と重なる部位以外がエッチングされる（図 1 7 B 参照）。

[0 2 0 2]

次に、開口 1 3 1 の側面に露出した導電体 1 0 2 の一部をエッチングして、開口 1 3 1 の側面から導電体 1 0 2 を後退させる（図 1 8 A 参照）。導電体 1 0 2 のエッチングは、絶縁体 1 0 1 および導電体 1 0 3 と選択比が得られる条件で行なえばよい。

[0 2 0 3]

次に、開口 1 3 1 の側面に沿って絶縁体 1 1 3 を形成する（図 1 8 B 参照）。開口 1 3 1 内に露出した絶縁体 1 0 1、絶縁体 1 1 1、機能体 1 1 2、および導電体 1 0 2 の表面は絶縁体 1 1 3 に覆われる。

[0 2 0 4]

半導体 1 1 4 に酸化物半導体を用いる場合は、絶縁体 1 1 3 として、例えば、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を半導体 1 1 4 に接して設けることにより、半導体 1 1 4 中の酸素欠損を低減し、トランジスタの信頼性を向上できる。

[0 2 0 5]

絶縁体 1 1 3 として、具体的には、加熱により一部の酸素が脱離する酸化物材料、別言すると、過剰酸素領域を有する絶縁体材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS 分析にて、酸素分子の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化膜である。なお、上記 TDS 分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。なお、絶縁体 1 1 3 は複数の絶縁体の積層構造であってもよい。

[0 2 0 6]

絶縁体 1 1 3 の形成後に、後述する加酸素化処理を行なってもよい。

[0 2 0 7]

次に、開口 1 3 1 の側面に沿って半導体 1 1 4 と導電体 1 1 5 を形成する（図 1 8 B 参照）。本実施の形態では、半導体 1 1 4 として $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ [原子数比] またはその近傍の組成を有する酸化物半導体を用いる。

[0 2 0 8]

なお、半導体 1 1 4 に用いる半導体材料として、例えば、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ から 4.1、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 6$ 、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 3$ 、または $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 3$ の組成およびそれらの近傍の組成を有する金属酸化物を用いてもよい。また、半導体 1 1 4 に用いる半導体材料として、 $\text{In} : \text{Zn} = 5 : 1$ 、または $\text{In} : \text{Zn} = 10 : 1$ の組成およびそれらの近傍の組成を有する金属酸化物を用いてもよい。また、半導体 1 1 4 に酸化インジウムを用いてもよい。

[0 2 0 9]

また、半導体 1 1 4 を複数層の積層構造としてもよい。例えば、半導体 1 1 4 を $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 、または $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ の組成およびその近傍の組成を有する金属酸化物と、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ から 4.1、 $\text{In} : \text{G}$

a : Zn = 1 : 1 : 1、In : Ga : Zn = 5 : 1 : 6、In : Ga : Zn = 5 : 1 : 3、または In : Ga : Zn = 10 : 1 : 3 の組成およびそれらの近傍の組成を有する金属酸化物の積層であってもよい。

[0210]

また、半導体114を、2層のIn : Ga : Zn = 1 : 3 : 4、In : Ga : Zn = 1 : 3 : 2、またはIn : Ga : Zn = 1 : 1 : 1の組成およびその近傍の組成を有する金属酸化物の間に、In : Ga : Zn = 4 : 2 : 3から4.1、In : Ga : Zn = 1 : 1 : 1、In : Ga : Zn = 5 : 1 : 6、In : Ga : Zn = 5 : 1 : 3、またはIn : Ga : Zn = 10 : 1 : 3の組成およびそれらの近傍の組成を有する金属酸化物を挟んだ3層構造であってもよい。

[0211]

また、メモリセルの作製工程中において、半導体114の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100℃以上600℃以下、より好ましくは350℃以上550℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、半導体114に酸素を供給して、酸素欠損(V_O)の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。または、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気で行ってもよい。

[0212]

なお、半導体114に酸素を供給する処理（「加酸素化処理」ともいう。）を行うことで、半導体114中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V_O + O \rightarrow null$ 」という反応を促進させることができる。さらに、半導体114中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、半導体114中に残存していた水素が酸素欠損に再結合して V_OH が形成されるのを抑制することができる。

[0213]

また、酸素を含む雰囲気マイクロ波処理を行うことにより加酸素化処理を行うことができる。この場合、半導体114にマイクロ波、RFなどの高周波、酸素プラズマ、酸素ラジカルなどが照射される。マイクロ波処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する、マイクロ波処理装置を用いることが好ましい。また、マイクロ波処理装置は基板側にRFを印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる。また、基板（図示せず）側にRFを印加することで、高密度プラズマによって生成された酸素イオンを、効率よく開口131内に導くことができる。また、上記マイクロ波処理は、減圧下で行うことが好ましく、圧力を60Pa以上、好ましくは133Pa以上、より好ましくは200Pa以上、さらに好ましくは400Pa以上とすればよい。また、酸素流量比 $O_2 / (O_2 + Ar)$ が50%以下、好ましくは10%以上30%以下で行うとよい。また、処理温度は、750℃以下、好ましくは500℃以下、例えば400℃程度で行えばよい。また、酸素プラズマ処理を行った後に、外気に曝すことなく、連続して熱処理を行ってもよい。

[0214]

プラズマ、マイクロ波などの作用により、半導体114に含まれる V_OH を分断し、水素Hを半導体114から除去することができる。つまり、半導体114において、「 $V_OH \rightarrow H + V_O$ 」)、さらに「 $V_O + O \rightarrow null$ 」という反応が起きて、半導体114の水素濃度を低減することができる。よって、半導体114中の酸素欠損、および V_OH を低減し、キャリア濃度を低下させることができる。

[0215]

半導体114の形成後、導電体115を形成する。本実施の形態では、導電体115としてタンゲステンを形成する。

[0216]

次に、開口131内の導電体115の一部をエッチングする。導電体115は、Z方向から見て半導体114と重なる部位以外がエッチングされる(図19A参照)。これにより、開口131内に半導体114および導電体115が露出する。半導体114および導電体115が露出した後に加酸素化処理を行なってもよい。

[0217]

次に、開口131の側面に沿って絶縁体116を形成する(図19B参照)。開口131内に露出した半導体114および導電体115の表面は絶縁体116に覆われる。半導体114に酸化物半導体を用いる場合は、絶縁体116として、例えば、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を半導体114に接して設けることにより、半導体114中の酸素欠損を低減し、トランジスタの信頼性を向上できる。絶縁体116として、絶縁体113と同様の材料を用いてもよい。絶縁体116は複数の絶縁体の積層構造であってもよい。

[0218]

特に、半導体114および半導体117に酸化物半導体を用いる場合は、絶縁体116は加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。また、絶縁体116は複数の絶縁体の積層構造であってもよい。例えば、半導体114および半導体117に酸化物半導体を用いる場合は、絶縁体116を、酸化シリコンまたは酸化窒化シリコンと、酸化ハフニウムまたは酸化アルミニウムと、酸化シリコンまたは酸化窒化シリコンの3層構造にしてもよい。すなわち、2層の酸化シリコンまたは酸化窒化シリコンで1層の酸化ハフニウムまたは酸化アルミニウムを挟む構造としてもよい。なお、絶縁体116は2層の積層構造であってもよいし、4層以上の積層構造であってもよい。

[0219]

絶縁体116の形成後に加酸素化処理を行なってもよい(図20A参照。)

[0220]

次に、開口131の側面に沿って半導体117を形成する(図20B参照)。開口131内に露出した絶縁体116の表面は半導体117に覆われる。半導体117に酸化物半導体を用いる場合は、半導体114に酸化物半導体を用いる場合と同様に加酸素化処理を行ってもよい。

[0221]

次に、開口131の側面に沿って絶縁体118を形成する(図21A参照)。開口131内に露出した半導体117の表面は絶縁体118に覆われる。半導体117に酸化物半導体を用いる場合は、絶縁体118として、例えば、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。酸素を

含む絶縁体を半導体 1 1 7 に接して設けることにより、半導体 1 1 7 中の酸素欠損を低減し、トランジスタの信頼性を向上できる。絶縁体 1 1 8 として、絶縁体 1 1 3 または絶縁体 1 1 6 と同様の材料を用いてもよい。

[0 2 2 2]

絶縁体 1 1 8 は複数の絶縁体の積層構造であってもよい。半導体 1 1 7 に酸化物半導体を用いる場合は、絶縁体 1 1 8 を構成する複数の絶縁体のうち、半導体 1 1 7 に接する絶縁体には、加熱により脱離する酸素を含む領域を有する絶縁体を用いることが好ましい。また、導電体 1 1 9 に接する絶縁体には酸素の透過を抑制する機能を有する絶縁体を用いることが好ましい。例えば、絶縁体 1 1 8 を構成する複数の絶縁体のうち、半導体 1 1 7 に接する絶縁体として、酸化シリコンまたは酸化窒化シリコンを用いてもよい。また、絶縁体 1 1 8 を構成する複数の絶縁体のうち、導電体 1 1 9 に接する絶縁体として、酸化ハフニウムまたは酸化アルミニウムを用いてもよい。

[0 2 2 3]

また、例えば絶縁体 1 1 8 を、酸化シリコンまたは酸化窒化シリコンと、酸化アルミニウムと、窒化シリコンと、の積層にしてもよい。なお、絶縁体 1 1 8 に窒化シリコンを用いる場合は、水素含有量が少ない窒化シリコンを用いることが好ましい。

[0 2 2 4]

次に、絶縁体 1 1 8 の形成後に導電体 1 1 9 を形成する（図 2 1 B 参照）。本実施の形態では、導電体 1 1 9 としてタングステンをを用いる。なお、導電体 1 1 9 は複数の導電体の積層構造であってもよい。導電体 1 1 9 を構成する複数の導電体のうち、絶縁体 1 1 8 に接する導電体には、酸化しにくい導電性材料を用いることが好ましい。例えば、導電体 1 1 9 のうち、絶縁体 1 1 8 に接する導電体として窒化チタンを用いてもよい。例えば、導電体 1 1 9 を、窒化チタンとタングステンの積層にしてもよい。

[0 2 2 5]

このようにして開口 1 3 1 内に構造体 1 3 0 が形成される。次に、Z 方向から見て構造体 1 3 0 と重ならない領域で積層体 1 4 0 の一部を除去して、領域 1 3 2 を形成する（図 2 2 A 参照）。領域 1 3 2 は開口 1 3 1 と同様の方法で形成することができる。領域 1 3 2 において、絶縁体 1 0 1、導電体 1 0 2、および導電体 1 0 3 の側面が露出する。

[0 2 2 6]

次に、露出した絶縁体 1 0 1、導電体 1 0 2、および導電体 1 0 3 の側面を覆う絶縁体 1 2 1 を形成する（図 2 2 B 参照）。絶縁体 1 2 1 として、例えば、水、水素などの不純物などの透過を抑制する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体 1 2 1 として、酸化アルミニウムなどを用いればよい。

[0 2 2 7]

なお、絶縁体 1 2 1 は複数の絶縁体の積層構造であってもよい。例えば、絶縁体 1 2 1 を酸化ハフニウムと酸化窒化シリコンの積層にしてもよい。絶縁体 1 2 1 を構成する複数の絶縁体のうち、導電体 1 0 2 および導電体 1 0 3 に接する絶縁体には酸素の透過を抑制する機能を有する絶縁体を用いることが好ましい。

[0 2 2 8]

このようにしてメモリセル 1 0 0 を作製することができる。

[0 2 2 9]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0230]

(実施の形態2)

本実施の形態では、複数のメモリストリング200を含む半導体装置300の回路構成例と動作方法例について、図面を用いて説明する。

[0231]

<回路構成例>

半導体装置300の回路構成について、図23を参照して説明する。半導体装置300はm個のメモリストリング200を有する。本実施の形態などでは、1番目のメモリストリング200をメモリストリング200[1]と示し、m番目のメモリストリング200をメモリストリング200[m] (mは1以上の整数)と示す。また、j番目のメモリストリング200をメモリストリング200[j] (jは1以上m以下の整数)と示す。

[0232]

また、上記実施の形態で説明したように、メモリストリング200はn個のメモリセル100を有する。図23では、メモリセル100として図4Aに示した回路構成のメモリセル100を示しているが、図4B、図4C、図5A、および図5Bに示した回路構成のメモリセル100であってもかまわない。本実施の形態などでは、j番目のメモリストリング200に含まれるk番目 (kは1以上n以下の整数) のメモリセル100をメモリセル100[k, j]と示す。

[0233]

図23に示す半導体装置300は、n本の配線WWL、n本の配線RWL、m本の配線WBL、m本の配線RBL、およびm本の配線BGLを有する。本実施の形態などでは、k本目の配線WWLおよび配線RWLを、それぞれ、配線WWL[k]および配線RWL[k]と示す。また、j本目の配線WBL、配線RBL、および配線BGLを、それぞれ、配線WBL[j]、配線RBL[j]、および配線BGL[j]と示す。

[0234]

配線WWL[1]は、メモリセル100[1, 1]乃至メモリセル100[1, m]のそれぞれに含まれるトランジスタWT_rのゲート (導電体103) と電氣的に接続される。配線WWL[k]は、メモリセル100[k, 1]乃至メモリセル100[k, m]のそれぞれに含まれるトランジスタWT_rのゲート (導電体103) と電氣的に接続される。配線WWL[n]は、メモリセル100[n, 1]乃至メモリセル100[n, m]のそれぞれに含まれるトランジスタWT_rのゲート (導電体103) と電氣的に接続される。

[0235]

配線RWL[1]は、メモリセル100[1, 1]乃至メモリセル100[1, m]のそれぞれに含まれる容量素子C_sと電氣的に接続される。配線RWL[k]は、メモリセル100[k, 1]乃至メモリセル100[k, m]のそれぞれに含まれる容量素子C_sと電氣的に接続される。配線RWL[n]は、メモリセル100[n, 1]乃至メモリセル100[n, m]のそれぞれに含まれる容量素子C_sと電氣的に接続される。配線RWLは容量素子C_sを介してトランジスタRT_rのゲート (導電体115) と電氣的に接続される。

[0236]

配線WBL [1] は、メモリセル100 [n, 1] に含まれるトランジスタWT_rのソースまたはドレインの一方（半導体114）と電氣的に接続される。配線WBL [j] は、メモリセル100 [n, j] に含まれるトランジスタWT_rのソースまたはドレインの一方（半導体114）と電氣的に接続される。配線WBL [m] は、メモリセル100 [n, m] に含まれるトランジスタWT_rのソースまたはドレインの一方（半導体114）と電氣的に接続される。

[0237]

配線RBL [1] は、メモリセル100 [1, 1] に含まれるトランジスタRT_rのソースまたはドレインの一方（半導体117）と電氣的に接続される。配線RBL [j] は、メモリセル100 [1, j] に含まれるトランジスタRT_rのソースまたはドレインの一方（半導体117）と電氣的に接続される。配線RBL [m] は、メモリセル100 [1, m] に含まれるトランジスタRT_rのソースまたはドレインの一方（半導体117）と電氣的に接続される。

[0238]

配線BGL [1] は、メモリセル100 [1, 1] 乃至メモリセル100 [n, 1] のそれぞれに含まれるトランジスタRT_rのバックゲート（導電体119）と電氣的に接続される。配線BGL [j] は、メモリセル100 [1, j] 乃至メモリセル100 [n, j] のそれぞれに含まれるトランジスタRT_rのバックゲート（導電体119）と電氣的に接続される。配線BGL [m] は、メモリセル100 [1, m] 乃至メモリセル100 [n, m] のそれぞれに含まれるトランジスタRT_rのバックゲート（導電体119）と電氣的に接続される。

[0239]

配線WWLは書き込みワード線として機能し、配線RWLは読み出しワード線として機能し、配線WBLは書き込みビット線として機能し、配線RBLは読み出しビット線として機能する。

[0240]

また、図23に示すメモリストリング200 [1] において、メモリセル100 [1, 1] が含むトランジスタRT_rのソースまたはドレインの他方と電氣的に接続する領域をノードN1 [1] と示し、メモリセル100 [n, 1] が含むトランジスタRT_rのソースまたはドレインの一方と電氣的に接続する領域をノードN2 [1] と示す。同様に、メモリストリング200 [j] のノードN1およびノードN2を、それぞれノードN1 [j] およびノードN2 [j] と示す。また、メモリストリング200 [m] のノードN1およびノードN2を、それぞれノードN1 [m] およびノードN2 [m] と示す。

[0241]

<動作方法例>

次に、図23に示した半導体装置300の動作方法の一例について説明する。本実施の形態では、メモリストリング200 [1] が含むメモリセル100へデータを書き込む動作例と、データを読み出す動作例について説明する。

[0242]

なお、以下の説明で用いられる低レベル電位（Low）、高レベル電位（High）は、特定の電位を意味するものではなく、配線が異なれば、具体的な電位も異なる場合がある。例えば、配線WWLに印加される低レベル電位、高レベル電位のそれぞれは、配線RWLに印加される低レベル電位、高レベル電位と異なる電位であってもよい。

[0243]

また、本動作方法例において、配線BGLには、トランジスタ RTr 、トランジスタ WTr が正常に動作する範囲内の電位があらかじめ印加されているものとする。

[0244]

図25Aは、メモリストリング200[1]にデータを書き込む動作例を説明するタイミングチャートであり、図25Bは、メモリストリング200[1]からデータを読み出す動作例を説明するタイミングチャートである。図25に示すタイミングチャートは、配線WWL[1]、配線WWL[2]、配線WWL[n-1]、配線WWL[n]、配線RWL[1]、配線RWL[2]、配線RWL[n-1]、配線RWL[n]、ノードN1[1]、およびノードN2[1]の電位の大きさの変化を示している。また、配線WBL[1]は、配線WBL[1]に供給されるデータについて示している。

[0245]

また、図25Aは、データD[1]乃至データD[n]のそれぞれをメモリセル100[1, 1]乃至メモリセル100[n, 1]に書き込む例を示している。なお、データD[1]乃至データD[n]は、2値、または多値とすることができる。そして、データD[1]乃至データD[n]は、配線WBL[1]から供給されるものとする。

[0246]

メモリストリング200[1]へのデータの書き込みは、メモリセル100[n, 1]からメモリセル100[1, 1]へと順次行われる。なお、メモリセル100[1, 1]にデータを書き込んだ後に、メモリセル100[2, 1]にデータを書き込もうとすると、メモリセル100[1, 1]に保持されているデータが、メモリセル100[2, 1]にデータを書き込む段階で失われてしまう。よって、一度、メモリセル100[1, 1]に書き込まれているデータを読み出して別の場所に保存する動作が必要になる。

[0247]

メモリストリング200の回路構成において、メモリセル100[k, 1]にデータを書きこむ場合、メモリセル100[n, 1]乃至メモリセル100[k+1, 1]に保持されているデータの書き換えを防ぐために、配線WWL[n]乃至配線WWL[k+1]に低レベル電位を供給して、メモリセル100[n, 1]乃至メモリセル100[k+1, 1]のそれぞれが有するトランジスタ WTr をオフ状態にする。これにより、メモリセル100[n, 1]乃至メモリセル100[k+1, 1]に保持されているそれぞれのデータを保護することができる。

[0248]

また、メモリセル100[k, 1]にデータを書きこむ場合、データは配線WBL[1]から供給されるため、配線WWL[1]乃至配線WWL[k]に高レベル電位を供給して、メモリセル100[1, 1]乃至メモリセル100[k, 1]のそれぞれが有するトランジスタ WTr を十分なオン状態にする。これにより、メモリセル100[k, 1]の記憶ノードにデータを保持することができる。

[0249]

なお、メモリセル100[1, 1]乃至メモリセル100[n, 1]にデータを書き込む場合、配線RBL[1]は独立に制御できるので、特定の電位にする必要は無い。例えば、配線RBL[1]の電位を低レベル電位とすればよい。また、ノードN1[1]およびノードN2[1]の電位は、低レベル電位とすればよい。

[0250]

上述を踏まえた上で、半導体装置300の動作方法例を説明する。

[0251]

<<電荷注入動作>>

図24のタイミングチャートを用いて電荷注入動作例を説明する。まず、機能体112に電荷を注入し、トランジスタWTrのしきい値電圧を大きくする動作例を説明する。本実施の形態では、メモリセル100[k, j]が有するトランジスタWTrの機能体112に電荷を注入する動作を説明する。

[0252]

期間T1において、配線WBL[j]にプログラム電位(Prog)を供給する。プログラム電位は高レベル電位よりも高い電位である。

[0253]

期間T2において、配線WWL[k]以外の配線WWLにプログラム電位を供給する。また、配線WWL[k]には低レベル電位を供給する。すると、絶縁体111を介して配線WWL[k]から機能体112に電荷が注入される。

[0254]

期間T3において、配線WWLおよび配線WBLに低レベル電位を供給する。配線RWL[1]乃至配線RWL[n]は、電荷注入動作中どのような電位であってもかまわないが、本実施の形態では低レベル電位を供給する。

[0255]

このようにして、配線WWL側から機能体112に電荷を注入することができる。電荷注入動作は、半導体装置300の初期起動時に行えばよい。なお、電荷注入動作は、半導体装置300の起動時毎に行ってもよいし、一定時間ごとに行ってもよい。機能体112に電荷を注入してトランジスタWTrのしきい値電圧を大きくすることで、トランジスタWTrをノーマリーオフ型のトランジスタにすることができる。例えば、トランジスタRTrをノーマリーオン型のトランジスタにすることで、メモリセル100内にノーマリーオフ型のトランジスタとノーマリーオン型のトランジスタを作り分けることができる。

[0256]

<<書き込み動作>>

図25Aのタイミングチャートを用いて書き込み動作例を説明する。期間T10において、配線WWL[1]乃至配線WWL[n]、配線RWL[1]乃至配線RWL[n]、配線WBL[1]、ノードN1[1]、およびノードN2[1]のそれぞれの電位は、低レベル電位となっている。

[0257]

期間T11において、配線WWL[1]乃至配線WWL[n]には、高レベル電位が供給される。これにより、メモリセル100[1, 1]乃至メモリセル100[n, 1]のそれぞれが有するトランジスタWTrが十分なオン状態となる。そして、配線WBL[1]には、データD[n]が供給される。メモリセル100[1, 1]乃至メモリセル100[n, 1]のそれぞれが有するトランジスタWTrは十分なオン状態となっているため、データD[n]は、メモリセル100[n, 1]の記憶ノードに供給される。

[0258]

期間T 1 2において、配線WWL [n] には、低レベル電位が供給され、配線WWL [n - 1] 乃至配線WWL [1] には、引き続き、高レベル電位が供給される。これにより、メモリセル1 0 0 [n, 1] が有するトランジスタWT rがオフ状態となり、メモリセル1 0 0 [n - 1, 1] 乃至メモリセル1 0 0 [1, 1] のそれぞれが有するトランジスタWT rはオン状態が維持される。そして、配線WBL [1] には、データD [n - 1] が供給される。メモリセル1 0 0 [n - 1, 1] 乃至メモリセル1 0 0 [1, 1] のそれぞれが有するトランジスタWT rは十分なオン状態となっているため、データD [n - 1] は、メモリセル1 0 0 [n - 1, 1] の記憶ノードに供給される。また、メモリセル1 0 0 [n, 1] のトランジスタWT rはオフ状態となっているため、期間T 1 1においてメモリセル1 0 0 [n, 1] に書き込まれたデータD [n] は保持される。

[0 2 5 9]

期間T 1 3では、期間T 1 1および期間T 1 2と同様に、メモリセル1 0 0 [n - 2, 1] 乃至メモリセル1 0 0 [2, 1] のそれぞれに順次データD [n - 2] 乃至データD [2] が書き込まれる。

[0 2 6 0]

具体的には、既にデータが書き込まれたメモリセル1 0 0 [n, 1] 乃至メモリセル1 0 0 [k + 1, 1] が有するトランジスタWT rをオフ状態とし、データが書き込まれていないメモリセル1 0 0 [k, 1] 乃至メモリセル1 0 0 [1, 1] が有するトランジスタWT rを十分なオン状態とし、データD [k] を配線WBL から供給して、メモリセル1 0 0 [k, 1] の記憶ノードに書き込む。メモリセル1 0 0 [k, 1] へのデータD [k] の書き込みが終了した後、メモリセル1 0 0 [k, 1] が有するトランジスタWT rをオフ状態とする。続いて、配線WBL [1] からデータD [k - 1] を供給して、メモリセル1 0 0 [k - 1, 1] の記憶ノードに書き込む動作を行なう。

[0 2 6 1]

なお、k が1 のときの書き込み動作を、期間T 1 4で説明する。期間T 1 4において、配線WWL [n] 乃至配線WWL [2] には、低レベル電位が供給され、配線WWL [1] には、引き続き、高レベル電位が供給される。これにより、メモリセル1 0 0 [n, 1] 乃至メモリセル1 0 0 [2, 1] が有するトランジスタWT rがオフ状態となり、メモリセル1 0 0 [1, 1] が有するトランジスタWT rがオン状態のままとなる。そして、配線WBL [1] には、データD [1] が供給される。メモリセル1 0 0 [1, 1] が有するトランジスタWT rは十分なオン状態となっているため、データD [1] は、メモリセル1 0 0 [1, 1] の記憶ノードにまで到達して書き込まれる。また、メモリセル1 0 0 [n, 1] 乃至メモリセル1 0 0 [2, 1] のトランジスタWT rはオフ状態となっているため、メモリセル1 0 0 [n, 1] 乃至メモリセル1 0 0 [2, 1] のそれぞれに保持されているデータD [n] 乃至データD [2] は保持される。

[0 2 6 2]

このようにしてメモリセル1 0 0 [1, 1] 乃至メモリセル1 0 0 [n, 1] にデータを書き込むことができる。

[0 2 6 3]

なお、本実施の形態では、メモリストリング2 0 0 [1] に着目して書き込み動作を説明したが、半導体装置3 0 0 の回路構成では、配線WWL [k] に高レベル電位が供給されると、配線WWL [k] と電氣的に接続するトランジスタWT rが全てオン状態となる。このため、メモリストリン

グ 2 0 0 [1] だけでなく、メモリストリング 2 0 0 [2] 乃至メモリストリング 2 0 0 [m] へのデータ書き込みも同時に行われる。

[0 2 6 4]

本実施の形態に示すメモリセル 1 0 0 は O S メモリである。よって、メモリセル 1 0 0 を含む半導体装置 3 0 0 は、データ書き換え前の消去動作が不要であり、高速な書き込み動作が実現できる。

[0 2 6 5]

また、配線 W B L に近いメモリセル 1 0 0 にデータを書き込む（書き換える）場合は、配線 W B L から見て当該メモリセル 1 0 0 よりも遠い側のメモリセル 1 0 0 へのデータの書き込み動作を省略することができる。例えば、メモリセル 1 0 0 [1, 1] にデータを書き込む（書き換える）場合は、メモリセル 1 0 0 [2, 1] 乃至メモリセル 1 0 0 [n, 1] へのデータの書き込み動作を省略することができる。また、メモリセル 1 0 0 [2, 1] にデータを書き込む場合は、メモリセル 1 0 0 [3, 1] 乃至メモリセル 1 0 0 [n, 1] へのデータの書き込み動作を省略することができる。

[0 2 6 6]

書き換え頻度の高いデータは、配線 W B L に近いメモリセル 1 0 0 に記憶することで、データの書き込み（書き換え）に必要な時間を短縮することができる。すなわち、データの書き込み（書き換え）速度を高めることができる。

[0 2 6 7]

このように動作させることで、O S N A N D 型（3 D O S N A N D 型を含む）の記憶装置を、R A M のように動作させることができる。

[0 2 6 8]

<<読み出し動作>>

図 2 5 B は、データ D [1] 乃至データ D [n] のそれぞれをメモリセル 1 0 0 [1, 1] 乃至メモリセル 1 0 0 [n, 1] から読み出す例を示している。なお、このとき、各メモリセル 1 0 0 に保持されたデータを維持するために、トランジスタ W T r は、オフ状態であることが求められる。そのため、メモリセル 1 0 0 [1, 1] 乃至メモリセル 1 0 0 [n, 1] からデータを読み出す動作時において、配線 W W L [1] 乃至配線 W W L [n] の電位は低レベル電位とする。

[0 2 6 9]

図 2 3 に示す半導体装置 3 0 0 の回路構成において、特定のメモリセル 1 0 0 のデータを読み出す場合、他のメモリセル 1 0 0 が有するトランジスタ R T r を十分なオン状態とした上で、読み出し対象のメモリセル 1 0 0 が有するトランジスタ R T r を飽和領域として動作させる。つまり、読み出し対象のメモリセル 1 0 0 が有するトランジスタ R T r のソースとドレインの間に流れる電流の大きさは、ソースとドレイン間の電圧と、読み出し対象のメモリセル 1 0 0 に保持されているデータに応じて決定される。

[0 2 7 0]

例えば、メモリセル 1 0 0 [k, 1] に保持されているデータを読み出す場合を考える。読み出し動作において、メモリセル 1 0 0 [k, 1] を除いたメモリセル 1 0 0 [1, 1] 乃至メモリセル 1 0 0 [n, 1] のそれぞれが有するトランジスタ R T r を十分なオン状態にするため、配線 R W L [k] を除いた配線 R W L [1] 乃至配線 R W L [n] に高レベル電位が供給される。

[0 2 7 1]

一方、メモリセル100[k, 1]が有するトランジスタ $R T r$ は、メモリセル100[k, 1]に保持されているデータに応じてオン状態とオフ状態を切り替えるため、配線RWL[k]の電位は、メモリセル100[k, 1]に当該データを書き込んだ時と同じ電位にする必要がある。なお、ここでは、書き込み動作時および読み出し動作時における配線RWL[k]の電位を低レベル電位として考える。

[0272]

例えば、ノードN1[1]に+3V、ノードN2[1]に0Vの電位を与える。そして、ノードN2[1]をフローティング状態にして、その後のノードN2[1]の電位を測定する。配線RWL[k]を除いた配線RWL[1]乃至配線RWL[n]の電位を高レベル電位とした場合、メモリセル100[k, 1]を除いたメモリセル100[1, 1]乃至メモリセル100[n, 1]のそれぞれが有するトランジスタ $R T r$ が十分なオン状態となる。

[0273]

一方、メモリセル100[k, 1]が有するトランジスタ $R T r$ のソースとドレインの間の電圧は、当該トランジスタ $R T r$ のゲートの電位とノードN1[1]の電位によって定まるため、ノードN2[1]の電位はメモリセル100[k, 1]の記憶ノードに保持されたデータに応じて決まる。

[0274]

このようにして、メモリセル100[k, 1]に保持されているデータを読み出すことができる。

[0275]

上述を踏まえた上で、図25Bのタイミングチャートを用いて読み出し動作例を説明する。期間T20において、配線WWL[1]乃至配線WWL[n]、配線RWL[1]乃至配線RWL[n]、配線WBL、ノードN1[1]、およびノードN2[1]のそれぞれの電位は、低レベル電位となっている。特に、ノードN2[1]は、フローティング状態となっている。そして、メモリセル100[1, 1]乃至メモリセル100[n, 1]の記憶ノードには、それぞれデータD[1]乃至データD[n]が保持されているものとする。

[0276]

期間T21において、配線RWL[1]には、低レベル電位が供給され、配線RWL[2]乃至配線RWL[n]には、高レベル電位が供給される。これにより、メモリセル100[2, 1]乃至メモリセル100[n, 1]のそれぞれが有するトランジスタ $R T r$ が十分なオン状態となる。そして、メモリセル100[1, 1]のトランジスタ $R T r$ は、メモリセル100[1, 1]の記憶ノードに保持されているデータD[1]に応じてオン状態とオフ状態が決定される。

[0277]

また、配線RBL[1]に電位VRを供給する。これにより、ノードN1[1]の電位はVRとなり、ノードN2[1]の電位は、ノードN1[1]の電位VRとメモリセル100[1, 1]の記憶ノードに保持されたデータとに応じて決まる。ここでは、ノードN2[1]の電位を、VD[1]とする。そして、ノードN2[1]の電位VD[1]を測定することによって、メモリセル100[1, 1]の記憶ノードに保持されたデータD[1]を読み出すことができる。

[0278]

期間T22において、配線RWL[1]乃至配線RWL[n]には、低レベル電位が供給される。また、ノードN2[1]には、低レベル電位が供給され、その後、ノードN2[1]はフローティング状態となる。つまり、期間T22において、配線RWL[1]乃至配線RWL[n]、ノード

N 2 [1] のそれぞれの電位は、期間 T 2 0 と同じになる。なお、配線 R B L [1] には、引き続き、電位 V R を供給してもよく、または、低レベル電位を供給してもよい。本動作例では、配線 R B L [1] は、期間 T 2 1 以降、電位 V R が供給され続けるものとする。よって、ノード N 1 [1] に電位 V R が供給され続けるものとする。

[0 2 7 9]

期間 T 2 3 において、配線 R W L [2] には、低レベル電位が供給され、配線 R W L [1] 、配線 R W L [3] 乃至配線 R W L [n] には、高レベル電位が供給される。これにより、メモリセル 1 0 0 [1 , 1] 、メモリセル 1 0 0 [3 , 1] 乃至メモリセル 1 0 0 [n , 1] のそれぞれが有するトランジスタ R T r が十分なオン状態となる。そして、メモリセル 1 0 0 [2 , 1] のトランジスタ R T r は、メモリセル 1 0 0 [2 , 1] の記憶ノードに保持されているデータ D [2] に応じてオン状態とオフ状態が決定される。また、配線 R B L [1] には電位 V R が供給されている。これにより、ノード N 2 [1] の電位は、ノード N 1 [1] の電位 V R とメモリセル 1 0 0 [2 , 1] の記憶ノードに保持されたデータに応じて決まる。ここでは、ノード N 2 [1] の電位を、V D [2] とする。そして、ノード N 2 [1] の電位 V D [2] を測定することによって、メモリセル 1 0 0 [2 , 1] の記憶ノードに保持されたデータ D [2] を読み出すことができる。

[0 2 8 0]

期間 T 2 4 では、期間 T 2 2 および期間 T 2 3 の読み出し動作と同様に、メモリセル 1 0 0 [3 , 1] 乃至メモリセル 1 0 0 [n - 1 , 1] のそれぞれから順次データ D [3] 乃至データ D [n - 1] が読み出される。

[0 2 8 1]

具体的には、メモリセル 1 0 0 [k , 1] からデータ D [k] を読み出す場合、ノード N 2 [1] の電位を低レベル電位として、且つノード N 2 [1] をフローティング状態にした後に、配線 R W L [k] を除いた配線 R W L [1] 乃至配線 R W L [n] に高レベル電位を供給して、メモリセル 1 0 0 [k , 1] を除いたメモリセル 1 0 0 [1 , 1] 乃至メモリセル 1 0 0 [n , 1] が有するトランジスタ R T r を十分なオン状態にし、メモリセル 1 0 0 [k , 1] が有するトランジスタ R T r をデータ D [k] に応じたオン状態にする。次に、ノード N 1 [1] の電位を V R にすることで、ノード N 2 [1] の電位は、データ D [k] に応じた電位となり、この電位を測定することで、データ D [k] を読み出すことができる。なお、メモリセル 1 0 0 [k , 1] に保持されたデータ D [k] の読み出しが終わった後は、次の読み出し動作の準備として、配線 R W L [1] 乃至配線 R W L [n] に低レベル電位を供給して、ノード N 2 [1] に低レベル電位を供給し、その後、ノード N 2 [1] をフローティング状態にする。

[0 2 8 2]

期間 T 2 5 において、配線 R W L [1] 乃至配線 R W L [n] には、低レベル電位が供給される。また、ノード N 2 [1] には、低レベル電位が供給され、その後、ノード N 2 [1] をフローティング状態にする。つまり、期間 T 2 5 において、配線 R W L [1] 乃至配線 R W L [n] 、ノード N 2 [1] のそれぞれの電位は、期間 T 2 0 の状況と同じになる。

[0 2 8 3]

期間 T 2 6 において、配線 R W L [n] には、低レベル電位が供給され、配線 R W L [1] 乃至配線 R W L [n - 1] には、高レベル電位が供給される。これにより、メモリセル 1 0 0 [1 , 1] 乃至メモリセル 1 0 0 [n - 1 , 1] のそれぞれが有するトランジスタ R T r が十分なオン状態と

なる。そして、メモリセル100[n, 1]のトランジスタ RTr は、メモリセル100[n, 1]の記憶ノードに保持されているデータ $D[n]$ に応じたオン状態となる。また、配線 $RBL[1]$ には電位 VR が引き続き供給されている。これにより、ノード $N2[1]$ の電位は、ノード $N1[1]$ の電位 VR とメモリセル100[n, 1]の記憶ノードに保持されたデータとに応じて決まる。ここでは、ノード $N2[1]$ の電位を、 $VD[n]$ とする。そして、ノード $N2[1]$ の電位 $VD[n]$ を測定することによって、メモリセル100[n, 1]の記憶ノードに保持されたデータ $D[n]$ を読み出すことができる。

[0284]

このようにしてメモリセル100[1, 1]乃至メモリセル100[n, 1]に保持されているデータを読み出すことができる。

[0285]

なお、本実施の形態では、メモリストリング200[1]に着目して読み出し動作を説明したが、半導体装置300の回路構成では、メモリストリング200[1]だけでなく、メモリストリング200[2]乃至メモリストリング200[m]のデータ読み出しも同時に行なうことができる。また、トランジスタ WTr をオフ状態にすることで、データ読み出し動作時も記憶ノードに保持されているデータは破損されない。よって、任意のメモリストリング200に含まれているデータのみを読み出すことができる。

[0286]

<半導体装置の構造例>

次に、半導体装置300の構造例について説明する。

[0287]

図26A乃至図26Cは、半導体装置300の一部を示した模式図の一例である。図26Aは当該半導体装置の一部の斜視図を示しており、図26Bは、当該半導体装置の一部の上面図を示している。更に、図26Cは、図26Bの一点鎖線 $Z1-Z2$ に対応する断面図を示している。

[0288]

当該半導体装置は、配線 WL （配線 WWL または配線 RWL ）と、絶縁体（図26A乃至図26Cでハッチングを付していない領域）と、が積層された構造体を有する。

[0289]

当該構造体に対して、絶縁体と、配線 WL と、を一括で貫通するような開口部が形成されている。そして、配線 WL が貫通された領域 AR にメモリセル100を設けるために、当該開口部に構造体130が形成されている。

[0290]

図26Aでは、構造体の内部に有する構造体130を破線で図示している。構造体130が形成されている領域を、領域 SA と示す。メモリストリング200は構造体130に沿って形成されるため、メモリストリング200は領域 SA に形成される。

[0291]

ところで、配線 WL が露出している領域 TM は、配線 WL に電位を与えるための接続端子として機能する。つまり、領域 TM において配線 WL と配線を電氣的に接続することによって、メモリセル100が有するトランジスタのゲートに電位を与えることができる。なお、配線 WL は、導電体103または導電体102に相当する。

[0292]

なお、領域TMの形状は、図26A乃至図26Cに示した構成例に限定されない。本発明の一態様に係る半導体装置300の構成は、例えば、図27A乃至図27Cに示すように、領域TM上に絶縁体が形成され、当該絶縁体に開口部が設けられ、当該開口部を埋めるように導電体PGが形成された構成としてもよい。

[0293]

図27Aは当該半導体装置の一部の斜視図を示しており、図27Bは、当該半導体装置の一部の上面図を示している。更に、図27Cは、図27Bの一点鎖線Z1-Z2に対応する断面図を示している。なお、導電体PG上には、配線ERが形成されており、これによって、配線ERと、配線WLと、が電氣的に接続される。図27Aでは構造体の内部に設けられる導電体PGを破線で図示している。

[0294]

<周辺回路との接続例>

本発明の一態様に係る半導体装置300は、その下層に読み出し回路、プリチャージ回路などのメモリセルアレイの周辺回路を形成してもよい。この場合、シリコン基板などの上にSiトランジスタを形成して当該周辺回路を構成し、その後、当該周辺回路上に本発明の一態様に係る半導体装置300を形成すればよい。図28Aは、周辺回路をプレーナ型のSiトランジスタで構成して、その上層に本発明の一態様に係る半導体装置300を形成した断面図である。また、図29Aは、周辺回路をFIN型のSiトランジスタで構成して、その上層に本発明の一態様に係る半導体装置300を形成した断面図である。

[0295]

図28A、図29Aにおいて、周辺回路を構成するSiトランジスタは、基板1700上に形成される。素子分離層1701は、複数のSiトランジスタの間に形成される。Siトランジスタのソースおよびドレインとして導電体1712が形成されている。導電体1730は、チャネル幅方向に延びて形成しており、他のSiトランジスタ、または導電体1712に接続されている（図示しない）。

[0296]

基板1700としては、上記実施の形態に示した基板を用いることができる。例えば、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムからなる化合物半導体基板や、SOI基板などを用いることができる。

[0297]

また、基板1700として、例えば、ガラス基板、石英基板、プラスチック基板、金属基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、または基材フィルム、などを用いてもよい。また、ある基板を用いて半導体素子を形成し、その後、別の基板に半導体素子を転置してもよい。図28A、図29Aでは、一例として、基板1700に単結晶シリコンウエハを用いた例を示している。

[0298]

図28Aおよび図29Aでは、領域SAにおいて、メモリストリング200上に設けられた導電体1221、導電体1222、導電体1223、および絶縁体1202を示している。導電体1221はメモリストリング200の端部に位置するトランジスタRTrのソースまたはドレインなどと

電氣的に接続する。

[0299]

絶縁体1202は導電体1221を覆って設けられている。導電体1222は、導電体119と重なる領域で、絶縁体1202に埋め込まれるように設けられている。導電体1223は、絶縁体1202の上方に設けられ、導電体1222を介して導電体119と電氣的に接続されている。

[0300]

また、図28Aおよび図29Aでは、導電体1223、絶縁体1202、およびメモリストリング200などを覆うように絶縁体1203形成されている。絶縁体1203として、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いることが好ましい。絶縁体1203に水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いることで、外界からの不純物（例えば、水分子、水素原子、水素分子、酸素原子、酸素分子、窒素原子、窒素分子、窒素酸化物分子（ N_2O 、 NO 、 NO_2 など））の、メモリストリング200内への拡散を抑制できる。

[0301]

ここで、Siトランジスタの詳細について説明を行う。図28Aに示すプレーナ型のSiトランジスタは、チャネル長方向の断面図を示し、図28Bに示すプレーナ型のSiトランジスタは、チャネル幅方向の断面図を示している。Siトランジスタは、ウェル1792に設けられたチャネル形成領域1793と、低濃度不純物領域1794および高濃度不純物領域1795（これらを合わせて単に不純物領域とも呼ぶ）と、該不純物領域に接して設けられた導電性領域1796と、チャネル形成領域1793上に設けられたゲート絶縁膜1797と、ゲート絶縁膜1797上に設けられたゲート電極1790と、ゲート電極1790の側面に設けられた側壁絶縁層1798、側壁絶縁層1799とを有する。なお、導電性領域1796には、金属シリサイド等を用いてもよい。

[0302]

また、図29Aに示すFIN型のSiトランジスタは、チャネル長方向の断面図を示し、図29Bに示すFIN型のSiトランジスタは、チャネル幅方向の断面図を示している。図29A、図29Bに示すSiトランジスタは、チャネル形成領域1793が凸形状を有し、その側面および上面に沿ってゲート絶縁膜1797およびゲート電極1790が設けられている。本実施の形態では、半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体層を形成してもよい。なお、図29A、図29Bに示す符号は、図28A、図28Bに示す符号と同一である。

[0303]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0304]

（実施の形態3）

本実施の形態では、本発明の一態様に係る記憶装置または半導体装置を有する半導体装置400について説明する。

[0305]

図30に、半導体装置400の構成例を示すブロック図を示す。図30に示す半導体装置400は、駆動回路410と、メモリアレイ420と、を有する。メモリアレイ420は、1以上のメモリストリング200を有する。図30では、メモリアレイ420がマトリクス状に配置された複数のメ

モリストリング 200 を有する例を示している。

[0306]

駆動回路 410 は、PSW241（パワースイッチ）、PSW242、および周辺回路 415 を有する。周辺回路 415 は、周辺回路 411（Row Decoder）、コントロール回路 412（Control Circuit）、および電圧生成回路 428 を有する。

[0307]

半導体装置 400 において、各回路、各信号および各電圧は、必要に応じて、適宜取捨することができる。あるいは、他の回路または他の信号を追加してもよい。信号 BW、信号 CE、信号 GW、信号 CLK、信号 WAKE、信号 ADDR、信号 WDA、信号 PON1、信号 PON2 は外部からの入力信号であり、信号 RDA は外部への出力信号である。信号 CLK はクロック信号である。

[0308]

また、信号 BW、CE、および信号 GW は制御信号である。信号 CE はチップイネーブル信号であり、信号 GW はグローバル書き込みイネーブル信号であり、信号 BW はバイト書き込みイネーブル信号である。信号 ADDR はアドレス信号である。信号 WDA は書き込みデータであり、信号 RDA は読み出しデータである。信号 PON1、信号 PON2 は、パワーゲーティング制御用信号である。なお、信号 PON1、信号 PON2 は、コントロール回路 412 で生成してもよい。

[0309]

コントロール回路 412 は、半導体装置 400 の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路は、信号 CE、信号 GW および信号 BW を論理演算して、半導体装置 400 の動作モード（例えば、書き込み動作、読み出し動作）を決定する。または、コントロール回路 412 は、この動作モードが実行されるように、周辺回路 411 の制御信号を生成する。

[0310]

電圧生成回路 428 は負電圧を生成する機能を有する。信号 WAKE は、信号 CLK の電圧生成回路 428 への入力を制御する機能を有する。例えば、信号 WAKE として H レベルの信号が与えられると、信号 CLK が電圧生成回路 428 へ入力され、電圧生成回路 428 は負電圧を生成する。

[0311]

周辺回路 411 は、メモリストリング 200 に対するデータの書き込みおよび読み出しをするための回路である。周辺回路 411 は、行デコーダ 441、列デコーダ 442（Column Decoder）、行ドライバ 423（Row Driver）、列ドライバ 424（Column Driver）、入力回路 425（Input Cir.）、出力回路 426（Output Cir.）、センスアンプ 427（Sense Amplifier）を有する。

[0312]

行デコーダ 441 および列デコーダ 442 は、信号 ADDR をデコードする機能を有する。行デコーダ 441 は、アクセスする行を指定するための回路であり、列デコーダ 442 は、アクセスする列を指定するための回路である。行ドライバ 423 は、行デコーダ 441 が指定する配線 WL を選択する機能を有する。列ドライバ 424 は、データをメモリストリング 200 に書き込む機能、メモリストリング 200 からデータを読み出す機能、読み出したデータを保持する機能等を有する。

[0313]

入力回路 425 は、信号 WDA を保持する機能を有する。入力回路 425 が保持するデータは、列ドライバ 424 に出力される。入力回路 425 の出力データが、メモリストリング 200 に書き込

むデータ（D i n）である。列ドライバ424がメモリストリング200から読み出したデータ（D o u t）は、出力回路426に出力される。出力回路426は、D o u tを保持する機能を有する。また、出力回路426は、D o u tを半導体装置400の外部に出力する機能を有する。出力回路426から出力されるデータが信号R D Aである。

〔0314〕

P S W 2 4 1は周辺回路415へのV D Dの供給を制御する機能を有する。P S W 2 4 2は、行ドライバ423へのV H Mの供給を制御する機能を有する。ここでは、半導体装置400の高電源電圧がV D Dであり、低電源電圧はG N D（接地電位）である。また、V H Mは、ワード線を高レベルにするために用いられる高電源電圧であり、V D Dよりも高い。信号P O N 1によってP S W 2 4 1のオン・オフが制御され、信号P O N 2によってP S W 2 4 2のオン・オフが制御される。図30では、周辺回路415において、V D Dが供給される電源ドメインの数を1としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

〔0315〕

半導体装置400が有する駆動回路410とメモリアレイ420は同一平面上に設けてもよい。また、図31に示すように、駆動回路410とメモリアレイ420を重ねて設けてもよい。駆動回路410とメモリアレイ420を重ねて設けることで、信号伝搬距離を短くすることができる。また、図31では半導体装置400の一部を拡大した斜視図を付記している。

〔0316〕

また、半導体装置400は、駆動回路410が有するコントロール回路412に、C P U（C e n t r a l P r o c e s s i n g U n i t）やG P U（G r a p h i c s P r o c e s s i n g U n i t）などの演算処理装置を用いてもよい。C P Uおよび／またはG P Uなどを用いることで、演算処理機能を有する半導体装置400が実現できる。

〔0317〕

前述したように、メモリストリング200はR A Mとして機能できる。よって、メモリアレイ420の一部をメインメモリやキャッシュメモリとして機能させることができる。また、前述したように、メモリストリング200はフラッシュメモリとして機能できる。よって、メモリアレイ420の一部をフラッシュメモリとして機能させることができる。本発明の一態様に係る半導体装置400は、ユニバーサルメモリとして機能できる。

〔0318〕

また、本発明の一態様によれば、C P U、N A N D型フラッシュメモリ、およびキャッシュメモリとしての機能を、同一のチップ上に作製することができる。

〔0319〕

図31に示す半導体装置400は、C P Uを含む駆動回路410と、メモリアレイ420に本発明の一態様に係る3 D O S N A N D型の記憶装置と、を有する。本発明の一態様に係る3 D O S N A N D型の記憶装置は、キャッシュメモリとしての機能と、フラッシュメモリとしての機能を有する。

〔0320〕

図32には、ホスト450が複数の半導体装置400を管理する様子が示されている。個々の半導体装置400は演算処理機能を有し、フラッシュメモリおよびキャッシュメモリへの、書き込みおよび読み出しの並列化を行うことができる。ホスト450が複数の半導体装置400を管理するこ

とで、非ノイマンコンピューティングを実現する情報処理システムを構築できる。

[0321]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0322]

(実施の形態4)

本実施の形態では、上記の実施の形態に示した記憶装置などの半導体装置を備えることができる演算処理装置の一例について説明する。

[0323]

図33に、中央演算処理装置1100のブロック図を示す。図33では、中央演算処理装置1100に用いることができる構成例としてCPUの構成例を示している。

[0324]

図33に示す中央演算処理装置1100は、基板1190上に、ALU1191（ALU：Arithmetic logic unit、演算回路）、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198）、キャッシュ1199、およびキャッシュインターフェース1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。書き換え可能なROMおよびROMインターフェースを有してもよい。また、キャッシュ1199およびキャッシュインターフェース1189は、別チップに設けてもよい。

[0325]

キャッシュ1199は、別チップに設けられたメインメモリとキャッシュインターフェース1189を介して接続される。キャッシュインターフェース1189は、メインメモリに保持されているデータの一部をキャッシュ1199に供給する機能を有する。キャッシュ1199は、当該データを保持する機能を有する。

[0326]

図33に示す中央演算処理装置1100は、その構成を簡略化して示した一例にすぎず、実際の中央演算処理装置1100はその用途によって多種多様な構成を有している。例えば、図33に示す中央演算処理装置1100または演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成、つまりGPUのような構成としてもよい。また、中央演算処理装置1100が内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

[0327]

バスインターフェース1198を介して中央演算処理装置1100に入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

[0328]

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体

的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、中央演算処理装置1100のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、中央演算処理装置1100の状態に応じてレジスタ1196の読み出しや書き込みを行なう。

[0329]

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

[0330]

図33に示す中央演算処理装置1100では、レジスタ1196およびキャッシュ1199に、記憶装置が設けられている。当該記憶装置として、例えば、先の実施の形態に示した記憶装置などを用いることができる。

[0331]

図33に示す中央演算処理装置1100において、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

[0332]

上記実施の形態に示した半導体装置400と中央演算処理装置1100は、重ねて設けることができる。図34Aおよび図34Bに半導体装置1150Aの斜視図を示す。半導体装置1150Aは、中央演算処理装置1100上に、記憶装置として機能する半導体装置400を有する。中央演算処理装置1100と半導体装置400は、互いに重なる領域を有する。半導体装置1150Aの構成を分かりやすくするため、図34Bでは中央演算処理装置1100および半導体装置400を分離して示している。

[0333]

半導体装置400と中央演算処理装置1100を重ねて設けることで、両者の接続距離を短くすることができる。よって、両者間の通信速度を高めることができる。また、接続距離が短いため消費電力を低減できる。

[0334]

上記実施の形態で示したように、半導体装置400にOS NAND型の記憶装置を用いることで、半導体装置400が有する複数のメモリストリング200のうち、一部または全部のメモリストリング200をRAMとして機能させることができる。よって、半導体装置400はメインメモリとして機能することができる。メインメモリとして機能する半導体装置400は、キャッシュインターフェース1189を介してキャッシュ1199と接続される。

[0335]

半導体装置400をメインメモリ（RAM）として機能させるか、ストレージとして機能させるかは、図30に示したコントロール回路412によって制御される。コントロール回路412は、中央演算処理装置1100から供給された信号に基づいて、半導体装置400が有する複数のメモリストリング200の一部または全部をRAMとして機能させることができる。

[0336]

半導体装置400は、複数のメモリストリング200のうち、一部のメモリストリング200をRAMとして機能させ、他のメモリストリング200をストレージとして機能させることができる。半導体装置400にOS NAND型の記憶装置を用いることで、キャッシュとしての機能と、メインメモリとしての機能と、ストレージとしての機能と、を併せ持つことができる。本発明の一態様に係る半導体装置400は、例えば、ユニバーサルメモリとして機能できる。

[0337]

また、半導体装置400をメインメモリとして用いる場合、その記憶容量は必要に応じて増減できる。また、半導体装置400をキャッシュとして用いる場合、その記憶容量は必要に応じて増減できる。

[0338]

また、図30に示したコントロール回路412は、半導体装置400のストレージとして機能する領域とメインメモリとして機能する領域の間でデータを移動または複製する際に、エラー検出および訂正を行う機能（ECC：Error Check and Correct、ともいう）を有していてもよい。また、コントロール回路412は、半導体装置400のメインメモリとして機能する領域とキャッシュ1199の間でデータを移動または複製する際に、ECCを行う機能を有していてもよい。

[0339]

また、中央演算処理装置1100と重ねて、複数の半導体装置400を設けてもよい。図35Aおよび図35Bに半導体装置1150Bの斜視図を示す。半導体装置1150Bは、中央演算処理装置1100上に、半導体装置400aおよび半導体装置400bを有する。中央演算処理装置1100、半導体装置400a、および半導体装置400bは、互いに重なる領域を有する。半導体装置1150Bの構成を分かりやすくするため、図35Bでは中央演算処理装置1100、半導体装置400aおよび半導体装置400bを分離して示している。

[0340]

半導体装置400aおよび半導体装置400bは、記憶装置として機能する。例えば、半導体装置400aとしてNOR型の記憶装置を用いてもよい。また、半導体装置400bとしてNAND型の記憶装置を用いてもよい。半導体装置400aおよび半導体装置400bの双方がNAND型の記憶装置であってもよい。NOR型の記憶装置はNAND型の記憶装置よりも高速動作が可能なため、例えば、半導体装置400aの一部をメインメモリおよび／またはキャッシュ1199として用いることもできる。なお、半導体装置400aと半導体装置400bの重ね順は逆でもよい。

[0341]

図36Aおよび図36Bに半導体装置1150Cの斜視図を示す。半導体装置1150Cは、半導体装置400aと半導体装置400bの間に中央演算処理装置1100を挟む構成を有する。よって、中央演算処理装置1100、半導体装置400a、および半導体装置400bは、互いに重な

る領域を有する。半導体装置 1 1 5 0 C の構成を分かりやすくするため、図 3 6 B では中央演算処理装置 1 1 0 0、半導体装置 4 0 0 a および半導体装置 4 0 0 b を分離して示している。

[0 3 4 2]

半導体装置 1 1 5 0 C の構成にすることで、半導体装置 4 0 0 a と中央演算処理装置 1 1 0 0 の間の通信速度と、半導体装置 4 0 0 b と中央演算処理装置 1 1 0 0 の間の通信速度の双方を高めることができる。また、半導体装置 1 1 5 0 B よりも消費電力を低減できる。

[0 3 4 3]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0 3 4 4]

(実施の形態 5)

本実施の形態では、上記実施の形態に示す半導体装置などが形成された半導体ウェハ、および当該半導体装置が組み込まれた電子部品の一例を示す。

[0 3 4 5]

<半導体ウェハ>

初めに、半導体装置などが形成された半導体ウェハの例を、図 3 7 A を用いて説明する。

[0 3 4 6]

図 3 7 A に示す半導体ウェハ 4 8 0 0 は、ウェハ 4 8 0 1 と、ウェハ 4 8 0 1 の上面に設けられた複数の回路部 4 8 0 2 と、を有する。なお、ウェハ 4 8 0 1 の上面において、回路部 4 8 0 2 の無い部分は、スペーシング 4 8 0 3 であり、ダイシング用の領域である。

[0 3 4 7]

半導体ウェハ 4 8 0 0 は、ウェハ 4 8 0 1 の表面に対して、前工程によって複数の回路部 4 8 0 2 を形成することで作製することができる。また、その後に、ウェハ 4 8 0 1 の複数の回路部 4 8 0 2 が形成された反対側の面を研削して、ウェハ 4 8 0 1 の薄膜化してもよい。この工程により、ウェハ 4 8 0 1 の反りなどを低減し、部品としての小型化を図ることができる。

[0 3 4 8]

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブライン S C L 1 およびスクライブライン S C L 2 (ダイシングライン、または切断ラインと呼ぶ場合がある) に沿って行われる。なお、スペーシング 4 8 0 3 は、ダイシング工程を容易に行うために、複数のスクライブライン S C L 1 が平行になるように設け、複数のスクライブライン S C L 2 が平行になるように設け、スクライブライン S C L 1 とスクライブライン S C L 2 が垂直になるように設けるのが好ましい。

[0 3 4 9]

ダイシング工程を行うことにより、図 3 7 B に示すようなチップ 4 8 0 0 a を、半導体ウェハ 4 8 0 0 から切り出すことができる。チップ 4 8 0 0 a は、ウェハ 4 8 0 1 a と、回路部 4 8 0 2 と、スペーシング 4 8 0 3 a と、を有する。なお、スペーシング 4 8 0 3 a は、極力小さくなるようにするのが好ましい。この場合、隣り合う回路部 4 8 0 2 の間のスペーシング 4 8 0 3 の幅が、スクライブライン S C L 1 の切りしろと、またはスクライブライン S C L 2 の切りしろとほぼ同等の長さであればよい。

[0 3 5 0]

なお、本発明の一態様の素子基板の形状は、図37Aに図示した半導体ウェハ4800の形状に限定されない。例えば、矩形の形状の半導体ウェハあってもよい。素子基板の形状は、素子の作製工程、および素子を作製するための装置に応じて、適宜変更することができる。

[0351]

<電子部品>

図37Cに電子部品4700および電子部品4700が実装された基板（実装基板4704）の斜視図を示す。図37Cに示す電子部品4700は、モールド4711内にチップ4800aを有している。チップ4800aとして、本発明の一態様に係る記憶装置などを用いることができる。

[0352]

図37Cは、電子部品4700の内部を示すために、一部を省略している。電子部品4700は、モールド4711の外側にランド4712を有する。ランド4712は電極パッド4713と電氣的に接続され、電極パッド4713はチップ4800aとワイヤ4714によって電氣的に接続されている。電子部品4700は、例えばプリント基板4702に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板4702上で電氣的に接続されることで実装基板4704が完成する。

[0353]

図37Dに電子部品4730の斜視図を示す。電子部品4730は、SiP（System in package）またはMCM（Multi Chip Module）の一例である。電子部品4730は、パッケージ基板4732（プリント基板）上にインターポーザ4731が設けられ、インターポーザ4731上に半導体装置4735、および複数の半導体装置4710が設けられている。

[0354]

半導体装置4710としては、例えば、チップ4800a、上記実施の形態で説明した半導体装置、広帯域メモリ（HBM：High Bandwidth Memory）などとすることができる。また、半導体装置4735は、CPU、GPU、FPGA、記憶装置などの集積回路（半導体装置）を用いることができる。

[0355]

パッケージ基板4732は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ4731は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

[0356]

インターポーザ4731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ4731は、インターポーザ4731上に設けられた集積回路をパッケージ基板4732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ4731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板4732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV（Through Silicon Via）を用いることも出来る。

[0357]

インターポーザ 4 7 3 1 としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0 3 5 8]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0 3 5 9]

また、シリコンインターポーザを用いた S i P や MCM などでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する 2 . 5 D パッケージ（2 . 5 次元実装）では、シリコンインターポーザを用いることが好ましい。

[0 3 6 0]

また、電子部品 4 7 3 0 と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ 4 7 3 1 上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品 4 7 3 0 では、半導体装置 4 7 1 0 と半導体装置 4 7 3 5 の高さを揃えることが好ましい。

[0 3 6 1]

電子部品 4 7 3 0 を他の基板に実装するため、パッケージ基板 4 7 3 2 の底部に電極 4 7 3 3 を設けてもよい。図 3 7 D では、電極 4 7 3 3 を半田ボールで形成する例を示している。パッケージ基板 4 7 3 2 の底部に半田ボールをマトリクス状に設けることで、BGA（Ball Grid Array）実装を実現できる。また、電極 4 7 3 3 を導電性のピンで形成してもよい。パッケージ基板 4 7 3 2 の底部に導電性のピンをマトリクス状に設けることで、PGA（Pin Grid Array）実装を実現できる。

[0 3 6 2]

電子部品 4 7 3 0 は、BGA および PGA に限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA（Staggered Pin Grid Array）、LGA（Land Grid Array）、QFP（Quad Flat Package）、QFJ（Quad Flat J-leaded package）、またはQFN（Quad Flat Non-leaded package）などの実装方法を用いることができる。

[0 3 6 3]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

[0 3 6 4]

（実施の形態 6）

本実施の形態では、本発明の一態様に係る記憶装置の応用例について説明する。

[0 3 6 5]

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置が用いられる。図 3 8

Aに、半導体装置に用いられる各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速い動作速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図38Aでは、最上層から順に、CPUなどの演算処理装置にレジスタ（register）として混載されるメモリ、SRAM（Static Random Access Memory）、DRAM（Dynamic Random Access Memory）、3D NANDメモリを示している。

[0366]

CPUなどの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

[0367]

SRAMは、例えばキャッシュ（cache）に用いられる。キャッシュは、メインメモリ（main memory）に保持されているデータの一部を複製して保持する機能を有する。使用頻度が高いデータを複製してキャッシュに保持しておくことで、データへのアクセス速度を高めることができる。キャッシュに求められる記憶容量はメインメモリより少ないが、メインメモリよりも速い動作速度が求められる。また、キャッシュで書き換えられたデータは複製されてメインメモリに供給される。

[0368]

DRAMは、例えばメインメモリに用いられる。メインメモリは、ストレージ（storage）から読み出されたプログラムやデータを保持する機能を有する。DRAMの記録密度は、おおよそ0.1 Gbit/mm²乃至0.3 Gbit/mm²である。

[0369]

3D NANDメモリは、例えばストレージに用いられる。ストレージは、長期保存が必要なデータや、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。ストレージに用いられる記憶装置の記録密度は、おおよそ0.6 Gbit/mm²乃至6.0 Gbit/mm²である。

[0370]

本発明の一態様に係る記憶装置は、動作速度が速く、長期間のデータ保持が可能である。本発明の一態様に係る記憶装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方を含む境界領域901に位置する記憶装置として好適に用いることができる。また、本発明の一態様に係る記憶装置は、メインメモリが位置する階層とストレージが位置する階層の双方を含む境界領域902に位置する記憶装置として好適に用いることができる。

[0371]

また、本発明の一態様に係る記憶装置は、メインメモリが位置する階層とストレージが位置する階層の双方に好適に用いることができる。また、本発明の一態様に係る記憶装置は、キャッシュが位置する階層に好適に用いることができる。図38Bに、図38Aとは異なる各種の記憶装置の階層を示す。

[0372]

図38Bでは、最上層から順に、CPUなどの演算処理装置にレジスタとして混載されるメモリ、キャッシュとして用いられるSRAM、3D OS NANDメモリを示している。キャッシュ、

メインメモリ、およびストレージに本発明の一態様に係る記憶装置を用いることができる。なお、キャッシュとして1GHz以上の高速なメモリが求められる場合は、当該キャッシュはCPUなどの演算処理装置に混載される。

[0373]

本発明の一態様に係る記憶装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルスチルカメラ、ビデオカメラ、録画再生装置、ナビゲーションシステム、ゲーム機など）の記憶装置に適用できる。また、イメージセンサ、IoT（Internet of Things）、ヘルスケアなどに用いることもできる。なお、ここで、コンピュータとは、タブレット型のコンピュータや、ノート型のコンピュータや、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。

[0374]

本発明の一態様に係る記憶装置を有する電子機器の一例について説明する。なお、図39A乃至図39J、図40A乃至図40Eには、当該記憶装置を有する電子部品4700または電子部品4730が各電子機器に含まれている様子を図示している。

[0375]

[携帯電話]

図39Aに示す情報端末5500は、情報端末の一種である携帯電話（スマートフォン）である。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

[0376]

情報端末5500は、本発明の一態様に係る記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイル（例えば、ウェブブラウザの使用時のキャッシュなど）を保持することができる。

[0377]

[ウェアラブル端末]

また、図39Bには、ウェアラブル端末の一例である情報端末5900が図示されている。情報端末5900は、筐体5901、表示部5902、操作スイッチ5903、操作スイッチ5904、バンド5905などを有する。

[0378]

ウェアラブル端末は、先述した情報端末5500と同様に、本発明の一態様に係る記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

[0379]

[情報端末]

また、図39Cには、デスクトップ型情報端末5300が図示されている。デスクトップ型情報端末5300は、情報端末の本体5301と、表示部5302と、キーボード5303と、を有する。

[0380]

デスクトップ型情報端末5300は、先述した情報端末5500と同様に、本発明の一態様に係る記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

[0381]

なお、上述では、電子機器としてスマートフォン、ウェアラブル端末、デスクトップ用情報端末を例として、それぞれ図39A乃至図39Cに図示したが、スマートフォン、ウェアラブル端末、デスクトップ用情報端末以外の情報端末を適用することができる。スマートフォン、ウェアラブル端末、デスクトップ用情報端末以外の情報端末としては、例えば、PDA（Personal Digital Assistant）、ノート型情報端末、ワークステーションなどが挙げられる。

[0382]

[電化製品]

また、図39Dには、電化製品の一例として電気冷凍冷蔵庫5800が図示されている。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。例えば、電気冷凍冷蔵庫5800は、IoT（Internet of Things）に対応した電気冷凍冷蔵庫である。

[0383]

電気冷凍冷蔵庫5800に本発明の一態様に係る記憶装置を適用することができる。電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、その食材の消費期限などの情報を、インターネットなどを通じて、情報端末などに送受信することができる。電気冷凍冷蔵庫5800は、当該情報を送信する際に生成される一時的なファイルを、当該記憶装置に保持することができる。

[0384]

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0385]

[ゲーム機]

また、図39Eには、ゲーム機の一例である携帯ゲーム機5200が図示されている。携帯ゲーム機5200は、筐体5201、表示部5202、ボタン5203等を有する。

[0386]

更に、図39Fには、ゲーム機の一例である据え置き型ゲーム機7500が図示されている。据え置き型ゲーム機7500は、本体7520と、コントローラ7522を有する。なお、本体7520には、無線または有線によってコントローラ7522を接続することができる。また、図39Fには示していないが、コントローラ7522は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネルやスティック、回転式つまみ、スライド式つまみなどを備えることができる。また、コントローラ7522は、図39Fに示す形状に限定されず、ゲームのジャンルに応じて、コントローラ7522の形状を様々に変更してもよい。例えば、FPS（First Person Shooter）などのシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームなどでは、楽器、音楽機器などを模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォンなどを備えて、ゲームプレイヤーのジェスチャー、および／または音声によって操作する形式としてもよい。

[0387]

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイなどの表示装置によって、出力することができる。

〔0388〕

携帯ゲーム機5200または据え置き型ゲーム機7500に上記実施の形態で説明した記憶装置を適用することによって、低消費電力の携帯ゲーム機5200または低消費電力の据え置き型ゲーム機7500を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

〔0389〕

更に、携帯ゲーム機5200または据え置き型ゲーム機7500に上記実施の形態で説明した記憶装置を適用することによって、ゲームの実行中に発生する演算に必要な一時ファイルなどの保持をおこなうことができる。

〔0390〕

ゲーム機の一例として図39Eに携帯ゲーム機を示す。また、図39Fに家庭用の据え置き型ゲーム機を示す。なお、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

〔0391〕

〔移動体〕

上記実施の形態で説明した記憶装置は、移動体である自動車、および自動車の運転席周辺に適用することができる。

〔0392〕

図39Gには移動体の一例である自動車5700が図示されている。

〔0393〕

自動車5700の運転席周辺には、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供するインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

〔0394〕

特に当該表示装置には、自動車5700に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーなどで遮られた視界、運転席の死角などを補うことができ、安全性を高めることができる。すなわち、自動車5700の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。

〔0395〕

上記実施の形態で説明した記憶装置は、情報を一時的に保持することができるため、例えば、当該記憶装置を自動車5700の自動運転システムや道路案内、危険予測などを行うシステムなどにおける、必要な一時的な情報の保持に用いることができる。当該表示装置には、道路案内、危険予測などの一時的な情報を表示する構成としてもよい。また、自動車5700に備え付けられたドライビングレコーダの映像を保持する構成としてもよい。

〔0396〕

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができる。

[0397]

[カメラ]

上記実施の形態で説明した記憶装置は、カメラに適用することができる。

[0398]

図39Hには、撮像装置の一例であるデジタルカメラ6240が図示されている。デジタルカメラ6240は、筐体6241、表示部6242、操作スイッチ6243、シャッターボタン6244等を有し、また、デジタルカメラ6240には、着脱可能なレンズ6246が取り付けられている。なお、ここではデジタルカメラ6240を、レンズ6246を筐体6241から取り外して交換することが可能な構成としたが、レンズ6246と筐体6241とが一体となってもよい。また、デジタルカメラ6240は、ストロボ装置や、ビューファインダー等を別途装着することができる構成としてもよい。

[0399]

デジタルカメラ6240に上記実施の形態で説明した記憶装置を適用することによって、低消費電力のデジタルカメラ6240を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0400]

[ビデオカメラ]

上記実施の形態で説明した記憶装置は、ビデオカメラに適用することができる。

[0401]

図39Iには、撮像装置の一例であるビデオカメラ6300が図示されている。ビデオカメラ6300は、第1筐体6301、第2筐体6302、表示部6303、操作スイッチ6304、レンズ6305、接続部6306等を有する。操作スイッチ6304およびレンズ6305は第1筐体6301に設けられており、表示部6303は第2筐体6302に設けられている。そして、第1筐体6301と第2筐体6302とは、接続部6306により接続されており、第1筐体6301と第2筐体6302の間の角度は、接続部6306により変更が可能である。表示部6303における映像を、接続部6306における第1筐体6301と第2筐体6302との間の角度に従って切り替える構成としてもよい。

[0402]

ビデオカメラ6300で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。上述した記憶装置を利用することによって、ビデオカメラ6300は、エンコードの際に発生する一時的なファイルの保持を行うことができる。

[0403]

[ICD]

上記実施の形態で説明した記憶装置は、植え込み型除細動器（ICD）に適用することができる。

[0404]

図39Jは、ICDの一例を示す断面模式図である。ICD本体5400は、バッテリー5401

と、電子部品 4 7 0 0 と、レギュレータと、制御回路と、アンテナ 5 4 0 4 と、右心房へのワイヤ 5 4 0 2、右心室へのワイヤ 5 4 0 3 とを少なくとも有している。

[0 4 0 5]

I C D 本体 5 4 0 0 は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈 5 4 0 5 および上大静脈 5 4 0 6 を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

[0 4 0 6]

I C D 本体 5 4 0 0 は、ペースメーカとしての機能を有し、心拍数が規定の範囲から外れた場合に心臓に対してペーシングを行う。また、ペーシングによって心拍数が改善しない場合（速い心室頻拍や心室細動など）、電気ショックによる治療が行われる。

[0 4 0 7]

I C D 本体 5 4 0 0 は、ペーシングおよび電気ショックを適切に行うため、心拍数を常に監視する必要がある。そのため、I C D 本体 5 4 0 0 は、心拍数を検知するためのセンサを有する。また、I C D 本体 5 4 0 0 は、当該センサなどによって取得した心拍数のデータ、ペーシングによる治療を行った回数、時間などを電子部品 4 7 0 0 に記憶することができる。

[0 4 0 8]

また、アンテナ 5 4 0 4 で電力が受信でき、その電力はバッテリー 5 4 0 1 に充電される。また、I C D 本体 5 4 0 0 は複数のバッテリーを有することにより、安全性を高くすることができる。具体的には、I C D 本体 5 4 0 0 の一部のバッテリーが使えなくなったとしても残りのバッテリーが機能させることができるため、補助電源としても機能する。

[0 4 0 9]

また、電力を受信できるアンテナ 5 4 0 4 とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、体温などの生理信号を外部のモニタ装置で確認できるような心臓活動を監視するシステムを構成してもよい。

[0 4 1 0]

[P C 用の拡張デバイス]

上記実施の形態で説明した記憶装置は、P C (P e r s o n a l C o m p u t e r) などの計算機、情報端末用の拡張デバイスに適用することができる。

[0 4 1 1]

図 4 0 A は、当該拡張デバイスの一例として、持ち運びのできる、情報の記憶が可能なチップが搭載された、P C に外付けする拡張デバイス 6 1 0 0 を示している。拡張デバイス 6 1 0 0 は、例えば、U S B (U n i v e r s a l S e r i a l B u s) などで P C に接続することで、当該チップによる情報の記憶を行うことができる。なお、図 4 0 A は、持ち運びが可能な形態の拡張デバイス 6 1 0 0 を図示しているが、本発明の一態様に係る拡張デバイスは、これに限定されず、例えば、冷却用ファンなどを搭載した比較的大きい形態の拡張デバイスとしてもよい。

[0 4 1 2]

拡張デバイス 6 1 0 0 は、筐体 6 1 0 1、キャップ 6 1 0 2、U S B コネクタ 6 1 0 3 および基板 6 1 0 4 を有する。基板 6 1 0 4 は、筐体 6 1 0 1 に収納されている。基板 6 1 0 4 には、上記実施の形態で説明した記憶装置などを駆動する回路が設けられている。例えば、基板 6 1 0 4 には、電子部品 4 7 0 0、コントローラチップ 6 1 0 6 が取り付けられている。U S B コネクタ 6 1 0 3

は、外部装置と接続するためのインターフェースとして機能する。

[0413]

[SDカード]

上記実施の形態で説明した記憶装置は、情報端末やデジタルカメラなどの電子機器に取り付けが可能なSDカードに適用することができる。

[0414]

図40BはSDカードの外観の模式図であり、図40Cは、SDカードの内部構造の模式図である。SDカード5110は、筐体5111、コネクタ5112および基板5113を有する。コネクタ5112が外部装置と接続するためのインターフェースとして機能する。基板5113は筐体5111に収納されている。基板5113には、記憶装置および記憶装置を駆動する回路が設けられている。例えば、基板5113には、電子部品4700、コントローラチップ5115が取り付けられている。なお、電子部品4700とコントローラチップ5115とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、電子部品に備えられている書き込み回路、ロードライバ、読み出し回路などは、電子部品4700でなく、コントローラチップ5115に組み込んだ構成としてもよい。

[0415]

基板5113の裏面側にも電子部品4700を設けることで、SDカード5110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板5113に設けてもよい。これによって、外部装置とSDカード5110との間で無線通信を行うことができ、電子部品4700のデータの読み出し、書き込みが可能となる。

[0416]

[SSD]

上記実施の形態で説明した記憶装置は、情報端末など電子機器に取り付けが可能なSSD (Solid State Drive) に適用することができる。

[0417]

図40DはSSDの外観の模式図であり、図40Eは、SSDの内部構造の模式図である。SSD5150は、筐体5151、コネクタ5152および基板5153を有する。コネクタ5152が外部装置と接続するためのインターフェースとして機能する。基板5153は筐体5151に収納されている。基板5153には、記憶装置および記憶装置を駆動する回路が設けられている。例えば、基板5153には、電子部品4700、メモリチップ5155、コントローラチップ5156が取り付けられている。基板5153の裏面側にも電子部品4700を設けることで、SSD5150の容量を増やすことができる。メモリチップ5155にはワークメモリが組み込まれている。例えば、メモリチップ5155には、DRAMチップを用いればよい。コントローラチップ5156には、プロセッサ、ECC回路などが組み込まれている。なお、電子部品4700と、メモリチップ5155と、コントローラチップ5156と、のそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、コントローラチップ5156にも、ワークメモリとして機能するメモリを設けてもよい。

[0418]

[計算機]

図41Aに示す計算機5600は、大型の計算機の例である。計算機5600には、ラック561

0にラックマウント型の計算機5620が複数格納されている。

[0419]

計算機5620は、例えば、図41Bに示す斜視図の構成とすることができる。図41Bにおいて、計算機5620は、マザーボード5630を有し、マザーボード5630は、複数のスロット5631、複数の接続端子を有する。スロット5631には、PCカード5621が挿されている。加えて、PCカード5621は、接続端子5623、接続端子5624、接続端子5625を有し、それぞれ、マザーボード5630に接続されている。

[0420]

図41Cに示すPCカード5621は、CPU、GPU、記憶装置などを備えた処理ボードの一例である。PCカード5621は、ボード5622を有する。また、ボード5622は、接続端子5623と、接続端子5624と、接続端子5625と、半導体装置5626と、半導体装置5627と、半導体装置5628と、接続端子5629と、を有する。なお、図41Cには、半導体装置5626、半導体装置5627、および半導体装置5628以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置5626、半導体装置5627、および半導体装置5628の説明を参酌すればよい。

[0421]

接続端子5629は、マザーボード5630のスロット5631に挿することができる形状を有しており、接続端子5629は、PCカード5621とマザーボード5630とを接続するためのインターフェースとして機能する。接続端子5629の規格としては、例えば、PCIeなどが挙げられる。

[0422]

接続端子5623、接続端子5624、接続端子5625は、例えば、PCカード5621に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、PCカード5621によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子5623、接続端子5624、接続端子5625のそれぞれの規格としては、例えば、USB (Universal Serial Bus)、SATA (Serial ATA)、SCSI (Small Computer System Interface) などが挙げられる。また、接続端子5623、接続端子5624、接続端子5625から映像信号を出力する場合、それぞれの規格としては、HDMI (登録商標) などが挙げられる。

[0423]

半導体装置5626は、信号の入出力を行う端子 (図示しない。) を有しており、当該端子をボード5622が備えるソケット (図示しない。) に対して差し込むことで、半導体装置5626とボード5622を電氣的に接続することができる。

[0424]

半導体装置5627は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5627とボード5622を電氣的に接続することができる。半導体装置5627としては、例えば、FPGA (Field Programmable Gate Array)、GPU、CPUなどが挙げられる。半導体装置5627として、例えば、電子部品4730を用いることができる。

[0425]

半導体装置 5 6 2 8 は、複数の端子を有しており、当該端子をボード 5 6 2 2 が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置 5 6 2 8 とボード 5 6 2 2 を電氣的に接続することができる。半導体装置 5 6 2 8 としては、例えば、記憶装置などが挙げられる。半導体装置 5 6 2 8 として、例えば、電子部品 4 7 0 0 を用いることができる。

[0 4 2 6]

計算機 5 6 0 0 は並列計算機としても機能できる。計算機 5 6 0 0 を並列計算機として用いることで、例えば、人工知能の学習、および推論に必要な大規模の計算を行うことができる。

[0 4 2 7]

上記の各種電子機器などに、本発明の一態様の半導体装置を用いることにより、電子機器の小型化、高速化、または低消費電力化を図ることができる。また、本発明の一態様の半導体装置は消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、およびモジュールへの悪影響を低減できる。また、本発明の一態様の半導体装置を用いることにより、高温環境下においても動作が安定した電子機器を実現できる。よって、電子機器の信頼性を高めることができる。

[0 4 2 8]

続いて、計算機 5 6 0 0 に適用可能なコンピュータシステムの構成例について説明する。図 4 2 は、コンピュータシステム 7 0 0 の構成例を説明する図である。コンピュータシステム 7 0 0 はソフトウェア (S o f t w a r e) とハードウェア (H a r d w a r e) を含んで構成される。なお、コンピュータシステムが含むハードウェアを情報処理装置という場合がある。

[0 4 2 9]

コンピュータシステム 7 0 0 を構成するソフトウェアとしては、デバイスドライバを含むオペレーティングシステム、ミドルウェア、各種の開発環境、A I に関するアプリケーションプログラム (A I A p p l i c a t i o n) 、 A I に無関係なアプリケーションプログラム (A p p l i c a t i o n) などがある。

[0 4 3 0]

デバイスドライバには、補助記憶装置、表示装置、およびプリンタなどの外部接続機器を制御するためのアプリケーションプログラムなどが含まれる。

[0 4 3 1]

コンピュータシステム 7 0 0 を構成するハードウェアは、第 1 演算処理装置、第 2 演算処理装置、および第 1 記憶装置などを有する。また、第 2 演算処理装置は、第 2 記憶装置を有する。

[0 4 3 2]

第 1 演算処理装置としては、例えば、N o f f O S C P U などの中央演算処理装置を用いるとよい。N o f f O S C P U は、O S トランジスタを用いた記憶手段 (例えば、不揮発性メモリ) を有し、動作が必要ない場合には、必要な情報を記憶手段に保持して、中央演算処理装置への電力供給を停止する機能を有する。第 1 演算処理装置として N o f f O S C P U を用いることで、コンピュータシステム 7 0 0 の消費電力を低減できる。

[0 4 3 3]

第 2 演算処理装置としては、例えば、G P U や F P G A などを用いることができる。なお、第 2 演算処理装置として、A I O S A c c e l e r a t o r を用いることが好ましい。A I O S A c c e l e r a t o r は O S トランジスタを用いて構成され、積和演算回路などの演算手段を有

する。AI OS Acceleratorは一般のGPUなどよりも消費電力が少ない。第2演算処理装置としてAI OS Acceleratorを用いることで、コンピュータシステム700の消費電力を低減できる。

[0434]

第1記憶装置および第2記憶装置として本発明の一態様に係る記憶装置を用いることが好ましい。例えば、3D OS NAND型の記憶装置を用いることが好ましい。3D OS NAND型の記憶装置はキャッシュ、メインメモリ、およびストレージとして機能することができる。また、3D OS NAND型の記憶装置を用いることで非ノイマン型のコンピュータシステムの実現が容易になる。

[0435]

3D OS NAND型の記憶装置は、Siトランジスタを用いた3D NAND型の記憶装置よりも消費電力が少ない。記憶装置として3D OS NAND型の記憶装置を用いることで、コンピュータシステム700の消費電力を低減できる。加えて、3D OS NAND型の記憶装置は、ユニバーサルメモリとして機能できるため、コンピュータシステム700を構成するための部品点数を低減できる。

[0436]

ハードウェアを構成する半導体装置を、OSトランジスタを含む半導体装置で構成することで、中央演算処理装置、演算処理装置、および記憶装置を含むハードウェアのモノリシック化が容易になる。ハードウェアをモノリシック化することで、小型化、軽量化、薄型化だけでなく、さらなる消費電力の低減が容易となる。

[0437]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0438]

(実施の形態7)

本明細書などに示したOSメモリを用いて、ノーマリーオフCPU（「No f f－CPU」ともいう。）を実現することができる。なお、No f f－CPUとは、ゲート電圧が0Vであっても非導通状態（オフ状態ともいう）であるノーマリーオフ型のトランジスタを含む集積回路である。

[0439]

No f f－CPUは、No f f－CPU内の動作不要な回路への電力供給を停止し、当該回路を待機状態にすることができる。電力供給が停止され、待機状態になった回路では電力が消費されない。よって、No f f－CPUは、電力使用量を最小限にすることができる。また、No f f－CPUは、電力供給が停止されても設定条件などの動作に必要な情報を長期間保持することができる。待機状態からの復帰は当該回路への電力供給を再開するだけでよく、設定条件などの再書き込みが不要である。すなわち、待機状態からの高速復帰が可能である。このように、No f f－CPUは、動作速度を大きく落とすことなく消費電力を低減できる。

[0440]

No f f－CPUは、例えば、IoT（Internet of Things）分野のIoT末端機器（「エンドポイントマイコン」ともいう。）803などの小規模システムに好適に用いることができる。

[0441]

図43にI o Tネットワークの階層構造と要求仕様の傾向を示す。図43では、要求仕様として消費電力804と処理性能805を示している。I o Tネットワークの階層構造は、上層部であるクラウド分野801と下層部である組み込み分野802に大別される。クラウド分野801には例えばサーバーが含まれる。組み込み分野802には例えば機械、産業用ロボット、車載機器、家電などが含まれる。

[0442]

上層ほど、消費電力の少なさよりも高い処理性能が求められる。よって、クラウド分野801では高性能CPU、高性能GPU、大規模SoC (System on a Chip) などが用いられる。また、下層ほど高い処理性能よりも消費電力の少なさが求められ、デバイス個数も爆発的に多くなる。本発明の一態様に係る半導体装置は、低消費電力が求められるI o T末端機器の通信装置に好適に用いることができる。

[0443]

なお、「エンドポイント」とは、組み込み分野802の末端領域を示す。エンドポイントに用いられるデバイスとしては、例えば、工場、家電、インフラ、農業などで使用されるマイコンが該当する。

[0444]

図44にエンドポイントマイコンの応用例として、ファクトリーオートメーションのイメージ図を示す。工場884はインターネット回線 (Internet) を介してクラウド (サーバー) 883と接続される。また、クラウド883は、インターネット回線を介してホーム881およびオフィス882と接続される。インターネット回線は有線通信方式であってもよいし、無線通信方式であってもよい。例えば、無線通信方式の場合は、通信装置に本発明の一態様に係る半導体装置を用いて、第4世代移動通信システム (4G) や第5世代移動通信システム (5G) などの通信規格に沿った無線通信を行えばよい。また、工場884は、インターネット回線を介して工場885および工場886と接続してもよい。

[0445]

工場884はマスタデバイス (制御機器) 831を有する。マスタデバイス831は、クラウド883と接続し、情報の授受を行う機能を有する。また、マスタデバイス831は、I o T末端機器841に含まれる複数の産業用ロボット842と、M2M (Machine to Machine) インターフェース832を介して接続される。M2Mインターフェース832としては、例えば、有線通信方式の一種である産業イーサネット (「イーサネット」は登録商標) や、無線通信方式の一種であるローカル5Gなどを用いてもよい。

[0446]

工場の管理者は、ホーム881またはオフィス882から、クラウド883を介して工場884に接続し、稼働状況などを知ることができる。また、誤品・欠品チェック、置き場所指示、タクトタイムの計測などを行うことができる。

[0447]

近年「スマート工場」と銘打って、世界的にI o Tの工場への導入が進められている。スマート工場の事例では、エンドポイントマイコンによる単なる検査、監査だけでなく、故障検知や異常予測なども行う事例が報告されている。

[0448]

エンドポイントマイコンなどの小規模システムは、稼働時のシステム全体の消費電力が小さい場合が多いため、CPUが占める消費電力の割合が大きくなりやすい。このため、エンドポイントマイコンなどの小規模システムでは、No f f -CPUによる待機動作時の電力削減効果が大きくなる。一方で、IoTの組み込み分野では即応性が求められる場合があるが、No f f -CPUを用いることで待機動作時からの高速復帰が実現できる。

[0449]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[実施例]

[0450]

本発明の一態様に係るOSメモリを用いたNAND型メモリストリング（NAND memory string）の書き換え耐性について、デバイスシミュレーションソフトウェアを用いて評価した。本実施例では、その評価結果について説明する。書き換え耐性の評価は、synopsys社製デバイスシミュレーションソフトウェアTCAD sentaurusを用いて行った。

[0451]

図45AにOSメモリを用いたNAND型メモリストリング（「3D OS NANDストリング」ともいう。）を複数の含む半導体装置の斜視概念図を示す。図45Aに示す半導体装置は、上記実施の形態で説明した3D OS NAND型の記憶装置である。図45Aでは、NAND型メモリストリング、コントロールゲートCG（Control gates）、書き込みゲートWG（Writing gates）などを示している。

[0452]

メモリストリングを構成するメモリセル（OSメモリ）の構造は、上記実施の形態で説明したメモリセル100A（図12A参照。）の構造を想定した。図45Bにメモリセルの等価回路図を示す。図45Bに示すメモリセルは、2つのトランジスタ（トランジスタWT_rおよびトランジスタRT_r）と1つの容量素子C_sを有する2T-1C型のメモリセルである。なお、図45Bは、上記実施の形態で説明した図5Aに示す回路図と等価である。

[0453]

図45Bに示すトランジスタWT_rおよびトランジスタRT_rは、OSトランジスタである。加えて、トランジスタWT_rはフローティングゲート（FG）を有するトランジスタである。本実施例では、FGとして、ボロンを含む多結晶シリコンを想定した。

[0454]

トランジスタWT_rのゲートは書き込みゲートWGと電氣的に接続され、ソースまたはドレインの一方は書き込みビット線WBLと電氣的に接続される。トランジスタWT_rのソースまたはドレインの他方は、容量素子C_sの一方の電極とトランジスタRT_rのゲートに、電氣的に接続される。トランジスタWT_rのソースまたはドレインの他方と、容量素子C_sの一方の電極と、トランジスタRT_rのゲートと、が電氣的に接続される節点が保持ノードSNとして機能する。また、保持ノードSNは配線BWBLと電氣的に接続される。容量素子C_sの他方の電極はコントロールゲートCGと電氣的に接続される。トランジスタRT_rのソースまたはドレインの一方は、読み出しビット線RBLとトランジスタWT_rのバックゲートに、電氣的に接続される。トランジスタRT_rの

バックゲートはバックゲート線BGと電氣的に接続される。トランジスタRTrのソースまたはドレインの他方は、配線BRBLと電氣的に接続される。

[0455]

図46に、3DOS NANDストリングの書き込みおよび読み出し動作のタイミングチャートを示す。図46では、3DOS NANDストリングとして4つのメモリセルが接続された場合を示している。書き込み動作時に、書き込み対象となるメモリセルよりドレイン端子（読み出しビット線RBL）側に位置するセルにはすべて読み出しビット線RBLの電位が書き込まれる。したがって、書き込み動作は読み出しビット線RBLから遠いセルから順番に行う必要がある。なお読み出し動作は、NAND型フラッシュメモリの読み出し動作を踏襲できる。

[0456]

表2に、シミュレーションで用いた酸化物半導体の設定パラメータを示す。

[0457]

[表2]

	parameter	value	unit
conduction band	Electron affinity	4.6	eV
	Effective DOS	5×10^{18}	cm^{-3}
	Band-tail	Not defined.	
	Electron mobility	8	cm^2 / Vs
valence band	Band gap	3	eV
	Effective DOS	5×10^{18}	cm^{-3}
	Band-tail	Not defined.	
	Hole mobility	0.01	cm^2 / Vs
trap band	–	Not defined.	
	Relative permittivity	15	

[0458]

表3に、書き込み動作（Writing）／読み出し動作（Reading）などのシミュレーションで用いた電源電圧を示す。

[0459]

[表3]

Electrode	operation	voltage [V]
WG[n]	Pre-charge(OTP)	0 – 15
	Writing/Reading	0 – 4
CG[n]	Writing/Reading	0 – 4
WBL	Writing/Reading	0 – 4
RBL	Writing/Reading	0 – 1.2
BG, BWBL, BRBL	Writing/Reading	0

[0460]

トランジスタWTrのしきい値を調整するため、FGへの電荷注入を15Vで一度のみ行うが、他

の動作で用いる電源電圧は4 Vとしている。すなわち、書き込み動作時にNANDフラッシュメモリのような高い電源電圧を用いない。

[0461]

図47AにトランジスタWTrの I_d-V_{wg} 特性を示す。図47Aでは、トランジスタWTrのFGに電荷を注入する時の電圧($V_{pre}: pre-charge\ voltage$)毎の I_d-V_{wg} 特性を示している。図47Bは、トランジスタWTrのしきい値電圧(V_{th})と V_{pre} の関係を示す図である。 V_{pre} が大きくなるに従い、 V_{th} がプラス側にシフトすることがわかる。

[0462]

記憶装置では保持特性が重要になる。3D OS NAND型の記憶装置の保持特性は、トランジスタWTrの V_{th} と、ゲートに V_{th} より小さい電圧が印加されている時のソースとドレイン間を流れる電流(オフ電流)の大きさで決定される。OSトランジスタはオフ電流が極めて少ないため、トランジスタWTrに好適である。

[0463]

本実施例に係るシミュレーションは、8つのメモリセルが直列接続した3D OS NANDメモリストリングを想定して行った。図48に3D OS NANDメモリストリングの保持特性を示す。図48では直列接続した8つのメモリセルのうち、中央の2つを除いた6つのメモリセルの保持特性を示している。また、図48Aは $V_{pre}=12.5\text{ V}$ の時の保持特性を示し、図48Bは $V_{pre}=15\text{ V}$ の時の保持特性を示している。なお保持特性評価の際に書き込むデータパターンとして、チェッカーパターン(奇数番目のメモリセルに“1”を書き込み、偶数番目のメモリセルに“0”を書き込む)および反転チェッカーパターン(奇数番目のメモリセルに“0”を書き込み、偶数番目のメモリセルに“1”を書き込む)の2種類を用いた。

[0464]

図48Aおよび図48Bにおいて、横軸は経過時間($Time$)を示し、縦軸は保持ノードSNの電圧 V_{sn} を示している。図48Aおよび図48Bからわかるように、シミュレーションで用いたデバイス構造で10年($3.2 \times 10^8\text{ s}$)の保持を達成するためには、 V_{pre} を15 VにしてトランジスタWTrの V_{th} を2 V程度にする必要がある。以降、本実施例では、 V_{pre} を15 Vとした場合のシミュレーション結果について説明する。

[0465]

図49Aおよび図49Bに、メモリストリングにチェッカーパターンと反転チェッカーパターンを交互に書き込んだ場合の、メモリセルの保持特性のシミュレーション結果を示す。ここで、「メモリストリングにチェッカーパターンと反転チェッカーパターンを交互に書き込む」とは、1つのメモリセルに“1”を書き込んでから一定期間経過後に、同じメモリセルに“0”を書き込む動作を繰り返すことをいう。この時、隣接するメモリセルには常に異なるデータが書き込まれる。

[0466]

書き込み動作において、書き込みビット線WBLから遠いメモリセルほど書き込みに時間を要すると予想される。よって、配線BWBLに近いメモリセルの保持特性を調べることで、保持特性のワーストケースが予測できる。

[0467]

図49Aおよび図49Bにおいて、横軸は経過時間($Time$)を示し、縦軸は保持ノードSNの

電圧 V_{sn} を示している。図49Aは、配線BWBLに最も近いメモリセルの保持ノードSN（保持ノードSN[1]）の保持特性を示している。また、図49Bは、配線BWBLに2番目に近いメモリセルの保持ノードSN（保持ノードSN[2]）の保持特性を示している。

[0468]

図49Aおよび図49Bでは、“1”を書き込んでから10 μ s経過後に“0”を書き込んだ場合のノードSNの電圧 V_{sn} の変化と、“0”を書き込んでから10 μ s経過後に“1”を書き込んだ場合のノードSNの電圧 V_{sn} の変化を示している。保持ノードSN[2]と比較して、保持ノードSN[1]では“1”と“0”の電位差が小さいことがわかる。

[0469]

図50に、保持ノードSN[1]乃至保持ノードSN[8]において、“0”を保持している場合の読み出し電流 I_{rb1} （読み出し動作時に読み出しビット線RBLに流れる電流の大きさ）と、“1”を保持している場合の読み出し電流 I_{rb1} のシミュレーション結果を示す。なお、保持ノードSN[8]は、本実施例において書き込みビット線WBLに最も近いメモリセルに含まれる保持ノードSNである。

[0470]

図50より、保持ノードSN[2]乃至保持ノードSN[8]を含むそれぞれのメモリセルにおいて、ほぼ同様の読み出し電流 I_{rb1} が得られていることがわかる。一方で、保持ノードSN[1]を含むメモリセルでは、“1”と“0”で読み出し電流 I_{rb1} に差が見られるものの、他のメモリセルよりも読み出し電流 I_{rb1} の値が大きく外れていることがわかる。よって、配線BWBLに最も近いメモリセルは実動作に用いず、ダミーセルとして扱うことが好ましい。

[0471]

表4に、一般的なDRAMおよびNANDフラッシュメモリと、3D OS NAND型の記憶装置の比較表を示す。

[0472]

[表4]

Evaluation	DRAM	NAND Flash	3D OS NAND
Power supply	<u>3.3 V</u>	12 V	<u>4 V</u>
Endurance	<u>∞</u>	104	<u>∞</u>
Density	low	<u>High</u>	<u>High</u>
Retention	60 ms	<u>10 years</u>	<u>10 years</u>
Selector/peripheral	Complex	<u>Simple</u>	<u>Simple</u>

[0473]

シミュレーション結果より、3D OS NAND型の記憶装置は10年保持の特性を確保しつつ、電源電圧の低減が期待できることがわかった。また、3D OS NAND型の記憶装置はトランジスタを介して保持ノードにデータを保持する方式であるため、書き換え耐性はDRAMと同程度と予想される。このように、3D OS NAND型の記憶装置は、NANDフラッシュメモリの長所とDRAMの長所を併せ持つ。よって、3D OS NAND型の記憶装置は、ユニバーサルメモリとして用いることができる。

[符号の説明]

[0 4 7 4]

1 0 0 : メモリセル、1 0 1 : 絶縁体、1 0 2 : 導電体、1 0 3 : 導電体、1 0 8 : 中心軸、1 1
1 : 絶縁体、1 1 2 : 機能体、1 1 3 : 絶縁体、1 1 4 : 半導体、1 1 5 : 導電体、1 1 6 : 絶縁
体、1 1 7 : 半導体、1 1 8 : 絶縁体、1 1 9 : 導電体、1 2 0 : 空洞、1 2 1 : 絶縁体、1 3
0 : 構造体、1 3 1 : 開口、1 3 2 : 領域、1 4 0 : 積層体、2 0 0 : メモリストリング

請求の範囲

[請求項 1]

第 1 方向に延在する構造体と、
第 2 方向に延在する第 1 導電体と、
前記第 2 方向に延在する第 2 導電体と、を有し、
前記構造体は、
前記第 1 方向に延在する第 3 導電体と、
前記第 3 導電体と隣接する第 1 絶縁体と、
前記第 1 絶縁体と隣接する第 1 半導体と、
前記第 1 半導体と隣接する第 2 絶縁体と、
を有し、
前記構造体と前記第 1 導電体が交差する第 1 交差部において、
前記構造体は、
前記第 2 絶縁体と隣接する第 2 半導体と、
前記第 2 半導体と隣接する第 3 絶縁体と、
前記第 3 絶縁体と隣接する機能体と、
前記機能体と隣接する第 4 絶縁体と、
を有し、
前記構造体と前記第 2 導電体とが交差する第 2 交差部において、
前記構造体は、
前記第 2 絶縁体と隣接する第 4 導電体と、
前記第 4 導電体と隣接する前記第 2 半導体と、
前記第 2 半導体と隣接する前記第 3 絶縁体と、
を有し、
前記第 1 交差部において、
前記第 1 絶縁体、前記第 1 半導体、前記第 2 絶縁体、前記第 2 半導体、前記第 3 絶縁体、前記機能体、および前記第 4 絶縁体は、
前記第 1 方向から見て前記第 3 導電体の外側に同心状に設けられ、
前記第 2 交差部において、
前記第 1 絶縁体、前記第 1 半導体、前記第 2 絶縁体、前記第 4 導電体、前記第 2 半導体、および前記第 3 絶縁体は、
前記第 1 方向から見て前記第 3 導電体の外側に同心状に設けられている半導体装置。

[請求項 2]

請求項 1 において、
前記第 1 方向は、前記第 2 方向と直交する方向である半導体装置。

[請求項 3]

請求項 1 または請求項 2 において、
前記機能体は、絶縁体である半導体装置。

[請求項 4]

請求項 1 または請求項 2 において、

前記機能体は、半導体である半導体装置。

[請求項 5]

請求項 1 乃至請求項 4 のいずれか一項において、
前記機能体は、シリコンを含む半導体装置。

[請求項 6]

請求項 1 乃至請求項 3 のいずれか一項において、
前記機能体は、窒素およびシリコンを含む半導体装置。

[請求項 7]

請求項 1 乃至請求項 6 のいずれか一項において、
前記第 1 交差部が第 1 トランジスタとして機能し、
前記第 2 交差部が第 2 トランジスタおよび容量素子として機能する半導体装置。

[請求項 8]

請求項 7 において、
前記第 1 トランジスタは、ノーマリーオフ型である半導体装置。

[請求項 9]

請求項 7 または請求項 8 において、
前記第 2 トランジスタは、ノーマリーオン型である半導体装置。

[請求項 10]

請求項 1 乃至請求項 7 のいずれか一項において、
前記第 1 半導体がシリコンを含む半導体装置。

[請求項 11]

請求項 1 乃至請求項 10 のいずれか一項において、
前記第 2 半導体が酸化物半導体を含む半導体装置。

[請求項 12]

請求項 11 において、
前記酸化物半導体は、インジウムまたは亜鉛の少なくとも一方を含む半導体装置。

[請求項 13]

請求項 1 乃至請求項 12 のいずれか一項において、
NAND 型の記憶装置として機能する半導体装置。

[請求項 14]

請求項 1 乃至請求項 13 のいずれか一項に記載の半導体装置と、
操作スイッチ、バッテリー、および表示部の少なくとも一つと、
を有する電子機器。

1/50

図 1A

100

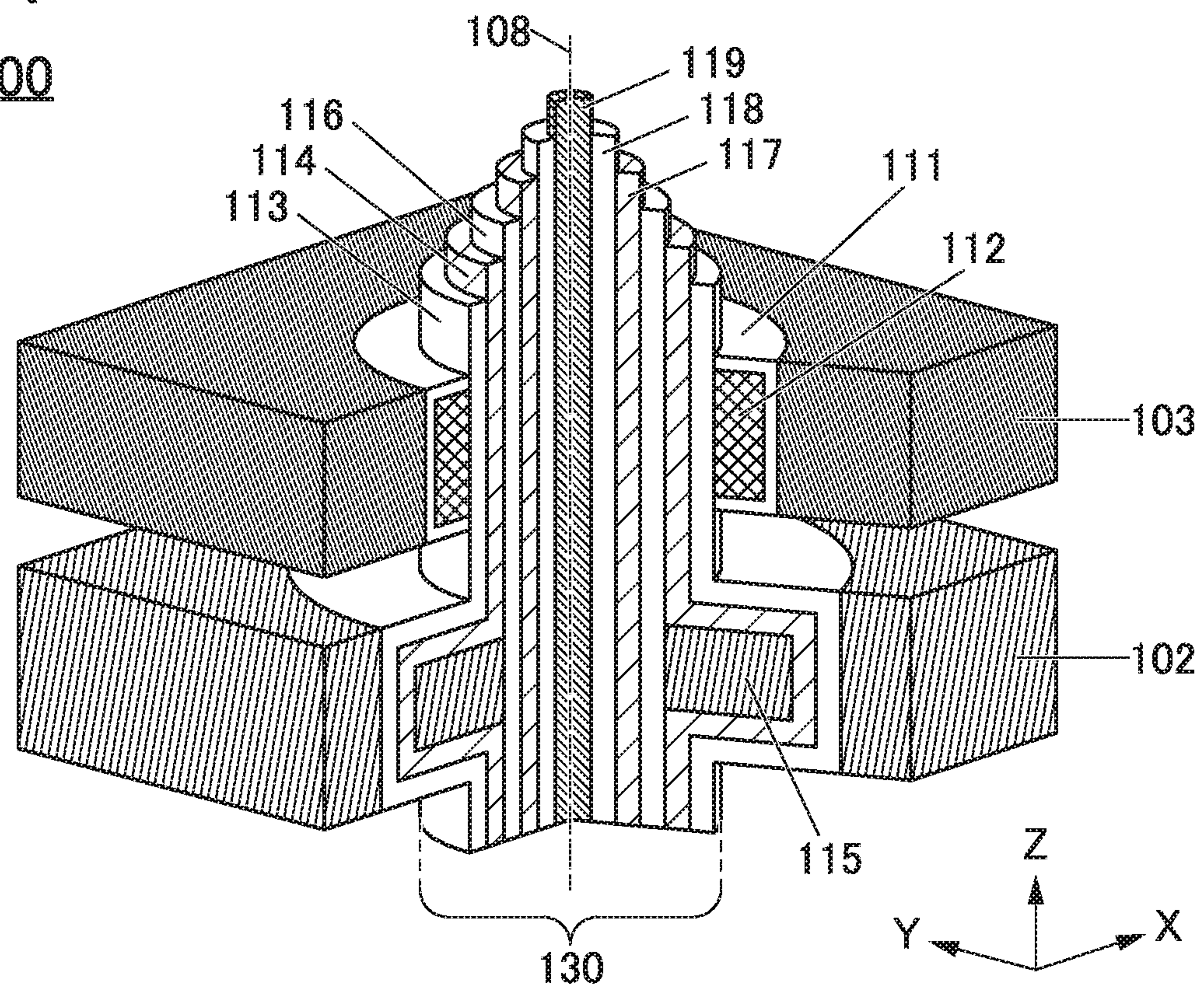
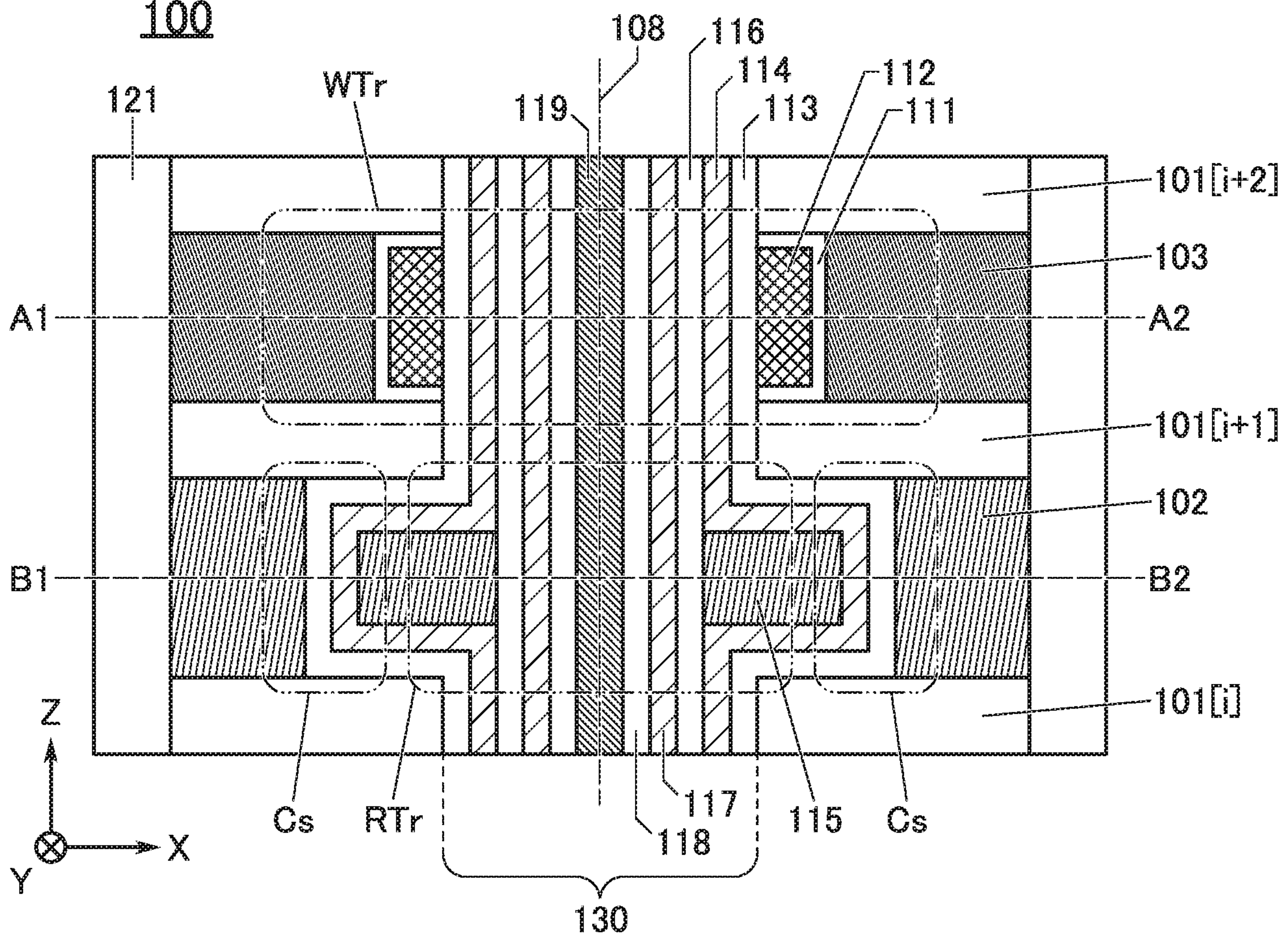
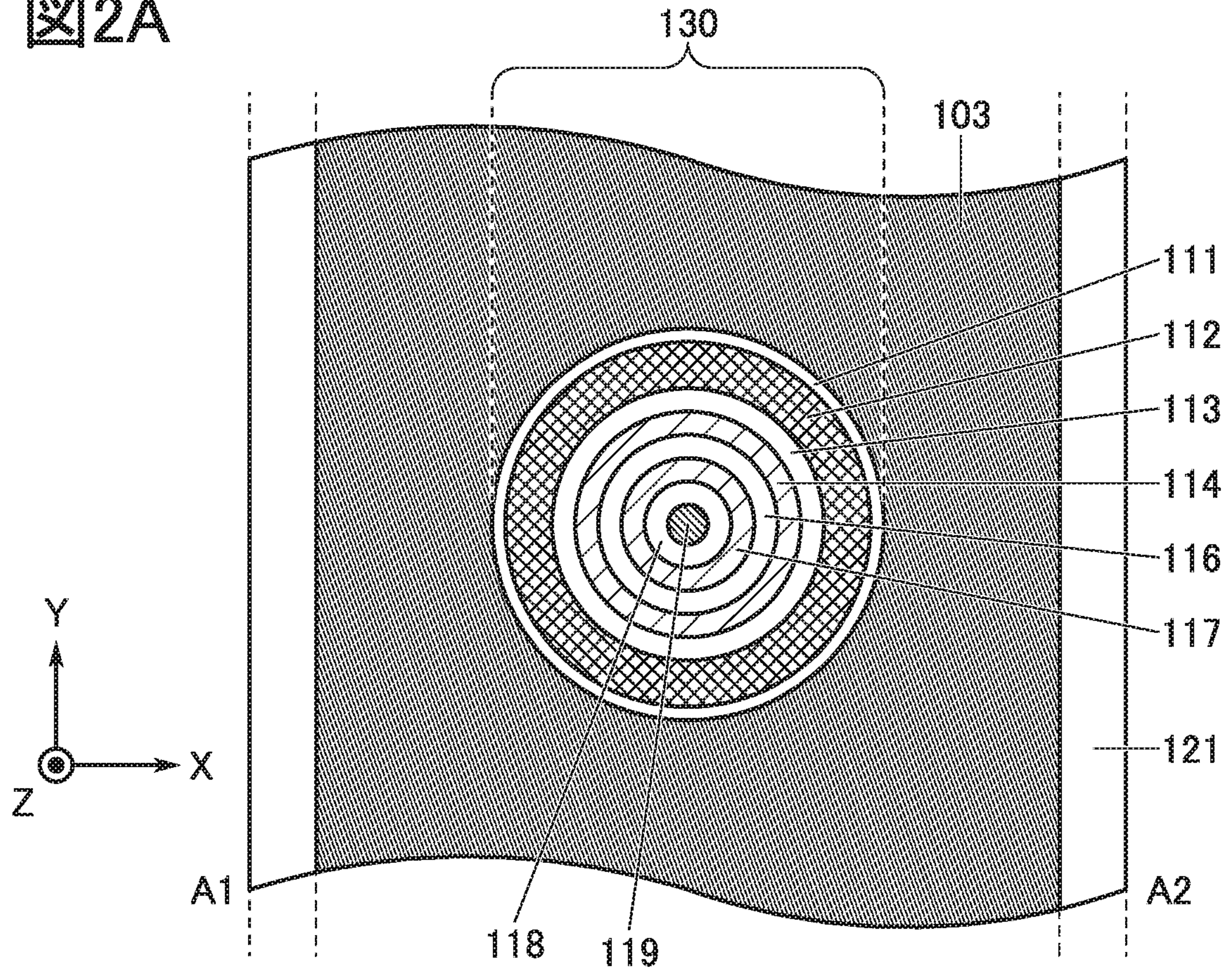


図 1B

100



2A



2B

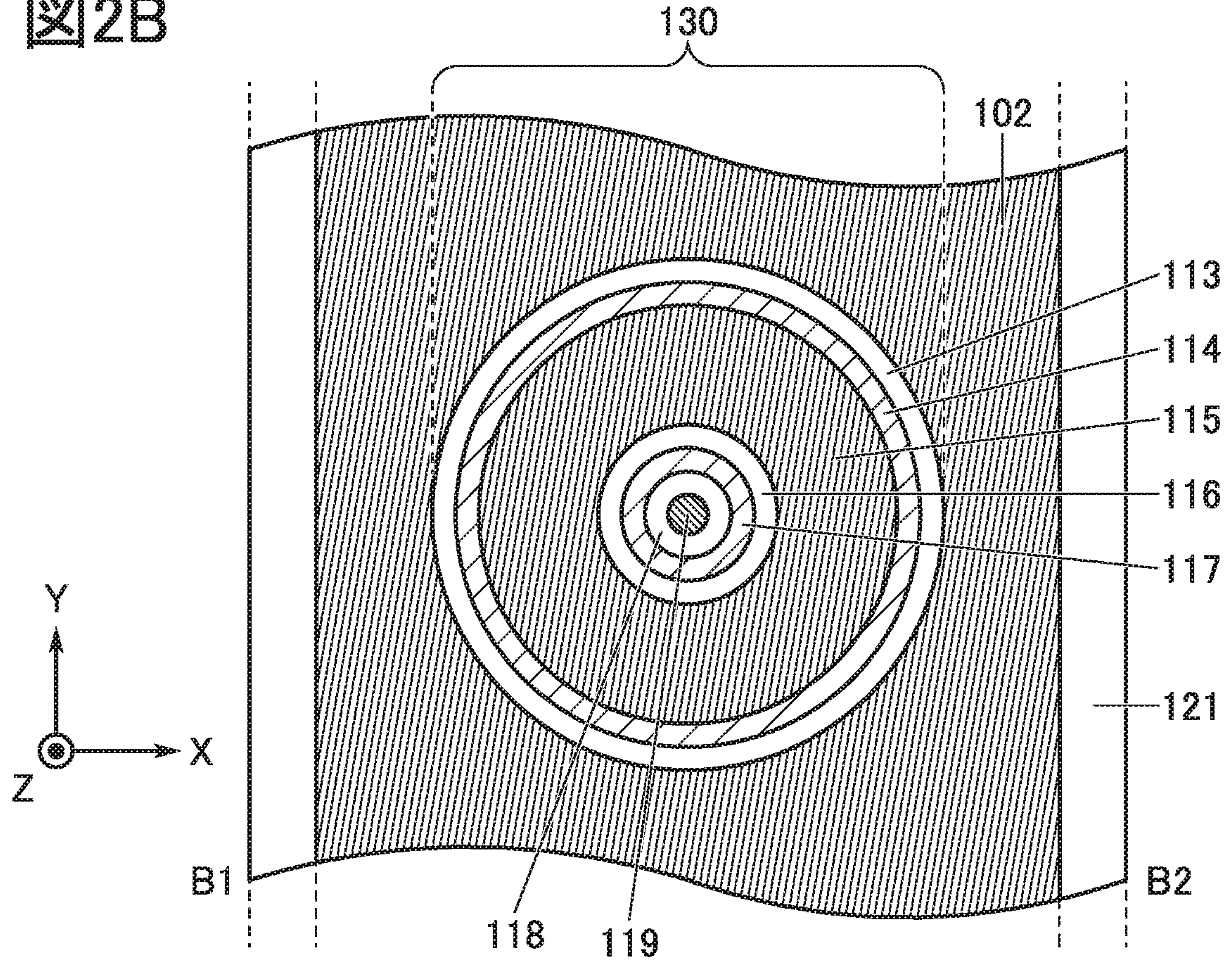


图 3

3/50

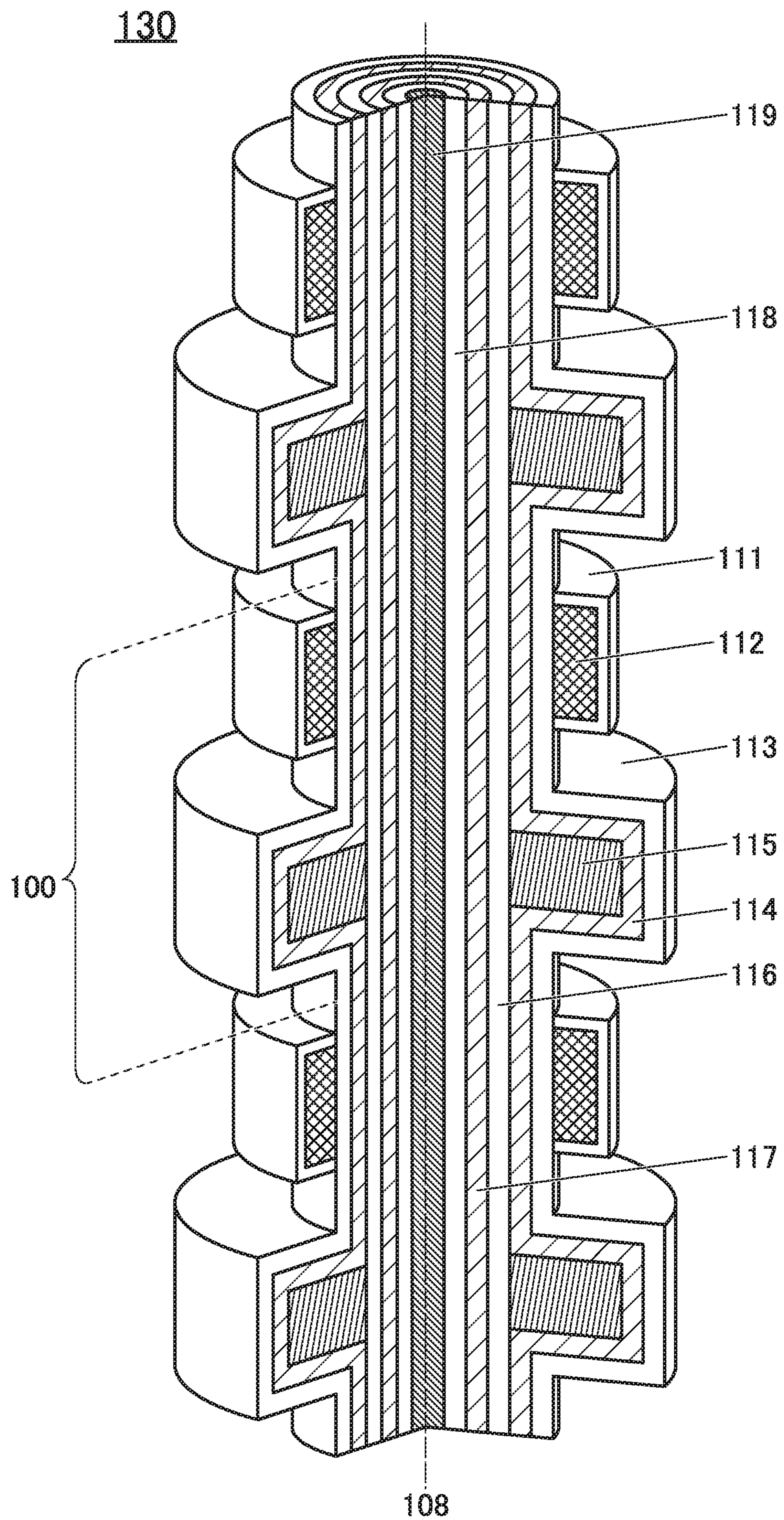


図4A

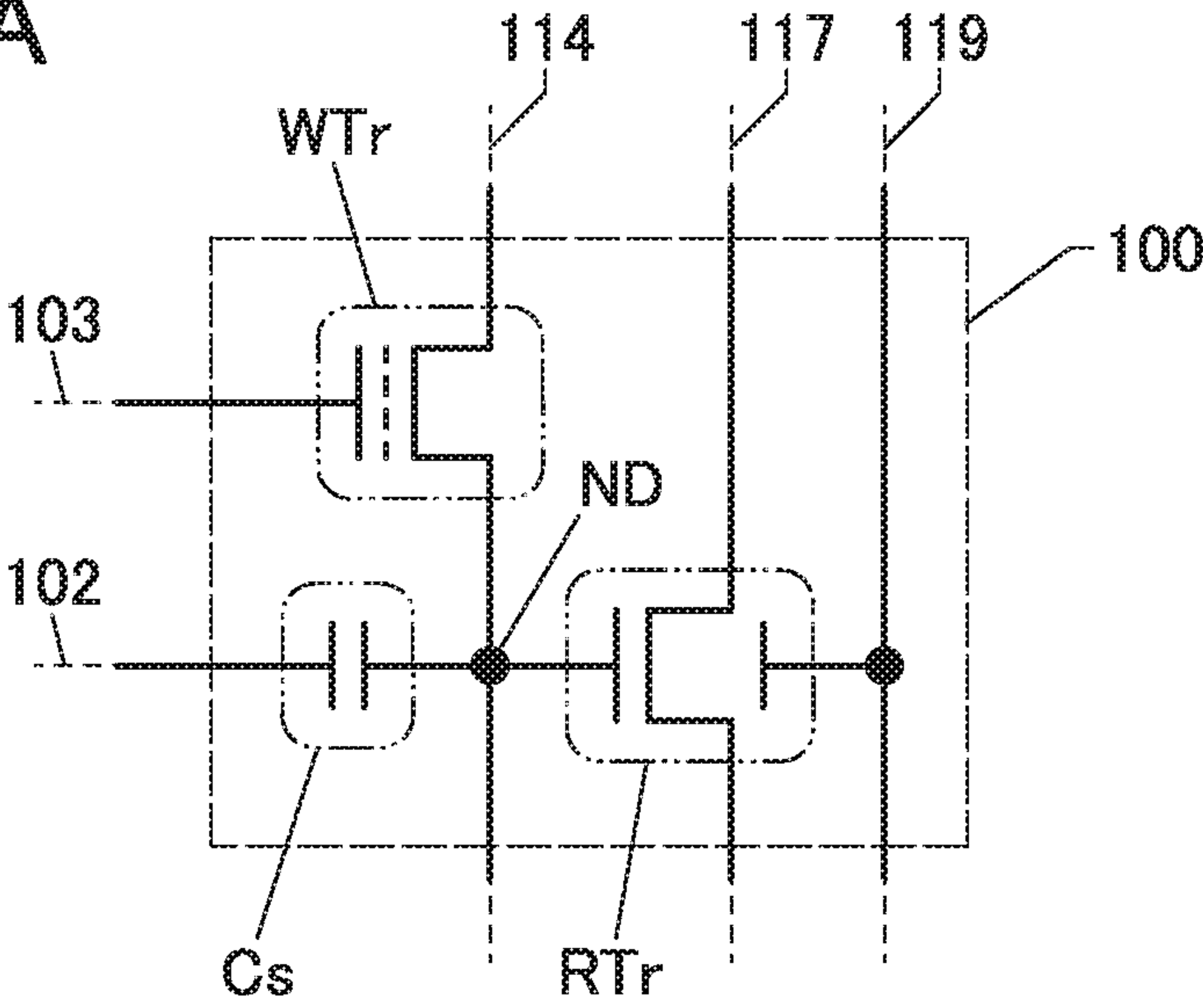


図4B

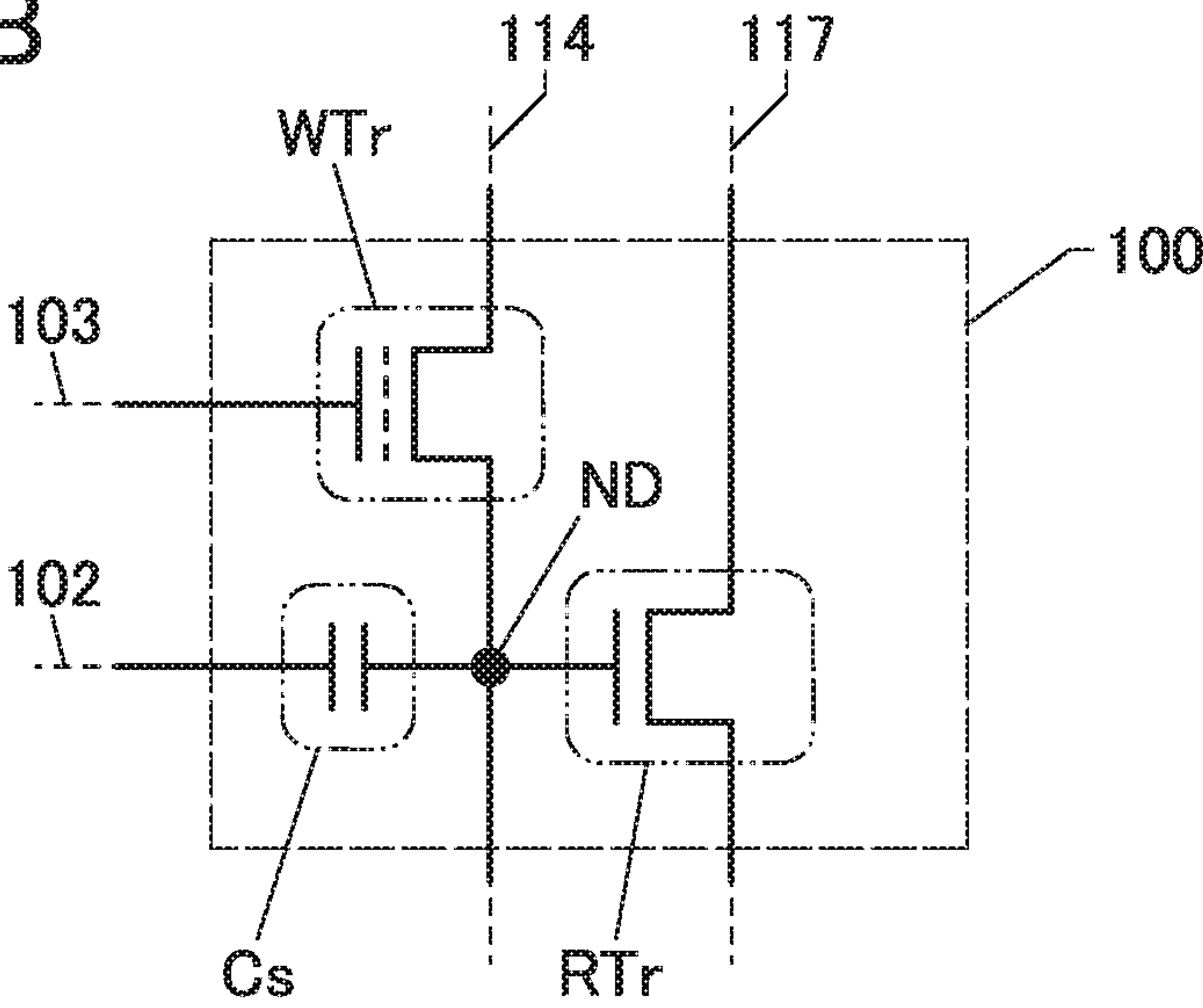


図4C

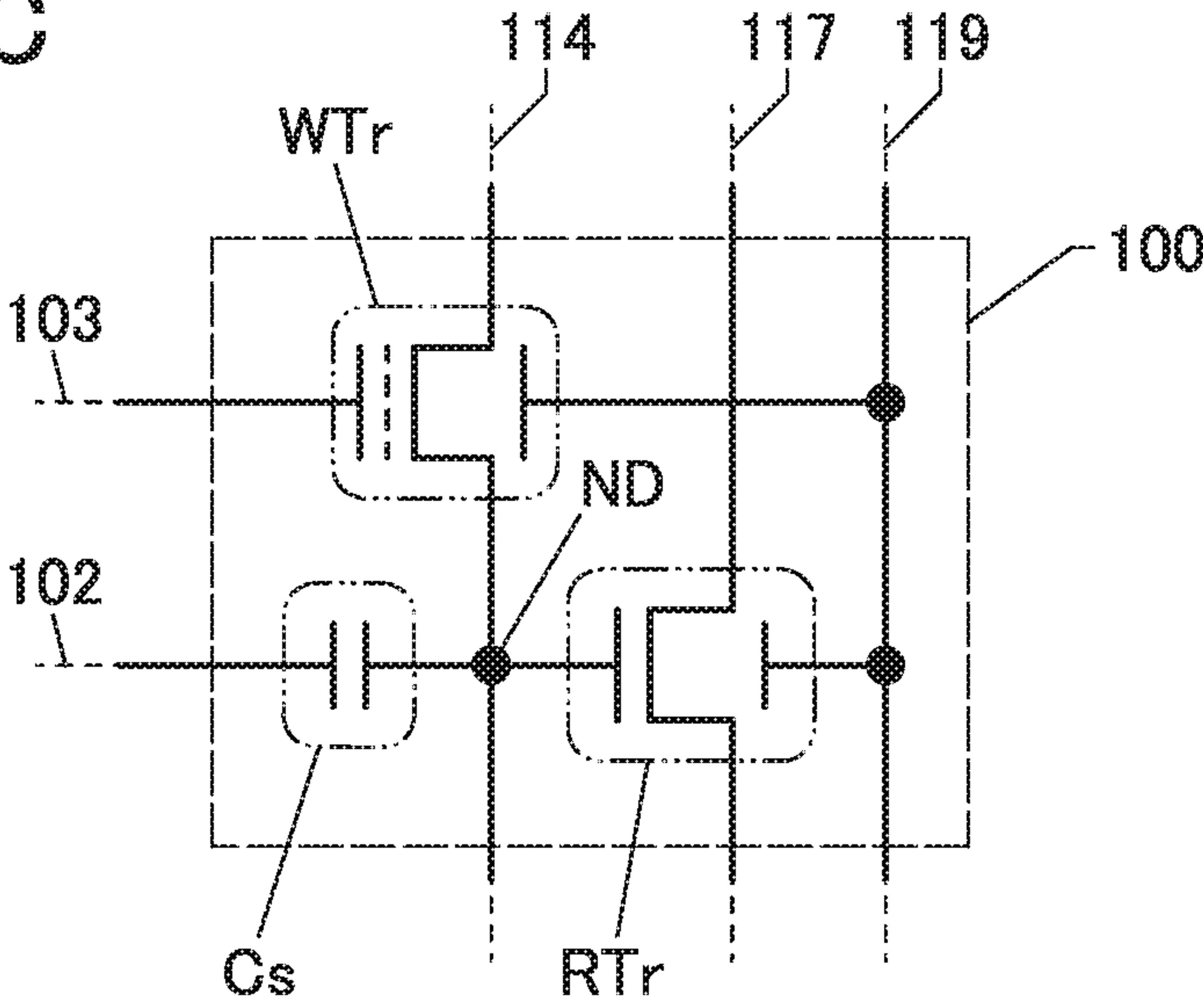


図5A

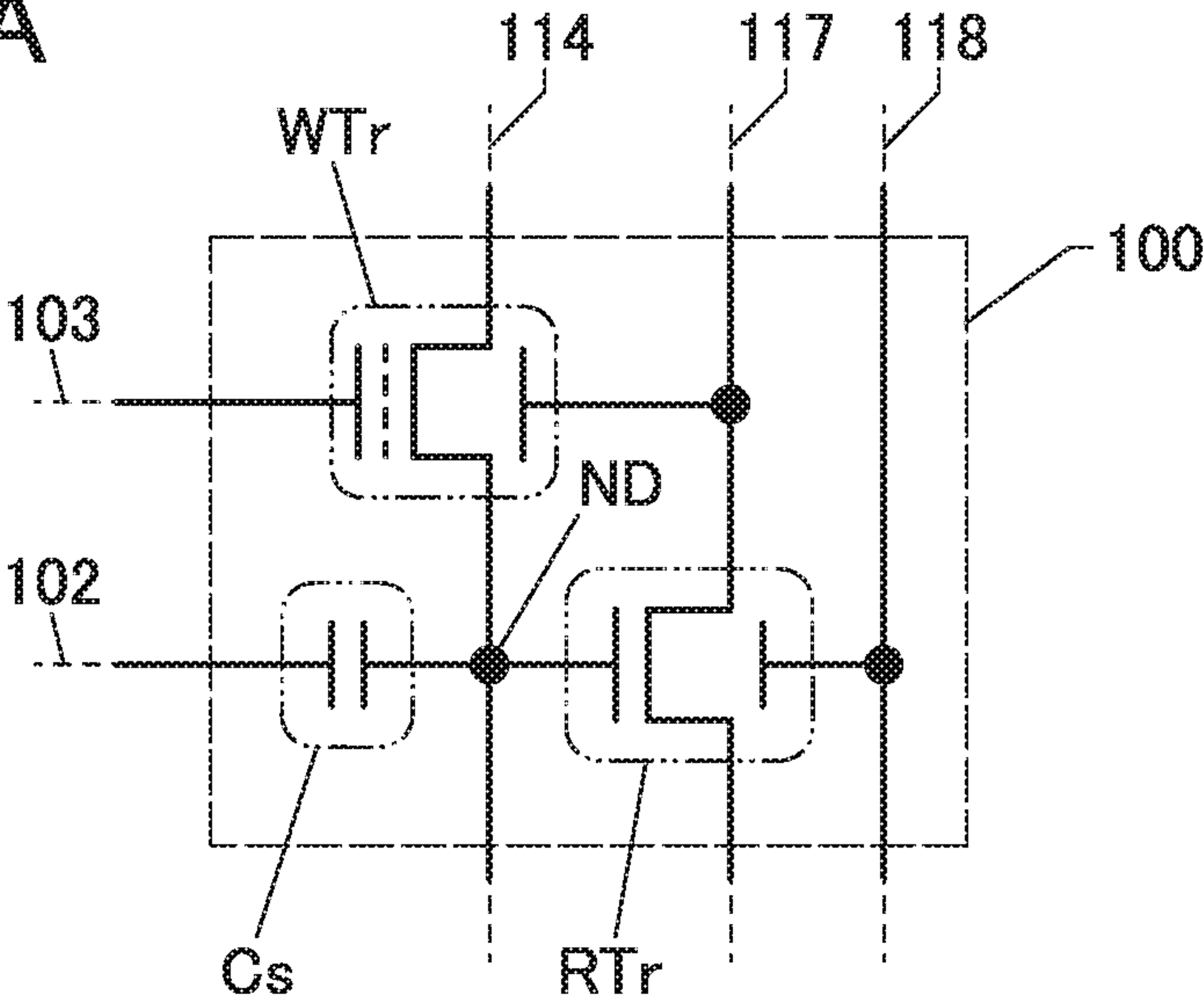


図5B

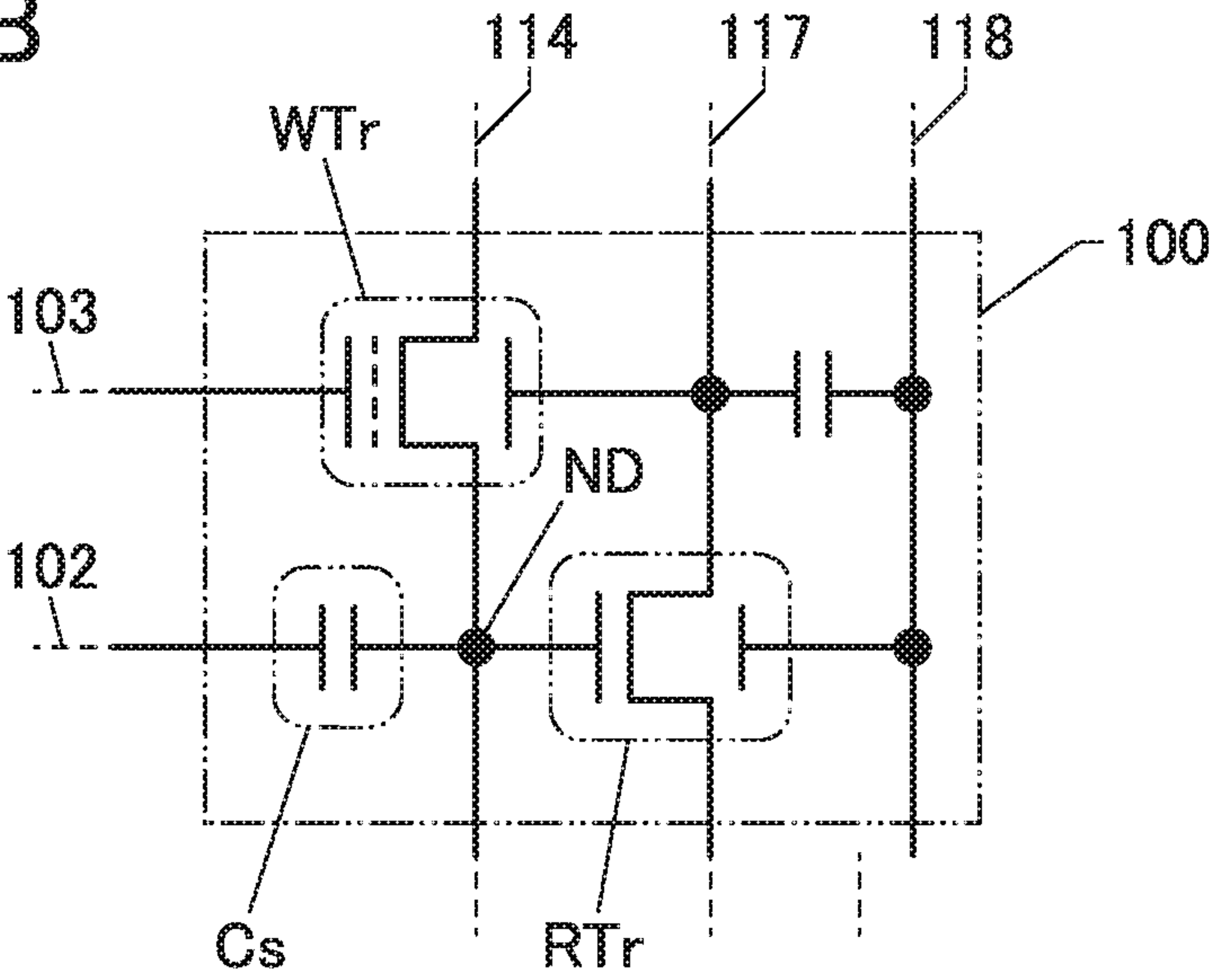
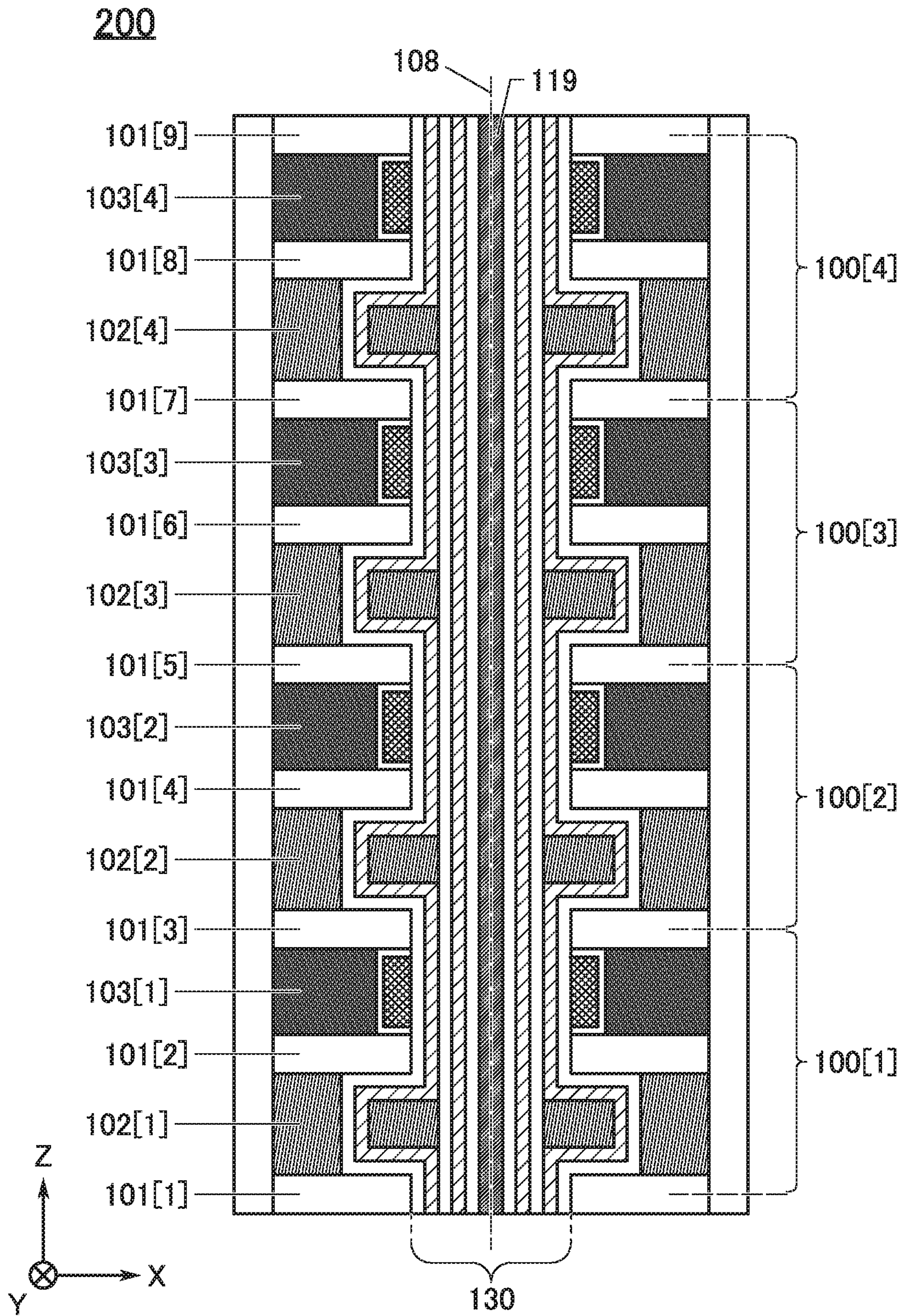


図6

6/50



200

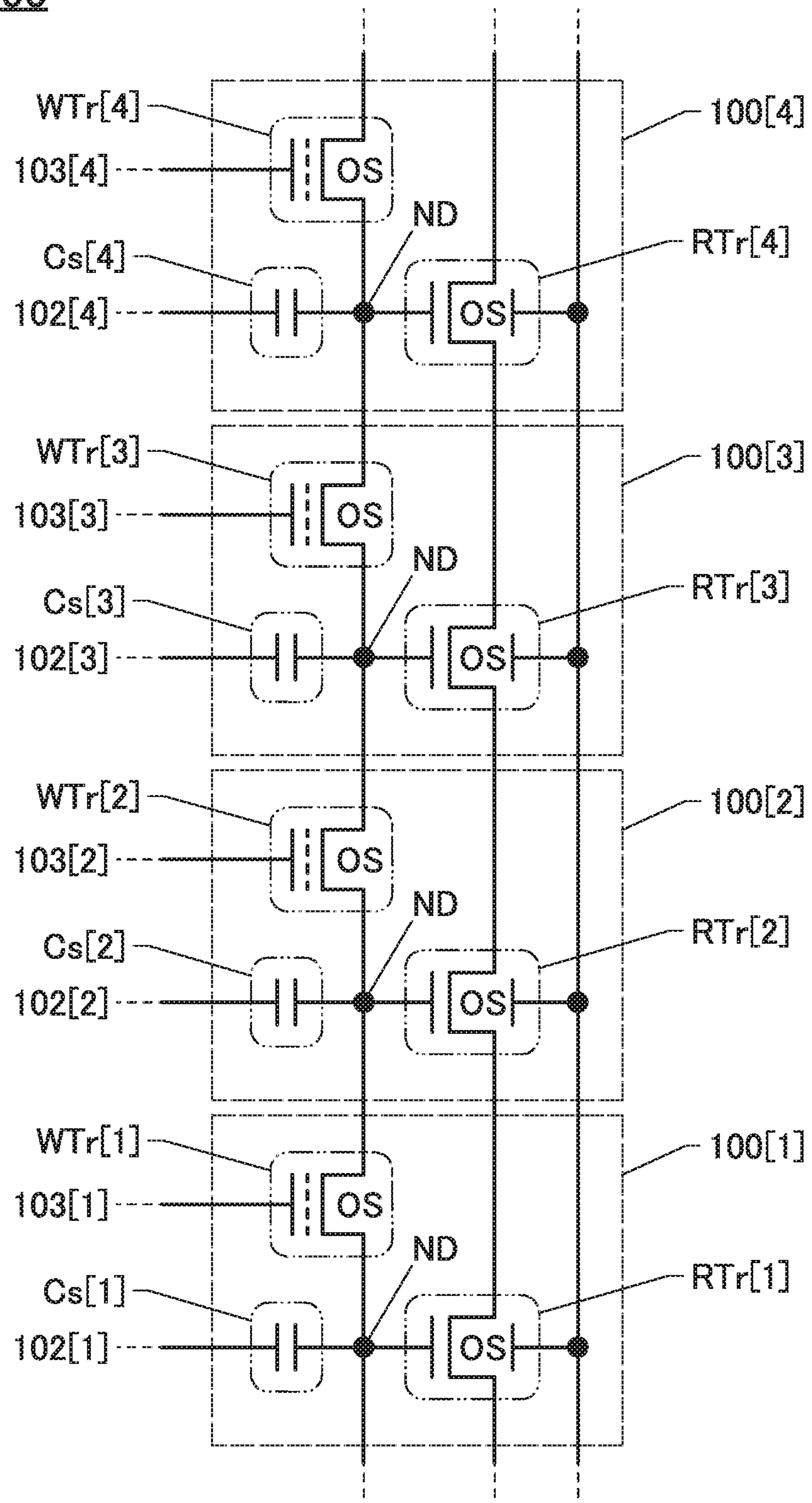


図 8

8/50

200

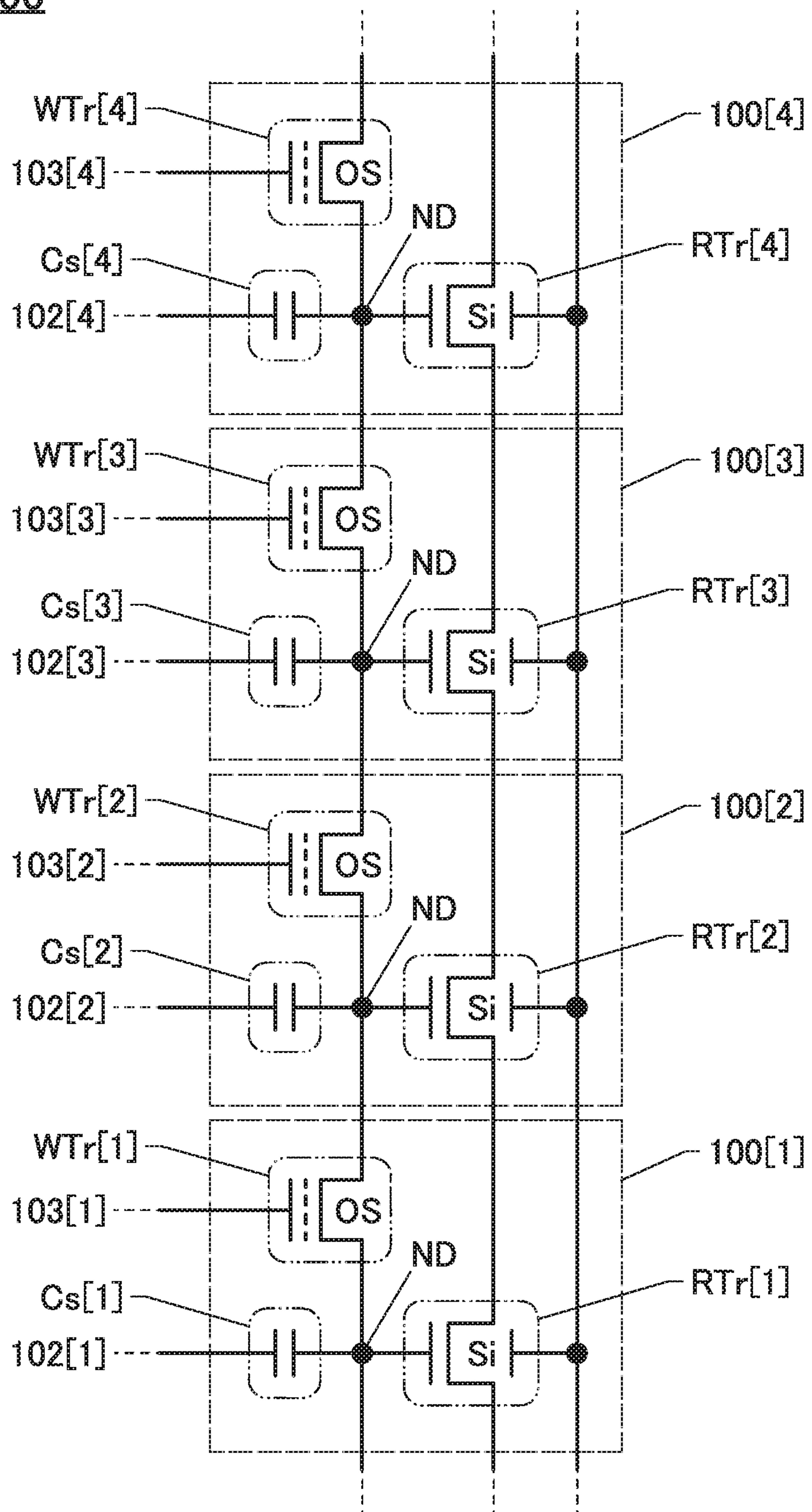


図 9

9/50

200

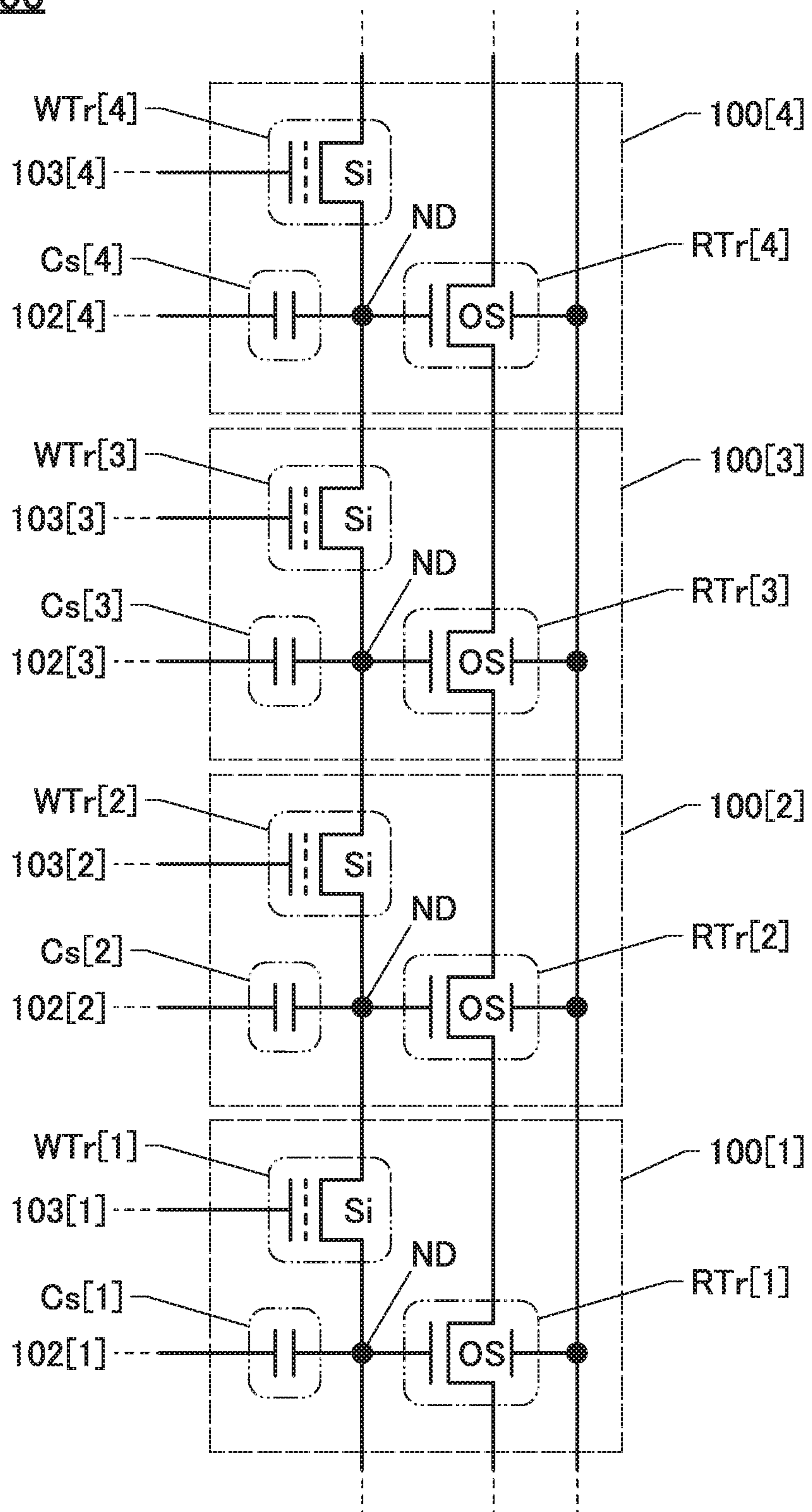
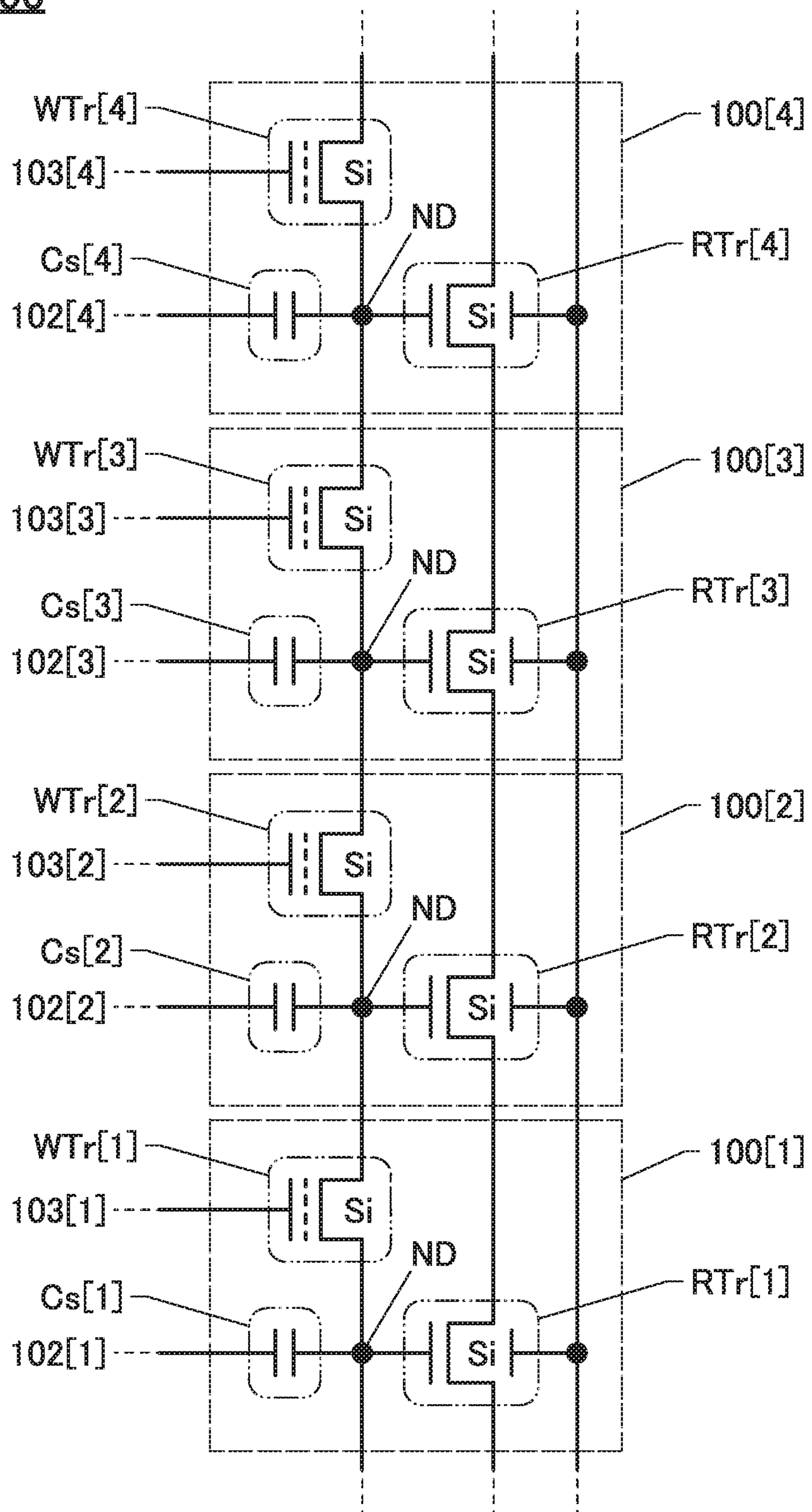
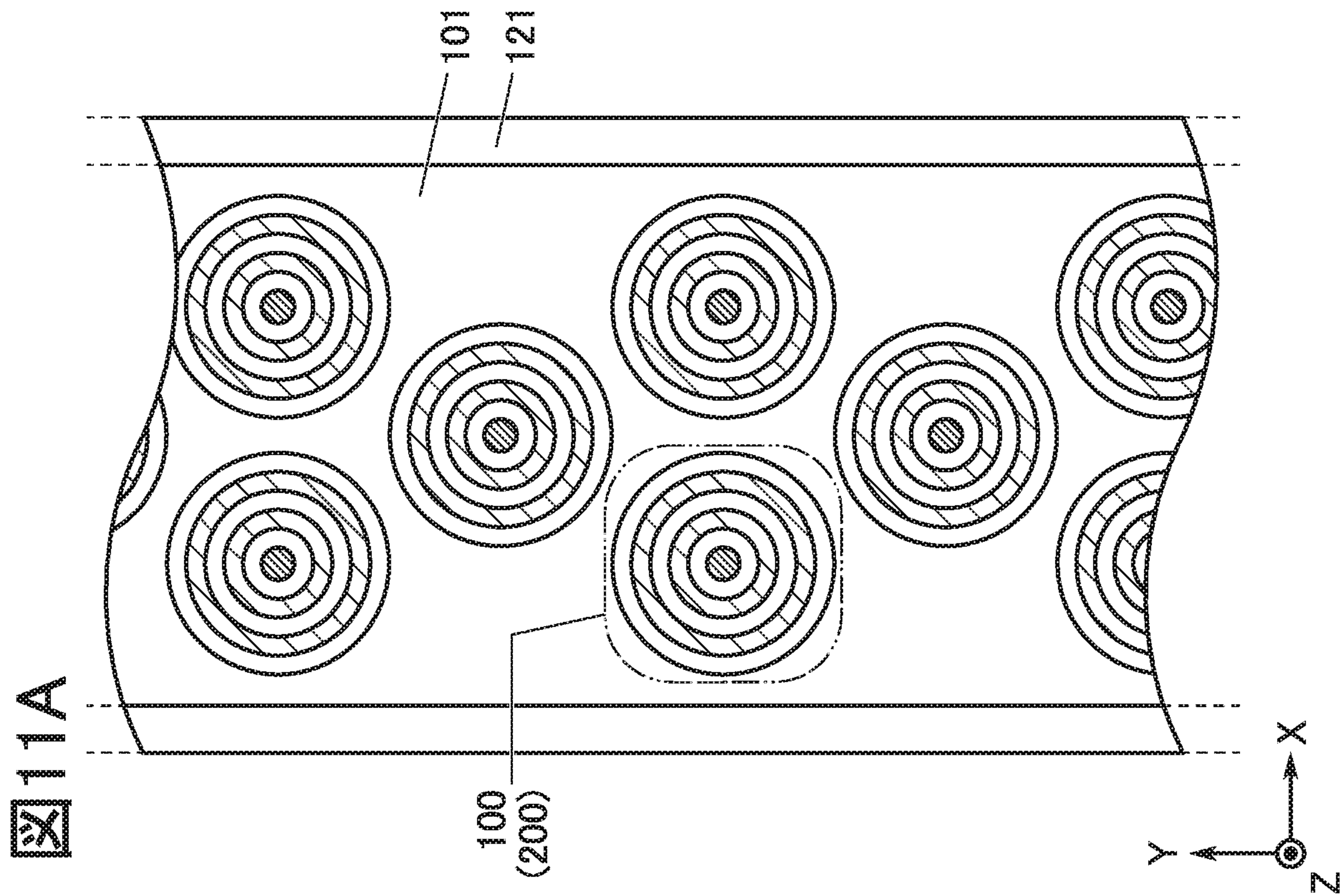
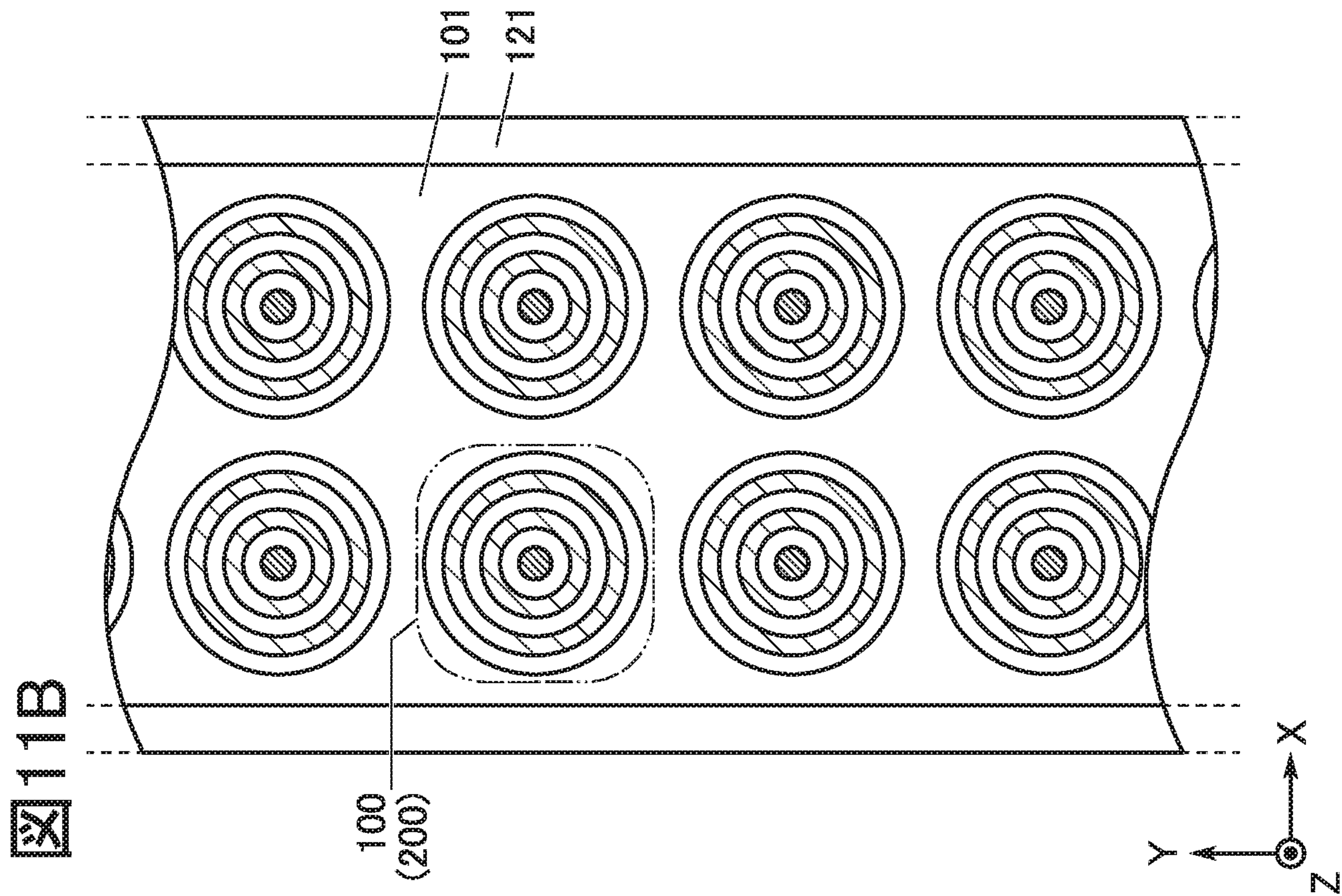


図 10

10/50

200





12/50

図 12A

100A

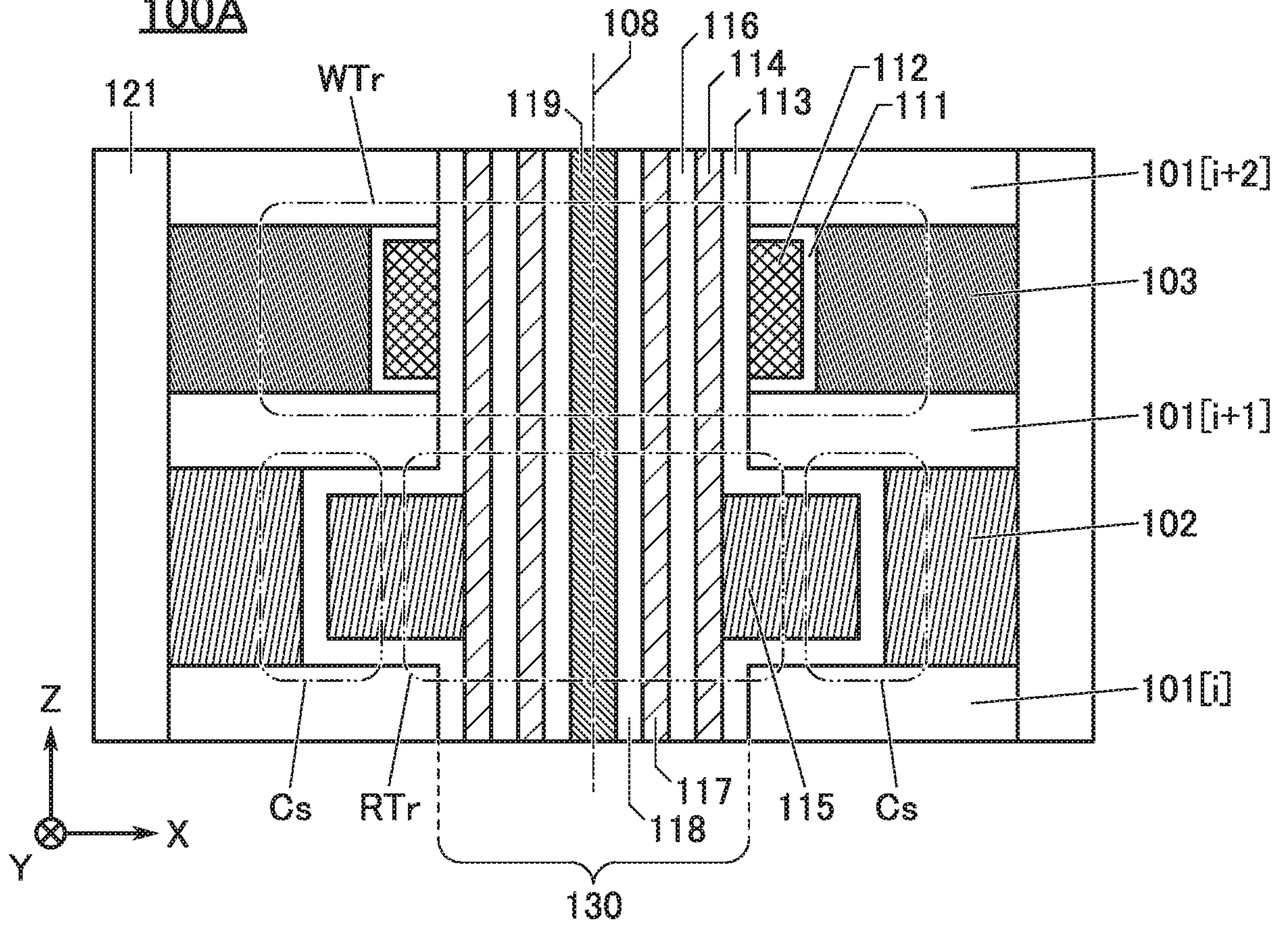


図 12B

100B

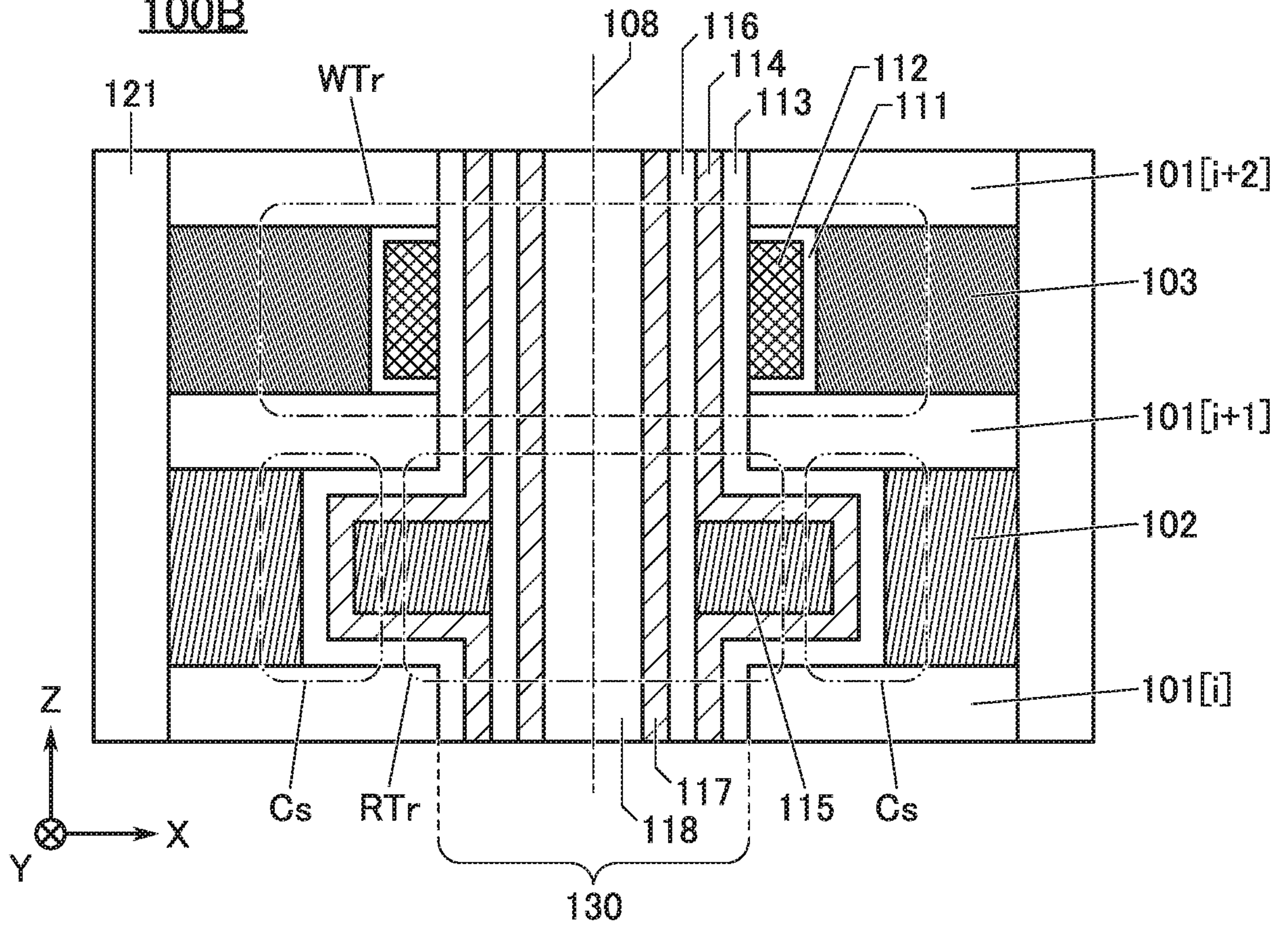


図 13

13/50

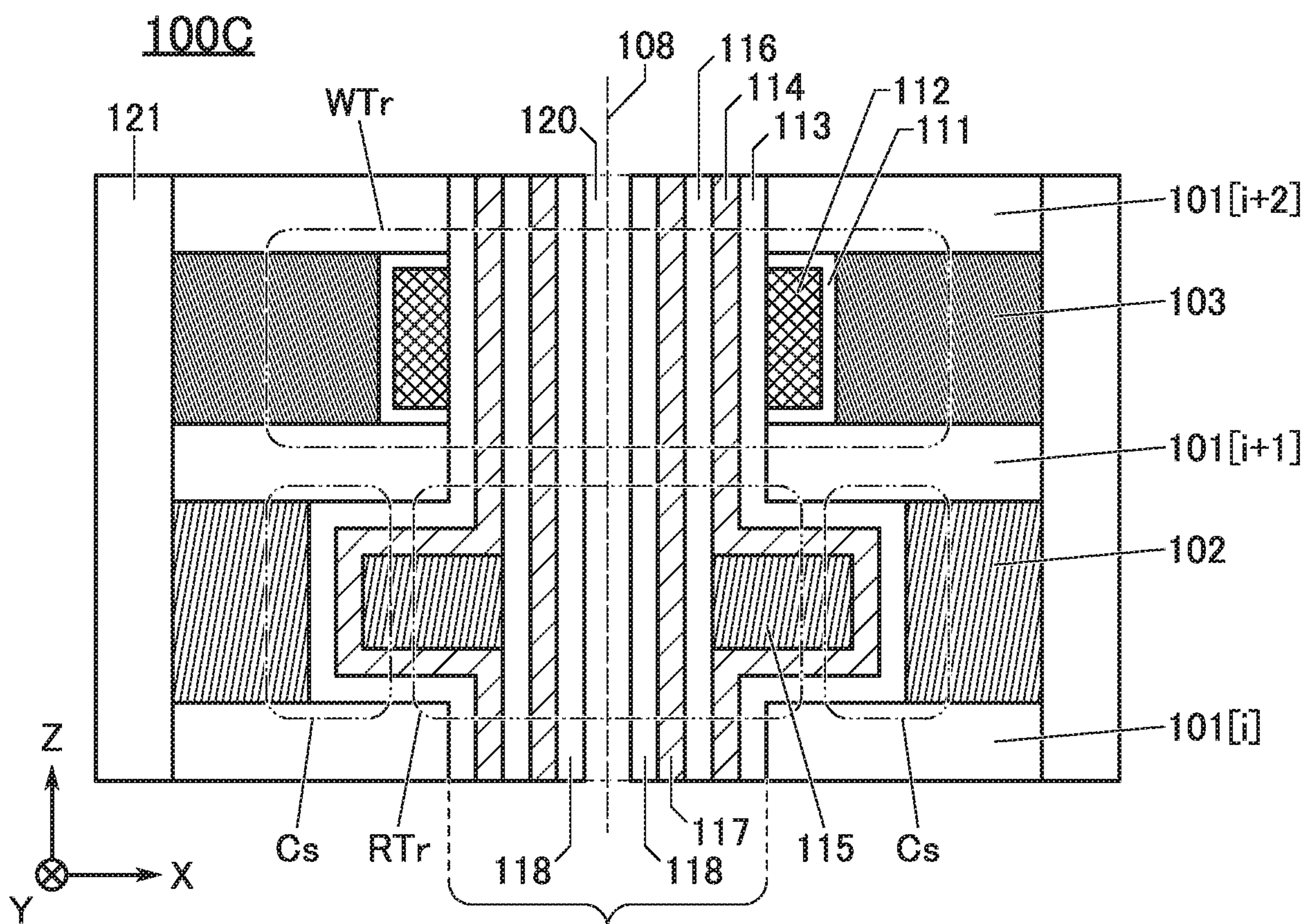


図14A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
▪completely amorphous	▪CAAC ▪nc ▪CAC excluding single crystal and poly crystal	▪single crystal ▪poly crystal

図14B

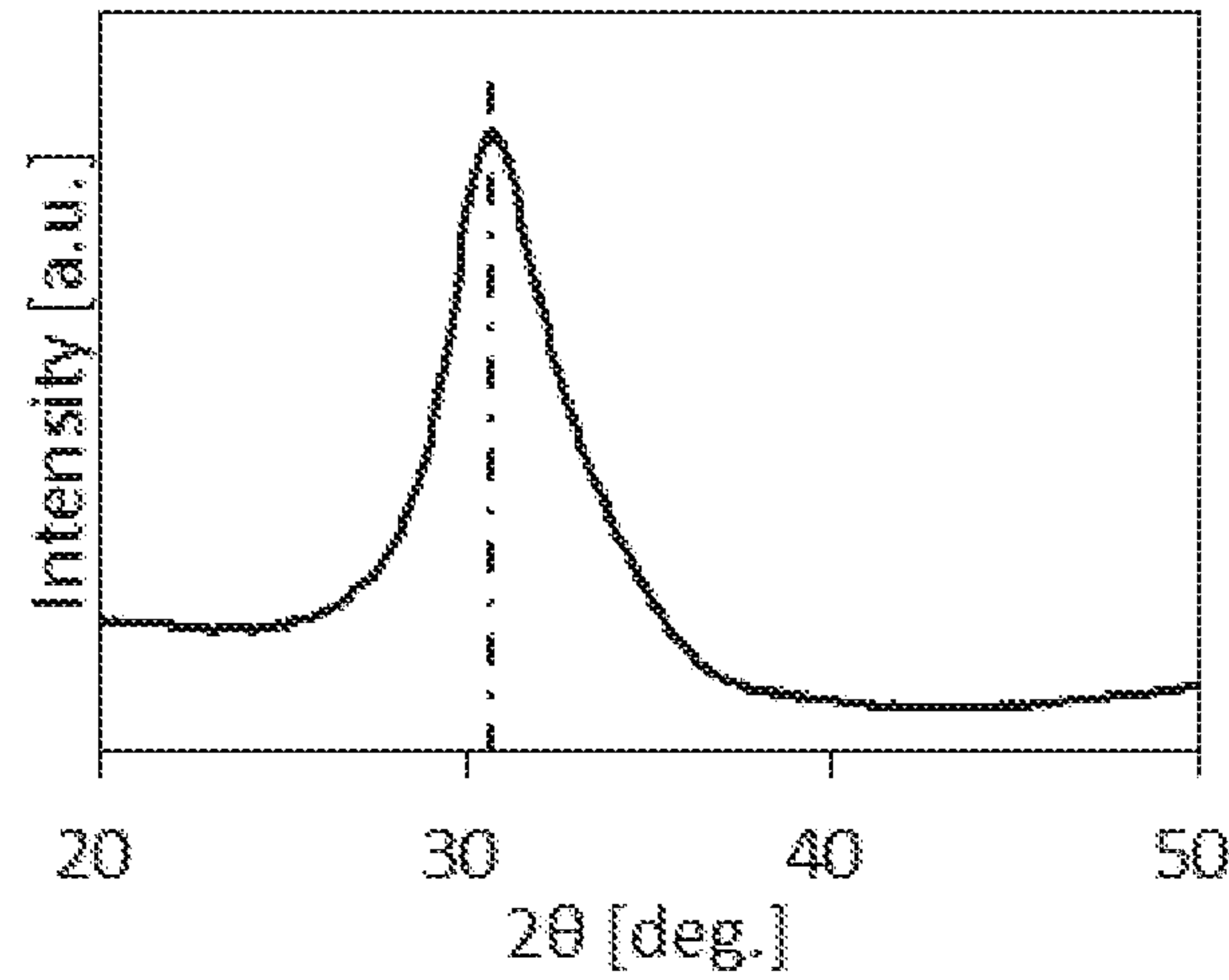


図14C

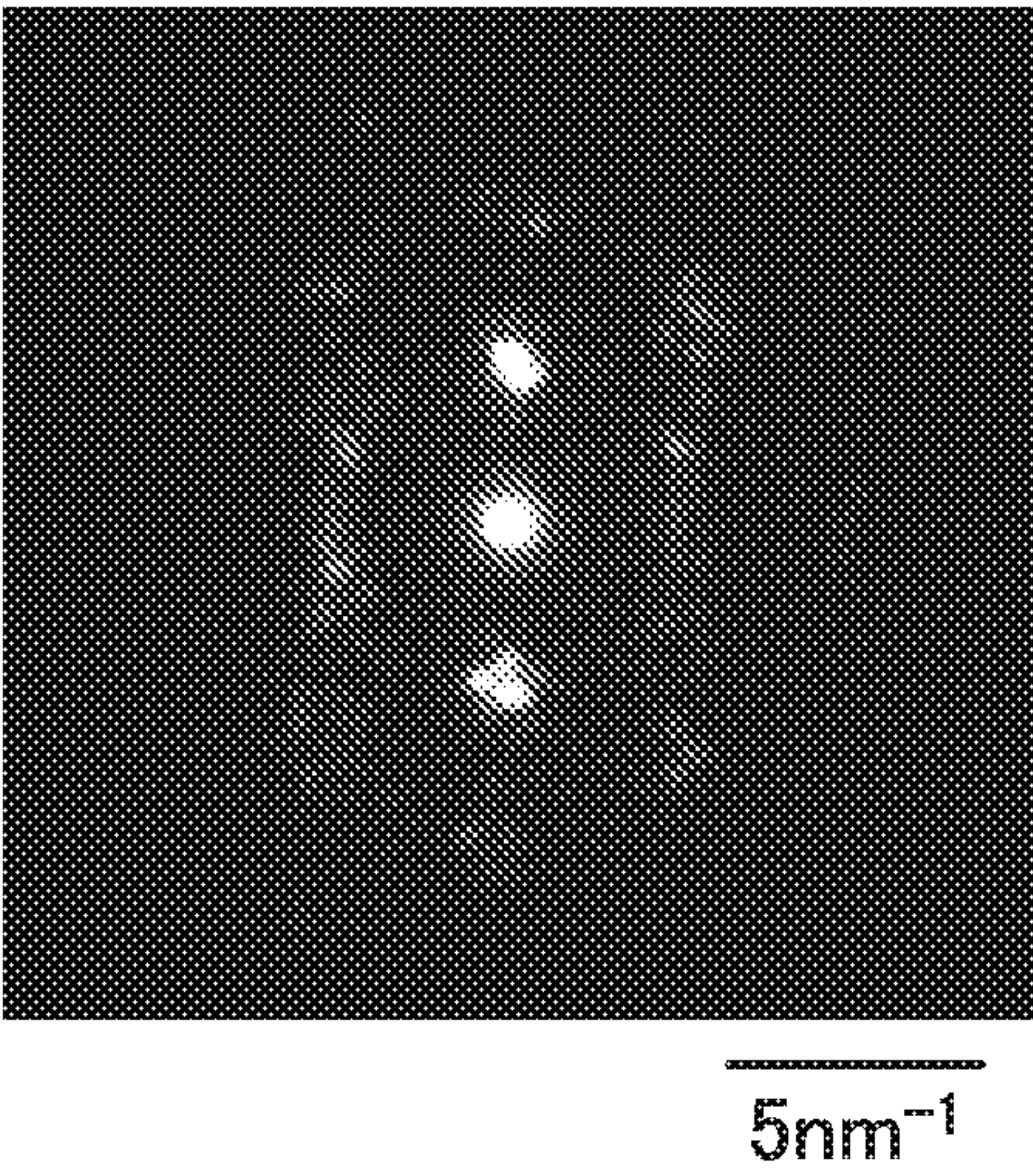


図15A

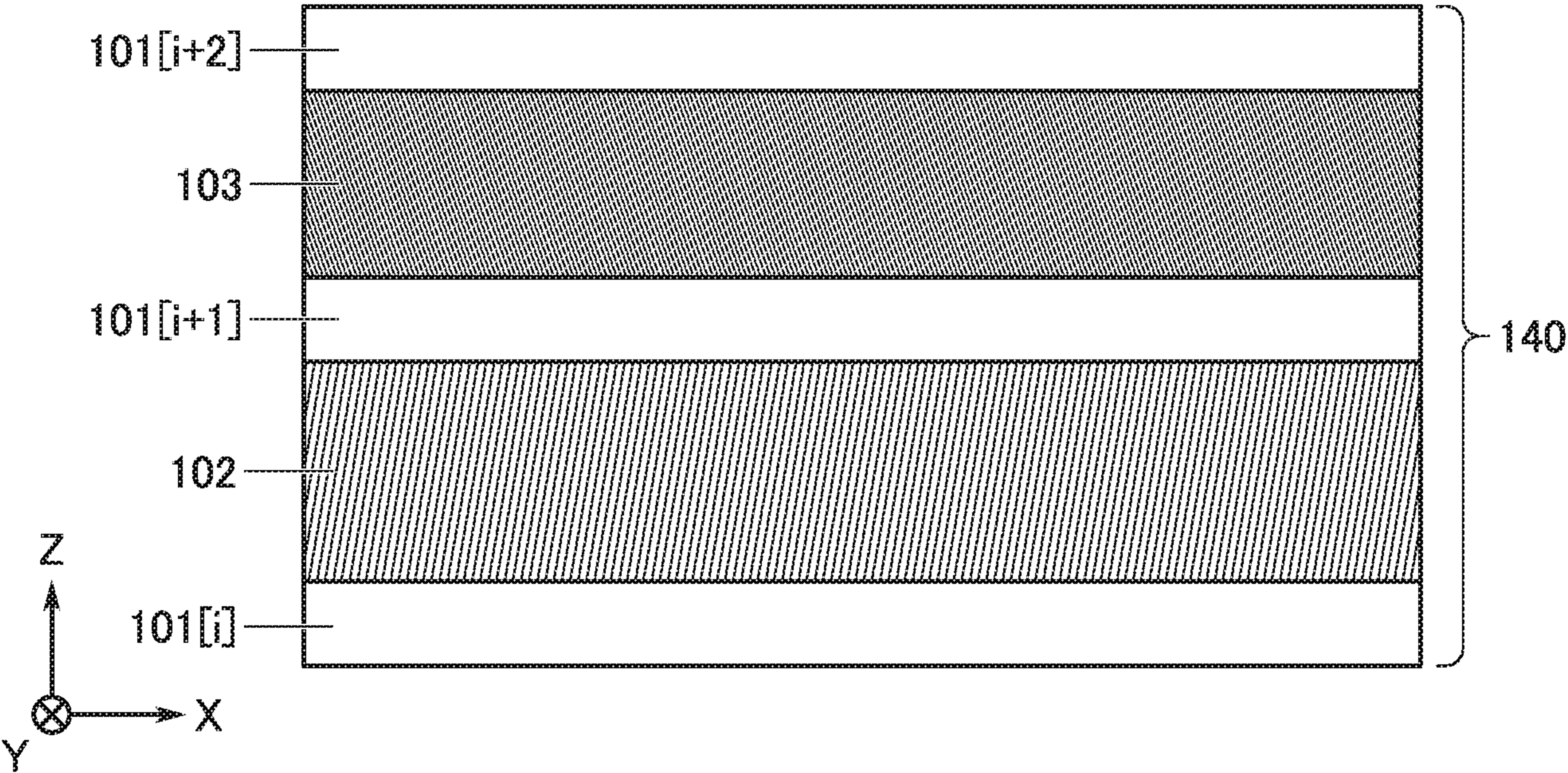
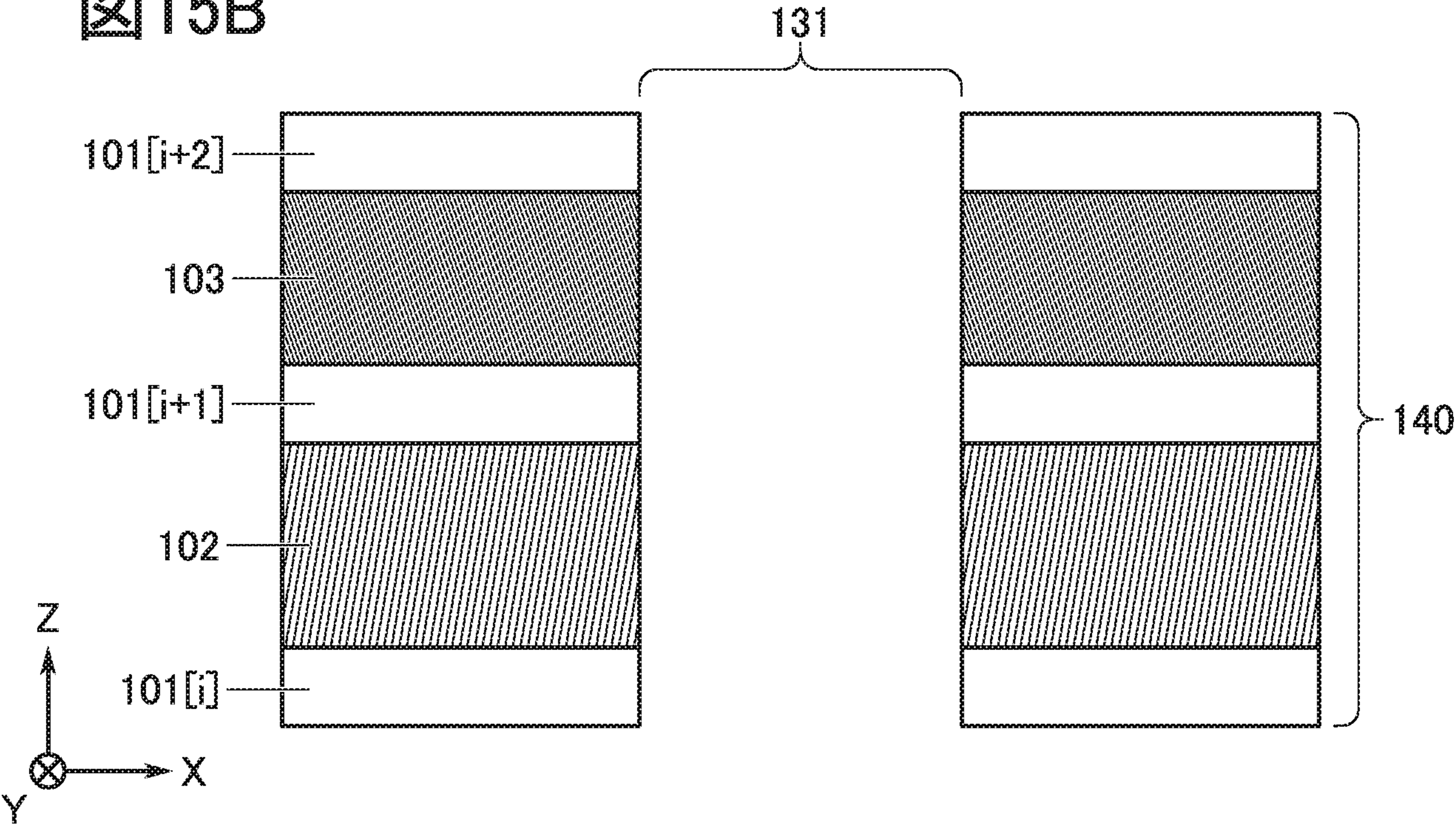


図15B



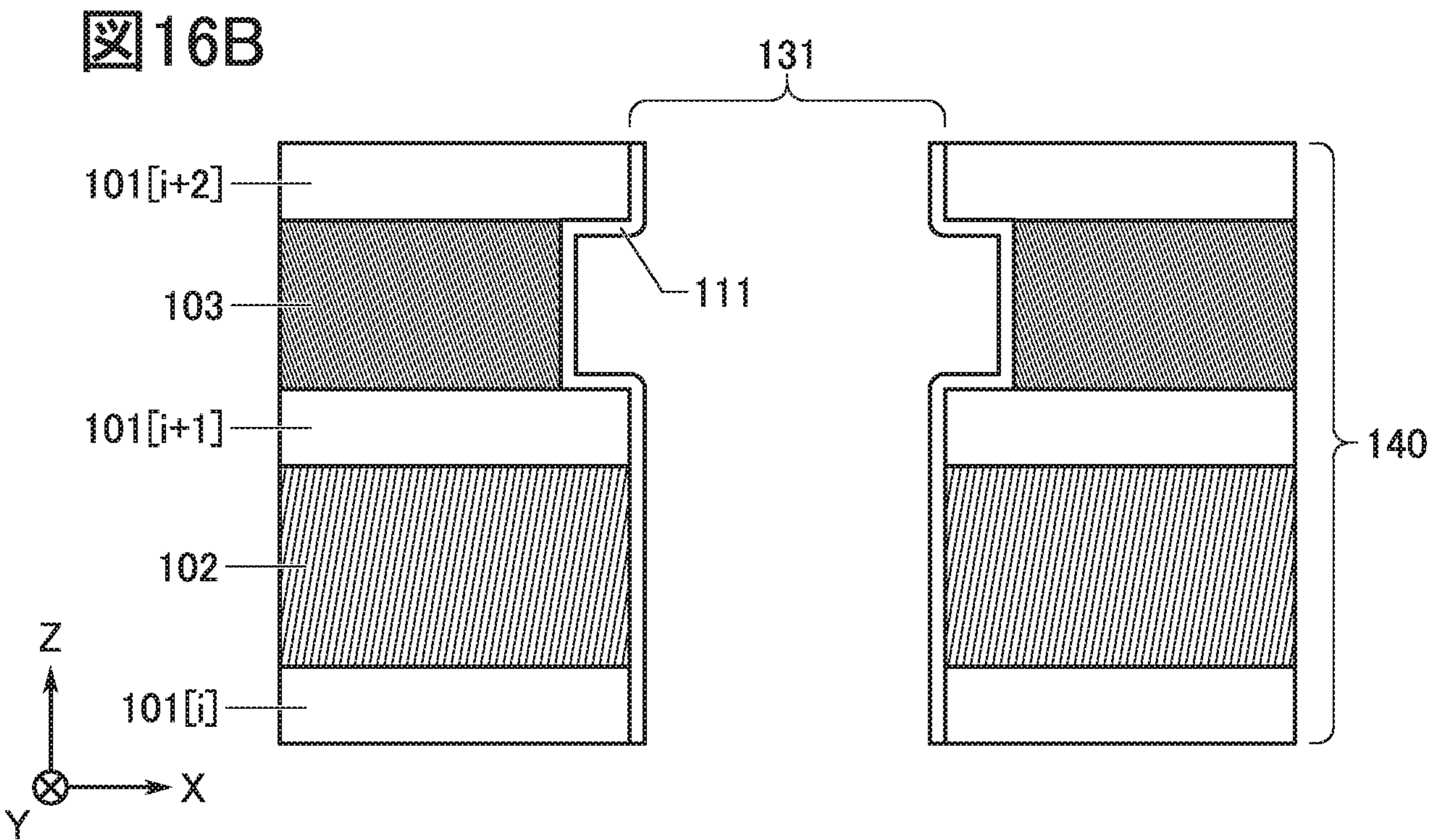
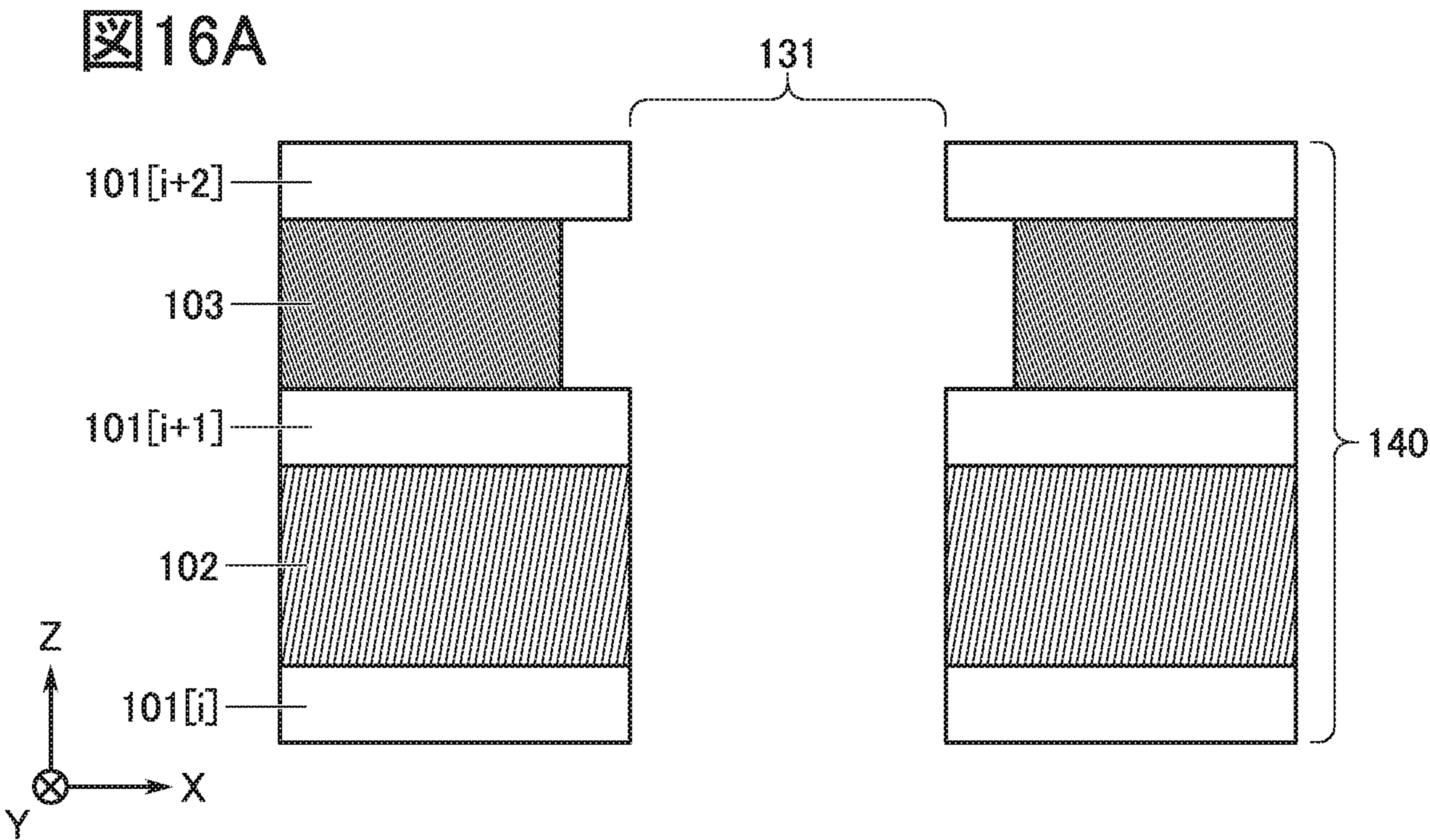


図17A

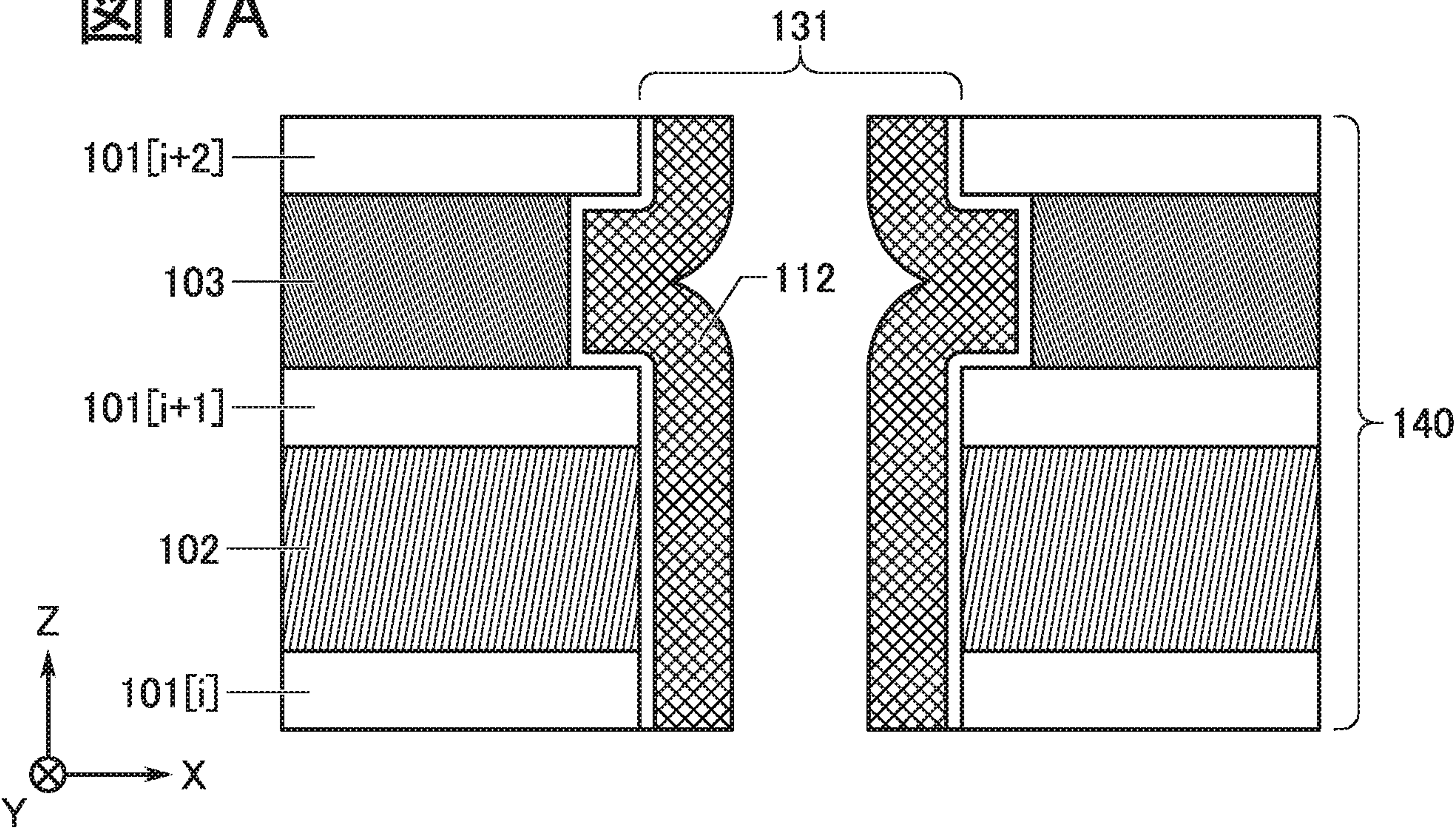


図17B

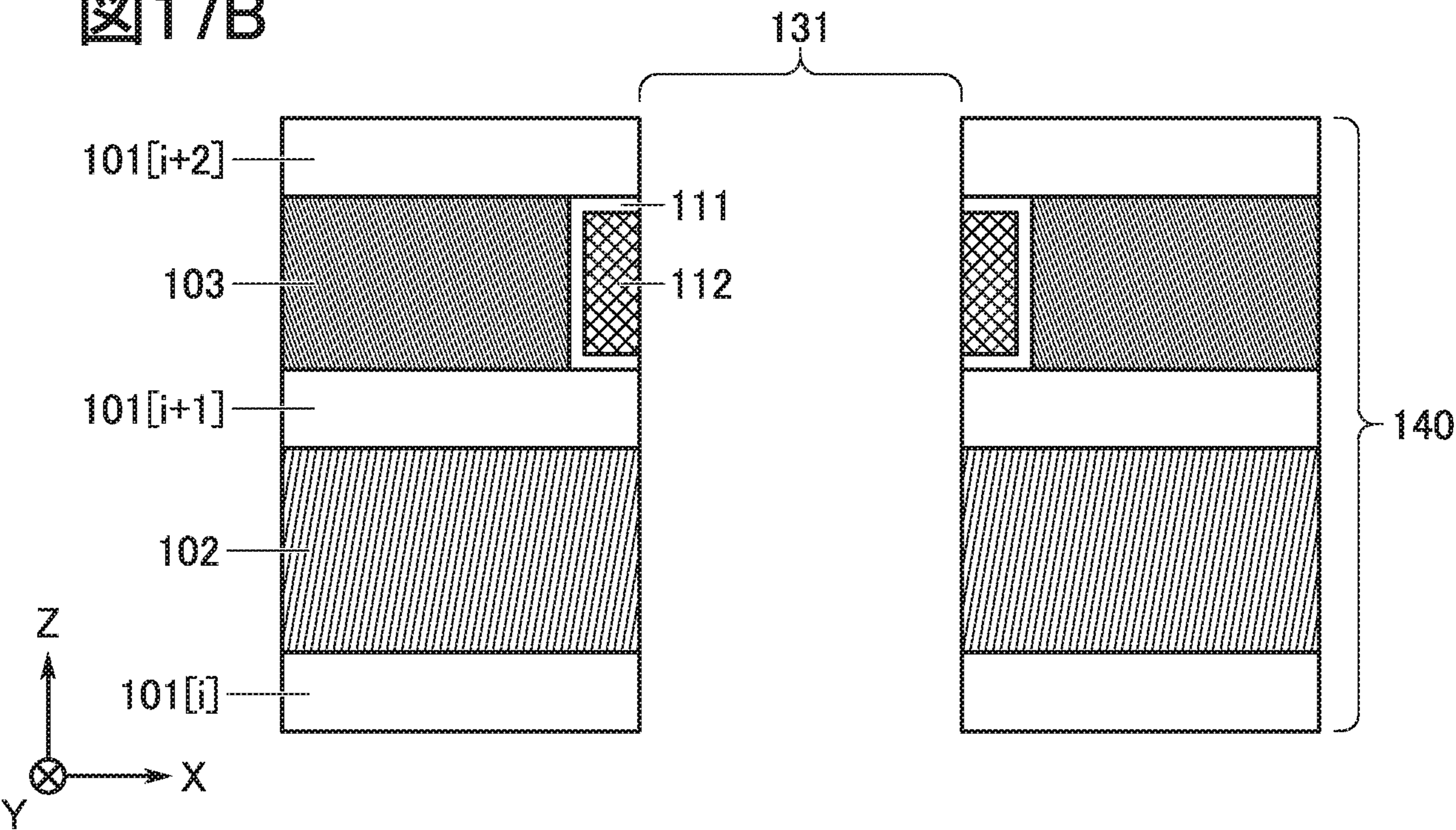


図18A

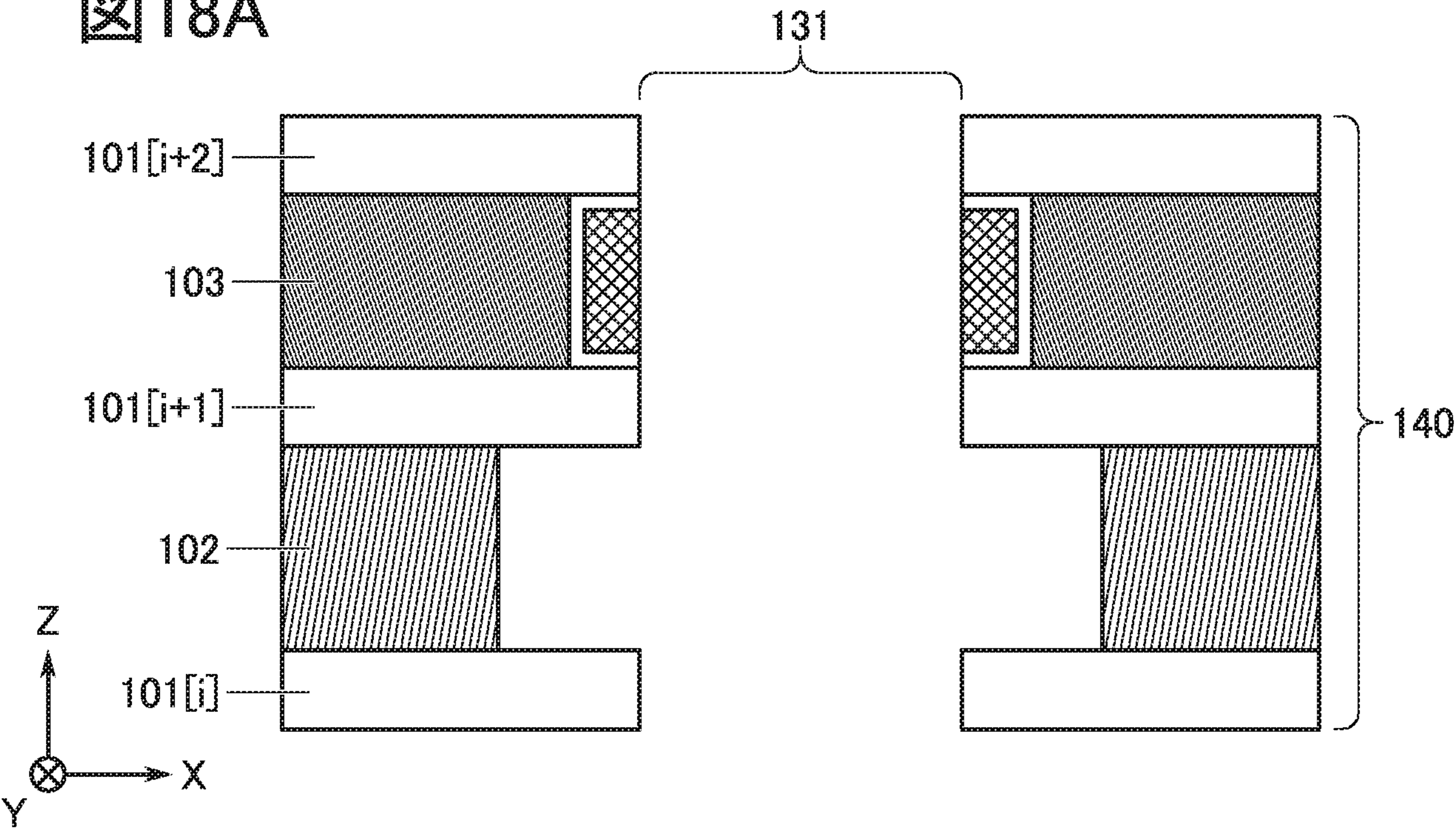


図18B

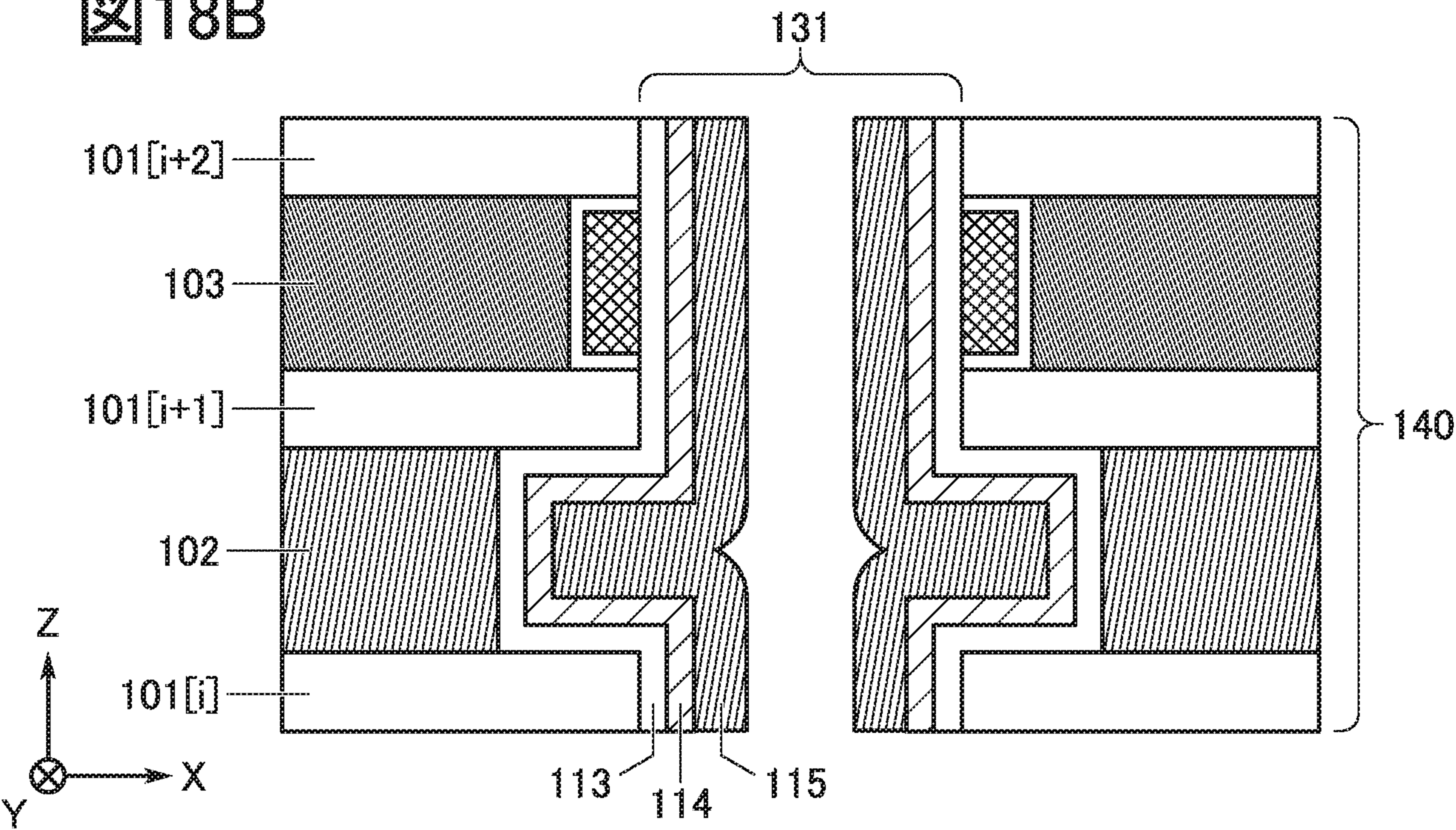


図19A

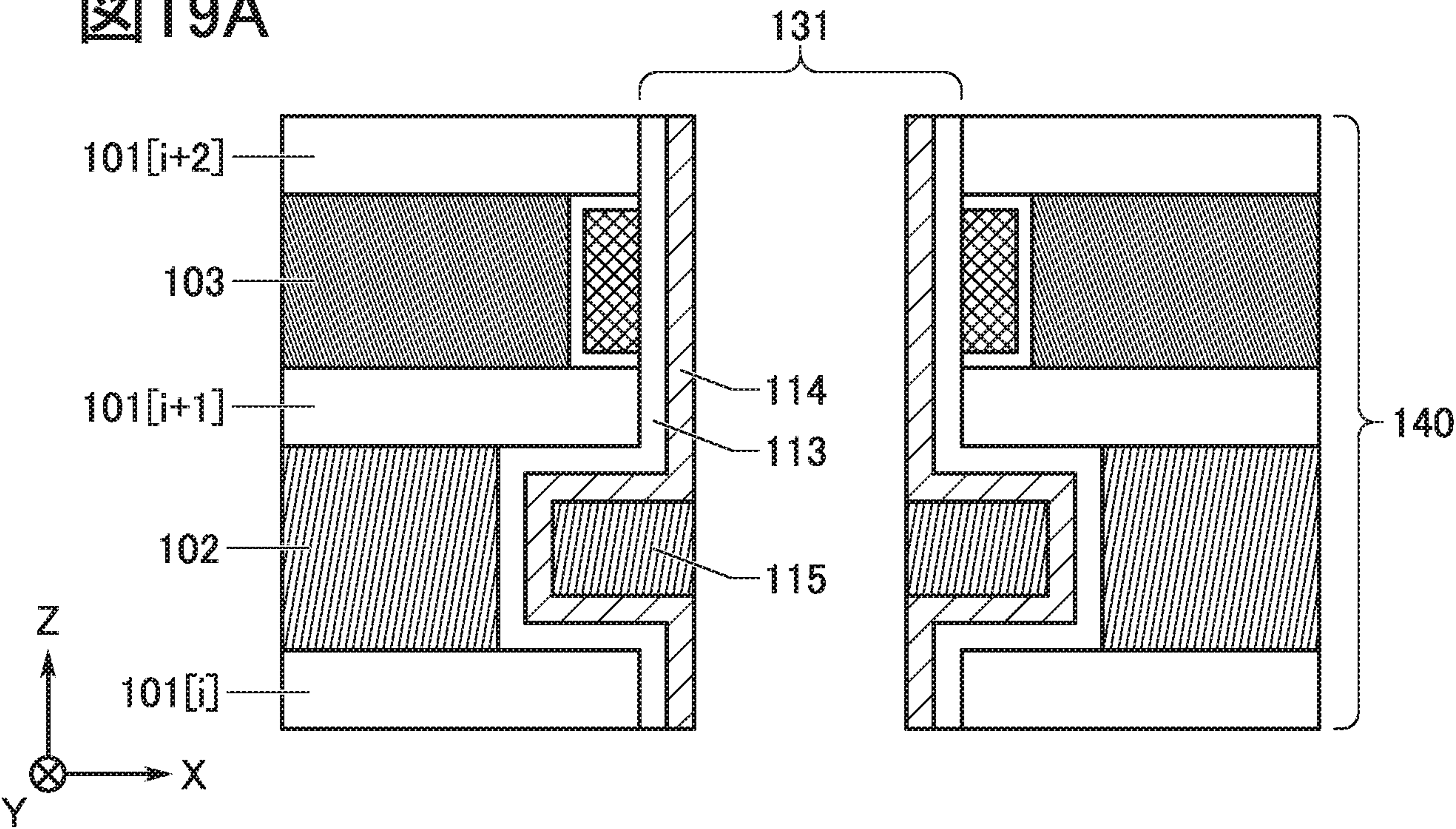


図19B

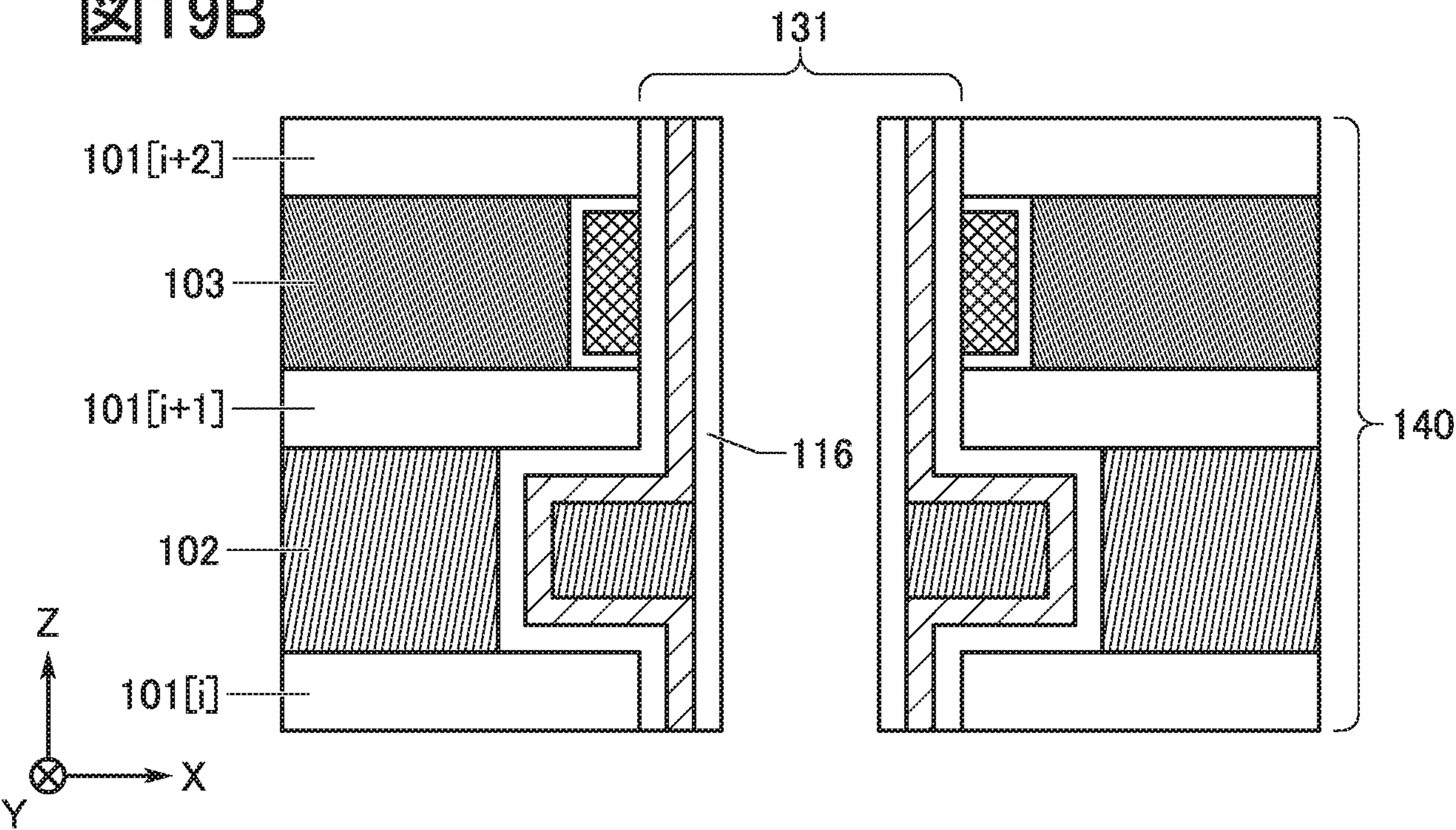


図20A

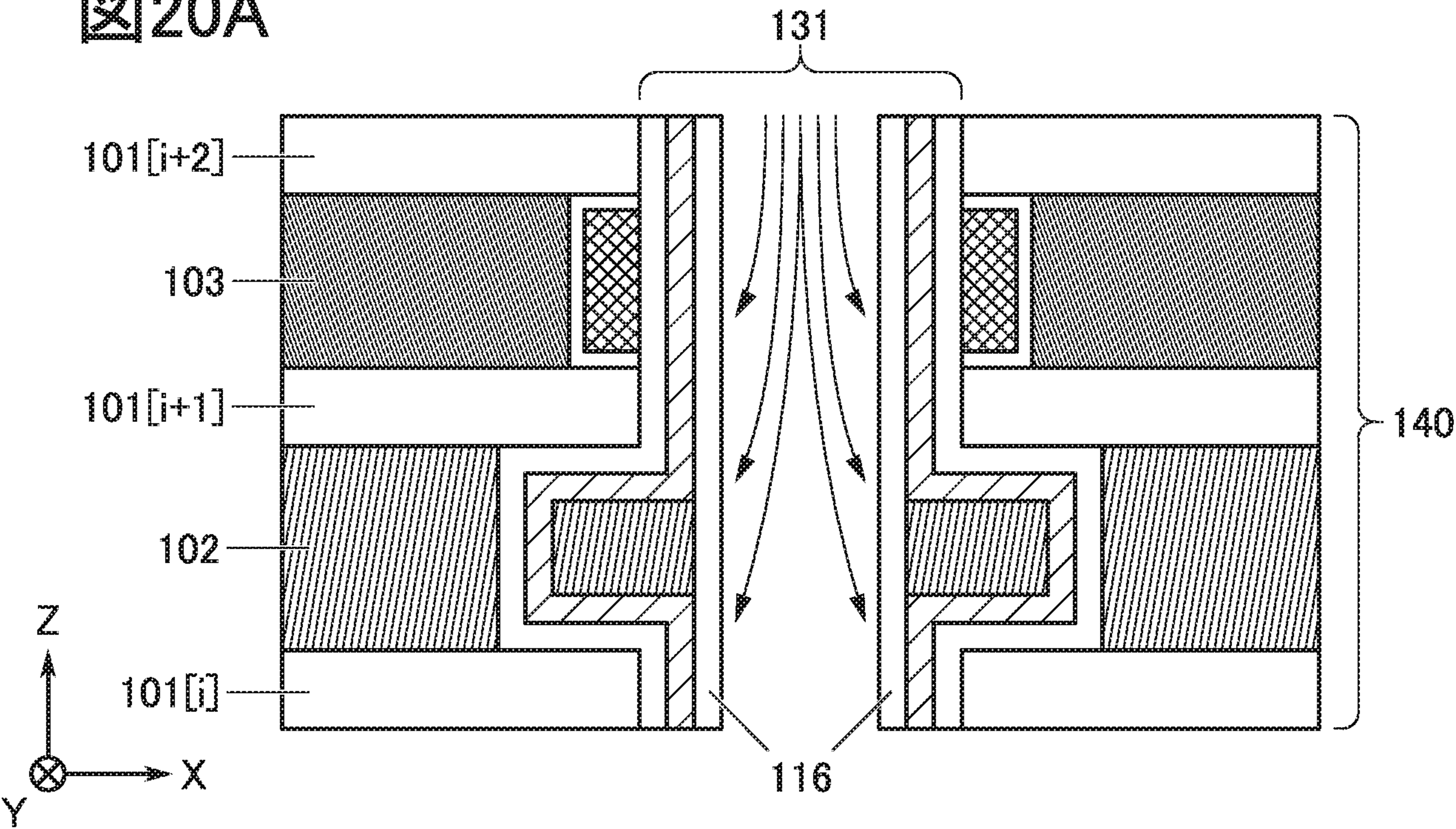


図20B

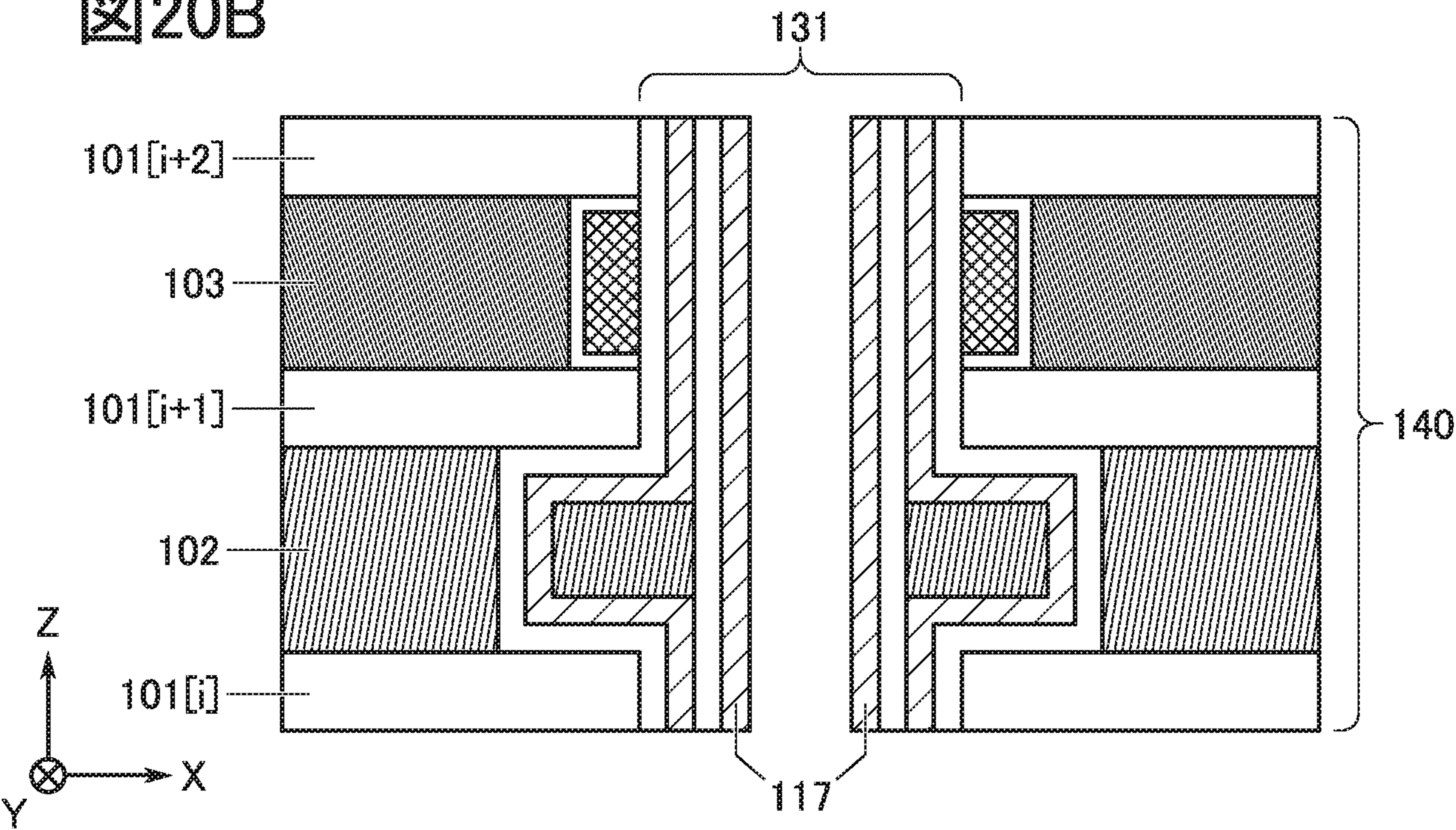


図21A

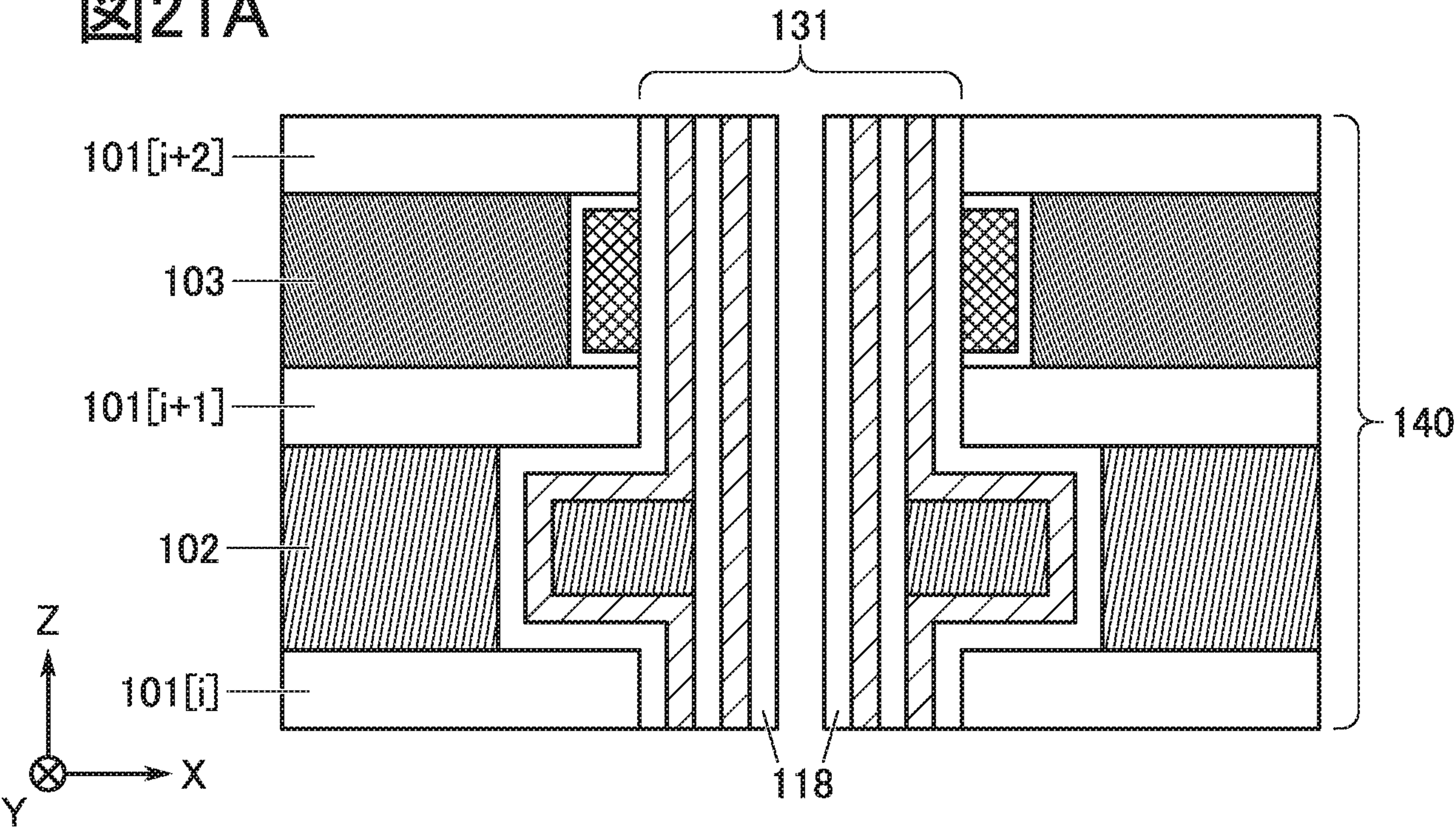


図21B

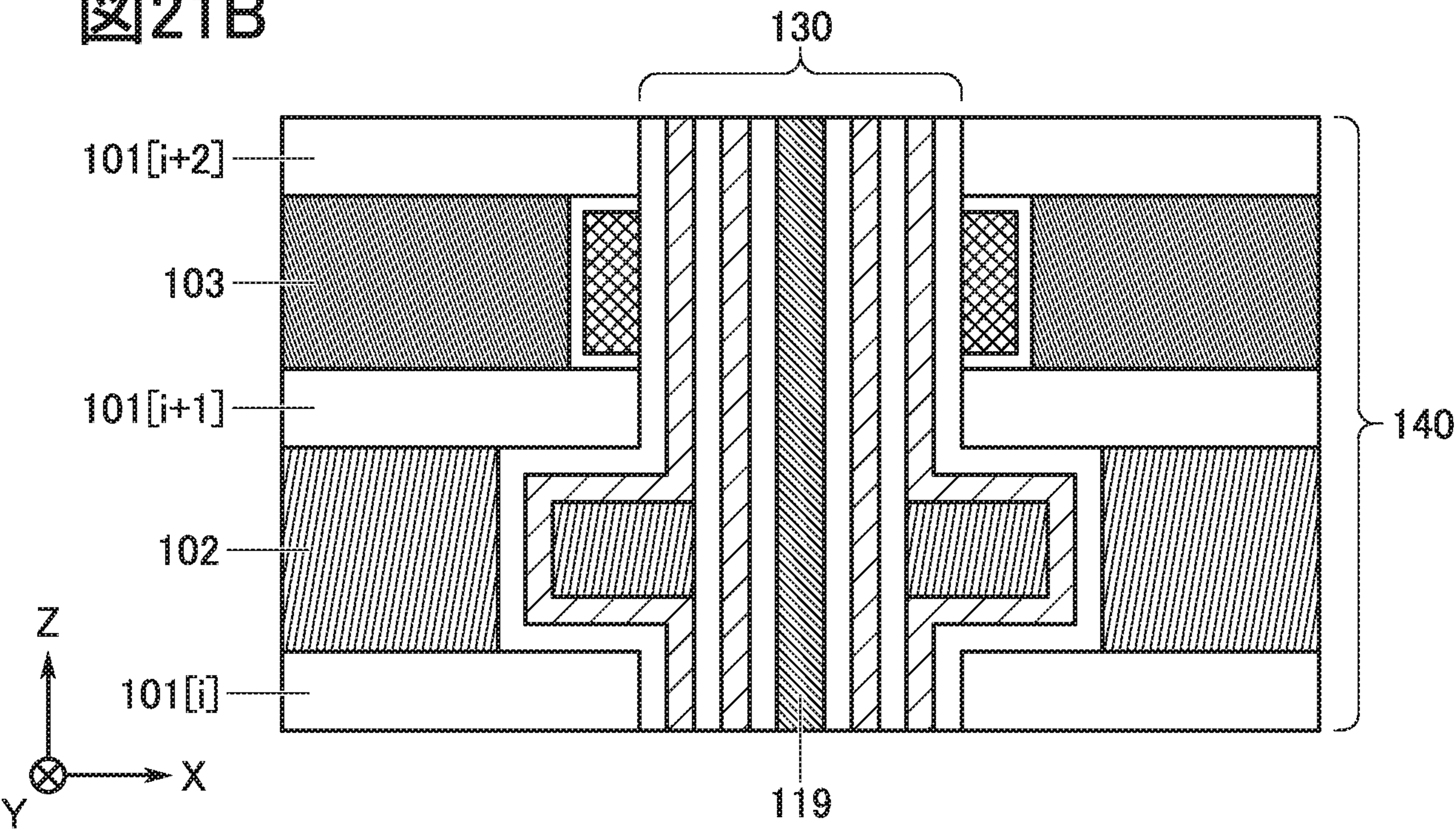


図22A

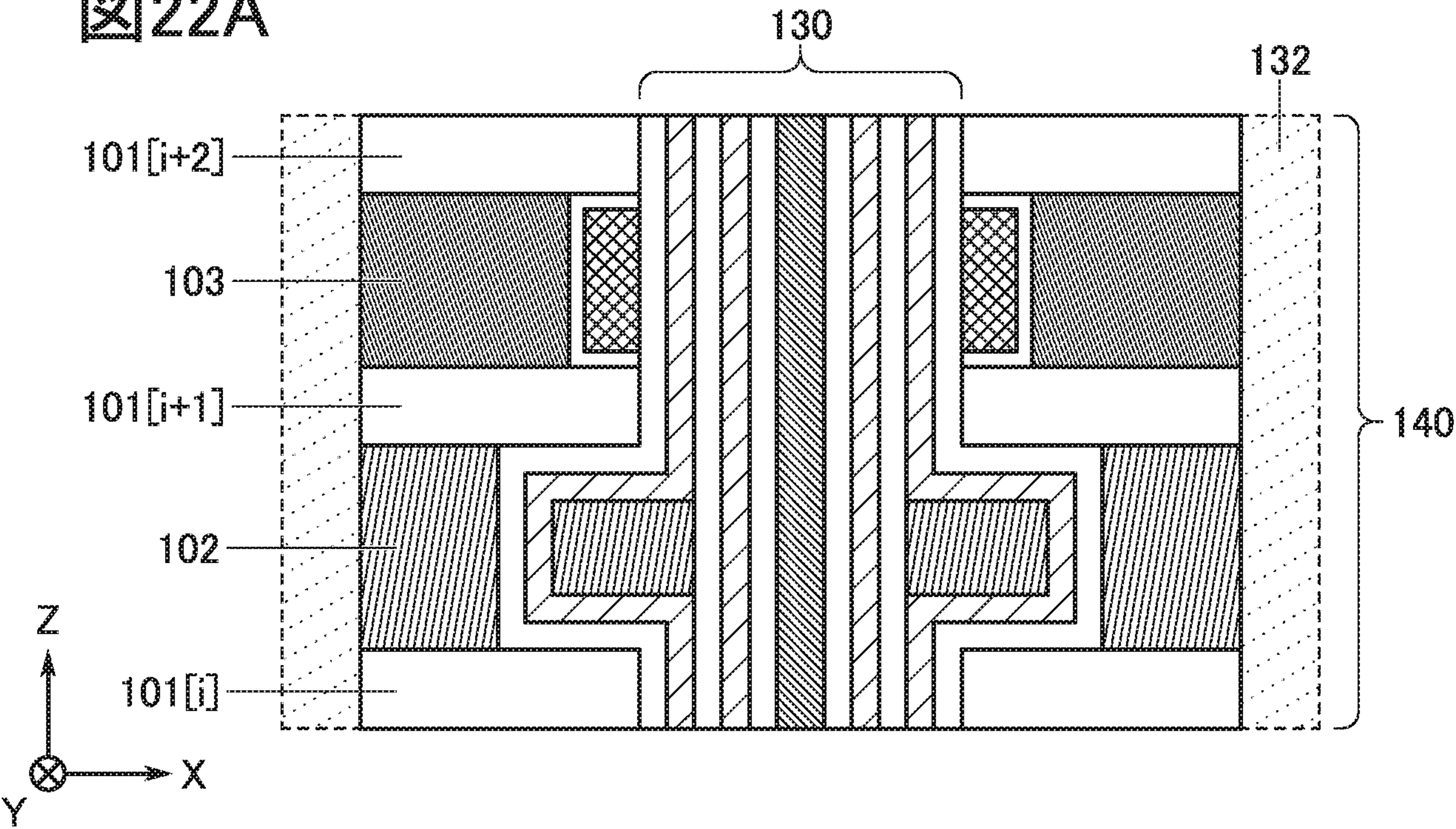
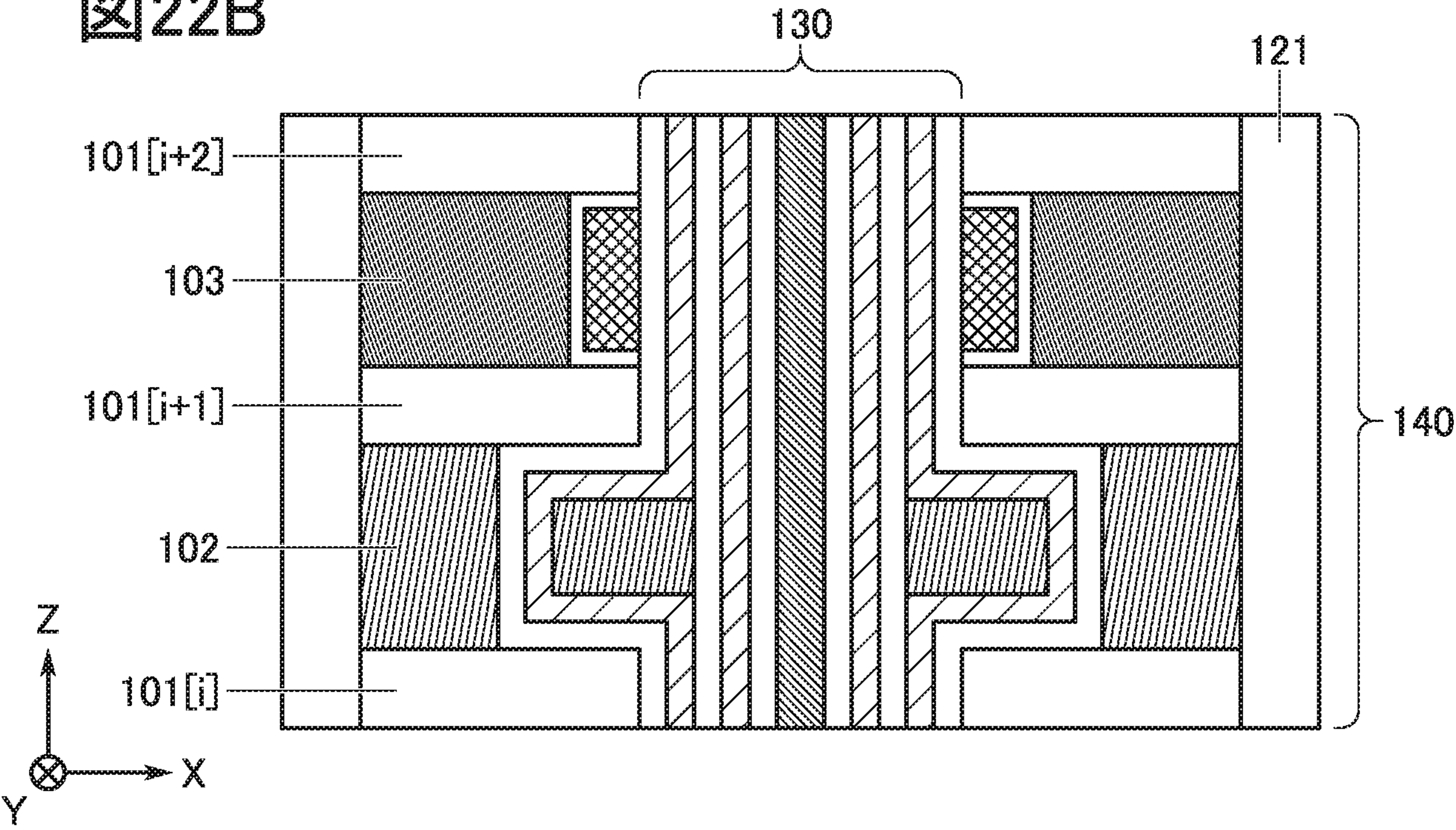
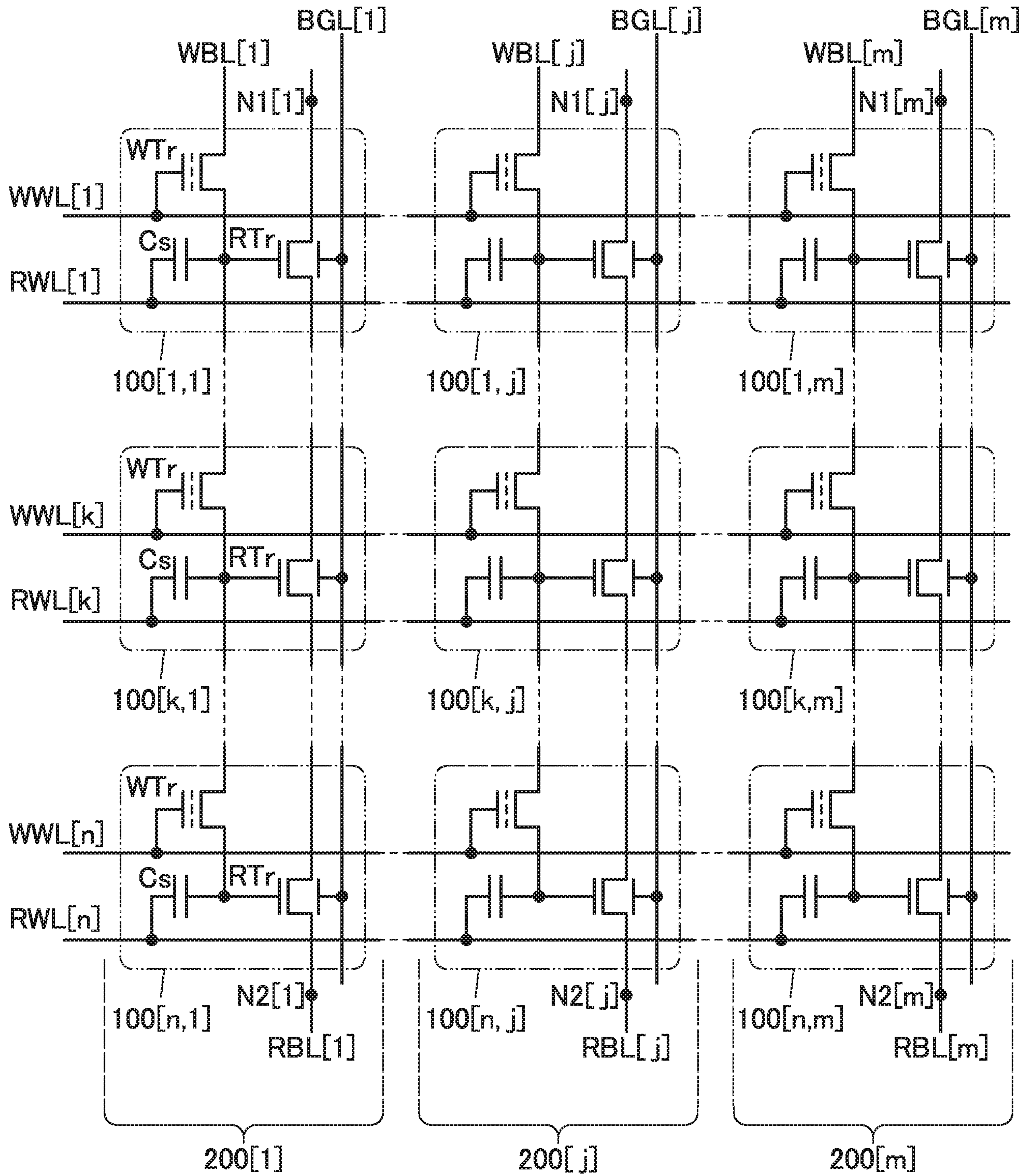


図22B



300



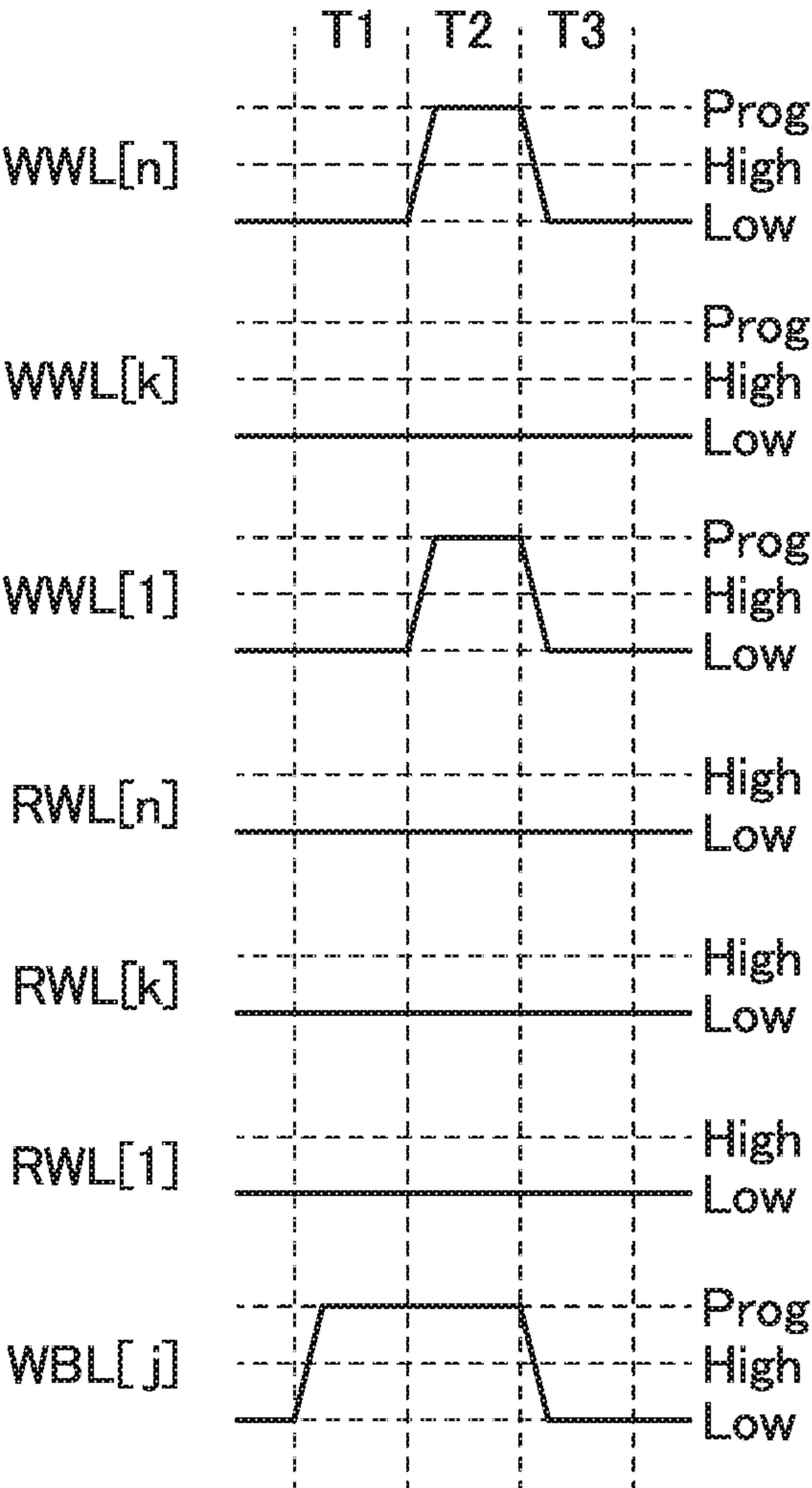


図25A

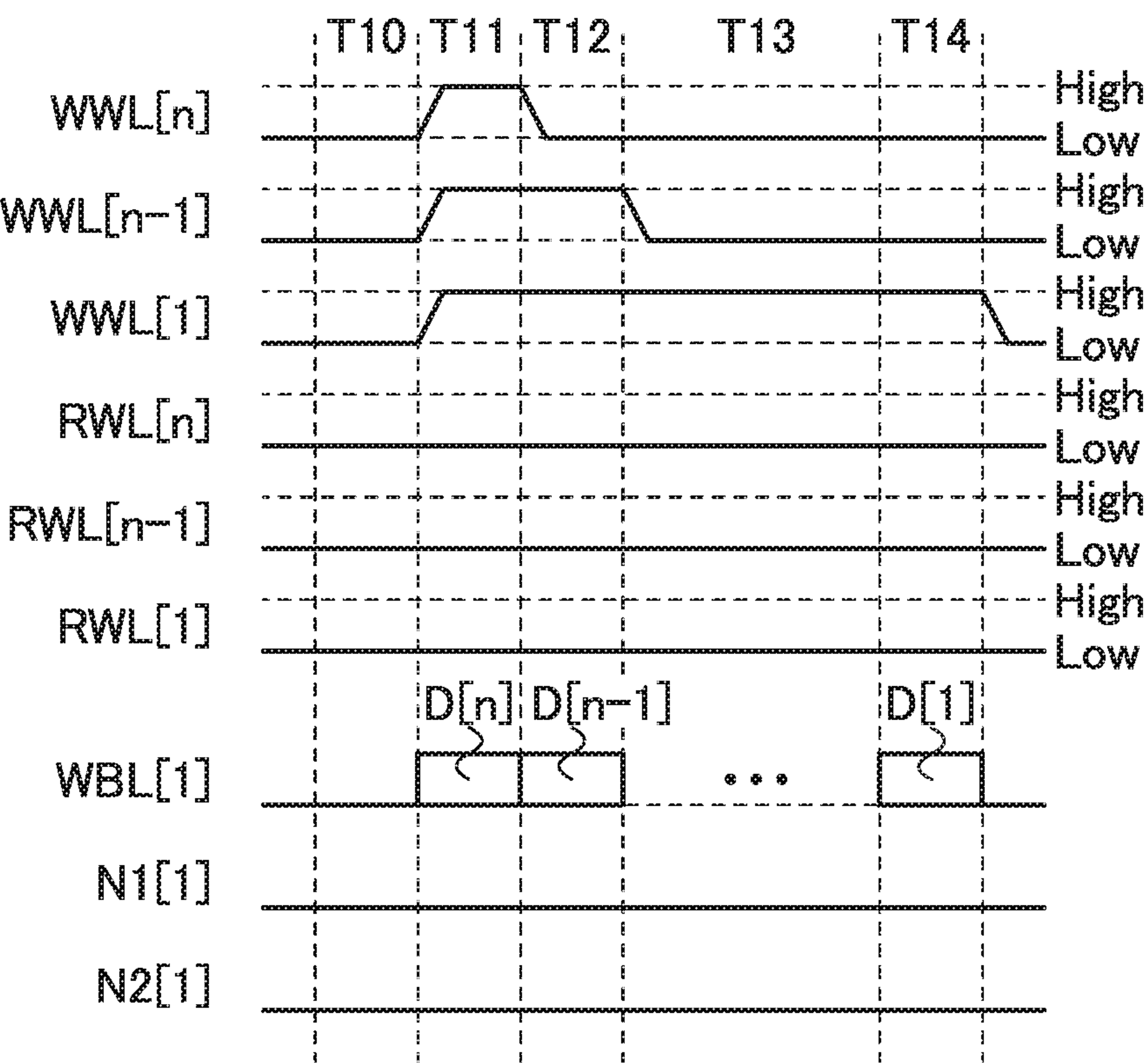


図25B

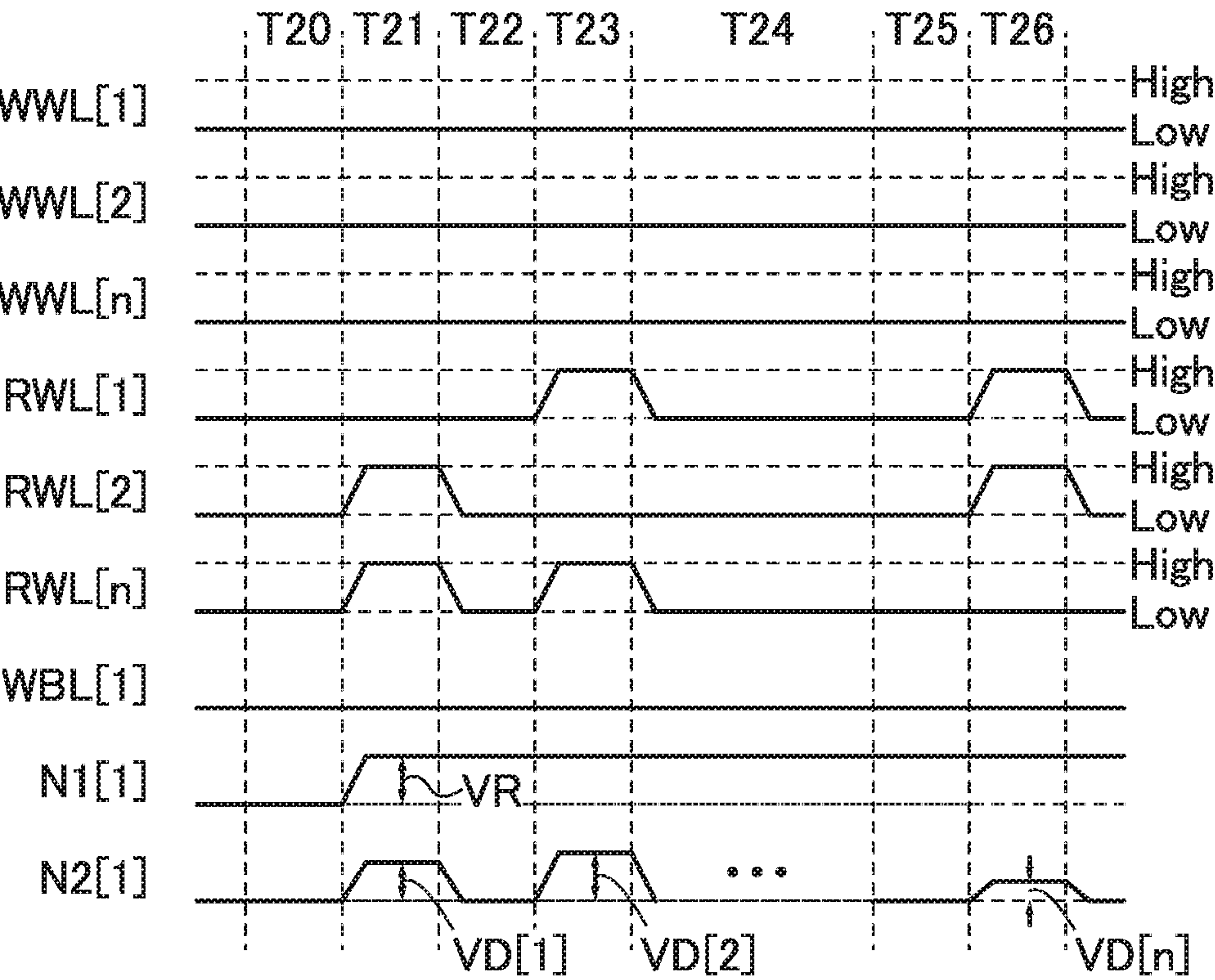


図26A

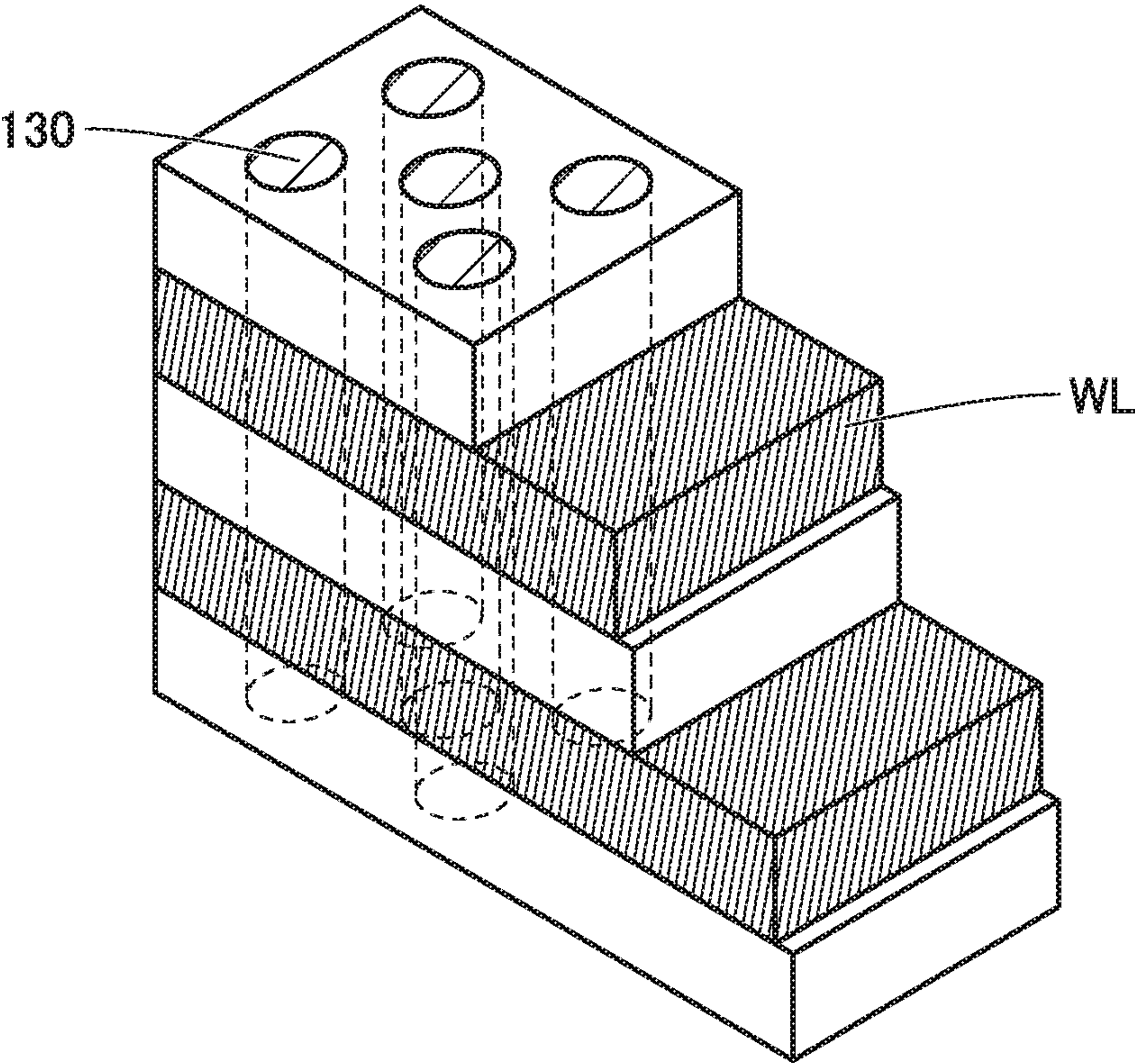


図26B

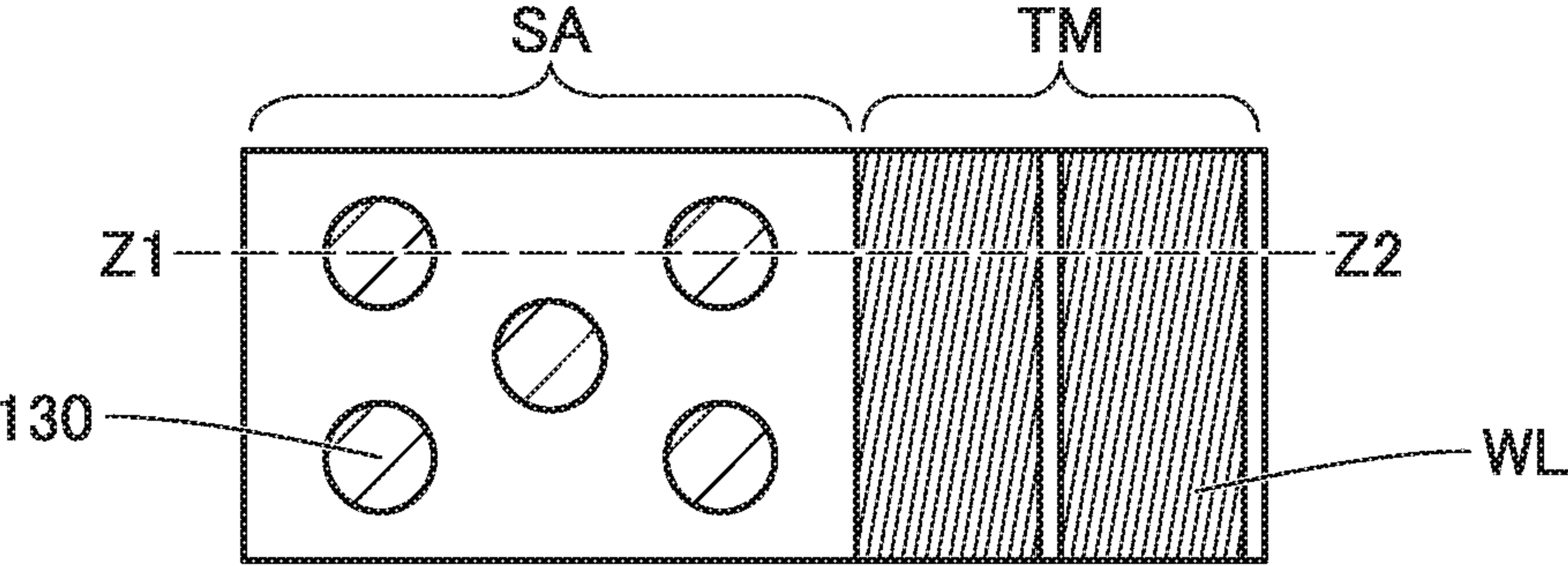
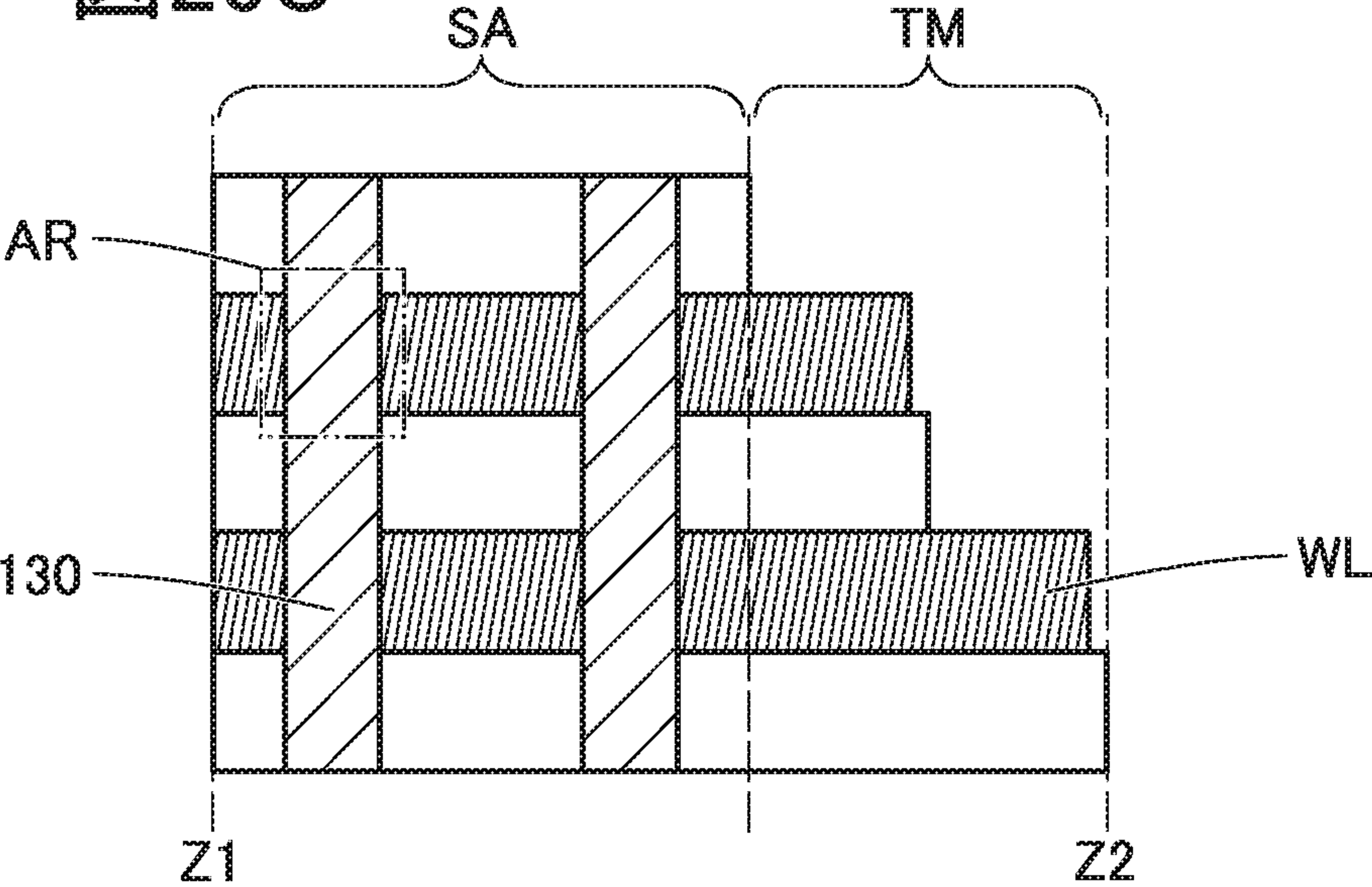
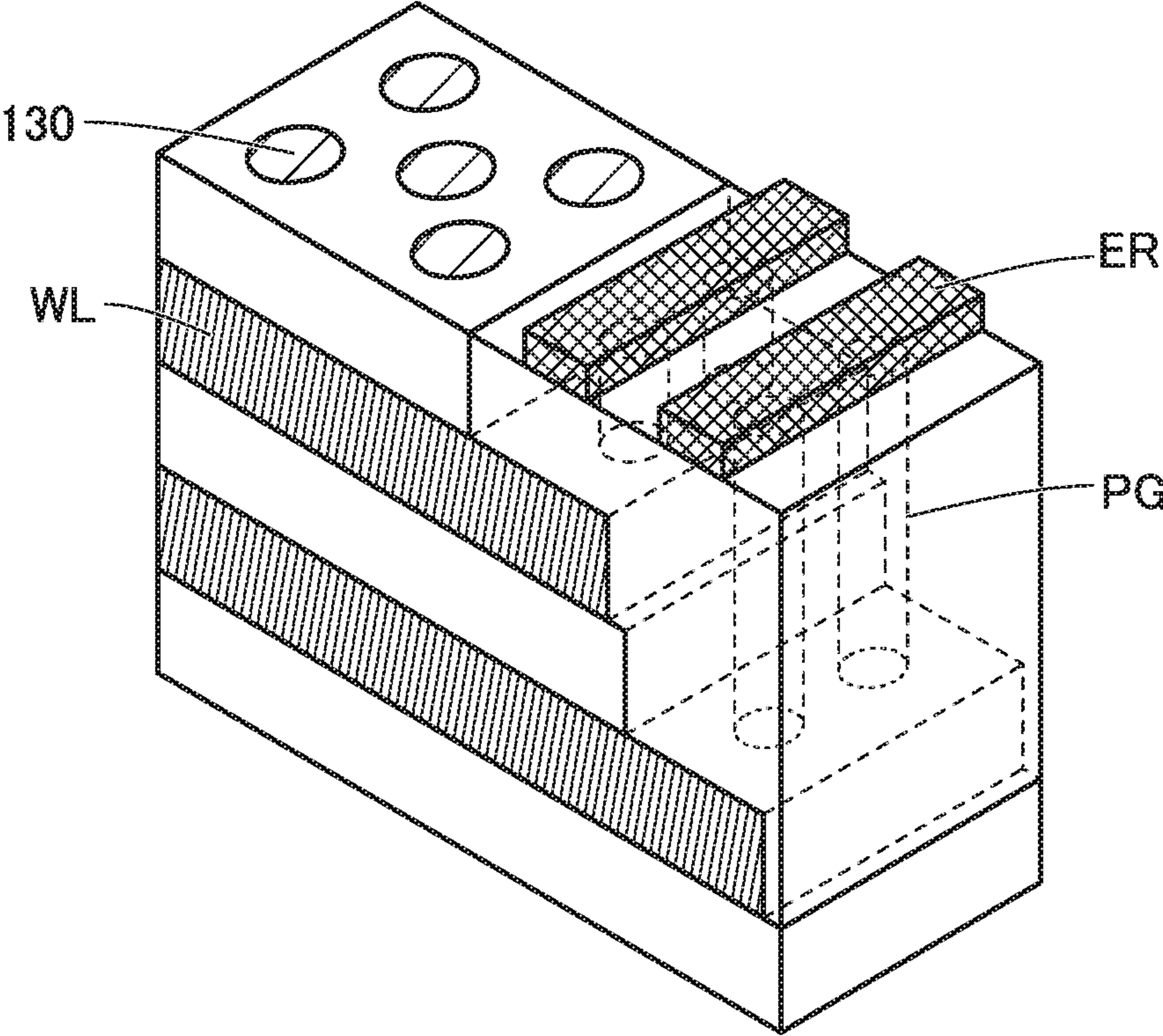


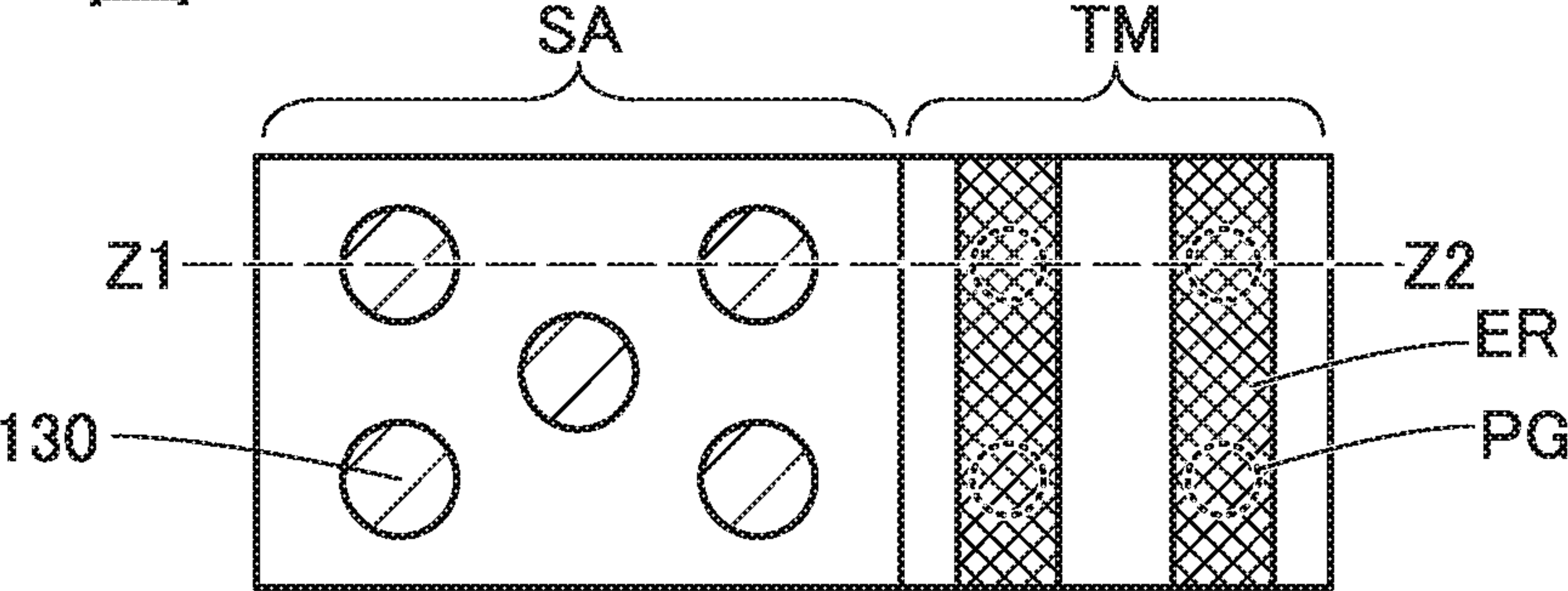
図26C



27A



27B



27C

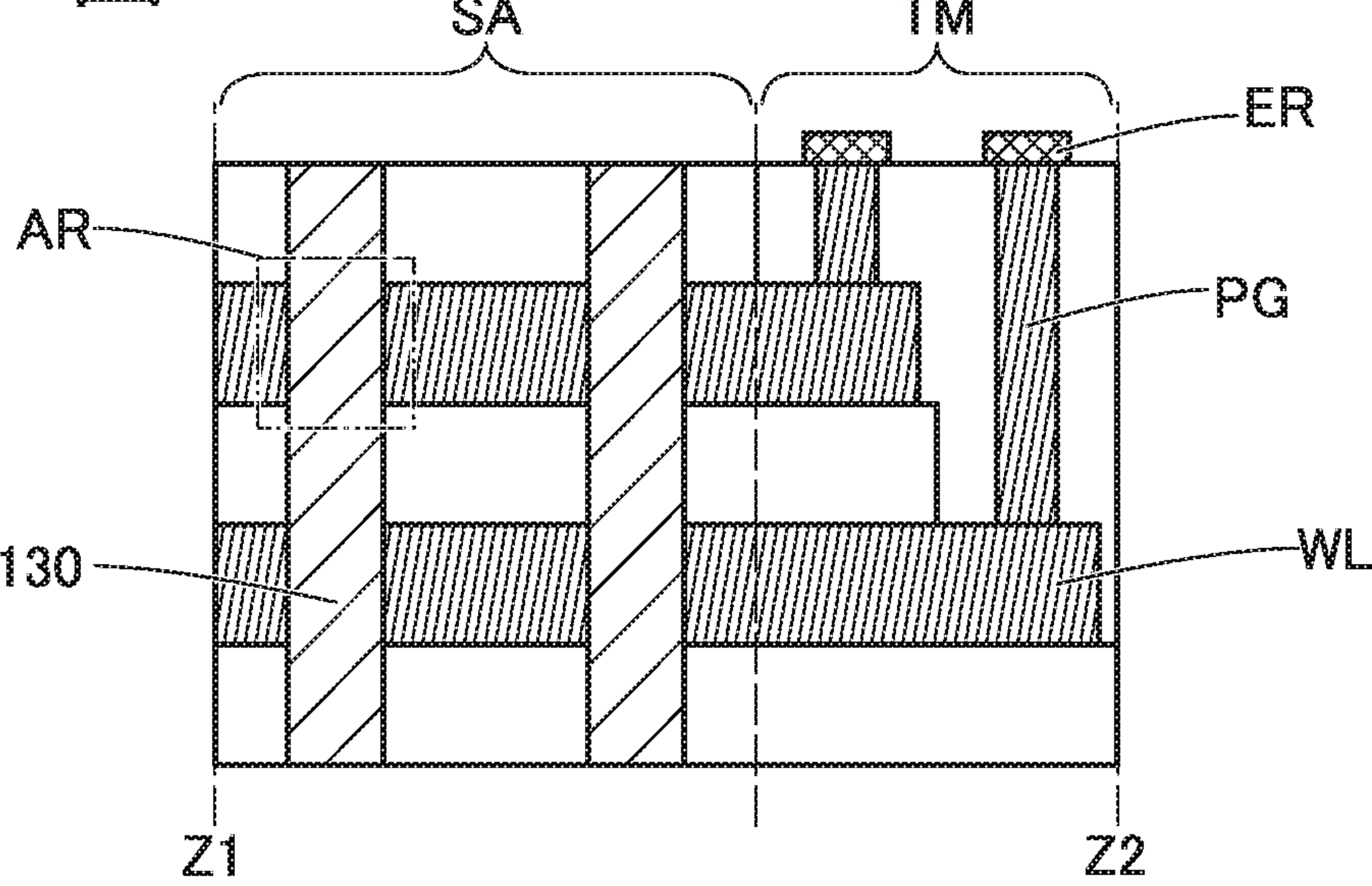


図28A

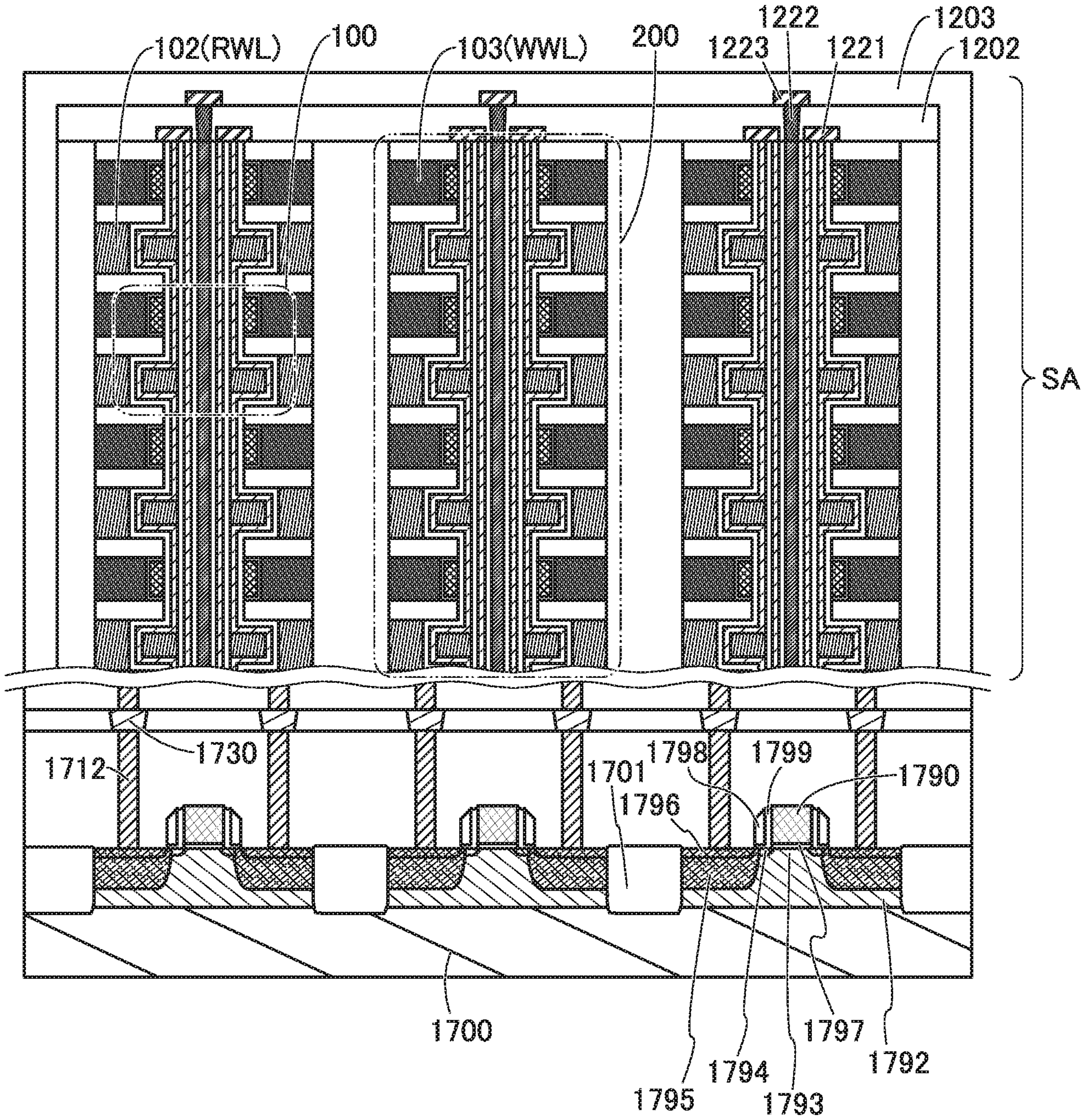


図28B

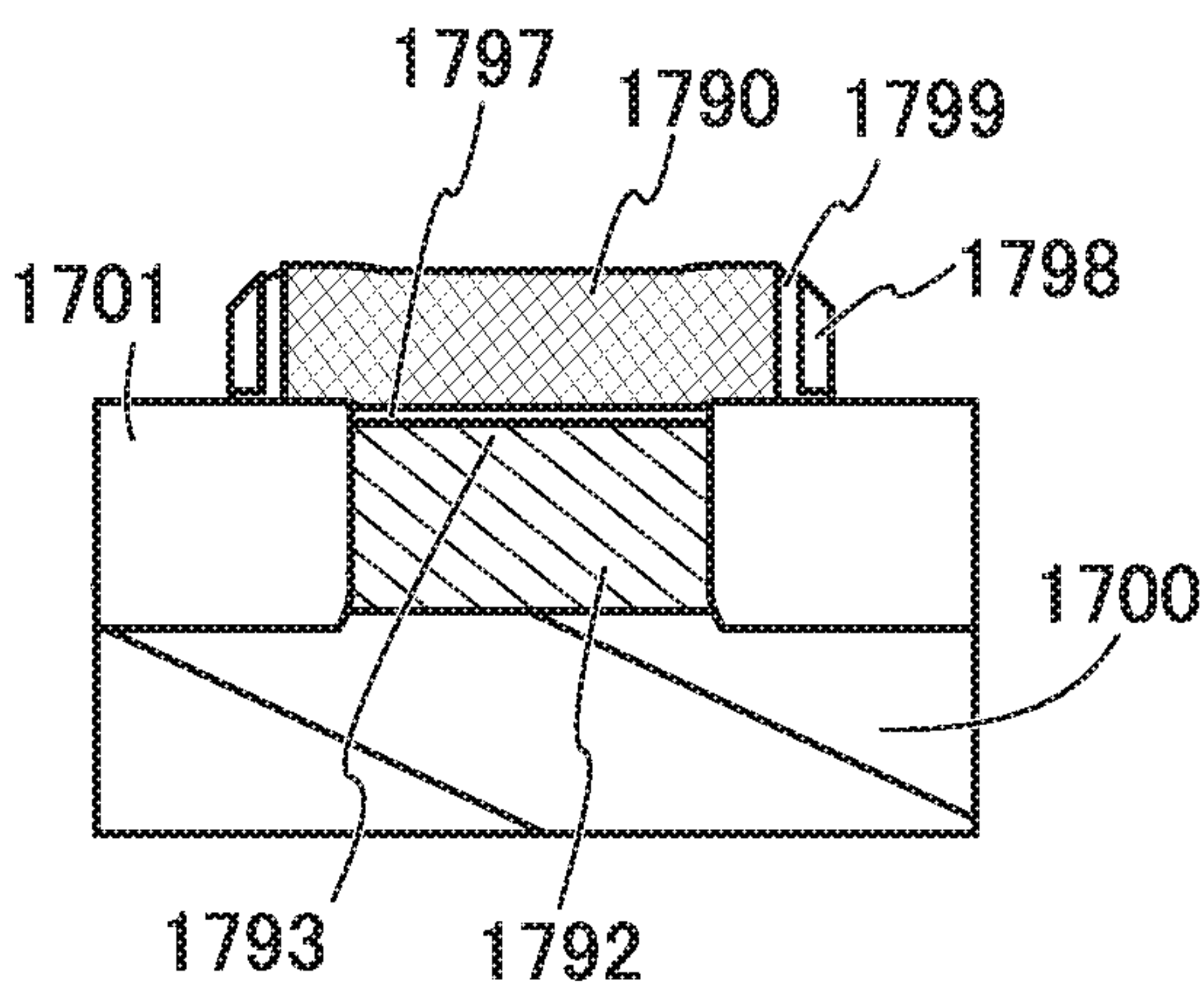


図29A

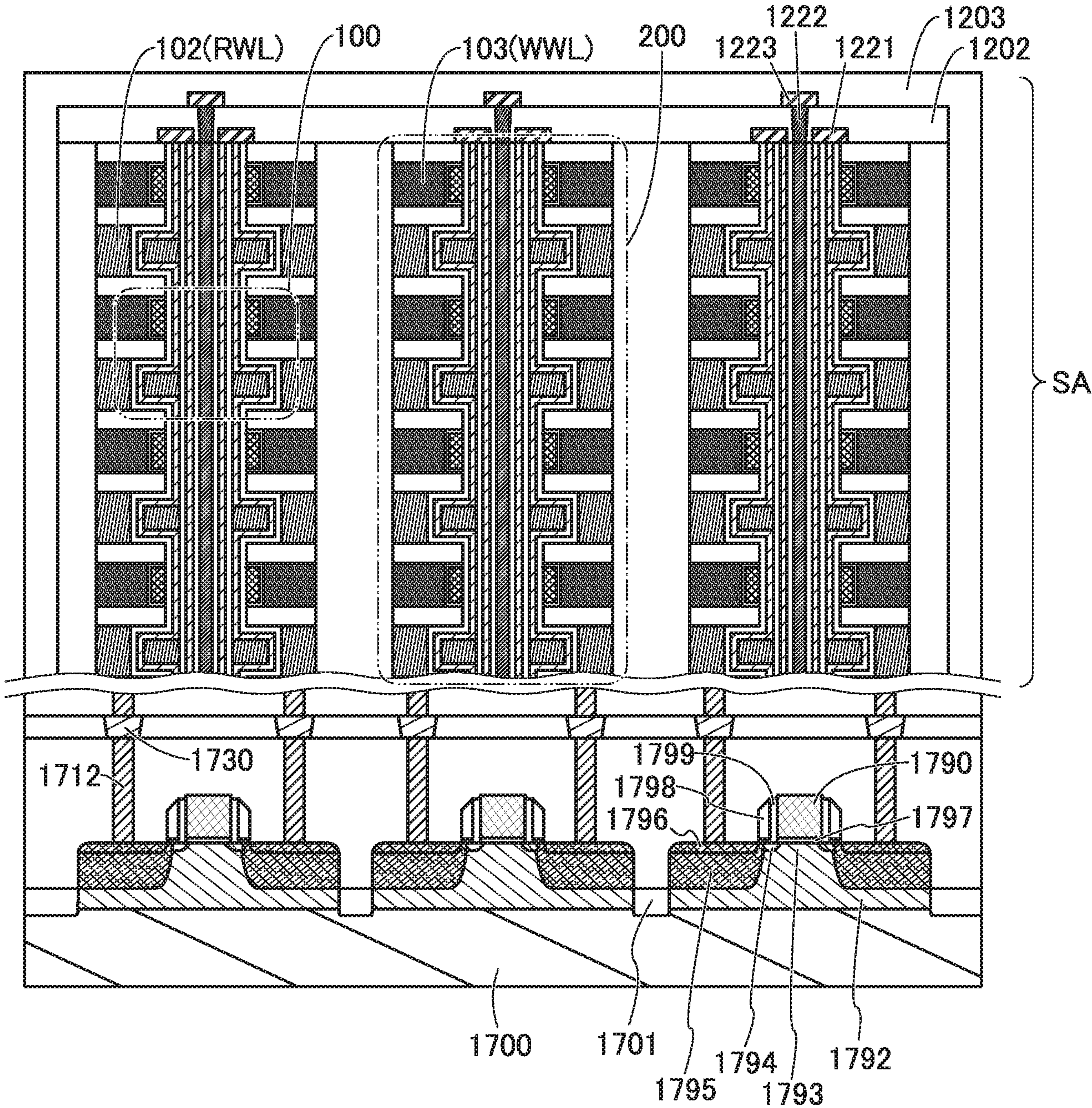
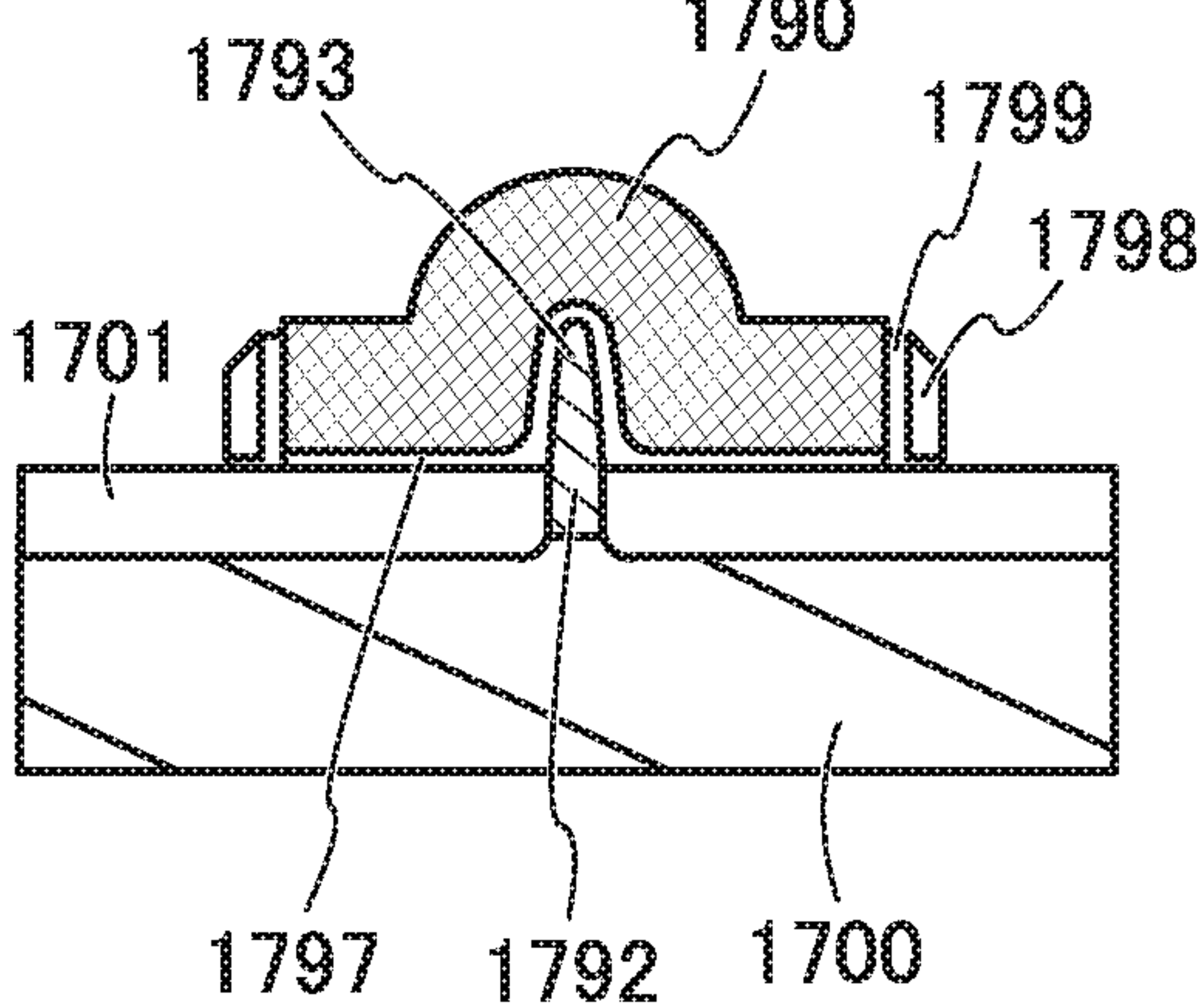


図29B



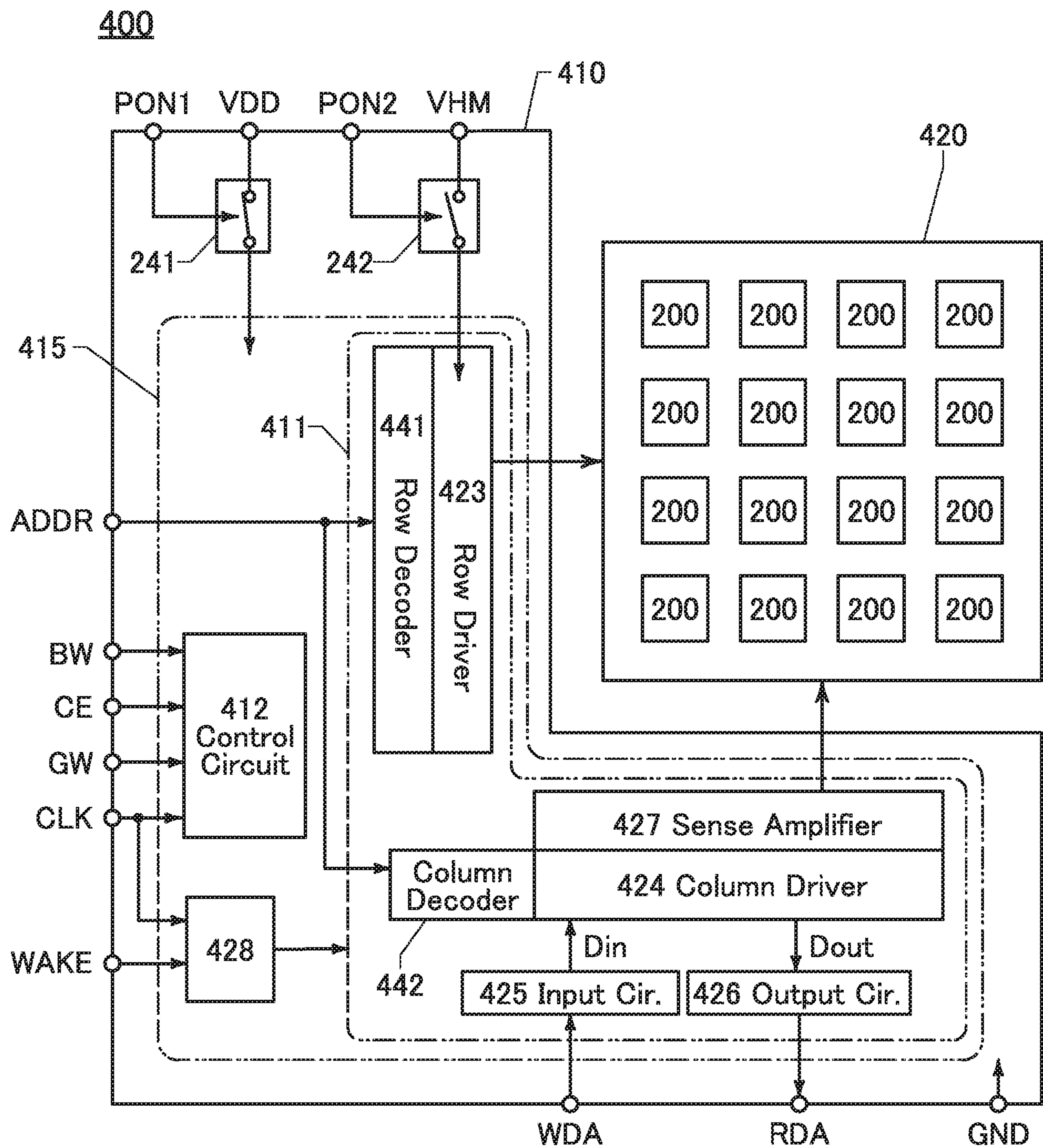
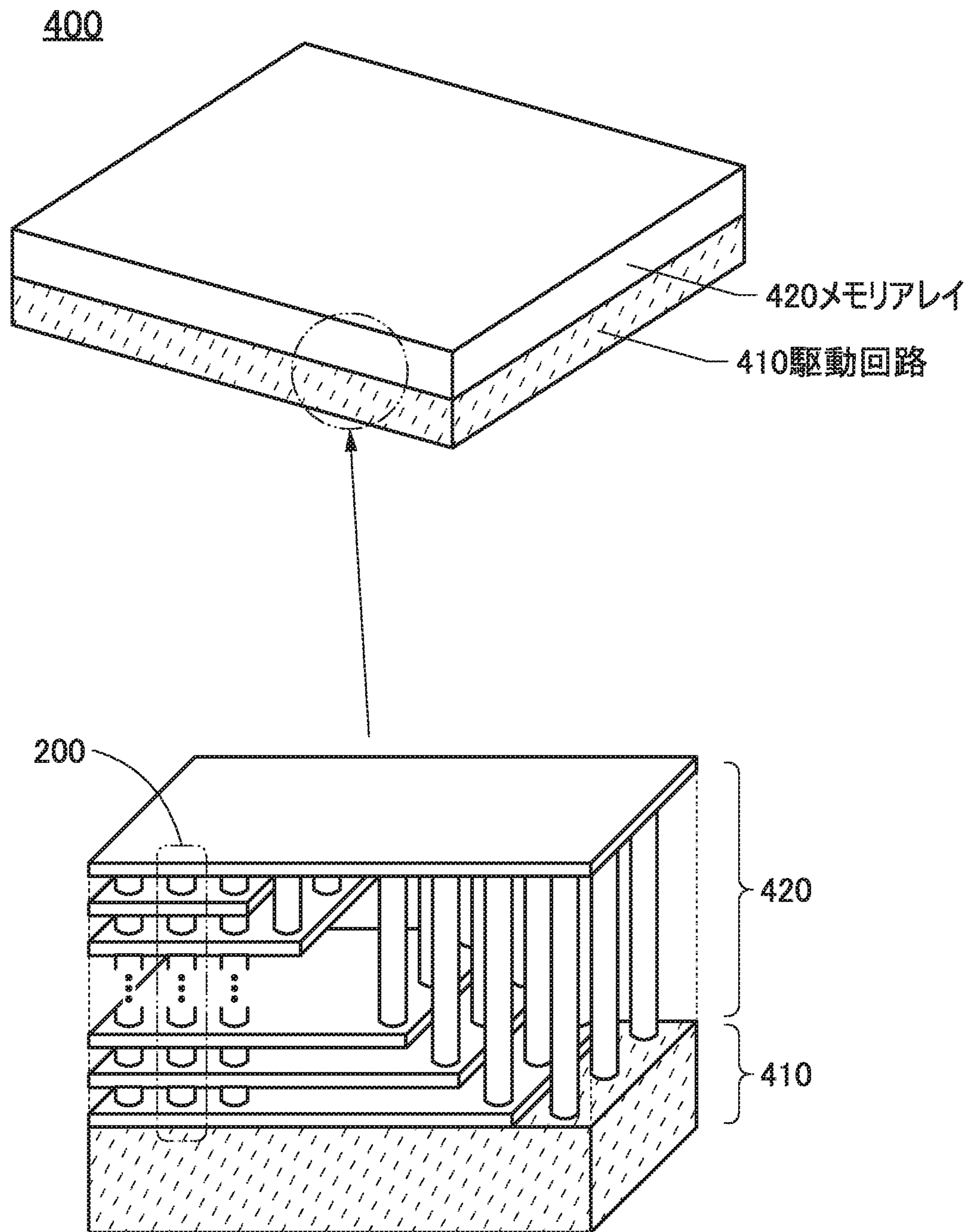
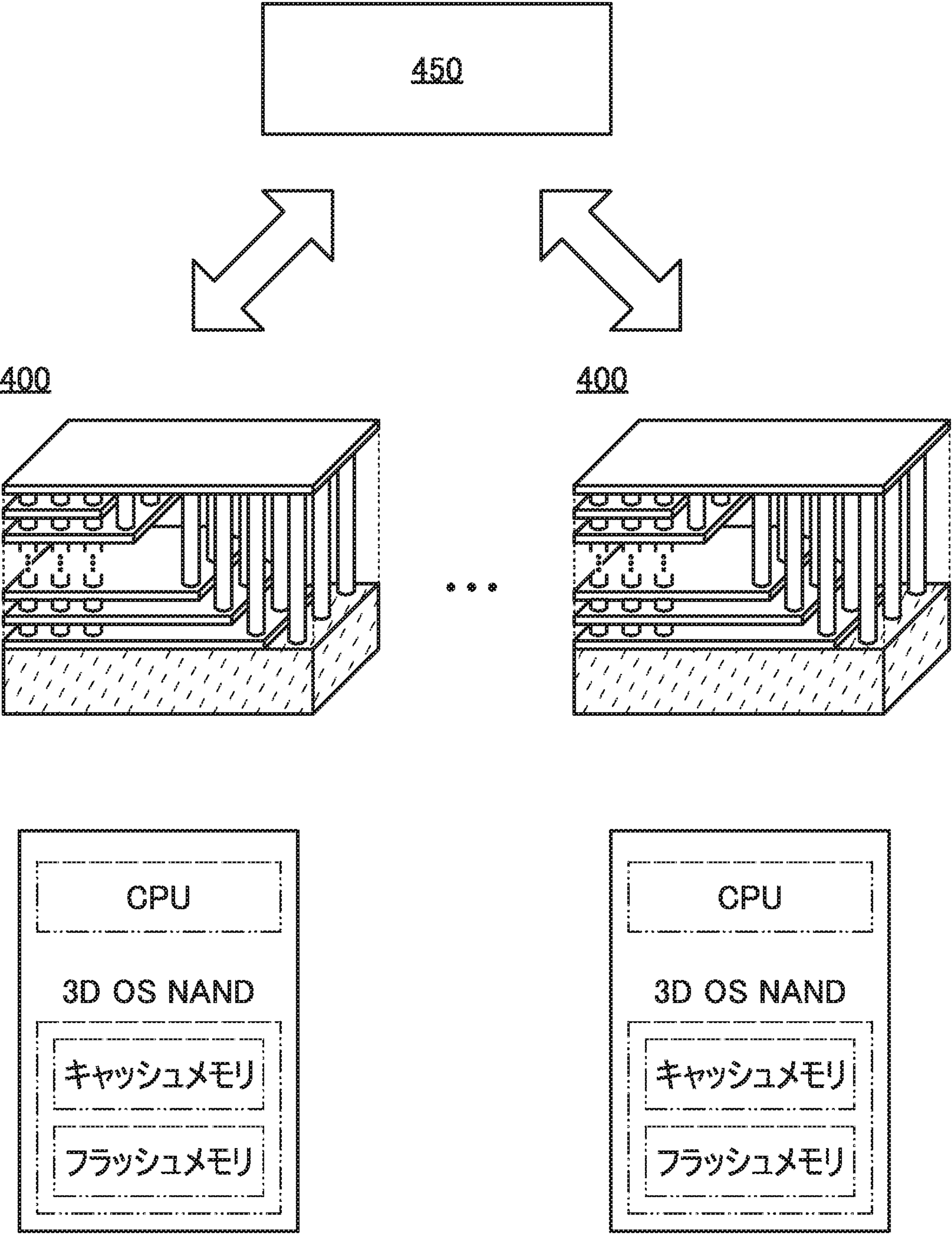


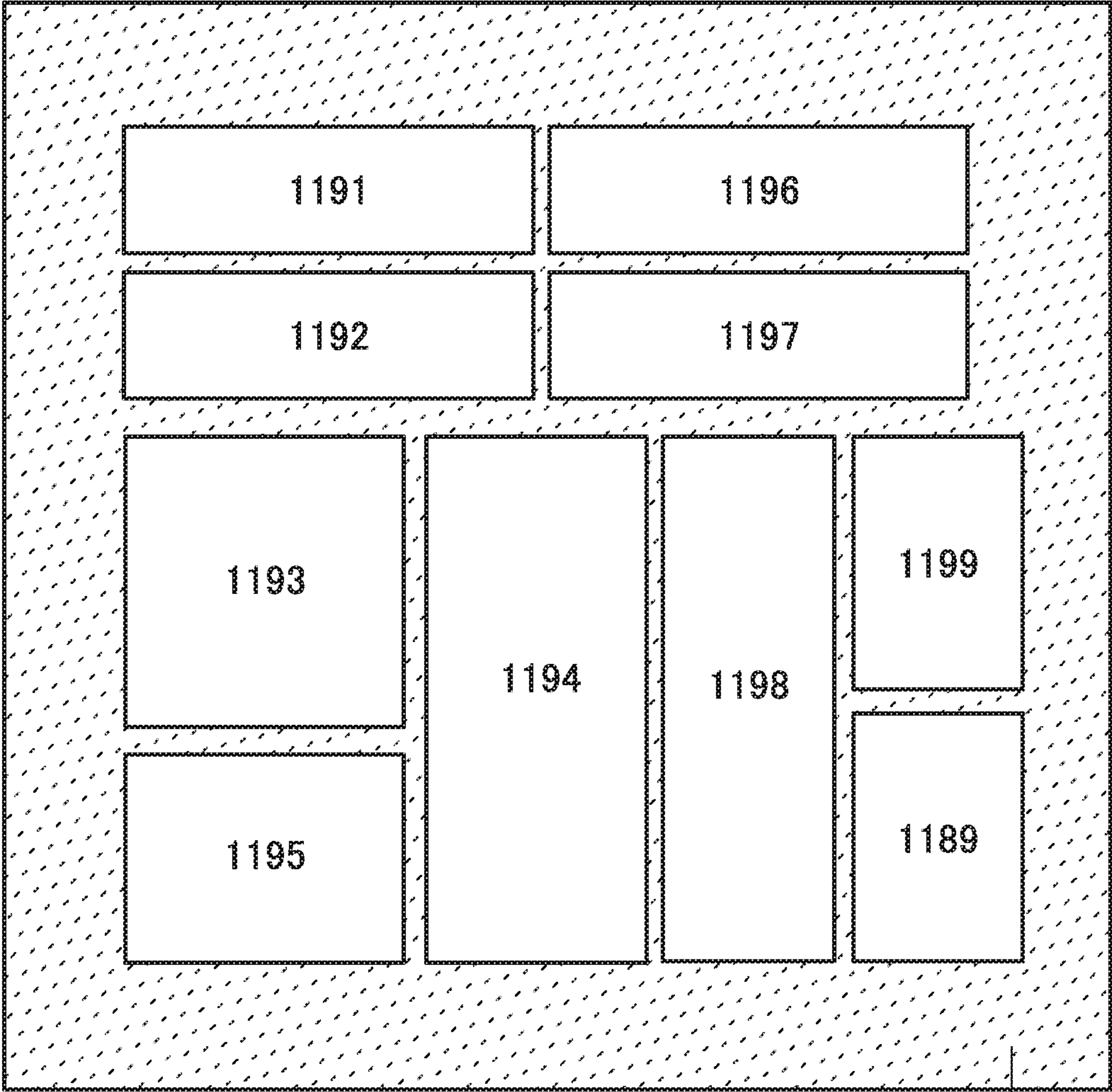
図31

31/50





1100



1190

図34A

1150A

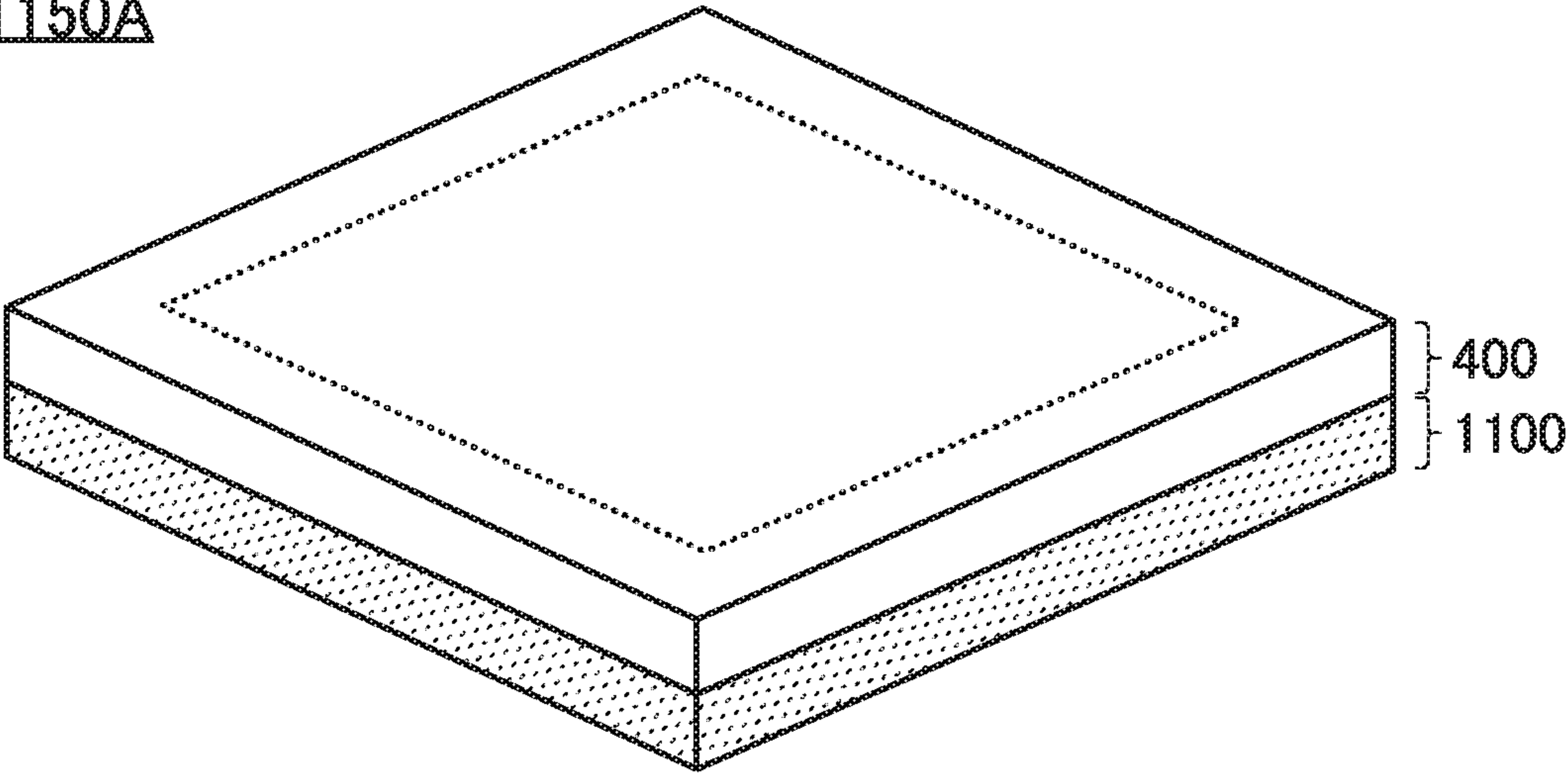
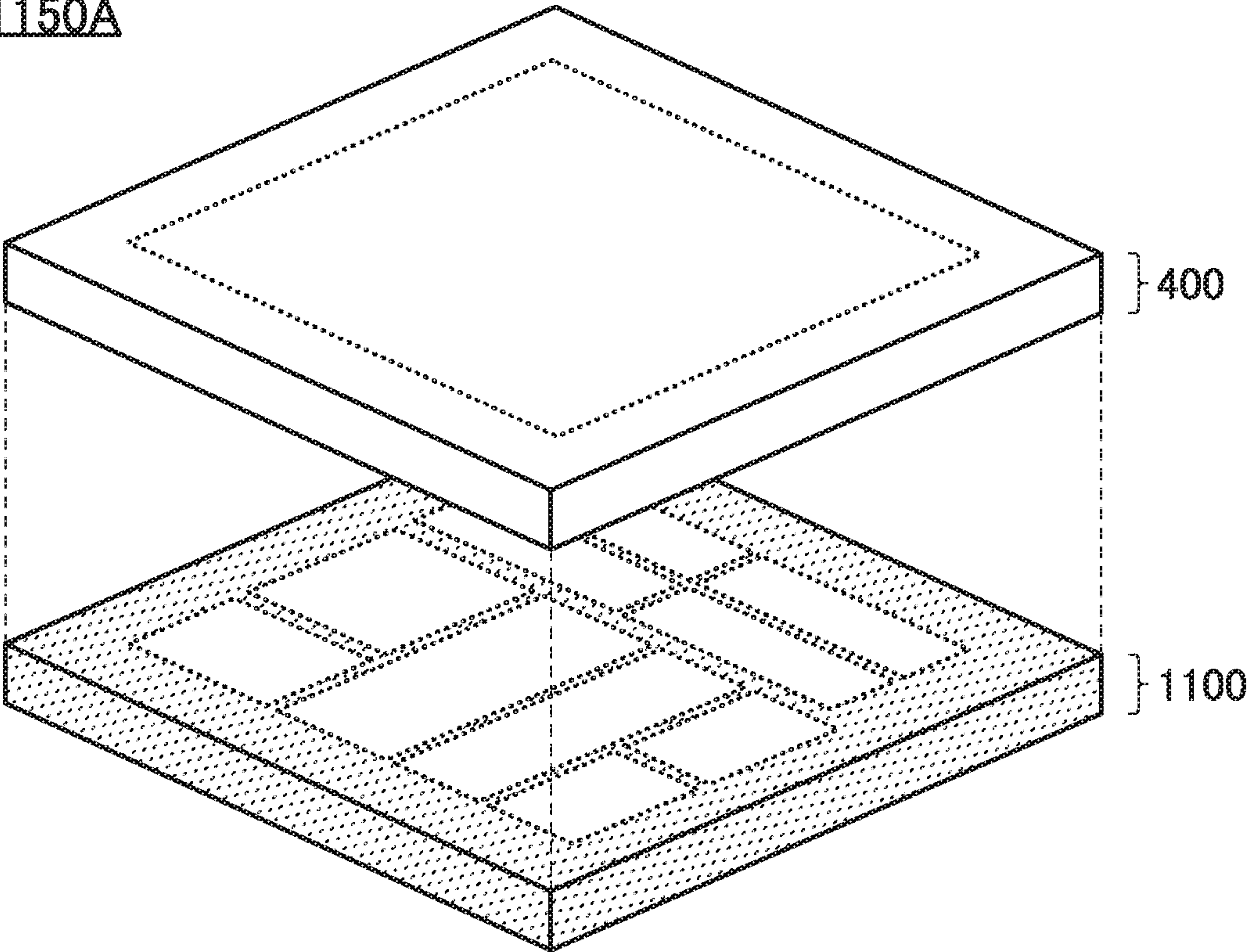


図34B

1150A



400: 半導体装置(記憶装置)
1100: 演算処理装置(CPU)

図35A

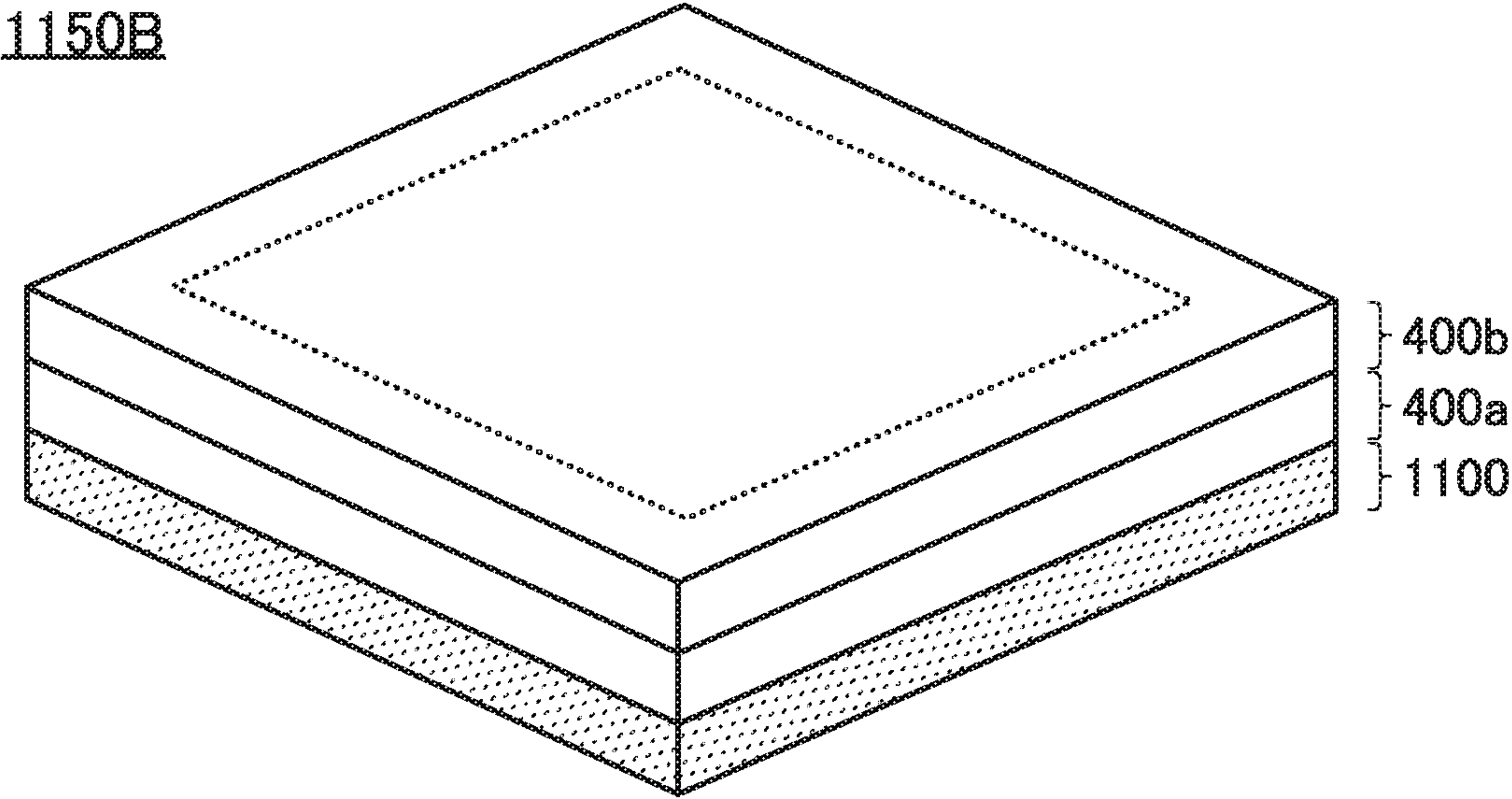
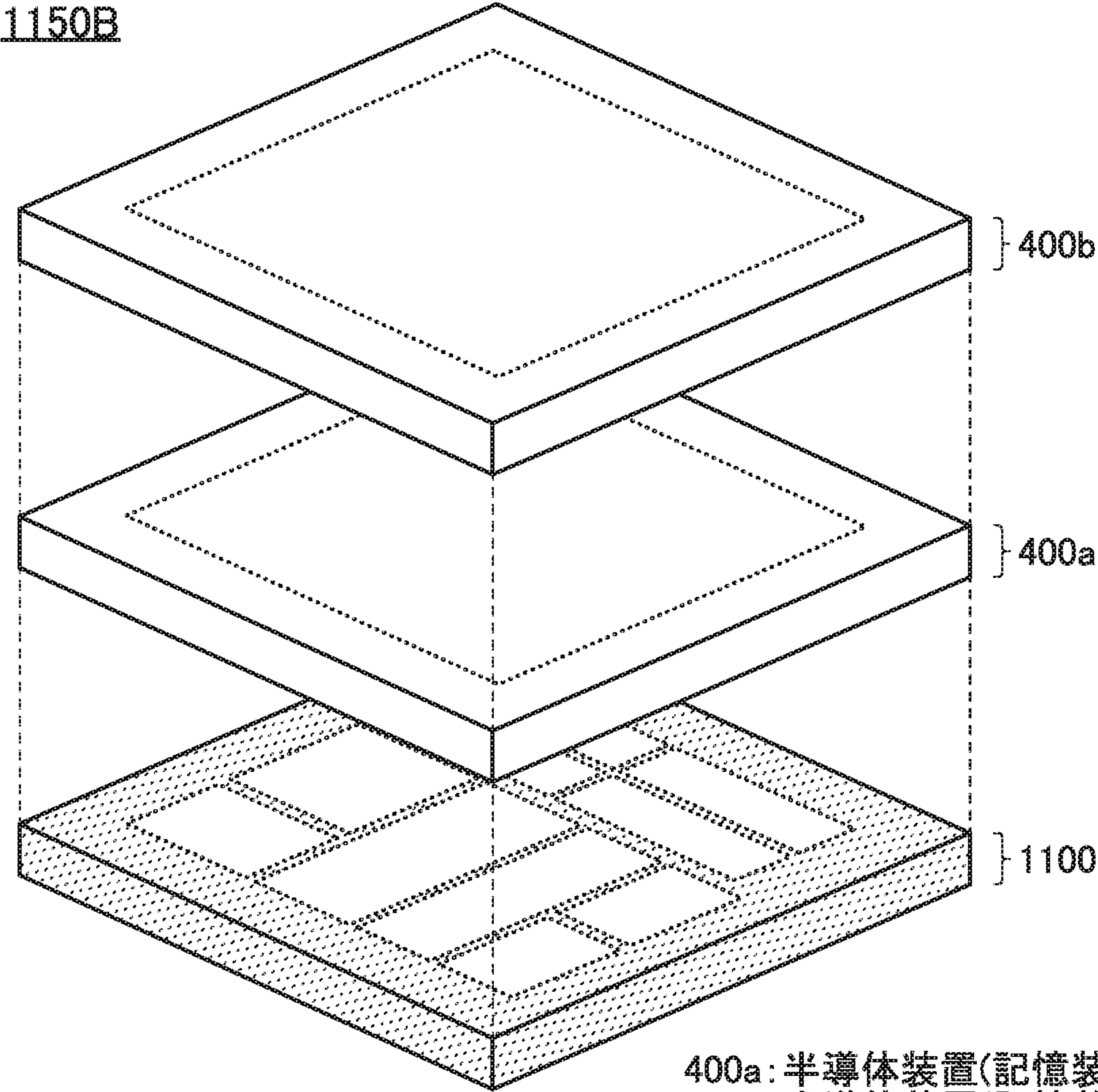


図35B



400a: 半導体装置(記憶装置)
400b: 半導体装置(記憶装置)
1100: 演算処理装置(CPU)

図36A

1150C

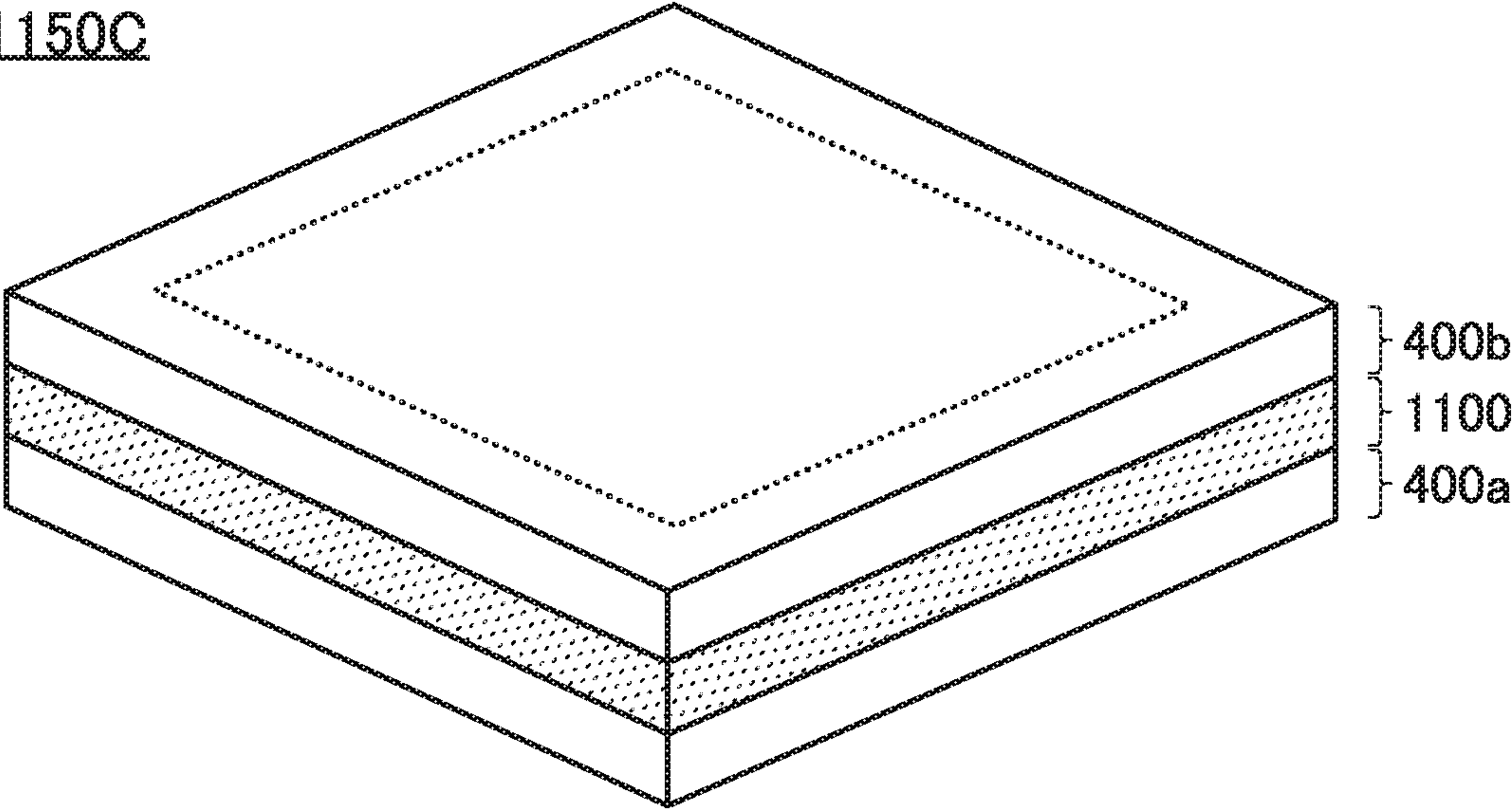
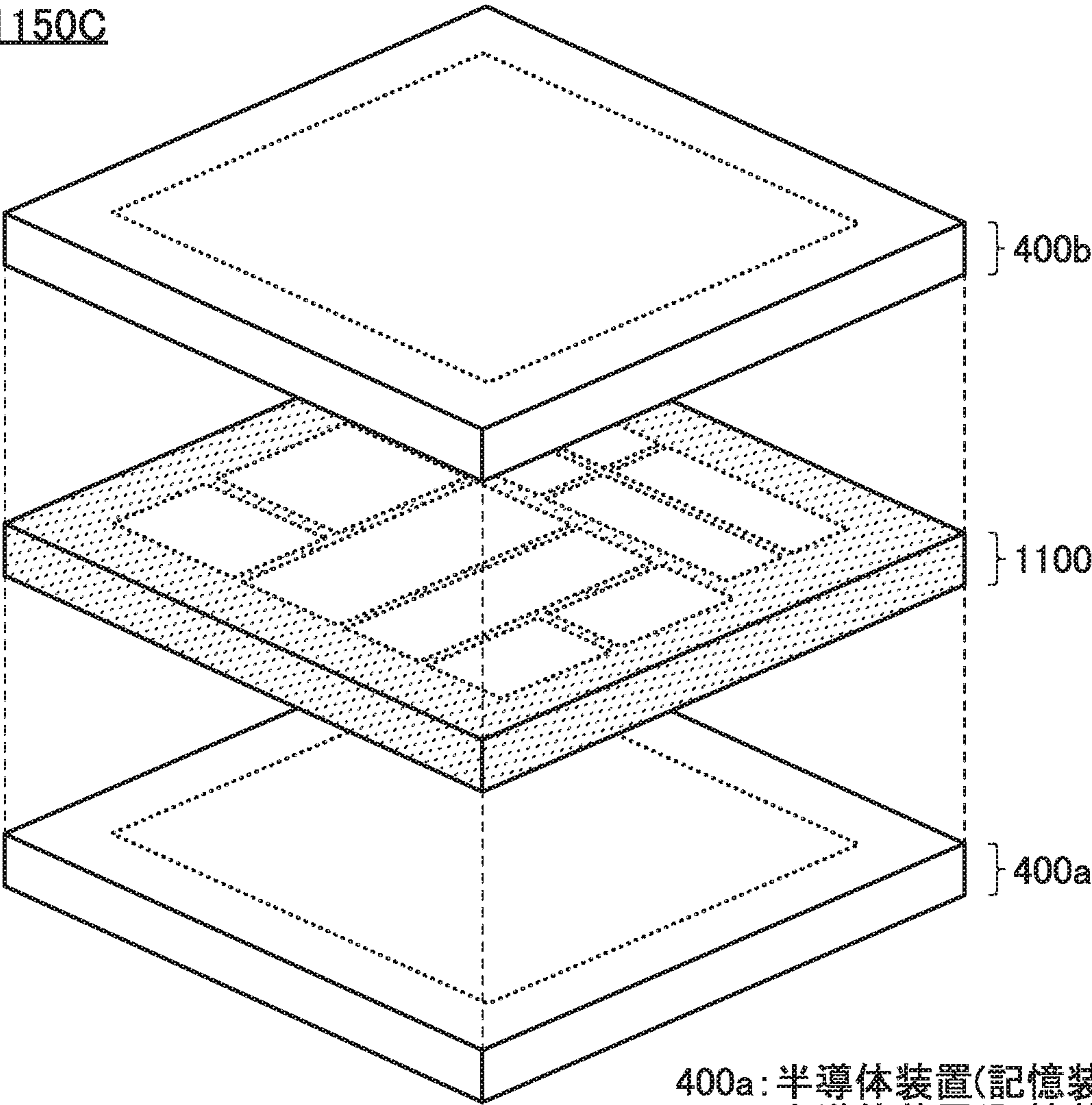


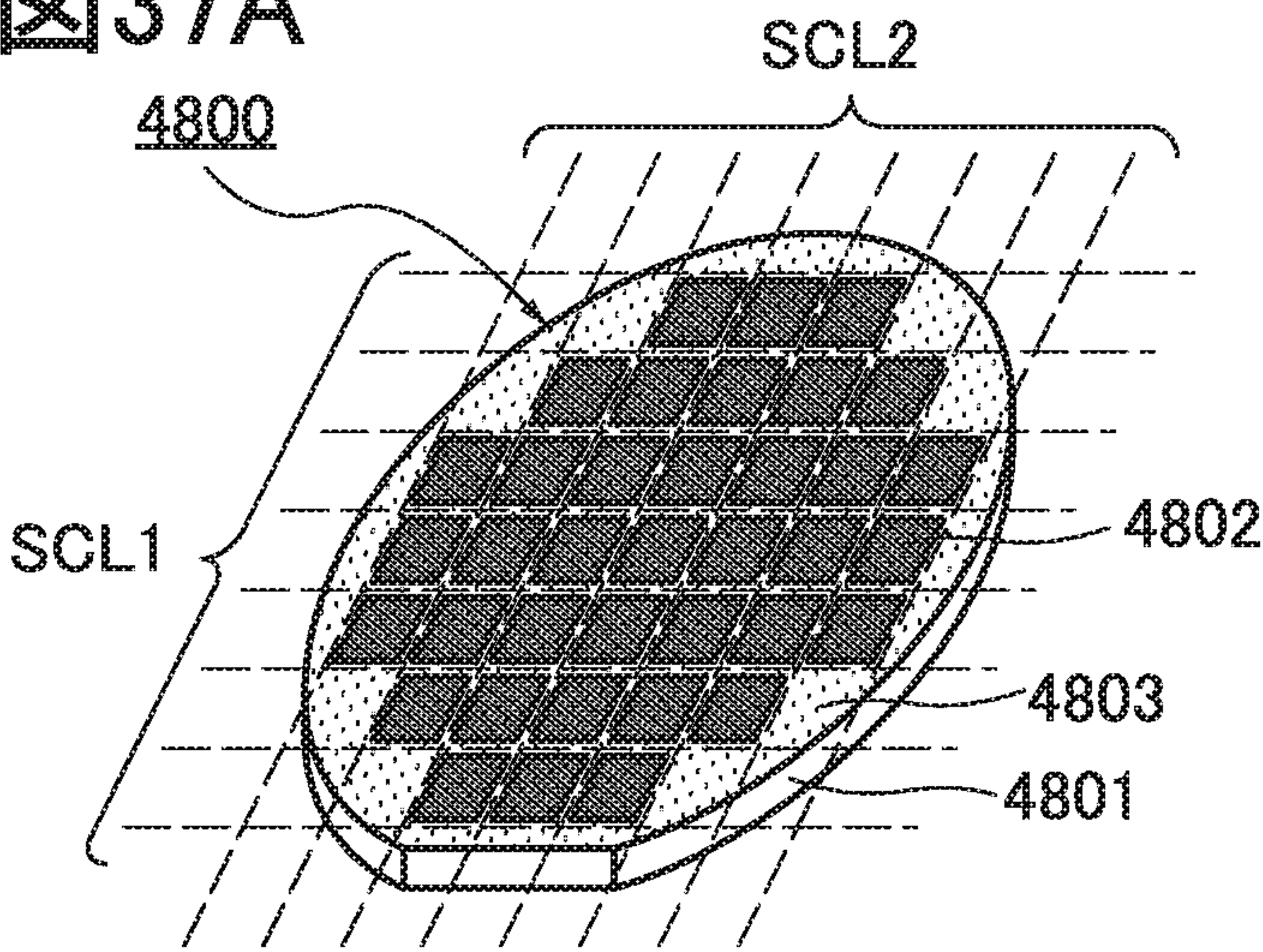
図36B

1150C

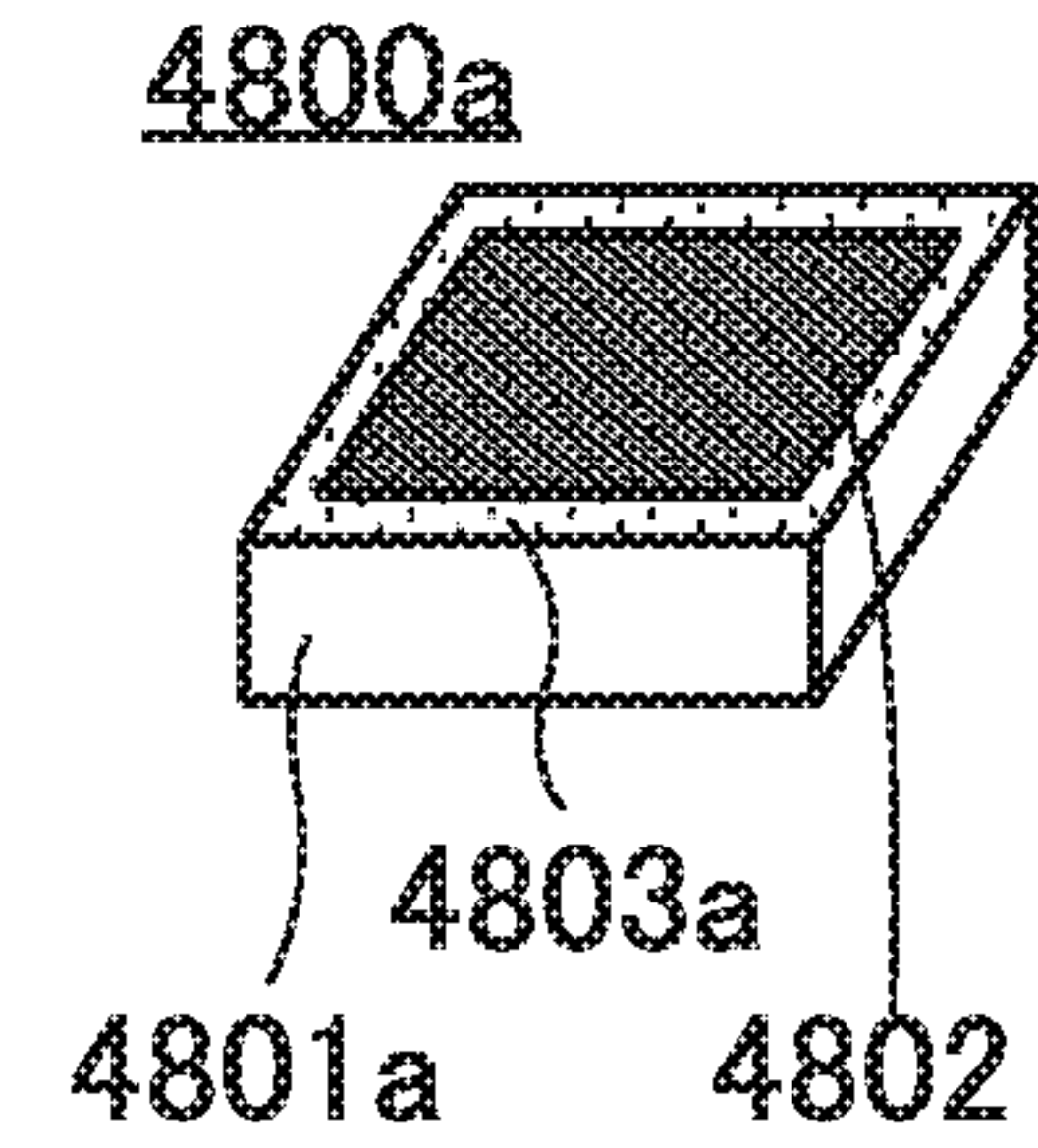


400a: 半導体装置(記憶装置)
400b: 半導体装置(記憶装置)
1100: 演算処理装置(CPU)

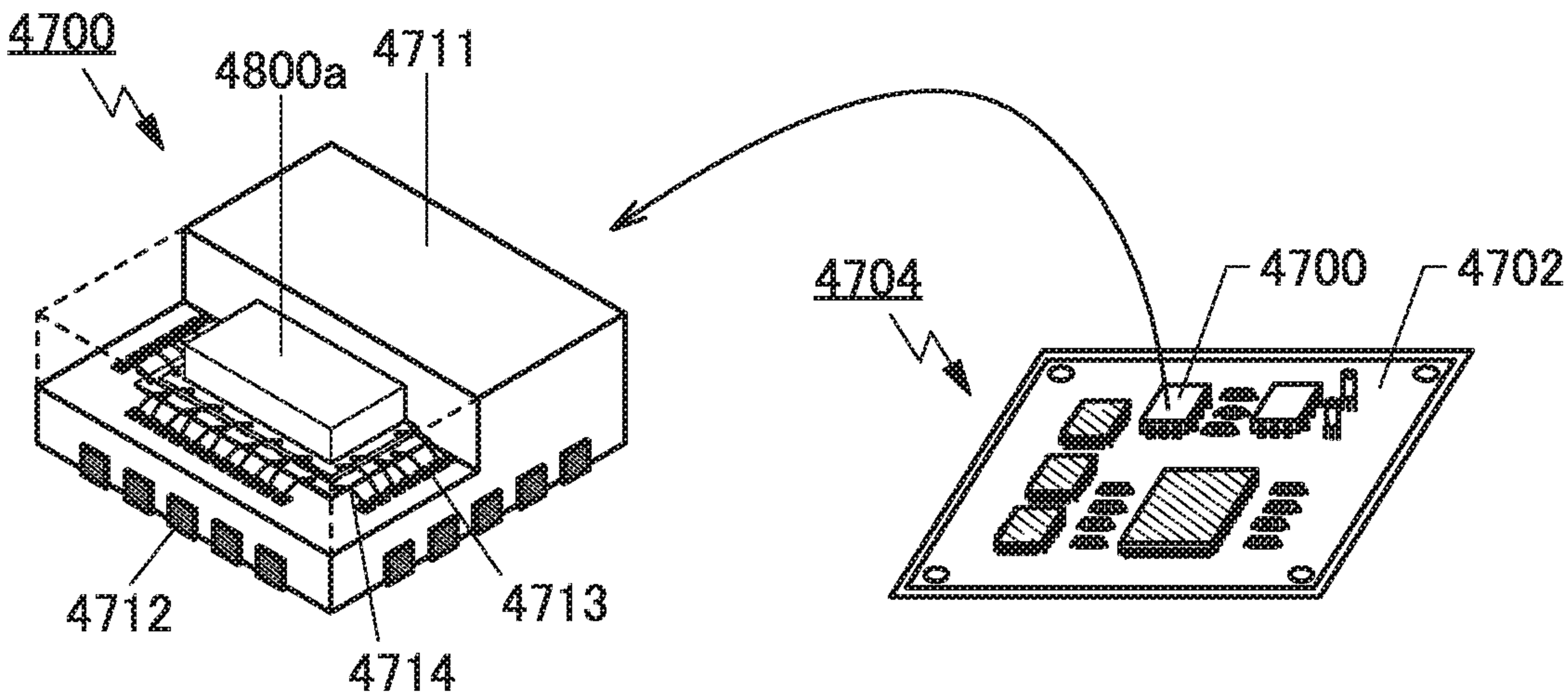
37A



37B



37C



37D

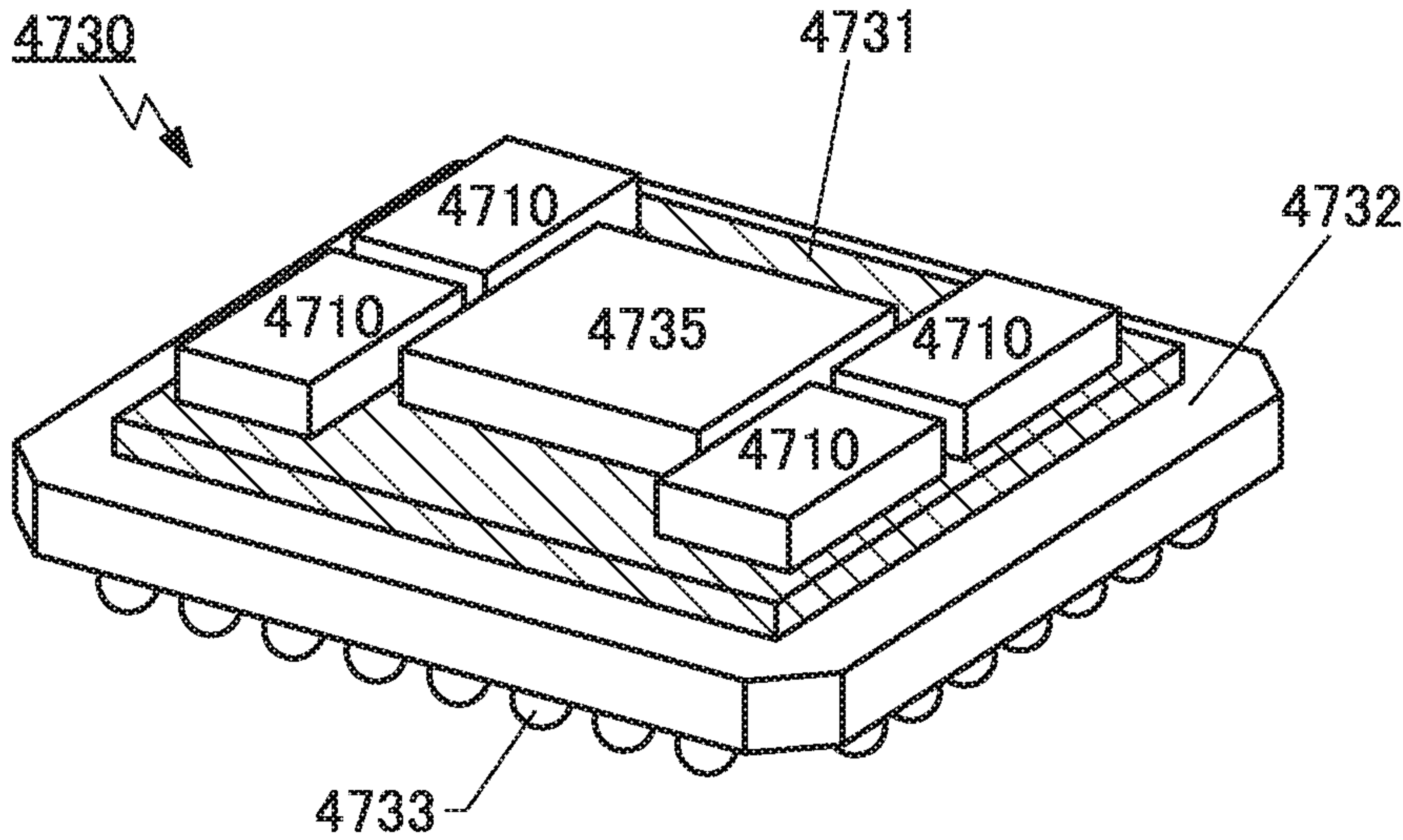


図38A

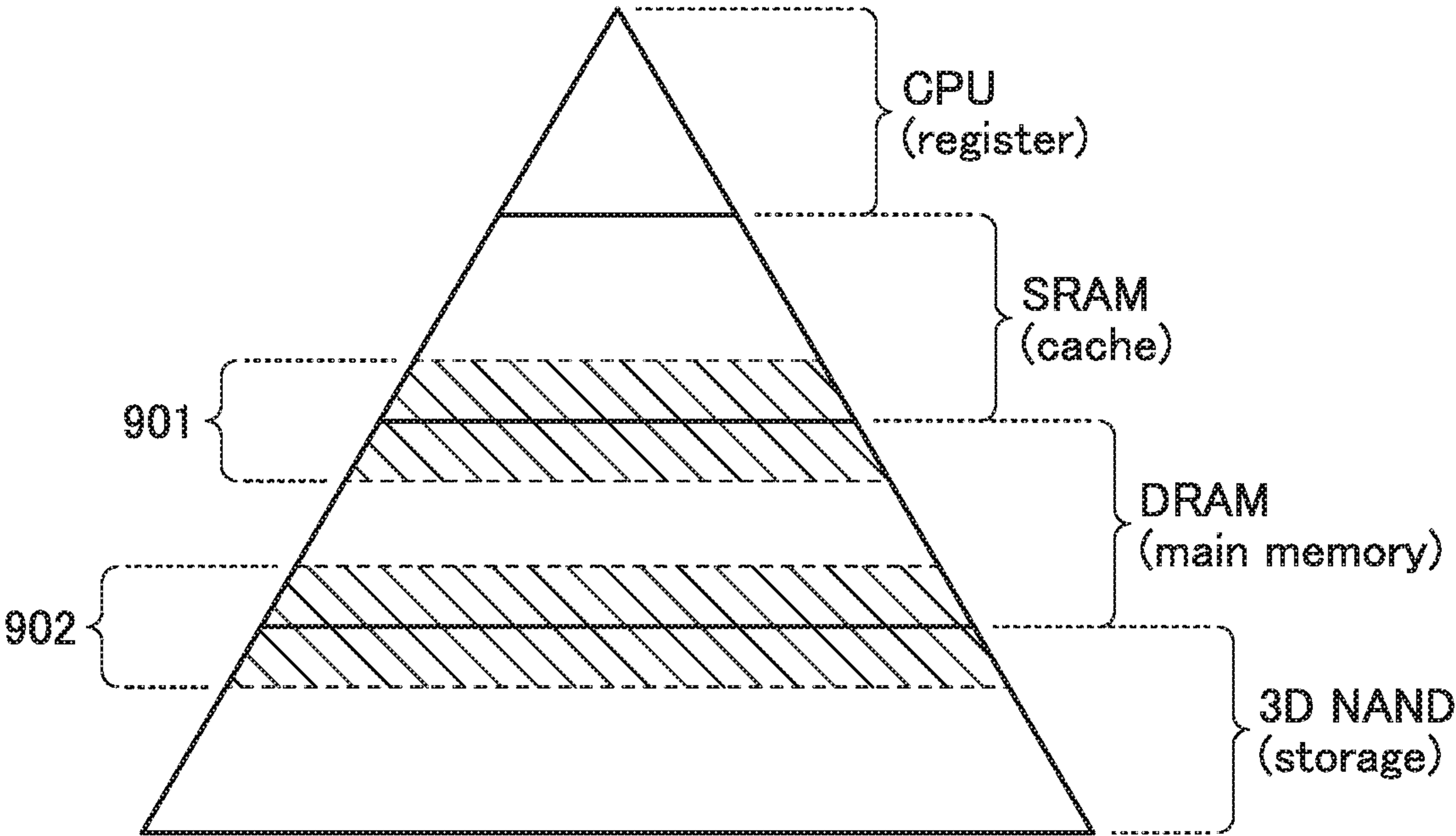
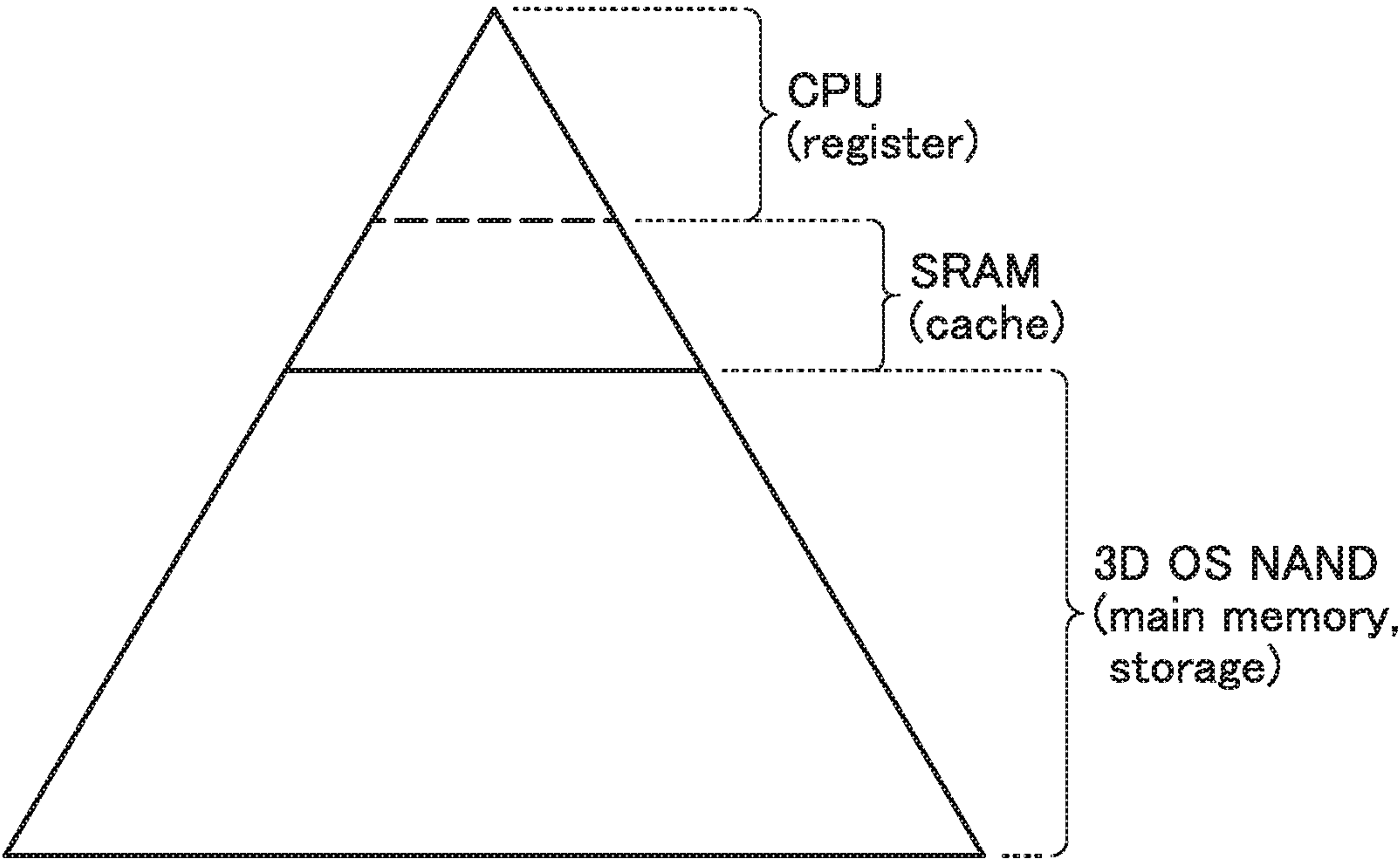


図38B



39/50

图 39A

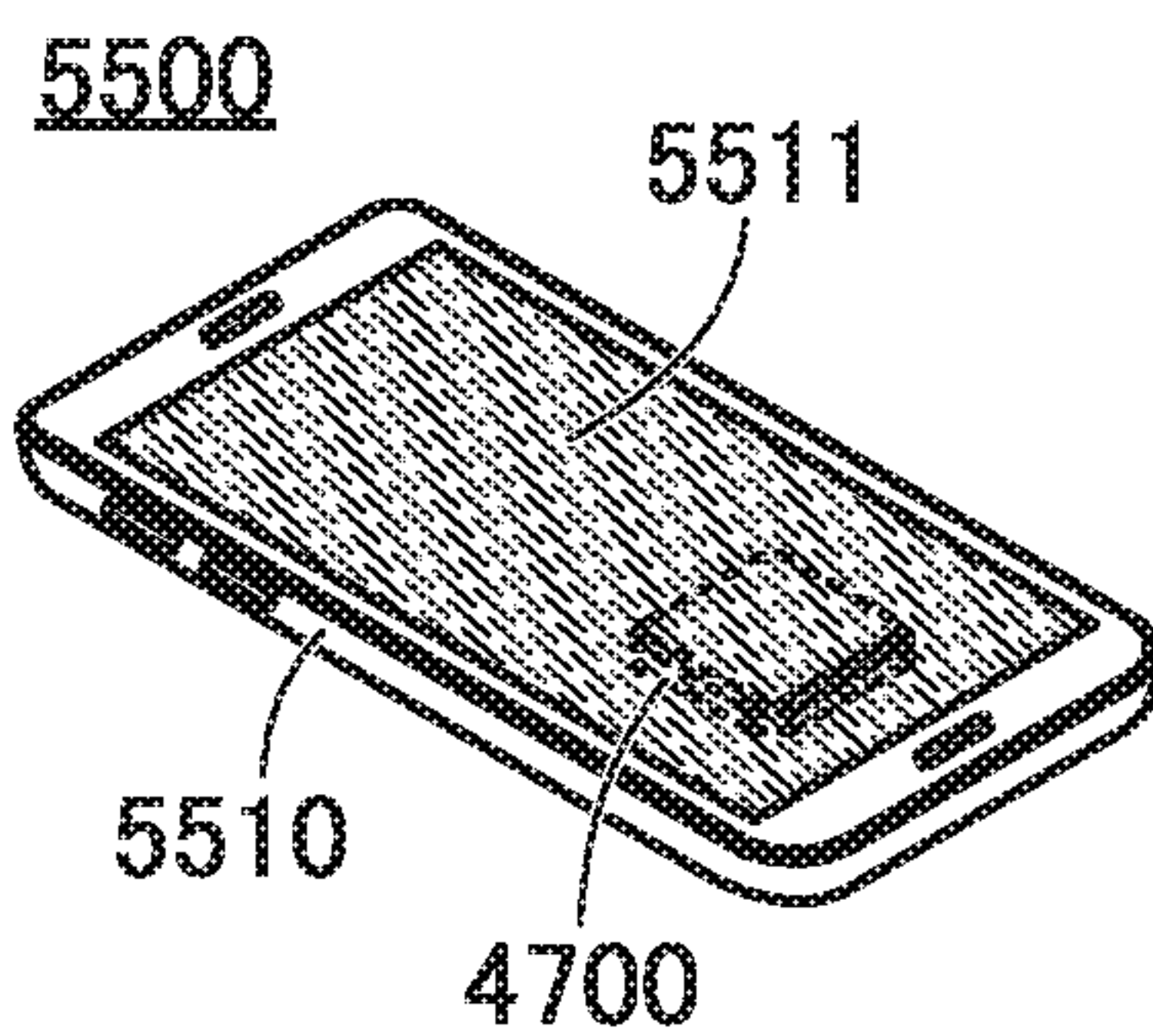


图 39B

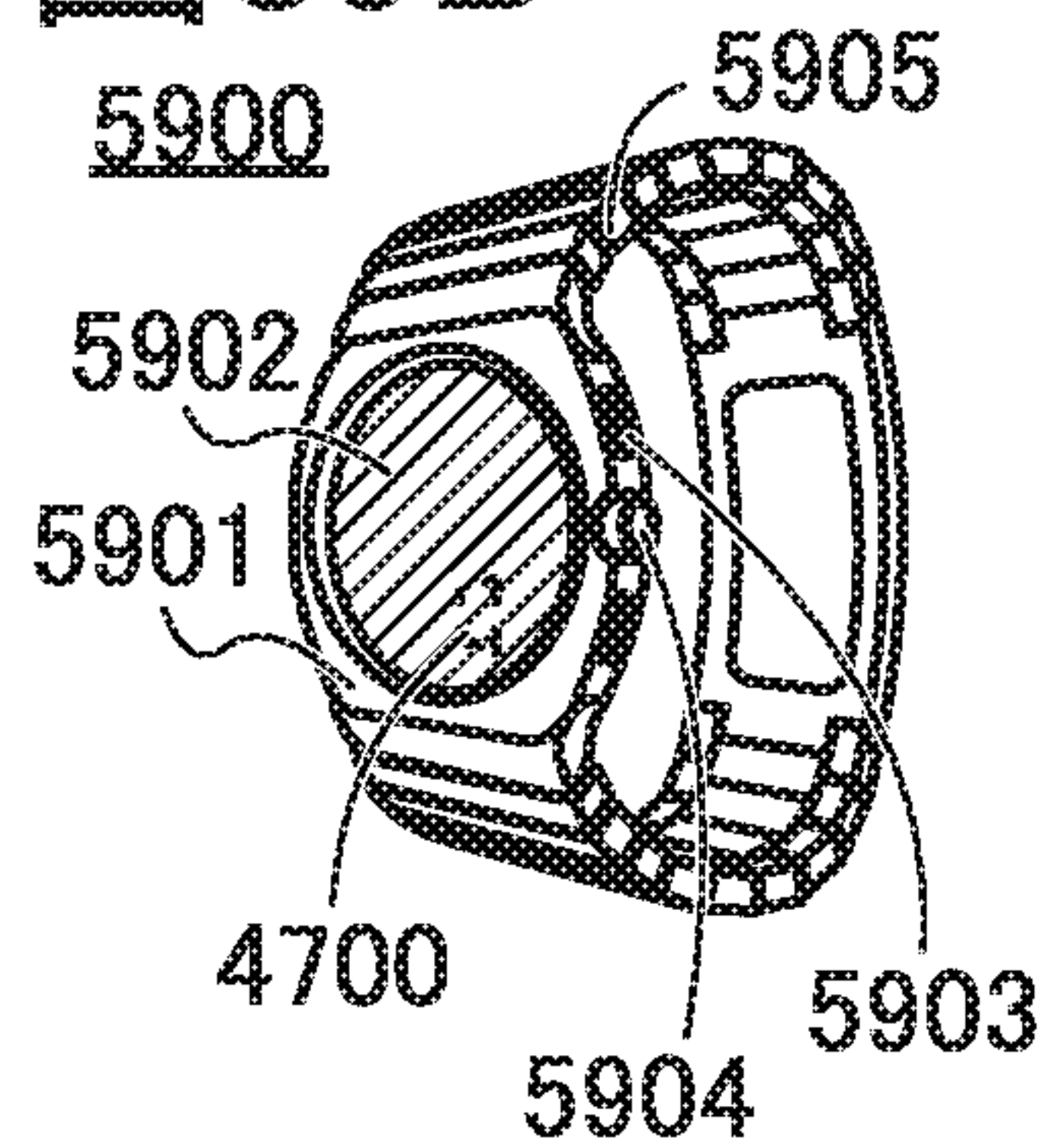


图 39C

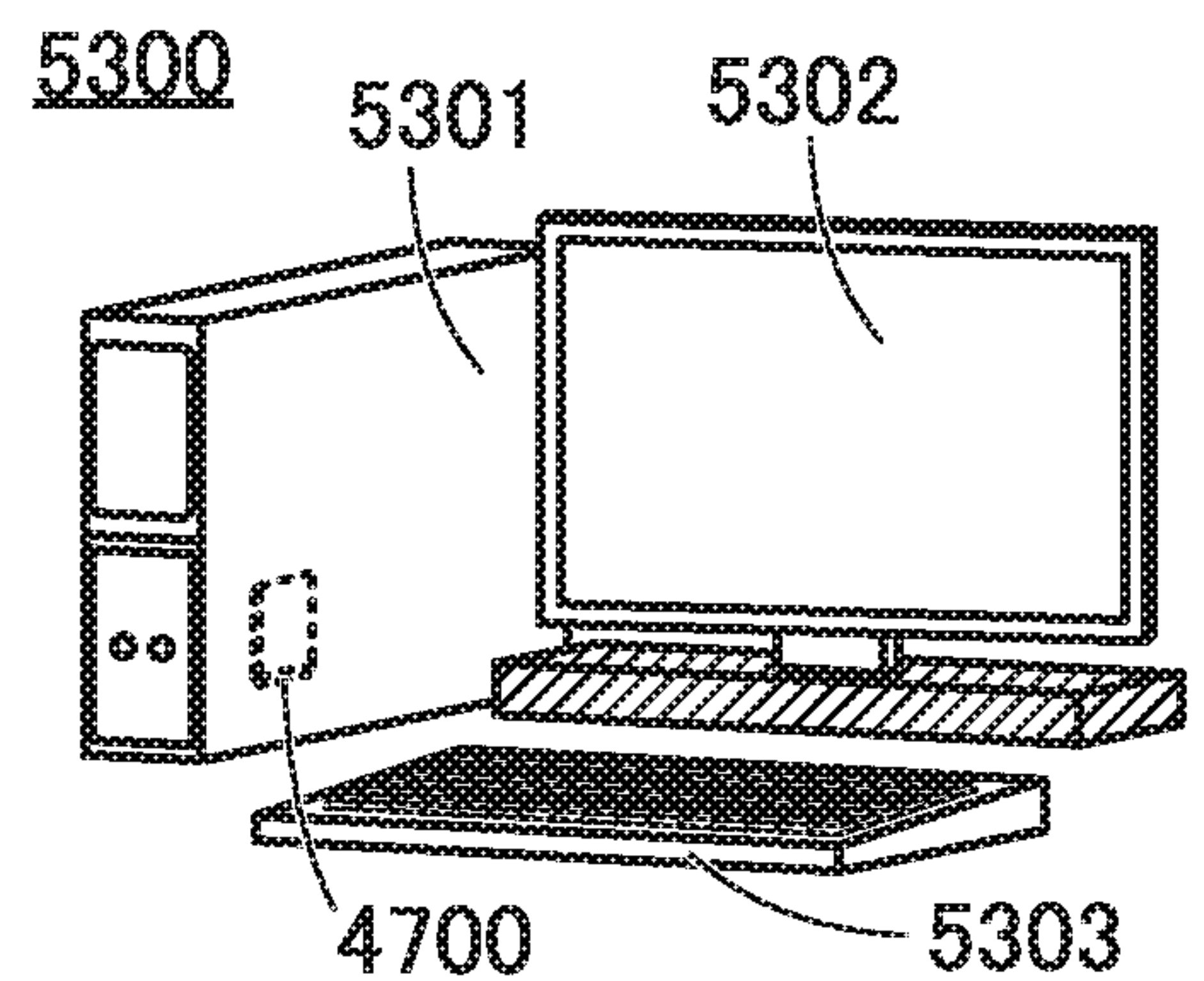


图 39D

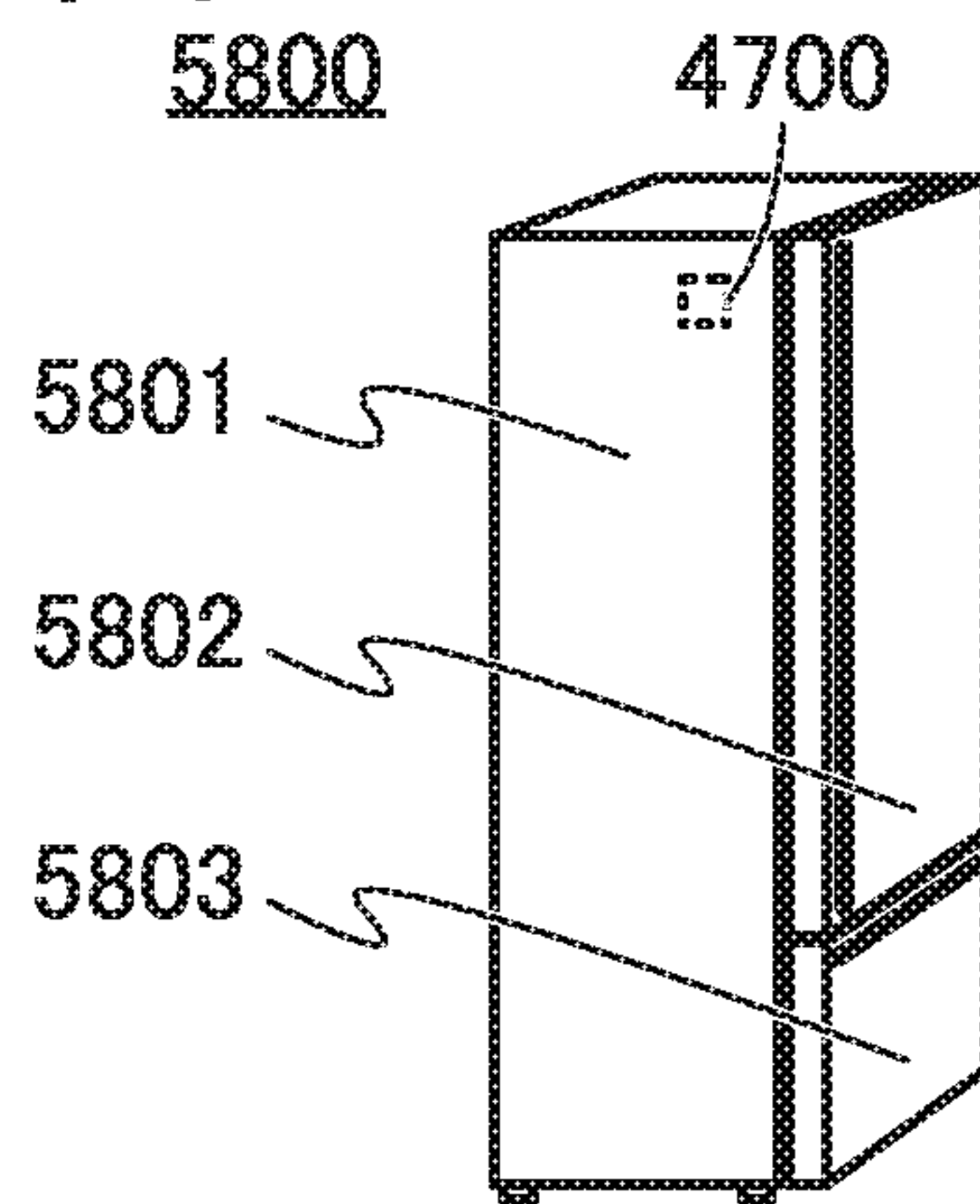


图 39E

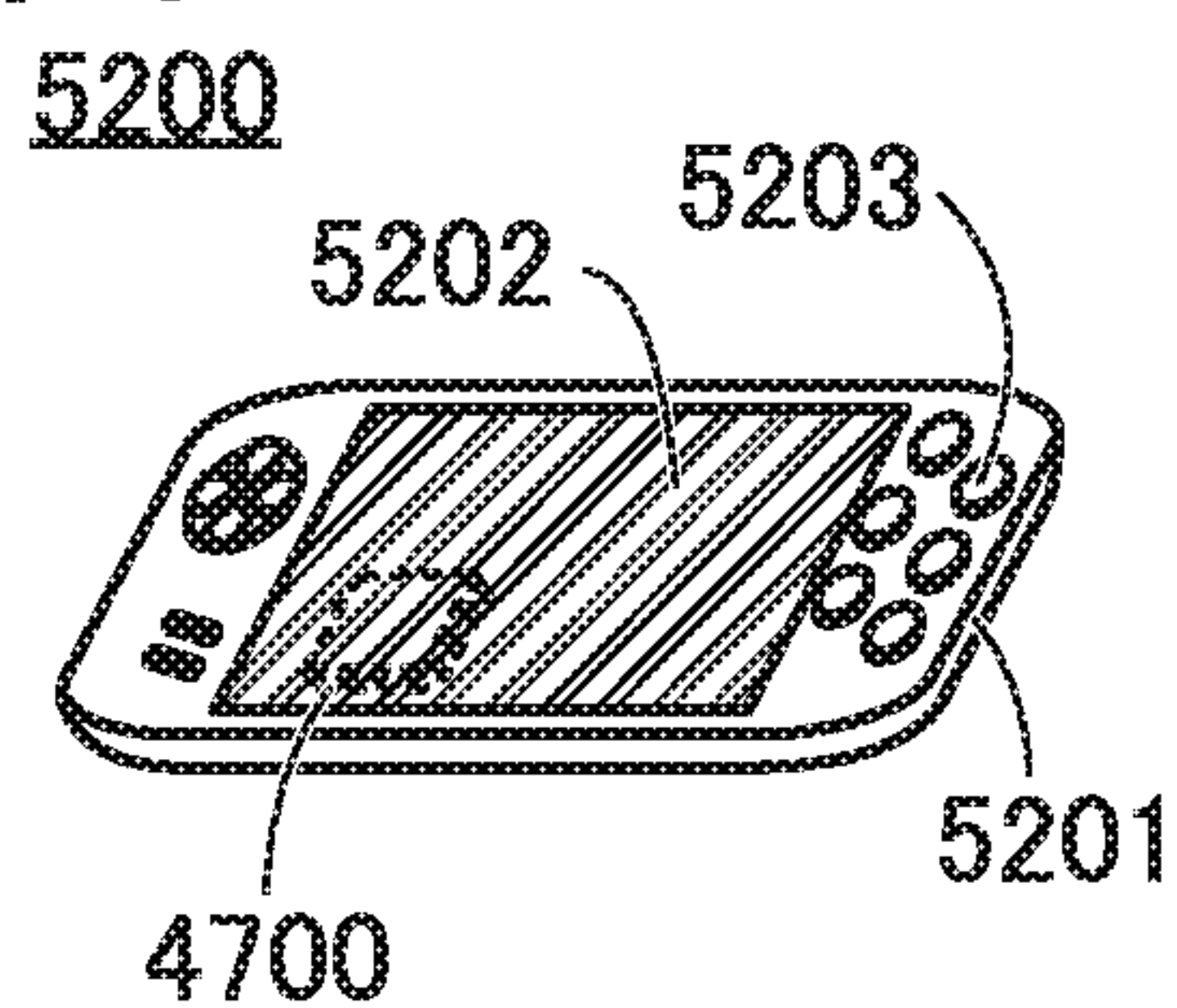


图 39F

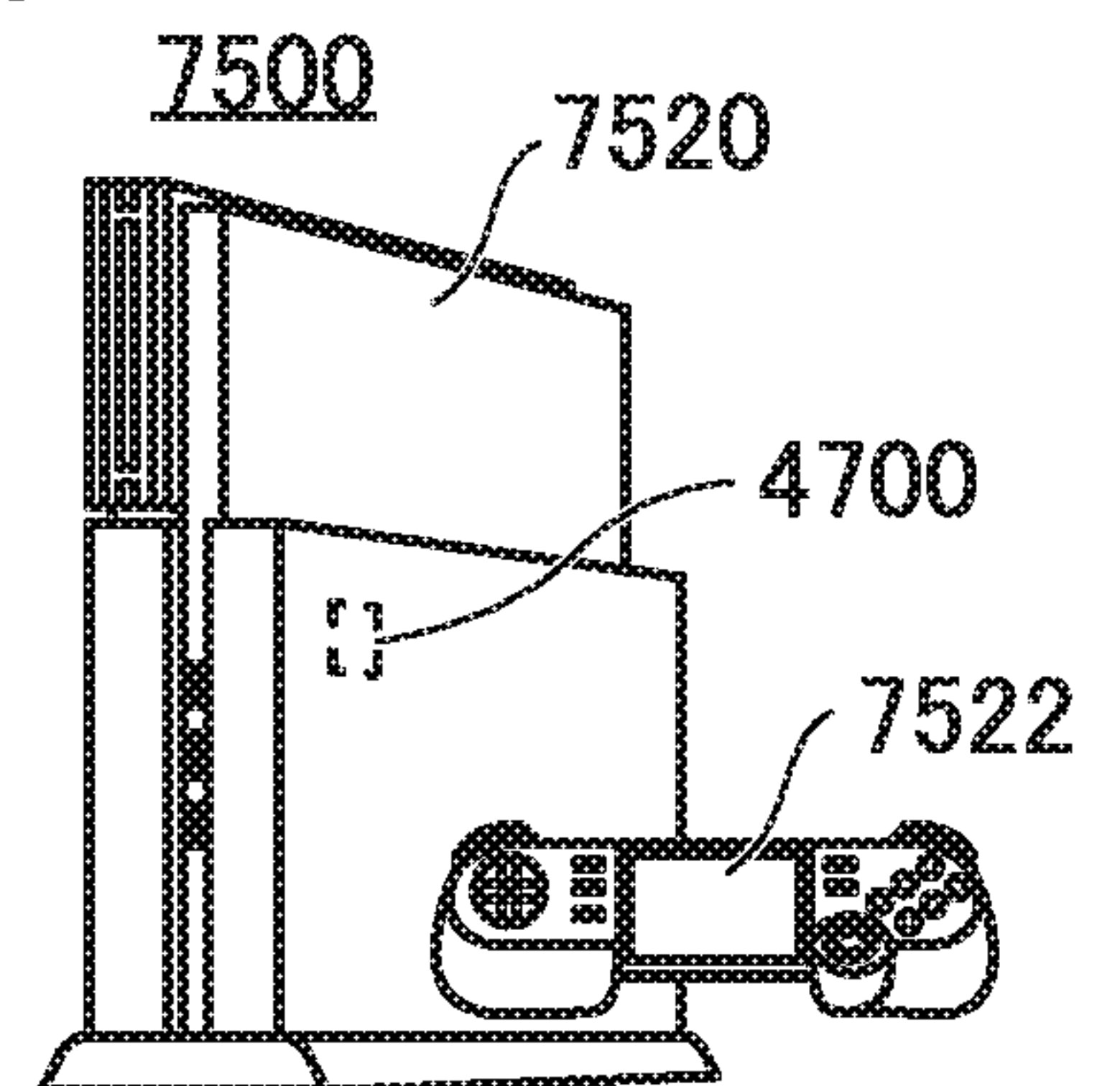


图 39G

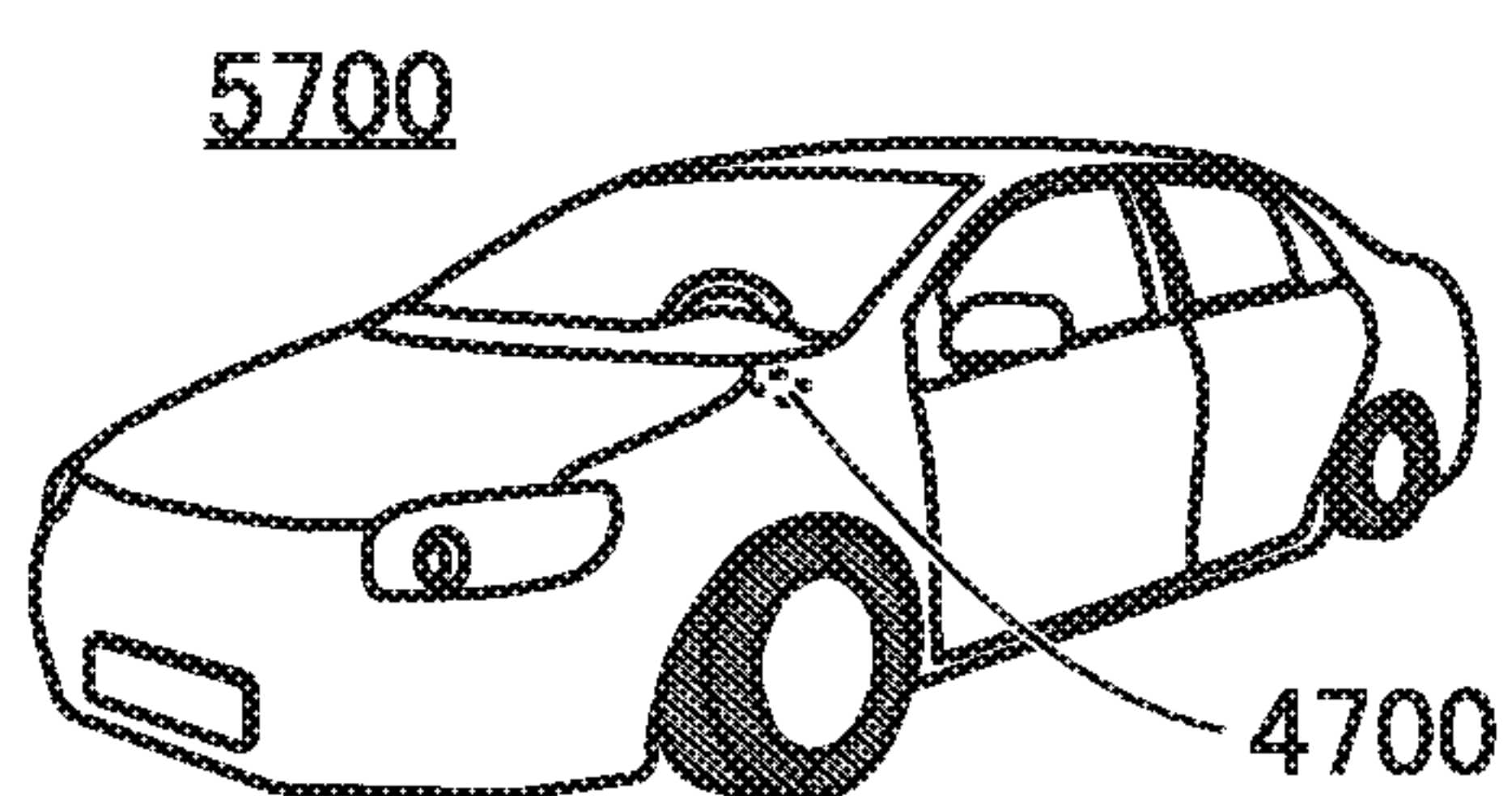


图 39H

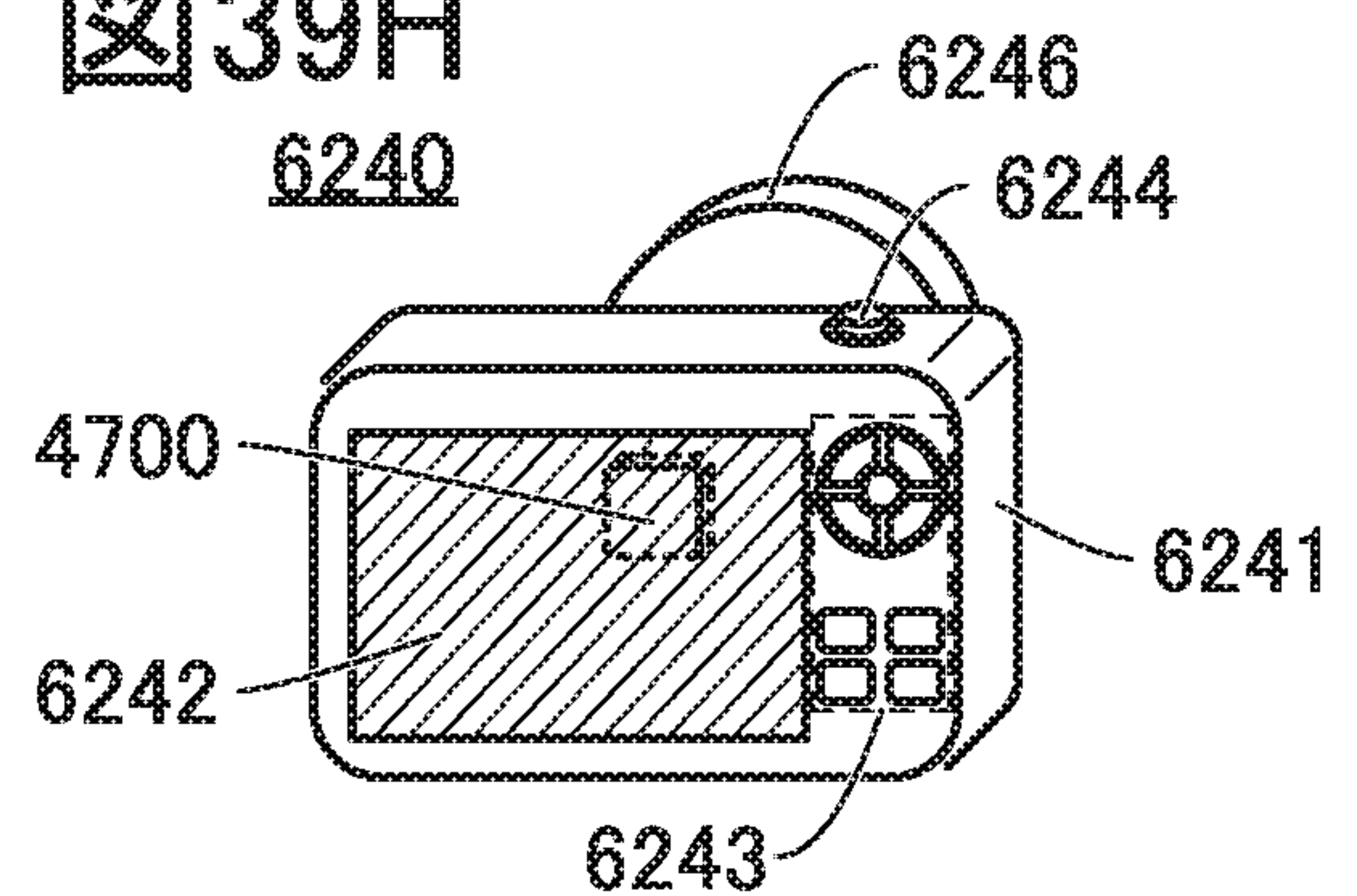


图 39I

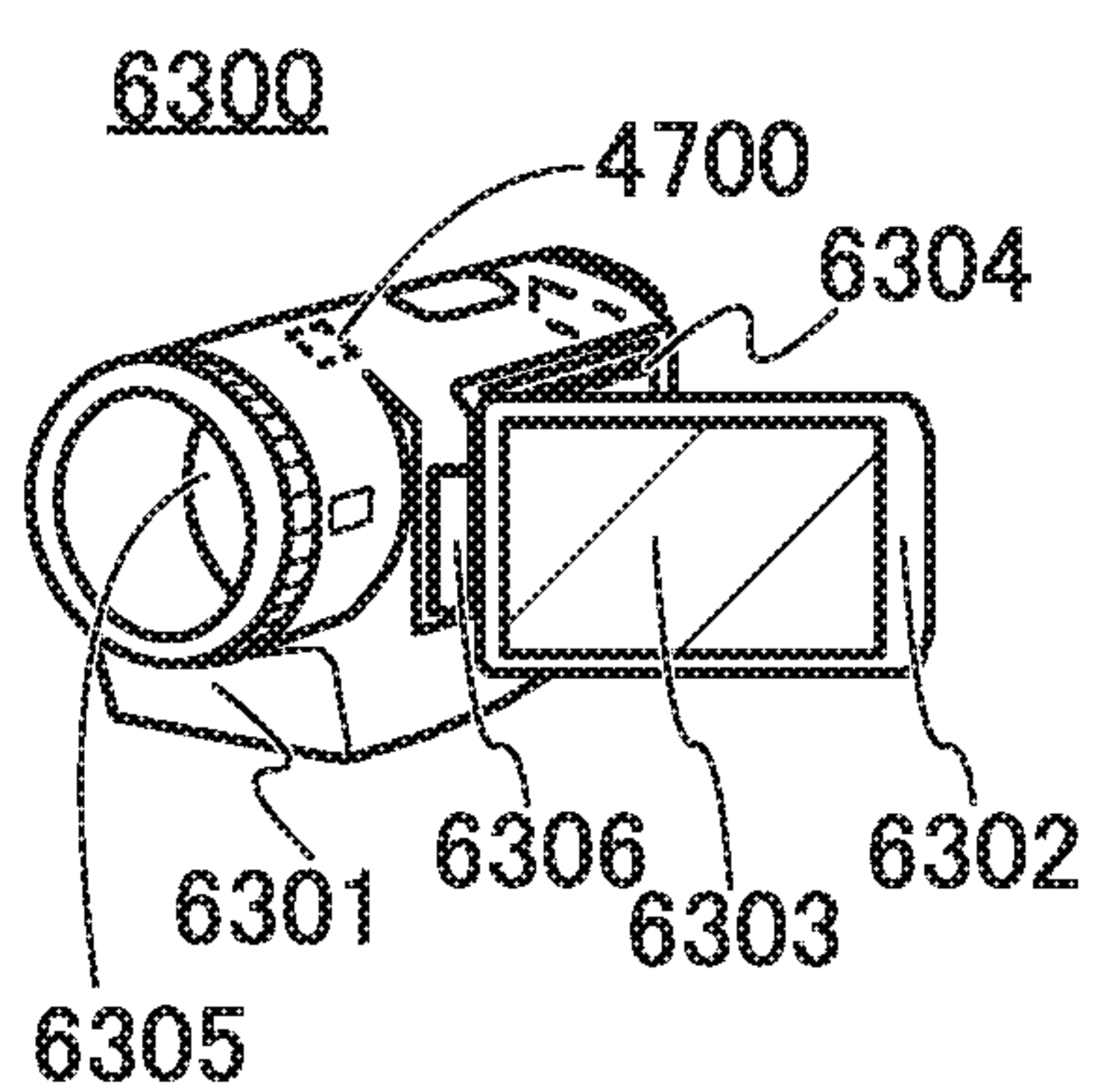


图 39J

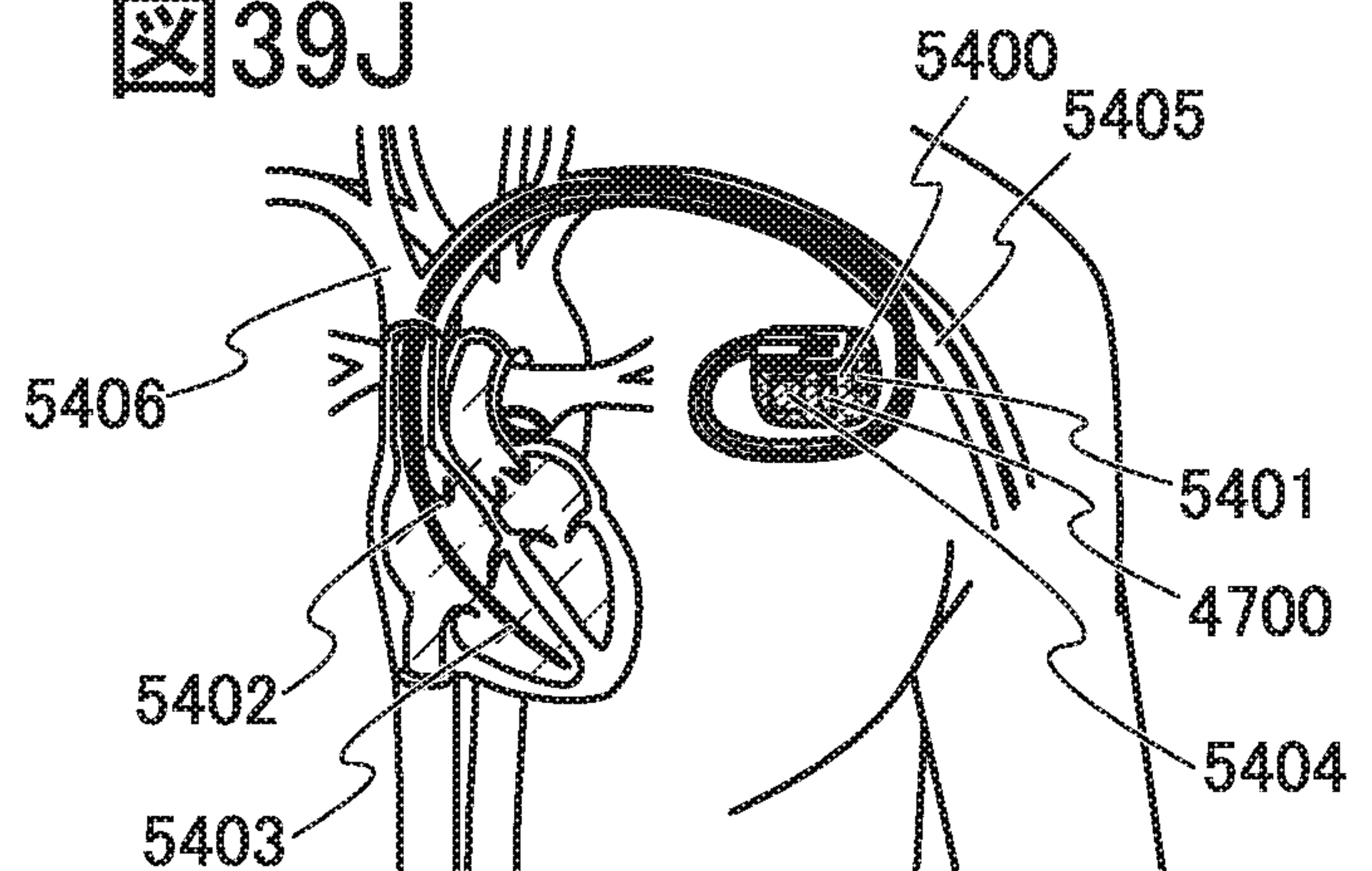


図40A

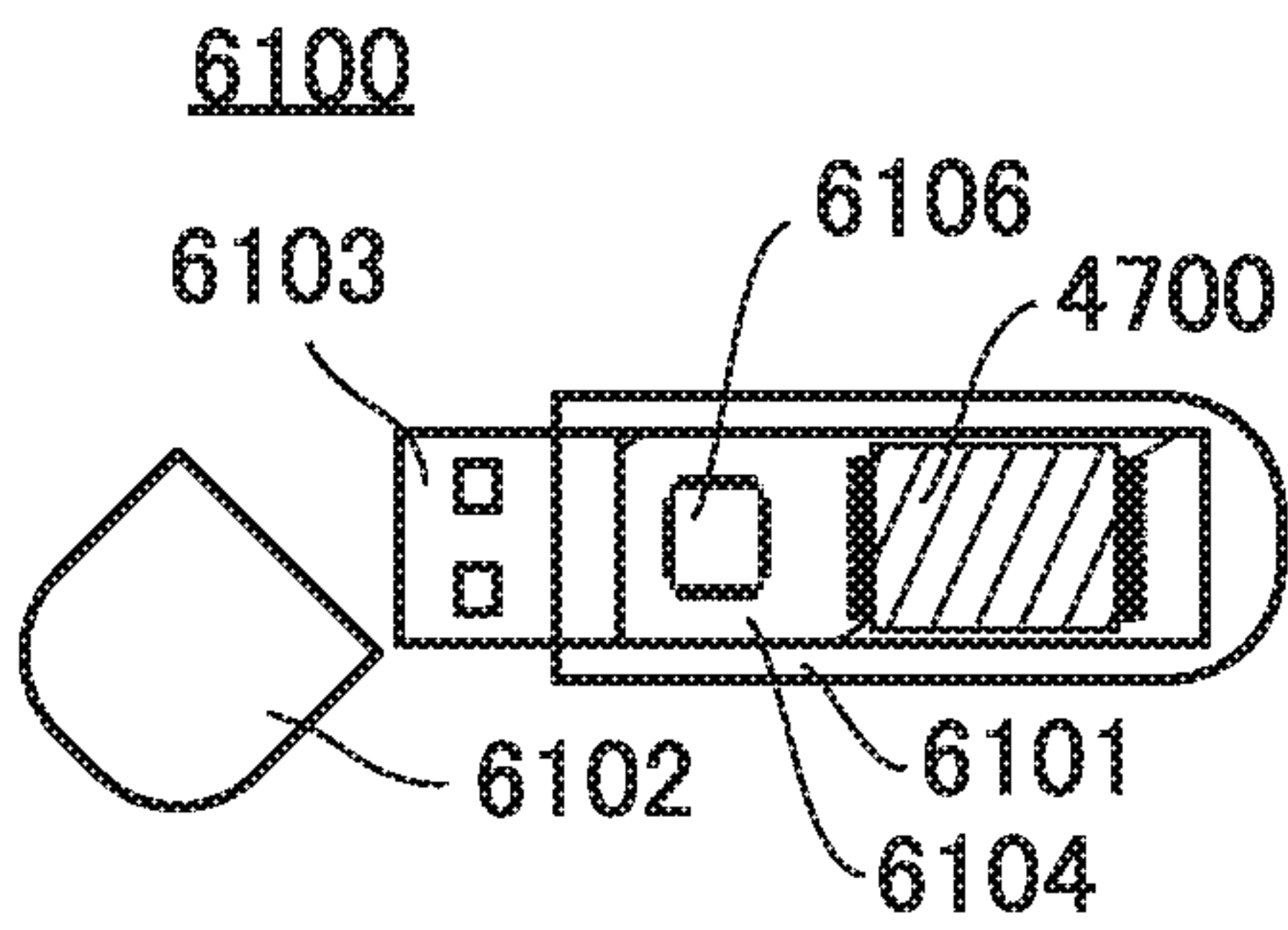


図40B

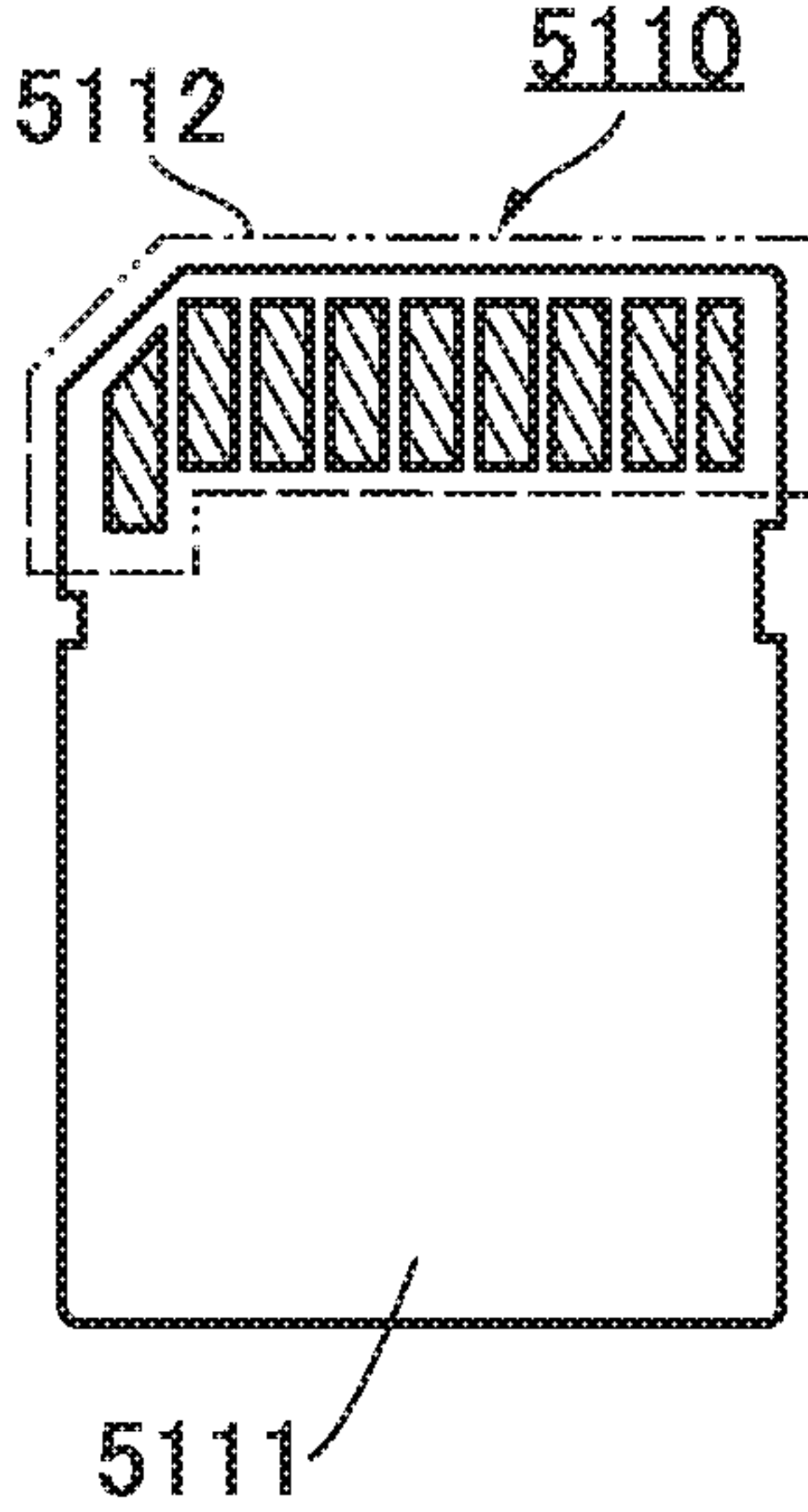


図40C

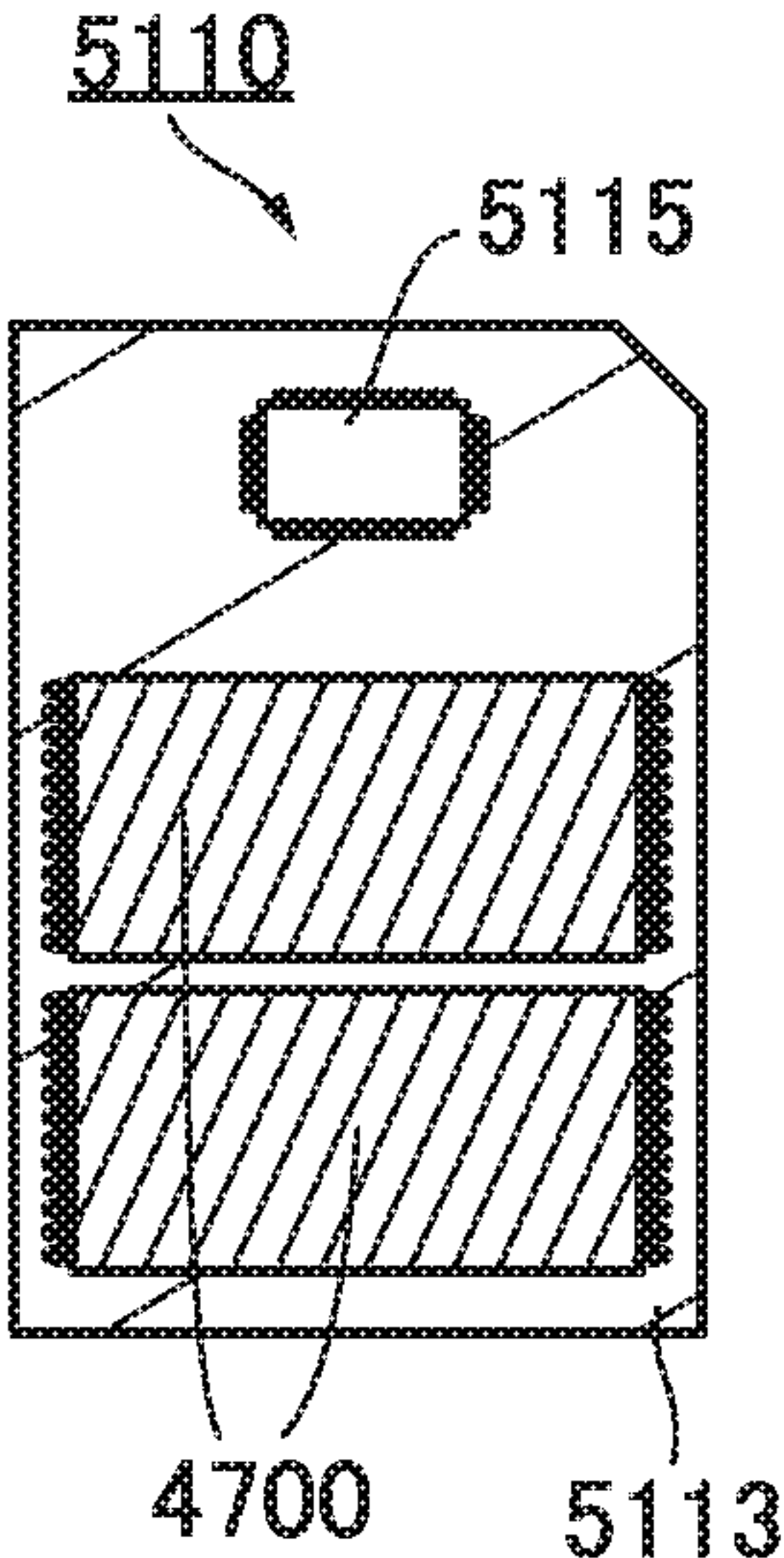


図40D

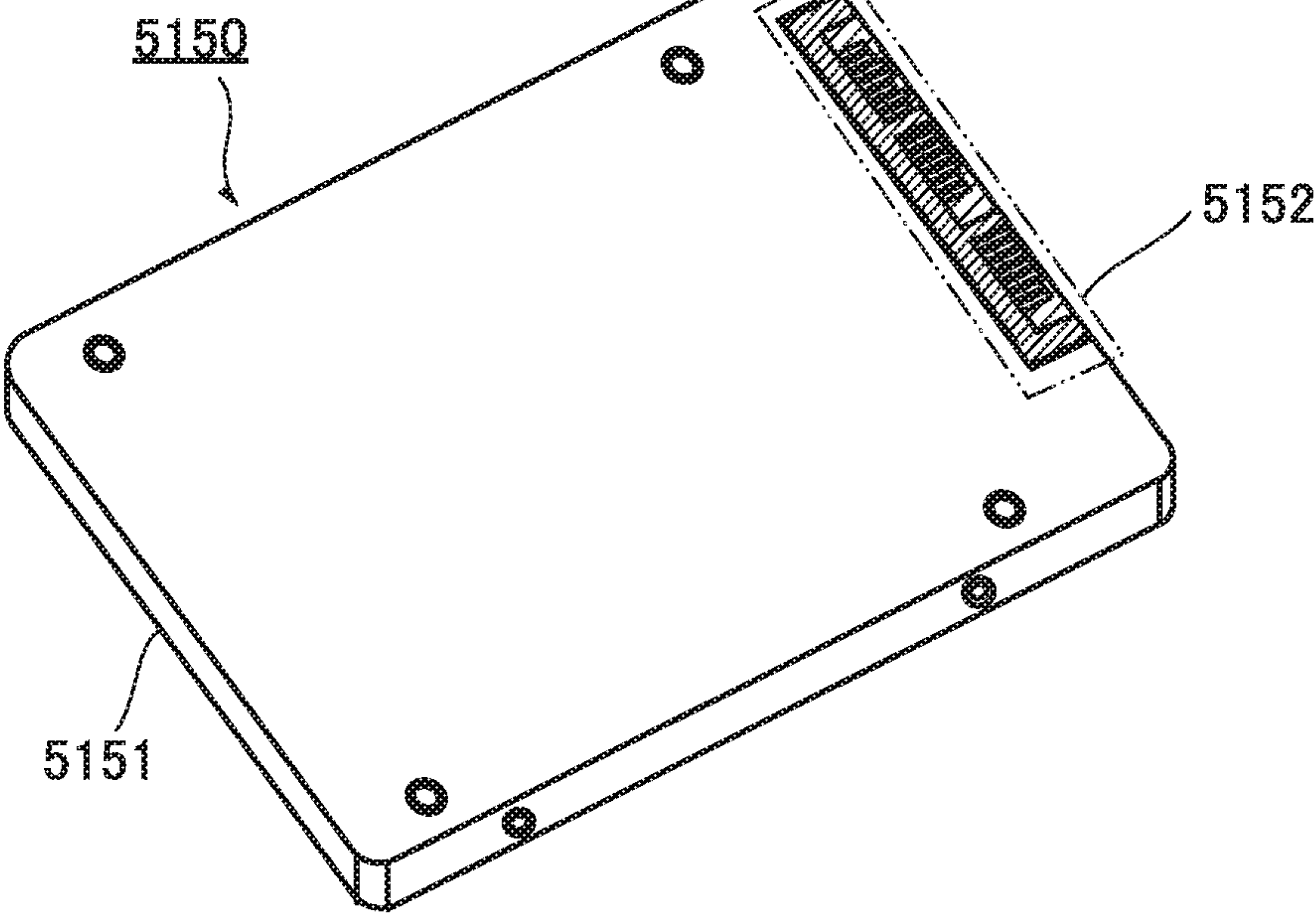
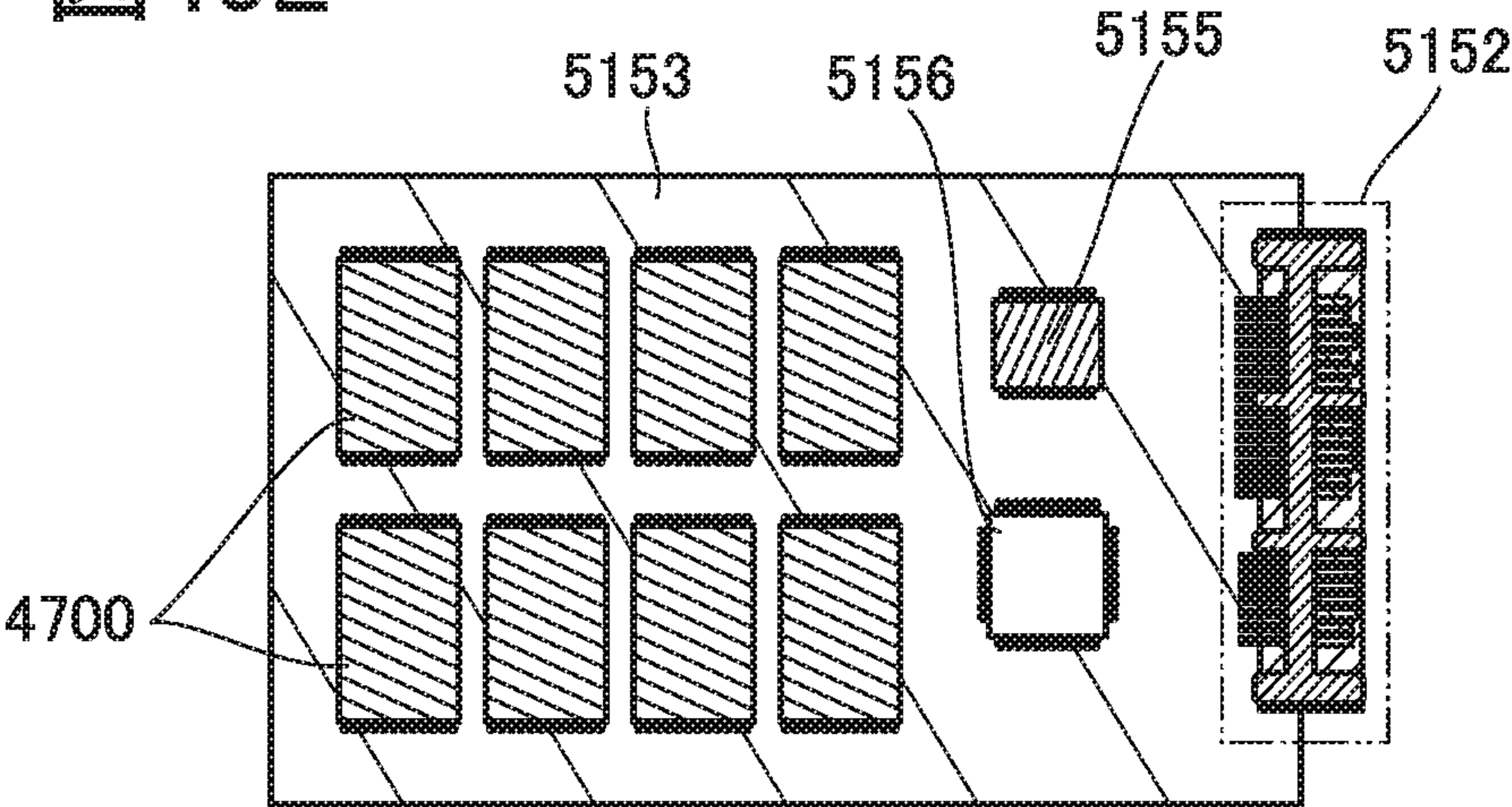
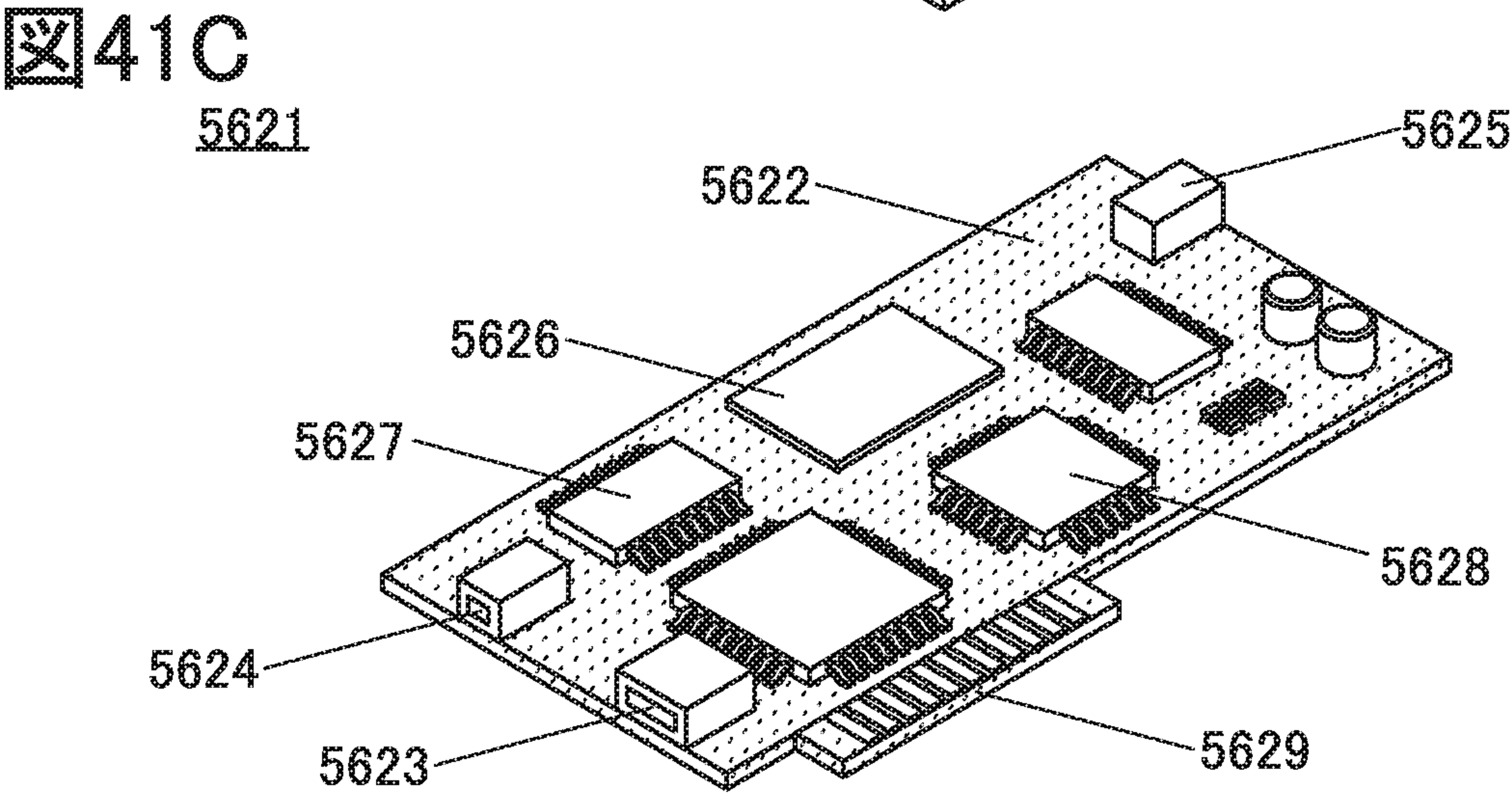
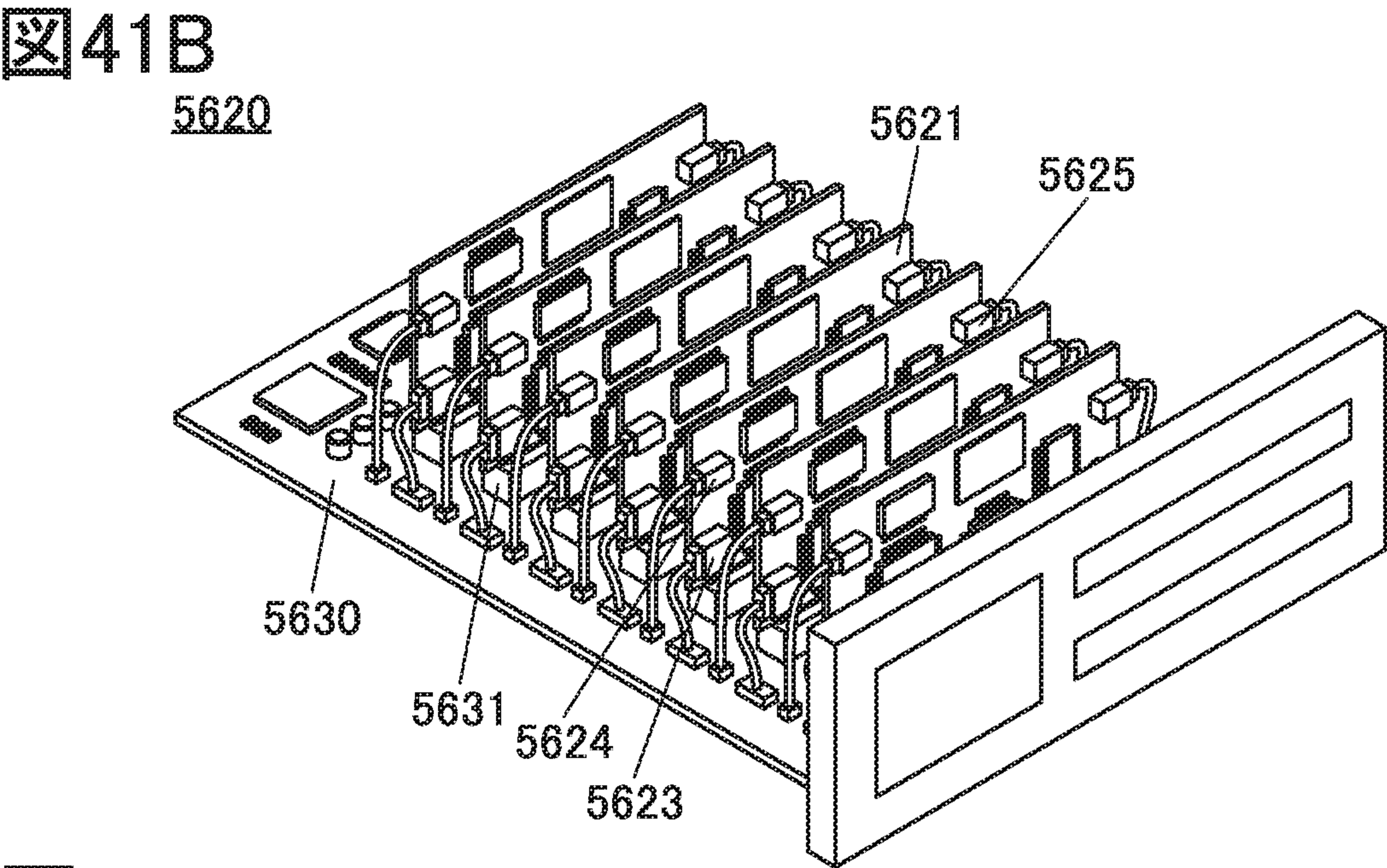
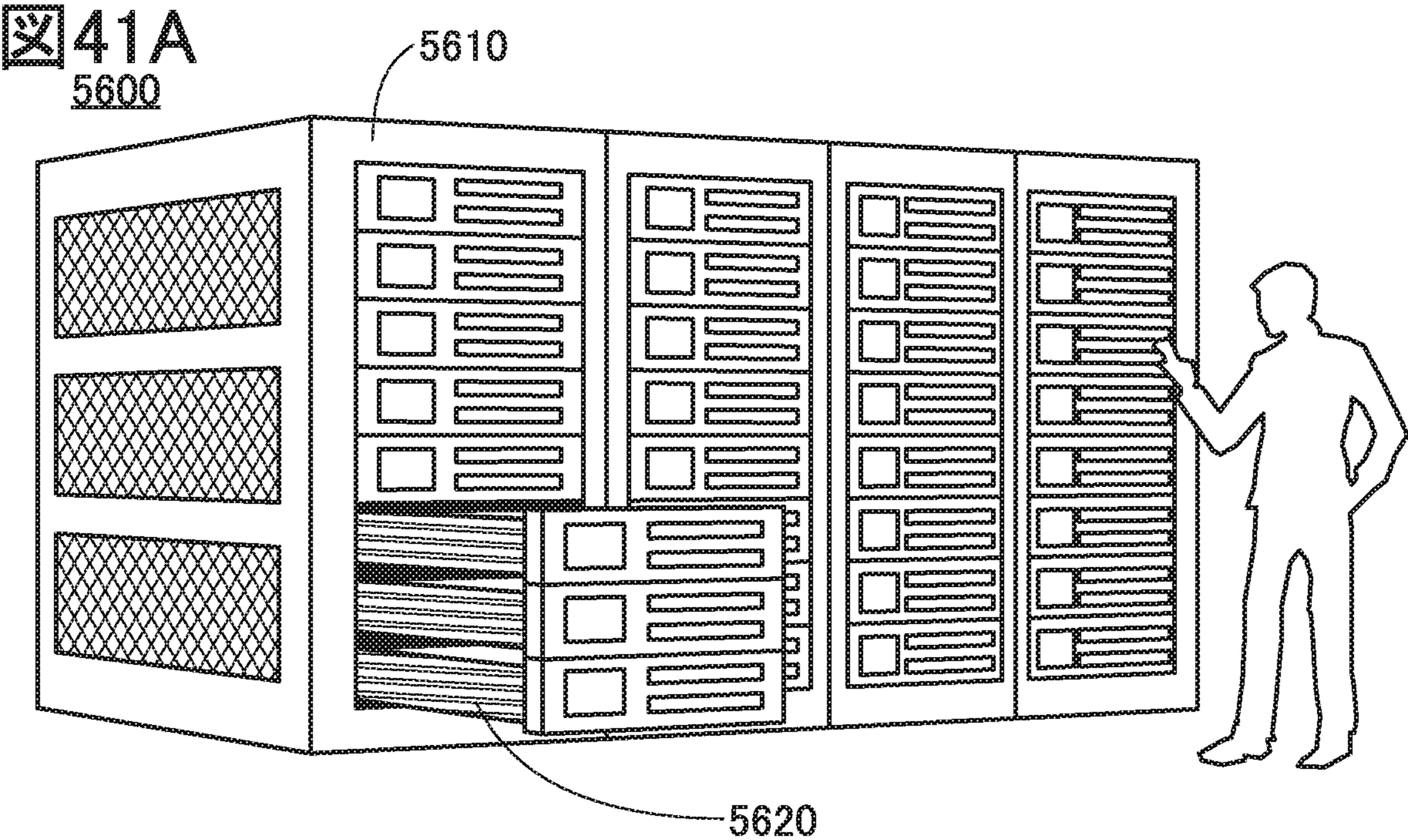
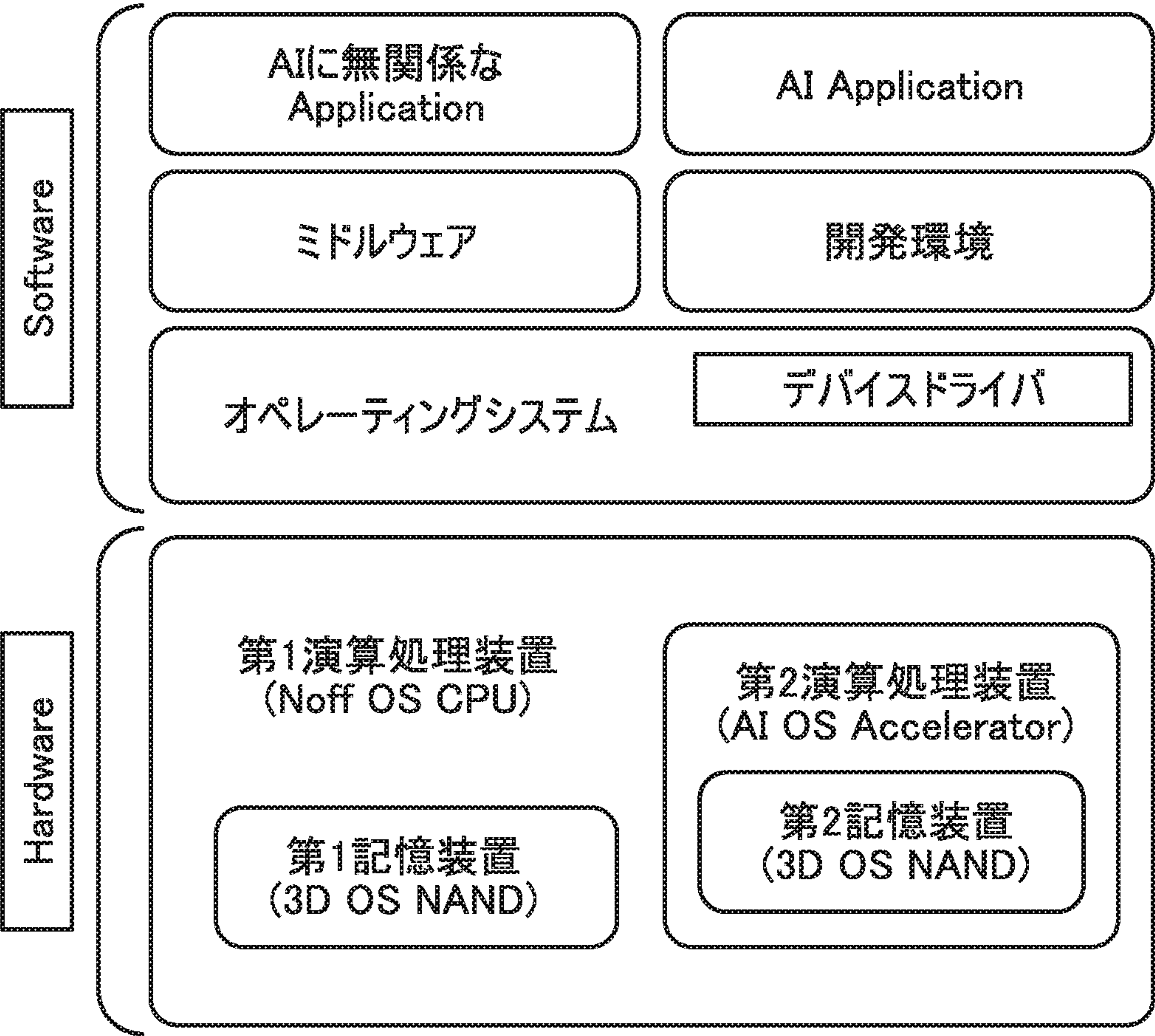


図40E





700



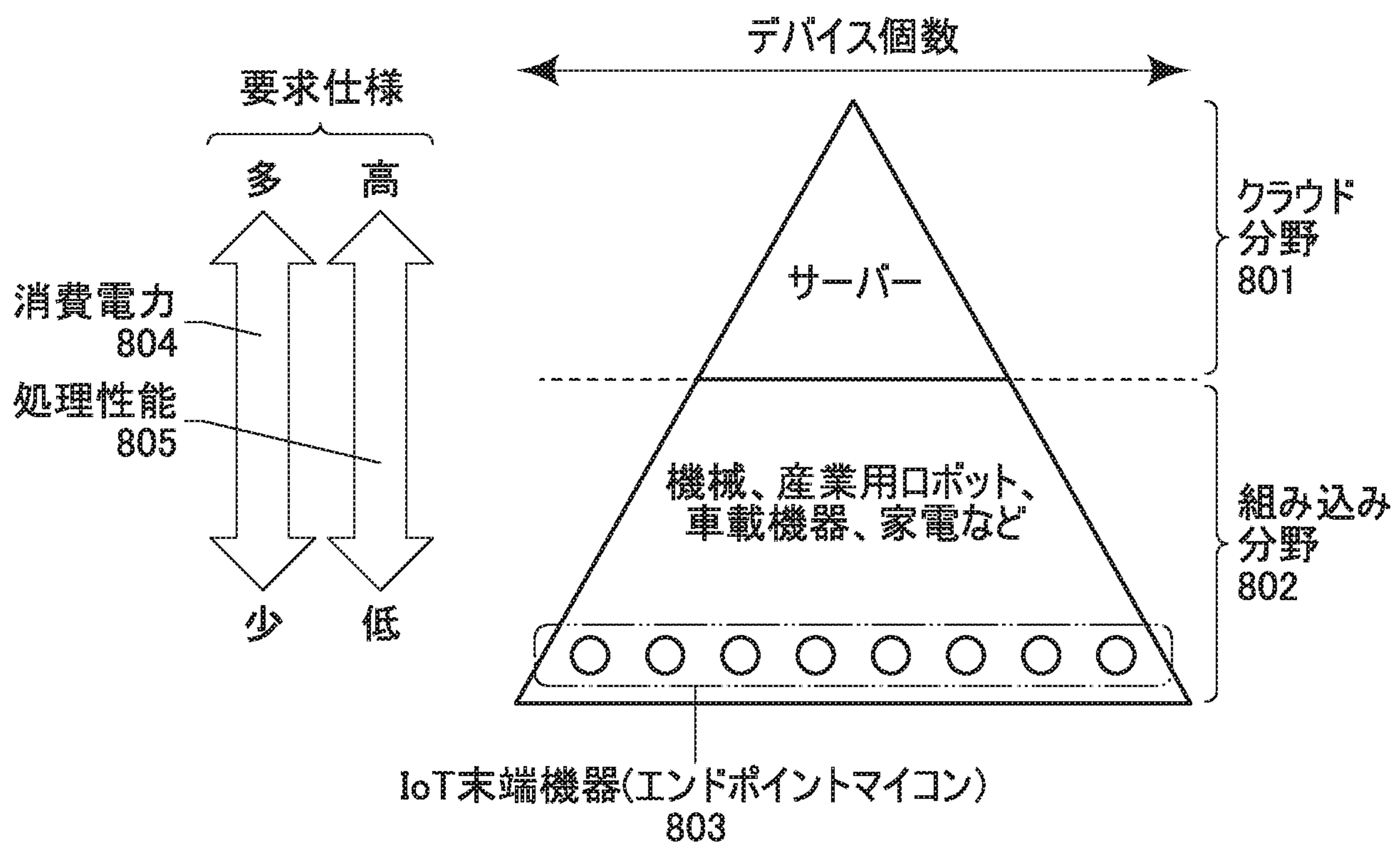


図44

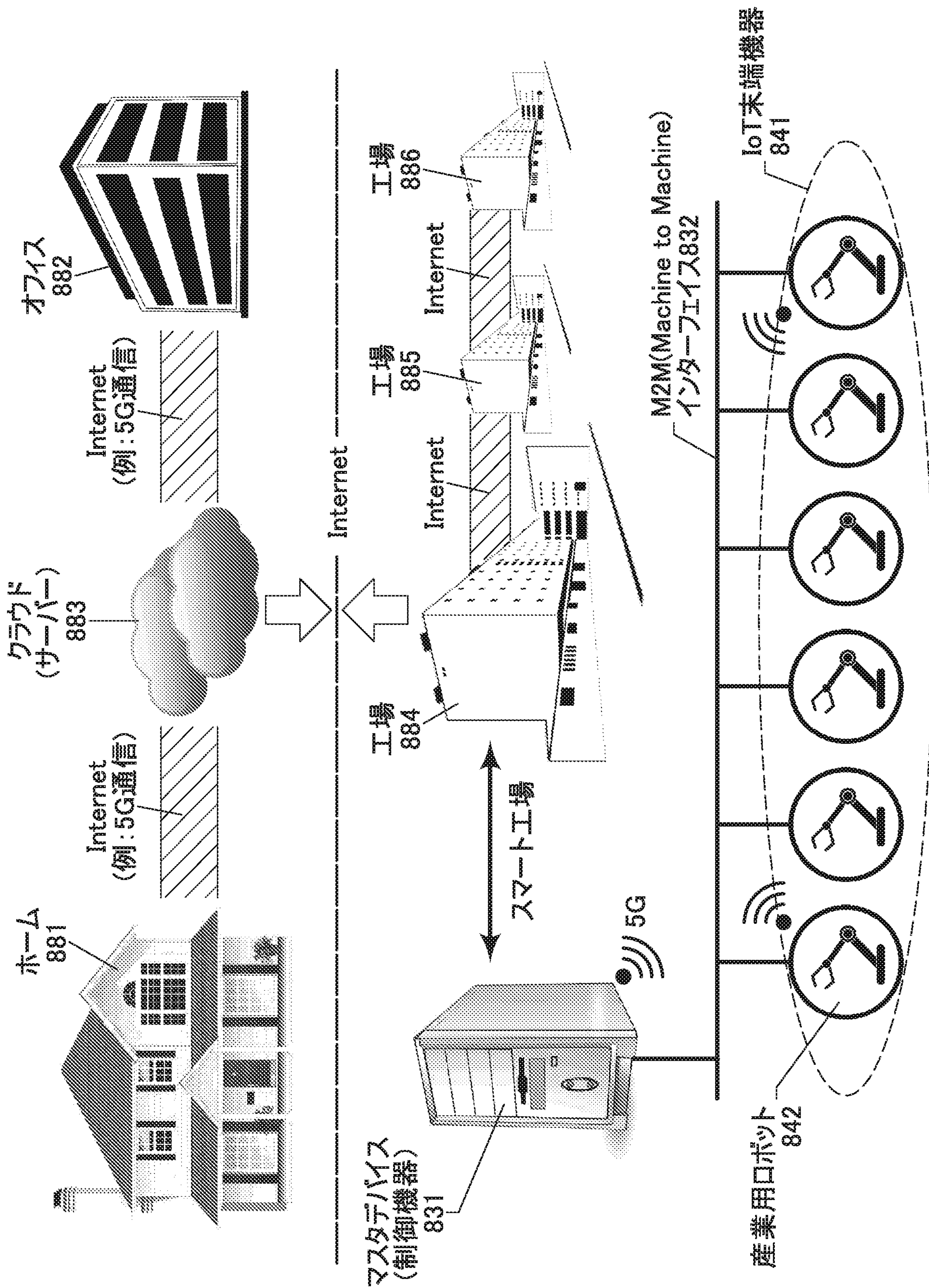


図45A

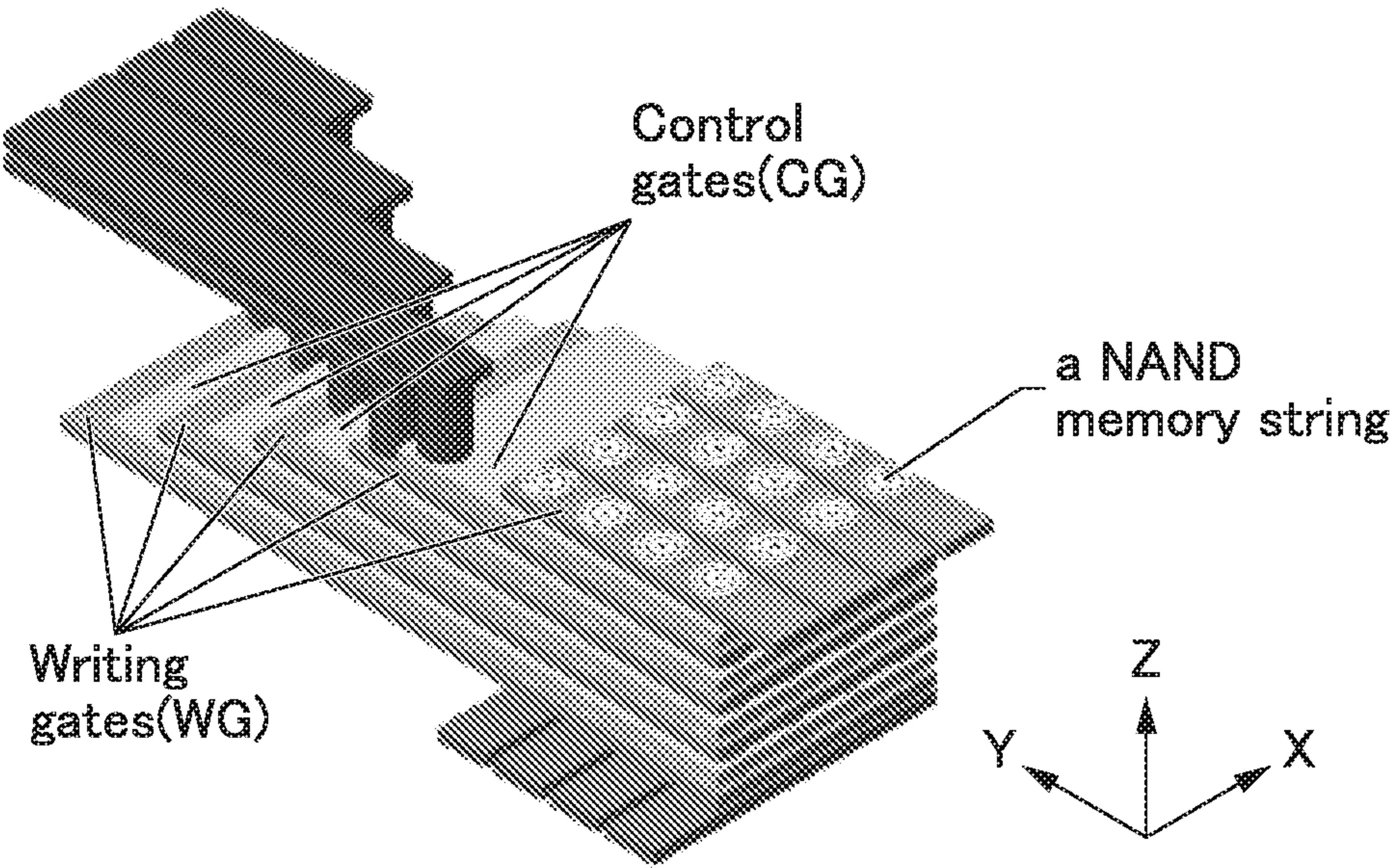
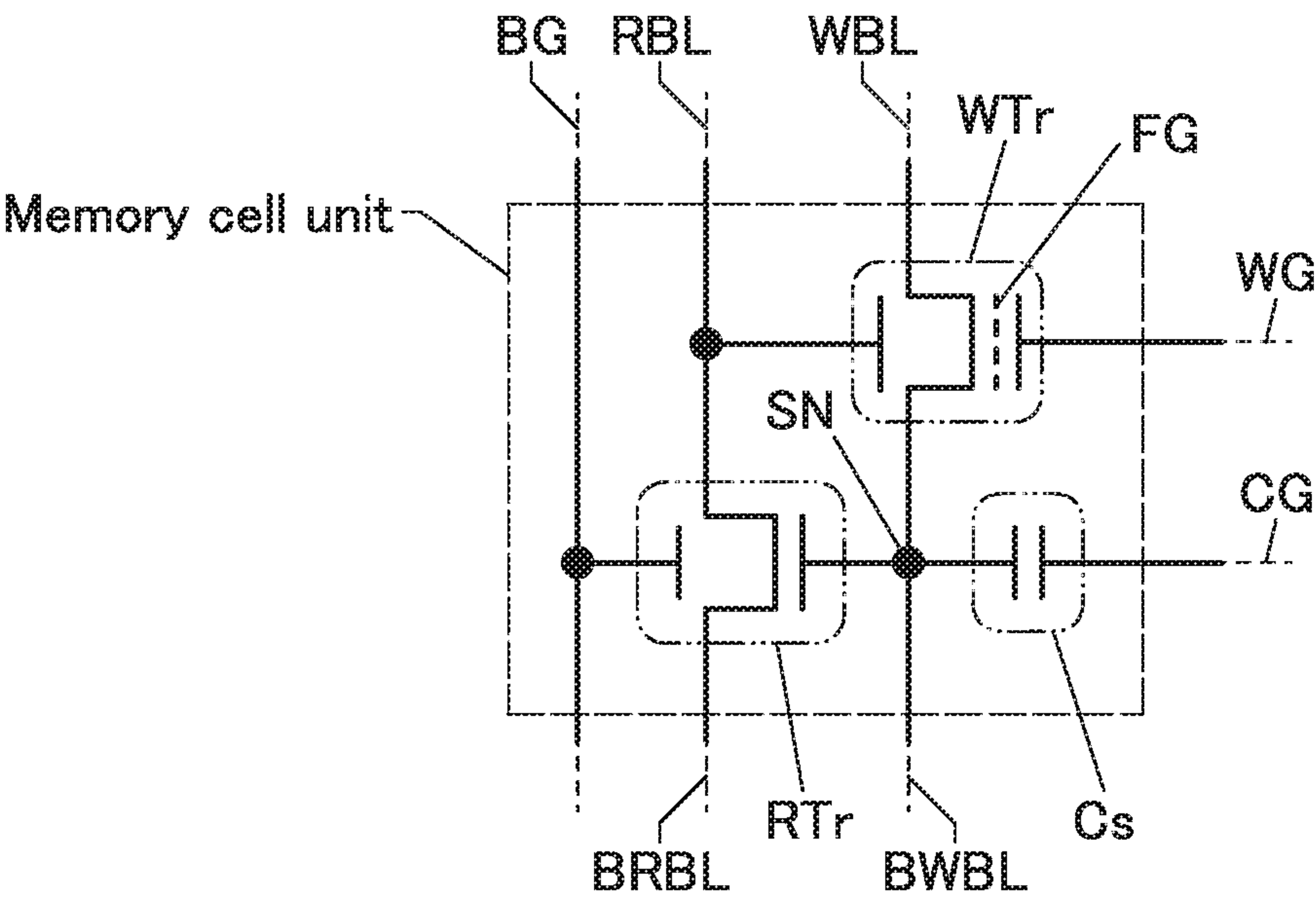


図45B



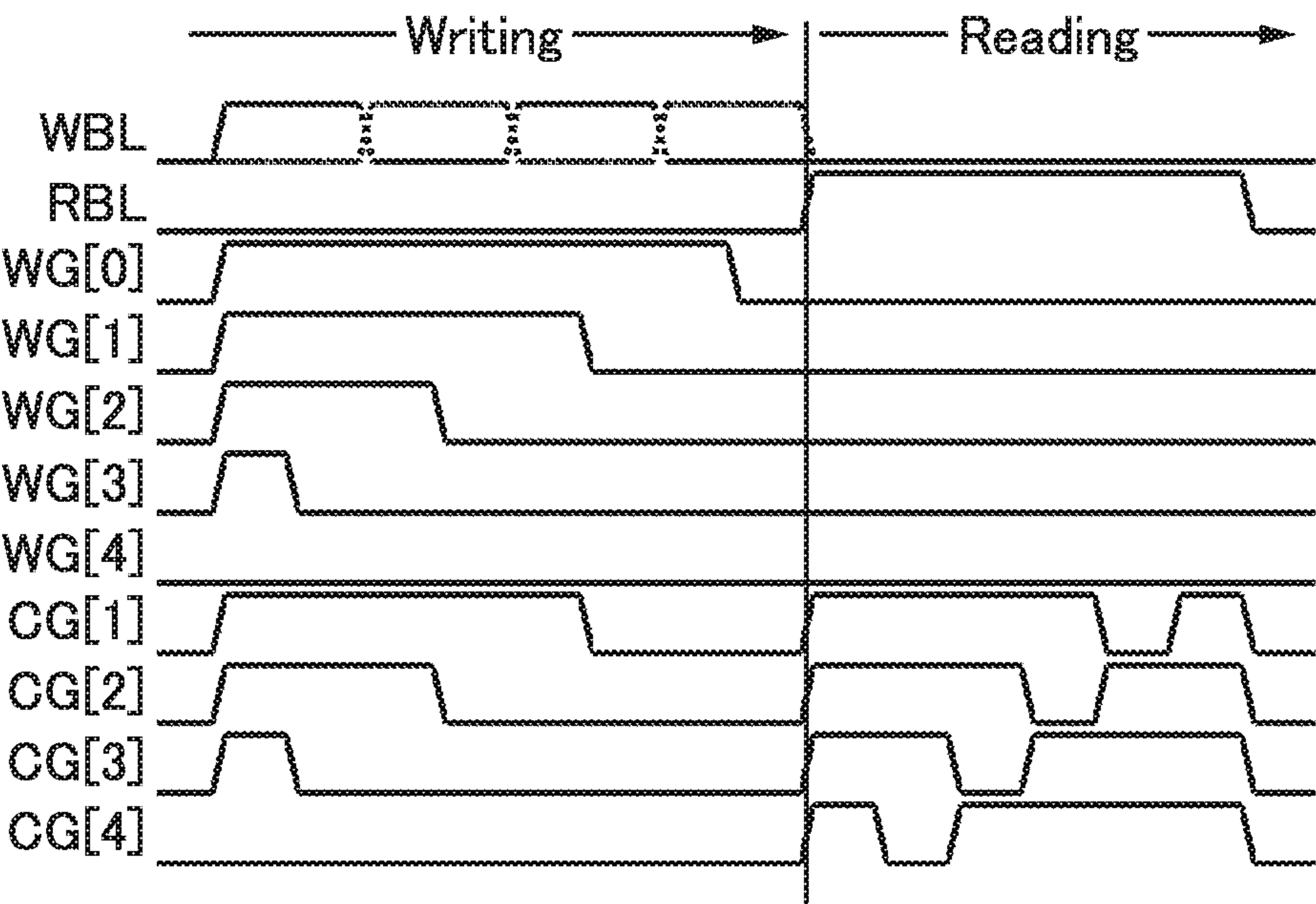


図47A

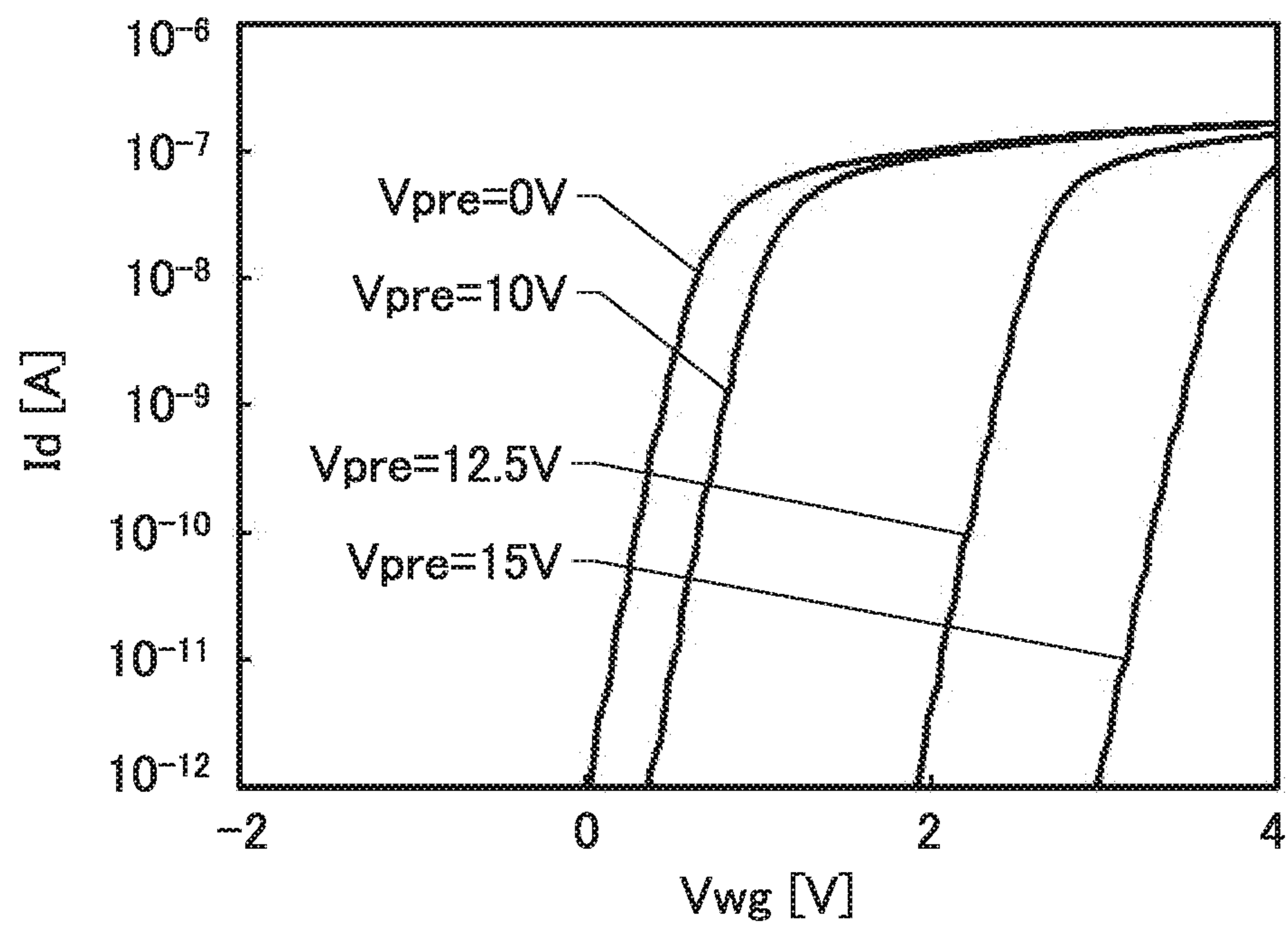


図47B

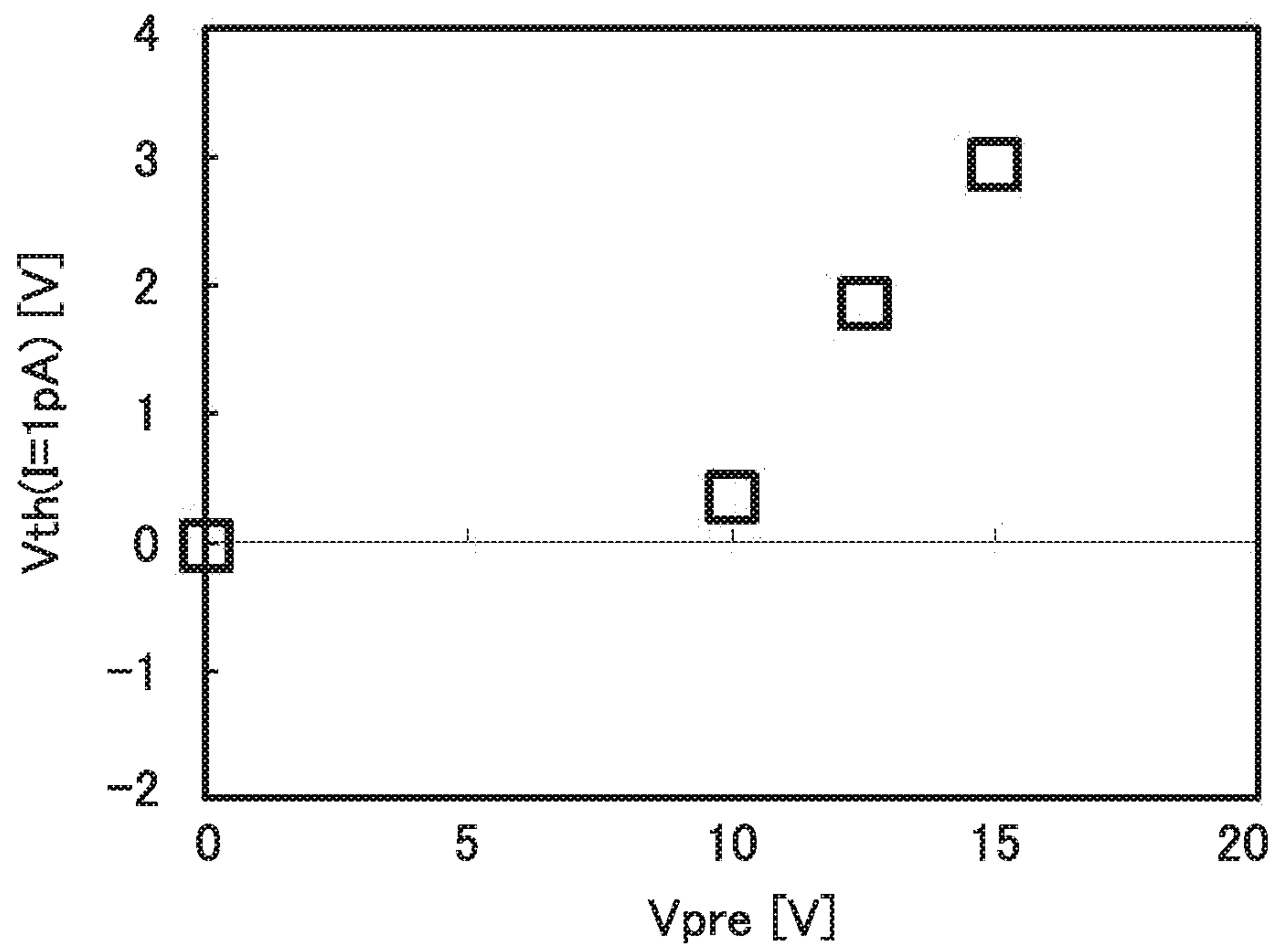


図48A

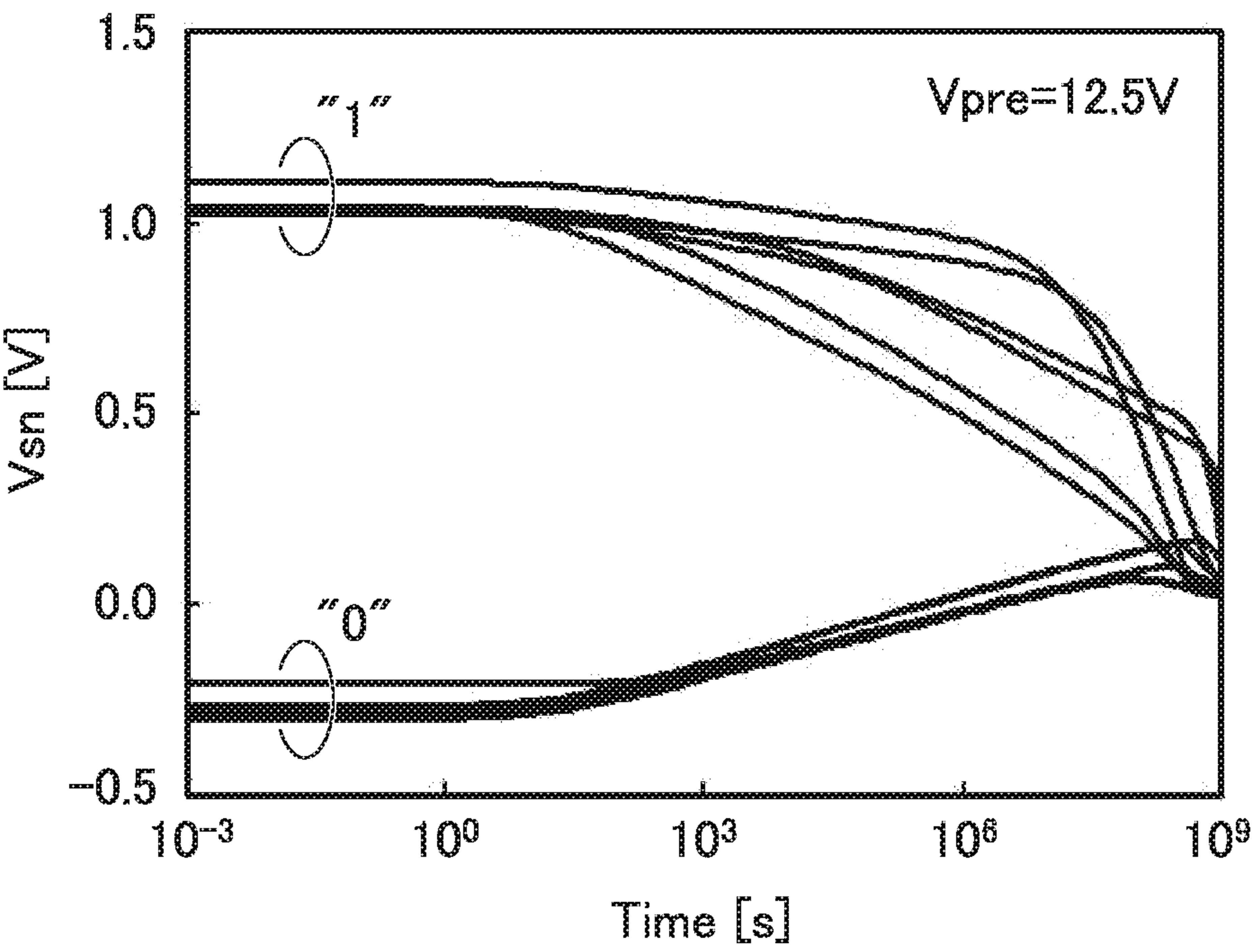


図48B

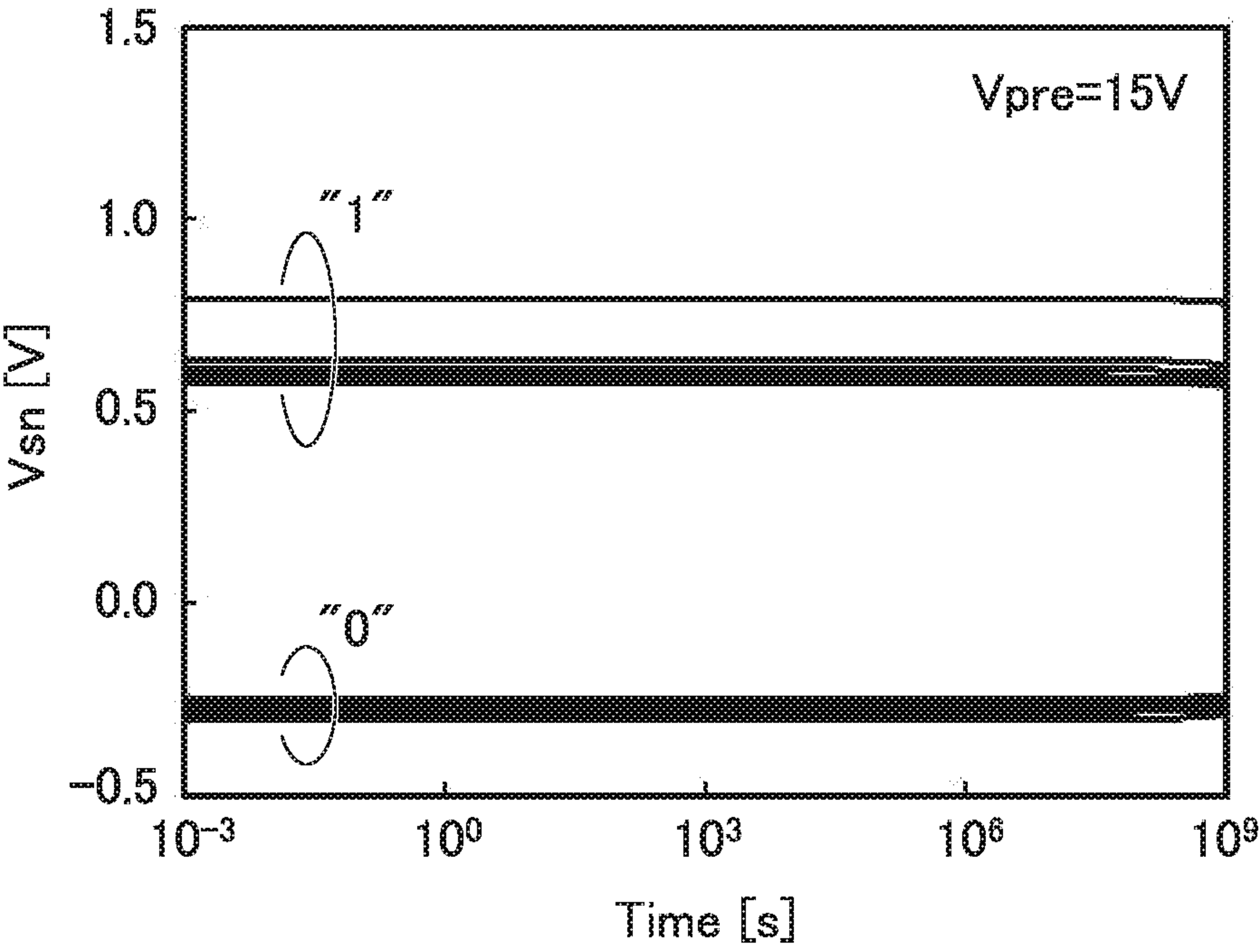


図49A

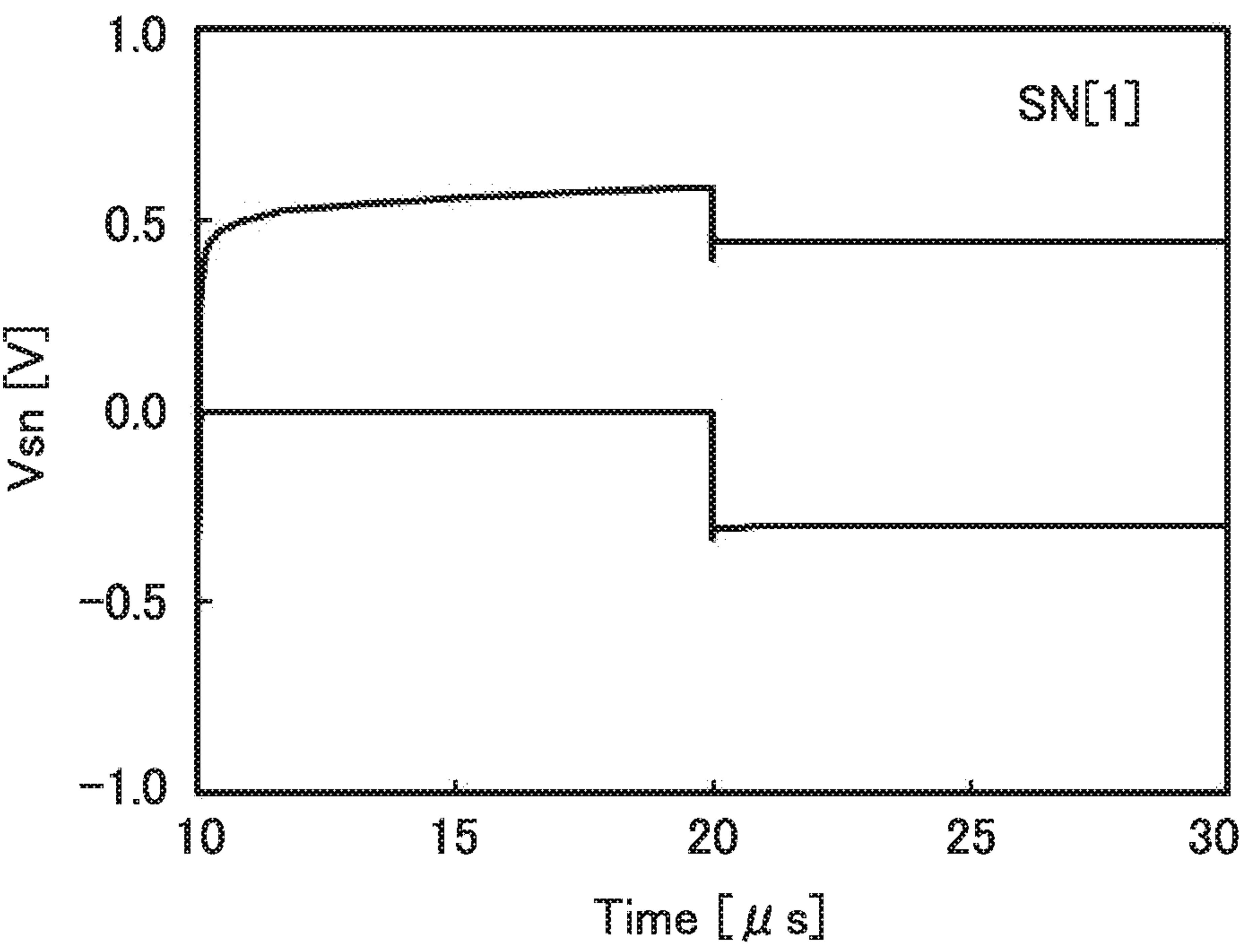
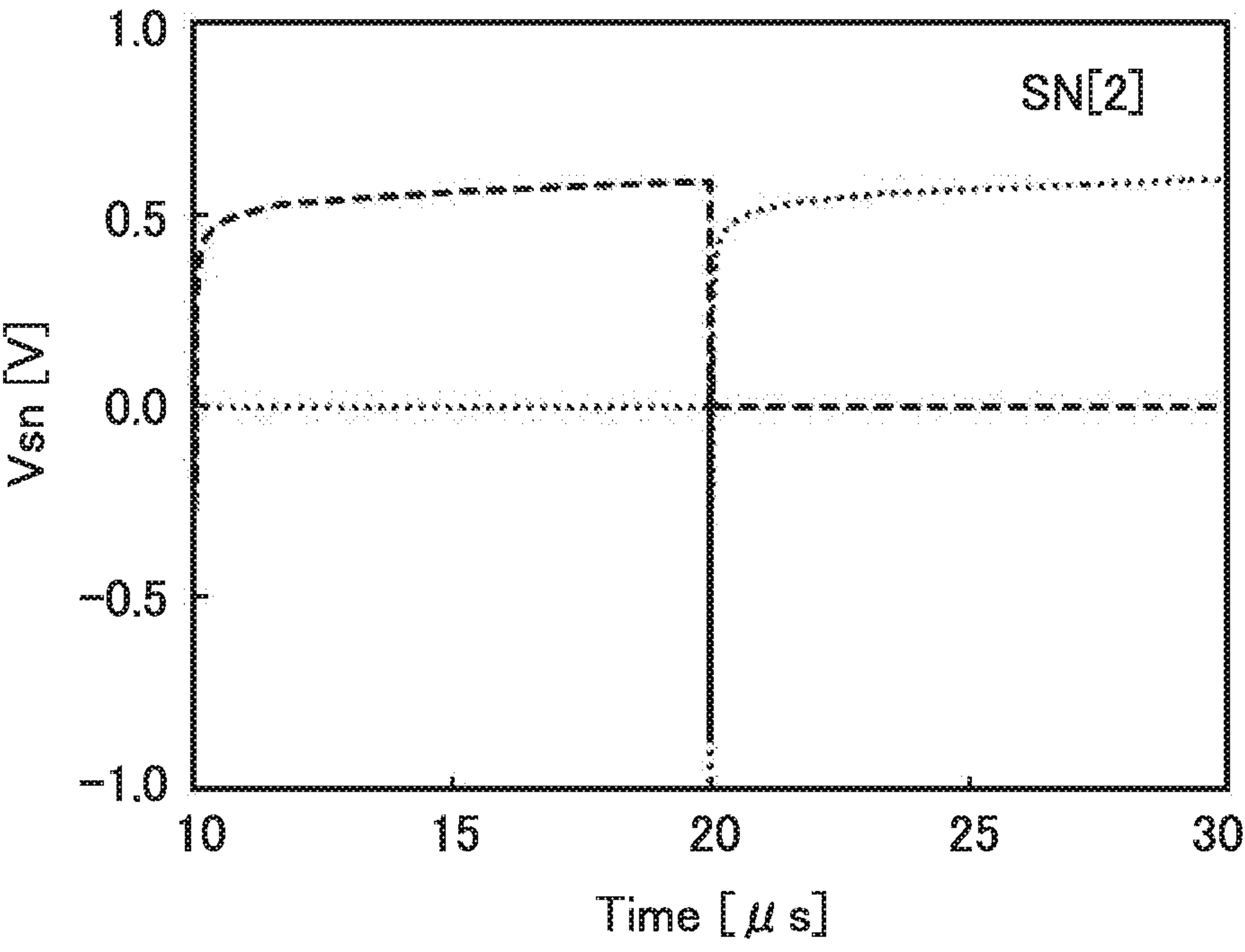
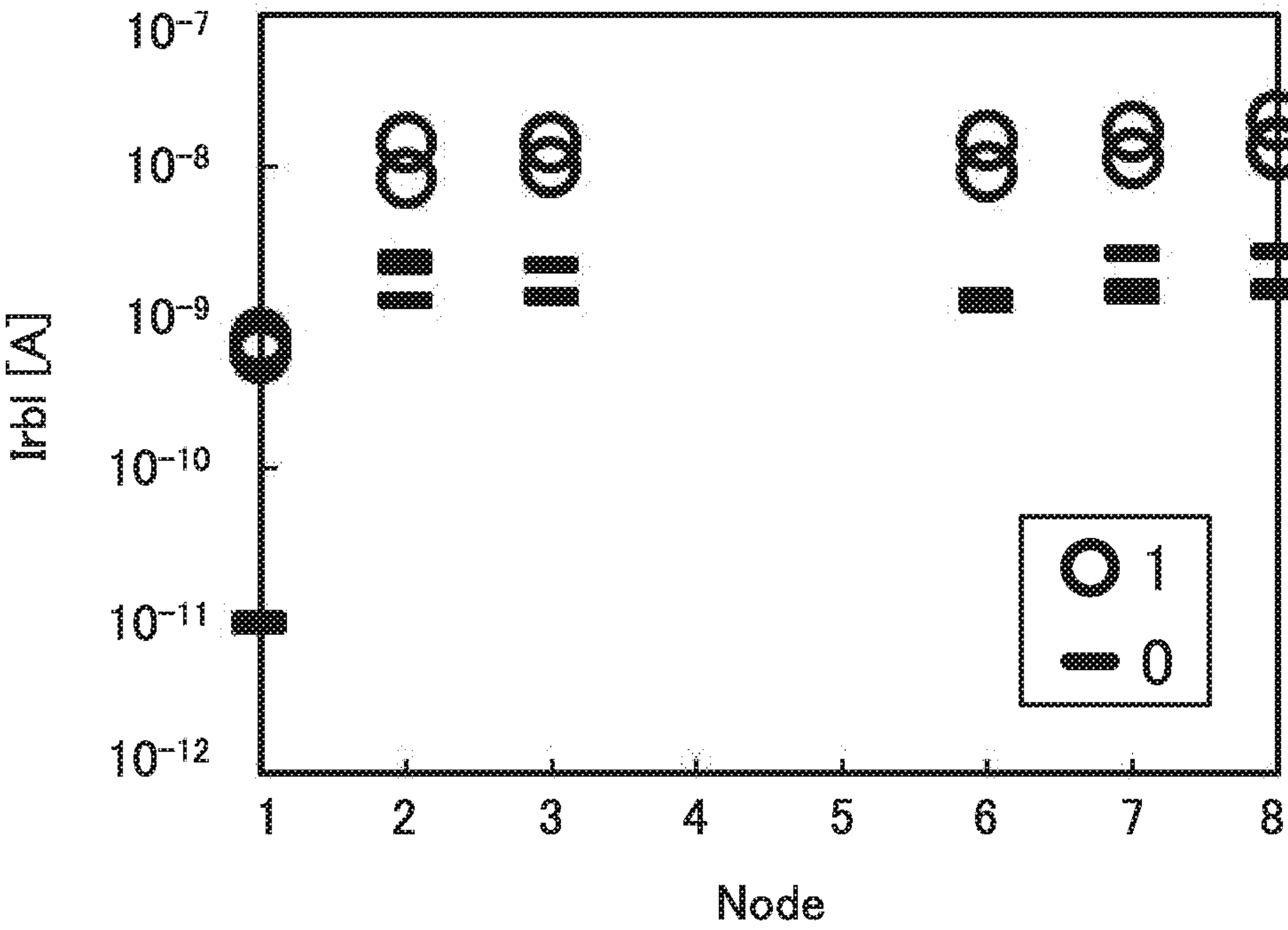


図49B





INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/061059

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/28(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 21/8239(2006.01)i; H01L 27/105(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i; H01L 27/11556(2017.01)i; H01L 27/1156(2017.01)i; H01L 27/11582(2017.01)i; H01L 29/417(2006.01)i; H01L 29/423(2006.01)i; H01L 29/49(2006.01)i; H01L 21/336(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i; G11C 11/405(2006.01)i
FI: H01L27/11582; H01L27/108 321; H01L27/105 441; H01L21/28 301B; H01L29/58 G; H01L29/50 M; H01L27/1156; H01L27/11556; H01L27/06 102A; H01L27/108 671A; H01L27/108 671Z; H01L29/78 371; G11C11/405; H01L27/088 E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/28; H01L21/8234; H01L27/06; H01L27/088; H01L21/8239; H01L27/105; H01L21/8242; H01L27/108; H01L27/11556; H01L27/1156; H01L27/11582; H01L29/417; H01L29/423; H01L29/49; H01L21/336; H01L29/788; H01L29/792: G11C11/405

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2018-207039 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 27 December 2018 (2018-12-27) paragraphs [0006], [0028], [0032], [0103], [0122]-[0139], [0178], fig. 2, 16(A)	1-3, 5-7, 10-14 4, 8, 9

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 25 February 2021 (25.02.2021)	Date of mailing of the international search report 09 March 2021 (09.03.2021)
--	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/061059

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2019-24087 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 14 February 2019 (2019-02-14) paragraphs [0007], [0210], [0253]-[0292], fig. 43, 44	1-3, 5-7, 10-14
A	WO 2019/003060 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 03 January 2019 (2019-01-03) entire text, all drawings	1-14

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/IB2020/061059

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2018-207039 A	27 Dec. 2018	(Family: none)	
JP 2019-24087 A	14 Feb. 2019	US 2019/0027493 A1 paragraphs [0008], [0275], [0318]- [0357], fig. 43, 44A- 44C	
WO 2019/003060 A1	03 Jan. 2019	US 2020/0203339 A1 entire text, all drawings CN 110832640 A KR 10-2020-0019149 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 21/28(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i;
H01L 21/8239(2006.01)i; H01L 27/105(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i;
H01L 27/11556(2017.01)i; H01L 27/1156(2017.01)i; H01L 27/11582(2017.01)i; H01L 29/417(2006.01)i;
H01L 29/423(2006.01)i; H01L 29/49(2006.01)i; H01L 21/336(2006.01)i; H01L 29/788(2006.01)i;
H01L 29/792(2006.01)i; G11C 11/405(2006.01)i
FI: H01L27/11582; H01L27/108 321; H01L27/105 441; H01L21/28 301B; H01L29/58 G; H01L29/50 M;
H01L27/1156; H01L27/11556; H01L27/06 102A; H01L27/108 671A; H01L27/108 671Z; H01L29/78 371;
G11C11/405; H01L27/088 E

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H01L21/28; H01L21/8234; H01L27/06; H01L27/088; H01L21/8239; H01L27/105; H01L21/8242; H01L27/108;
H01L27/11556; H01L27/1156; H01L27/11582; H01L29/417; H01L29/423; H01L29/49; H01L21/336; H01L29/788;
H01L29/792; G11C11/405

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1922 - 1996年
日本国公開実用新案公報 1971 - 2021年
日本国実用新案登録公報 1996 - 2021年
日本国登録実用新案公報 1994 - 2021年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2018-207039 A（株式会社半導体エネルギー研究所）27.12.2018（2018 - 12 - 27） [0006], [0028], [0032], [0103], [0122] - [0139], [0178], 図2, 16(A)	1-3, 5-7, 10-14
A		4, 8, 9
Y	JP 2019-24087 A（株式会社半導体エネルギー研究所）14.02.2019（2019 - 02 - 14） [0007], [0210], [0253] - [0292], 図43, 44	1-3, 5-7, 10-14
A	WO 2019/003060 A1（株式会社半導体エネルギー研究所）03.01.2019（2019 - 01 - 03） 全文, 全図	1-14

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

25.02.2021

国際調査報告の発送日

09.03.2021

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

宮本 博司 5F 6313

電話番号 03-3581-1101 内線 3516

様式 PCT/ISA/210（第2ページ）（2015年1月）

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-207039	A	27.12.2018	(ファミリーなし)	
JP	2019-24087	A	14.02.2019	US 2019/0027493 A1	
				[0008], [0275], [0318] -	
				[0357], 図43, 44A - 44C	
WO	2019/003060	A1	03.01.2019	US 2020/0203339 A1	
				全文, 全図	
				CN 110832640 A	
				KR 10-2020-0019149 A	