



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년07월25일

(11) 등록번호 10-2687932

(24) 등록일자 2024년07월19일

(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) H01L 21/762 (2006.01)

(52) CPC특허분류
H01L 21/02507 (2013.01)
H01L 21/02444 (2013.01)

(21) 출원번호 10-2018-7025017

(22) 출원일자(국제) 2017년02월23일
심사청구일자 2021년12월23일

(85) 번역문제출일자 2018년08월29일

(65) 공개번호 10-2019-0013696

(43) 공개일자 2019년02월11일

(86) 국제출원번호 PCT/FR2017/050400

(87) 국제공개번호 WO 2017/144821
국제공개일자 2017년08월31일

(30) 우선권주장
1651642 2016년02월26일 프랑스(FR)

(56) 선행기술조사문헌
US20150115480 A1*
KR1020060118437 A
JP2014509087 A
JP2014127590 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
소이텍
프랑스, 에프-38190 베른느, 슈망 데 프랑크, 뽁
떼끄놀로지끄 데 풍텐느
위니베르시테 끌로드 베르나르 리옹 I
프랑스 빌외르반 에프-69100, 불바르 뒤 11 노바
브르 1918 43
쎁뜨레 나티오날 데 라 르세르쉬 생띠끄
프랑스 75016 파리 뒤 미셀 엔지 3

(72) 발명자
피게 크리스토프
프랑스 38920 크롤레 뒤 헥터 베를루와즈 438
코논추크 올레그
프랑스 38570 테이 몽고예
(뒷면에 계속)

(74) 대리인
정홍식

전체 청구항 수 : 총 15 항

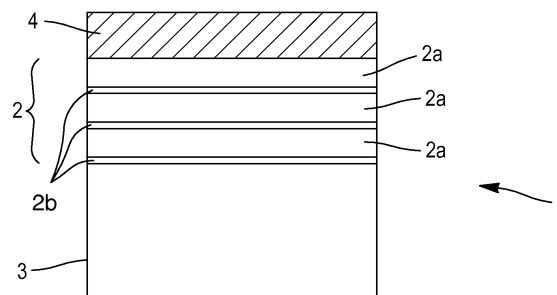
심사관 : 오창석

(54) 발명의 명칭 반도체 구조를 위한 지지체

(57) 요약

본 발명은 베이스 기판(3) 상에 전하 트래핑 층(2)을 포함하는 반도체 구조를 위한 지지체(1)에 관한 것이다. 트래핑 층(2)은 다결정 메인 층(2a), 및 메인 층(2a)에 또는 메인 층(2a)과 베이스 기판(3) 사이에 개재되고 실리콘과 탄소의 합금 또는 탄소로 구성된 적어도 하나의 중간 다결정 층(2b)으로 구성되고, 중간 층(2b)은 1000 ohm.cm보다 큰 비저항을 갖는다.

대표도 - 도1



(52) CPC특허분류

H01L 21/02447 (2013.01)

H01L 21/0245 (2013.01)

H01L 21/0259 (2013.01)

H01L 21/0262 (2013.01)

H01L 21/76254 (2013.01)

(72) 발명자

알라썬드 카썸

프랑스 69100 빌뢰르반 애비뉴 마르크 산그니에르
8

페로 가브리엘

프랑스 69100 빌뢰르반 뤼 데 로지스 3

소울리에레 베로니카

프랑스 38080 생 마르셀 벨 아쿠이유 슈망 두 로버
트 852

베티주 크리스텔르

프랑스 38190 베르넝 슈망 두 크라포노즈 295

에고이안 타구히

프랑스 38300 부르고앙-잘리외 뤼 데그랑쥬 7

명세서

청구범위

청구항 1

베이스 기판(3) 상에 배치된 전하 트래핑 층(2)을 포함하는 반도체 구조를 위한 지지체(1)로서,

상기 트래핑 층(2)은 다결정 실리콘으로 제조된 메인 층(2a), 및 상기 메인 층(2a)에 또는 상기 메인 층(2a)과 베이스 기판(3) 사이에 개재되고 실리콘과 탄소의 합금 또는 탄소로 구성된 적어도 하나의 중간 층(2b)으로 구성되고, 상기 중간 층(2b)은 1000 ohm.cm보다 큰 비저항을 갖는,

지지체(1).

청구항 2

제1항에 있어서,

상기 베이스 기판(3)은 1000 ohm.cm보다 큰 비저항을 갖는,

지지체(1).

청구항 3

제1항 또는 제2항에 있어서,

상기 트래핑 층(2)은 5 또는 10 미크론보다 큰 두께를 갖는,

지지체(1).

청구항 4

제1항 또는 제2항에 있어서,

1개 내지 10개의 중간 층들(2b)을 포함하는,

지지체(1).

청구항 5

제1항 또는 제2항에 있어서,

상기 메인 층(2a)과 상기 베이스 기판(3) 사이에 탄소로 구성된 단일 중간 층(2b)을 포함하는,

지지체(1).

청구항 6

제1항 또는 제2항에 있어서,

상기 메인 층(2a)은 100 nm 내지 1000 nm의 크기를 갖는 실리콘 입자들로 구성되는,

지지체(1).

청구항 7

제1항 또는 제2항에 있어서,

각각의 중간 층(2b)은 10 nm 또는 5 nm보다 작은 두께를 갖는,

지지체(1).

청구항 8

제1항 또는 제2항에 있어서,
상기 전하 트래핑 층(2) 상에 절연 층(4)을 포함하는,
지지체(1).

청구항 9

제1항 또는 제2항에 있어서,
상기 다결정 중간 층 또는 층들(2b)은 5% 초과를 탄소로 갖는 실리콘과 탄소의 합금으로 구성되는,
지지체(1).

청구항 10

제9항에 있어서,
상기 중간 층(2b)은 실리콘 탄화물인,
지지체(1).

청구항 11

반도체 구조로서,
제1항 또는 제2항에 따른 지지체;
상기 지지체 상의 절연 층(4, 6);
상기 절연 층 상의 유용한 층(5)을 포함하는,
반도체 구조.

청구항 12

제11항에 있어서,
상기 유용한 층(5)은 적어도 하나의 집적 디바이스를 포함하는,
반도체 구조.

청구항 13

반도체 구조를 제조하기 위한 방법으로서,
a. 제1항 또는 제2항에 따른 지지체(1)를 제공하는 단계;
b. 상기 지지체(1) 상에 상기 반도체 구조를 형성하는 단계를 포함하는,
방법.

청구항 14

제13항에 있어서,
상기 형성 단계 b는 상기 지지체 상으로의 유용한 층(5)의 전달을 포함하는,
방법.

청구항 15

제14항에 있어서,
상기 유용한 층(5)은 적어도 하나의 집적 디바이스를 포함하는,
방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 구조를 위한 지지체에 관한 것이다.

배경 기술

- [0002] 집적 디바이스들은 일반적으로 이들의 제조 동안 주로 지지체로서 기능하는 기판들 상에 형성된다. 그러나, 이러한 디바이스들의 집적도 및 예상 성능들에서의 증가는, 디바이스들의 성능들과 이들이 형성되는 기판의 특성들 사이의 점점 더 큰 커플링을 초래한다. 이는 특히, 대략 3 kHz 내지 300 GHz의 주파수를 갖는 신호들을 프로세싱하는, 특히 전기통신들의 분야(전화, Wi-Fi, 블루투스 등)에 적용되는 RF 디바이스들의 경우이다.
- [0003] 디바이스/기판 커플링의 예로서, 집적 디바이스들을 통해 전파되는 고주파 신호들로부터 발생하는 전자기장들은 기판의 깊이를 진입하고 그 곳에 존재하는 임의의 전하 캐리어들과 상호작용한다. 그 결과, 커플링 손실 및 크로스토크(crosstalk)에 의한 컴포넌트들 사이의 가능한 영향들을 통해 신호의 에너지의 일부가 쓸모없이 소비된다.
- [0004] 커플링의 제2 예에 따르면, 기판의 전하 캐리어들은 바람직하지 않은 고조파들의 생성을 초래할 수 있으며, 이는 집적 디바이스들에서 전파되는 신호들과 간섭하고 이들의 품질들을 저하시킬 수 있다.
- [0005] 이러한 현상은, 이용된 기판이 지지체와 집적 디바이스들이 형성되는 유용한 층 사이에 매립된 절연 층을 포함하는 경우 특히 관찰가능하다. 절연체에 트랩된 전하들은, 지지체에서, 이러한 절연체 층 하에서, 반대 부호들을 갖는 전하들을 축적하여 전도 평면을 형성한다. 이러한 전도성 평면에서, 이동 전하들은 유용한 층의 컴포넌트들에 의해 생성된 전자기장들과 강하게 상호작용하기 쉽다.
- [0006] 이러한 현상을 방지하거나 제한하기 위해, 매립된 절연체와 지지체 사이에서 절연 층 바로 아래에 전하-트래핑 층, 예를 들어 1 내지 5 미크론의 다결정 실리콘 층을 삽입하는 것이 공지되어 있다. 그 다음, 다결정을 형성하는 입자들의 연결부들은 전하 캐리어들에 대한 트랩들을 구성하며, 이들은 트래핑 층 자체로부터 또는 아래의 지지체로부터 발생할 수 있다. 이러한 방식으로, 절연체 아래의 전도성 평면의 외관이 방지된다.
- [0007] 그 다음, 디바이스/기판 커플링은 전자기장들과 지지체의 모바일 전하들의 상호작용의 강도에 의존한다. 이러한 전하들의 밀도 및/또는 이동도는 지지체의 비저항에 의존한다.
- [0008] 기판의 비저항이 비교적 커서(그리고 그에 따라 전하 밀도가 비교적 낮아서) 1000 ohm.cm보다 큰 경우, 1 내지 5 미크론 두께의 트래핑 층이 디바이스/기판 커플링을 제한하는데 적합할 수 있다. 이러한 방식으로, 신호들의 무결성 및 그에 따른 유용한 층의 집적 디바이스들의 무선 주파수 성능은 보존된다.
- [0009] 한편, 기판의 비저항이 낮아서 1000 ohm.cm보다 낮은 경우, 또는 집적 디바이스의 예상되는 성능이 높은 경우, 전하들이 이동하는 구역을 기판 내로 더 깊게 푸시하기 위해, 5 미크론 또는 심지어 10 또는 15 미크론보다 큰 매우 두꺼운 트래핑 층을 형성할 수 있는 것이 바람직할 것이다. 따라서, 매우 깊게 전파되는 전자기장들과의 상호작용들을 방지하는 것, 및 유용한 층의 집적 디바이스들의 성능을 추가로 개선하는 것이 가능할 것이다.
- [0010] 그러나, 5 미크론보다 큰 트래핑 층의 두께는 성능에서 예상되는 개선을 도출하지 않는 것이 관찰되었다.
- [0011] 문헌 US 2015/0115480호는 반도체 구조를 위한 지지체를 포함하는 기판을 개시하며, 지지체에는 실리콘, 실리콘 게르마늄, 실리콘 탄화물 및/또는 게르마늄의 다비정 또는 비정질 층들의 스택으로부터 형성된 트래핑 층이 제공된다. 이러한 층들은 패시베이션되는데(passivated), 즉 이들의 계면들은 실리콘 산화물 또는 실리콘 질화물과 같은 절연체의 미세한 층으로 구성된다. 이러한 패시베이션은 이러한 문헌에 따라, 이들의 제조 동안 이러한 층들의 자유 표면을 산소 또는 질소가 풍부한 환경에 노출시킴으로써 획득된다.
- [0012] 이러한 문헌에 따르면, 트래핑 층의 다층 구조는, 기판이 매우 높은 온도에 노출되는 경우, 예를 들어, 기판의 제조 또는 이러한 기판 상의 집적 디바이스들의 제조 동안, 다결정 트래핑 층의 재결정화의 현상을 방지하는 것을 가능하게 할 것이다. 트래핑 층이 심지어 부분적으로 재결정화되는 경우, 기판 및 그 위에 형성될 집적 디바이스들의 RF 성능들이 영향받으며, 물론 이는 바람직하지 않다.
- [0013] 그러나, 이러한 문헌에서 제안된 지지체는 완전한 만족을 제공하지는 않는다.
- [0014] 먼저, 이러한 문헌이 형성할 것으로 예상하는 패시베이션 절연체의 미세 층들은 특히 이러한 절연체가 실리콘

이산화물인 경우 일반적으로 온도에 안정적이지 않다. 지지체를 고온에 노출시키는 것은 다결정 층들에서 산화물의 용해를 초래하고, 패시베이션 층들의 소멸을 초래할 수 있다. 그 다음, 트래핑 층들은 지지체의 고온 처리가 계속되면 재결정화되기 쉽다.

[0015] 이러한 절연 패시베이션 층들이 온도에 대한 안정성을 보장하기에 충분한 두께로 형성되면, 이들은 지지체 및 스택의 층들에 존재하는 전하들의 확산에 대한 장벽들을 형성한다. 스택의 층의 트랩들이 모두 전하 캐리어들로 포화된 경우, 후자는 층에 한정되어 유지되고 그 안에 축적되며, 스택의 다른 층들에서 이용가능한 다른 트랩들을 향해 구동될 수 없다. 따라서, 기판의 RF 성능들은 그에 따라 손상된다.

[0016] 또한, 상대적으로 두꺼운 절연 패시베이션 층들에 트랩된 전하들은 층들의 표면 아래에 전도성 평면들을 형성되게 하여, 앞서 설명된 SOI 구조의 매립된 산화물 층 아래에서 관찰되는 현상을 재현한다. 트래핑 층들의 다결정 구조는 이러한 추가적인 전하들의 양을 오직 부분적으로만 보상할 수 있다. 그에 따라, 다시 한번, 기판의 RF 성능들이 손상된다.

발명의 내용

해결하려는 과제

[0017] 본 발명은 전술한 단점들의 전부 또는 일부를 극복하는 것을 목적으로 한다.

과제의 해결 수단

[0018] 이러한 목적들 중 하나를 달성하기 위한 관점에서, 본 발명의 요지는 베이스 기판 상에 배치된 전하 트래핑 층을 포함하는 반도체 구조를 위한 지지체를 제안한다. 본 발명에 따르면, 트래핑 층은 다결정 메인 층, 및 메인 층에 또는 메인 층과 베이스 기판 사이에 개재되고 실리콘과 탄소의 합금 또는 탄소로 구성된 적어도 하나의 중간 층으로 구성되고, 중간 층은 1000 ohm.cm보다 큰 비저항을 갖는다.

[0019] 이러한 방식으로, 트래핑 층은 종래 기술의 절연 패시베이션 층들의 단점들을 갖지 않으면서 온도에 안정적이다.

[0020] 단독으로 또는 임의의 기술적으로 달성가능한 조합으로 취해진, 본 발명의 다른 유리하고 비제한적인 특징들에 따르면,

[0021] 베이스 기판은 1000 ohm.cm보다 높은 비저항을 갖고;

[0022] 트래핑 층은 10 마이크론보다 큰 두께를 갖고;

[0023] 지지체는 1 내지 10개의 중간 층들을 포함하고;

[0024] 다결정 메인 층은 100 nm 내지 1000 nm의 크기를 갖는 실리콘의 입자들로 구성되고;

[0025] 각각의 중간 층은 10 nm 또는 5 nm보다 작은 두께를 갖고;

[0026] 지지체는 전하-트래핑 층 상에 절연 층을 포함하고;

[0027] 다결정 중간 층 또는 층들은 실리콘 탄화물과 같은 5% 초과와 탄소를 갖는 실리콘과 탄소의 합금으로 구성된다.

[0028] 본 발명의 요지는 또한 지지체, 지지체 상의 절연 층 및 절연 층 상의 유용한 층을 포함하는 반도체 구조에 관한 것이다. 유용한 층은 적어도 하나의 컴포넌트를 포함할 수 있다.

[0029] 마지막으로, 본 발명의 마지막 요지는 하기 단계들을 포함하는 반도체 구조를 제조하기 위한 방법에 관한 것이다.

[0030] a. 전술한 바와 같은 지지체를 제공하는 단계;

[0031] b. 이러한 지지체 상에 반도체 구조를 형성하는 단계.

[0032] 형성 단계 b는 지지체 상으로의 유용한 층의 전달을 포함할 수 있다.

[0033] 유용한 층은 적어도 하나의 집적 디바이스를 포함할 수 있다.

도면의 간단한 설명

[0034] 본 발명의 다른 특징들 및 이점들은, 첨부된 도면들을 참조하여 후속되는 본 발명의 상세한 설명으로부터 나타날 것이다.

도 1은 본 발명에 따른 반도체 구조를 위한 지지체를 개략적으로 도시한다.

도 2는 다결정 층의 두께와 이러한 층의 표면 상의 입자들의 평균 크기 사이에 존재하는 관계를 도시한다.

도 3은 본 발명에 따른 지지체를 포함하는 반도체 온 절연체(semiconductor on insulator) 타입의 기판을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0035] 도 1은 본 발명에 따른 반도체 구조를 위한 지지체를 개략적으로 도시한다. 지지체(1)는 예를 들어, 직경이 200 mm 또는 300 mm 또는 심지어 450 mm인 표준화된 크기의 원형 웨이퍼의 형태일 수 있다. 그러나, 본 발명은 결코 이러한 치수들 또는 이러한 형태로 제한되지 않는다.

[0036] 따라서, 반도체 구조가 마감된 또는 준 마감된 집적 디바이스인 경우, 지지체(1)는 직사각형 또는 정사각형 종방향 단면을 갖는 재료 블록의 형태를 취할 것이고, 수 밀리미터 내지 수 센티미터인 그 치수들은 집적 디바이스의 치수들에 대응한다.

[0037] 지지체(1)는 통상적으로 수백 미크론 두께의 베이스 기판(3)을 포함한다. 우선적으로, 특히 지지체(1)가, 높은 예상 RF 성능들의 반도체 구조를 수용하도록 의도되는 경우, 베이스 기판은 1000 ohm.cm 초과, 및 우선적으로는 또한 3000 ohm.cm 초과인 높은 비저항을 갖는다. 이러한 방식으로, 베이스 기판에서 이동하기 쉬운 전자들, 즉 정공들 또는 전자들의 밀도가 제한된다. 그러나, 본 발명은 이러한 비저항을 갖는 베이스 기판으로 제한되지 않으며, 베이스 기판이 약 수백 ohm.cm 이하의 더 통상적인 비저항을 갖는 경우 RF 성능의 측면에서 이점들을 또한 제공한다.

[0038] 이용가능성 및 비용의 이유로, 베이스 기판은 우선적으로는 실리콘으로 제조된다. 이는 예를 들어 작은 격자간 산소(interstitial oxygen) 함량을 갖는 CZ 기판일 수 있으며, 이는 그 자체로 널리 공지된 바와 같이, 1000 ohm.cm보다 높을 수 있는 비저항을 갖는다. 베이스 기판은 대안적으로 다른 재료로 형성될 수 있어서: 예를 들어, 사파이어, 실리콘 탄화물 등일 수 있다.

[0039] 지지체(1)는 또한 베이스 기판(3)과 직접 접촉하는 트래핑 층(2)을 포함한다. 본 출원의 도입부의 세부사항들에서 언급된 바와 같이, 트래핑 층의 기능은 지지체(1)에 존재할 수 있는 임의의 전하 캐리어들을 트래핑하고 이들의 이동성을 제한하는 것이다. 이는 특히, 지지체에 침투하는 전자기장을 방출하는 반도체 구조가 제공된 지지체(1)가 그에 따라 이러한 전하들과 상호작용하기 쉬운 경우이다.

[0040] 본 발명에 따르면, 트래핑 층(2)은 다결정 메인 층(2a)을 포함한다.

[0041] 전술한 이용가능성 및 비용의 동일한 이유들로, 메인 층(2a)은 우선적으로는 다결정 실리콘으로 제조된다. 그러나, 이는 다른 반도체 및 다결정 재료로 형성될 수 있거나 또는 다른 반도체 및 다결정 재료로 제조된 부분(예를 들어, 도 1의 층(2)의 섹션(2a))을 포함할 수 있다. 이것은 예를 들어 게르마늄, 실리콘 게르마늄 등의 경우일 수 있다.

[0042] 모든 경우들에서, 메인 층(2a)은 3000 ohm.cm보다 높은 비저항을 갖는다. 이를 위해, 메인 층(2a)은 의도적으로 도핑되지 않는데, 즉, 메인 층(2a)은 10^{14} 원자/cm³보다 작은 도펀트의 농도를 갖는다. 이의 비저항 특성을 개선하기 위해 질소 또는 탄소가 풍부할 수 있다.

[0043] 트래핑 층(2)은 또한, 메인 층(2a) 사이에 또는 메인 층(2a)과 베이스 기판(3) 사이에 개재되고, 실리콘과 탄소의 합금 또는 탄소로 구성되고, 1000 ohm.cm보다 높은 비저항을 갖는 적어도 하나의 중간 층(2b)을 포함한다. 이들은 온도에 대해 매우 안정적인 재료들인데, 즉 반도체 구조들(500° 내지 1300°)을 제조하기 위해 일반적으로 사용되는 온도들을 초과하는 매우 높은 온도들에 노출되는 경우에도, 이러한 재료들은 미세 및 거시적 구조를 유지한다. 이하 더 상세히 설명될 바와 같이, 중간 층으로 구성된 실리콘과 탄소의 합금 또는 탄소는 실리콘 및 탄소를 증착함으로써 또는 표면 탄화에 의해 형성될 수 있다. 이는 일반적으로 성질상 다결정이지만, 결정질 베이스 기판(3)의 탄화에 의해 형성되는 경우, 결정질 또는 부분적으로 결정질의 성질을 가질 수 있다.

[0044] 본 발명에 따르면, 트래핑 층(2)은 메인 층(2a) 및 적어도 하나의 중간 층(2b)으로 구성된다. 다른 층들, 특히 전기적 절연 층들을 통합하기 위한 제공이 행해지지 않으며, 이는 제안된 트래핑 층의 유리한 특성들을 수정할

수 있다.

- [0045] 적어도 하나의 중간 층(2b)을 다결정 메인 층(2a)에 개재함으로써, 지지체(1)가 겪을 수 있는 임의의 열처리들 동안 다결정 메인 층(2a)의 재결정화를 방지하는, 온도에 대해 안정적인 스택이 형성된다.
- [0046] 저항성 반도체 재료들의 경우, 절연 재료의 사용과 관련된 단점들이 극복된다. 또한, 이들의 비저항 및 다결정 성 특성들은 메인 층(2a)에서 발생하는 것과 유사한 층(2)에서의 전하의 트래핑에 기여한다.
- [0047] 지지체(1)가 복수의 중간 층들(2b)을 포함하는 경우, 중간 층들(2b)은 동일한 성질 또는 상이한 성질들일 수 있으며, 이러한 성질은 전술한 재료들의 목록으로부터 선택되어 유지된다.
- [0048] 따라서, 베이스 기판 상에서 메인 층(2a)과 적어도 하나의 중간 층(2b)으로 구성된 트래핑 층(2)은 온도에 대해 안정적인, 즉 재결정화를 거의 겪지 않고 전하 캐리어들을 트래핑하는데 효과적인 반도체 구조에 대한 지지체를 형성한다. 이는 실제로 전하들에 액세스가능한 매우 높은 밀도의 트랩들을 갖는다.
- [0049] 또한, 이러한 방식으로 적어도 하나의 층(2b)을 메인 층(2a)에 개재함으로써, 놀랍게도, 2 마이크론보다 큰 두께를 갖는 트래핑 층(2)을 형성하여 지지체의 RF 성능들을 개선하는 것이 가능함이 관찰되었다.
- [0050] 이러한 특성은 도 2를 참조하여 예시되며, 그 설명이 후속된다. 표준 CZ 실리콘 기판들 상에, 종래 기술에 따른 그리고 증가하는 두께의 다결정 실리콘 층들이 형성되었다. 이러한 층들 각각에 대해, 그리고 이들의 표면 상에서, 다결정 입자들의 평균 크기는 SEM(scanning electron microscopy) 이미징에 의해 기록되었다.
- [0051] 도 2의 그래프는 다결정 층의 두께(x-축, 및 마이크론 단위)와 이러한 층의 표면 상의 입자들의 평균 크기(y-축, 및 나노미터 단위) 사이에 존재하는 관계를 (검은 사각형 형태로) 도시한다. 층이 두꺼울수록 입자들의 크기가 커지는 것이 관측되었다.
- [0052] 두꺼운 트래핑 층은 잔여 전하 캐리어 구역을 지지체 내로 더 깊게 밀어 넣기 위해 요구될 수 있다. 그러나, 관측되는 바와 같이, 이것은 트래핑 층의 표면 상의 입자 크기에서의 증가를 초래한다. 이러한 표면은 반도체 구조 바로 아래에 배치되도록 의도되며, 따라서 강한 자기장을 받기 쉽다. 따라서, 반도체 구조의 RF 성능은 이러한 표면 및 그에 근접한 전하 캐리어들의 거동에 매우 민감할 것이다.
- [0053] 그러나, 입자들의 크기에서의 증가는 2가지 방식으로 문제를 제기한다. 먼저, 더 큰 입자들은 더 작은 입자 연결부 밀도를 도출한다. 이러한 연결부들은 전하들을 트래핑하기 위한 선호 구역을 형성하고 트랩들의 밀도는 감소된다.
- [0054] 게다가, 입자들은 또한 내부에 놓인 전하 캐리어들에 대한 한정 공간을 형성한다. 예를 들어 집적 디바이스의 정도의 큰 입자들에서, 디바이스들로부터 보이는 전하들은 결합없는 재료에서와 같이 동작한다.
- [0055] 트래핑 층의 다결정 입자들이 큰 경우, 이러한 2개의 양상들이 결합되어 지지체의 RF 성능을 감소시킨다.
- [0056] 보완적인 연구들은, 입자들의 크기가 우선적으로는 100 nm(그 아래에서 이들의 열 안정성은 더 이상 보장되지 않고, 온도에 대한 이의 재결정화의 위험이 존재함) 내지 1000 nm(그 위에서 지지체의 RF 성능이 영향 받음)이어야 함을 나타냈다. 대략 5 마이크론보다 큰 트래핑 층의 두께 및 그 전체 두께에 대해 이러한 입자 특성은 획득될 수 없었다.
- [0057] 선행 예의 기판과 동일한 베이스 기판 상에, 대략 8 마이크론의 다결정 실리콘의 중간 층이 형성되었다. 이러한 층의 중간에, 1 nm의 실리콘 탄화물 다결정 층이 형성되었다. 다결정 실리콘 층의 표면 상의 입자 크기는 약 800 nm로 측정되었다.
- [0058] 제2 베이스 기판 상에, 대략 13 마이크론의 다결정 실리콘 층이 형성되었다. 80 nm의 5개의 실리콘 탄화물 층들이 다결정 층에 균등하게 개재되었다. 이러한 층의 표면 상의 입자 크기는 약 800 nm로 측정되었다.
- [0059] 제3 베이스 기판 상에, 대략 13 마이크론의 다결정 실리콘 층이 형성되었다. 40 nm 두께의 11개의 실리콘 탄화물 층들이 다결정 층에 균등하게 개재되었다. 이러한 층의 표면 상의 입자 크기는 약 125 nm로 측정되었다.
- [0060] 3개의 측정들은 도 2의 그래프 상에 배치되었으며 이러한 그래프에서 각각 A, B, C로 마킹된다.
- [0061] 이러한 도면 상에서, 중간 층들을 삽입하는 것은 트래핑 층의 두께에서 입자들의 크기에서의 변화를 제어하는 것을 가능하게 하고, 심지어 5 또는 10 마이크론보다 큰 층들의 두께들에 대해서도, 100 내지 1000 나노미터의 크기들을 갖는 입자들을 획득하는 것이 가능함은 매우 명백하다.

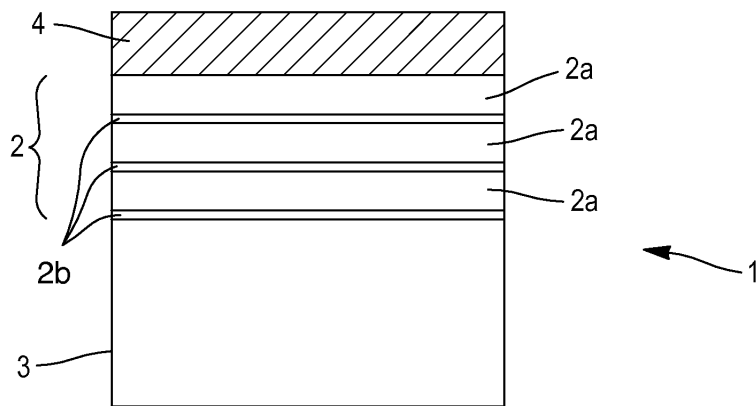
- [0062] 이러한 결과들의 (비제한적인) 해석 가설에 따르면, 실리콘과 탄소의 합금으로 구성된 중간 층(또는 층들)은 메인 층의 다결정 실리콘에 비해 메시 파라미터에서 더 큰 차이를 갖는다(중간 층의 메시 파라미터는 메인 층의 메시 파라미터보다 작다). 이러한 방식으로, 매우 큰 밀도의 결정질 결함들이 생성되고, 폴리실리콘 층들과 중간 층 사이의 에피택시의 관계가 이들의 성장 동안 손실된다. 중간 층 아래에서 메인 층의 특정한 다결정 배열은 손실되고, 중간 층 주위의 메인 층 부분에서 재현되지 않는다.
- [0063] 이러한 관찰들은 본 발명에 따른 트래핑 층(2)의 유리한 특성들을 확립하는 것을 가능하게 한다.
- [0064] 따라서, 트래핑 층은 유리하게는 1 내지 10 개의 중간 층들을 포함할 수 있다. 이러한 방식으로, 과도하게 복잡하고 고비용의 스택을 형성하지 않고 5 미크론보다 큰 심지어 10 미크론보다 큰 두께들의 트래핑 층들(2)에서도 트래핑 층(2a)의 입자들의 크기를 제어하는 것이 가능하다.
- [0065] 바람직하게는, 실리콘과 탄소의 합금으로 형성된 또는 탄소로 형성된 각각의 중간 층(2b)은 메인 층(2a)을 형성하는 재료(또는 재료들)의 메시 파라미터보다 작은 메시 파라미터를 갖는다.
- [0066] 유리하게는, 2개의 연속적인 중간 층들(2b) 사이에 놓인 메인 층(2a) 부분의 두께는 0.2 내지 2.5 미크론일 수 있다. 이러한 방식으로, 이러한 부분의 최상부에서 입자들이 너무 커지는 것이 방지된다.
- [0067] 트래핑 층(2)은 2 미크론 또는 심지어 10 미크론보다 큰 두께를 가질 수 있다. 이의 두께가 이러한 제한들보다 크든 또는 작든, 메인 층(2a)은 100 내지 1000 나노미터의 크기를 갖는 입자들로 구성될 수 있다. 그 다음, 종래 기술에 따른 지지체들로 획득하는 것이 가능한 성능에 비해 훨씬 더 개선된 RF 성능들을 갖는 지지체(1)가 획득된다.
- [0068] 중간 층 또는 층들을 형성하는 실리콘과 탄소의 합금 또는 탄소는 메인 층(2a)을 형성하는 것과 매우 상이한 열 팽창 계수를 가질 수 있다. 이러한 경우, 예를 들어 10 또는 5 nm 미만으로 그 두께를 제한하는 것이 바람직하다. 이러한 방식으로 지지체(1)가 고온을 겪는 경우 지지체(1)에 응력들을 생성하는 것이 회피된다.
- [0069] 실리콘과 탄소의 합금은 실리콘 탄화물 또는 탄소-도핑된 실리콘일 수 있다. 우선적으로는, 탄소-도핑된 실리콘은 5 % 초과와 탄소를 갖는다.
- [0070] 마지막으로, 도 1에 도시된 바와 같이, 지지체는 트래핑 층(2) 바로 위에 절연 층(4)을 가질 수 있다. 선택적인 이러한 절연 층(4)은 반도체 구조와 지지체(1)의 조립을 용이하게 할 수 있다.
- [0071] 본 발명에 따른 지지체(1)를 제조하는 것은 특히 간단하고 업계의 표준 증착 장비로 달성가능하다.
- [0072] 이 예에 따르면, 베이스 기관(3)이 공급되고, 종래의 증착 챔버에 배치된다. 자체로 널리 공지된 바와 같이, 베이스 기관(3)은 이의 증착 전에, 예를 들어 그 표면으로부터 자연 산화물 층을 제거하기 위해 준비될 수 있다. 이러한 단계는 의무적이 아니며, 이러한 산화물은 유지될 수 있다. 이는, 실제로, 장래의 열처리들이 용해에 의해 산화물이 완전히 사라지게 하지 않는 한, 어떠한 절연 효과(터널 효과에 의한 이러한 층을 통한 전도)도 갖지 않도록 1 내지 2 nm 두께로 충분히 미세하다.
- [0073] 본 경우에 다결정 실리콘으로 제조된 메인 층(2a)을 증가시키기 위해, 챔버는 약 1000 ° C의 온도에서 이를 통해 이동하는 전구체(precursor) 가스들, 예를 들어 SiH₄의 흐름을 갖는다.
- [0074] 이러한 증착 프로세스에서 주어진된 순간들에, 제2 전구체 가스, 예를 들어 C₃H₈은 중간 층 또는 층들(2b)을 형성하기 위한 관점에서 주어진 기간 동안 챔버 내로 도입될 수 있다.
- [0075] 제1 가스의 흐름은 탄소가 풍부하거나 탄소로 구성된 중간 층(2b)을 형성하도록 이러한 시간 간격 동안 중단될 수 있다.
- [0076] 대안적으로, 제1 가스의 흐름은 실리콘과 탄소의 합금으로 구성된 중간 층(2b)을 형성하도록 이러한 시간 동안 유지될 수 있다. 이러한 합금 내의 탄소 및 실리콘의 비율은 각각의 전구체들의 흐름들을 조정함으로써 제어될 수 있다.
- [0077] 이러한 시퀀스는 추구되는 트래핑 층(2)을 형성하기 위해 반복될 수 있으며, 다양한 흐름들의 순환의 지속기간은 연속적인 층들(2a, 2b)을 분리하는 두께를 결정한다.
- [0078] 메인 층(2a) 아래에 그리고 베이스 기관(3)과 접촉하는 탄소의 중간 층(2b)을 배치하기를 원하는 경우, 이러한 기관을 커버할 수 있는 자연 산화물 층을 제거하는 것이 바람직할 수 있다. 그리고, 탄소(2b)의 중간 층을 형성하기 위해 대략 1000° C의 온도에서, 제1 전구체 가스의 부재 시에, 베이스 기관을 제2 전구체 가스 C₃H₈에

직접 노출시키는 것이 가능하다. 이는, 베이스 기판(3) 자체가 결정질 성질을 가지면, 결정질 또는 부분적 결정질 성질을 가질 수 있다.

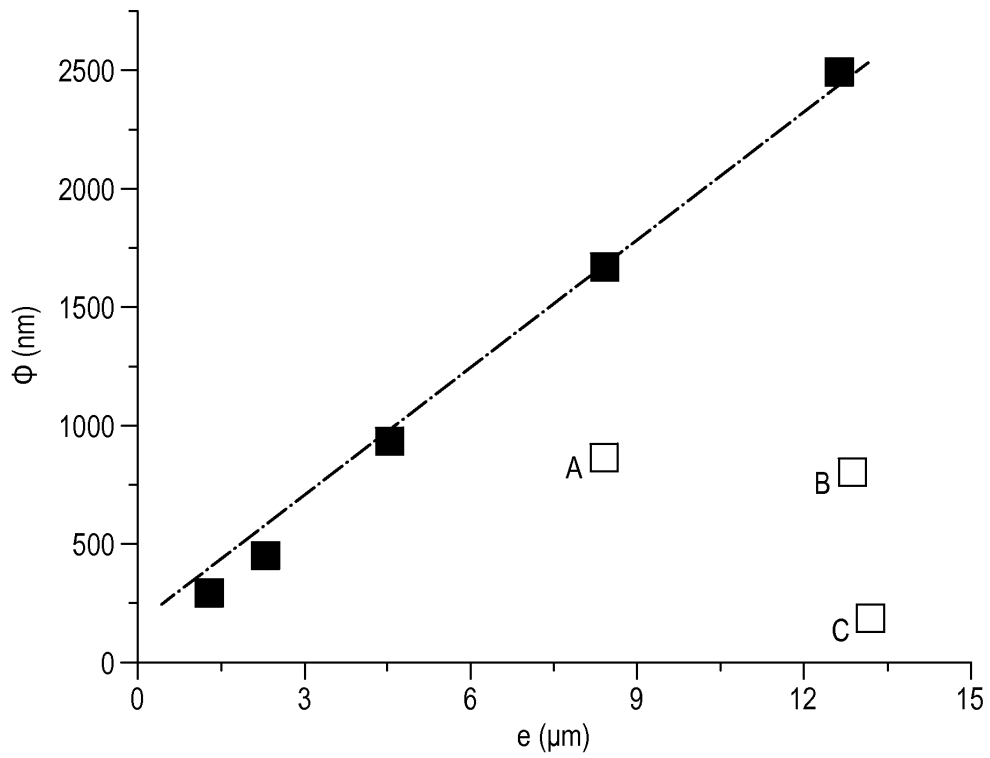
- [0079] 탄소가 풍부한 메인 층의 섹션(2a)을 형성하기 위해, 다결정 실리콘으로부터 이러한 층의 섹션을 형성하기 위한 제공을 행하는 것 및 C3H8과 같은 탄소가 풍부한 분위기에서 이러한 층을 어닐링하는 것이 또한 가능하다. 이러한 어닐링 단계는, 탄소가 풍부한 분위기를 챔버에 도입시키는 것 및 이에 후속하는 메인 층의 섹션(2a)의 증착에 의해 증착 장비에서 인시츄(in situ)로 수행될 수 있다.
- [0080] 트래핑 층(2)을 증착하기 위해 어떠한 선택들이 행해지든, 본 발명에 따른 지지체(1)는 이러한 증착 단계의 종료 시에 이용가능하다. 반도체 구조와의 조립을 용이하게 하는 매끄러운 표면을 제공하기 위해, 트래핑 층(2) 측면 상에서 선택적인 연마 단계를 겪을 수 있다.
- [0081] 지지체에는 종래에 증착된, 예를 들어, 실리콘 산화물 또는 실리콘 질화물과 같은 절연 층(4)이 제공될 수 있다. 이러한 절연체(4)는 또한 연마될 수 있다.
- [0082] 전술한 바와 같이, 지지체(1)의 목적은 트래핑 층(2)과 동일한 측면 상에 반도체 구조를 수용하는 것이다.
- [0083] 이러한 구조는 지지체(1) 상에 많은 방식들로 형성될 수 있지만, 유리하게는 이러한 형성은 유용한 층(5)을 지지체 상에 전달하는 단계를 포함한다.
- [0084] 자체로 널리 공지된 바와 같이, 이러한 전달은 일반적으로 지지체(1) 상에 도너 기판의 면을 조립함으로써 수행된다. 지지체(1)에는 절연 층(4)이 제공되거나 제공되지 않을 수 있다. 동일한 방식으로, 도너 기판에는 절연 층(4)과 동일한 성질 또는 상이한 성질의 절연 층(6)이 미리 제공될 수 있다. 이는, 예를 들어 실리콘 산화물 또는 실리콘 질화물일 수 있다.
- [0085] 이러한 조립 단계 후에, 유용한 층(5)을 형성하기 위해 도너 기판은 두께가 감소된다. 이러한 감소 단계는 기계적 또는 화학적 박막화에 의해 수행될 수 있다. 이는 또한 예를 들어 Smart Cut™ 기술의 원리들에 따라, 도너 기판에 미리 도입된 깨지기 쉬운 구역의 골절의 경우일 수 있다.
- [0086] 두께에서의 감소 단계와 함께, 연마 단계, 환원 또는 중립 분위기 하에서의 열처리 또는 회생 산화와 같은 유용한 층(5)을 마감하는 단계들이 연쇄될 수 있다.
- [0087] 도너 기판이 단순한 기판, 즉 어떠한 집적 디바이스도 포함하지 않는 경우, 이러한 방식으로 반도체 온 절연체(semiconductor on insulator) 타입의 기판이 형성되고, 여기서 유용한 층(5)은 본 발명의 지지체를 포함하는 그리고 도 3에 도시된 바와 같은 블랭크 반도체들의 층이다. 그 다음, 기판은 집적 디바이스들을 형성하기 위해 사용될 수 있다.
- [0088] 도너 기판이 그 표면 상에 집적 디바이스들을 형성하기 위해 미리 처리된 경우, 이러한 방법의 종료 시에 이러한 디바이스들을 포함하는 유용한 층(5)이 이용가능하다.
- [0089] 반도체 구조는, 반도체 재료들로부터 형성되든 그렇지 않은 집적 디바이스를 의미한다. 예를 들어, 이는, 통상적으로 리튬 탄탈레이트와 같은 압전 재료의 층에 그리고 그 위에 생성되는 표면 또는 체적 음향파 타입의 디바이스일 수 있다.
- [0090] 반도체 구조는 또한, 반도체 재료에 기초하든 그렇지 않은 집적 디바이스들이 형성될 수 있는 블랭크 디바이스 재료들의 층을 의미한다.

도면

도면1



도면2



도면3

