

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/66

(45) 공고일자 2001년06월01일
(11) 등록번호 10-0291109
(24) 등록일자 2001년03월08일

(21) 출원번호	10-1994-0012114	(65) 공개번호	특 1994-0027122
(22) 출원일자	1994년05월31일	(43) 공개일자	1994년12월10일
(30) 우선권주장	93-154435 1993년05월31일 일본(JP)		
	93-154436 1993년05월31일 일본(JP)		
(73) 특허권자	동경 엘렉트론주식회사	히가시 데쓰로	
(72) 발명자	일본국 도쿄도 미나토구 아카사카 5초메 3반 6고 이토야마 다케토시		
	일본국 사이타마켄 도코로자와시 시모야스마쓰 286-67 아베 유이치		
	일본국 도쿄도 하치오우시 미나미 오오사와 5-3-1-604 야마구치 마사오		
(74) 대리인	일본국 도쿄도 오메시 지가세마치 2-2031 강일우, 강동수, 홍기천		

심사관 : 김용주

(54) 반도체 웨이퍼의 버연 인 검사기능을 구비한 프로우브 검사 및 리페어장치, 및 반도체 웨이퍼의 버연 인 검사장치

요약

반송 유니트(30)를 위한 직선의 제 1 반송로(13)의 일단에는, 반도체 웨이퍼(12)를 1 장씩 공급하는 로더부(14)가 설치되어 있다.

제 1 반송로(13)를 사이에 둔 양측에는 버연 인 검사부(15), 프로우브 검사부(16), 레이저 리페어부(17a), 디포지션 리페어부(17b), 마킹부(18), 베이킹부(19), 육안 검사부(20)가 각각 배치되어 있다.

로더부(14)에 설치된 프리 얼라인먼트부(15)에서는 카세트(21)로부터 취출된 반도체 웨이퍼(12)를 프리 얼라인먼트한다. 프리 얼라인먼트된 반도체 웨이퍼(12)는, 반송 유니트(30)에 의하여, 미리 정해진 검사 순서에 따라서 각 검사부(15), (16) 및 리페어부(17)에 반도체 웨이퍼(12)를 반입 반출시키고, 여러 검사 항목 및 리페어 공정을 인라인 방식으로 실시한다. 버연 인 검사부(15)에서는 반도체 웨이퍼(12) 상에 형성된 다수의 반도체 칩 군의 전부에 일괄하여 접촉하는 도전성 돌기(50)를 가지는 프로우브 카드(47)를 인가한 상태로 버연 인 검사를 실시한다.

대표도

도1

명세서

[발명의 명칭]

반도체 웨이퍼의 버연 인 검사기능을 구비한 프로우브 검사 및 리페어장치, 및 반도체 웨이퍼의 버연 인 검사장치

[도면의 간단한 설명]

제1도는 본 발명의 제 1 실시예의 반도체 웨이퍼의 검사 리페어 장치의 일 실시예를 나타내는 평면도.

제2도는 제1도에 나타내는 버연 인 검사부 및 프로우브 검사부의 개략 단면도.

제3도는 제1도에 나타내는 버연 인 검사부 및 프로우브 검사부의 구조를 나타내는 개략 단면도.

제4도는 버연 인 검사부 및 프로우브 검사부의 변형예를 나타내는 개략 사시도.

제5도는 제1도에 나타내는 반송유니트의 개략 단면도.

제6도는 제1도에 나타내는 반송유니트의 개략 평면도.

제7도는 제1도에 나타내는 받아 건넌 유니트의 개략 사시도.

제8도는 제1도에 나타내는 실시예 장치의 제어계 블록도.

제9도~제11도는 제1도에 나타내는 장치의 동작을 설명하는 플로차트.

제12도는 본 발명의 제 2 실시예의 버런 인 검사장치를 나타내는 개략 평면도.

제13도는 본 발명의 제 3 실시예의 반도체 웨이퍼의 검사 리페어 장치의 일 실시예를 나타내는 평면도.

제14도는 제13도에 나타내는 반송 유니트의 개략 사시도.

제15도는 제13도에 나타내는 실시예 장치의 제어계 블록도.

제16도는 본 발명의 제 4 실시예의 버런 인 검사장치를 나타내는 개략 평면도.

★ 도면의 주요부분에 대한 부호의 설명

1, 11 : 기초대	2 : 반도체 칩
12 : 반도체 웨이퍼	12a : 오리엔테이션 플레이트
13 : 제 1 반송로	14 : 로더부
15 : 버런 인 검사부	16 : 프로우브 검사부
17 : 리페어부	17a : 레이저 리페어부
17b : 디포지션 리페어부	18 : 마킹부
19 : 베이킹부	20 : 육안 검사부
21 : 카세트	22 : 카세트 재치영역
23 : 반송로	25, 27 : 프리 얼라인먼트부
26a, 28a : 척	26b : 돌출핀
28 : ID검출부	30 : 반송유니트
31 : 받아 건넌유니트	41 : 함체
42 : 웨이퍼 척	43 : 회전기구
44 : 승강기구	45 : X 방향미동기구
46 : Y 방향 미동기구	47 : 프로우브 카드
48 : 인서트 링	49 : 면형상체
50 : 도전성 돌기	51 : 접속 유니트
52 : 테스트 헤드	53 : 포고핀
54 : 파인 얼라인먼트용 검출부	54a, 54b : 구멍부
55, 56 : 가이드 레일	57 : TV 카메라
58 : 하프미러	59 : 전반사 미러
60 : 이동부	61, 61' : 반도체 칩
62 : 프로우브 카드	63 : 프로우브 칩
64 : 회전기구	65 : 승강기구
66 : Y 방향 미동기구	67 : 이동기구
68 : 모니터	69 : 볼 나사
70 : 마킹부	70 : 재치대
71, 72 : 핀세트	73, 74, 75 : 돌기부
76 : 흡착용 구멍부	77 : 모터
78 : 제 1 폴리	79 : 제 2 폴리
80 : 지지부재	81, 85, 326, 322 : 벨트
82 : 제 3 폴리	83 : 제 4 폴리
88, 89 : 지지아암	90 : 지지기둥
91 : 지지판	100 : CPU
101a, 102a : 제 1 아암	101b, 102 : 제 2 아암
102 : 기억부	102 : 다관절 아암
103a : 아암 연결부	103 : 아암 연결부
103b : 수평부	104 : 핀센트

105a, 105b, 105c : 3관절	106 : 기초대
107 : 모터	108 : 벨트
109 : 지지기둥	110 : CPU
111 : 기억부	112 : 로더제어부
113 : 반송제어부	143 : 버언 인 검사부
144 : 로더부	145 : 웨이퍼 재치영역
146 : 제 2 반송로	147 : 받아 건넌 유니트
208a : 진공흡착부	S1 : 받아 건넌 영역
S2 : 위치맞춤 영역	

[발명의 상세한 설명]

본 발명은, 반도체 웨이퍼의 상태로 반도체 칩의 버언 인 검사를 할 수 있는, 버언 인 검사기능을 구비한 프로우브 검사 및 리페어를 위한 장치에 관한 것이다. 특히, 반도체 웨이퍼를 1 장씩 반송공급하는 반송부를 구비한, 버언 인 검사기능을 구비한 프로우브 검사 및 리페어 장치에 관한 것이다.

또, 본 발명은, 반도체 웨이퍼를 1 장씩 반송공급하는 반송부를 구비한, 버언 인 검사장치에 관한 것이다.

반도체 제조 프로세스의 최종공정으로서, 여러 검사 공정이 요구된다. 이들의 검사공정에서의 검사에 의하여, 불량 칩이 유저측에 유통하는 것이 미연에 방지된다. 이러한 종류의 검사공정의 대표적인 것으로서 프로우브 검사가 있다. 이 프로우브 검사라는 것은, 반도체 웨이퍼 상에 다수 존재하는 반도체 칩의 1 칩분의 전체 전극 패드에 콘택하는 프로우브 침을 구비한 프로우브, 검사장치에 의하여, 반도체 칩에 신호 패턴을 송출하고, 그 출력을 모니터하는 것으로, 반도체 칩의 전기적 특성을 검사하는 것이다.

이 프로우브 검사장치에서는, 반도체 웨이퍼 상의 모든 칩을 검사하기 때문에, 1 칩의 검사가 종료할 때마다, 반도체 웨이퍼를 탑재한 웨이퍼 척의 승강이동 및 1 칩분의 스텝이동을 되풀이하여 할 필요가 있다.

또, 반도체 제조 프로세스의 최종공정으로서, 프로우브 검사 공정 외에, 이 검사에 의하여 불량이라고 판정된 불량칩에 잉크 방식 등에 의하여 마킹하는 마킹공정, 또는 수복 가능한 불량 칩을 리페어하는 공정이 실시된다. 또, 최종검사 공정으로서 육안에 의하여 관찰하는 외관 검사공정이 요구되고 있다.

이러한 종류의 각종 검사공정 및 리페어 공정을, 인라인 방식으로 실시하는 장치의 제안이 이루어지고 있다.

그 하나의 예는, 일본국 특개평 2-265255 호 공보에 나타나 있도록, 여러장의 반도체 웨이퍼를 탑재한 카세트를 반송하는 직선 반송로와, 이 직선 반송로의 양측 또는 한쪽에 배치된 여러 검사부 및 리페어부와, 각 검사부 및 리페어부에 카세트의 내부에 탑재된 반도체 웨이퍼를 공급하는 핸들러를 구비하는 프로우브 장치 시스템이다. 이하, 이 예를 (제 1 방식)이라고 한다.

다른 하나의 예는, 일본국 특개평 4-139851 호 공보에 나타낸 바와 같이, 반도체 웨이퍼를 반송하는 직선 반송로와, 이 직선 반송로의 양측 또는 한쪽에 배치된 여러 검사부 및 리페어부와, 직선 반송로 상을 반도체 웨이퍼를 한 장씩 반송시킴과 동시에, 이 반도체 웨이퍼를 각 검사부 및 리페어부에 공급하는 반송수단을 구비하는 검사장치이다. 이하, 이 예를 [제 2 방식]이라고 한다.

상술한 2 가지 방식은, 반송하는 대상이 제 1 방식에서는 카세트이고, 제 2 방식에서는 반도체 웨이퍼라고 하는 점에서 서로 다르다. 그러나, 어느 방식도 일본국 특개평 3-22057 호 공보(대응하는 미국특허출원 제 944803 호(USP No. 5292393) 또는 일본국 특개평 3-192525 호 공보 등에 개시된 이른 바 클러스터툴(cluster tool) 방식에 있어서, 반송수단을 회전반송방식으로부터 직선 반송방식으로 바꾸어 놓고, 또 여러 처리챔버에 대신하여 검사부 및 리페어부를 설치 한 것이라고 이해할 수 있다.

한편, 반도체 제조 프로세스의 최종검사에는, 상술한 프로우브 검사 등의 다른 버언 인 검사가 있다. 이 버언 인 검사라는 것은, 반도체 칩에 온도 스트레스 및/ 또는 전압 스트레스를 인가한 상태에서 반도체 칩을 실제의 구동상태에 가까운 상태로 구동시키는 것으로, 초기불량을 발생하는 반도체 칩을 미연에 발견하고자 하는 것이다. 종래부터, 이 버언 인 검사는, 반도체 웨이퍼 상의 반도체 칩에 대하여 행해지는 것이 아니고, 반도체 웨이퍼를 칩마다 절단한 후에 패키징하여 얻은 반도체 디바이스에 대하여 검사가 이루어지고 있다.

종래, 반도체 디바이스의 버언 인 검사의 목적은, 고유결함, 잠재적 불량을 가진 디바이스를 미연에 발견하고, 제거하는 것에 있다. 따라서, 예를 들면 그 불량내용이 판명하였다고 하여도, 패키징된 후의 반도체 디바이스를 리페어하는 것은 거의 불가능하다. 이 때문에, 버언 인 검사에 의하여 불량으로 판정된 반도체 디바이스는 폐기할 수밖에 없고, 시간적 및 경제적으로 낭비가 많다. 상술한 바와 같은 견지에서, 버언 인 검사를, 반도체 웨이퍼 상태의 반도체 칩에 대하여 하는 것이 절실히 요청되고 있다.

반도체 디바이스의 상태만이 아니고, 반도체 웨이퍼 상태의 반도체 칩에 대한 버언 인 검사를 하는 때의 최대문제는, 버언 인 검사에 요하는 시간이 프로우브 검사에 비하여 장시간화하고 있는 것이다.

예를 들면, 1 M의 DRAM의 반도체 칩을 예로 들어 설명한다. 1031 개의 워드선에 신호를 순차 공급할 필요가 있다. 또 스트레스에 기인한 게이트 산화막의 불량을 발견하기 위해서는 워드선 1 개당의 검사에 상당시간을 필요로 하며, 이 결과, 1 M의 DRAM의 칩 전체의 버언 인 검사를 하기 위하여, 거의 31시간을

필요로 하고 있다.

이 버연 인 검사시간은, 배선라인 등의 연구에 의하여 단축된다고 하여도, 상술한 2 개의 인라인 방식을 버연 인 검사에 적용하기 위해서는, 하기의 문제가 있다.

예를 들면, 상기 제 1 방식의 장치에 버연 인 검사를 조립한 경우, 1 개의 검사부에서의 검사의 점유시간은, 투입된 카세트 내의 모든 반도체 웨이퍼의 검사가 종료할 때까지의 시간이다. 바꾸어 말하면, 당해 검사부에 있어서의 1 로트 단위의 반도체 웨이퍼군(예를 들면 25 장)의 검사가 종료할 때까지, 다른 검사부에는, 카세트에 수용된 미처리 및/ 또는 처리완료된 반도체 웨이퍼를 공급할 수 없기 때문에, 다른 검사부는 대기상태 그대로의 빈 상태이다.

특히 다른 동일한 검사를 하는 검사부가 비어 있는 상태로 된다고 하여도, 카세트 내부에 수용된 미처리된 반도체 웨이퍼를, 당해 빈 상태의 다른 검사부에 반입하는 것은 불가능하다. 이 결과, 장치 전체의 가동률을 저하하고, 고 스루풋화가 기대될 수 없다.

한편, 제 2 방식의 장치에 버연 인 검사를 조립한 경우, 상술한 제 1 방식의 문제는 해소된다. 즉, 제 2 방식의 장치에서는, 반도체 웨이퍼를 각 장수마다 반송하고 각 검사부 또는 리페어부에 공급하기 때문에, 처리가 완료된 웨이퍼를 다음의 검사부 또는 리페어부에 차례차례 반송 및 공급이 가능하다. 또, 어느 특정한 검사부가 점유되고 있는 경우에는, 빈 상태의 다른 동일 검사부를 발견하여 미처리의 웨이퍼를 반송 및 공급할 수 있다.

그러나, 상술한 2 가지 방식의 장치는, 어느 것이나, 완성품인 프로우브 검사장치를, 직선형상의 로봇 반송장치의 양측 또는 한쪽에 배열한 것에 지나지 않는다. 이 때문에, 각 검사부 또는 리페어부에 반도체 웨이퍼를 반입할 때마다, 동일 동작, 예를 들면 프리 얼라인먼트 등을 되풀이하여 하는 불필요한 동작이 있다.

본 발명의 목적은, 반도체 웨이퍼의 상태에서 반도체 칩의 버연 인 검사를 할 수 있으며, 동일한 버연 인 검사, 또는 프로우브 검사 등의 다른 검사, 또는 리페어 공정 등을, 인라인 방식으로 효율 좋게 실시할 수 있는 반도체 웨이퍼의 버연 인 검사 기능을 구비한 프로우브 검사 및 리페어 장치를 제공하는 것이다.

또, 본 발명의 목적은, 반도체 웨이퍼의 상태에서 반도체 칩의 버연 인 검사를 할 수 있으며, 여러 검사부에서 효율 좋게 동일한 버연 인 검사를 할 수 있는 반도체 웨이퍼의 버연 인 검사 장치를 제공하는 것이다.

즉, 본 발명은, 버연 인 검사 기능을 구비한 프로우브 검사 및 리페어 장치는, 반도체 웨이퍼 상에 형성된 여러 개의 반도체 칩에 대하여 버연 인 검사를 하는 적어도 1 개의 버연 인 검사부, 상기 반도체 웨이퍼 상에 형성된 여러 개의 반도체 칩에 대하여 프로우브 검사를 하는 적어도 1 개의 프로우브 검사부, 상기 버연 인 검사부 및 상기 프로우브 검사부에서 불량개소가 발견된 반도체 칩에 대하여 리페어를 하는 리페어부, 상기 버연 인 검사부, 상기 프로우브 검사부 및 상기 버연 인 검사부를 따라서 배치된 반송로, 상기 반송로를 따라서 또는 그 일단부에 설치된, 상기 반도체 웨이퍼를 프리 얼라인먼트하는 프리 얼라인먼트부, 및 상기 반송로 상에 이동이 가능하게 설치되고, 상기 반도체 웨이퍼를 상기 버연 인 검사부, 상기 프로우브 검사부, 상기 리페어부 및 프리 얼라인먼트부 사이에서 반송하는 반송수단, 및, 상기 반도체 웨이퍼의 상기 버연 인 검사부, 상기 프로우브 검사부, 상기 리페어부 및 프리 얼라인먼트부 사이에서의 반송을 제어하는 제어부, 상기 반도체 웨이퍼는, 상기 프리 얼라인먼트부에서 프리 얼라인먼트되고, 이 후, 상기 반송수단에 의하여 프리 얼라인먼트부된 상기 반도체 웨이퍼를 상기 버연 인 검사부, 상기 프로우브 검사부 또는 상기 리페어부에 반송 및 공급하는 구성으로 된다.

또, 본 발명의 버연 인 검사장치는, 반도체 웨이퍼 위에 형성된 여러 반도체 칩에 대하여 버연 인 검사를 하는 여러 버연 인 검사부, 상기 여러 버연 인 검사부를 따라서 배치된 반송로, 상기 반송로를 따라서 또는 그 일단부에 설치된, 상기 반도체 웨이퍼를 프리 얼라인먼트하는 프리 얼라인먼트부, 상기 반송로상에 이동가능하게 설치되고, 상기 반도체 웨이퍼를 상기 여러 버연 인 검사부 및 프리 얼라인먼트부의 사이에서 반송하는 반송수단, 및, 상기 반도체 웨이퍼의 상기 버연 인 검사부 및 프리 얼라인먼트부 사이에서의 반송을 제어하는 제어부, 상기 반도체 웨이퍼는, 상기 프리 얼라인먼트부에서 프리 얼라인먼트되고, 이 후, 상기 반송수단에 의하여 프리 얼라인먼트부된 상기 반도체 웨이퍼를 상기 여러 개의 버연 인 검사부에 반송 및 공급하는 구성으로 된다.

[실시예]

이하, 본 발명의 실시예에 대하여, 도면을 참조하여 구체적으로 설명한다.

제1도는, 본 실시예의 버연 인 검사 기능을 구비한 프로우브 검사부 및 리페어부 전체의 레이아웃을 나타내는 개략 평면도이다. 제1도에 나타난 바와 같이, 기초대(11)의 대략 중심선 상에는, 반도체 웨이퍼(12)를 반송하는 제 1 반송로(13)가 설치되어 있다. 제 1 반송로(13)상에는, 반송 유니트(30)가 제 1 반송로(13)의 길이 방향을 따라서 이동이 자유롭게 부착되어 있다.

제 1 반송로(13)의 일단부의 방향에는, 로더부(14)가 설치되어 있다. 또, 제 1 반송로(13)의 측면에는, 여러 개의 버연 인 검사부(15), 프로우브 검사부(16), 리페어부(17), 마킹부(18), 베이킹부(19), 육안 검사부(20)가 설치되어 있다.

이 기초대(11)와 대향하는 위쪽영역에는 제 1 반송로(13), 각종 검사부 및 리페어부를 향하여 크린에어를 다운 플로우는 다운 플로우부(도시하지 않음)가 설치되고, 먼지발생 대책이 이루어지고 있다.

상술한 로더부(14)에는, 4 개의 카세트(21)가 일직선상에 재치되는 카세트 재치영역(22)이 준비되어 있다. 각 카세트(21)에는, 예를 들면 25 장의 웨이퍼가 수용된다. 이 카세트 재치영역(22)의 폭(W)에 걸쳐서 반송로(23)가 배치된다. 이 반송로(23)를 따라서 받아 건넌 유니트(31)가 이동가능하게 설치되어 있다.

카세트 재치영역(22)에 대하여 제 2 반송로(23)를 사이에 두고 대향하는 위치에서, 제 1 반송로(13)의 연장선상의 위치에는, 프리 얼라인먼트부(25)가 설치되어 있다.

이 프리 얼라인먼트부(25)는, 반도체 웨이퍼(12)를 재치 가능한 척(26a)과, 이 척(26a)의 표면으로부터 돌출이 자유로운 예를 들면 3 개의 돌출핀(26b)을 가진다. 척(26a)은 프리 얼라인먼트부(27)의 제어에 따라서 같은 도면의 화살표 X, Y 및 θ 방향으로 이동가능하다. 이 프리 얼라인먼트부(27)의 제어에 따라서 척(28a) 상의 반도체 웨이퍼(1)가 프리 얼라인먼트된다. 이 때, 반도체 웨이퍼(12)의 오리엔테이션 플레이트(12a)의 위치감출도 병행된다. 또, 척(26a) 상의 반도체 웨이퍼(1)의 ID정보를 감출하기 위한 ID 감출부(28)가 설치되어 있다. 이 반도체 웨이퍼(12)에는, ID정보로서 문자 또는 바코드 등이 부착되어 있고, ID감출부(28)는, 이 ID정보를 예를 들면 광학적으로 감출한다.

제 1 반송로(13)의 양측에는, 상술한 바와 같이 검사부 및 리페어부가, 제 1 반송로(13)로부터 소정의 간격을 두고, 또 이것과 평행하게 각각 1 열씩 배열되어 있다.

한 쪽의 열에는, 예를 들면 3 대의 버연 인 검사부(15)와 프로우브 검사부(16)가 상기 로더부(14)측으로부터 순번으로 배치되어 있다. 다른 쪽 열에는, 레이저 리페어부(17a) 및 디포지션 리페어부(17b)로 구성되는 리페어부(17)와, 마킹부(18)와, 베이킹부(19)와, 예를 들면 2 대의 육안 검사부(20)가 상기 로더부(14)와는 반대측으로부터 순번으로 배치되어 있다.

버연 인 검사부(15)는, 반도체 웨이퍼(1) 상의 반도체 칩에 온도 스트래스 및/ 또는 전압 스트래스를 가한 상태에서, 반도체 웨이퍼(1) 상의 반도체 칩을 버연 인 검사하는 것이다. 프로우브 검사부(16)는, 상기 각 스트래스를 가하지 않은 상태에서, 반도체 칩의 전기 특성을 검사하는 것이다.

본 실시예의 장치에서는, 이 버연 인 검사부(15) 및 프로우브 검사부(16)가, 다른 검사부에 비하여 검사 시간을 많이 필요로 하기 때문에, 그 검사시간에 비례한 수(예를 들면 3 개)의 버연 인 검사부(15), 프로우브 검사부(16)를 배치하고 있다.

프로우브 검사에 비하여 버연 인 검사에 더 많은 시간을 요하는 경우에는, 버연 인 검사부(15)를 더 증설하면 된다.

반대로 버연 인 검사에 비하여 프로우브 검사에 더 많은 시간을 요하는 경우에는, 프로우브 검사부(16)를 증설할 수가 있다.

리페어부(17) 내의 1 개의 레이저 리페어부(17a)는, 예를 들면 프로우브 검사부(16)에서, 반도체 칩 내에 패턴쇼트가 발생하고 있다고 판명한 경우에, 레이저광에 의하여 그 패턴 쇼트부를 용단(溶斷)하는 것이다. 리페어부(17)의 다른 쪽의 디포지션 리페어부(17b)는, 프로우브 검사부(16)에서 반도체 칩 내에 패턴 오픈이 발생하고 있는 경우에, 그 패턴 오픈부에 디포지션막을 생성하여 수복하는 것이다.

마킹부(18)는, 상술한 레이저 리페어부(17a) 및 디포지션 리페어부(17b)의 양쪽에서 수복이 불가능한 불량 칩 상에, 예를 들면 잉킹 또는 스크래치에 의하여 마킹을 실시하는 것이다.

베이킹부(19)는, 마킹부(18)가 잉크 메이커 방식의 경우에 필요한 것으로, 불량 칩상에 토출된 잉크를 베이킹에 의하여 건조시키는 것이다. 따라서 마킹부(18)가 스크래치 마커 방식의 경우에 불필요하다.

육안 검사부(20)는, 현미경 또는 TV 모니터 등을 사용하여 반도체 웨이퍼(12) 상의 각 반도체 칩(2)의 외관의 육안검사를 하는 것이다. 이 육안 검사부(20)는, 본 실시예의 장치의 최종검사 항목으로서 사용되는 외에, 버연 인 검사부(15) 또는 프로우브 검사부(16)에서의 검사종료 후의 육안 검사에도 사용할 수 있다.

제 1 반송로(13)와 각종 검사부 및 리페어부의 사이에는 받아 건넌 유닛(31)가 배치되고, 제 1 반송로(13) 상의 반송 유닛(30)과 검사부 또는 리페어부 사이에서 반도체 웨이퍼(12)의 받아 건넌을 한다.

이하, 버연 인 검사부(15) 및 프로우브 검사부(16)의 구성에 대하여 더 상세하게 설명한다.

버연 인 검사 및 프로우브 검사를 인라인 방식으로 효율 좋게 실시하기 위해서는, 본 출원인에 의한 미국 특허출원 제 08/151,367 호(일본국 특개평 4-226378 호)에 개시한 프로우브 장치의 구조를 가장 바람직하게 채택할 수 있다. 프로우브 검사부의 일 예를 제2도 및 제3도에 나타낸다. 함체(41) 내에는 반도체 웨이퍼(12)를 예를 들면 진공흡착 방식으로 재치고정할 수 있는 웨이퍼척(42)이 설치되어 있다. 이 웨이퍼 척(42)의 아래쪽에는 웨이퍼 척(42)을 수직축의 주위에 회전구동시키는 회전기구(43)가 설치되고, 회전기구(43)의 아래쪽에는, 이 회전기구(43)를 승강구동하는 승강기구(44)가 설치되어 있다.

승강기구(44)의 아래쪽에는, 웨이퍼 척(42)을 X, Y 방향으로 각각 반도체칩의 수 개분 만큼 미동시키기 위한 X 방향미동기구(45) 및 Y 방향 미동기구(46)가 설치되어 있다.

이들 미동기구(45),(46)는, 예를 들면 볼나사나 피에조 소자를 이용한 기구를 사용할 수 있다. 본 실시예에서는, X 방향 미동기구(45), Y 방향 미동기구(46) 및 회전기구(43)에 의하여, 반도체 웨이퍼(12)의 평면 내의 위치를 파인 얼라인먼트하기 위한 파인 얼라인먼트 기구를 구성하고 있다.

웨이퍼 척(42)의 위쪽에는, 프로우브 카드(47)가 배치되어 있다. 프로우브 카드(47)는, 함체(41)에 부착된 인서트 링(48)에 의하여 지지되어 있다. 이 프로우브 카드(47)의 표면측에는, 탄성체로 구성되는 면형상체(49)가 설치되고, 이 면형상체(49)에는 그 표면으로부터 아래쪽으로 돌출하는 다수 개의 도전성 돌기(50)가 형성되어 있다. 이 도전성 돌기(50)는, 반도체 웨이퍼(12) 상에 존재하는 모든 반도체 칩의 총전극 패드수에 대응하는 수만큼 배열되어 있다. 따라서, 반도체 웨이퍼(12)를 탑재한 웨이퍼 척(42)을 상승구동시키는 것으로 그 반도체 웨이퍼(12) 상에 존재하는 모든 반도체 칩의 전체 전극패드가, 프로우브 카드(47)의 도전성 돌기(50)에 일괄하여 접촉한다. 또, 반도체 웨이퍼(12) 또는 프로우브 카드(47)에 경사 또는 휨이 발생한다고 해도 탄성체로 이루어진 면형상체(49) 자체의 탄성변형에 의하여, 높이 방향의 오차를 흡수하여, 프로우브 카드(47)의 도전성 돌기(50)와의 일괄한 접촉을 가능하게 하고 있다.

프로우브 카드(47)의 이면측에는, 모든 도전성 돌기(50)와 도통된 전극을 가지는 접속 유닛(51)가 탑

재되어 있다. 또, 함체(51)의 상부에는, 접속 유닛(51)와 대향하도록 테스트 헤드(52)가 배치되어 있다.

이 테스트 헤드(52)는 테스터를 내장하고, 테스트 헤드(52) 내의 신호선에 각각 접속된 다수의 포고핀(53)을 가지며, 이 각 포고핀(53)은 항상 돌출방향으로 이동 탄발되어 있다.

그리고, 각 포고핀(53)이, 접속 유닛(51)의 전극에 대하여 탄성적으로 접촉하는 것으로, 테스트 헤드(52)와 프로우브 카드(47)의 도전성 돌기(50)가 도통상태로 된다.

또, 웨이퍼 척(42)과 프로우브 카드(47) 사이에는, 통형상의 파인 얼라인먼트용 검출부(54)가 도면중의 화살표 A 로 나타내는 방향으로 진퇴가 자유롭게 설치되어 있다.

이 파인 얼라인먼트용 검출부(54)는, 함체(41)의 상벽부의 내측에 가설된 2 개의 가이드 레일(55),(56)에 양단이 안내되어 있다. 이 결과, 파인 얼라인먼트용 검출부(54)를, 도전성 돌기(50)의 아래쪽 영역에서, 또, 웨이퍼 척(42)의 승강영역으로부터 벗어난 영역으로 후퇴운동시킬 수 있다.

이 파인 얼라인먼트용 검출부(54)는, 중앙부의 상하 양면에 각각 구멍부(54a),(54b)를 가진다. 또 이 파인 얼라인먼트용 검출부(54)에는, 그 긴 쪽방향의 일단부에 TV 카메라(57)가, 그 중간부에 하프미러(58)가 그 타단부에 전반사 미러(59)가 각각 배치되어 있다. 하프미러(58)는 이동부(60)에 탑재되어 있다. 이 이동부(60)를 파인 얼라인먼트용 검출부(54)의 긴 쪽방향을 따라서 이동시킴에 따라 하프미러(58)를 반도체 웨이퍼(12) 상에 나란한 반도체 칩의 각 열의 일단측으로부터 타단측에 이르는 범위에 걸쳐서 이동가능하다.

상술한 프로우브 검사부(40)를 버연 인 검사부(15)로서 사용하는 경우에는, 웨이퍼 척(42) 내에 가열 또는 냉각기구를 탑재하여 반도체 웨이퍼(12)와 접촉하는 프로우브 카드(47)의 도전성 돌기(50)를, 반도체 웨이퍼(12)의 가열 또는 냉각온도와 거의 동일한 온도로 설정하도록 할 필요가 있다. 예를 들면 웨이퍼 척(42)을 핫 척으로 할 수가 있다. 또, 프로우브 카드(47)의 이면측의 접속 유닛(51) 내에 가열 또는 냉각기구를 탑재시켜도 좋다. 또, 테스트 헤드(52)를, 버연 인 검사 특유의 입력신호를 반도체 웨이퍼(12) 상의 각 반도체 칩에 부여할 수가 있고, 또 그 출력신호를 모니터링할 수 있도록 구성할 필요가 있다.

이어서, 상술한 버연 인 검사부(15)에 있어서의 동작에 대하여 설명한다. 상술한 바와 같이, 이 버연 인 검사부(15)에 대해서는, 반송 유닛(30) 및 받아 건넌 유닛(31)를 통하여 1 장의 반도체 웨이퍼(12)가 반입되는 것으로 된다. 이 반도체 웨이퍼(12)는, 받아 건넌 유닛(31)의 핀셋 구동에 의하여, 웨이퍼 척(42) 상에 재치되는 것으로 된다. 또, 웨이퍼 척(42)은, 예를 들면 3 개의 돌출 올림핀(도시하지 않음)을 돌출 및 들어감 동작이 자유롭게 움직이고 있으며, 건넌 받음 유닛(31)의 핀셋 상의 반도체 웨이퍼(12)를 3 개의 돌출 올림핀 상에 지지한 후, 이 핀의 하강구동에 의하여 반도체 웨이퍼(12)를 웨이퍼 척(42) 상에 재치할 수가 있다. 웨이퍼 척(42)은, 핫 척으로 구성되어 있기 때문에, 열전도성이 좋은 실리콘 기판으로 구성된 반도체 웨이퍼(12)를 소정의 온도, 예를 들면 125℃로 비교적 단시간 사이에 가열할 수가 있다.

이 반도체 웨이퍼(12) 상에는, 예를 들면 32 개의 전극패드를 가진 8mm×12mm의 반도체 칩이 수백 개 형성되어 있다.

이 반도체 웨이퍼(12) 상의 모든 반도체 칩의 전극패드를 프로우브 카드(47)의 도전성 돌기(50)와 정확하게 접촉시키기 위하여, 프로우브 카드(47)의 도전성 돌기(50)에 대한 반도체 웨이퍼(12) 상의 반도체 칩의 X, Y, θ 방향의 파인 얼라인먼트를 행하고 있다.

이 때문에, 프로우브 카드(47)와 반도체 웨이퍼(12) 사이의 위치에, 파인 얼라인먼트용 검출부(54)를 설정한다. 그리고, 파인 얼라인먼트용 검출부(54) 내의 TV 카메라(57)에 의하여, 도전성 돌기(50)와 반도체 웨이퍼(12) 표면의 화상을 관찰하면서, X 방향 미동기구(45), Y 방향 미동기구(46) 및 회전기구(43)의 구동에 의하여, 도전성 돌기(50)에 대한 반도체 칩의 X, Y, θ 방향의 위치맞춤이 가능하게 된다.

도전성 돌기(50)의 화상은, 파인 얼라인먼트용 검출부(54)의 상부측의 구멍부(54a)로부터 들어가며, 하프미러(58)에서 반사된 후, TV 카메라(57)에서 촬상된다. 한편, 반도체 웨이퍼(12) 상의 화상은, 파인 얼라인먼트용 검출부(54)의 하부측 구멍부(54b)로부터 들어간다. 그리고 이 화상은, 하프미러(58)에서 전반사미러(59)를 향하도록 90도 반사된 후, 전반사 미러(59)에서 전반사되고, 하프미러(58)를 투과하여 TV 카메라(57)에 촬상된다.

이 때, 하프미러(58)를 이동부(60)에 의하여 X 방향으로 이동시키고, 또 파인 얼라인먼트용 검출부(54) 전체를 Y 방향으로 이동시키는 것에 의하여, 반도체 웨이퍼(12) 상의 전영역 내의 반도체 칩의 어느 것에 대하여도 촬상할 수 있게 된다.

상기의 파인 얼라인먼트가 종료한 후, 파인 얼라인먼트용 검출부(54)를, 프로우브 카드(47)의 하방영역으로부터 후퇴시킨다. 그 후, 웨이퍼 척(42)의 승강기구(44)에 의하여 상승시키고, 반도체 웨이퍼(12) 상의 모든 반도체 칩의 전극패드를, 프로우브 카드(47)의 도전성 돌기(50)에 일괄하여 접촉시킨다. 이후는, 반도체 웨이퍼(12) 상의 모든 반도체 칩에 대하여, 공지의 버연 인 검사, 즉 다이내믹 버연 인 검사, 스테틱 버연 인 검사 또는 모니터 버연 인 검사 등을 할 수 있다. 이 때, 반도체 웨이퍼(12) 상의 모든 반도체 칩에 동시에 전압 스트레스를 인가하도록, 반도체 웨이퍼(12) 상의 배열 패턴을 구성하여 놓을 수도 있으며, 이와 같이 하면, 버연 인 검사의 처리시간을 크게 단축할 수 있다.

또, 상기 구조를 이용하면, 프로우브 검사부(16)에서의 프로우브 검사도, 반도체 웨이퍼(12) 상의 모든 반도체 칩에 일괄하여 콘택트한 상태로 온도래스 및 전압 스트레스를 부여하지 않는 상태에서의 주지의 프로우브 검사를 실시할 수가 있다.

이와 같이, 상술한 버연 인 검사 및 프로우브 검사에 의하면, 반도체 웨이퍼(12) 상의 모든 반도체 칩의 전극패드에 콘택트시킨 상태로 검사를 할 수 있기 때문에, 각 반도체 칩을 측정할 때마다 웨이퍼 척(42)을 승강이동 및 스텝이동시키지 않고 할 수 있으며, 그 이동시간을 생략할 수 있는 만큼 검사시간을 단

촉하여 높은 처리화를 도모할 수 있다. 또, 웨이퍼 척(42)은 상술한 바와 같이, X, Y 방향으로 미동시킬 뿐으로 얼라인먼트를 할 수 있기 때문에, 버먼 인 검사부(15) 및 프로우브 검사부(16)의 소형화를 도모할 수가 있다.

또, 버먼 인 검사 및 프로우브 검사로 얻어진 불량 칩에 관한 데이터는, CPU(100)의 버스라인을 통하여 기억부(102) 내에 웨이퍼의 ID 정보와 대응하여 저장되고, 상술한 리페어부(17)에서의 리페어 동작에 제 공됨과 동시에, 수복불능한 불량 칩에 관해서는, 상술한 마킹부(70)에서의 마킹정보로서 제공된다.

이어서, 버먼 인 검사부(15) 및 프로우브 검사부(16)의 변형예에 대하여, 제4도를 참조하여 설명한다.

이 변형예에서는, 반도체 웨이퍼(12) 상에, X, Y 방향으로 배열된 반도체칩(61) 중, 예를 들면 Y 방향으로 나란한 1 열의 반도체 칩(61')(사선부분)의 전부의 전극패드에 대응하여 배열되며, 또 이 패드에 일괄하여 콘택되는 프로우브칩(63)을 가진 프로우브 카드(62)가 설치되어 있다.

웨이퍼 척(42)의 하방측에는 회전기구(64), 승강기구(65) 및 Y 방향 미동기구(66)가 설치되어 있다. 이 Y 방향 미동기구(66)의 아래 쪽에는, 웨이퍼 척(42)을 반도체 웨이퍼(12)의 받아 건넌 영역(S1)과 위치 맞춤 영역(S2) 사이에서, X 방향으로 이동시키는 이동기구(67)가 설치되어 있다. 이 이동기구(67)는, 모니터(68)에 의하여 회전구동되는 볼 나사(69) 및 볼 나사(69)의 회전에 따라서 X 방향으로 이동하는 재치대(70)로 구성되어 있다.

이 버먼 인 검사부(15) 및 프로우브 검사부(16)의 변형예에서는, 웨이퍼 척(42)을 받아 건넌 영역(S1)에 위치시켜서, 이 위치에서 반도체 웨이퍼(12)를 웨이퍼 척(42) 상에 재치 고정한다.

또, 그 후의 반도체 웨이퍼(12)의 파인 얼라인먼트는, 웨이퍼 척(42)을 위치맞춤 영역(S2)에 설정하고, 여기에서 상기 실시예와 같이 파인 얼라인먼트용 검출부(54)를 사용하여 반도체 웨이퍼(12)의 위치내기를 한다.

이 변형예에서는, 반도체 웨이퍼(12)의 Y 방향으로 나란한 1 열의 반도체 칩(61')의 전부의 전극패드에 대하여 프로우브 카드(62)에 형성된 프로우브 칩(63)을 일괄하여 접촉시키는 것에 의하여 행한다. 그리고, Y 방향의 1 열의 반도체 칩(61')에 관한 검사가 종료할 때마다, 이동기구(67)에 의하여 웨이퍼 척(42)을, X 방향으로 반도체 칩(2)의 1 칩분 만큼 이동시키고, 이것을 되풀이하는 것으로 반도체 웨이퍼(12) 상의 모든 반도체 칩(61)에 관한 버먼 인 검사 또는 프로우브 검사를 할 수 있다.

이 변형예에 의하면, 상술한 제2도 및 제3도에 나타내는 프로우브 검사부(40), 즉 반도체 칩 전체에 일괄하여 프로우브 카드(47)의 도전성 돌기(50)에 접촉시키는 방식에 비하여, Y 방향의 1 열의 반도체 칩(61')의 측정이 종료할 때마다 X 방향으로 1 스텝분만큼 이동시킬 필요가 있다. 그러나 반도체 칩(2)의 1 칩마다의 측정이 종료할 때마다 X, Y 방향으로 스텝구동하는 것에 비하면, 장치의 소형화 및 부재의 부품수의 저감을 도모할 수 있으며, 또 검사 시간이 단축된다.

이어서, 반송 유니트(30)에 대하여, 제5도 및 제6도를 참조하여 설명한다.

이 반송유니트(30)는, 제6도에 나타낸 바와 같이, 상하 2 단의 핀세트(71),(72)를 가지고 있다. 이 핀세트(71),(72)는, 반송로(30)를 따라서 직선이동이 가능함과 동시에, 그 정지위치에서 승강 및 회전구동이 가능하다. 또, 상하 2 단의 핀세트(71),(72)는, 각각 독립하여 진퇴구동이 가능하게 되어 있다.

2 개의 핀세트(71),(72)는, 그 자유단부가 U자형상으로 형성되고, 또 평판형상이다. 핀세트(71),(72)의 재질은, 예를 들면 테프론(상품명)이 함침되는 알마이트 처리된 알루미늄이다.

각 핀세트(71),(72)는, 평판면으로부터 소정 높이, 예를 들면 0.5mm 돌출한 제 1, 제 2 돌기부(73),(74)가, U자형상의 핀세트(71),(72)의 2 개의 선단부에 각각 형성되어 있다.

또, 각 핀세트(71),(72)의 각 중심선 상에서 U자형상의 불임부분에는, 그들의 평판면으로부터 0.5mm 돌출한 제 3 돌기부(75)가 형성되어 있다.

각 돌기부(73),(74),(75)의 재질은, 바람직하게는 미끄럼 운동 저항이 작은 테프론(상품명)이 좋고, 이 외에 세라믹, 데를린 등을 사용할 수가 있다.

2 개의 핀세트(71),(72)는, 각각 각 돌기부(73),(74),(75) 상에서 반도체 웨이퍼(12)를 3 점지지한다.

각 핀세트(71),(72) 상에서 반도체 웨이퍼(12)가 이동하지 않도록 하기 위하여 제 3 돌기부(75)에는 흡착용 구멍부(76)가 형성되고, 이것에 의하여 반도체 웨이퍼(12)를 진공흡착할 수가 있다.

상하의 각 핀세트(71),(72)를 각각 독립하여 진퇴구동하기 위한 모터(77),(77)가, 지지기둥(90)의 상단부에 고정된 지지판(91)의 하측에 각각 부착되어 있다. 모터(77)의 회전축에는, 제 1 폴리(78)가 고정되고, 이 제 1 폴리(78)의 위쪽으로 경사진 곳에는 제 2 폴리(79)가 지지부재(80)를 통하여 지지판(91)에 회전이 자유롭게 지지되어 있다. 이 제 1, 제 2 폴리(78),(79) 사이에 벨트(81)를 걸고 있다.

제5도에 나타낸 바와 같이, 제 2 폴리(78)와 동축으로 일체적으로 회전 가능한 제 3 폴리(82)가, 지지판(91)의 각 핀세트(71),(72)의 진퇴방향의 일단측에 회전이 자유롭게 지지부재(80)를 통하여 부착되어 있다.

한편, 지지판(91)의 각 핀세트(71),(72)의 진퇴방향의 타단측에는, 제 4 폴리(83)가 지지부재(84)를 통하여 회전이 자유롭게 부착되어 있다. 그리고, 제 3, 제 4 폴리(82),(83) 사이에 벨트(85)가 걸려져 있다.

각 핀세트(71),(72)의 기초단부에는, 서로 다른 방향으로 뺀 지지아암(86),(87)이 각각 설치되어 있다. 이 지지아암(86),(87)은, 연결부(88),(89)를 가지며, 이 연결부(88),(89)에 의하여 각 핀세트(71),(72)와 벨트(85),(85)를 연결하고 있다.

따라서, 2 개의 모터(77),(77)를 각각 독립구동함으로써, 2 개의 모터(77),(77)의 동력은,

벨트(326),(322)를 통하여 각각의 핀세트(71),(72)에 전달되고, 각 핀세트(71),(72)를 독립하여 진퇴구동할 수가 있다.

이와 같은 더블 핀세트 구조를 구비한 반송 유니트(30)에 의하면, 상술한 바와 같이, 반송로(30)의 양측에 존재하는 검사부 및 리페어부에 대하여 처리가 끝난 반도체 웨이퍼(12)와 새로운 반도체 웨이퍼(12)와의 받아 건뎀을 즉시 그 자리에서 할 수 있다.

예를 들면 상단의 핀세트(71)에, 로더부(14)로부터 공급된 새로운 반도체 웨이퍼(12)를 탑재한 상태에서, 검사가 끝난 버연 인 검사부(15)와 대향하는 위치에 반송 유니트(30)를 이동시킨다. 그리고, 하단의 핀세트(72)의 진퇴구동에 의하여 버연 인 검사부(15)로 검사가 끝난 반도체 웨이퍼를 받고, 그 후 상단의 핀세트(71)의 구동에 의하여, 새로운 반도체 웨이퍼(12)를 버연 인 검사부(15)로 반입시킬 수 있다.

상술한 반송 유니트(30)의 구성으로서는, 상술한 바와 같이 더블 핀세트 구조의 것이 바람직하지만, 1장의 핀세트의 것이어도 좋고, 도는 더 반송실 유니트의 가동률을 높이기 위하여, 3장 이상의 핀세트를 가지는 것으로 하여도 좋다. 또 이 반송 유니트(30) 자체에 반도체 웨이퍼(12)를 1장 또는 여러 장 저장할 수 있는 스토커를 연결하여 놓고, 반송 유니트(30)에 설치된 핀세트가 이 스토커에 대하여 액세스할 수 있는 구성으로 하여도 좋다.

이어서, 받아 건뎀 유니트(31)는, 한 쌍의 다관절 아암(101),(102)을, 그 이동평면이 교차하도록 경사하여 배치하고 있다. 그리고, 양단이 다관절 아암(101),(102)과 동일 각도로 경사하는 검사부(103a)와, 이 사이에 형성된 수평부(103b)로 구성된 아암 연결부(103)가 설치되어 있다. 이 아암 연결부(103)의 검사부(103a),(103a)는, 한 쌍의 다관절 아암(101),(102)의 선단부에 회전이 자유롭게 지지되어 있다.

이 아암 연결부(103) 상에는, 이 아암 연결부(103)의 긴 쪽 방향과 직교하는 방향을 따라서 핀세트(104)가 고정되어 있다. 이 핀세트(104)는, 그 양단 측에서 반도체 웨이퍼(12)를 예를 들면 진공흡착에 의하여 지지가능한 진공흡착부(208a),(208a)를 가지고 있다.

한 쌍의 다관절 아암(101),(102)은, 제 1 아암(101a)과 제 2 아암(101b)으로 구성되며, 또 똑같이 다른 쪽의 다관절 아암(102)도, 제 1 아암(102a)과 제 2 아암(102b)으로 구성된다. 그리고, 각 아암의 양단을 회전이 자유롭게 하는 것에 의하여, 3관절(105a),(105b),(105c)을 가지는 구조로 되어 있다.

또, 제 1 아암(101a)과 제 2 아암(101b)을 회전이 자유롭게 지지하는 기초대(106)가 설치되어 있다. 따라서 이 기초대(106)는 모터(107), 벨트(108)에 의하여, 한 쪽의 제 1 아암(101)을 회전구동함으로써, 핀세트(104)를 진퇴구동이 가능하게 하고 있다. 또, 기초대(106)는, 지지기둥(109)으로 지지되고, 지지기둥(109)에 부착된 도시되어 있지 않은 구동수단에 의하여, 기초대(106)는, θ 방향으로 회전구동할 수 있으며, 또 그 높이 방향인 Z 방향으로 승강이 자유롭게 되어 있다.

로더부(14)에 배치된 받아 건뎀 유니트(31)는, 핀세트(208)의 진퇴구동 및 유니트 전체의 승강구동에 의하여, 카세트(22)에 대하여 1장의 반도체 웨이퍼(12)의 반입출이 가능하다. 또, 받아 건뎀 유니트(31)의 상술한 동작에 의하여, 로더부(14) 내에 배치된 척(26a)에 대하여, 반도체 웨이퍼(12)의 받아 건네기가 가능하도록 되어 있다.

각 검사부 및 리페어부의 전단에 배치된 받아 건뎀 유니트(31)도 똑같이 반송로(31) 상을 이동하는 반송 유니트(30)와, 각 검사부 및 리페어부 사이에서 반도체 웨이퍼(12)가 받아 건네질 수 있다.

이상과 같은 레이아웃을 가지는, 버연 인 검사기능을 구비한 프로우브 검사 및 리페어 장치(10)는, 제8도에 나타난 바와 같은 제어계에 의하여 전체적으로 제어된다. CPU(110)는, 제1도에 나타내는 장치(10)의 제어를 행하는, ROM 및 RAM을 내장한 기억부(111)에 대하여 액세스 가능함과 동시에, 그 버스라인에는 상술한 각종 검사부(15),(16) 및 리페어부(17), 프리 얼라인먼트 제어부(27) 및 ID 검출부(28)에 부가하여, 하기의 각종 제어부가 접속되어 있다.

즉, 로더 제어부(112)는, 로더부(14) 내에서, 제 2 반송로(23) 상을 따라서 이동하는 받아 건뎀 유니트(31)의 유니트 전체의 θ 방향의 회전구동, 승강구동 및 그 핀세트(104a)의 진퇴구동에 더하여, 척(26a) 상으로부터 나오고 들어가는 동작을 하는 돌출 올림핀(26b)의 구동제어를 한다. 반송 제어부(113)는, 제 1 반송로(13)를 따라서 이동하는 반송 유니트(30)의 유니트 전체의 θ 방향의 회전구동, 그 승강구동 및 핀세트(71),(72)의 진퇴구동과 함께 제 1 반송로(30)를 따른 반송 유니트(30)의 구동제어를 한다.

상기 구성으로 이루어진 반도체 웨이퍼의 검사 및 리페어 장치 전체의 동작을, 제9도~제11도에 나타내는 플로우 차트를 참조하여 설명한다.

우선, 로더부(14)에서 1장의 반도체 웨이퍼(12)에 대하여, ID 검출부(28)에서의 ID검출, 프리 얼라인먼트부(25)에서의 프리 얼라인먼트가 이루어진 후, 제 1 반송로(13) 상의 반송 유니트(30)를 향하여 반출된다(스텝 120).

이 때문에, CPU(110)는 로더 제어부(112)에 지령을 보내고, 이 로더 제어부(112)에서 제어되는 받아 건뎀 유니트(31)가, 어떤 1개의 카세트(21)와 대향하는 위치에 정지된다. 그 후, 받아 건뎀 유니트(31)의 핀세트의 전진구동, 상승구동 및 후퇴구동에 의하여, 1장의 반도체 웨이퍼(12)가 카세트(21)로부터 꺼내어진다.

또 받아 건뎀 유니트(31)가 180도 회전하고, 그 후의 아암구동에 의하여 1장의 반도체 웨이퍼(12)를, 척(26a) 상의 3개의 돌출 올림핀(26b) 상에 재치한다. 이 후에, 돌출 올림핀(26b)이 하강하는 것에 의하여 1장의 반도체 웨이퍼(12)가 척(26a) 상에 재치된다. 그리고, 척(26a) 상에 재치된 반도체 웨이퍼(12)에 대하여 프리 얼라인먼트 제어부(27)의 구동제어에 따라서, 반도체 웨이퍼(12)의 프리 얼라인먼트가 이루어진다.

또, ID 검출부(28)에 의하여, 반도체 웨이퍼(12) 상에 실시된 ID 정보가 검출되는 것으로 된다.

또, 본 실시예의 장치(10)에서는, 로더부(14)로부터 반출된 후의 각 검사부(15),(16) 또는 리페어부(17)

에서, 개별적으로 파인 얼라인먼트를 하고 있으나, 로더부(14)로부터 반출할 때에 일괄하여 프리 얼라인먼트를 하고 있다.

이와 같이, 로더부(14)에서 일괄하여 프리 얼라인먼트를 하는 것에 의하여, 각 검사부(15),(16) 또는 리페어부(17)에서의 얼라인먼트 시간을 단축할 수 있으며, 각 검사부(15),(16) 또는 리페어부(17)에 프리 얼라인먼트부를 설치한 경우와 비교하여, 부품수를 크게 줄일 수 있다.

그 후, 척(26a)으로부터 돌출 올림핀(26b)이 돌출구동되고, 또 제 1 반송로(13) 상의 반송 유니트(30)의 핀셋의 전진구동, 상승구동 및 후퇴구동에 의하여 프리 얼라인먼트된 1 장의 반도체 웨이퍼(12)가 로더부(14)로부터 반송 유니트(30)에 받아 건네진다.

이 후에 CPU(110)는, 최초의 감사항목을 실시하는, 예를 들면 버연 인 검사부(15)를 향하여, 1 장의 반도체 웨이퍼(12)를 반입시키기 위한 지령을 반송 제어부(113)에 반입하고, 버연 인 감사를 실시한다(스텝 121).

반송 제어부(113)는, 제 1 반송로(13) 상에서의 반송 유니트(30)의 정지 위치제어, 유니트(300) 내의 핀셋의 구동제어를 함으로써, 3 대의 버연 인 검사부(15) 내의 빈 상태의 버연 인 검사부(15) 내에, 1 장의 반도체 웨이퍼(12)를 반입시킨다.

이 때, 반송유니트(30)와 버연 인 검사부(15) 사이에, 로더부(14) 내의 것과 동일한 구성을 가지는 받아 건넬 유니트(31)를 설치하고, 이 받아 건넬 유니트(31)를 통하여 반도체 웨이퍼(12)의 반입을 할 수 있다.

이와 같이 하면, 반송유니트(30)의 가동율을 높일 수 있으며, 더구나 유니트(30) 내의 핀셋(71),(72)의 구동 스트로크를 단축할 수가 있다.

CPU(110)는, 나머지 2 대의 버연 인 검사부(15)에 대하여 시간차를 가지고 반도체 웨이퍼(12)를 반입할 수 있도록, 상기 스텝 120, 121을 되풀이하여 행하는 것으로 된다.

여기에서 버연 인 검사로부터 최종 감사항목인 육안검사를 인라인 방식으로 원활하게 실시하기 위해서는, 예를 들면 버연 인 검사부(15) 프로우브 검사부(16)를 여러 개 설치하였다고 하여도 최초의 버연 인 검사부(15)에서의 검사시간을 단축하여야 한다. 본 실시예에서는 버연 인 검사부(15)에서 버연 인 감사를 할때에 반도체 웨이퍼(12) 상의 단일의 반도체 칩에만 접촉하는 것이 아니고, 반도체 웨이퍼(12) 상의 모든 반도체 칩에 접촉하도록 구성하고 있다.

또, 본 실시예에서는 종래의 버연 인 검사와 같이, 패키징된 상태에서 하는 것이 아니고, 반도체 웨이퍼의 상태로 버연 인 감사를 하기 때문에, 예를 들면 반도체 웨이퍼 상에 감사용 전용전극을 설치하는 것으로 버연 인 검사에 요하는 시간의 단축화를 도모할 수 있다.

이와 같이 하면, 예를 들면 8인치의 반도체 웨이퍼 상에 형성된 1M의 DRAM 모두를 버연 인 검사하기 위하여 필요한 시간이 1 시간 반 정도로 단축된다.

본 실시예에서는, 3 개의 버연 인 검사부(15)에 각각 시간차를 두고 반도체 웨이퍼(12)를 반입하고 있기 때문에, 최초로 반입된 반도체 웨이퍼(12)에 대한 버연 인 검사가 어느 버연 인 검사부(15)에서 종료한다.

버연 인 검사가 종료하면, CPU(110)는 이어서, 버연 인 검사가 끝난 반도체 웨이퍼(12)를 육안 검사부(20)로 이송시키는 것으로 된다(스텝 122). 이 육안 검사부(20)에서는, 반입된 반도체 웨이퍼(12)를 파인 얼라인먼트한 후, 이 반도체 웨이퍼(12) 상의 반도체 칩을 현미경으로 확대하여 육안 검사를 하거나 또는 반도체 칩의 확대화상을 TV모니터 상에서 표시하여 육안 검사를 하는 것으로 된다.

여기에서, 이 육안검사에 의하여, 불량 칩의 존재가 검출된 경우에는, 육안 검사부(20)에 설치된 입력부를 통하여 오퍼레이터 화소의 정보를 입력할 수 있다. 이 불량 칩에 관한 정보는, CPU(110)를 통하여 기억부(111) 내에, 웨이퍼(12)의 ID정보와 대응시켜서 기억시킨다. 여기에서 후술하는 바와 같이, 반송 유니트(30)는, 상하 2 장의 핀셋을 가지고 있다. 따라서 버연 인 검사가 종료한 버연 인 검사부(15)에 반송 유니트(30)가 이동하는 때에, 예를 들면 상단의 핀셋에 로더부(14)로부터 받아 건넨 미검사된 반도체 웨이퍼(12)를 탑재하여 놓을 필요가 있다.

그렇게 하면, 반송 유니트(30)는 빈 상태로 되어 있는 하단의 핀셋 상에 버연 인 검사부(15)로부터의 검사종료 후의 반도체 웨이퍼(12)를 받아들이는 즉시, 상단의 핀셋 상의 미검사의 반도체 웨이퍼(12)를, 버연 인 검사부(15)로 반입할 수 있게 된다.

이어서, CPU(110)는, 그 육안 검사부(20) 및 반송제어부(113)를 제어하여, 육안 검사가 종료한 1 장의 반도체 웨이퍼(12)를, 다음의 감사항목을 실시하는 프로우브 검사부(16)에 반송제어하는 것으로 된다(스텝 123).

이 반송제어에 의하여 구동제어된 반송 유니트(30)는, 빈 상태의 어느 하나의 프로우브 검사부(16)와 대향하는 위치까지 이동되며, 그 후 핀셋의 구동제어에 의하여 반도체 웨이퍼(12)를 프로우브 검사부(16)로 받아 건네게 된다.

프로우브 검사부(16)에서는, 주지하는 바와 같이, 반도체 웨이퍼(12) 상의 반도체 칩의 전극 패드에 접촉하고 테스트로부터 부여된 입력신호의 출력을 그 테스트에서 모니터하는 것으로, 버연 인과 같은 스트래스가 없는 상태에서의 패턴쇼트 또는 오픈도 검사되는 것으로 된다.

이 검사결과는, CPU(110)를 통하여 기억부(111) 내에 기억된다.

프로우브 검사부(16)에서의 프로우브 검사가 종료하면, CPU(110)는 이어서, 이 반도체 웨이퍼(12)를 다시 육안 검사부(20)에 반송제어하며, 프로우브 검사 후의 반도체 칩의 외관 검사가 이루어진다(스텝 124). 여기에서 불량 칩이 검출된 경우에는, 상기한 바와 같이하여, 입력부를 통하여 불량 칩에 관한 정

보가 입력된다.

이어서 CPU(110)는, 스텝 121~124의 각 검사공정에서, 반도체 웨이퍼(12) 상의 어느 하나의 반도체 칩에 불량여 존재하는가 아닌가를 판별한다(스텝 125). 불량 칩이 존재한 경우에는, 이어서 CPU(110)는 그 불량내용이, 레이저 리페어부(17a)에서 수복가능한 것인가 아닌가를 판별한다(스텝 126). 스텝 126에서 리페어 가능하다고 판단된 경우에는, CPU(110)는 이어서, 레이저 리페어에 의하여 수복가능하거나, 바꾸어 말하면 반도체 칩 내에서 패턴 쇼트가 존재하는가 아닌가를 판별한다(스텝 127).

불량내용이 패턴 쇼트의 경우에는, CPU(110)는, 그 반도체 웨이퍼(12)를 레이저 리페어부(17a)로 반입하고, 레이저광에 의하여 패턴쇼트부를 용단하여 수복한다(스텝 128).

이 스텝 128이 종료한 후, 또는 스텝 124에서의 판단이 NO인 경우에, CPU(110)는, 그 불량 내용이 디포지션 리페어에 의하여 수복가능한가, 다시 말하면 반도체 칩 내에 패턴 오픈이 생기고 있는가 아닌가를 판별한다(스텝 129).

패턴 오픈이 생기고 있는 경우에는, CPU(110)는, 그 반도체 웨이퍼(12)를 디포지션 리페어부(17b)로 반입하고, 패턴 오픈부를 성막에 의하여 수복한다(스텝 130).

또, 버먼 인 검사 및 프로우브 검사에 의하여 얻어진 불량 칩에 관한 데이터는, CPU(110)의 바라스 인을 통하여 기억부(111) 내에 웨이퍼의 ID 정보와 대응하여 붙여서 저장되며, 상술한 리페어부(17)에서의 리페어 동작에 제공됨과 동시에, 수복 불능한 불량 칩에 관해서는, 상술한 마킹부(18)에서의 마킹 정보로서 제공된다.

이와 같이, 본 실시예의 장치(10)에 의하면, 반도체 웨이퍼의 상태에서 반도체 칩 버먼 인 검사를 하는 것으로, 온도 스트래스나 전압 스트래스를 인가하는 것에 의하여 고유 결함, 잠재적 결함을 수반한 반도체 칩을 미연에 검출할 수 있다.

또, 불량 칩이 탑재된 반도체 웨이퍼(12)를 인라인 방식으로 리페어부(17)에 반입하며, 수복가능한 불량 칩을 수복하는 것으로 최종적인 생산성을 크게 향상할 수 있다.

상술한 바와 같이 하여, 레이저 리페어부(17a) 및/또는 디포지션 리페어부(17b)에서의 수복이 이루어진 경우에는, 스텝 123으로 되돌리어 다시 프로우브 검사가 이루어지는 것으로 된다.

1 회째 또는 2 회째의 프로우브 검사 종료 후의 스텝 126에서, 수복불능한 불량 칩이 존재하고 있는 경우에는, CPU(110)는 이어서, 그 반도체 웨이퍼(12)를 마킹부(18)로 반송하여 마킹한다(스텝 131).

이 마킹부(18)에서는, CPU(110)의 제어의 따라서 불량 칩이 존재하는 어드레스 정보에 의거하여, 이 불량 칩 상에 예를 들면 잉크를 토출하여 불량 칩인 취지의 마킹을 한다. 불량 칩에의 마킹이 종료한 후, CPU(110)는, 그 반도체 웨이퍼(12)를 베이킹부(19)에 반송하고, 불량 칩 상에 토출된 잉크를 베이킹에 의하여 건조시킨다(스텝 132).

이 베이킹부(19)는, 주지하는 바와 같이, 반도체 웨이퍼(12)를 예를 들면 핫 플레이트 상에 재치하고, 그 핫 플레이트를 통하여 반도체 웨이퍼(12) 상의 불량 칩의 잉크를 건조시키게 된다.

스텝 132에서의 베이킹 공정이 종료한 후, 또는 스텝 125에서 프로우브 검사 후도 불량 칩이 존재하지 않다고 판단된 경우에는, CPU(110)는 이어서 그 반도체 웨이퍼(12)를 육안 검사부(20)로 반입하고, 최종적인 외관검사를 하게 된다(스텝 133). 그리고, 최종의 육안 검사가 종료한 후, CPU(110)는, 그 반도체 웨이퍼(12)를 반송 유니트(30), 로더부(14) 내의 척(26a), 받아 건넌 유니트(31)를 통하여 원래의 카세트(22) 내로 되돌린다(스텝 134).

이와 같이 하여, 1 장의 반도체 웨이퍼(12)에 대응하는 버먼 인 검사공정으로부터 육안 검사공정 및 그 사이의 리페어 공정에 이르는 일련의 처리가 인라인 방식으로 실시되는 것으로 된다.

또, CPU(110)는, 어떤 검사부 또는 리페어부에서 처리가 종료한 후는, 그 검사부 또는 리페어부로부터 반도체 웨이퍼를 받음과 동시에, 다음의 새로운 반도체 웨이퍼(12)의 반입을 하고, 이것을 되풀이하여 함으로써, 로더부(14) 내에 탑재된 4 개의 카세트(22) 내의 전체 반도체 웨이퍼(12)에 대한 상기의 인라인 처리를 되풀이하여 실행할 수 있다.

상술한 바와 같이, 본 실시예의 장치(10)에 의하면, 직선의 제 1 반송로(13)에 반도체 웨이퍼(12)를 공급하기 전에, 반도체 웨이퍼(12)를 일괄하여 프리 얼라인먼트하고 있다. 버먼 인 검사부(15), 프로우브 검사부(16) 또는 리페어부(17)에서, 다시 얼라인먼트할 필요가 있으나, 이 각부에서는, 파인 얼라인먼트만을 해도 좋고, 프리 얼라인먼트를 위한 기구가 필요 없게 되며, 더구나 미리 일괄하여 프리 얼라인먼트되어 있기 때문에, 파인 얼라인먼트를 위한 시간을 단축한다.

또, 본 실시예의 장치(10)에 의하면, 버먼 인 검사 후에 불량으로 판정된 반도체 칩을 가지는 반도체 웨이퍼(12)는, 리페어부(17)에 반입되고, 수복가능한 불량 칩은 수복되는 것으로 된다.

따라서, 종래 패키징된 후에 행한 버먼 인 검사와 비교하면, 폐기할 수 밖에 없었던 불량 칩을 양품으로서 수복이 가능하기 때문에, 최종적인 제품의 생산성 향상을 도모할 수 있다. 즉, 본 실시예의 장치(10)에 의하면, 반도체 디바이스에 대하여 버먼 인 검사를 행하여 왔던 종래 방식에 대신하여, 반도체 웨이퍼의 상태로 반도체 칩에 대한 버먼 인 검사를 할 수 있다. 따라서 초기불량을 발생하는 불량 칩을 반도체 웨이퍼의 상태에서 검출할 수 있다.

또, 버먼 인 검사 및 그 후의 리페어 공정을 인라인 방식으로 실시하는 것으로 초기불량을 일으킨 불량 칩을 많이 복구할 수 있고, 결과적으로 전체의 생산성을 향상시킬 수 있다.

특히, 패키징되지 않은 소자, 예를 들면 베어 칩 실장칩·온·보드(COB)에 사용되는 칩 또는 멀티·칩·모듈(MCM)과 같은 소자는, 본 실시예의 장치(10)에 의하여 처음으로 효율적인 버먼 인 검사가 가능하게 된다. 또, 본 실시예의 장치(10)는, 반도체 제조 프로세스가 금후 반도체 웨이퍼의 대규격화에 의하

여 카세트 레스의 날장 처리로 이행한다고 하여도 그 반도체 제조 프로세스의 후공정으로서, 카세트레스의 검사 및 리페어를 할 수 있는 장치로서 대응할 수가 있다.

이어서, 제 2 실시예로서 본 발명의 버연 인 검사장치에 대하여 제12도를 참조하여 설명한다.

도면중에 나타내는 기초대(141) 상의 제 1 반송로(142)의 예를 들면 한쪽에 여러 개(예를 들면 6 개)의 버연 인 검사부(143)가 1 열로 배치되어 있다.

버연 인 검사부(143)는, 제2도, 제3도 또는 제4도에 나타내는 검사부 구조의 어느 것을 한쪽으로 해도 좋다. 제 1 반송로(142)의 일단부에는, 로더부(144)가 설치되어 있다. 로더부(144)는, 제1도에 나타내는 로더부(14)와 같은 구성으로 되어 있다.

즉, 로더부(144)는, 여러 개(예를 들면 4 개)의 캐리어(21)가 재치되는 웨이퍼 재치영역(145)과, 이 웨이퍼 재치영역(145)을 따라서 설치된 제 2 반송로(146)와, 제 2 반송로(146)의 위에 이동이 가능하게 설치된 받아 건넌 유닛(147)과 제 2 반송로의 일단부에 설치된 프리 얼라인먼트부(148)를 구비한다. 또, 제 1 반송로(142) 상에는, 제5도 및 제6도에 나타내는 반송 유닛(30)과 같은 구성으로 이루어진 반송 유닛(149)가 이동가능하게 설치되어 있다.

이 실시예의 장치(140)에서는, 검사항목이 동일한 버연 인 검사부(143) 만을 여러 개 설치하고 있다. 따라서 제1도에 나타내는 제 1 실시예의 장치(10)와 다르며, 이 제 2 실시예의 장치(140)에서는, 버연 인 검사부(143)에서 필요로 하는 사이클 타임에 따라서, 여러 버연 인 검사부(143) 중의 빈 상태로 된 버연 인 검사부(143)에, 반송 유닛(149)를 통하여 1 장의 반도체 웨이퍼(12)를 차례 차례 반입시킨다. 따라서 각 버연 인 검사부(143)는, 날장마다 반도체 웨이퍼(12)를 버연 인 검사하면서도, 여러 버연 인 검사부(143)에 대하여 공유되는 반송 유닛(149)에 의하여, 반도체 웨이퍼(12)의 반입반출을 효율적으로 행하는 것으로, 1 대의 버연 인 검사 장치에서 집중적으로 대량의 반도체 웨이퍼(12)의 버연 인 검사를 할 수 있다.

제 2 실시예의 장치(140)에 있어서도, 초기불량을 발생하는 반도체 칩을 반도체 웨이퍼의 상태에서 검출할 수 있다고 하는 점에 있어서도, 상술한 제 1 실시예와 같다.

또, 불량칩에 관한 어드레스, 불량내용을 기억부에 등록하여 놓고, 그 후의 다른 리페어 장치에서 반도체 웨이퍼(12) 상의 불량 칩의 복구를 하는 것에 의하여, 상술한 실시예와 같이, 최종적인 생산성을 높일 수 있는 점에 있어서도, 상술한 실시예와 같다.

이어서, 본 발명의 제 3 실시예로서, 회전 반송로를 구비한 버연 인 검사 기능을 구비한 프로우브 검사 및 리페어 장치를 제13도를 참조하여 설명한다.

도면중 151은 원형 프레임이며, 그 내부가 반도체 웨이퍼(12)를 위한 회전반송로(152)로 되어 있다. 원형 프레임(151) 내에는 중심(0)의 주위에 회전할 수 있는 반송 유닛(153)가 설치되어 있다.

이 회전반송로(152)의 주위에는 방사형상으로, 로더부(154) 및 버연 인 검사부(155), 프로우브 검사부(156), 레이저 리페어부 및 디포지션 리페어부를 구비한 리페어부(157), 마킹부(158), 베이킹부(159) 및 육안 검사부(160)가 각각 설치되어 있다.

이 각부(155)~(160)를 향하여 크린에어를 다운 플로우하는 다운 플로우부가 설치되며, 먼지발생 대책이 강구되어 있다.

로더부(154)는, 제1도에 나타내는 상술한 제 1 실시예의 로더부(14)와 같은 구성으로 이루어진다. 즉, 로더부(154)는, 여러 개(예를 들면 4 개)의 캐리어(21)가 재치되는 웨이퍼 재치영역(161)과, 이 웨이퍼 재치영역(161)을 따라서 설치된 반송로(162)와, 반송로(162) 상에 이동이 가능하게 설치된 받아 건넌 유닛(163)과, 반송로(162)를 사이에 두고 웨이퍼 재치영역(161)의 반대측에 설치된 프리 얼라인먼트부(164)를 구비한다.

또, 프리 얼라인먼트부(164)에는, 프리 얼라인먼트 제어부(165) 및 ID검사부(166)가 접속되어 있다. 프리 얼라인먼트부(164)의 구조는, 제1도에 나타내는 프리 얼라인먼트부(25)와 같다.

버연 인 검사부(155), 프로우브 검사부(156)의 구성은, 제 1 실시예의 버연 인 검사부(15), 프로우브 검사부(16)와 같다.

로더부(20) 내에 배치되는 받아 건넌 유닛(163)의 구성에 대하여 제7도는 참조하여 설명한다.

이어서, 반송 유닛(153)에 대하여 제8도를 참조하여 설명한다. 이 반송 유닛(153)는, 반도체 웨이퍼(12)를 예를 들면 진공 흡착하는 핀셋(171)과, 이 핀셋(171)을 고정하는 제 1 아암(172)과, 이 제 1 아암(172)과 회전이 가능하게 연결된 제 2 아암(173)을 가진다. 그리고, 이 반송 유닛(153)는, 제13도에 나타내는 반송 유닛(153)의 회전 중심(0)의 주위에 제 2 아암(173)을 회전구동하며, 또, 제 2 아암(173)의 자유단측에서 제 1 아암(172)을 회전구동함으로써, 회전 반송로(152)의 주위에서 방사형상으로 배치한 각 부(155)~(160)에 대하여 반도체 웨이퍼(12)를 회전반송할 수 있다.

제 2 아암(173)을 회전구동하기 위하여 제 1 모터(174)가 설치되어 있다. 이 제 1 모터(173)의 회전축에는, 제 1 풀리(175)가 고정부착되고, 이것과 인접하는 제 2 풀리(176) 사이에 벨트(177)가 걸려 있다. 또, 제 2 풀리(177)와 동축으로 고정된 제 3 풀리(178)가 설치되어 있다. 이 제 3 풀리(178)는, 제 2 아암(173)의 회전축(180)에 고정된 제 4 풀리(179) 사이에, 벨트(181)가 걸려 있다.

따라서, 제 1 모터(174)를 회전구동함에 따라 그 회전동력이 회전축(180)에 전달되어 제 2 아암(173)이 회전구동된다.

한편, 제 1 아암(172)을 회전구동하기 위하여, 제 2 모터(182)가 설치되어 있다. 이 제 2 모터(182)는, 제 2 아암(173)의 회전축(180)과 동심적으로 배치된 제 5 풀리(183)를 회전구동한다. 또, 제 1 아암(172)의 회전축(184)에 고정된 제 6 풀리(185)가 설치되고, 제 5, 제 6 풀리(183, 185) 사이에

벨트(186)가 걸려져 있다.

따라서, 제 2 모터(182)를 회전구동하는 것으로, 이 회전동력은 회전축(184)에 전달되고 제 1 아암(172)이 회전구동한다.

이 제 1, 제 2 아암(172),(173)의 각 회전구동을 조합함으로써, 핀세트(171) 상에 재치고정된 반도체 웨이퍼(12)를 회전 반송로(152)를 따라서 회전반송할 수 있음과 동시에, 이 회전 반송로(152)의 주위에서 방사형상으로 배치한 각 위치에 대하여 반도체 웨이퍼(12)를 반입반출할 수 있다.

또, 이 반송 유니트(153)는, 유니트 전체가 승강가능하며, 이것에 의하여 로더부(154) 내의 척(26a)과, 검사부(155),(156) 또는 리페어부(157) 내의 웨이퍼 척 사이에서, 반도체 웨이퍼(12)의 받아 건넌이 가능하다.

또, 반송 유니트(153)는, 상하 2 장의 핀세트를 가질 수도 있다.

이렇게 하면, 버런 인 검사가 종료한 버런 인 검사부(155)에 반송 유니트(153)가 이동하는 때에, 예를 들면 상단의 핀세트에 로더부(154)로부터 받아 건넌 미검사의 반도체 웨이퍼(12)를 탑재하여 놓을 필요가 있다.

그렇게 하면, 반송 유니트(153)는, 빈 상태로 되어 있는 하단의 핀세트 상에 버런 인 검사부(155)로부터의 검사 종료 후의 반도체 웨이퍼(12)를 받아들인 즉시, 상단의 핀세트 상의 미검사의 반도체 웨이퍼(12)를, 버런 인 검사부(155)로 반입할 수 있다.

본 실시예의 장치(160)의 반송 유니트(153)는, 반도체 웨이퍼(12)를 회전 반송하기 때문에, 여러 검사부 또는 리페어부를 직선으로 배열한 경우와 같이, 예를 들면 볼 스크류 등이 불필요하게 되며, 반송기구의 소형화와 저 코스트화를 도모할 수 있다.

또, 상술한 반송 유니트(153)는, 핀세트(171)의 신축구동과, 핀세트(171)의 회전구동과, 제 1, 제 2 아암(172),(173)의 회전구동에 의하여 실현하였으나, 이 구동방식에 한정되는 것은 아니다. 예를 들면 핀세트(171)의 신축구동을, 직선 구동방식에 의하여 실현하여도 좋다.

또, 반도체 웨이퍼(12)를 회전반송로(152)를 따라서 이동시키는 반송 유니트(153)의 구성으로서, 상술한 바와 같이, 더블 핀세트 구조의 것이 바람직하지만, 1 장의 핀세트의 것이어도 좋고, 또는 반송 유니트(153)의 가동율을 높이기 위하여, 3 개 이상의 핀세트를 가지는 것으로 하여도 좋다. 또, 이 반송 유니트(153) 자체에 반도체 웨이퍼(12)를 1 장 또는 여러 장 저장할 수 있는 스토커를 연결하여 놓고, 반송 유니트(153)에 설치된 핀세트가 이 스토커에 대하여 액세스할 수 있는 구성으로 하여도 좋다.

로더부(154)가 구비하는 받아 건넌 유니트(163)는, 제7도에 나타내는 제 1 실시예의 받아 건넌 유니트(31)와 같은 구성으로 되어 있다.

받아 건넌 유니트(163)는, 핀세트(208)의 진퇴구동 및 유니트 전체의 승강 구동에 의하여, 카세트(21)에 대하여 1 장의 반도체 웨이퍼(12)의 반입반출이 가능하다. 또, 받아 건넌 유니트(163)의 상술한 동작에 의하여 로더부(154) 내에 배치된 프리 얼라인먼트부(164)의 척(26a)에 대하여, 반도체 웨이퍼(12)의 받아 건넌이 가능하다.

이상과 같은 레이아웃을 가지는, 버런 인 검사 기능을 구비한 프로우브 검사 및 리페어 장치(150)는, 제15도에 나타낸 바와 같은 제어계에 의하여 전체적으로 제어된다. CPU(90)는, 제15도에 나타내는 장치(150)의 제어를 하는, ROM 및 RAM을 내장한 기억부(191)에 대하여 액세스 가능함과 동시에, 그 버스 라인에는 상술한 각종 검사부(155),(156) 및 리페어부(157), 프리 얼라인먼트 제어부(164) 및 ID 검출부(166)에 부가하여, 다음의 각종 제어부가 접속되어 있다.

즉, 로더 제어부(192)는, 로더부(154) 내에서, 반송로(162) 상을 따라서 이동하는 받아 건넌 유니트(163)의 유니트 전체의 θ 방향의 회전구동, 승강구동 및 그 핀세트(163a)의 진퇴구동에 대하여, 프리 얼라인먼트부(164)의 척(26a) 상으로부터 나오고 들어가는 동작을 하는 돌출 올림핀(28b)의 구동제어를 한다. 반송 제어부(193)는, 회전 반송로(152) 내에 설치된 반송 유니트(153)의 유니트 전체의 θ 방향의 회전구동, 그 승강구동 및 핀세트(171)의 진퇴구동의 제어를 한다.

상기 구성으로 이루어진 반도체 웨이퍼의 검사 및 리페어 장치(150)는, 제9도~제11도에 나타내는 플로우 차트에 따라서, 제 1 실시예와 같이 동작한다.

즉, 우선, 로더부(154)에서 1 장의 반도체 웨이퍼(12)에 대하여, ID 검출부(166)에서의 ID검출, 프리 얼라인먼트부(164)에서의 프리 얼라인먼트가 이루어진 후, 1 장의 반도체 웨이퍼(12)가, 회전 반송로(152) 상의 반송 유니트(154)를 향하여 반출된다(스텝 120).

이 때문에, CPU(190)는 로더 제어부(192)에 지령을 보내고, 이 로더 제어부(192)에서 제어되는 받아 건넌 유니트(154)가, 어떤 1 개의 카세트(21)와 대향하는 위치에 정지된다. 그 후, 받아 건넌 유니트(163)의 핀세트(164a)의 전진구동, 상승구동 및 후퇴구동에 의하여, 1 장의 반도체 웨이퍼(12)가 카세트(21)로부터 꺼내어진다.

또 받아 건넌 유니트(163)가 180 도 회전하고, 그 후의 아암구동에 의하여 1 장의 반도체 웨이퍼(12)를, 프리 얼라인먼트부(164)의 척(28a) 상의 3 개의 돌출 올림핀(28b) 상에 재치한다. 이 후에, 돌출 올림핀(28b)이 하강하는 것에 의하여 1 장의 반도체 웨이퍼(12)가 척(28a) 상에 재치된다. 그리고, 척(28a) 상에 재치된 반도체 웨이퍼(12)에 대하여 프리 얼라인먼트 제어부(165)의 구동제어에 따라서, 반도체 웨이퍼(12)의 프리 얼라인먼트가 이루어진다.

또, ID 검출부(166)에 의하여, 반도체 웨이퍼(12) 상에 실시된 ID 정보가 검출되는 것으로 된다.

그 후, 프리 얼라인먼트부(164)의 척(28a)에 의하여 돌출 올림핀(28b)이 돌출 구동되고, 또 회전 반송로(152) 상의 반송 유니트(153)의 핀세트(171)의 전진구동, 상승구동 및 후퇴구동에 의하여, 프리

얼라인먼트된 1 장의 반도체 웨이퍼(12)가 로더부(154)로부터 반송 유니트(153)에 받아 건네진다.

이 후에 CPU(190)는, 최초의 감사항목을 실시하는, 예를 들면 버먼 인 검사부(155)를 향하여, 1 장의 반도체 웨이퍼(12)를 반입시키기 위한 지령을 반송 제어부(193)에 부여한다(스텝 121).

반송 제어부(193)는, 회전 반송로(152) 상에서의 반송 유니트(153)의 정지 위치제어, 반송 유니트(153) 내의 핀셋의 구동제어를 함으로써, 버먼 인 검사부(155) 내에, 1 장의 반도체 웨이퍼(12)를 반입시킨다.

이 때, 반송유니트(153)와 버먼 인 검사부(155) 사이에, 로더부(154)가 구비하는 받아 건넨 유니트(163)와 같은 구성의 것을 설치하고, 이 받아 건넨 유니트(163)를 통하여 반도체 웨이퍼(12)의 반입을 할 수 있다.

이와 같이 하면, 반송유니트(153)의 가동율을 높일 수 있으며, 더구나 반송 유니트(153) 내의 핀셋(171)의 구동 스트로크를 단축할 수가 있다.

버먼 인 검사부(155)에서의 반도체 웨이퍼 상태의 반도체 칩에의 버먼 인 검사는, 제 1 실시예 장치(10)에서의 버먼 인 검사와 똑같이 행해진다.

버먼 인 검사가 종료하면, CPU(190)는 이어서, 버먼 인 검사가 끝난 반도체 웨이퍼(12)를 육안 검사부(160)로 이송시킨다(스텝 122). 이 육안 검사부(160)에서는, 반입된 반도체 웨이퍼(12)를 파인 얼라인먼트한 후, 이 반도체 웨이퍼(12) 상의 반도체 칩을 현미경으로 확대하여 육안 검사를 하거나 또는 반도체 칩의 확대화상을 TV모니터 상에서 표시하여 육안 검사를 하는 것으로 된다.

여기에서, 이 육안검사에 의하여, 불량 칩의 존재가 검출된 경우에는, 육안 검사부(160)에 설치된 입력부를 통하여 오퍼레이터가 그 정보를 입력할 수 있다. 이 불량칩에 관한 정보는, CPU(190)를 통하여 기억부(171) 내에, 웨이퍼(12)의 ID정보와 대응시켜서 기억시킨다.

이어서, CPU(190)는, 그 육안 검사부(160) 및 반송제어부(193)를 제어하여, 육안 검사가 종료한 1 장의 반도체 웨이퍼(12)를, 다음의 감사항목을 실시하는 프로우브 검사부(156)에 반송제어하는 것으로 된다(스텝 123).

이 반송제어부(193)에 의하여 구동제어되는 반송 유니트(153)는, 프로우브 검사부(156)와 대향하는 위치까지 이동되며, 그 후 반송 유니트(153)의 핀셋(171)의 구동제어에 의하여, 반도체 웨이퍼(12)를 프로우브 검사부(156)에 받아 건네는 것으로 된다.

프로우브 검사부(156)에서는, 제 1 실시예의 장치(10)에 대하여 설명한 것과 같이하여, 반도체 웨이퍼(12) 상의 반도체 칩에 대한 프로우브 검사가 이루어진다.

프로우브 검사부(156)에서의 프로우브 검사가 종료하면, CPU(190)는 이어서, 이 반도체 웨이퍼(12)를 다시 육안 검사부(160)에 반송제어하며, 프로우브 검사 후의 반도체 칩의 외관 검사가 이루어진다(스텝 124).

이어서 CPU(190)는, 스텝 121~124의 각 검사공정에서, 반도체 웨이퍼(12) 상의 어느 하나의 반도체 칩에 불량이 존재하는가 아닌가를 판별한다(스텝 125). 불량 칩이 존재한 경우에는, 이어서 CPU(190)는 그 불량내용이, 리페어부(157) 내의 레이저 리페어부(157a) 또는 디포지션 리페어부(157b)에서 수복가능한 것인가 아닌가를 판별한다(스텝 126). 스텝 126에서 리페어 가능하다고 판단된 경우에는, CPU(190)는 이어서, 레이저 리페어에 의하여 수복가능하거나, 바꾸어 말하면 반도체 칩 내에서 패턴 쇼트가 존재하는가 아닌가를 판별한다(스텝 127).

불량내용이 패턴 쇼트의 경우에는, CPU(190)는, 그 반도체 웨이퍼(12)를 레이저 리페어부(157a)로 반입하고, 레이저광에 의하여 패턴쇼트부를 용단하여 수복한다(스텝 128).

이 스텝 128이 종료한 후, 또는 스텝 125에서의 판단이 NO인 경우에, CPU(190)는, 그 불량 내용이 디포지션 리페어에 의하여 수복가능한가, 다시 말하면 반도체 칩 내에 패턴 오픈이 생기고 있는가 아닌가를 판별한다(스텝 129).

패턴 오픈이 생겨 있는 경우에는, CPU(190)는, 그 반도체 웨이퍼(12)를 디포지션 리페어부(157b)로 반입하고, 패턴 오픈부를 성막에 의하여 수복한다(스텝 130).

이와 같이, 제 3 실시예의 장치(150)에 의하면, 반도체 웨이퍼(12)의 상태로 반도체 칩의 버먼 인 검사를 함으로써, 온도 스트래스나 전압 스트래스를 인가하는 것에 의하여 고유 결함, 잠재적 결함을 수반한 반도체 칩을 미연에 검출할 수 있다.

또, 불량 칩이 탑재된 반도체 웨이퍼(12)를 인라인 방식으로 리페어부(60)에 반입하며, 수복가능한 불량 칩을 수복하는 것으로 최종적인 생산성을 크게 향상할 수 있다.

상술한 바와 같이 하여, 레이저 리페어부(17a) 및/또는 디포지션 리페어부(157b)에서의 수복이 이루어진 경우에는, 스텝 123으로 되돌리어 다시 프로우브 검사가 이루어지는 것으로 된다.

1 회째 또는 2 회째의 프로우브 검사 종료 후의 스텝 126에서, 수복불능한 불량 칩이 존재하고 있는 경우에는, CPU(190)는 이어서, 그 반도체 웨이퍼(12)를 마킹부(158)로 반송하여 마킹한다(스텝 131).

이 마킹부(158)에서는, CPU(190)의 제어의 따라서 불량 칩이 존재하는 어드레스 정보에 의거하여, 이 불량 칩 상에 예를 들면 잉크를 토출하여 불량 칩인 취지의 마킹을 한다. 불량칩에의 마킹이 종료한 후, CPU(190)는, 그 반도체 웨이퍼(12)를 베이킹부(159)에 반송하고, 불량 칩 상에 토출된 잉크를 베이킹에 의하여 건조시킨다(스텝 132).

스텝 132에서의 베이킹 공정이 종료한 후, 또는 스텝 125에서 프로우브 검사 후도 불량 칩이 존재하지 않다고 판단된 경우에는, CPU(190)는 이어서 그 반도체 웨이퍼(1)를 육안 검사부(160)로 반입하고, 최종

적인 외관검사를 하게 된다(스텝 133). 그리고, 최종의 육안 검사가 종료한 후, CPU(190)는, 그 반도체 웨이퍼(1)를 반송 유니트(153), 프리 얼라인먼트부(164)의 척(26a), 받아 건넌 유니트(163)를 통하여 원래의 카세트(21) 내로 되돌린다(스텝 134).

이와 같이 하여, 1 장의 반도체 웨이퍼(12)에 대한 버연 인 검사공정으로 부터 육안 검사공정 및 그 사이의 리페어 공정에 이르는 일련의 처리가 인라인 방식으로 실시되는 것으로 된다.

또, CPU(190)는, 어떤 검사부 또는 리페어부에서 처리가 종료한 후에는, 그 검사부 또는 리페어부로부터 반도체 웨이퍼를 받음과 동시에, 다음의 새로운 반도체 웨이퍼(12)의 반입을 하고, 이것을 되풀이하여 함으로써, 로더부(154) 내에 탑재된 4 개의 카세트(21) 내의 전체 반도체 웨이퍼(12)에 대한 상기의 인라인 처리를 되풀이하여 실행할 수 있다.

이상 설명한 바와 같이, 제 3 실시예의 반도체 웨이퍼의 검사 및 리페어 장치(150)에 의하면, 반도체 웨이퍼를 위한 회전 반송로의 주위에 방사형상으로, 버연 인 검사부(155), 프로우브 검사부(156)를 포함하는 여러 검사부 및 리페어부(157)를 배치하고, 단지 1 개의 프리 얼라인먼트부(164)에서 미리 프리 얼라인먼트된 반도체 웨이퍼(12)를, 회전 반송로(152) 상의 반송수단을 통하여 각 검사부 및 리페어부에 반입하는 것으로, 버연 인 검사를 포함하는 여러 검사 항목 및 불량 칩의 리페어를 인라인 방식으로 실시할 수 있다.

이 인라인 방식의 검사를 실시함에 있어서, 버연 인 검사부(155)에서는 반도체 웨이퍼(12) 상의 일부 또는 전부의 반도체 칩 군의 전극패드에 동시에 접촉시켜서 온도 및/또는 전압 스트레스를 부가한 상태에서 여러 개의 반도체 칩을 동시에 버연 인 검사할 수 있으며, 버연 인 검사에 요하는 시간을 단축하여 인라인 방식의 검사를 원활하게 실시할 수 있다.

이어서, 제 4 실시예로서, 원형 반송로를 구비한 버연 인 검사장치의 일예를, 제16도를 참조하여 설명한다. 제 4 실시예의 버연 인 검사장치(200)에서는, 원형 반송로(152)의 주위에, 검사항목이 동일한 버연 인 검사부(201)만이 여러 개(예를 들면 6 개) 배열되어 있다. 상술한 제 3 실시예의 반도체 웨이퍼의 버연 인 검사기능을 구비한 프로우브 검사 및 리페어 장치(150)와 같은 구성으로 이루어진다.

따라서, 제 3 실시예와는 다르며, 이 실시예의 장치(200)에서는, 버연 인 검사부(201)에서 필요로 되는 사이클 타임에 따라서 여러 버연 인 검사부(201) 중의 빈 상태로 된 버연 인 검사부(201)에, 반송 유니트(153)를 통하여 1 장의 반도체 웨이퍼(12)를 차례차례 반입시킬 수가 있다.

이에 따라, 각 버연 인 검사부(201)는, 낱장으로 반도체 웨이퍼(12)를 버연 인 검사하면서도, 여러 버연 인 검사부(201)에 대하여 공유되는 반송 유니트(153)에 의하여, 반도체 웨이퍼(12)의 반입반출을 효율적으로 행하는 것으로, 1 대의 버연 인 검사 장치에서 집중적으로 대량의 반도체 웨이퍼(12)의 버연 인 검사를 할 수 있다.

제 4 실시예의 장치(200)는, 초기불량을 발생하는 반도체 칩을 반도체 웨이퍼(12)의 상태로 검출할 수 있는 점에서는, 상술한 제 3 실시예와 같다. 또, 불량칩에 관한 어드레스, 불량내용을 기억부에 등록하여 놓고, 그 후의 다른 리페어 장치에서 반도체 웨이퍼(12) 상의 불량 칩의 복구를 하는 것에 의하여, 제 3 실시예와 같이, 최종적인 생산성을 높일 수 있는 점 등, 제 3 실시예와 같은 효과를 나타낸다.

이상 설명한 바와 같이, 제 4 실시예의 버연 인 검사장치(200)에 의하면, 반도체 웨이퍼(12)가 회전반송되는 회전반송로(152)의 주위에서 방사형상으로 여러 버연 인 검사부(201)를 배치하고, 단지 한 개의 프리 얼라인먼트부(164)에서 미리 프리 얼라인먼트된 반도체 웨이퍼(12)를, 반송 유니트(153)를 통하여 각 버연 인 검사부(201)에 반입하는 것으로, 각 버연 인 검사부(201)가 낱장식으로 검사하면서, 장치(200) 전체로서 여러 반도체 웨이퍼(12)를 인라인 방식으로 집중적으로 또 효율 좋게 버연 인 검사를 할 수가 있다.

또, 본 발명은, 제 1 - 제 4 실시예에 한정되는 것은 아니고, 본 발명의 요지의 범위 내에서 여러가지의 변형 실시가 가능하다. 예를들면 제1도에 나타내는 제 1 실시예의 장치(10)에서는, 기초대(10) 상에 배치되는 버연 인 검사부(15) 이외의 다른 검사부 또는 리페어부는, 제1도에 나타낸 것 이외의, 예를 들면 침적(針跡) 오토 인스펙션, 칩 사이즈 오토 인스펙션과 같은 다른 검사부 또는 리페어부를 설치하는 것도 가능하다.

제13도에 나타내는 제 3 실시예의 장치(150)에 대해서도 같다. 예를 들면 제1도의 장치(10)를 예로 들어 설명하면, 버연 인 검사부(15)에 반입되기 전의 반도체 웨이퍼(12)를 프리 히트하는 프리 히터부 또는 버연 인 검사 후의 반도체 웨이퍼(12)를 냉각하는 쿨링부를, 로더부(14) 내 또는 제 1 반송부(13)의 로더부(14) 측의 단부의 주위에 배치할 수 있다.

이 프리히터부 및 냉각부는, 버연 인 검사부(15)의 내부에 배치하여도 좋다.

또, 제 1 또는 제 3 실시예의 장치(10),(150)에서 나타내는 반도체 칩의 검사 및 리페어에 대한 순서에 대하여도, 제9도~제11도에 나타내는 플로우차트의 것에 한정하는 것은 아니다.

또, 제 1 실시예의 장치(10)에서는, 제 1 반송로(13)와 각 검사부(15),(16) 및 리페어부(17) 사이에 받아 건넌 유니트(31)를 배치하였으나, 이것을 생략할 수도 있다.

이 경우, 반송 유니트(31)를 통하여 직접적으로 검사부(15),(16) 또는 리페어부(17)에 반도체 웨이퍼(12)를 반입시키면 좋다.

제 1 반송로(13)와 각 검사부(15),(16) 및 리페어부(17) 사이에 받아 건넌 유니트(31)를 설치하는 경우에도, 각 검사부(15),(16) 및 리페어부(17)의 배열방향을 따라서 1 대의 받아 건넌 유니트(31)를 이동가능하게 하며, 1 대의 받아 건넌 유니트(31)를 여러 검사부(15),(16) 및 리페어부(17)로 겸용할 수도 있다.

제 2 실시예의 장치(140)와 같다.

또, 제 1 또는 제 3 실시예의 장치(10),(150)에서는, 로더부를 제 1 방송로의 일단측에 배치하였으나, 다른 검사부, 리페어부와 같은 열의 위치에 배치하는 것도 가능하다. 이와 같이 하면, 반송유닛의 핀 세트의 시퀀스 구동제어를 보다 간편한 것으로 할 수 있다.

또, 제13도, 제16도에 나타내는 제 3 및 제 4 실시예의 장치(150),(200)에서는, 반도체 웨이퍼(12)의 로드 및 언로드에 공용되는 로더부(154)를 회전 반송로(152)주위의 1 개소에 배치하였으나, 공급용 카세트 를 가지는 로더부와, 되돌림용 카세트를 가지는 언로더부와 2 개로 나누고, 이 로더부 및 언로더부를, 회전반송로(30)의 주위의 2 개소에 배치할 수도 있다.

(57) 청구의 범위

청구항 1

반도체 웨이퍼(12) 상에 형성된 여러 개의 반도체 칩에 대하여 버연 인 검사를 하는 적어도 1 개의 버연 인 검사부(15), 상기 반도체 웨이퍼(12) 상에 형성된 여러 개의 반도체 칩에 대하여 프로우브 검사를 하는 적어도 1 개의 프로우브 검사부(16), 상기 버연 인 검사부(15) 및 상기 프로우브 검사부(16)에서 불량개소가 발견된 반도체 칩에 대하여 리페어를 하는 리페어부(17), 상기 버연 인 검사부(15), 상기 프로우브 검사부(16) 및 상기 리페어부(17)를 따라서 배치된 반송로(30), 상기 반송로(30)를 따라서 또는 그 일단부에 설치된, 상기 반도체 웨이퍼(12)를 프리 얼라인먼트하는 프리 얼라인먼트부, 및 상기 반송로(30) 상에 이동이 가능하게 설치되고, 상기 반도체 웨이퍼(12)를 상기 버연 인 검사부(15), 상기 프로우브 검사부(16), 상기 리페어부(17) 및 프리 얼라인먼트부 사이에서 반송하는 반송수단, 및, 상기 반도체 웨이퍼(12)의 상기 버연 인 검사부(15), 상기 프로우브 검사부(16), 상기 리페어부(17) 및 프리 얼라인먼트부 사이에서의 반송을 제어하는 제어부를 포함하여 구성되며, 상기 반도체 웨이퍼(12)는, 상기 프리 얼라인먼트부에서 프리 얼라인먼트되고, 이 후, 상기 반송수단에 의하여 프리 얼라인먼트부된 상기 반도체 웨이퍼(12)를 상기 버연 인 검사부(15), 상기 프로우브 검사부(16) 또는 상기 리페어부(17)로 반송 및 공급하는 것을 특징으로 하는 버연 인 검사 기능을 구비한 프로우브 검사 및 리페어 장치.

청구항 2

제1항에 있어서, 상기 버연 인 검사부(15)는, 상기 반도체 웨이퍼(12)를 가열 및/또는 냉각하는 기능을 구비한 웨이퍼 척과, 상기 웨이퍼 척상의 상기 반도체 웨이퍼(12)를 파인 얼라인먼트하는 파인 얼라인먼트부와, 상기 반도체 웨이퍼(12) 상의 전 영역 내 또는 면분할된 분할 영역 내의 상기 반도체 칩군의 전극 패드에 동시에 접촉하는 접촉부와, 상기 접촉부에 도통하고, 온도 스트래스 및/또는 전압 스트래스를 부가한 상태에서 상기 반도체 칩을 버연 인 검사하는 테스트를 구비하는 것을 특징으로 하는 버연 인 검사 기능을 구비한 프로우브 검사 및 리페어 장치.

청구항 3

제1항에 있어서, 반도체 웨이퍼(12) 상의 반도체 칩의 확대상을 눈으로 보아 외관검사를 하며, 상기 버연 인 검사부(15) 또는 프로우브 검사부(16)에서 검사종료 후의 육안 검사에도 사용하는 육안 검사부(20)를 더욱 구비하는 것을 특징으로 하는 버연 인 검사 기능을 구비한 프로우브 검사 및 리페어 장치.

청구항 4

제1항에 있어서, 리페어부에서 수복 불가능한 반도체 칩에 마킹을 실시하는 마킹부를 더욱 구비하는 것을 특징으로 하는 버연 인 검사 기능을 구비한 프로우브 검사 및 리페어 장치.

청구항 5

제1항에 있어서, 상기 반송로(13)가 직선인 것을 특징으로 하는 버연 인 검사 기능을 구비한 프로우브 검사 및 리페어 장치.

청구항 6

제5항에 있어서, 상기 반송로(30)의 양측에, 상기 버연 인 검사부(15), 상기 프로우브 검사부(16) 및 상기 리페어부(17)가 배치되어 있는 것을 특징으로 하는 버연 인 검사 기능을 구비한 프로우브 검사 및 리페어 장치.

청구항 7

제5항에 있어서, 상기 반송로(13)의 한쪽에 상기 버연 인 검사부(15), 상기 프로우브 검사부(16) 및 상기 리페어부(17)가 배치되어 있는 것을 특징으로 하는 버연 인 검사 기능을 구비한 프로우브 검사 및 리페어 장치.

청구항 8

제1항에 있어서, 상기 반송로(13)와 반송수단을 내부에 가지는 원형 프레임을 더 구비하고, 그 주위에 상기 버연 인 검사부(15), 상기 프로우브 검사부(16) 및 상기 리페어부(17)가 배치되어 있는 것을 특징으로 하는 버연 인 검사 기능을 구비한 프로우브 검사 및 리페어 장치.

청구항 9

제1항에 있어서, 상기 프리 얼라인먼트부에 여러 개의 상기 반도체 웨이퍼(12)를 수용 가능한 캐리어로부터 상기 반도체 웨이퍼(12)를 받아 건네며, 한 쌍의 다관절 아암(101)(102)과 아암 연결부(103)와 핀 센트(104) 및 진공 흡착부(208a)로 이루어지는 받아 건네기 수단을 더욱 구비하는 것을 특징으로 하는 버연 인 검사 기능을 구비한 프로우브 검사 및 리페어 장치.

청구항 10

제1항에 있어서, 상기 버연 인 검사부(15), 상기 프로우브 검사부(16) 및 상기 리페어부(17)의 적어도 하나와 상기 반송수단 사이에서 상기 반도체 웨이퍼(12)의 받아 건네기며, 한 쌍의 다관절 아암(101)(102)과 아암 연결부(103)와 핀셋(104) 및 진공흡착부(208a)로 이루어지는 받아 건네기 수단을 더욱 구비하는 것을 특징으로 하는 버연 인 검사 기능을 구비한 프로우브 검사 및 리페어 장치.

청구항 11

반도체 웨이퍼 위에 형성된 여러 반도체 칩에 대하여 버연 인 검사를 하는 여러 버연 인 검사부, 상기 여러 버연 인 검사부를 따라서 배치된 반송로, 상기 반송로를 따라서 또는 그 일단부에 설치된, 상기 반도체 웨이퍼를 프리 얼라인먼트하는 프리 얼라인먼트부, 상기 반송로상에 이동가능하게 설치되고, 상기 반도체 웨이퍼를 상기 여러 버연 인 검사부 및 프리 얼라인먼트부의 사이에서 반송하는 반송수단, 및 상기 반도체 웨이퍼의 상기 버연 인 검사부 및 프리 얼라인먼트부 사이에서의 반송을 제어하는 제어부를 포함하여 구성되며, 상기 반도체 웨이퍼는, 상기 프리 얼라인먼트부에서 프리 얼라인먼트되고, 이 후, 상기 반송수단에 의하여 프리 얼라인먼트부된 상기 반도체 웨이퍼를 상기 여러 개의 버연 인 검사부로 반송 및 공급하는 것을 특징으로 하는 버연 인 검사 장치.

청구항 12

제1항에 있어서, 상기 버연 인 검사부는, 상기 반도체 웨이퍼(12)를 가열 및/또는 냉각하는 기능을 구비한 웨이퍼 척과, 상기 웨이퍼 척상의 상기 반도체 웨이퍼(12)를 파인 얼라인먼트하는 파인 얼라인먼트부와, 상기 반도체 웨이퍼(12) 상의 전 영역 내 또는 면분할된 분할 영역 내의 상기 반도체 칩군의 전극 패드에 동시에 접촉하는 접촉부와, 상기 접촉부에 도통하고, 온도 스트래스 및/또는 전압 스트래스를 부가한 상태에서 상기 반도체 칩을 버연 인 검사하는 테스트를 구비하는 것을 특징으로 하는 버연 인 검사 장치.

청구항 13

제1항에 있어서, 상기 반송로(142)가 직선인 것을 특징으로 하는 버연 인 검사 장치.

청구항 14

제13항에 있어서, 상기 반송로의 양측에 상기 버연 인 검사부가 배치되어 있는 것을 특징으로 하는 버연 인 검사 장치.

청구항 15

제13항에 있어서, 상기 반송로의 한쪽에 상기 버연 인 검사부가 배치되어 있는 것을 특징으로 하는 버연 인 검사 장치.

청구항 16

제11항에 있어서, 상기 반송로와 반송수단을 내부에 가지는 원형 프레임을 더 구비하고, 그 주위에 상기 버연 인 검사부가 배치되어 있는 것을 특징으로 하는 버연 인 검사 장치.

청구항 17

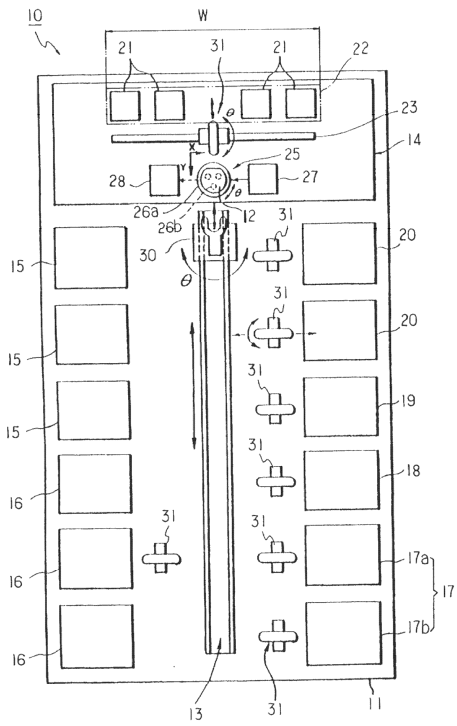
제11항에 있어서, 상기 프리 얼라인먼트부에 여러 개의 상기 반도체 웨이퍼(12)를 수용가능한 캐리어로부터 상기 반도체 웨이퍼(12)를 받아 건네며, 한쌍의 다관절 아암(101)(102)과 아암 연결부(103)와 핀셋(104) 및 진공흡착부(208a)로 이루어지는 받아 건네기 수단을 더욱 구비하는 것을 특징으로 하는 버연 인 검사 장치.

청구항 18

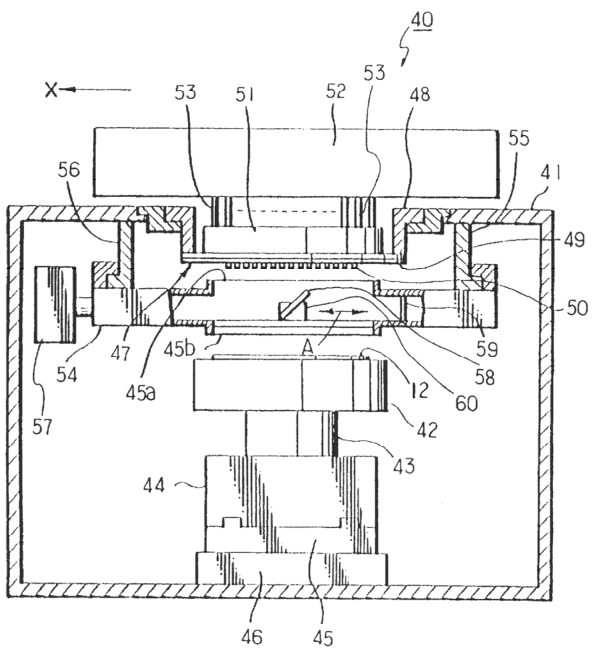
제11항에 있어서, 상기 버연 인 검사부와 상기 반송수단과의 사이에서 상기 반도체 웨이퍼(12)를 받아 건네며, 한쌍의 다관절 아암(101)(102)과 아암 연결부(103)와 핀셋(104) 및 진공흡착부(208a)로 이루어지는 받아 받아 건네기단을 더욱 구비하는 것을 특징으로 하는 버연 인 검사 장치.

도면

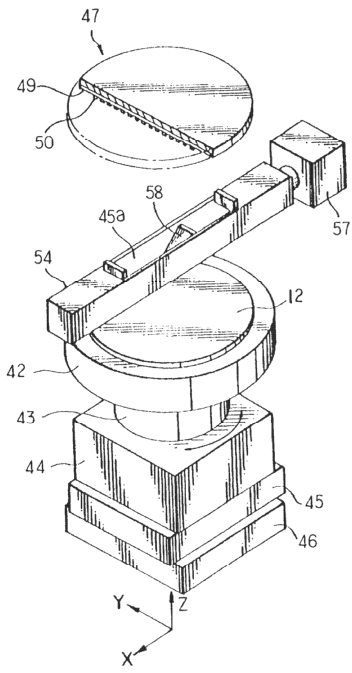
도면1



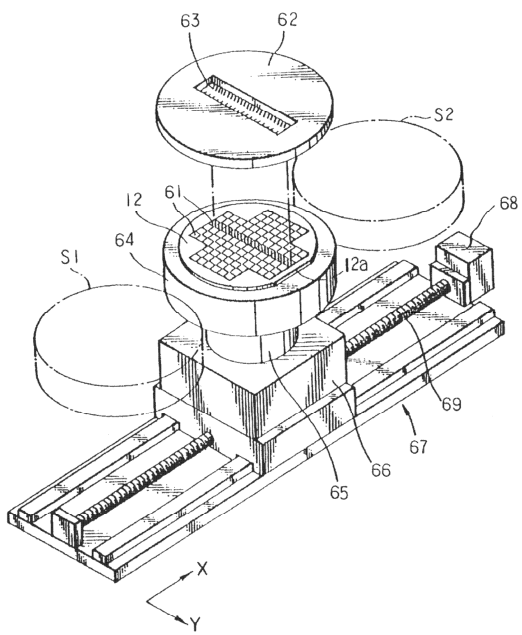
도면2



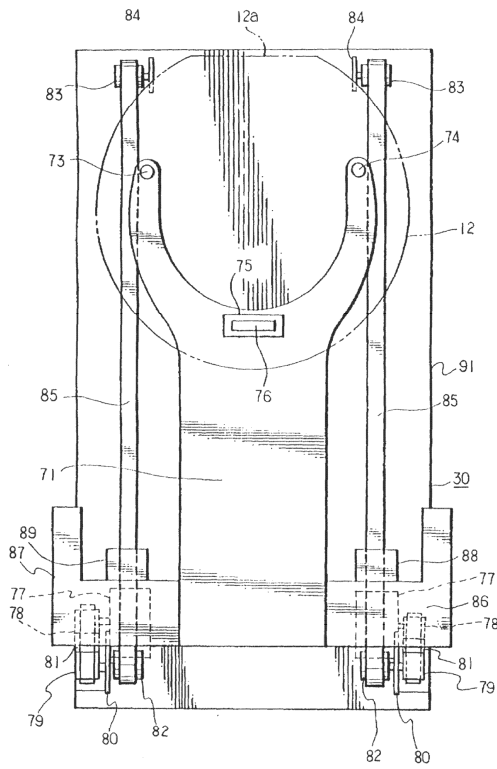
도면3



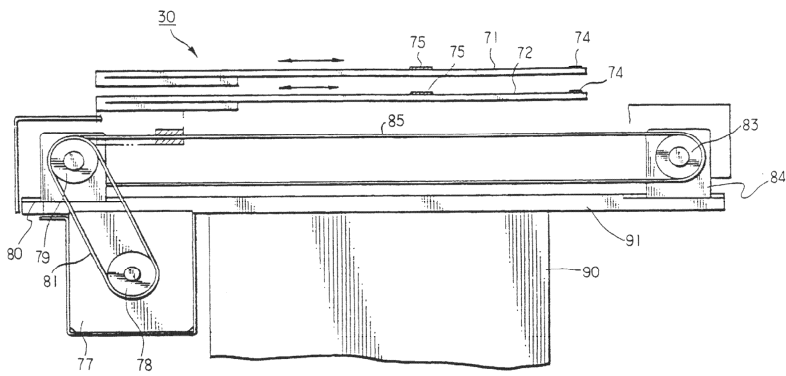
도면4



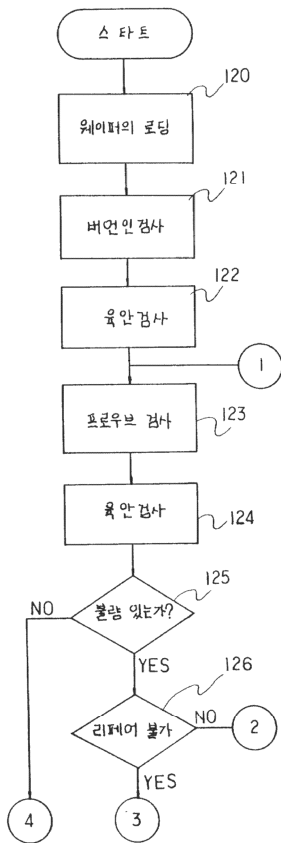
도면5



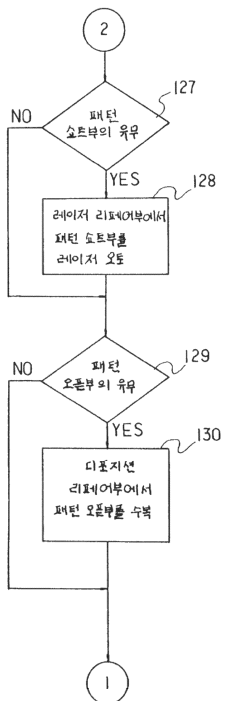
도면6



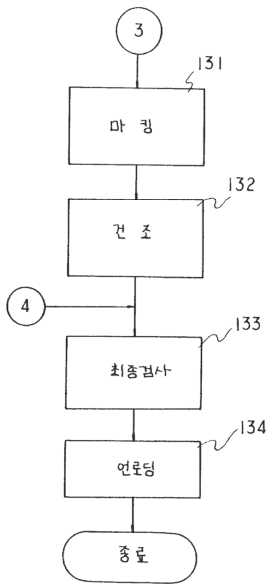
도면9



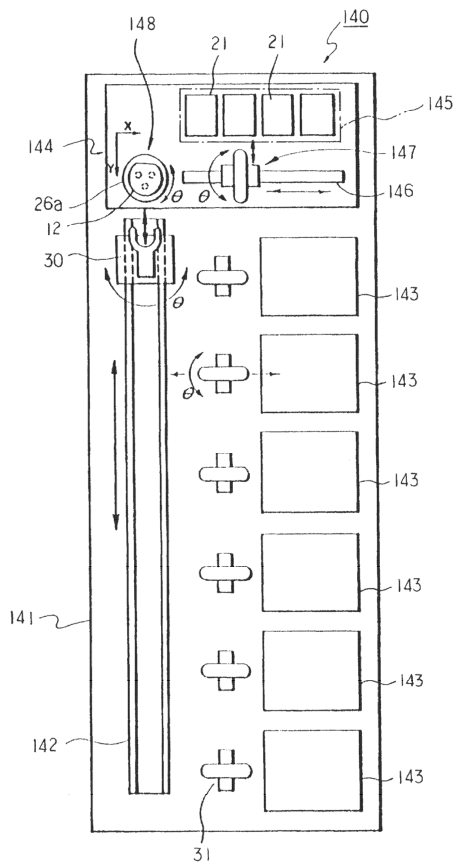
도면10



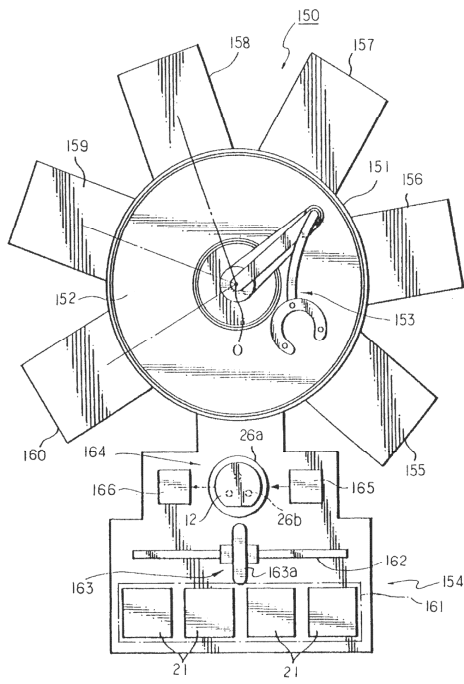
도면11



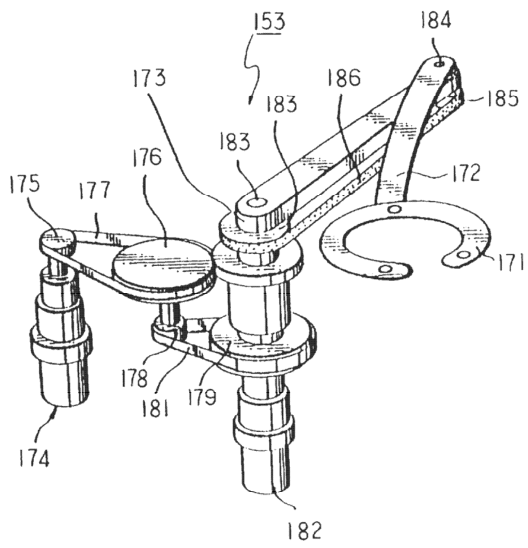
도면 12



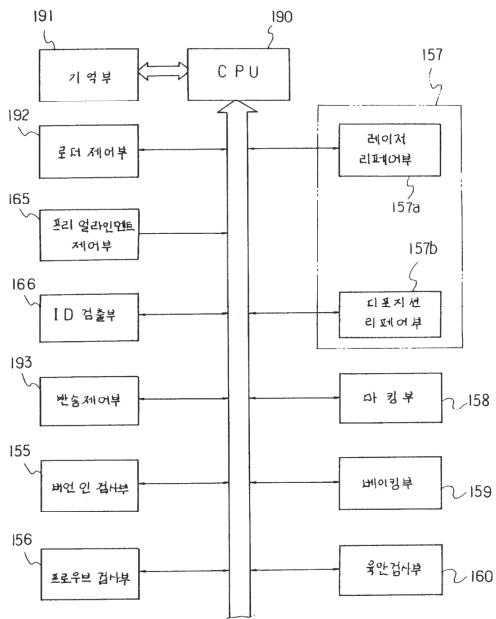
도면13



도면14



도면 15



도면 16

