公告本

411468

申請日期： 88. 1. 19	案號： 88100729
類別： G11C 16/04, H01L 29/788	

（以上各欄由本局填註）

發明專利說明書

411468

一、發明名稱	中文	非揮發性半導體記憶體
	英文	NON VOLATILE SEMICONDUCTOR DEVICE
二、發明人	姓名（中文）	1. 賴俊樹 2. 吉川定男
	姓名（英文）	1. TOSHIKI RAI 2. SADAO YOSHIKAWA
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國岐阜縣大垣市晝飯町479-1 樂美愛爾大廈E棟202 2. 日本國岐阜縣養老郡養老町大巻758-1
三、申請人	姓名（名稱）（中文）	1. 三洋電機股份有限公司
	姓名（名稱）（英文）	1. SANYO ELECTRIC CO., LTD.
	國籍	1. 日本
	住、居所（事務所）	1. 日本國大阪府守口市京阪本通2丁目5番5號
	代表人姓名（中文）	1. 近藤定男
	代表人姓名（英文）	1.

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	1998/03/26	特願平10-078786	有

有關微生物已寄存於	寄存日期	寄存號碼

無

五、發明說明 (1)

[發明所屬之技術領域]

本發明係關於一種可實行穩定寫入動作的非揮發性半導體記憶裝置。

[以往之技術]

在電氣式可除拭可程式僅讀記憶體(Electrically Erasable Programmable ROM，以後簡稱為EEPROM)中，用具有浮動閘極與控制閘極之雙重閘極構造之電晶體來形成記憶細胞。在該種雙重閘極構造之記憶細胞電晶體時，將發生在浮動閘極之汲極領域側所發生的熱電子向源極側加速，並將(P-2)該加速電子之一部分注入於浮動閘極來實行資料之寫入。然後，檢測出對浮動閘極有無注入電荷所致之記憶細胞電晶體之動作特性之差，換言之，以檢測出臨界值之變化來實行資料之讀出。

第3圖係顯示具有雙重閘極構造之記憶體細胞電晶體之半導體記憶裝置之構成之電路圖。在該圖中，係顯示將記憶體細胞配置成為4行X1列的情形，而省略列選擇之電路。記憶體細胞電晶體1具有電氣式獨立之浮動閘極及其一部分重疊於浮動閘極之控制閘極。該記憶體細胞電晶體1係相應施加於控制閘極之電位而ON/OFF者，係相應於蓄存在浮動閘極之電荷之量而變動其臨界值。字線2係對應於記憶體細胞電晶體1之各行而配置，分別連接於各記憶體細胞電晶體1之控制閘極。位元線3係對應於記憶體細胞電晶體1之列而配置，各記憶體細胞電晶體1之汲極為共同連接之同時，連接於做為電流控制元件之電晶體5。源極線4

五、發明說明 (2)

係配置在各記憶體細胞電晶體1之間，共同連接各記憶體細胞電晶體1之源極。該源極線4係在寫入動作時，對各記憶體細胞電晶體1供給寫入電位Vp。電流控制電晶體5係連接於位元線3與接地點之間，相應施加於閘極的電位Vci而控制從位元線3向接地點流出的寫入電流ip。換言之，在寫入動作時，對源極線4施加寫入電位Vp，而當位元線3介經電流控制電晶體5而接地時，通過在選擇狀態之記憶體細胞電晶體1而有寫入電流ip流動。電流控制電晶體5係控制該寫入電流ip之量使之維持成為一定。行選擇電路6係連接於各字線2，將根據低位址情報所形成之行選擇訊號LS1至LS4供給於各字線2。該行選擇訊號LS1至LS4係對選擇時鐘φc反應，選擇性地活性化其4行之字線2當中之任何一條，而將連接於活性化的字線2的記憶體細胞電晶體1之控制閘極予以ON。又，在要配置複數列的記憶體細胞電晶體1時，係構成為根據列位址情報來選擇所要的列。因此，複數之記憶體細胞電晶體1內之一個將為按低位址情報所選擇而連接於位元線3。

選擇時鐘φc係同步於位址情報之切換之時序而生成者;如第4圖所示，設定切換位址情報之第1之期間P1及對記憶體細胞電晶體1實行寫入之第2之期間P2。在第1之期間P1時，於完成位址情報之切換為止之期間內，行選擇訊號LS1至LS4將使所有記憶體細胞電晶體1之控制閘極成為非選擇。在該期間內，位元線3為在電性方面成為浮動狀態，可保持到該時為止之電位。在第2之期間P2時，按照

五、發明說明 (3)

切換完成的位址情報，上升行選擇訊號LS1至LS4中之任何一個而選擇記憶體細胞電晶體1中之一個。經選擇特定之記憶體細胞電晶體1之後，通過該記憶體細胞電晶體1，有寫入電流ip從源極線4向位元線3之一方流動。該時，位元線3之電位VBL為，因有寫入電流ip流動的關係而慢慢地上升，經過了預定時間之後，成為由記憶體細胞電晶體1與電流控制電晶體5之驅動能力之比所決定之預定之電位而穩定之。

[發明所欲解決之問題]

在記憶體細胞電晶體1中，由寫入電位Vp及寫入電流ip之值及寫入電流ip流動的時間等來決定寫入量，亦即決定對浮動閘極之電荷之注入量。因此，為了要實行穩定之寫入動作，需要正確地控制寫入動作之期間之同時，在該期間中要保持寫入電位Vp及寫入電流ip為一定為宜。

然而，如第4圖所示，以位元線3之電位VBL下降至接地電位附近之狀態下開始寫入動作時，在開始時因源極線4與位元線3之間之電位差較大的關係，在記憶體細胞電晶體1內流動的寫入電流ip有暫時性的增加。該種寫入電流ip之暫時性的增加為，使對記憶體細胞電晶體1之寫入動作為不穩定，使寫入量不均勻。尤其是用低電壓驅動裝置時或使記憶體細胞電晶體1記憶多值資料時，寫入量之不均勻容易導致寫入錯誤。

本發明之目的，在於對記憶體細胞電晶體可實行穩定的寫入者。

五、發明說明（4）

[解決問題的手段]

本發明係為解決上述問題所成；其特徵為：

具備有：

具有電性方面獨立的浮動閘極，相應蓄存於該浮動閘極之電荷之量而使ON電阻值變化之記憶體細胞電晶體及，

具有與上述記憶體細胞電晶體相同構造的虛擬細胞電晶體及，

連接於上述記憶體細胞電晶體及上述虛擬細胞電晶體之汲極之位元線及，

連接於上述位元線之電流控制元件；

而在第1之期間內，使上述位元線介由上述電流控制元件而連接於第1之電位之同時，

介由上述虛擬細胞電晶體而連接於第2之電位而使上述位元線預充電成為預定之電位，

而在第2之期間內，使上述位元線介由上述電流控制元件連接於第1之電位之同時，介由上述記憶體細胞電晶體而連接於第2之電位而對上述記憶體細胞電晶體流通以寫入電流者。

根據本發明，在第1之期間內將位元線預充電之後，在連續的第2期間實行寫入動作的關係，位元線之電位在寫入動作之開始時點不會有較大的變動。因此，可抑制寫入電流之增減，可將對記憶體細胞電晶體之寫入量略維持成為一定。

[發明之實施形態]

五、發明說明 (5)

第1圖係顯示本發明之非揮發性半導體記憶體裝置之實施形態之方塊圖。在該圖中，記憶體細胞電晶體1，字線2，位元線3，源極線4及電流控制電晶體5為與第3圖相同，因此省略其說明。

本發明之特徵為，在於對位元線連接虛擬細胞電晶體11，在實行寫入動作之前，介由虛擬細胞電晶體11而對位元線3供給寫入電位VP而實行預充電者。換言之，從源極線4對記憶體細胞電晶體1供給寫入電位Vp而寫入資料時，使位元線3成為預充電之狀態，藉以構成為在寫入動作之開始時點防止位元線3之電位有大變動。

虛擬細胞電晶體11為，具有與記憶體細胞電晶體1相同之構造，與記憶體細胞電晶體1並列地連接於位元線3與寫入電位Vp之間。在該虛擬細胞電晶體11中將浮動閘極固定成為一定之電位以便可維持消除狀態。具體而言，係構成為對浮動閘極連接配線，藉該配線而可施加電源電位Vd者。然後，對虛擬細胞電晶體11之控制閘極，施加控制訊號LSO，係為具有對記憶體細胞電晶體1之控制閘極施加之行選擇訊號LS1至LS4之選擇時同一位準者。該控制訊號LSO為，先於行選擇訊號LS1至LS4而上升，在行選擇訊號LS1至LS4上升之前下降之。因此，將虛擬細胞電晶體11之ON電阻值控制成為與寫入開始時點之記憶體細胞電晶體1之ON電阻值相同的狀態下，介由虛擬細胞電晶體11而對位元線3施加寫入電位Vp。因此，位元線3之預充電電位為，略一致於在寫入動作之開始時點最初穩定的位元線3之電

五、發明說明 (6)

位VBL。

行選擇電路6為連接於各字線2及虛擬細胞電晶體11，對各字線2供給行選擇訊號LS1至LS4之同時，將控制訊號LS0供給於虛擬細胞電晶體11之控制閘極。行選擇訊號LS1至LS4係與在第3圖所示者相同，對選擇時鐘φc反應，在第2之期間P2選擇性地活性化4行之字線2當中之任何一條。控制訊號LS0係其波高值設定成為與選擇訊號LS1至LS4相同，如在第2圖所示，在初期設定用之第1之期間P1內上升，使虛擬細胞電晶體11為ON。

選擇時鐘φc係同步於位址情報切換之時序而生成，如第2圖所示，用以設定實行初期設定用之第1之期間P1及對記憶體細胞電晶體1實行寫入用之第2之期間P2。在第1之期間P1中，行選擇訊號LS1至LS4之任何一個均未上升，使所有的記憶體細胞電晶體1成為非選擇。該時，控制訊號LS0上升而使虛擬細胞電晶體11為ON的關係，介由該虛擬細胞電晶體11而供給寫入電位Vp於位元線3。因此，在第1之期間P1時，位元線3之電位VBL被預充電成為比寫入電位Vp低相當於虛擬細胞電晶體11之電壓下降量之電位。

在第2之期間P2中，行選擇訊號LS1至LS4當中之任何一個被上升而選擇記憶體細胞電晶體1中之一個，從源極線4通過該記憶體細胞電晶體1而向位元線3側有寫入電流ip流動。在此，位元線3之電位VBL為，在第1之期間P1之終了，亦即在第2期間之開始時，成為在第2之期間內最終成為穩定狀態時之電位附近。因此，在第2之期間P2之開

五、發明說明（7）

始時不必將位元線3從接地電位充電至成為穩定狀態，記憶體細胞電晶體1不會有過多的寫入電流流動。

虛擬細胞電晶體11為如同選擇狀態之記憶體細胞電晶體1，有設定控制閘極之電位的關係，有電源電位等之變動時，預先充電之電位也相應於其變動而變動。同此，可不受電源電位之變動之影響，能夠實現經常穩定的寫入動作。

在上述之實施形態中，例示將記憶體細胞電晶體1配置1列時的情形，但記憶體細胞電晶體1也可以與位元線3一起配置成為複數列。該時，字線2及源極線4為，在各列中同一行連接為共同，在所有的列中可同時選擇同一行之記憶體細胞電晶體1。

[發明之效果]

根據本發明，將位元線預先充電至接近穩定電位的關係，可防止位元線之電位在寫入動作之開始時點有大的變動。因此，可在短時間內穩定寫入動作，而減低寫入量之不均勻。該等效果為，當隨著記憶體細胞數之增加而位元線之容量變大時，或將驅動電源之電壓設定為低時尤為有效。

[圖式之簡單說明]

第1圖係顯示本發明之非揮發性半導體記憶裝置之實施形態之方塊圖。

第2圖係顯示說明本發明之非揮發性半導體記憶裝置之動作之波形圖。

五、發明說明 (8)

第3圖係顯示以往之非揮發性半導體記憶裝置之構成之電路圖。

第4圖係顯示說明以往之非揮發性半導體記憶裝置之動作之波形圖。

[符號之說明]

1	記憶體細胞電晶體	2	字線
3	位元線	4	源極線
5	電流控制電晶體	6，6'	行讀出控制電路
11	虛擬細胞電晶體		

四、中文發明摘要　（發明之名稱：非揮發性半導體記憶體）

本發明係關於一種非揮發性半導體記憶體裝置，係對記憶體細胞電晶體實行穩定的寫入動作者。

本發明之解決手段為，在位元線3及寫入電位Vp之間，與記憶體細胞電晶體1並列地連接虛擬細胞電晶體11，在各記憶體細胞電晶體1被選擇之前，介由虛擬細胞電晶體11而對位元線3供給寫入電位Vp。將位元線3預先充電至接地電位與寫入電位Vp之間之中間電位的結果，在寫入動作之開始時點，以短時間內可穩定位元線3之電位VBL。

英文發明摘要　（發明之名稱：NON VOLATILE SEMICONDUCTOR DEVICE ）

六、申請專利範圍

1. 一種非揮發性半導體記憶裝置，其特徵為：具備有：

具有電性方面獨立的浮動閘極，相應蓄存於該浮動閘極之電荷之量而使ON電阻值變化之記憶體細胞電晶體及，

具有與上述記憶體細胞電晶體相同構造的虛擬細胞電晶體及，

連接於上述記憶體細胞電晶體及上述虛擬細胞電晶體之汲極之位元線及，

連接於上述位元線之電流控制元件；

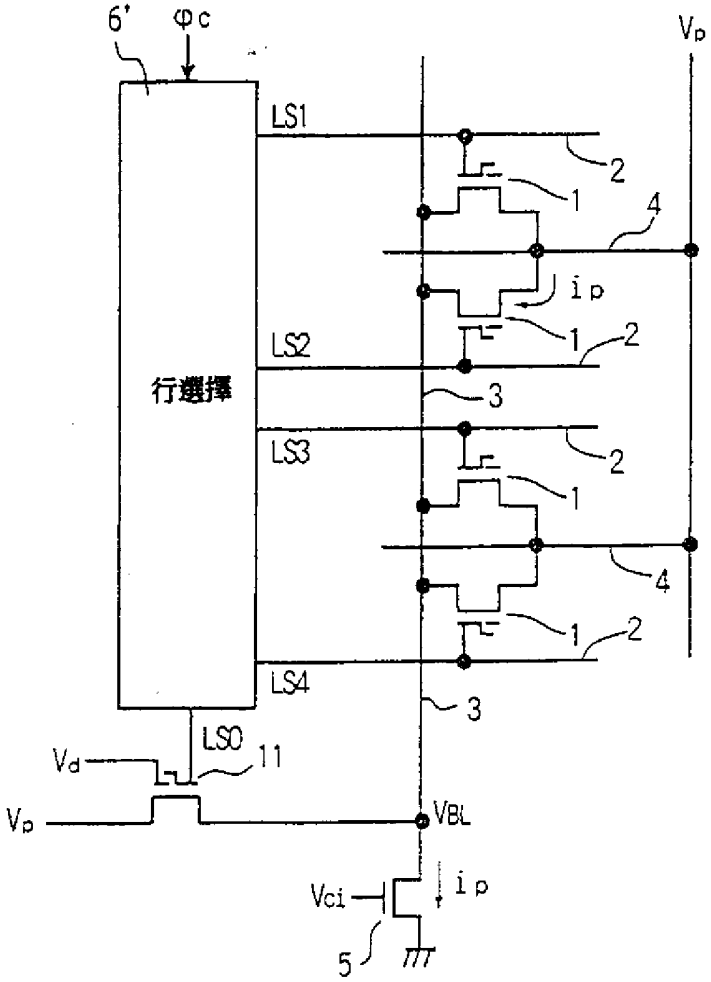
而在第1之期間內，使上述位元線介由上述電流控制元件而連接於，第1之電位之同時，

介由上述虛擬細胞電晶體而連接於第2之電位而使上述位元線預充電成為預定之電位，

而在第2之期間內，使上述位元線介由上述電流控制元件連接於第1之電位之同時，介由上述記憶體細胞電晶體而連接於第2之電位而對上述記憶體細胞電晶體流通以寫入電流者。

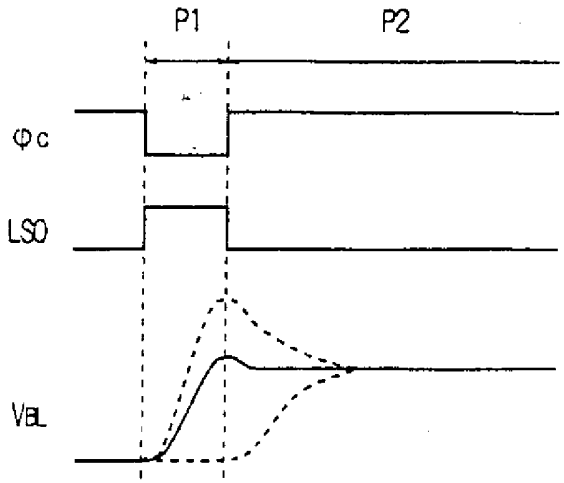
2. 如申請專利範圍第1項之非揮發性半導體記憶體裝置，對其中浮動閘極賦予第3之電位而將上述記憶體細胞電晶體維持成為消除狀態者。

圖式

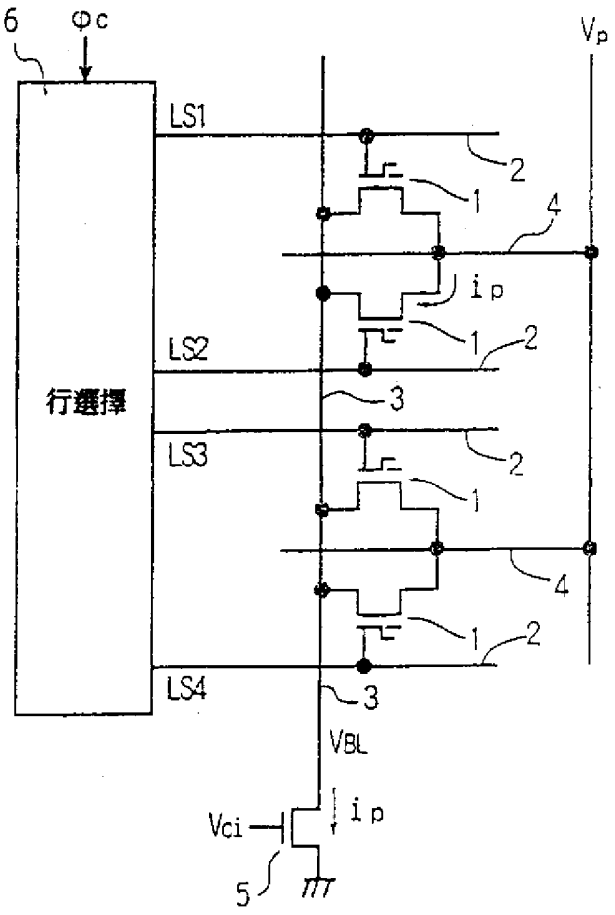


第 1 圖

圖式

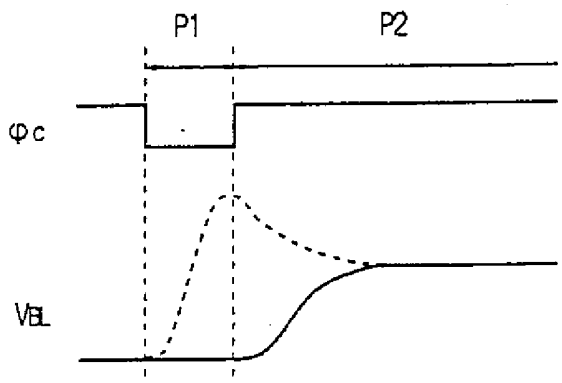


第 2 圖



第 3 圖

圖式



第 4 圖