

公告本

發明專利說明書

558838

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號： 91114298 ※IPC分類： H01L 29/686

※ 申請日期： 91.7.4

壹、發明名稱

(中文) 具有半導體結晶之陣列型結構之薄膜半導體元件及製造其之方法

(英文) A Thin Film Semiconductor Device Having Arrayed Configuration of Semiconductor Crystals and a Method for Producing It

貳、發明人 (共 6 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 松村 正清

(英文) MATSUMURA, Masakiyo

住居所地址：(中文) 日本神奈川縣橫濱市戶塚區吉田町 292 番地
液晶先端技術開發中心股份有限公司內

(英文) c/o ALTDEC Co. Ltd., 292, Yoshida-cho, Totsuka-ku,
Yokohama-shi, Japan

國籍：(中文) 日本 (英文) JAPAN

參、申請人 (共 1 人)

申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 液晶先端技術開發中心股份有限公司

(英文) Advanced LCD Technologies Development Center Co. Ltd.

住居所或營業所地址：(中文) 日本神奈川縣橫濱市戶塚區吉田町 292 番地

(英文) 292, Yoshida-cho, Totsuka-ku, Yokohama-shi, Kanagawa-ken, Japan

國籍：(中文) 日本 (英文) JAPAN

代表人：(中文) 船田文明

(英文) FUNADA, Fumiaki

☐ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 2

姓名：(中文) 小穴 保久

(英文) OANA, Yasuhisa

住居所地址：(中文) 日本神奈川縣橫濱市戶塚區吉田町 292 番地
液晶先端技術開發中心股份有限公司內(英文) c/o ALTDEC Co. Ltd., 292, Yoshida-cho, Totsuka-ku,
Yokohama-shi, Japan

國籍：(中文) 日本

(英文) JAPAN

發明人 3

姓名：(中文) 阿部 浩之

(英文) ABE, Hiroyuki

住居所地址：(中文) 日本神奈川縣橫濱市戶塚區吉田町 292 番地
液晶先端技術開發中心股份有限公司內(英文) c/o ALTDEC Co. Ltd., 292, Yoshida-cho, Totsuka-ku,
Yokohama-shi, Japan

國籍：(中文) 日本

(英文) JAPAN

發明人 4

姓名：(中文) 山元 良高

(英文) YAMAMOTO, Yoshitaka

住居所地址：(中文) 日本神奈川縣橫濱市戶塚區吉田町 292 番地
液晶先端技術開發中心股份有限公司內(英文) c/o ALTDEC Co. Ltd., 292, Yoshida-cho, Totsuka-ku,
Yokohama-shi, Japan

國籍：(中文) 日本

(英文) JAPAN

發明人 5

姓名：(中文) 小關 秀夫

(英文) KOSEKI, Hideo

住居所地址：(中文) 日本神奈川縣橫濱市戶塚區吉田町 292 番地
液晶先端技術開發中心股份有限公司內(英文) c/o ALTDEC Co. Ltd., 292, Yoshida-cho, Totsuka-ku,
Yokohama-shi, Japan

國籍：(中文) 日本

(英文) JAPAN

發明人 6

姓名：(中文) 蕨迫 光紀

(英文) WARABISAKO, Mitsunori

住居所地址：(中文) 日本神奈川縣橫濱市戶塚區吉田町 292 番地
液晶先端技術開發中心股份有限公司內

(英文) c/o ALTDEC Co. Ltd., 292, Yoshida-cho, Totsuka-ku,
Yokohama-shi, Japan

國籍：(中文) 日本

(英文) JAPAN

捌、聲明事項

☐ 本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：_____

☒ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 日本；2001.07.18.；2001-218370

2. _____

3. _____

☐ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. _____

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

【發明所屬之技術領域】

本發明為關於一種薄膜半導體元件與用於半導體元件之半導體基板片及其製造方法。

【先前技術】

正如已知，一個薄膜半導體元件或薄膜電晶體(TFT)包含一替代品，其中例如是矽的半導體材料的薄膜層形成在一例如是無鹼玻璃或石英玻璃之絕緣材料的基體層之上。在半導體的薄膜層中，複數個包含一源極區域和一汲極區域之通道被形成，並且每一通道皆配備一閘極電極。通常，半導體的薄膜層由非晶或多晶矽所組成。然而，使用包含一非晶矽的薄膜層的基板之薄膜電晶體，因為其非常慢的遷移率(通常，大約小於 1 平方公分/伏特秒)而不能作為需要高速操作之元件。因此，近來，包含多晶矽的薄膜層之基板被用於增加遷移率。儘管如此，即使使用如此的基板，遷移率的改善仍然受限於因為電子在操作時間在結晶晶粒間的邊界之分散之現象，其係由於多晶矽薄膜包含許多非常小尺寸的結晶晶粒之現象。

因此，已經試著去藉由增大多晶矽的尺寸來得到因為避免如電子分散的缺點而使得增加遷移率成為可能的具有薄膜層之基板。舉例來說，已經試著去藉由在高溫熔爐退火多晶矽層來得到一具有大約 1 微米大小及大約 100 平方公分/伏特秒之遷移率的半導體晶粒之薄膜層。然而，以上方法有一缺點，例如是鈉玻璃片之價廉的玻璃片無法被使

用，而應該使用可以容忍高溫的昂貴之石英玻璃片，因為製程需要藉由非常高溫例如超過 1000°C 來退火。使用如此昂貴之材料的基板就價錢而言並不適合於製造大尺寸螢幕之元件。

一些其它的嘗試已經被提出以得到包含大尺寸晶粒之多晶性半導體之薄層，其係藉由用例如是準分子雷射的能量光束來照射非晶性或多晶性半導體之薄膜，以代替使用高溫退火。藉由此種方法，藉由使用不昂貴的玻璃片作為基體層來增大結晶晶粒的尺寸是可能的。

儘管如此，即使藉由使用該準分子雷射的照射之方法，所得到結晶晶粒之大小無法超過 1 微米，並且晶粒大小必然變得不均勻。舉例來說，在日本專利 2001-127301 的說明書中，敘述有一種得到大尺寸結晶晶粒之多晶性半導體之薄膜層之技術，其係包含以下步驟：亦即，藉由例如是使用準分子雷射之照射的熔化再結晶之方法使一非晶矽薄膜多結晶化，然後沈積一非晶矽之薄層在該再結晶後的層之上，以及藉由固相長晶方法結晶所有的層，因而原始的多晶晶粒長至大尺寸的晶粒。然而，在上述的技術中，其係建議所得的結晶晶粒之最大尺寸為大約 1000 奈米(1 微米)，並且尺寸為不均勻的。(參照在上述的專利說明書內之第二至五圖)

此外，有一項重要的問題存在，亦即為晶體晶粒之排列模式之問題，其在包含多晶性半導體的半導體元件之技術中被忽視。在藉由前述技術製造之多晶性半導體的薄層

中，在二維方向中晶體晶粒之排列模式為完全隨機的。使如此晶體晶粒之排列成為規則模式之嘗試從未被做過。但是，晶體晶粒之排列之隨機性質造成一嚴重缺點。

亦即，敘述在一薄膜半導體元件內所形成之電晶體電路之許多單元必須被排列在一種規則模式，例如，幾何排列模式下將會是不必要的。因此，在薄膜層中，當晶體晶粒的大小為不均勻並且其排列是隨機的(不規則的)，則具有一電晶體之單元電路必然被設定在此種模式下，以延伸至具有各種尺寸及位置之多個晶體晶粒(請參考第六圖)。這會導致如此結果為每一單元電路之遷移率與電子轉移模式為彼此不同，並且此於是將會對於該元件的品質帶來不良的影響。因此，當每個單元電路的特性彼此不同時，元件不得不全體依據低等級的特性而加以設計。這是要去解決之一重要問題。

【發明內容】

本發明之一目的為提供一種用於薄膜半導體元件的基板片，其中複數個之大尺寸單結晶的晶粒之半導體是以一種例如是矩陣-陣列型結構的規則排列模式所構成，因而使得使用其作為薄膜半導體元件的基板片成為可能，在該元件中，一包含一源極電極、一汲極電極以及一閘極電極的單元電路係在每一晶體晶粒上形成。

本發明之進一步目的為提供一種薄膜半導體元件，其具有高遷移率而不受到例如是晶體晶粒大小之不均勻或在晶體晶粒邊界中發生之電子分散的缺點影響，其係藉由設

定一包含一源極電極、一汲極電極以及一閘極電極的單位電路在每一晶體晶粒上，該等晶體晶粒係以例如是矩陣-陣列型結構的模式規則地排列在該半導體之薄膜層之上。

本發明之另一目的為提供一種用於製造一基板片供一薄膜半導體元件使用之方法，其中複數個之大尺寸單結晶的晶粒之半導體係以一種例如是矩陣-陣列型結構的規則排列模式所構成。

本發明之另一進一步目的為提供一種製造一薄膜半導體元件之方法，其中一包含一源極電極、一汲極電極以及一閘極電極的單元電路係構成於每一晶體晶粒之上，該等晶體晶粒係以例如是矩陣-陣列型結構的模式規則地排列於半導體之薄膜層中。

因此，本發明之薄膜半導體元件之基板片係包含：一絕緣材料之基體層、一構成於該基體層上的半導體之薄膜層、複數個單晶性半導體晶粒，其係構成在該半導體之薄膜層中，並且該複數個之單晶性半導體晶粒係以一種例如是矩陣-陣列型結構的規則結構被排列在該半導體之薄膜層中。

本發明之薄膜半導體元件係包含：一絕緣材料之基體層、一形成於該基體層上的半導體之薄膜層、形成於該半導體之薄膜層上的複數個單晶性半導體晶粒，該複數個單晶性半導體晶粒係以一種例如是矩陣-陣列型結構的規則結構加以排列，並且每一所述的單晶性半導體晶粒皆具有一電子電路，該電路係包含一閘極電極、一源極電極以及一

汲極電極。

根據本發明之製造一用於薄膜半導體元件的基板片之方法係包含以下步驟：亦即，

- (a)形成例如是非晶性或多晶性半導體的非單晶性半導體之一薄膜半導體層在一絕緣材料之基體層上，並且
- (b)藉由以能量光束照射該非單晶性半導體來結晶或再結晶該非單晶性半導體，以製造複數個單晶性半導體晶粒，該照射係被實施以使得可得最大照射強度之照射點以及可得最小照射強度之照射點係以一種例如是矩陣-陣列型結構的規則結構被排列。

本發明之製造一薄膜半導體元件的方法係包含以下步驟：亦即，

- (a)在一絕緣材料之基體層上形成一非晶性或多晶性薄膜半導體層，
- (b)藉由以能量光束照射該非晶性或多晶性半導體來結晶或再結晶該非晶性或多晶性半導體，以製造複數個單晶性半導體晶粒，該照射係被實施以使得可得最大照射強度之照射點以及可得最小照射強度之照射點係以一種例如是矩陣-陣列型結構的規則結構被排列，
- (c)在該薄膜半導體層中每一單晶性晶粒上形成一閘極電極，該等晶粒已藉由所述步驟(b)被製造，並且
- (d)藉由形成一源極電極以及一汲極電極在每一所述晶粒中，製造一電子電路在每一所述單晶性半導體晶粒中。

【實施方式】

在本發明之薄膜半導體元件中，較佳的是使用具有不超過 700°C 之應變點的玻璃片，作為基板片之基體層材料。但是，使用除了玻璃外之不同種類的絕緣材料是可能的，例如，具有適當的熱阻抗之陶瓷或塑膠薄膜。

在前述的基體層上，形成一半導體之薄膜，其中單結晶的半導體晶粒係依例如是矩陣-陣列型模式的規則排列模式被排列。該薄膜層之形成是藉由沈積一非單結晶性質之半導體層在基體層之上而加以實行，然後，藉由例如是準分子雷射光束的能量光束之照射來改變該沈積層成為一包含大尺寸結晶晶粒之多晶性半導體層。

如同非單結晶性質之半導體，非晶性半導體或包含小尺寸多晶晶粒之多晶性半導體可以被使用。藉由根據本發明的方法，以上半導體之任何型態都可以被變更至本發明之薄膜半導體，其係藉由將其結晶或再結晶。所期望的是，薄膜半導體層之厚度為 10 至 200 奈米，特別是 50 至 150 奈米。

通常，當該所述的非單結晶特性之半導體層形成於該基體層之上時，一薄控制層形成於該基體層與該半導體之間，該薄控制層係為了調整熱傳導以及結晶-朝向，其係包含例如矽氧化物、矽氮化物(SiNx)之材料。此層擁有阻絕例如從該基體層至該半導體層之玻璃成份的雜質擴散之作用，以及為了控制晶體之朝向而帶給半導體層之熱分佈之故意的一致性。其厚度係期望為 20 至 1000 奈米，特別是 200 至 300 奈米。

爲了進一步於前述非單結晶半導體層(該第一控制層)上調整熱傳導以及結晶，形成第二控制層也是很平常的。此第二控制層擁有與第一控制層一樣之功能，就是，在藉由照射的結晶之方法中，帶來熱分佈之一致性並且控制在半導體層中之晶體之朝向。例如矽氧化物、矽氮化物、矽氧氮化物或碳酸矽(SiC)之材料可以被用來爲此。該層之厚度期望爲 50 至 500 奈米，特別是 100 至 300 奈米。

當該前述兩個控制層形成後，在該兩控制層之間形成該薄膜半導體層。在此例中，首先第一控制層之材料在該絕緣材料之基體層上沈積爲一薄膜，然後，非單結晶半導體之薄膜材料沈積於該第一控制層之上，並且進一步，第二控制層之材料沈積於該所述半導體層之上。此後，來自上方之能量光束之照射係被實施以結晶或再結晶該非單結晶材料層。

現在參考第一 a 至 1d 圖，其係顯示根據本發明的方法之每一步驟之實施例，第一 a 圖顯示層的沈積之第一階段，其中用以調整熱傳導以及結晶之第一控制層 20 係沈積於基體層 10 之上，並且非晶性或多晶性半導體之非單結晶層 30 係沈積於該第一控制層 20 之上。另外，第二控制層 40 係沈積於該非單結晶層 30 之上。

如在第一 b 圖中顯示，顯示於第一 a 圖之非單結晶層 30 係藉由能量光束之照射而被改變爲包含單結晶的區域 50 以及非單結晶區域 51 之一層。

當然，第一 b 圖顯示一單結晶區域之部分圖樣視圖，

並且本發明之一基板片係包含複數個此種單結晶半導體區域。

接下來，如在第一 c 圖中顯示，閘極電極 60 形成於該基板片之上，並且源極區域 70 以及汲極區域 71 形成在該單結晶的半導體區域 50 中，其係藉由使用閘極電極 60 作為該植入遮罩以植入例如是磷離子的施體雜質 75 進入其中。

此外，如在第一 d 圖中顯示，一例如以矽氧化物為材料之絕緣層被沈積於該第二控制層 40 之上，並且在鑿穿接點孔洞穿過該第二控制層 40 以及絕緣層 80 之後，源極電極 90 以及汲極電極 91 係藉由鋁(Al)/鉬(Mo)之沈積進入該些接點孔洞並且加以圖樣化來形成，藉此完成一薄膜半導體元件。

在前述第一 b 圖中，使用準分子雷射照射作為照射機構是較佳的。然而，除了準分子雷射之外的照射機構，例如，脈衝氬雷射或 YAG 雷射都可以被使用。

為了得到一薄膜半導體層，其中單結晶的半導體晶粒係藉由能量光束之照射，依照例如是矩陣-陣列型結構模式的規則排列模式而被排列，該照射的實施應該是依照能量強度分佈模式為其中該照射能量強度在二維方向上連續地變化在每一預定間隔之最大值以及最小值之間，並且最大點與最小點係一個接著另一個次序出現。換言之，該照射應該被實施以使得可得最大照射強度之照射點以及可得最小照射強度之照射點依照例如是矩陣-陣列型結構模式的規

則結構被排列。

舉例來說，如在第二、三與七圖所顯示，該照射被實施在該強度分佈模式，其中照射能量係二維地(在 x 、 y 兩方向上)重複此改變為“最大值($E_{\max}$)→最小值($E_{\min}$)→最大值($E_{\max}$)”，在一個 5×5 毫米之矩形區域內，在每隔 10 微米之間隔下。該所述的照射能量強度之改變可以藉由利用相移遮罩帶來該照射能量強度分佈之變化來實現。並且所期望的是，在該最大值以及最小值之間的變化之模式為一連續的變化，實質如同第三圖所顯示者。

決定該最大值以及最小值之程度到多少值可以是根據該非結晶半導體層之膜厚度以及該第一及第二控制層之膜厚度與熱傳導性。舉例來說，最小能量強度可以被決定為一在該照射期間內帶來不熔化該薄膜半導體的溫度之強度，並且該最大值可以被決定為在該照射期間內必須且充分的熔化該薄膜半導體之強度。一個熔化的臨界位準(E_{mth})應該存在於該最大值($E_{\max}$)與最小值($E_{\min}$)之間，如同在第三圖中所顯示者。

當然，該照射光束之表面形狀不限於如前所提出之一個 5×5 毫米之正方形，而是可以為各種多邊形。此外，最大值點以及最小值點之排列模式不限於該長方形格子模式，而是可以為各種形式模式，例如，三角形格子之模式。

藉由實施能量光束之照射至該薄膜半導體上，照射該最小能量強度(亦即，該強度小於熔化的臨界位準)之區域不完全熔化，並且因此，晶核係首先形成在此區域內。然後

，晶體開始依照朝向 $E_{\max}$ 之二維方向成長，如在第四圖中藉由箭頭提及所示。再另一方面，在其中溫度變為最高的最大能量強度點之區域內以及在變為晶體成長之區域內係產生較小的尺寸或細微尺寸的晶體或大尺寸晶體之邊界之形成，此係由於具有不同之增長方向的長晶之相互干擾。因此於是，一薄膜半導體之基板片可以被得到，該基板片包含複數個單結晶性半導體，其形成於靠近該熔化的臨界點之區域，並且每一點擁有一晶體超過 4 微米之尺寸(參考第四圖)。

該單晶體之尺寸可以藉由改變照射能量之最大點之間的時間隔來調整之。舉例來說，當該 308 奈米之 XeCl 準分子雷射之照射是藉由使得於最大強度點之間的時間隔為 12 微米被實施時，其中接近 5 微米尺寸之單晶體晶粒被規則地排列的薄膜半導體之基板片可以被得到。所期望的是，作為將被用於本發明之薄膜半導體元件的基板片，在該基板片中每一單晶體晶粒之尺寸是不小於 2 微米。

然後，在藉由如同上述方法所得到之薄膜半導體基板片中之每一單晶體晶粒上，例如是鉬-鎢合金(MoW)的電極材料係以一適當的厚度(例如，300 奈米)沈積，藉此形成一閘極電極。然後，在使用閘極電極當作植入遮罩來分別形成一源極區域以及一汲極區域之後，一覆蓋閘極電極之具有例如是矽氧化物的絕緣材料之絕緣中間層係被形成。此外，在藉由鑿穿過第二控制層在源極區域以及汲極區域上方之位置來形成接點孔洞之後，例如鋁/鉬的電極材料係被

沈積以及形成圖樣在該接點孔洞內。

因此，如在第五 a 與 b 圖所示，其中在每一單晶體中之一單元電子電路被規則地排列的薄膜半導體元件可以得到。此種形式之薄膜半導體元件可以具有高遷移率(例如，超過 300 平方公分/伏特秒)，超過其中使用一包含多晶性半導體膜的基板片之傳統元件的遷移率。

省略為了一些單晶體的電極之設定或是為了一單晶體設定多數個單元電路是可能的。此外，雖然前述的敘述是在 N 通道形式之薄膜電晶體之製造上加以說明的，但是藉由做成部分遮罩並且一個接著另一個地摻雜雜質來應用本發明之技術至 CMOS 形式之電晶體是可能的。取代使用該第二控制層作為閘極絕緣體的是，藉由在形成該單晶體層之後的蝕刻，並且在去除部分處形成新的閘極絕緣層來免除該第二控制層也是可能的。當在相鄰電晶體之間有漏電流發生之可能性時，藉由在該結晶程序之前或之後使用蝕刻方法的“島分隔”可以被實施。

實例

由康寧玻璃工廠所製造之無鹼玻璃片被製備作為基體層，其具有外在尺寸 400×500 毫米、0.7 毫米的厚度以及 650℃ 的應變點。在該基體層之表面，該為了調整熱傳導以及結晶之 200 奈米厚之第一控制層係藉由用電漿化學氣相沈積方法來沈積矽氧化物(SiO_2)所形成的。在該第一控制層之上，一擁有 50 奈米厚度之非晶性矽層係被沈積，此外，該擁有 200 奈米厚度之矽氧化物之第二控制層係被沈積於

該非晶性矽層之上。這些藉由材料之沈積的層之形成係在不暴露於空氣之條件之下連續地被實施。

其次，在回火以及乾燥該非晶性矽層之後，藉由從上方的 308 奈米之脈衝準雷射光束之照射以結晶之。

該照射是藉由使用準雷射光束之單元加以實施的，其中光束面係被形成為 5×5 毫米之長方形之形狀並且藉由利用一相移遮罩來在其中得到強度分佈。該強度分佈之模式為 25 萬個最大值點依照方格之形式以 10 微米間隔排成陣列在 5×5 毫米之長方形內。該熔化的臨界值大約為 0.5 焦耳/平方公分，雷射光束強度之最大值以及最小值分別為 1.8 焦耳/平方公分以及 0.1 焦耳/平方公分。

該藉由上述模式之準分子雷射照射係被實施朝向將被照射的整個表面，其係藉由以 5 毫米間隔步進地移動照射之位置。

在完成照射之後，該照射樣品係藉由使用 SECCO 蝕刻方法來接受蝕刻處理法以及在該照射層內的結晶尺寸與晶粒邊界之形狀之觀察。由於藉由電子顯微鏡之觀察，確定得到一基板片其中幾乎 4 微米尺寸之單晶體之晶粒依照矩陣格子形式被排列。

接下來，在該第二控制層上，一鉬-鎢合金(MoW)層係以 300 奈米之厚度藉由濺鍍方法被沈積並且形成圖樣在對應於每一單晶體位置處，以形成閘極電極。然後，源極區域以及汲極區域藉由使用該閘極作為遮罩植入磷離子而形成，並且該中間層絕緣係藉由電漿化學氣相沈積方法來沈

肆、中文發明摘要

一種薄膜半導體元件以及一種製造其之方法係被敘述。在該元件之半導體之薄膜層中，複數個大尺寸半導體之單結晶的晶粒係依照一種規則的結構加以形成，並且每一單結晶的晶粒皆具備一擁有一閘極電極、一源極電極以及汲極電極之電子電路之單元。如此在半導體層中之大尺寸單結晶的晶粒之規則排列是藉由一包含一以例如準分子雷射的能量光束來照射該非晶性或多晶性半導體層之步驟的方法而被實現，使得最大照射強度點以及最小照射強度點被規則地排列。該元件可以具有例如是大約 500 平方公分/伏特秒的高遷移率。

伍、英文發明摘要

A thin film semiconductor device and a method for producing it are described. In the thin film layer of semiconductor of the device, a plurality of large size single-crystalline grains of semiconductor are formed in a regulated configuration, and each of single crystalline grains is equipped with one unit of electric circuit having a gate electrode, a source electrode and drain electrode. Such regulated arrangement of large size single-crystalline grains in the semiconductor layer is realized by a process including a step of irradiating the layer of amorphous or polycrystalline semiconductor with energy beam such as excimer laser so that maximum irradiation intensity points and minimum irradiation intensity points are

arranged regulatedly. The device can have a high mobility such as about $500\text{cm}^2/\text{V sec}..$

陸、(一)、本案指定代表圖爲：第 五 圖

(二)、本代表圖之元件代表符號簡單說明：

無。

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

1.一種用於薄膜半導體元件之基板片，其係包含：

一絕緣材料之基體層、一形成於該基體層上之半導體薄膜層、以及形成於該半導體薄膜層之內之複數個單結晶的半導體晶粒，該複數個單結晶的半導體晶粒係在該半導體薄膜層中以一種矩陣-陣列型結構被排列。

2.如申請專利範圍第 1 項之用於薄膜半導體元件之基板片，其中該單結晶的半導體晶粒之晶粒尺寸為至少 2 微米。

3.如申請專利第 1 項或第 2 項之用於薄膜半導體元件之基板片，其中用於熱傳導以及結晶之一控制層係在該基體層與半導體薄膜層之間形成。

4.一種薄膜半導體元件包含，其係包含：一絕緣材料之基體層、一形成於該基體層上之半導體薄膜層、以及形成於該半導體薄膜層之內之複數個單結晶的半導體晶粒，該複數個單結晶的半導體晶粒係以一種矩陣-陣列型結構排列，並且每一該單結晶的半導體晶粒皆具備一電子電路，該電子電路係具有一閘極電極、一源極電極以及一汲極電極。

5.一種用於製造一薄膜半導體元件之基板片之方法，其係包含以下步驟：

(a)在一絕緣材料之基體層上形成一非晶性半導體之薄膜半導體層，並且

(b)藉由以能量光束照射該非晶性半導體以結晶該非晶性半

導體以產生複數個單結晶的半導體晶粒，該照射係被實施使得可得最大照射強度之照射點與可得最小照射強度之照射點係依照一種矩陣-陣列型結構被排列。

6.如申請專利範圍第 5 項之用於一製造一薄膜半導體元件之基板片之方法，其中該最大照射強度為具有足夠熔化該非晶性半導體之高數值，並且該最小照射強度為具有不能造成該非晶性半導體熔化之低數值。

7.如申請專利範圍第 5 項之用於一製造一薄膜半導體元件之基板片之方法，其中在該最大值與最小值之間的照射強度之變化為連續的。

8.如申請專利範圍第 5 項之用於一製造一薄膜半導體元件之基板片之方法，其中準分子雷射光束係被用來作為該能量光束。

9.一種用於製造一薄膜半導體元件之基板片之方法，其係包含下列步驟：

(a)在一絕緣材料之基體層上形成一多晶性半導體之薄膜半導體層，並且

(b)藉由以能量光束照射該多晶性半導體來再結晶該多晶性半導體以產生複數個單結晶的半導體晶粒，該等晶粒係具有至少 2 微米之晶粒尺寸，該照射係被實施使得可得最大照射強度之照射點與可得最小照射強度之照射點係依照一種矩陣-陣列型結構被排列。

10.如申請專利範圍第 9 項之用於製造一薄膜半導體元件之基板片之方法，其中該最大照射強度為具有一足夠熔

化該多晶性半導體之高數值，並且該最小照射強度為具有一不能造成該多晶性半導體熔化之低數值。

11.如申請專利範圍第 9 項之用於製造一薄膜半導體元件之基板片之方法，其中介於該最大值以及最小值之間的照射強度之變化為連續的。

12.如申請專利範圍第 9、10 或 11 項之用於製造一薄膜半導體元件之基板片之方法，其中準分子雷射光束係被用來作為該能量光束。

13.一種用於製造一薄膜半導體元件之方法，其係包含以下步驟：

- (a)在一絕緣材料之基體層上形成一非晶性半導體之薄膜半導體層，
- (b)藉由以能量光束照射該非晶性半導體來結晶該非晶性半導體以產生複數個單結晶的半導體顆粒，該照射係被實施使得可得最大照射強度之照射點與可得最小照射強度之照射點係依照一種矩陣-陣列型結構被排列，
- (c)在該薄膜半導體層中之每一所述單結晶的晶粒上形成一閘極電極，該等晶粒係已藉由所述步驟(b)被產生，並且
- (d)藉由在其中形成一源極電極與一汲極電極已在每一所述單結晶的半導體晶粒中製造一電子電路。

14.如申請專利範圍第 13 項之用於製造一薄膜半導體元件之方法，其中該最大照射強度為具有一足夠熔化該非晶性半導體之高數值，並且該最小照射強度為具有一不能造成該非晶性半導體熔化之低數值。

15.如申請專利範圍第 13 項之用於製造一薄膜半導體元件之方法，其中介於該最大值以及最小值之間的照射強度之變化為連續的。

16.如申請專利範圍第 13、14 或 15 項之用於製造一薄膜半導體元件之方法，其中準分子雷射光束係被用來作為該能量光束。

17.一種用於製造一薄膜半導體元件之方法，其係包含以下步驟：

(a)在一絕緣材料之基體層上形成一多晶性半導體之薄膜半導體層，

(b)藉由以能量光束來照射該多晶性半導體以結晶該多晶性半導體，以產生具有至少 2 微米之晶粒大小之複數個單結晶的半導體晶粒，該照射係被實施使得可得最大照射強度之照射點與可得最小照射強度之照射點係依照一種矩陣-陣列型結構被排列，

(c)在該薄膜半導體層中之每一單結晶的晶粒上形成一閘極電極，該等晶粒係已藉由所述步驟(b)被產生，並且

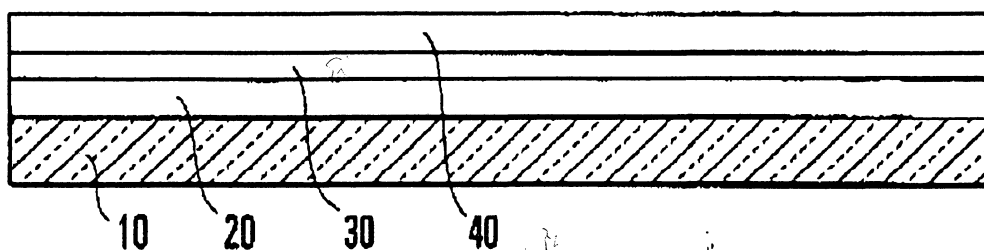
(d)藉由在其中形成一源極電極以及一汲極電極以在每一所述單結晶的半導體晶粒中製造一電子電路。

18.如申請專利範圍第 17 項之用於製造一薄膜半導體元件之方法，其中該最大照射強度為具有一足夠熔化該多晶性半導體之高數值，並且該最小照射強度為具有一不能造成該多晶性半導體熔化之低數值。

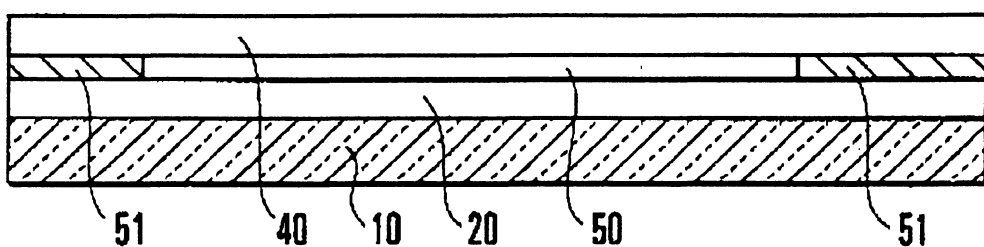
19.如申請專利範圍第 17 項之用於製造一薄膜半導體元

件之方法，其中介於該最大值以及最小值之間的照射強度之變化為連續的。

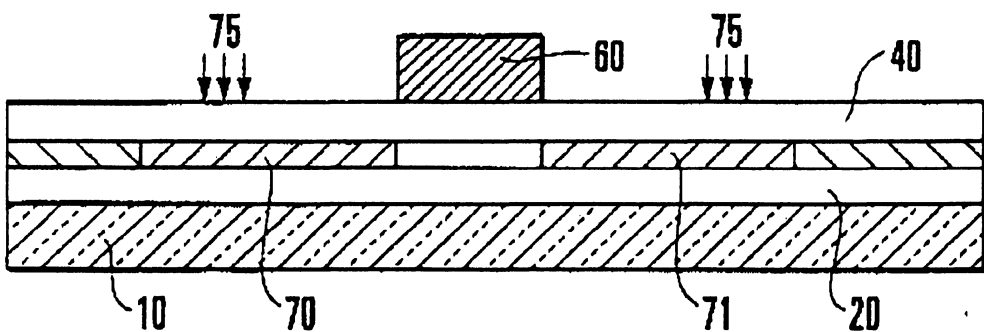
20.如申請專利範圍第 17、18 或 19 項之用於製造一薄膜半導體元件之方法，其中準分子雷射光束係被用來作為該能量光束。



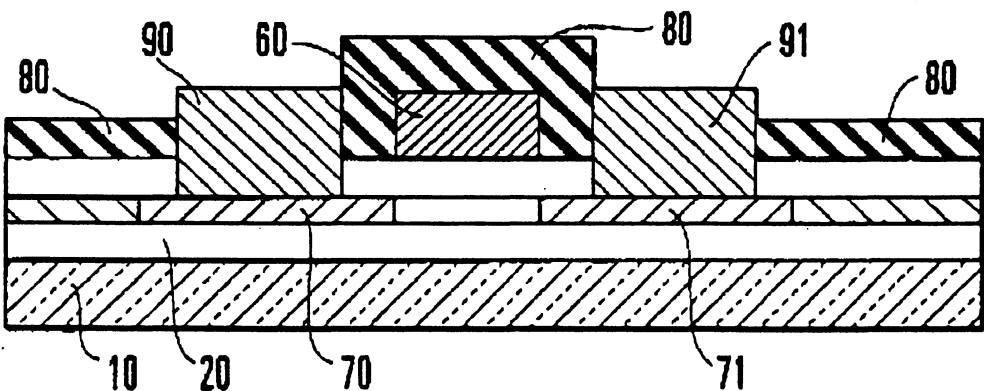
第一a圖



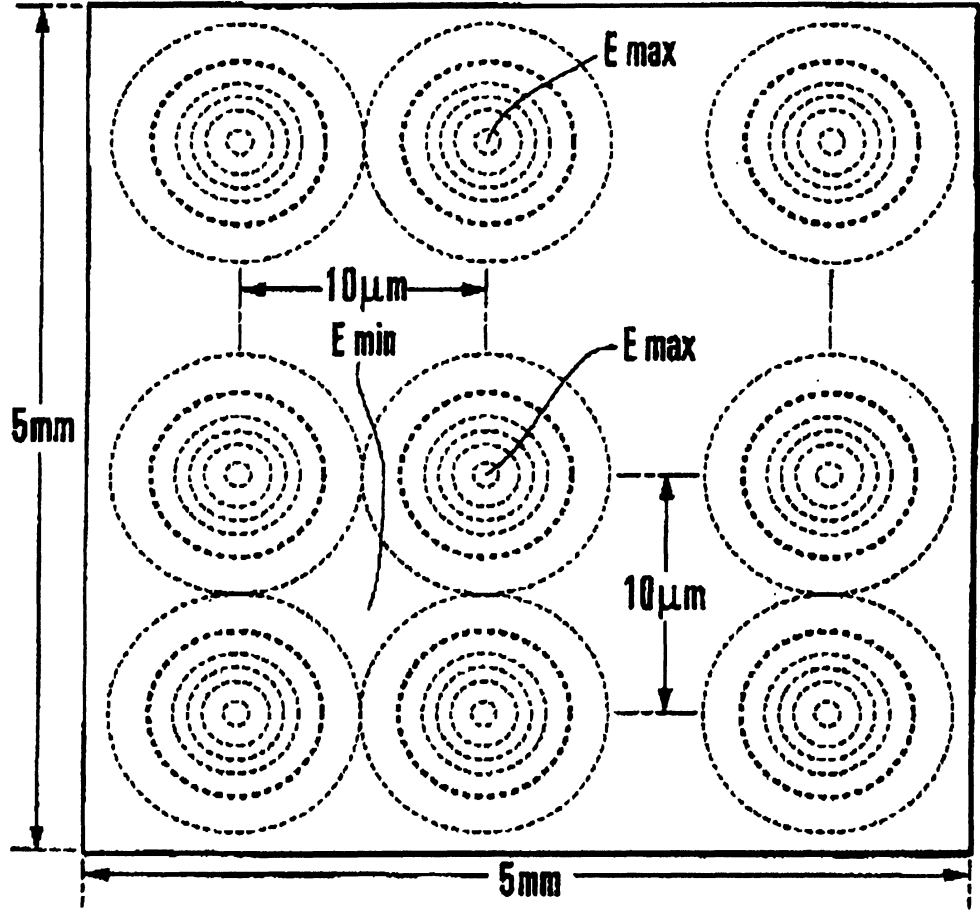
第一b圖



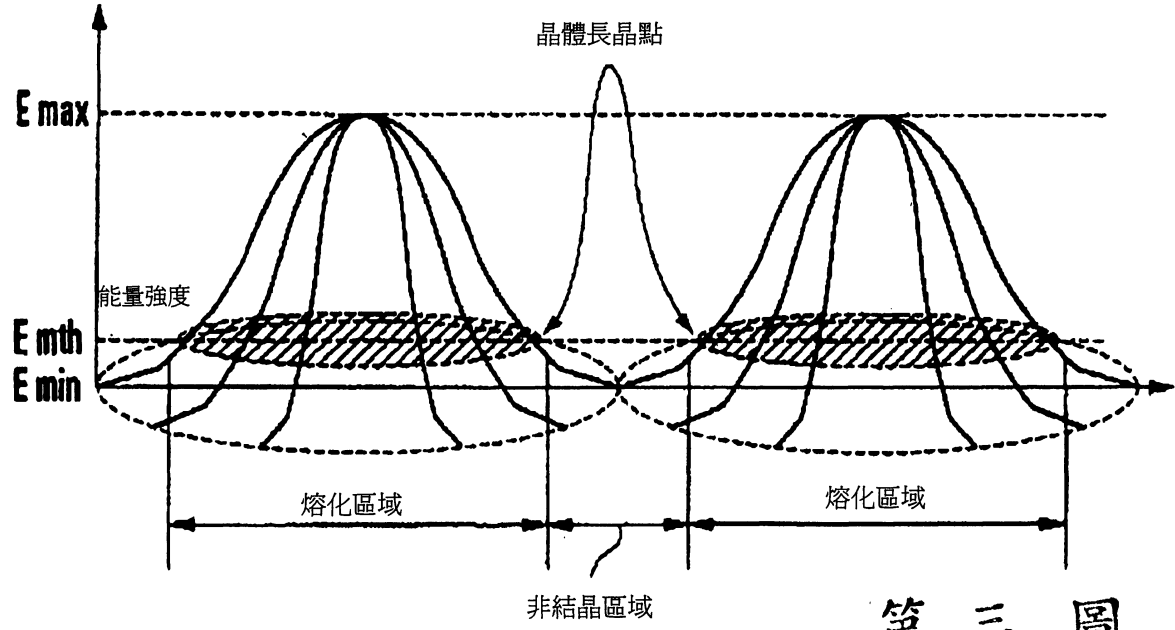
第一c圖



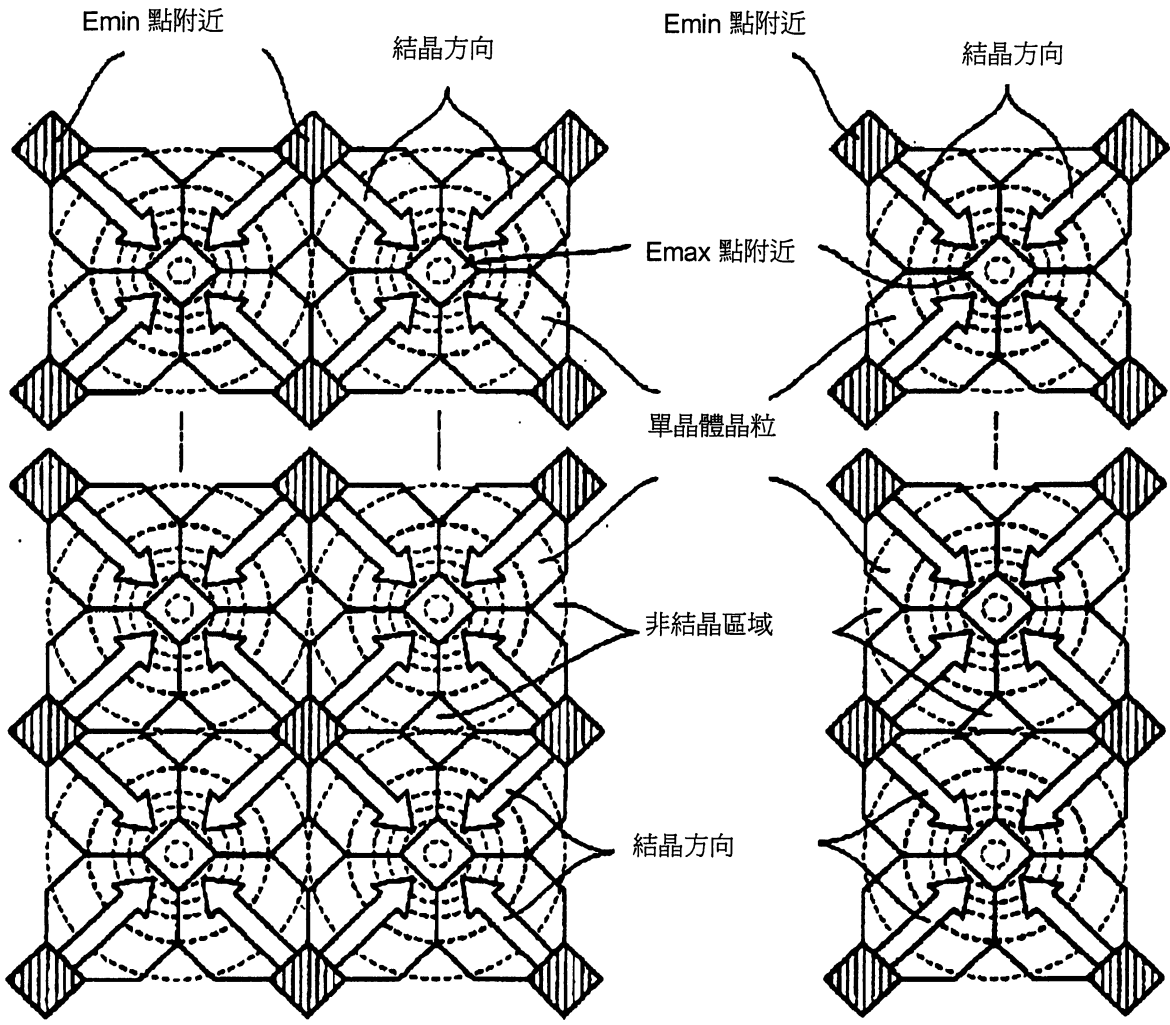
第一d圖



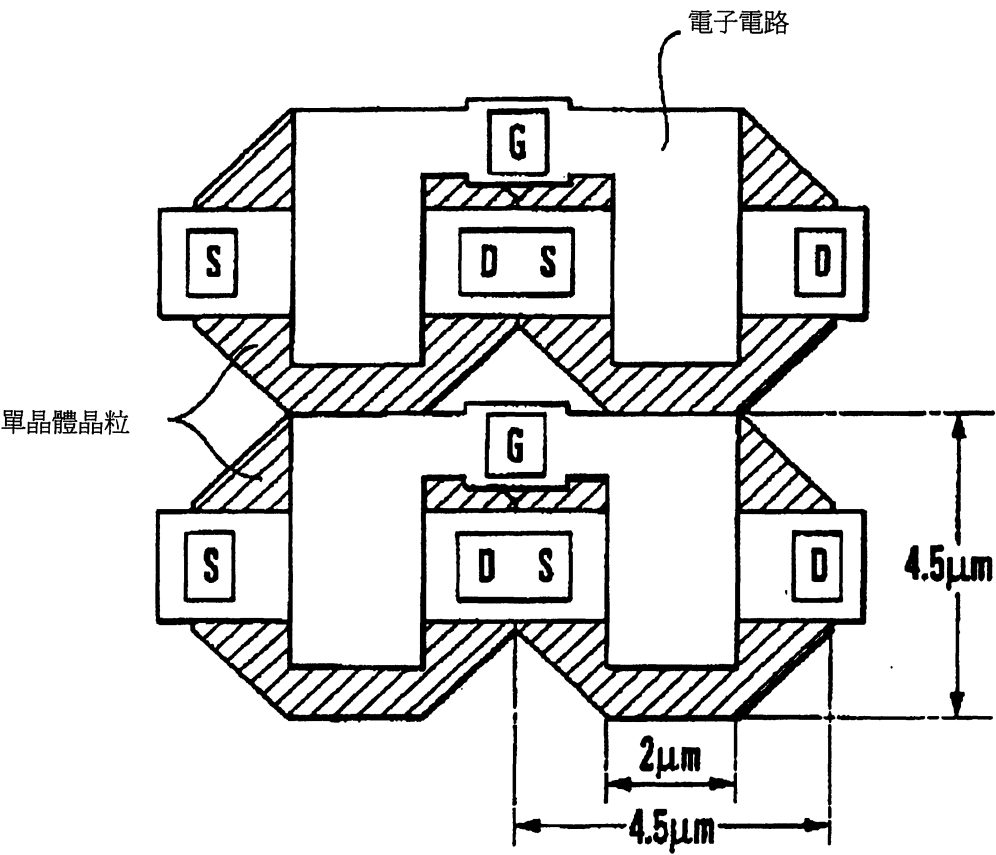
第二圖



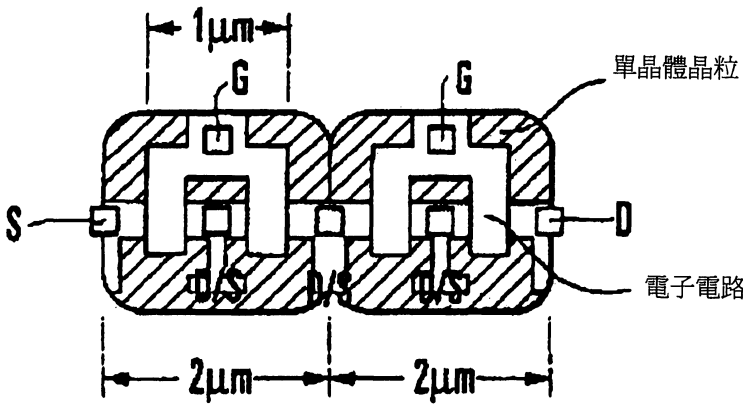
第三圖



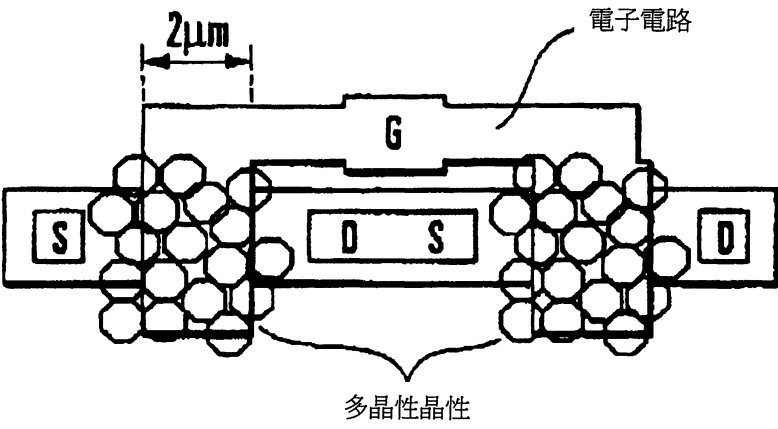
第 四 圖



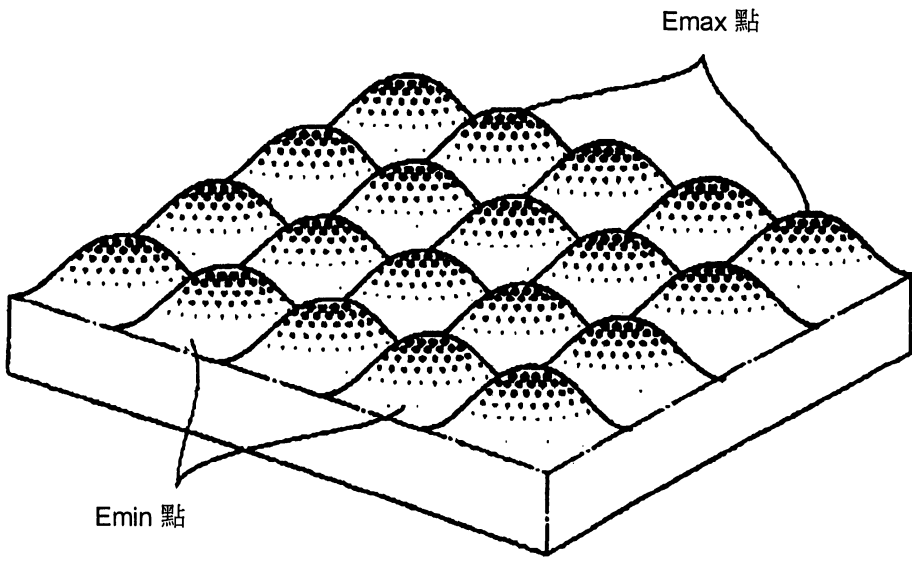
第五 a 圖



第五 b 圖



第六圖



第七圖

積矽氧化物以形成。此外，接點孔洞被鑿穿在該第二控制層以及層間絕緣內，並且藉由在接點孔洞中形成鋁薄膜，以完成薄膜半導體元件。已被確認此元件呈現 496 平方公分/伏特秒之平均遷移率。

【圖式簡單說明】

（一）圖式部分

第一圖為顯示根據用於製造一薄膜半導體元件之本發明之方法之一實施例之步驟的圖樣圖式，亦即：

第一 a 圖係顯示沉積第一控制層在一基體層 10 上的第一步驟，

第一 b 圖係顯示藉由能量光束之照射來被改變上述層 10 之第二步驟，

第一 c 圖係顯示形成閘極電極 60、源極區域 70 以及汲極區域 71 之第三步驟，並且

第一 d 圖係顯示藉由形成閘極絕緣層 80、源極電極 90 以及汲極電極 91 以完成該半導體元件之最終步驟。

第二圖為以二維方向說明在根據本發明的方法之照射步驟中之分佈狀態能量光束強度的一個實施例之圖樣圖式。

第三圖為說明在根據本發明的方法中，在最大值與最小值間之能量光束強度變化輪廓之圖樣圖式。

第四圖為說明在根據本發明的方法中，單晶性晶粒在完成能量光束之照射後之對齊狀態的圖樣圖式。

第五圖為說明在本發明之薄膜半導體元件中，擁有結

晶晶粒之電極之位置的關係之實施例的圖樣圖式，亦即：

第五 a 圖係顯示其中一個閘極電極係被配置給兩個結晶晶粒之模式，

第五 b 圖係顯示其中一個閘極電極係被配置給每一單結晶晶粒之另一種模式。

第六圖為說明在薄膜半導體元件中，擁有結晶晶粒之電極位置的關係之圖樣圖式。

第七圖為以三維模型圖樣來說明最大強度照射點及最小強度照射點，例如是第二至四圖中所提之結構圖樣之圖樣圖式。

（二）元件代表符號

- 10 基體層
- 20 第一控制層
- 30 非單結晶層
- 40 第二控制層
- 50 單結晶的區域
- 51 非單結晶區域
- 60 閘極電極
- 70 源極區域
- 71 汲極區域
- 75 施體雜質
- 80 絕緣層
- 90 源極電極
- 91 汲極電極