



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I545860 B

(45)公告日：中華民國 105 (2016) 年 08 月 11 日

(21)申請案號：101103129

(22)申請日：中華民國 101 (2012) 年 01 月 31 日

(51)Int. Cl. : **H01R33/76 (2006.01)**

(30)優先權：2011/02/01 日本

2011-019951

(71)申請人：3 M新設資產公司 (美國) 3M INNOVATIVE PROPERTIES COMPANY (US)
美國

(72)發明人：川手良尚 KAWATE, YOSHIHISA (JP)；椿裕一 TSUBAKI, YUICHI (JP)

(74)代理人：陳長文

(56)參考文獻：

EP 1041631A2

US 2004/145877A1

審查人員：成維華

申請專利範圍項數：4 項 圖式數：12 共 37 頁

(54)名稱

用於積體電路裝置之插座

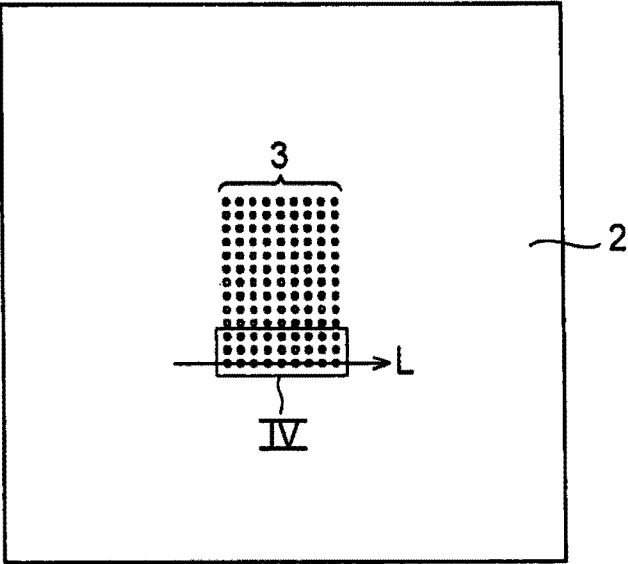
SOCKET FOR IC DEVICE

(57)摘要

本發明係關於一種配備可有效抑制歸因於一 IC 裝置之更低電壓及更高速度之電源之不穩定之一結構之 IC 裝置插座。該 IC 裝置插座(1)包含經配置以在由絕緣材料組成之一基底材料(21)之一第一表面(26)與第二表面(27)之間之一空間中組態一電容器之一介電層；及形成在該介電層之兩側上之一電力層(2104)及一 GND 層(2201)。至少由該電力層(2103)及該 GND 層(2201)之中之該電力層(2103)之一最外周邊界定之一表面積設定為小於由該第一表面(26)之一最外周邊所界定之一表面積，且藉由改變如從該第一表面(26)朝向該第二表面(27)觀看時該電力層(2103)與該 GND 層重疊之一部分(AR)之表面積而控制該電力層(2103)與該 GND 層(2201)之間之電容。

The present invention relates to an IC device socket equipped with a structure that can effectively suppress instability of a power supply due to decreased voltages and higher speeds of an IC device. The IC device socket (1) includes a dielectric layer arranged so as to configure a capacitor in a space between a first surface (26) and a second surface (27) of a base material (21) composed of insulating materials, and a power layer (2104) and a GND layer (2201) formed on both sides of the dielectric layer. A surface area defined by an outermost perimeter of at least the power layer (2103) among the power layer (2103) and the GND layer (2201) is set to be smaller than a surface area defined by an outermost perimeter of the first surface (26), and a capacitance between the power layer (2103) and the GND layer (2201) is controlled by changing the surface area of a portion (AR) in which the power layer (2103) and the GND layer overlap as seen from the first surface (26) toward the second surface (27).

指定代表圖：



符號簡單說明：

- 2 . . . 基板
- 3 . . . 導電接觸引腳
- L . . . 箭頭
- IV . . . 部分

圖 3

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101103129

※申請日：101.1.31

※IPC 分類：H01L

H01R 33/76 (2006.01)

一、發明名稱：(中文/英文)

用於積體電路裝置之插座

SOCKET FOR IC DEVICE

二、中文發明摘要：

本發明係關於一種配備可有效抑制歸因於一IC裝置之更低電壓及更高速度之電源之不穩定之一結構之IC裝置插座。該IC裝置插座(1)包含經配置以在由絕緣材料組成之一基底材料(21)之一第一表面(26)與第二表面(27)之間之一空間中組態一電容器之一介電層；及形成在該介電層之兩側上之一電力層(2104)及一GND層(2201)。至少由該電力層(2103)及該GND層(2201)之中之該電力層(2103)之一最外周邊界定之一表面積設定為小於由該第一表面(26)之一最外周邊所界定之一表面積，且藉由改變如從該第一表面(26)朝向該第二表面(27)觀看時該電力層(2103)與該GND層重疊之一部分(AR)之表面積而控制該電力層(2103)與該GND層(2201)之間之電容。

三、英文發明摘要：

The present invention relates to an IC device socket equipped with a structure that can effectively suppress instability of a power supply due to decreased voltages and higher speeds of an IC device. The IC device socket (1) includes a dielectric layer arranged so as to configure a capacitor in a space between a first surface (26) and a second surface (27) of a base material (21) composed of insulating materials, and a power layer (2104) and a GND layer (2201) formed on both sides of the dielectric layer. A surface area defined by an outermost perimeter of at least the power layer (2103) among the power layer (2103) and the GND layer (2201) is set to be smaller than a surface area defined by an outermost perimeter of the first surface (26), and a capacitance between the power layer (2103) and the GND layer (2201) is controlled by changing the surface area of a portion (AR) in which the power layer (2103) and the GND layer overlap as seen from the first surface (26) toward the second surface (27).

四、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

2	基板
3	導電接觸引腳
L	箭頭
IV	部分

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於用於檢測CPU、記憶體及其他類型之半導體積體電路(下文稱作「IC」)之IC裝置之插座且特定言之係關於配備用於半導體封裝測試之電容器功能之IC裝置插座。

【先前技術】

當進行用於評估球柵陣列(BGA)裝置及其他IC裝置的信號傳輸性質及類似性質之測試時，使用具有可各電連接至IC裝置之端子之接觸件的插座(下文稱作「IC裝置插座」)。近來，伴隨處理速度的加快，IC裝置所處理的信號易成為高頻波信號。期望IC裝置插座能夠傳輸對應於此等信號之更高速度之高速信號。此外，IC裝置之電源之操作電壓繼續降低以減小電氣設備的電力消耗。因此，存在為IC裝置提供穩定電源使得IC裝置能夠在高速下穩定運作的需要。提供穩定的電源變得越來越重要，但是亦歸因於IC裝置更快的速度及更低的電壓而更困難。

遍及高頻區控制電源及接地之阻抗對於在高速IC裝置運作期間實現穩定電源很重要。需針對IC裝置插座降低此一IC裝置插座中所包含的導電接觸引腳之自感。因此，厚且短的導電接觸引腳通常被視作較佳。

國際公開案第2005-006003號揭示對應於專用於高速信號傳輸之IC裝置插座之另一方法。如國際公開案第2005-006003號所揭示，「根據本發明的LSI插座101由三個組件

組成：印刷板102、彈簧引腳103及彈簧引腳支撐外殼部分104。印刷板102具有複數個通孔109，被施加不同電壓值之一第一電源引腳105及一第二電源引腳106、一GND引腳107及被用作信號引腳108之彈簧引腳103各插入該複數個通孔109，在除信號引腳108所穿過之通孔109外之所有通孔109之內表面中形成電鍍層116。」

如日本未審查專利申請公開案第2009-85948號所揭示，「通常，電源探測裝置之電容器安裝在接線圖案上，盡可能地電靠近偵測插座底側之接線基板上方之裝置」及「晶片電容器必須安裝在所偵測之裝置正下方之位置及偵測插座之上半部分。」

先前技術文件

專利文件

[專利參考案1]國際公開案第2005-006003號

[專利參考案2]日本未審查專利申請公開案第2009-85948號

發明者根據研究習知IC裝置插座之結果發現下列問題。具體言之，上述導電接觸引腳較佳製作成厚且短。但是，導電接觸引腳之厚度必定受限於IC裝置端子之間之間距之變窄。同時，當導電接觸引腳重複使用時，其等之穩定性降低，且因此其等通常歸因於導電接觸引腳之高成本而根據需要被更換。因此，在更換導電接觸引腳時，考慮到可工作性，導電接觸引腳需具有特定長度或更長。此外，當將彈簧探針用作導電接觸引腳時，若探針長度短，則針軸之運作長度變短，且若基板或半導體封裝不平坦，則無法

保證IC裝置端子與此等彈簧探針之間的有利接觸狀態。

或者，歸因於由將電容器直接連接至安裝在IC裝置插座或IC裝置插座外殼中之導電接觸引腳電源引腳及接地引腳所導致之信號引腳電感之阻抗增大藉由電容器之電容復原，因此降低阻抗。但是，當電容器直接連接至導電接觸引腳或IC裝置插座外殼時，IC裝置插座所佔據的體積增大。在此情況中，擔心這可能干擾IC裝置插座之導電接觸引腳之高密度型樣之配置。即使電容器可靠近IC裝置插座之基板或外殼配置並連接，電容器仍僅可配置及連接在距離導電接觸引腳數毫米的位置上。在此情況中，擔心電容器效果可能歸因於由至電容器之接線之長度所導致之自電感而無法生效。

本發明具有解決上述問題之基本結構。具體言之，本發明配備一種結構，其容許透過提供在插座側上之特性實現IC裝置之穩定運作，而在更換導電接觸引腳時不會導致可工作性之降低。

近來，伴隨更低電壓及更高速度之IC裝置諸如LSI裝置及類似裝置，電源之穩定性對於實現IC裝置之穩定運作日益重要(在低電壓驅動IC裝置中，使用電力分佈網路(下文稱作PDN)降低阻抗很重要且在高速運作IC裝置中，需要高頻率下PDN之低阻抗)。為了以此方式實現IC裝置之適當運作，PDN之低阻抗很關鍵且PDN中之電源路徑及接地路徑之阻抗需有效降低。上述PDN由檢測裝置之一電路基板(接線及類似物)、一IC裝置封裝或類似物及配置在IC裝

置與電路基板之間之一IC裝置插座之電路元件組成。舉例而言，在本發明之基本結構中，一電力層及一接地層透過絕緣材料嵌入一插座基板內使得如遍及整個PDN所見之電源路徑及接地路徑之阻抗歸因於電源及接地層中之電容器功能而降至特定程度。

相反地，電源路徑及接地路徑之各阻抗之頻率回應可視作組成上述PDN之電路元件之頻率回應。具體言之，由於導體表現為電感且兩個導體(諸如電力層與接地層)之間之關係視作電容及互感，故PDN表現為由複數個電感、電容及電阻組成之一電路。因此，PDN中之電源路徑及接地路徑之電感展現頻率依賴性且可能發生來自由共振及反共振導致之特徵頻率之總PDN電感之增大。當PDN電感以此方式增大時，歸因於電源穩定性的損失，電源之小心控制變得重要。

本發明係形成以解決上述問題，且本發明之目的係提供一種IC裝置插座，其配備可有效抑制歸因於更低電壓及更高速度之IC裝置之電源之不穩定之一結構。

【發明內容】

為解決上述問題，根據本發明之IC裝置插座包含一基板及複數個導電接觸引腳。基板包含一第一表面、面向第一表面之一第二表面及各與第一表面及第二表面連通且各在其內表面上具有導電材料之複數個通孔。複數個導電接觸引腳由基板固持為導電接觸引腳之一些插入複數個通孔之任意者之狀態。基板包含一基底材料、一介電層、一第一

導電層及一第二導電層。基底材料包含第一表面、第二表面及複數個通孔。介電層以與複數個通孔交叉之狀態提供在基底材料之第一表面與第二表面之間且具有高於基底材料之介電常數。基底材料之第一導電層及第二導電層沿著從基板之第一表面朝向第二表面之方向夾著介電層。

根據本申請案之IC裝置插座由組成電容器之介電層及導電層及嵌入介電層及導電層之基底材料形成為大致整合基板。因此，導電接觸引腳與電容器之間之距離極小，且因此此一IC裝置插座之效能可改良。此外，導電接觸引腳藉由壓配合至基底材料中而固持。基底材料用作導電接觸引腳之支撐，因此免除對支撐導電接觸引腳之另一組件之需要。

根據本發明之IC裝置插座之特定特徵係由第一導電層或第二導電層之至少一者之最外周邊所界定之表面積小於由第一表面之最外周邊所界定之表面積。

此複數個導電接觸引腳包含複數個第一導電接觸引腳及具有與複數個第一導電接觸引腳不同之連接狀態之複數個第二導電接觸引腳。具體言之，複數個第一導電接觸引腳插入複數個通孔之任意者以製作與對應於該等群組之導電材料之接觸。複數個第二導電接觸引腳插入複數個通孔之任意者但保持與第一導電層或第二導電層無接觸之狀態。此無接觸狀態指的是與對應於引腳之導電材料無接觸或指的是相應導電材料處於與第一導電層及第二導電層無接觸之狀態。在此情況中，第一導電層經由相應導電材料電連

接至複數個第一導電接觸引腳之任意者。相反地，第二導電層經由相應導電材料電連接至除連接至第一導電層之第一導電接觸引腳以外之複數個第一導電接觸引腳之任意者。

根據本發明之IC裝置插座之上述複數個第一導電接觸引腳被劃分為僅電連接至第一導電層之第一群組(例如，電源引腳群組)及僅電連接至第二導電層之第二群組(例如，接地引腳群組)。此外，未電連接至第一導電層或第二導電層之複數個第二導電接觸引腳用作信號引腳。

注意第一導電層或第二導電層之至少一者之最外周邊較佳定位為根據本發明之IC裝置插座中之基板(或基底材料)之第一表面之最外周邊以內不小於25 μm 。

根據本發明之IC裝置插座具有一可更換結構作為一PDN電路元件且展現在固持複數個導電引腳之基板內自由調節之電容。可藉以此方式併入IC裝置插座作為一PDN電路元件而有效抑制伴隨低電壓高速IC裝置之電源不穩定。

【實施方式】

下文將參考圖1至圖12描述根據本發明之IC裝置插座之實施例。在各圖式中，相同元件符號指定相同或類似元件且重複描述省略。

本文將參考圖1至圖4詳細描述根據本實施例之IC裝置插座之基本結構。

圖1係根據本發明之IC裝置插座之一第一實施例之一結構之一透視圖。圖2繪示沿著線II-II之圖1所示之IC裝置插

座之一截面圖。圖3係圖1所示之IC裝置插座1之一基板2之一結構之一平面圖。圖3中的箭頭L大致匹配圖2中的線II-II。一IC裝置插座1包含基板2、藉由壓配合或類似方法固持在基板2中之複數個導電接觸引腳3及支撐基板2之一導向體4。導向體4包含用於將一待檢IC裝置(未繪示)配置在基板2上之特定位置之一導向部或導向壁41且進一步包含用於將IC裝置插座1配置在用於檢測IC裝置之一檢測裝置(未繪示)中之特定位置之一定位單元(本實施例中圖2所示之一定位引腳42)。導向體4根據需要可併入IC裝置插座1。此外，基板2可具有一定位孔或凹口以與定位構件協作。

圖4係圖2所示之截面結構之一部分III之一放大圖。如圖4所示，基板2包含由介電質(諸如玻璃纖維環氧樹脂)組成之基底材料21及嵌入基底材料21之至少一(圖3中繪示四個作為實例)介電層22至25(第一至第四介電層)且銅及類似物質之導電層形成在介電層之上表面及下表面上。因此，介電層及導電層形成在其等之兩個表面上以協作組成一電容器。具體言之，藉由堆疊組成基底材料21、導電層及介電層之材料(基底材料之一部分)形成基板2。介電層之介電常數較佳係高以改良電容器之電容量。舉例而言，介電層22至25較佳由具有高於基底材料21之介電常數之高介電質組成。舉例而言，由3M製造的嵌入電容材料(ECM)可用作高介電質。ECM由形成為可撓片之介電材料製成。可使用用於製作印刷電路板之方法製作此類型之基板。

組成基板2之材料(即基底材料21材料)可包含紙取代玻璃纖維且可包含酚醛樹脂或聚醯胺樹脂取代環氧樹脂。亦可使用銀或金取代銅作為組成導電層之材料。介電層22至25可各包含聚合物。介電層22至25較佳各包含聚合物及複數個顆粒且特定言之藉由將樹脂與顆粒混合而製作。適用的樹脂包含環氧樹脂、聚醯胺、聚氟亞乙烯、氟基乙基支鏈澱粉、苯並環丁烯、聚降冰片烯、聚四氟乙烯、丙烯酸酯或其等之組合。顆粒包含介電(或絕緣)顆粒且代表性實例包含鈦酸鋇、鈦酸鋇鋁、氧化鈦、鋳鈦酸鉛或其等之組合。

介電層22至25之各者之厚度可為舉例而言 $0.5\ \mu\text{m}$ 或更大及 $100\ \mu\text{m}$ 或更小。介電層之厚度較佳較薄，舉例而言具有 $15\ \mu\text{m}$ 或更小或 $10\ \mu\text{m}$ 或更小之厚度，因電容器之靜電容量可改良。但是，從接合強度之觀點看介電層之厚度較佳為舉例而言 $1\ \mu\text{m}$ 或更大之厚度。

此外，介電質之相對介電常數較佳係高，例如10或更大或12或更大。雖然不存在對上限的特定限制，但是相對介電常數可為舉例而言100或更小、40或更小或20或更小。

有利地藉由使用具有針對介電層22至25之高介電常數之材料實現兩個鄰近電容器之間之小距離。當兩個電容器彼此鄰近時，在組成一電容器之電力層與組成另一鄰近電容器之接地層(下文稱作GND層)之間形成靜電容量。當使用導電層之間之高介電質以較佳形成靜電電容時，即使當形成一電容器之一介電層之間之距離與兩個鄰近電容器之間

的距離相同時，由一電容器所產生之靜電電容仍增大。可使鄰近電容器之間之距離相對較小，因此有利於製作薄基板2。

形成在介電層22至25之任一側上之導電層之一者由電連接至IC裝置插座1之電源引腳之一電力層組成且另一導電層組成電連接至IC裝置插座1之接地引腳(下文稱作GND引腳)之一GND層。具體言之，一第一電力層222形成在最靠近基板2之IC裝置側上之一表面26(圖2中之上表面)之第一介電層22之一上表面221上且一第一GND層224形成在下表面223上。類似地，一第二電力層232形成在定位在第一介電層22正下方之第二介電層23之一上表面231上且一第一GND層234形成在一下表面233上。此外，一第四電力層252形成在最靠近基板2之檢測裝置側上之一表面27(圖2中之下表面)之第四介電層25之一上表面251上且一第四GND層254形成在一下表面253上。類似地，一第三電力層242形成在定位在第四介電層25正上方之第三介電層24之一上表面241上且一第三GND層244形成在一下表面243上。圖4所示之基本結構繪示基板2之上表面26匹配基底材料21之上表面且基板2之下表面27匹配基底材料21之下表面。

第一電力層222具有與第三電力層242大致相同之電位且第二電力層232具有與第四電力層252大致相同之電位。類似地，第一GND層224具有與第三GND層244大致相同之電位且第二GND層234具有與第四GND層254大致相同之電位。

形成在基板2兩側上之介電層及導電層配置為遍及整個基板2。因此，可形成大致等於基板2之表面積之電容器之表面積。

導電接觸引腳3之各者在穿過基板2之上層26及下層27之大致垂直方向上穿透基板2。具體言之，在組成基板2之基底材料21以及形成在基板2兩側上之介電層及導電層中形成可插入導電接觸引腳3之通孔28。藉由在通孔28之內側表面上藉由電鍍或類似方法形成銅、金、銀或類似物之導電材料281。除作為信號引腳之導電接觸引腳3外，裝配至通孔28中的導電接觸引腳3之引腳主體31根據導電材料281至導電層之任一者之導電連接透過導電材料281導電連接至導電層之任意者。信號引腳之孔之內表面可以或可以不必要用導電材料281形成。

決定通孔28之尺寸以容許導電接觸引腳3固持在通孔中而不歸因於在將IC裝置插座1配置在檢測裝置基板上時所產生之安裝在導電接觸引腳3中之彈簧之反作用力而掉出。舉例而言，導電接觸引腳3之壓配合夾緊力較佳為0.1 N或更大。以在更換或維護導電接觸引腳3時可相當容易地移除導電接觸引腳3之此一方式決定通孔28之尺寸。此外，以在將導電接觸引腳3從基板2移除時通孔28之內表面上之導電材料281不脫落之此一方式決定通孔28之尺寸。舉例而言，導電接觸引腳3之壓配合夾緊力較佳不大於2.0 N。

導電接觸引腳3之各者包含藉由壓配合固持在基板2中之

大致圓柱形引腳主體31、可藉由從引腳主體31之一末端(圖3中之下端)突出而電接觸(即導電連接)檢測裝置(未繪示)之一第一接觸部32及可藉由從引腳主體31之另一末端(圖3中之上端)突出而電接觸(即導電連接)IC裝置(未繪示)之一第二接觸部33。雖然各種模式可用作導電接觸引腳3，但是所謂彈簧探針型(其中接觸部32與33兩者可藉由彈簧及類似物(未繪示)在引腳主體31之軸向上相對於引腳主體31移位)較佳。

導電接觸引腳3之引腳主體31之形狀較佳為圓柱形。當導電接觸引腳3以此方式成形時，導電接觸引腳3可容易地配置在通孔28之大致軸向上，因引腳主體31之外表面遍及寬表面積接觸通孔28。可實現電穩定連接，因導電材料281與導電接觸引腳3之接觸表面積增大。

導電接觸引腳3劃分為電連接至上述電力層之電源引腳群組、連接至GND層之GND引腳群組及不連接至該等層之任意者之信號引腳群組。舉例而言，如圖3所示，導電接觸引腳3b與3i各連接至第一電力層222與第三電力層242兩者以用作第一電源引腳。導電接觸引腳3c與3f各連接至第二電力層232與第四電力層252兩者以用作第二電源引腳。類似地，導電接觸引腳3a與3h各連接至第一GND層224與第三GND層244兩者以用作第一GND引腳。導電接觸引腳3d與3g各連接至第二GND層234與第四GND層254兩者以用作第二GND引腳。導電接觸引腳3e不連接至導電層之任意者且因此用作一信號引腳。

根據本基本結構，大致整合基板2由形成在其兩側上組成電容器之介電層及導電層及嵌入介電層及導電層之基底材料形成。因此，導電接觸引腳3與電容器之間之距離極小，且因此IC裝置插座1之效能可改良。此外，導電接觸引腳3藉由摩擦力固持(或較佳壓配合)在基板2中。因此，基板2充當導電接觸引腳3之支撐，因此免除對支撐導電接觸引腳3之另一組件之需要。具體言之，導電接觸引腳3大致僅藉由基板2固持及定位。此外，可藉由使用由高介電質組成之介電層達成基板2之進一步薄化。

如圖4所示，由被基板2之高介電質(介電層)與GND層夾著之電力層組成之電容器較佳提供在盡可能靠近基板2之上表面26及下表面27(其等各自匹配基底材料21之上表面及下表面)，即外側之位置上。如此的原因在於當基板2之導電層與外表面之間的距離小時可在IC裝置檢測期間達成所要的電源穩定性。更具體言之，基板2之上表面26與第一介電層22及第二介電層23之間之距離越小，受檢IC裝置之輸入靈敏度越大。因此，第一介電層22及第二介電層23較佳相對於基板2之上表面26與下表面27之間的中間點朝向上表面26側配置。此外，第三介電層24及第四介電層25較佳相對於基板2之上表面26與下表面27之間的中間點朝向下表面27側配置。在本基本結構中，基板2形成為大致整合物體，其中嵌入之介電層由被電力層與GND層夾著的高介電質組成。因此，可容易地實現電容器配置在基板2之外表面附近之結構，因此容許精確的IC裝置檢測。

具體言之，導電接觸引腳3大致僅由基板2固持。因此，電容器可配置在基板2中的任意位置上。此外，基板2在其中心附近之厚度方向上可進一步包含由形成在其兩側上之介電層及導電層組成之電容器。

從電特性及類似特性之觀點看，各導電接觸引腳3之長度較佳較短。但是，隨著導電接觸引腳3之長度變得更短，更換引腳時的操作及組裝變得更困難。相反地，根據本基本結構，即使在使用相對較長導電接觸引腳3時，仍無需考慮IC裝置插座1效能之降低，因為當歸因於基板2之結構及電容值之控制而在實際上使用較短彈簧引腳時可在所要頻率下或低於所要頻率達成對電特性之類似效果。

若引腳主體31之長度長於基板2之厚度，則導電接觸引腳3亦有效地變得更長，因此降低電特性。相反地，若引腳主體31之長度短於基板2之厚度使得引腳主體31之軸向末端定位為比導電層之任意者離基板中心更遠，則從導電接觸引腳3到達導電層之路徑變得複雜，因此降低IC裝置插座之效能。因此，導電接觸引腳3之引腳主體31之軸向長度較佳大約等於基板2之厚度。

此外，具有本發明之基本結構之上述IC裝置插座1包含舉例而言四個介電層22至25(電力層及GND層形成在介電層22至25之各者之兩側上)經由基底材料21之部分堆疊之一結構。根據本結構，在具有IC裝置插座1之一封裝內不同電源設定及不同接地設定可行，因為對於舉例而言第一電力層222及第二電力層232不同電位設定可行。

包含IC裝置插座1之PDN中之供電系統及接地路徑之阻抗可抑制到一程度，因為在基板2內部可藉由用電力層與GND層夾著介電層而實現電容器功能以在如上所述之本發明之基本結構中改良高頻率下之信號傳輸效率。但是，為了更有效地改良伴隨更低電壓及更高速度之IC裝置之電源之穩定性，根據本發明之IC裝置插座達成可藉由使用基板2內之電容器功能而實現之結構自由調節之電容值。具體言之，由於IC裝置插座具有可併入PDN充當IC裝置之電源供應之一結構，故IC裝置插座可用作用於控制整個PDN之阻抗之主元件。

舉例而言，當電容C直接連接時($\omega=2\pi f$ ，其中f係頻率)，由電感L及電阻R組成之阻抗係由方程式 $(R+j\omega L)$ 及方程式 $(R+j\omega L+1/(j\omega C))$ 給定。藉由添加電容C，一方面電容對阻抗之效果在低頻率下變得突出，且另一方面電感對阻抗之效果在高頻率下變得突出。如從上述方程式可見，由複數個電容C及複數個電感L組成之電路根據頻率顯示複雜表現。因此，藉由添加複數個不同電容值，可在寬範圍之頻率中控制阻抗。

習知地，當電容僅在低頻區中影響PDN之阻抗時，添加一個電容係足夠。但是，在高頻區中，需要更精確的控制以將阻抗值維持在所要位準或低於所要位準。

由於平行板電容器之電容由方程式 $\epsilon*(S/d)$ (其中S係表面積；d係導電板之間之距離且 ϵ 係介電常數)給定，故可藉由提供更寬表面積而達成更高電容值。但是可藉由更改表

面積而改變電容值以進行精確控制。

鑑於上述技術考慮，由夾著介電層之電力層或GND層之至少一者之最外周邊所界定之表面積設定為小於由基板2(或基底材料21)之上表面26(或下表面27)之最外周邊所界定之表面積從而可達成所要電容值。

為簡潔起見，在下文所述之實例中，一方面，與基板2之上表面26及下表面27相關之電力層具有相對於基板2之上表面26及下表面27相關之小的表面積且另一方面經由電力層及介電層組態電容器之GND層具有匹配基板2之上表面26及下表面27之表面積。

圖5描述一電力層之一表面積。圖5係對應於圖3所示之平面圖中之部分IV之一電力層2101之一部分之一結構之一平面圖。如圖5所示，電力層2101在對應於基板2中所提供之通孔28之位置上具有帶不同直徑之兩種類型之開口280a及280b。電力層2101中所提供之兩種類型之開口280a及280b配置在沿著圖5中之箭頭L1之方向上，箭頭L1匹配圖3中之線L。開口280a具有大致匹配通孔28之直徑之一直徑或更具體言之具有容許與通孔28及電力層2101之內表面上形成之導電材料281維持適當的電接觸之孔直徑。相反地，開口280b具有大於通孔28之直徑之一直徑或更具體言之具有例如比通孔28之直徑大大約50 μm 之孔直徑且可與通孔28及電力層2101之內表面上形成之導電材料281維持適當的電隔離狀態。

GND層亦具有一平坦形狀，該平坦形狀包括具有類似於

上述電力層2101之直徑之兩種類型之開口。

在圖5所示之實例中，電力層2101未如上述基本結構中所述配置在基板2之整個表面之上。具體言之，在GND層配置在整個基板2表面之上之圖5所示之實例中，藉由更改電力層2101之表面積調節當沿著從基板2之上表面26朝向下表面27之方向觀看時GND層與電力層2101重疊之一區域(組成電容器之區域)之表面積。具體言之，電力層2101之表面積界定為由指示電力層2101之最外周邊之實線S222所圍繞之區域之表面積。雖然開口280a及280b存在於實線222所圍繞之區域內，但是開口280a及280b之表面積所佔據之表面積不視作上文定義的電力層2101之表面積。

接下來，將參考圖6及圖7描述基板2上之電力層之配置之實例。在圖6所示之第一配置實例中，電力層2102之平坦形狀具有類似於基板2之形狀。但是，電力層2102之由其最外周邊所界定之表面積小於基板2之上表面26或下表面27之由其最外周邊(圖6中之實線)所界定之表面積。具體言之，電力層2102之最外周邊定位在基板2以內距離基板2之最外周邊(圖6中的虛線)不小於25 μm 。

當藉由高介電常數介電層被兩個導電層夾著之結構組態平行板電容器時，在兩個導電層之間之距離變得更小時可達成更高電容值。因此，採用導電層之間距離小之平行板電容器以容許電容值之寬範圍之更改。但是，在基板製作過程中，當使用銑床或模具機械形成基板之輪廓時，或使用鑽孔機在基板中鑽孔時，可能出現缺陷。具體言之，當

兩個導電層兩者之邊緣觸碰基板之外表面時，兩個導電層可能在基板形成過程中短路。作為對策，藉由將導電層之最外周邊偏移至基板之最外周邊以內而改良基板製作產率。此外，在基板製作過程中製作導電層之平坦形狀後，當藉由在介電層上熱擠壓導電層而形成電容器或當使用鑽孔機在基板中鑽孔時，可能出現其他缺陷。具體言之，完全移除夾著介電層之兩個導電層之間之位置偏差不可行。因此，將導電層之最外周邊設至基板之最外周邊以內不小於25 μm 或較佳不小於50 μm 有效。

在圖7所示之實例中，電力層2103之平坦形狀形成為不同於基板2。電力層2103可以不包含配置有導電接觸引腳3之整個區域。在圖7所示之第一配置實例中，電力層2103之由其最外周邊界定之表面積小於基板2之上表面26或下表面27之由其最外周邊(圖7中之實線)界定之表面積。

具有上述平坦形狀之電力層與GND層之間之配置關係之一實例繪示在圖8中。圖8繪示圖3中之部分V所示之通孔附近之一區段之一導電層配置之一空間圖且繪示用作信號引腳之導電接觸引腳3所插入之通孔附近之一結構。圖8中省略介電層以及組成基底材料之一部分之絕緣材料。

如圖8所示，導電材料281形成在用作信號引腳之導電接觸引腳3所插入之通孔28之內表面上，且電力層2104中之開口280a及GND層2201中之開口280b定位在導電材料281之位置上。根據本結構，電力層2104電接觸導電材料281且GND層2201歸因於開口280b與導電材料281電隔離。藉

由如從基板2之上表面26朝向下表面27之方向上(在沿著通孔28之中心軸AX之方向上)所見之電力層2104與GND層2201重疊之區域AR之表面積調節由以此方式組態之電力層2014及GND層2201所組態之電容器之電容值。

在上述實施例中，雖然GND層配置在基板2之整個表面之上，但是藉由調節電力層之表面積而調節IC裝置插座1之電容值。但是，本發明不限於本實施例。可藉由當電力層配置在基板2之整個表面之上時調節GND層之表面積之結構實現根據本發明之IC裝置插座。舉例而言，明顯電力層與GND層兩者之表面積可小於基板2之上表面26或下表面27之表面積。此外，電力層及GND層之表面積未必需要不同。組成電容器之電力層及GND層之表面積可匹配，只要其等小於基板2之上表面26或下表面27之表面積。

如上所述之根據本發明之IC裝置插座具有一可更換結構作為用於給IC裝置供電之一PDN電路元件且展現可在固持複數個導電引腳之基板內自由調節之電容。可藉由以此方式併入IC裝置插座作為一PDN電路元件而有效抑制伴隨低電壓、高速IC裝置之電源不穩定。

此外，根據本發明之導電接觸引腳3被基板2固持在IC裝置插座1中之配置可採用多種配置型樣，而不限於如圖3、圖6及圖7所示之矩形形狀。此外，可自由設定被所採用之導電接觸引腳3之連續圖案劃分之導電層(電力層及/或GND層)之表面積及形狀。此一實例繪示在圖9至圖12中。圖9至圖12係根據本實施例之IC裝置插座之基板之平面圖且描

述被劃分為引腳配置之導電層之位置關係之其他實例。圖9至圖12遵循圖6及圖7中之實例且指示對應於基板2及導電層之元件(提供在介電層之一者之一表面上之導電層)之位置關係。

在圖9所示之實例中，基板2a中之導電接觸引腳3配置在被矩形外周邊與矩形內周邊夾著之一矩形環形區域中；且配置在基板2a內之導電層被絕緣區域2900a劃分為水平方向上的兩個分段區域2105a及2105b。分段區域2105a及2105b各具有小於基板2a之上表面26或下表面27之任一者之表面積且分段區域2105a及2105b之形狀可自由設定。

在圖10所示之實例中，導電接觸引腳3配置在基板2b中之內矩形區域中且亦配置在圍繞內矩形區域之矩形環形區域中。在此情況中，可藉由容許分段區域2106a圍繞分段區域2106b而舉例而言經由絕緣區域2900b劃分配置在基板2b內之導電層從而可針對分段區域2106a及2106b設定不同電位。分段區域2106a及2106b各具有小於基板2b之上表面26或下表面27之任一者之表面積且分段區域2106a及2106b之形狀可自由設定。

在圖11所示之實例中，導電接觸引腳3係沿著基板2c中之一矩形區域之最外周邊配置。在此情況中，舉例而言經由絕緣區域2900c將配置在基板2c內之導電層劃分為具有遵循導電接觸引腳3之順序配置之形狀之分段區域2107a及2107b從而可針對分段區域2107a及2107b設定不同電位。分段區域2107a及2107b各具有小於基板2b之上表面26或下

表面27之任一者之表面積且分段區域2107a及2107b之形狀可自由設定。

在圖12所示之實例中，導電接觸引腳3配置為基板2d中在其間具有特定距離之兩列。在此情況中，可舉例而言經由絕緣區域2900d將配置在基板2d內之導電層劃分為對應於該等列之分段區域2108a及2108b從而可針對分段區域2108a及2108b設定不同電位。分段區域2108a及2108b各具有小於基板2d之上表面26或下表面27之任一者之表面積且分段區域2108a及2108b之形狀可自由設定。

1...IC裝置插座；2、2a、2b、2c、2d...基板；21...基底材料；22至25...介電層；222、232、242、252、2101至2104、2105a、2105b、2106a、2106b、2107a、2107b、2108a、2108b...電力層；224、234、244、254、2201...GND層；28...通孔；3、3a至3i...導電接觸引腳；31引腳主體；32...第一接觸部；33...第二接觸部；4...導向體；2900a、2900b、2900c、2900d...絕緣區域。

下文係根據本發明之態樣之一IC裝置之一插座之例示性實施例。

實施例1係一IC插座，其包括：一基板，其具有一第一表面；一第二表面，其面向第一表面；及複數個通孔，其等各與第一表面及第二表面連通且各在其內表面上具有導電材料；及複數個導電接觸引腳，其等之一部分插入複數個通孔之任意者中；其中，基板包括：一基底材料，其具有第一表面、第二表面及複數個通孔；一介電層，其係以

與複數個通孔交叉之狀態提供在基底材料之第一表面與第二表面之間，介電層具有高於基底材料之介電常數；及一第一導電層及一第二導電層，其等沿著基底材料之第一表面面向第二表面之方向夾著介電層；及其中複數個導電接觸引腳包括：複數個第一導電接觸引腳，其等之部分插入複數個通孔之任意者中使得其等之部分觸碰相應導電材料；及複數個第二導電接觸引腳，其等之部分插入除複數個第一導電接觸引腳插入之通孔以外之複數個通孔之任意者中使得其等之部分不觸碰相應導電材料或相應導電材料不觸碰第一導電層及第二導電層；及其中，第一導電層至少經由相應導電材料電連接至複數個第一導電接觸引腳之任意者，而第二導電層經由相應導電材料電連接至除連接至第一導電層之第一導電接觸引腳以外之複數個第一導電接觸引腳之任意者，且由第一導電層及第二導電層之至少一者之最外周邊所界定之表面積小於由第一表面之最外周邊所界定之表面積。

實施例2係根據實施例1之IC插座，其中第一導電層及第二導電層之至少一者之最外周邊定位至第一表面之最外周邊以內不小於25 μm 。

實施例3係根據實施例1之IC插座，其中藉由改變當從第一表面朝向第二表面觀看時第一導電層與第二導電層重疊之表面積之一部分而控制第一導電層與第二導電層之間之電容。

實施例4係根據實施例1之IC插座，其進一步包括支撐基

板之一導向體；其中導向體包含將待檢IC裝置配置在基板上之特定位置之一導向部及將IC裝置插座配置在用於檢測IC裝置之一檢測裝置之特定位置之定位部。

雖然已為了描述較佳實施例之目的闡釋及描述了特定實施例，但是一般技術者應瞭解可在不脫離本發明之範圍的情況下用適於達成相同目的之多種替代及/或等效實施方案取代所繪示及描述之特定實施例。熟習機械、電子機械及電氣技術者易瞭解本發明可實施為非常多種實施例。本申請案旨在覆蓋本文所述之較佳實施例之任意選用或變化。因此，本發明明顯旨在僅受限於申請專利範圍及其等效物。

【圖式簡單說明】

圖1係根據本發明之IC裝置插座之一第一實施例之一結構之一透視圖。

圖2繪示沿著線II-II之圖1所示之IC裝置插座之截面圖。

圖3係圖1所示之IC裝置插座之一基板之一結構之一平面圖。

圖4係圖2所示之截面結構之一部分III之一放大圖。

圖5描述一電力層之一表面積。

圖6繪示面向基板之一正面之一電力層之一第一配置實例。

圖7繪示面向基板之一正面之一電力層之一第二配置實例。

圖8繪示圖3中部分V中所示之通孔附近之一區段之一導

電層配置之一空間圖。

圖9係根據本實施例之IC裝置插座之一基板之一第一平面圖且描述劃分為引腳配置之導電層之位置關係之另一實例(部分1)。

圖10係根據本實施例之IC裝置插座之一基板之一第二平面圖且描述劃分為引腳配置之導電層之位置關係之另一實例(部分2)。

圖11係根據本實施例之IC裝置插座之一基板之一第三平面圖且描述劃分為引腳配置之導電層之位置關係之另一實例(部分3)。

圖12係根據本實施例之IC裝置插座之一基板之一第四平面圖且描述劃分為引腳配置之導電層之位置關係之另一實例(部分4)。

【主要元件符號說明】

1	積體電路(IC)裝置插座
2	基板
2a	基板
2b	基板
2c	基板
2d	基板
3	導電接觸引腳
3a	導電接觸引腳
3b	導電接觸引腳
3c	導電接觸引腳

3d	導電接觸引腳
3e	導電接觸引腳
3f	導電接觸引腳
3g	導電接觸引腳
3h	導電接觸引腳
3i	導電接觸引腳
4	導向體
21	基底材料
22	介電層
23	介電層
25	介電層
26	基板之上表面
27	基板之下表面
28	通孔
31	引腳主體
32	第一接觸部
33	第二接觸部
41	導向部/導向壁
42	定位引腳
221	介電層之上表面
222	電力層
223	介電層之下表面
224	接地(GND)層
231	上表面

232	電力層
233	下表面
234	GND層
241	上表面
242	電力層
243	下表面
244	GND層
251	上表面
252	電力層
253	下表面
254	GND層
280a	開口
280b	開口
281	導電材料
2101	電力層
2102	電力層
2103	電力層
2104	電力層
2105a	電力層
2105b	電力層
2106a	電力層
2106b	電力層
2107a	電力層
2107b	電力層

2108a	電力層
2108b	電力層
2201	GND層
2900a	絕緣區域
2900b	絕緣區域
2900c	絕緣區域
2900d	絕緣區域
AR	區域
II-II	線
III	部分
IV	部分
L	箭頭
S222	實線 S
V	部分

七、申請專利範圍：

1. 一種IC插座，其包括：一基板，其具有一第一表面；一第二表面，其面向該第一表面；及複數個通孔，其等各與該第一表面及該第二表面連通且各在其之一內表面上具有導電材料；及複數個導電接觸引腳，其等之一部分插入該複數個通孔之任意者中；其中，該基板包括：一基底材料，其具有該第一表面、該第二表面及該複數個通孔；一介電層，其係以與該複數個通孔交叉之狀態提供在該基底材料之該第一表面與該第二表面之間，該介電層具有高於該基底材料之介電常數；及一第一導電層及一第二導電層，其等沿著該基底材料之該第一表面面向該第二表面之方向夾著該介電層；及其中，該複數個導電接觸引腳包括：複數個第一導電接觸引腳，其等之部分插入該複數個通孔之任意者中使得其等之該等部分觸碰相應導電材料；及複數個第二導電接觸引腳，其等之部分插入除該複數個第一導電接觸引腳插入之該等通孔以外之複數個通孔之任意者中使得其等之該等部分不觸碰相應導電材料或該等相應導電材料不觸碰該第一導電層及該第二導電層；及其中，該第一導電層至少經由相應導電材料電連接至該複數個第一導電接觸引腳之任意者，而該第二導電層經由相應導電材料電連接至除連接至該第一導電層之該等第一導電接觸引腳以外之該複數個第一導電接觸引腳之任意者，且由該第一導電層及該第二導電層之至少一者之一最外周邊所界定之一表面

積小於由該第一表面之一最外周邊所界定之一表面積。

2. 如請求項1之IC插座，其中該第一導電層及該第二導電層之至少一者之該最外周邊定位至該第一表面之該最外周邊以內不小於25 μm 。
3. 如請求項1之IC插座，其中藉由改變當從該第一表面朝向該第二表面觀看時該第一導電層與該第二導電層重疊之一表面積之一部分而控制該第一導電層與該第二導電層之間之電容。
4. 如請求項1之IC插座，其進一步包括支撐該基板之一導向體；其中該導向體包含將一待檢IC裝置配置在該基板上之一特定位置之一導向部及將該IC裝置插座配置在用於檢測該IC裝置之一檢測裝置之一特定位置之一定位部。

八、圖式：

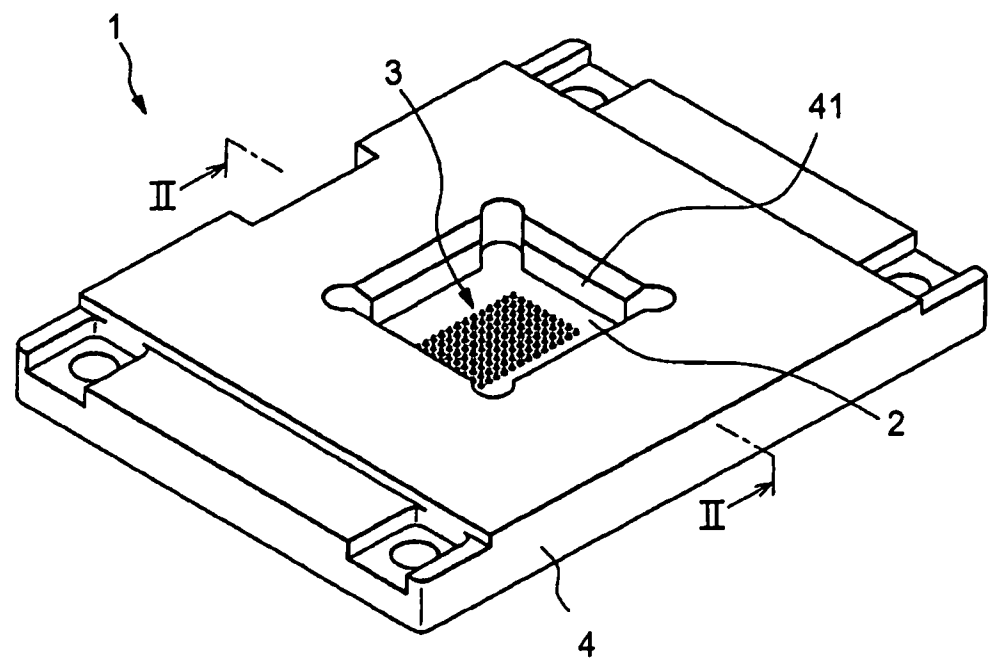


圖 1

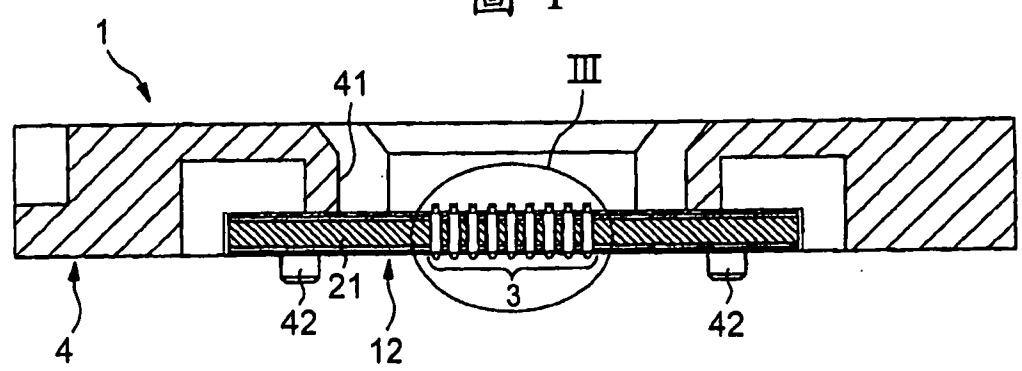


圖 2

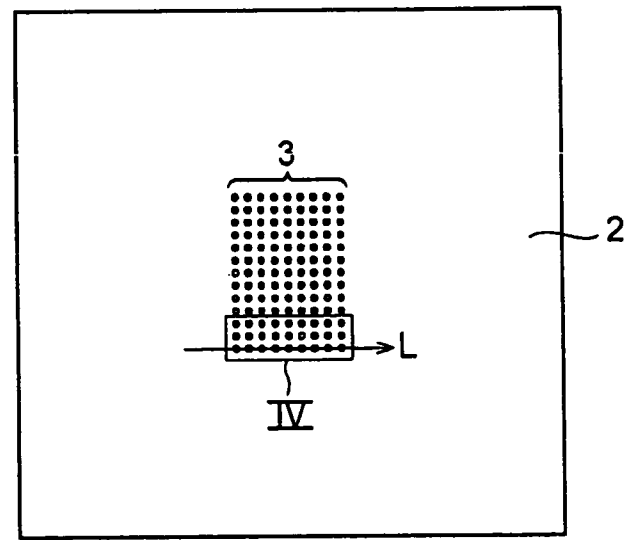


圖 3

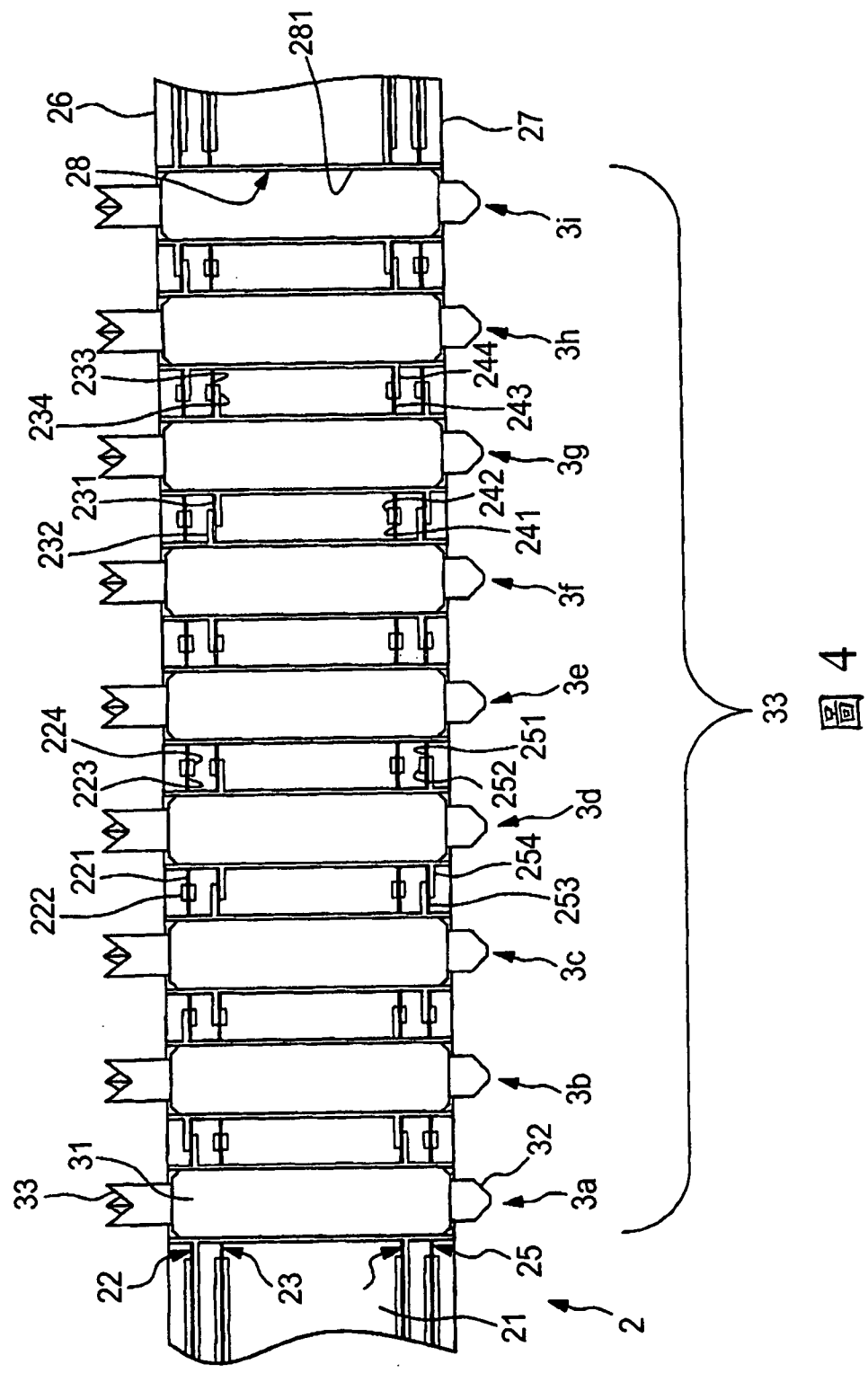


圖 4

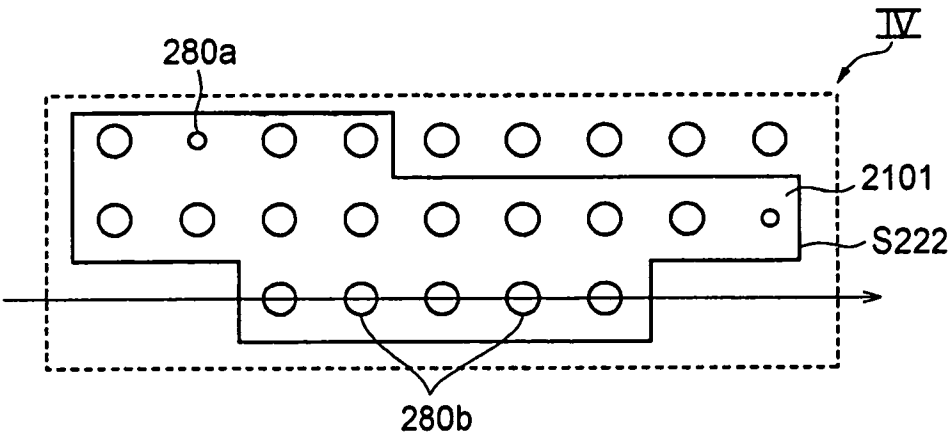


圖 5

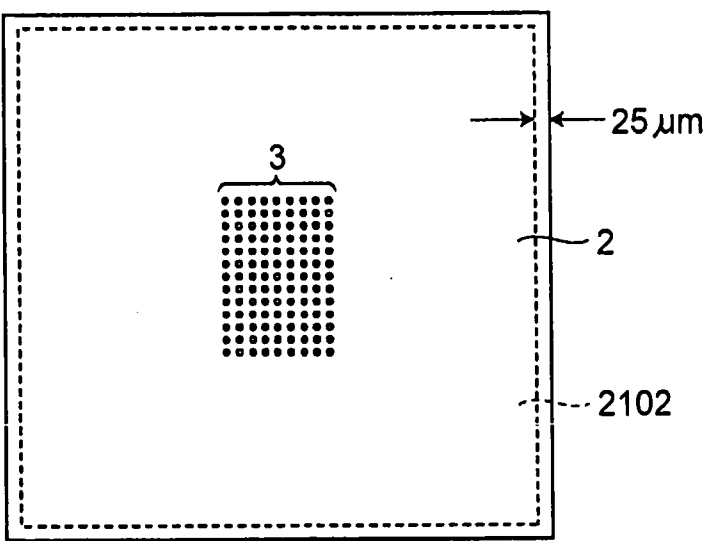


圖 6

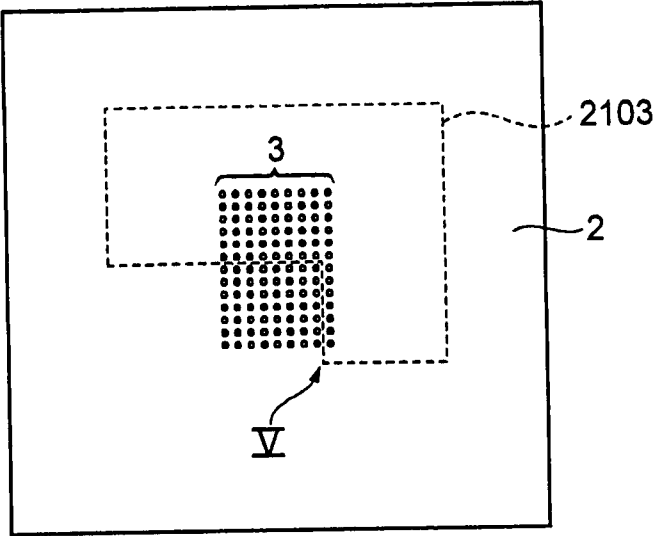


圖 7

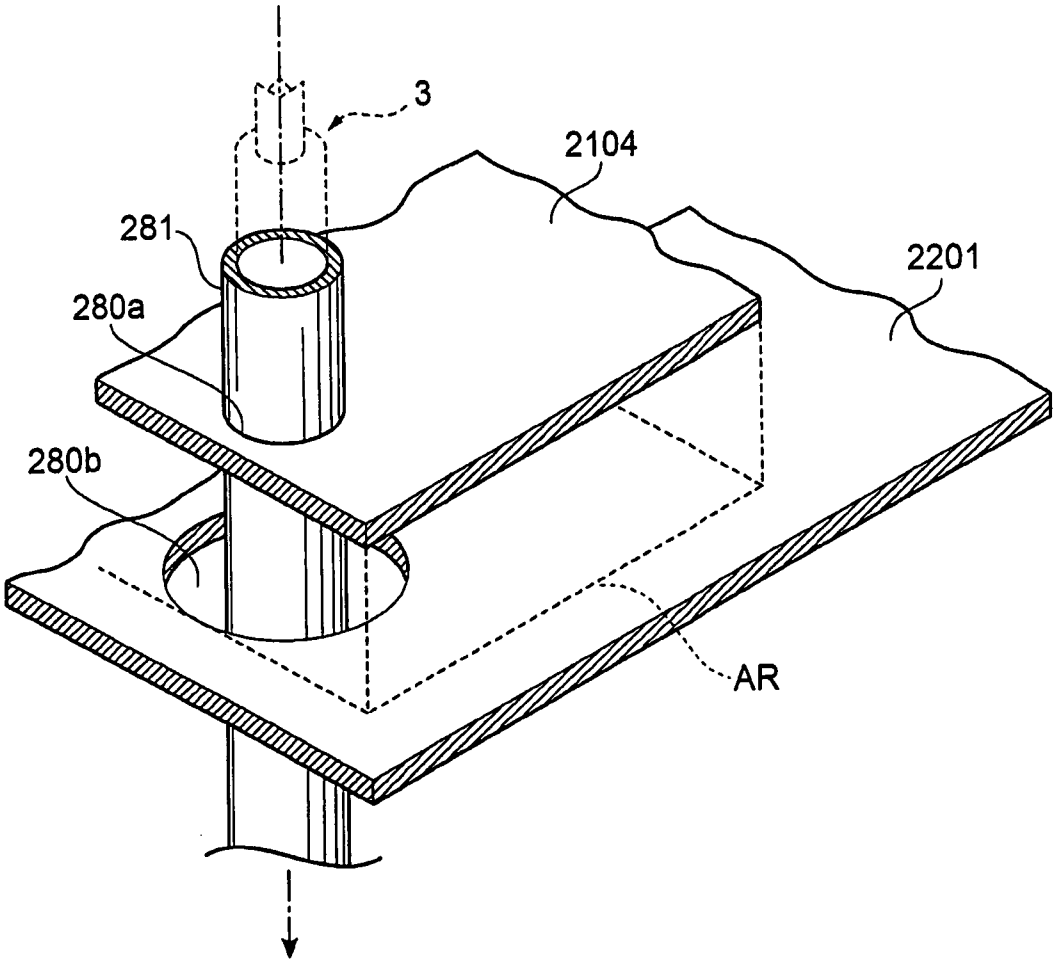


圖 8

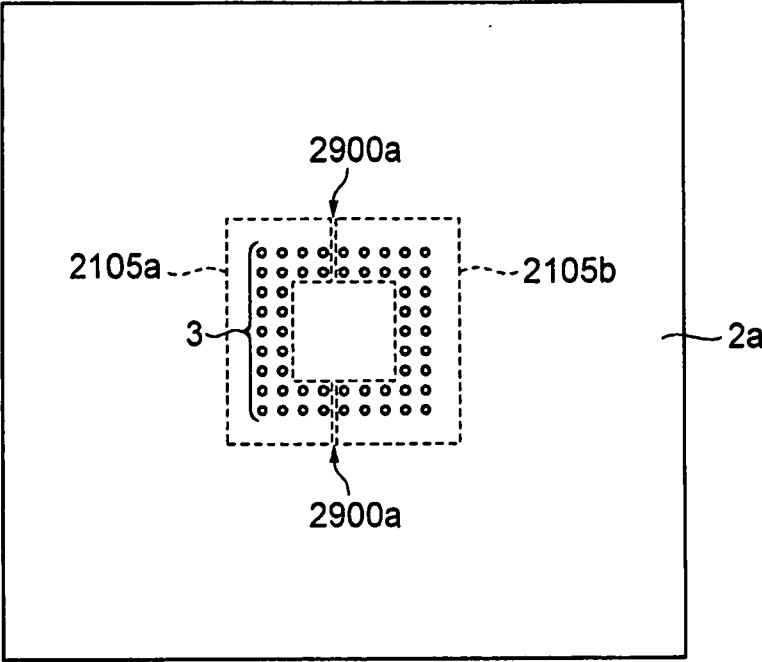


圖 9

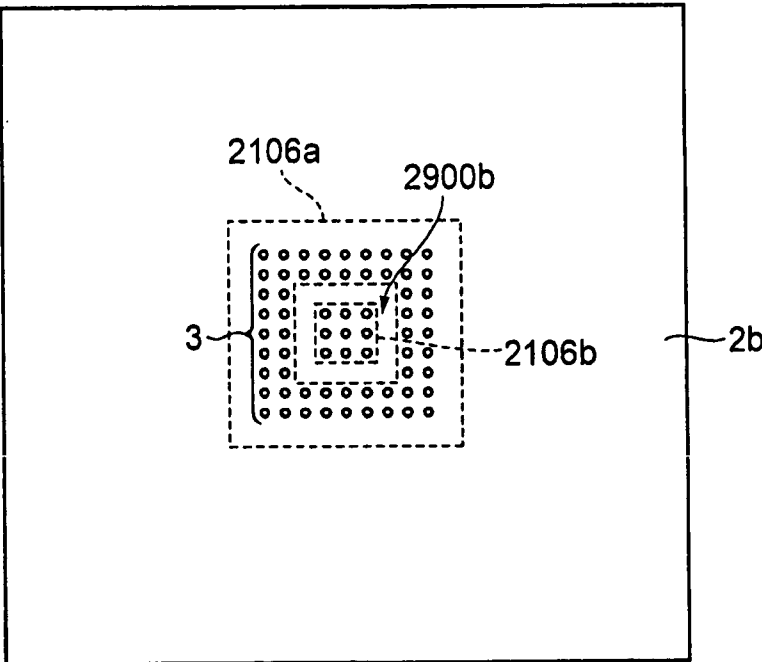


圖 10

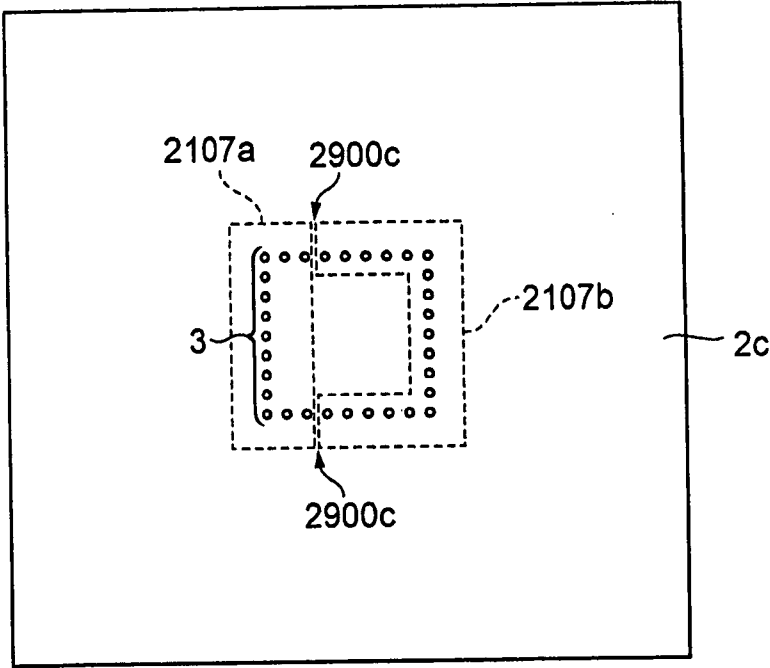


圖 11

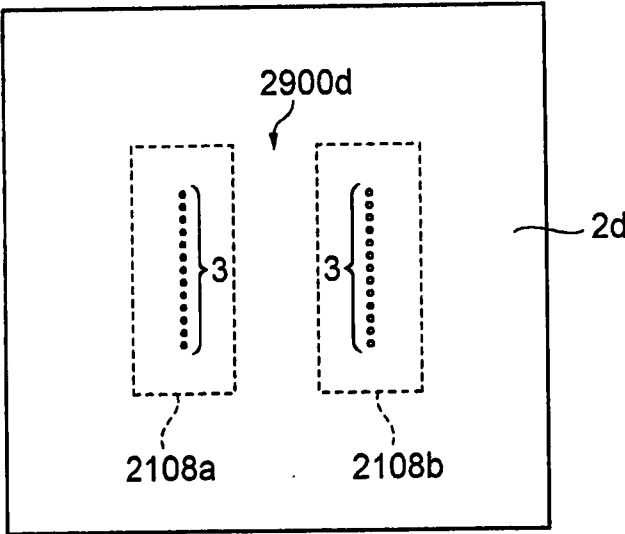


圖 12