(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3560003号
(P3560003)
(45)発行日　平成16年9月2日(2004.9.2)　(24)登録日　平成16年6月4日(2004.6.4)

(51)Int.Cl.[7]　F I
G06F 7/38　G06F 7/38　B

請求項の数 2　(全 9 頁)

(21)出願番号　特願平7-270804
(22)出願日　平成7年10月19日(1995.10.19)
(65)公開番号　特開平9-114642
(43)公開日　平成9年5月2日(1997.5.2)
審査請求日　平成14年8月5日(2002.8.5)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100085811
弁理士　大日方　富雄
(72)発明者　西川　法光
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　古川　且洋
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　石原　走人
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内

最終頁に続く

(54)【発明の名称】デジタル処理装置

(57)【特許請求の範囲】
【請求項１】
デジタル基準値に対するデジタル入力データの差分を取り出す第１誤差検出回路と、前記第１誤差検出回路の出力データの平均を演算する第１平均値演算回路と、前記第１演算回路の出力データと上記入力データの間で減算処理を行う第１減算回路とを含み、前記入力データの一次補正を行う第１補正回路と、
前記第１補正回路から出力される一次補正データの基準値に対する差分を取り出す第２誤差検出回路と、前記第２誤差検出回路の出力データの平均値を演算する第２平均値演算回路と、前記第２平均値演算回路の出力データと前記一次補正データの間で減算処理を行う第２減算回路とを含み、前記入力データの二次補正を行う第２補正回路とを具備し、
前記第１補正回路は、前記第１平均値演算回路において発生した下位ビットの端数の切り上げ又は切り捨ての一方を行い、
前記第２補正回路は、前記第２平均値演算回路において発生した下位ビットの端数の切り上げ又は切り捨ての他方を行うことを特徴とする誤差補正回路。
【請求項２】
前記第１又は第２補正回路のうち切り上げを行う一方は、対応する前記第１又は第２減算回路において、１を加算することを特徴とする請求項１に記載の誤差補正回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】

本発明は、デジタル処理装置、さらには同一処理系にてデータの端数切り捨てが生じる演算処理が複数回繰り返されるデジタル処理に適用して有効な技術に関するものであって、たとえば携帯電話機のデジタル復調部における誤差補正回路に利用して有効な技術に関するものである。

【０００２】

【従来の技術】

たとえば、デジタル変調方式の携帯電話機では、受信信号から検出される位相差情報に基づいてデジタルデータの復調を行う。このとき、その位相差情報には、電波伝播等の諸条件により、なにがしかの誤差が入り込んでいる。このため、データ復調を正確に行うためには、演算による誤差の補正処理が必要となる。

【０００３】

この補正処理はできるだけ高精度に行うことが望ましい。とくに、デジタル化された位相差情報を複数回のデジタル演算処理によって補正処理する場合は、下位ビットの切り捨てによる誤差の蓄積に注意する必要がある。たとえば、デジタルの除算処理では下位ビットの端数切り捨てが行われる。このような除算処理を繰り返すと、各除算処理にて切り捨てられた端数の誤差が蓄積されて、最終的に無視することのできない大きな誤差を生じることがある。

【０００４】

この種の誤差を回避するためには、本発明者らが検討したところによると、個々の演算処理での演算精度を最終の目的精度よりも１ランク以上高めた上で、個々の演算結果に対してそれぞれに四捨五入の処理を行うことが有効であることが判明した。

【０００５】

なお、本発明技術の一応用分野である携帯電話機については、たとえば、日経ＢＰ社刊行「日経エレクトロニクス　１９９４年９月１２日号（ｎｏ．６１７）」７１９６ページ（特集：軽量化と低価格化を競う携帯電話機の実装技術）などにその概要が紹介されている。

【０００６】

【発明が解決しようとする課題】

しかしながら、上述した技術には、次のような問題のあることが本発明者らによってあきらかとされた。

【０００７】

すなわち、除算のようにデータの端数切り捨てが生じる演算処理を繰り返した場合の誤差の蓄積は、各演算処理での四捨五入によって解決させることが可能であるが、そのためにはすべての演算処理にて演算精度を最終の目的精度よりも１ランク以上高めなければならない。しかし、これを実現するためには、演算処理速度の低下あるいは演算処理回路の大幅な規模拡大をともなうという問題が生じる。

【０００８】

本発明の目的は、演算処理速度の低下あるいは演算処理回路の大幅な規模拡大をともなうことなく、演算処理を重ねることにともなう誤差の蓄積を効果的に回避して、処理規模の割りに精度の高いデジタル処理を可能にする、という技術を提供することにある。

【０００９】

本発明の前記ならびにそのほかの目的と特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【００１０】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【００１１】

すなわち、同一処理系にて複数のデジタル演算処理が実行されるデジタル処理装置にあって、各演算処理での演算結果に対し、下位ビットの切り捨てと切り上げを同一精度レベル

にて交互に行わせる、というものである。
【００１２】
上述した手段によれば、個々の演算処理での演算精度をそれほど高めることなく、単純な端数切り上げ操作だけでもって、最終的に四捨五入の演算処理をしたのと同等の演算結果を得ることができる。
【００１３】
これにより、演算処理速度の低下あるいは演算処理回路の大幅な規模拡大をともなうことなく、演算処理にともなう誤差の蓄積を効果的に回避して、処理規模の割りに精度の高いデジタル処理を可能にする、という目的が達成される。
【００１４】
【発明の実施の形態】
以下、本発明の好適な実施例を図面を参照しながら説明する。
【００１５】
なお、図において、同一符号は同一あるいは相当部分を示すものとする。
【００１６】
図１は本発明の技術が適用されたデジタル処理装置の一実施例を示す。
【００１７】
同図に示す実施例のデジタル処理装置は、デジタル変調方式の携帯電話機において、受信信号から検出される位相差情報からデジタルデータを復調処理する際の誤差補正回路を構成するものであって、１０１は送受信アンテナ、１０２は分波器、２００は無線受信ユニット、３００は無線送信ユニットである。
【００１８】
同図において、２０１は受信信号から位相差情報を検出する検波回路、２０２は検波回路２０１の出力をデジタル化するＡＤ変換器、２０３はデジタル化された検波出力すなわち位相差情報の誤差補正を行う誤差補正回路、２０４は誤差補正された位相差情報からデジタルデータを復調するエンコーダである。
【００１９】
ここで、誤差補正回路２０３は第１の補正回路部４と第２の補正回路部５とからなる。両補正回路部４，５は従属接続され、同一処理系にて同一演算精度による補正処理を実行する。
【００２０】
第１の補正回路部４は、誤差検出回路４１、積算回路４３と減算回路４４からなる平均値演算回路４２、減算回路４５により構成され、クロックｋφ（３２×６ＫＨｚ＝１９２ＫＨｚ）およびφ（６ＫＨｚ）の同期下にて、６ビットの入力データ（デジタル化された位相差情報）Ｄ１をデジタル演算処理によって一次補正する。
【００２１】
第２の補正回路部５は、誤差検出回路５１、積算回路５３と減算回路５４からなる平均値演算回路５２、減算回路５５により構成され、クロックｋφ（３２×６ＫＨｚ＝１９２ＫＨｚ）およびφ（６ＫＨｚ）の同期下にて、第１の補正回路部４で一次補正された６ビットの入力データ（デジタル化された位相差情報）Ｄ２をデジタル演算処理によって二次補正する。
【００２２】
各部についてさらに詳細に説明すると、第１の補正回路部４において、誤差検出回路４１は、６ビットの入力データＤ１について、４つの基準値”００１０００”（１０進数で８），”０１１０００”（１０進数で２４），”１０１０００”（１０進数で４０），”１１１０００”（１０進数で５６）に対する差分を求め、これを誤差データｂ１として出力する。この誤差データｂ１の検出は、６ビットの入力データＤ１から下位４ビットのデータａ１を取り出し、この下位４ビットデータの最上位ビットだけを論理反転させることで実現される。この誤差検出は所定のクロックｋφ（３２×６ＫＨＺ＝１９２ＫＨｚ）に同期して行われる。

【００２３】
平均値演算回路４２は、上記誤差データｂ１を積算回路４３で積算し、この積算データｃ１を除算回路４４で除算することにより平均誤差データｄ１を得る。この場合、積算回路４３は１／ｋφ（１／１９２ＫＨｚ）ごとに検出されてくる誤差データｂ１のｋ回（３２回）分の積算データｃ１を出力し、除算回路４４はそのｋ回分の積算データｃ１をｋで除算して得られる平均誤差データｄ１を出力する。このようして、１／φ（１／６ＫＨｚ）期間ごとの平均誤差データｄ１が出力される。
【００２４】
減算回路４５は、上記平均誤差データｄ１を元の入力データＤ１から減算する。これにより、その入力データＤ１に含まれている誤差、すなわち上記４つの基準値からのずれを上記平均誤差データｄ１によって相殺する補正を行なう。このようにして、入力データＤ１の一次補正が行なわれる。この一次補正データＤ２は第２の補正回路部５へ送られる。
【００２５】
第２の補正回路部５は、第１の補正回路部４で一次補正された６ビットの入力データ（デジタル化された位相差情報）Ｄ２を、第１の補正回路部４と同様の演算処理により二次処理する。すなわち、一次補正された６ビットのデータＤ２から下位４ビットのデータａ２だけを抽出して誤差データｂ２を検出する。この誤差データｂ２をｋ個分ずつ積算し、この積算データｃ２をｋで除算することにより、１／φ期間ごとの平均誤差データｄ２を得る。そして、この平均誤差データｄ２を一次補正されたデータＤ２から減算することにより、一次補正されたデータＤ２をさらに補正した二次補正データＤ３を得る。この二次補正データＤ３がエンコーダ２０４へ送られてデータ復調に使われる。
【００２６】
ここで、第１の補正回路部４内の除算回路４４および第２の補正回路部５内の除算回路５４ではそれぞれ、その除算処理にともなって下位１ビットの端数切り捨てが生じる。この端数切り捨てが２回繰り返された場合、そのままでは、最終的な補正処理結果すなわち二次補正データＤ３には、２度の端数切り捨てによる誤差が蓄積されてしまうため、エンコーダ２０５にて正しいデータ復調が行なえなくなる場合がある。
【００２７】
そこで、実施例の誤差補正回路２０４では、第２の補正回路部５内の減算回路５５にて、下位１ビット”１”の加算を行なわせるようにしてある。これにより、第１の補正回路部４では下位ビットの切り捨てが生じる演算処理が行なわれるが、第２の補正回路部５では下位ビットの切り上げが生じる演算処理が行なわれるようになる。
【００２８】
このように、同一処理系にて複数のデジタル演算処理が実行されるデジタル処理装置にあって、各演算処理での演算結果に対し、下位ビットの切り捨てと切り上げを同一精度レベルにて交互に行わせることにより、個々の演算処理での演算精度をそれほど高めることなく、最終的に四捨五入の演算処理をしたのと同等の演算結果を得ることができる。
【００２９】
これにより、演算処理速度の低下あるいは演算処理回路の大幅な規模拡大をともなうことなく、演算処理にともなう誤差の蓄積を効果的に回避して、処理規模の割りに精度の高いデジタル処理が行なわれるようになる。
【００３０】
図２は、図１に示した誤差補正回路１０４の各部をさらに詳細に示した実施例を示す。同図おいて、誤差検出回路４１，５１は、最上位ビットだけを論理反転させるインバータ（位相反転回路）４１１，５１１によって構成されている。
【００３１】
平均値演算回路４２，５２は、積算回路４３，５３と除算回路４４，５４により構成される。この場合、積算回路４３，５３は、加算回路４３１，５３１と、この加算回路４３１，５３１の加算出力を保持するデータラッチ回路４３２，５３２とによって構成され、データラッチ回路４３２，５３２の保持出力を加算回路４３１，５３１の入力側に戻すこと

を繰り返すことにより積算演算が行なわれる。除算回路４４，５４は、その積算結果の上位４ビットだけを抽出する回路のみによって構成される。つまり、積算回路４３，５３から出力される積算データｃ１，ｃ２が９ビットであったとして、その上位４ビットだけを抽出した場合、その抽出した上位４ビットのデータは、９ビットの積算データｃ１，ｃ２を除数３２で端数切り捨ての除算を行なったデータ（ｄ１，ｄ２）と等価となる。このようにして下位ビットの切り捨てをともなう除算処理が実現されるようになっている。

【００３２】

この平均値演算回路４２，５２にて得られた平均誤差データｄ１は、データラッチ回路４６，５６を介して１／φ期間ごとに減算回路４５，５５へ減算数として転送される。

【００３３】

減算回路４５，５５は、補数回路４５１，５５１と加算回路４５２，５５２により構成される。平均値演算回路４２，５２からの平均誤差データｄ１，ｄ２は、補数回路４５１，４５２で補数に論理変換されてから加算回路４５２，５５２に入力され、そこで入力データＤ１，Ｄ２に加算されることにより、入力データＤ１，Ｄ２から上記平均誤差データｄ１，ｄ２を減算する誤差補正が行なわれる。このとき、第１の補正回路部４内の加算回路４５２では、平均誤差データｄ１の補数をそのまま加算させるようにしているが、第２の補正回路部５内の加算回路５５２では、演算結果に１を余計に加算させるようにしている。この１の加算は、加算回路５５２の下位キャリー（桁上げ）ＣＩをに”１”を与えることにより実現される。この”１”を与えるための回路は、下位キャリーＣＩの端子を電源電位（”１”の論理レベル）にプルアップ配線しておくだけでよい。

【００３４】

これにより、第１の補正回路部４の補正データＤ２には下位ビットの切り捨てが生じるが、第２の補正回路部５の補正データＤ３には下位ビットの切り上げが生じるようになり、最終的に四捨五入の演算処理をしたのと同等の効果が得られる。

【００３５】

図３は、本発明の別の実施例を示す。

【００３６】

上述した実施例との相違点について説明すると、図２に示した実施例では下位ビットの切り捨てと切り上げを減算回路４５，５５にて行なっていたのに対し、図３に示す実施例ではその下位ビットの切り捨てと切り上げを平均値演算回路４２，５２にて行なわせるようにしてある。

【００３７】

すなわち、第１の補正回路部４内の平均値演算回路４２では、加算回路４３１の加算出力を保持するデータラッチ回路４３２を１／φ期間ごとに初期化する際に、その初期値として０（ゼロ）をプリセットさせるようにしてある。他方、第２の補正回路部５内の平均値演算回路５２では、加算回路５３１の加算出力を保持するデータラッチ回路５３２を１／φ期間ごとに初期化する際に、その初期値として３２（ｋの値に相当）をプリセットさせるようにしてある。５３３は初期値３２のプリセット回路である。

【００３８】

これにより、第１の補正回路部４内の平均値演算回路４２では、積算データｃ１を除数３２で除算する際に端数ビットの切り捨てが行なわれる。他方、第２の補正回路部５内の平均値演算回路５２では、積算データｃ２を除数３２で除算する際に、その除数３２に等しい３２が積算データｃ１にあらかじめ余計に加算されていることにより、その除算結果には１が加算されるようになる。つまり、第２の補正回路部５内の平均値演算回路５２では、実質的に下位１ビットの切り上げが行なわれる。

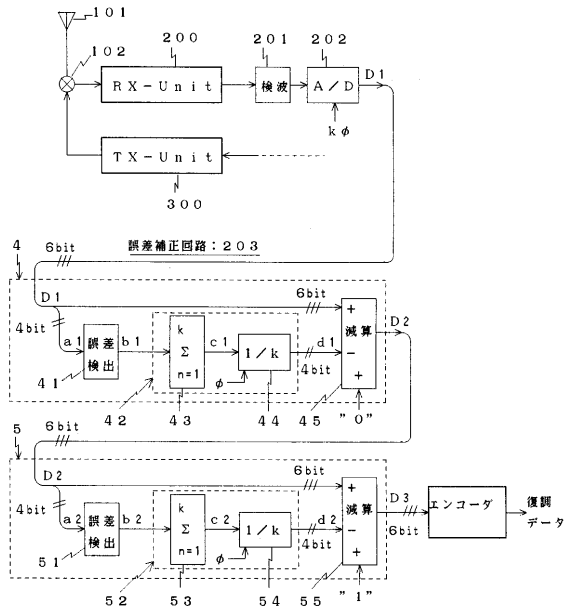
【００３９】

したがって、この実施例の場合も、第１の補正回路部４の補正データＤ２には下位ビットの切り捨てが生じているが、第２の補正回路部５の補正データＤ３には下位ビットの切り上げが生じるようになって、最終的に四捨五入の演算処理をしたのと同等の効果が得られる。

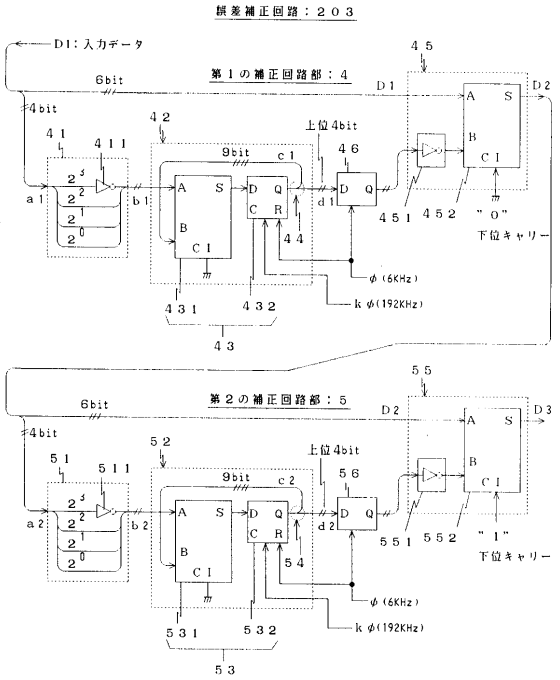
【００４０】
以上、本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、下位ビットの切り捨てが生じる演算処理は３以上の複数回行なわせる構成であってもよい。この場合、各演算処理での下位ビットの切り捨てと切り上げが交互に行なわれるようにする。また、除算等の演算処理をマイクロプロセッサでソフトウェア的に行なわせる構成であってもよい。
【００４１】
以上の説明では主として、本発明者によってなされた発明をその背景となった利用分野であるデジタル復調における誤差補正回路に適用した場合について説明したが、それに限定されるものではなく、たとえばデジタル変調におるデジタル信号処理などにも適用できる。
【００４２】
【発明の効果】
本願において開示される発明のうち、代表的なものの効果を簡単に説明すれば、下記のとおりである。
【００４３】
すなわち、演算処理速度の低下あるいは演算処理回路の大幅な規模拡大をともなうことなく、演算処理にともなう誤差の蓄積を効果的に回避して、処理規模の割りに精度の高いデジタル処理を可能にする、という効果が得られる。
【図面の簡単な説明】
【図１】本発明の技術が適用されたデジタル処理装置の一実施例を示す回路図
【図２】図１に示したデジタル処理装置の細部をさらに具体的に示した回路図
【図３】本発明の別の実施例を示す回路図
【符号の説明】
１０１　送受信アンテナ
１０２　分波器
２００　無線受信ユニット
３００　無線送信ユニットである。
２０１　検波回路
２０２　ＡＤ変換器
２０３　誤差補正回路
２０４　エンコーダ
４　第１の補正回路部
５　第２の補正回路部
４１，５１　誤差検出回路
４２，５２　平均値演算回路
４３，５３　積算回路
４３１，５３１　加算回路
４３２，５３２　ラッチ回路
４４，５４　除算回路
４５，５５　減算回路
４５１，５５１　補数回路
４５２，５５２　加算回路
５３３　プリセット回路
４６，５６　ラッチ回路
ｋφ　クロック（１９２ＫＨｚ）
φ　クロック（ｋφ／ｋ＝６ＫＨｚ）
Ｄ１　入力データ
Ｄ２　一次補正データ

Ｄ３　二次補正データ
ａ１，ａ２　下位４ビットデータ
ｂ１，ｂ２　誤差データ
ｃ１，ｃ２　積算データ
ｄ１，ｄ２　平均誤差データ

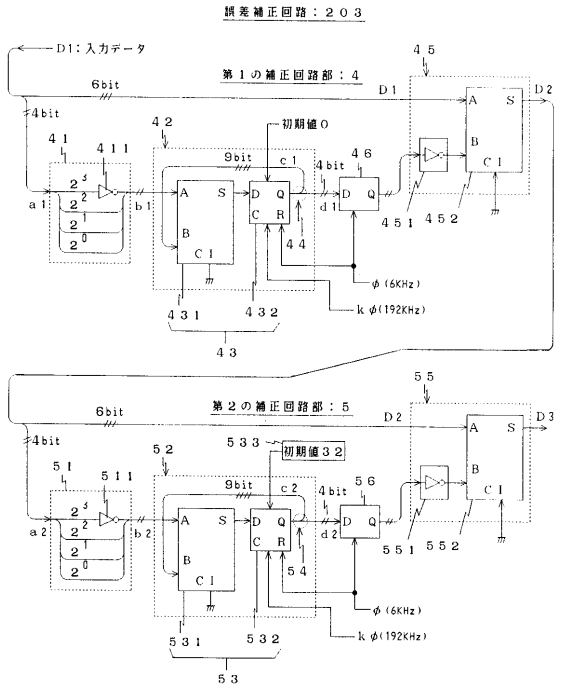
【図１】



【図２】



【図３】


誤差補正回路：２０３
D1：入力データ
第１の補正回路部：４
6bit
4bit
41
411
42
初期値０
9bit
c1
4bit
46
45
D1
D2
a1
b1
44
d1
451
452
φ(6KHz)
kφ(192KHz)
431
432
43
第２の補正回路部：５
D2
D3
533
初期値３２
51
511
52
c2
56
a2
b2
54
d2
551
552
531
532
53

フロントページの続き

(72)発明者　嶋　康夫
東京都青梅市今井２３２６番地　株式会社　日立製作所デバイス開発センタ内

審査官　田中　友章

(56)参考文献　特開昭６２－０８６４５９（ＪＰ，Ａ）
特開昭５９－２２１０７９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G06F　7/38