

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200510082116.5

[51] Int. Cl.

H01L 29/786 (2006.01)

H01L 27/02 (2006.01)

H01L 21/00 (2006.01)

H01L 21/336 (2006.01)

G02F 1/136 (2006.01)

G09G 3/38 (2006.01)

[45] 授权公告日 2009 年 10 月 21 日

[11] 授权公告号 CN 100552976C

[22] 申请日 2005.6.29

[21] 申请号 200510082116.5

[30] 优先权

[32] 2004.6.30 [33] KR [31] 50916/04

[73] 专利权人 三星移动显示器株式会社

地址 韩国京畿道

[72] 发明人 朴炳建 徐晋旭 梁泰勋 李基龙

[56] 参考文献

US2004084678 A1 2004.5.6

US2003102478 A1 2003.6.5

US2003094613 A1 2003.5.22

审查员 张剑铭

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波 侯宇

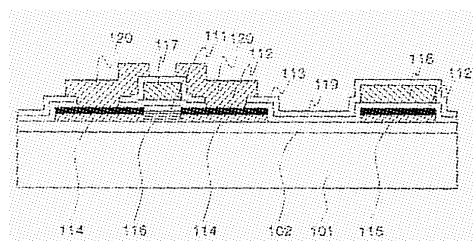
权利要求书 2 页 说明书 9 页 附图 7 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

一种半导体器件中的薄膜晶体管的半导体层和电容器的第一电极是由非晶硅形成的，而且半导体层的源/漏极区的整个部分或一部分和电容器的第一电极是通过金属诱导晶化方法晶化的，半导体层的沟道区是通过金属诱导横向晶化方法晶化的。



1. 一种半导体器件, 包括:

衬底;

所述衬底上的薄膜晶体管, 其包括具有源/漏极区的半导体层, 所述源/漏极区的区域通过金属诱导晶化方法晶化, 而其沟道区通过金属诱导横向晶化方法晶化; 和

所述薄膜晶体管相间隔开的电容器, 其包括通过金属诱导晶化方法晶化的第一电极。

2. 如权利要求 1 所述的半导体器件, 其中所述源/漏极区还具有通过金属诱导横向晶化方法晶化的区域。

3. 如权利要求 1 所述的半导体器件, 其中用于所述金属诱导晶化方法或所述金属诱导横向晶化方法中的晶化诱导材料是金属硅化物, 在该金属硅化物中从 Ni、Pd、Ti、Ag、Au、Al、Sn、Sb、Cu、Co、Mo、Cr、Ru、Rh、Cd 和 Pt 中选择的一种或多种金属是被硅化的。

4. 如权利要求 1 所述的半导体器件, 其中用于所述金属诱导晶化方法或所述金属诱导横向晶化方法中的晶化诱导材料是镍硅化物。

5. 如权利要求 1 所述的半导体器件, 其中所述源/漏极区和所述沟道区是通过在 400℃至 700℃下进行 1 至 18 个小时的热处理而被晶化的。

6. 如权利要求 1 所述的半导体器件, 其中所述源/漏极区和所述沟道区是通过在 500℃至 600℃下进行 3 至 12 个小时的热处理而被晶化的。

7. 如权利要求 1 所述的半导体器件, 其中所述薄膜晶体管还包括所述半导体层上的栅极绝缘层, 所述栅极绝缘层包括至少两个绝缘层。

8. 如权利要求 1 所述的半导体器件, 其中所述薄膜晶体管还包括所述半导体层上的栅极绝缘体, 且所述电容器还包括绝缘层, 所述电容器的绝缘层是利用和所述栅极绝缘体的第二层相同的层形成的。

9. 如权利要求 1 所述的半导体器件, 其中所述薄膜晶体管还包括栅电极, 且所述电容器还包括第二电极, 并且

其中所述栅电极和所述第二电极是用相同的材料形成的。

10. 一种制造半导体器件方法, 包括:

通过在衬底上淀积非晶硅并构图非晶硅来界定半导体层和电容器的第

一电极;

在所述衬底上形成第一绝缘层;

通过在所述半导体层中注入杂质且在所述电容器的第一电极中注入杂质来界定半导体层的源/漏极区和沟道区;

通过蚀刻所述第一绝缘层来形成第一绝缘层图案;

在由所述第一绝缘层暴露的半导体层和电容器的第一电极上形成晶化诱导材料,并在所述衬底上形成第二绝缘层;以及

通过金属诱导晶化方法晶化所述源/漏极区的区域和电容器的第一电极,并通过金属诱导横向晶化方法通过热处理衬底来晶化所述沟道区。

11. 如权利要求 10 所述的方法,其中所述晶化诱导物质是通过淀积从 Ni、Pd、Ti、Ag、Au、Al、Sn、Sb、Cu、Co、Mo、Cr、Ru、Rh、Cd 和 Pt 中选择的至少一种金属、热处理被淀积的金属并清除任何残留金属形成的。

12. 如权利要求 10 所述的方法,其中所述金属形成至 10 至 200Å 的厚度。

13. 如权利要求 10 所述的方法,其中所述热处理工艺在 400℃至 700℃下执行 1 至 18 个小时。

14. 如权利要求 10 所述的方法,其中所述热处理工艺在 500℃至 600℃下执行 3 至 12 个小时。

15. 如权利要求 10 所述的方法,其中形成第一绝缘层图案暴露所述电容器的第一电极,并暴露所述源/漏极区的整个区域、源/漏极区的边缘或源/漏极区的中心部分或邻接所述源/漏极区和所述沟道区之间的界面的源/漏极区的至少一个区域。

16. 如权利要求 10 所述的方法,其中形成所述第二绝缘层包括形成所述薄膜晶体管的栅极绝缘体和所述电容器的绝缘层。

半导体器件及其制造方法

技术领域

本发明涉及一种半导体器件及其制造方法。更具体地，本发明涉及一种半导体器件，其中用金属诱导晶化(MIC)方法和金属诱导横向晶化(MILC)方法形成薄膜晶体管，用MIC方法形成电容器。

背景技术

平板显示装置，如液晶显示装置、有机电致发光显示装置和等离子体显示板，作为又大又重的阴极射线管的替代显示器，近期已引起人们关注。

在平板显示装置中，如有机电致发光显示装置和液晶显示装置中，薄膜晶体管可以用作开关器件和驱动器件，而电容器可以与薄膜晶体管连接来存储外部信号，并在随后的信号周期内提供所存储的信号。

图1A、图1B和图1C是显示薄膜晶体管和电容器的传统形成方法的横截面图。

首先，作为一个横截面图，图1A显示了薄膜晶体管的半导体层和电容器的第一电极在绝缘衬底上的形成工艺。如图1A显示，缓冲层12可以在透明绝缘衬底11上形成，该透明绝缘衬底可以由塑料或者玻璃制造。接着，非晶硅层可以在缓冲层12上形成，进而被构图形成薄膜晶体管的半导体层13和电容器的第一电极14。

同时，第一绝缘层15，同时作为薄膜晶体管的栅极绝缘体和电容器的绝缘层，可以在衬底上形成。第一绝缘层15可以是二氧化硅层或氮化硅层。

作为一个横截面图，图1B显示了已被构图的非晶硅层的晶化过程以及薄膜晶体管的栅电极和电容器的第二电极的形成工艺。如图1B显示，多晶硅层13a和14a可以通过晶化非晶硅半导体层13和第一电极14而形成。尽管晶化的方法很多，但通常的晶化方法包括把衬底载入炉中并在特定的温度下长时间内进行晶化。

多晶硅层13a和14a形成后，可以在衬底上形成并构图一导体，进而形成薄膜晶体管的栅电极16和电容器的第二电极17，由此完成包括第一电极

14b、绝缘层 15 和第二电极 17 的电容器。

作为一个横截面图，图 1C 显示了第二绝缘层在衬底上的形成工艺，以及源/漏电极在第二绝缘层上的形成工艺。如图 1C 显示，第二绝缘层 18，作为薄膜晶体管的层间电介质，可以在衬底上形成。

接着，暴露半导体层 13 的部分源/漏极区的接触孔可以在第一绝缘层 15 和第二绝缘层 18 中形成。然后在接触孔上形成源/漏电极 19 并生成薄膜晶体管。

因此，薄膜晶体管的半导体层、栅极绝缘体和栅电极可以和电容器的第一电极、绝缘层和第二电极分别同时形成，并且半导体层和第一电极可以通过同样的晶化方法晶化。

然而，用于形成诸如薄膜晶体管和电容器的半导体器件的方法可能需要长时间的热处理，因为电容器的第一电极可能比薄膜晶体管的沟道区大得多，并且长时间的热处理工艺可能会造成衬底的收缩或翘曲。此外，因为电容器的绝缘层是和栅极绝缘体同时形成的，它可能比电容器所需要的厚度要厚一些，因此电容可能会降低。

发明内容

本发明提供了一种半导体器件，在该半导体器件中，半导体层的全部或部分源/漏极区和电容器的第一电极是通过金属诱导晶化方法晶化的，半导体层的沟道区是通过金属诱导横向晶化方法晶化的。

本发明的其他特征在下边的描述中予以阐述，并且其部分会从描述中明了，或者可以通过实践本发明习知。

本发明公开了一种半导体器件，该半导体器件包括衬底和衬底上的薄膜晶体管，并包括具有诸区域通过金属诱导晶化方法晶化的源/漏极区和通过金属诱导横向晶化方法晶化的沟道区的半导体层。电容器和薄膜晶体管相分隔，并包含通过金属诱导晶化方法晶化的第一电极。

本发明公开了一种制造半导体器件的方法，包括：通过在衬底上淀积非晶硅并对非晶硅进行构图来界定半导体层和电容器的第一电极；在衬底上形成第一绝缘层；通过在半导体层中注入杂质和在电容器的第一电极中注入杂质来界定半导体层的源/漏极区和沟道区；通过蚀刻第一绝缘层形成第一绝缘层图案；在被衬底上的第一绝缘层和第二绝缘层暴露的半导体层上和电容器

的第一电极上形成晶化诱导材料,以及通过金属诱导晶化方法晶化源/漏极区诸区域和电容器的第一电极,并通过热处理衬底利用金属诱导横向晶化方法来晶化沟道区。

应当认为前述的一般描述和以下的详细描述都是例示性的和解释性的描述,都是用来为所要求的发明提供进一步解释的。

附图说明

附随的图纸是为了给本发明提供更进一步的了解,它构成了本说明的一部分,图示了本发明的实施例,并和说明书一起对本发明的原理进行解释。

图 1A、图 1B 和图 1C 是通过现有技术制造薄膜晶体管和电容器的制造工艺横截面图。

图 2A、图 2B、图 2C、图 2D、图 2E 和图 2F 是根据本发明的示范性实施例,显示半导体器件的制造工艺的横截面图。

图 3A、图 3B、图 3C 和图 3D 是根据本发明的另外一个示范性实施例,示出半导体器件的制造工艺的横截面图。

具体实施方式

现在,本发明的示范性实施例会参考附图作详细描述。在几个横截面图中,相似的附图标记指示相应的部分。

作为横截面图,图 2A、图 2B、图 2C、图 2D、图 2E 和图 2F 显示了半导体器件的制造工艺,其中薄膜晶体管的源/漏极区和电容器的第一电极是通过金属诱导晶化(MIC)方法晶化的,且薄膜晶体管的沟道区是通过金属诱导横向晶化(MILC)方法晶化的。

作为一个工艺横截面图,图 2A 显示了通过在绝缘衬底上淀积和构图非晶硅并在衬底上形成第一绝缘层来界定半导体层和电容器的第一电极的步骤。如图 2A 显示,缓冲层 102 可以是氧化物层或者氮化物层,可以在透明的绝缘衬底 101 上形成,该衬底可以由例如塑料或者玻璃的材料制成。缓冲层 102 可以保护随后在衬底上形成的器件。

接着,可以通过利用溅射的物理气相淀积方法,或者通过利用等离子体增强化学气相淀积(PECVD)或低压化学气相淀积(LPCVD)设备的化学气相淀积方法,在衬底的整个表面上形成非晶硅层。

接着非晶硅层可以被构图以形成非晶硅构图，来界定薄膜晶体管的半导体层 103 和电容器的第一电极 104。

形成非晶硅图案后，可以由氧化物层或者氮化物层形成的第一绝缘层 105 可以在衬底的整个表面上形成。

作为一个过程横截面图，图 2B 显示了在半导体层的特定区域上形成光致抗蚀剂图案的步骤，通过利用光致抗蚀剂图案作为掩模注入杂质并把杂质注入电容器的第一电极，来界定源/漏极区和半导体层的沟道区。如图 2B 显示，可以通过运用一种涂布方法，如旋涂，在第一绝缘层上涂布光致抗蚀剂，并进而曝光和显影光致抗蚀剂，来形成光致抗蚀剂图案 106。光致抗蚀剂图案 106 可以在半导体层的中心部分 103 上形成，因为其上形成光致抗蚀剂的区域界定了薄膜晶体管的沟道区 109。

随后，杂质可以注入具有光致抗蚀剂图案 106 的衬底的表面上，进而形成源/漏极区 108 和沟道区 109 以及电容器的第一电极 110。半导体层 103 被分成源/漏极区 108 和沟道区 109，因为被杂质所注入的区域被界定为源/漏极区 108，没有被杂质所注入的区域被界定为沟道区 109。杂质同样也被注入电容器的第一电极 110，以便第一电极 110 具有类似导体电特性。

图 2C 是通过蚀刻第一绝缘层形成第一绝缘层图案和在衬底上形成晶化诱导物质的步骤。如图 2C 显示，在利用光致抗蚀剂图案 106 作为掩模蚀刻第一绝缘层 105 后，去除光致抗蚀剂图案 106，以便在沟道区 109 上只保留第一绝缘层图案 111。接着金属材料可以被淀积在衬底的整个表面上，并通过热处理，在源/漏极区 108 的表面上和电容器的第一电极 110 表面上形成晶化诱导物质 112。除去形成晶化诱导物质 112 后剩余的金属材料。第一绝缘层图案 111 在衬底上继续保留以防止在半导体层的沟道区 109 上形成金属材料。

金属材料可以是 Ni、Pd、Ti、Ag、Au、Al、Sn、Sb、Cu、Co、Mo、Cr、Ru、Rh、Cd 和 Pt 中选择的一种或多种金属，但是可以优选使用 Ni。金属材料可以利用溅射装置进行淀积。可以选择的其他装置包括，例如加热蒸发装置、离子注入装置和化学气相淀积装置。尽管金属材料的淀积厚度没有限制，但金属材料被淀积的厚度可以是约 1 至 10000Å，优选 10 至 200Å。

晶化诱导物质 112 是金属硅化物，它可以通过热处理金属材料而和硅从而使金属材料和硅发生反应而形成。特别是，通过热处理被淀积的镍而形成的

晶化诱导物质被称为镍硅化物。

热处理过程不仅形成了晶化诱导物质，而且同时通过杂质注入过程激活了注入半导体和第一电极内的杂质。

作为一个工艺横截面图，图 2D 显示了通过金属诱导晶化方法晶化源/漏极区和电容器的第一电极以及通过金属诱导横向晶化方法热处理衬底晶化沟道区的步骤。如图 2D 显示，源/漏极区 108 和电容器的第一电极 110 是通过金属诱导晶化方法在衬底上形成第二绝缘层 113，并对具有晶化诱导物质 112 表面上的源/漏极区 108 和电容器的第一电极 110 进行热处理而晶化的。参考数字 114 所指的是通过金属诱导晶化方法晶化的非晶硅区域。如公众所早已知悉的一样，金属诱导晶化方法是在 100 至 300℃ 的温度下进行的，它使用诸如金属硅化物的金属，如镍硅化物，来晶化非晶硅。第一绝缘层图案 111 和第二绝缘层 113 是由二氧化硅层或者氮化硅层形成的。

然而，根据本发明的示范性实施例，金属诱导晶化可以通过在大约 400 至 700℃ 的温度下，优选 500 至 600℃ 下，通过热处理而进行，热处理的时间大约是 1 至 18 个小时，优选 3 至 12 个小时。这个晶化温度和热处理时间可以允许通过金属诱导横向晶化对沟道区 109 进行晶化，尽管并不要求该晶化温度和热处理时间仅仅用来晶化源/漏极区 108 和电容器的第一电极 110。参考数字 116 所指的是通过金属诱导横向晶化方法晶化的非晶硅区域。

也就是说，沟道区 109 是通过金属诱导横向晶化方法晶化的，其中沟道区的非晶硅是通过横向持续扩展半导体层的源/漏极区的晶化物来晶化的，而半导体层的源/漏极区是通过金属诱导晶化方法晶化的。

因此，半导体层的源/漏极区 108 和由非晶硅形成的电容器的第一电极 110 是通过金属诱导晶化方法利用晶化诱导物质 112 晶化的，半导体层的沟道区 109 是通过金属诱导横向晶化方法横向持续扩展利用金属诱导晶化方法所晶化的晶化物来晶化的。

作为一个工艺横截面图，图 2E 显示了在衬底上形成栅电极和电容器的第二电极的步骤。如图 2E 显示，为形成栅电极和电容器的第二电极，一种金属可以被淀积在衬底的整个表面上，接着再被构图，藉此同时形成栅电极 117 和第二电极 118。形成第二电极即生成了电容器。

如图 2E 所示，栅极绝缘体包括第一绝缘层图案 111 和第二绝缘层 113，而在电容器的第一和第二电极 114 和 118 之间形成的电容器的绝缘层仅仅由

第二绝缘层 113 形成。因此，电容器的电容能够通过控制第二绝缘层 113 的厚度来进行控制。相应的，形成的第二绝缘层 113 可以薄一些，因为第二绝缘层 113 越薄，电容增加的就越多。

结果，就有可能减少电容器的表面面积。更具体地说，根据电容器绝缘层所减少的厚度，电容器的表面面积可以减少 20%至 30%，且孔径比可以增加 2%至 15%。当把 5 个晶体管和 2 个电容器的结构用于有机电致发光显示器时，电容器的表面面积可以减少 27%，且孔径比可以增加 10%。而且，当把 2 个晶体管和 2 个电容器的结构用于有机电致发光显示器时，电容器的表面面积可以减少 27%，且孔径比可以增加 2.7%。

或者，如有必要，栅极绝缘体也可以用两个以上的层来形成，包括第一绝缘层图案 111 和第二绝缘层 113 之外的其他绝缘层。

作为一个工艺横截面图，图 2F 显示了在衬底上形成层间电介质和源/漏电极的步骤。如图 2F 显示，层间电介质 119 可以在衬底的整个表面上形成，可以蚀刻层间电介质 119 的区域和第二绝缘层 113 以暴露源/漏极区的表面 108/114，并且源/漏电极形成材料可以通过淀积和构图以形成源/漏电极 120。

图 3A、图 3B、图 3C 和图 3D 是显示根据本发明的示范性实施例的半导体器件的制造工艺的横截面图，其中薄膜晶体管的源/漏极区的一些特定区域和电容器的第一电极是通过金属诱导晶化方法晶化的，源/漏极区的其他区域和薄膜晶体管的沟道区是通过金属诱导横向晶化方法晶化的。

作为一个工艺横截面图，图 3A 显示了通过以下步骤界定半导体层和电容器的第一电极的步骤：在绝缘衬底上淀积和构图非晶硅；在衬底上形成第一绝缘层；在半导体层的特定区域上形成光致抗蚀剂图案；通过利用光致抗蚀剂图案作为掩模注入杂质来界定源/漏极区和半导体的沟道区；以及把杂质注入电容器的第一电极。如图 3A 显示，缓冲层 202 可以在由例如塑料或玻璃材料造成的透明绝缘衬底 201 上形成，而且非晶硅层可以通过物理气相淀积或化学气相淀积方法在缓冲层 202 上进行淀积。非晶硅层接着可以被构图来界定半导体层 203 和电容器的第一电极 204。第一绝缘层 220 可以在衬底上形成，并且光致抗蚀剂可以接着被涂布在衬底上，并在半导体层 203 上的特定区域进行曝光并显影形成光致抗蚀剂图案 205。

接着可以进行杂质注入工艺 208，利用光致抗蚀剂图案 205 作为掩模，把杂质注入半导体层 203 和电容器的第一电极 204，进而形成源/漏极区 207

和半导体层的沟道区 206 以及电容器的第一电极 204。

作为一个工艺横截面图，图 3B 显示了通过蚀刻第一绝缘层形成第一绝缘层图案和在衬底上形成晶化诱导材料的步骤。如图 3B 显示，在光致抗蚀剂图案 205 被清除后，另一个光致抗蚀剂图案（未示出）可以在衬底上形成，以便第一绝缘层 220 可以被构图形成第一绝缘层图案 209，如图 3B 的区域 A 显示，该绝缘层图案 209 暴露了源/漏极区 207 中心部分的特定区域。或者，如图 3B 的区域 B 所示，第一绝缘层 220 可以被构图来暴露源/漏极区 207 边缘的特定区域。无论是两种中的哪一种，第一绝缘层 220 均被构图来暴露电容器的第一电极 204。

接着，完成在衬底的整个表面上淀积图 2C 所描述的金属材料之后，晶化诱导物质 210，如金属硅化物，可以形成，并且清除形成晶化诱导物质 210 后保留的金属材料。

区域 A 和区域 B 中被暴露的特定区域的尺寸没有特别限制。特定区域的尺寸可以和在随后的工序中通过金属诱导晶化方法晶化的区域的尺寸相等，以便最小化通过金属诱导晶化方法晶化的区域，但是该特定区域也可以具有和源/漏极区的尺寸相似的尺寸。通过金属诱导晶化方法晶化的区域可以被最小化，因为该区域是利用保留在晶化硅层上的晶化诱导物质晶化的。保留的晶化诱导物质可以在半导体中产生漏电流，由此劣化薄膜晶体管的特性。

此外，尽管在图 3B 中没有显示，晶化诱导物质 210 可以在源/漏极区 207 的特定部分上形成，而该特定部分是源/漏极区 207 和沟道区 206 之间的界面相邻的。

作为一个工艺横截面，图 3C 显示了如下步骤：在衬底上形成第二绝缘层，通过热处理第二绝缘层由金属诱导晶化方法来晶化源/漏极区的特定区域和电容器的第一电极，并且通过金属诱导横向晶化方法晶化沟道区和源/漏极区的其他区域。如图 3C 显示，第二绝缘层 211 可以在衬底的整个表面上形成，并且薄膜晶体管的半导体层和电容器的第一电极是按照图 2D 的描述通过金属诱导晶化方法或者金属诱导横向晶化方法晶化的。

金属诱导物质 210 在区域 A 上形成时，金属诱导晶化 212 可以在晶化诱导物质 210 所形成的区域上通过金属诱导晶化方法进行，并且金属诱导横向晶化 213 可以在源/漏极区的其他部分上通过金属诱导横向晶化方法进行。也

就是说,源/漏极区的特定区域,以及沟道区,是通过在图 3C 的区域 A 的中心附近展开金属诱导横向晶化进行晶化的,以便晶化深入到源/漏极区的边缘(区域 A 的左侧)和沟道区。而且,晶化诱导物质 210 在图 3C 的区域 B 上形成时,源/漏极区的边缘是通过金属诱导晶化方法晶化的,源/漏极区的其他区域和沟道区是通过金属诱导横向晶化方法晶化的。

此外,当晶化诱导物质没有在源/漏极区的两侧一起形成但在源/漏极区的一侧形成时,金属诱导晶化方法只可以在源/漏极区的该一侧的整侧或者源/漏极区的特定区域进行,并且晶化物可以从通过金属诱导晶化方法晶化的硅展开,以便沟道区和源/漏极区的另一侧通过金属诱导横向晶化方法进行晶化。

电容器的第一电极可以通过金属诱导晶化方法进行晶化,如图 2C 和图 2D 描述的一样。

作为一个工艺横截面图,图 3D 显示了栅电极、电容器的第二电极、层间电介质和源/漏电极在衬底上形成的步骤。如图 3D 显示,用来形成栅电极和电容器的第二电极的材料可以淀积在衬底的整个表面上,接着再被构图形成栅电极 214 和电容器的第二电极 215。接着,层间电介质 216 可以被淀积在衬底的整个表面上,并进而可以如在图 2E 和图 2F 描述的那样形成源/漏电极 217。

因此,薄膜晶体管可以包括半导体层,该半导体层具有通过金属诱导晶化方法晶化的源/漏极区的特定区域,以及通过金属诱导横向晶化方法晶化的源/漏极区的其他区域和沟道区。薄膜晶体管可以在透明的绝缘衬底上形成,例如塑料或者玻璃,栅极绝缘体可以在半导体层上形成,栅电极可以在栅极绝缘体上形成,层间电介质可以保护栅电极,并且源/漏电极可以形成得与半导体层的源/漏极区连接。电容器可以包括通过金属诱导晶化方法晶化的第一电极、在第一电极上形成的绝缘层、以及利用和薄膜晶体管的栅电极一样的材料在绝缘层上形成的第二电极。形成的电容器和薄膜晶体管是间隔开的。

因此,根据本发明的示范性实施例的半导体器件和制造半导体器件的方法,不仅可以防止衬底的收缩或翘曲,还可以为薄膜晶体管的半导体层和为电容器获得优良的特性。薄膜晶体管和电容器可以通过简单的工艺同时形成,该工艺包括:利用非晶硅形成薄膜晶体管的半导体层和电容器的第一电极,通过金属诱导晶化或金属诱导横向晶化方法晶化非晶硅,以及利用同样

的材料形成薄膜晶体管的栅电极和电容器的第二电极，以便通过简单的工艺同时形成薄膜晶体管和电容器。而且薄膜晶体管和电容器可以通过一种适用于每个器件的晶化方法进行晶化，藉此在低温和短时间内执行晶化。

显然对于本领域技术人员来说，不用离开本发明的精神和范围就可以进行各种更改和修改。因此，本发明意在包括本发明的各种更改和修改，只要这种更改和修改属于权利要求及其等价要件的范围。

本申请要求享有 2004 年 6 月 30 日提交的韩国专利申请 No. 10-2004-0050916 的优先权和利益，在此将其引入本申请以做参考，如同在此做出全面阐述一样。

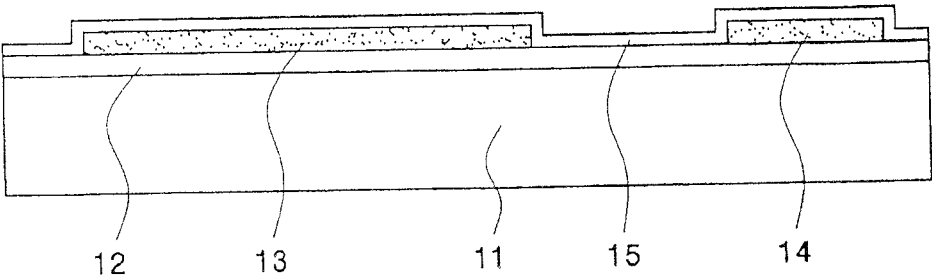


图 1A

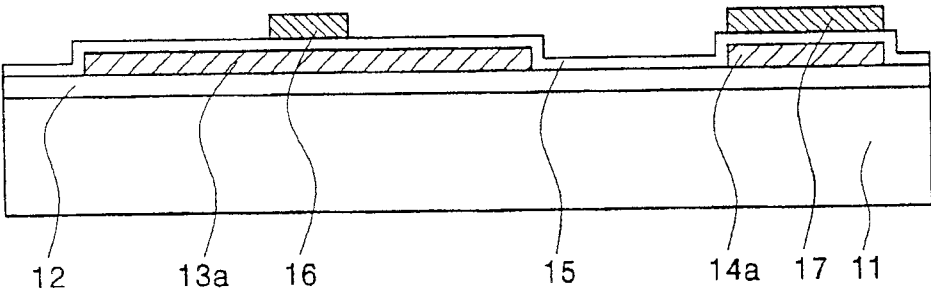


图 1B

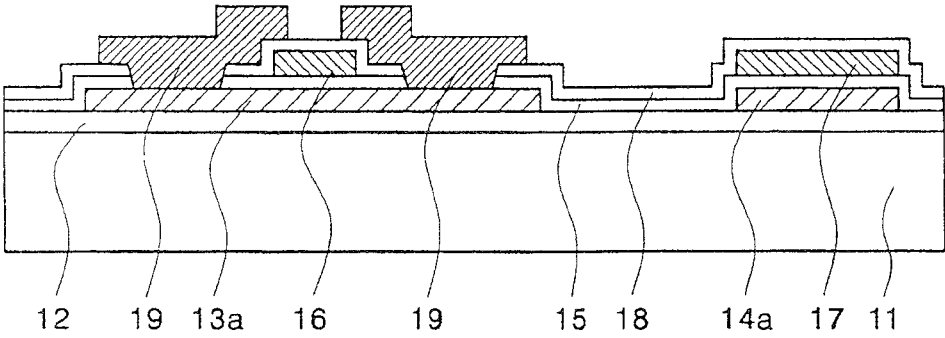


图 1C

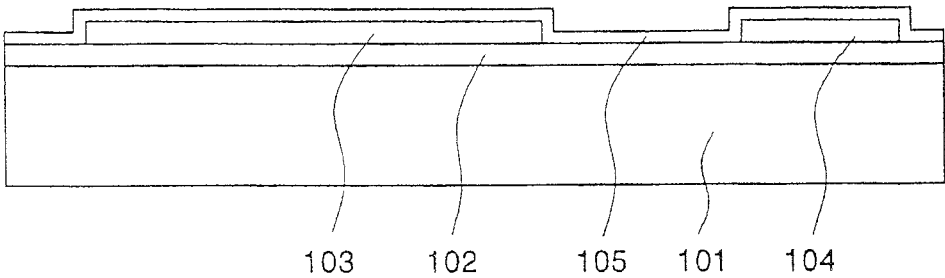


图 2A

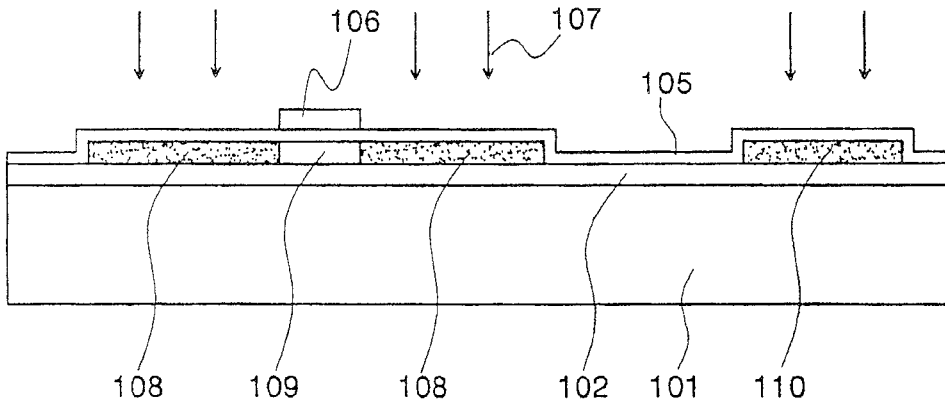


图 2B

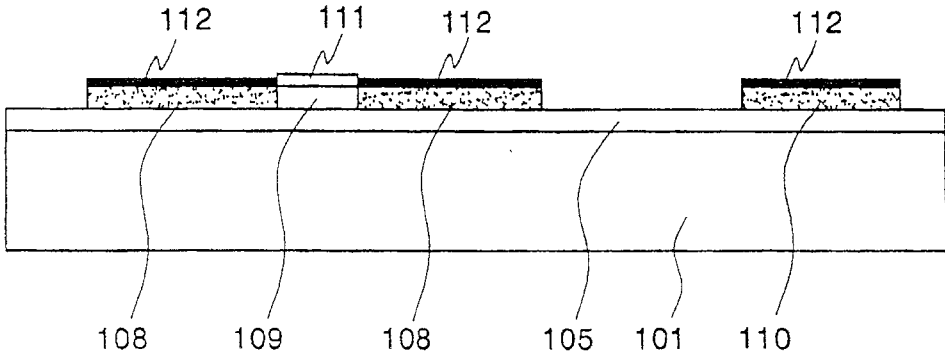


图 2C

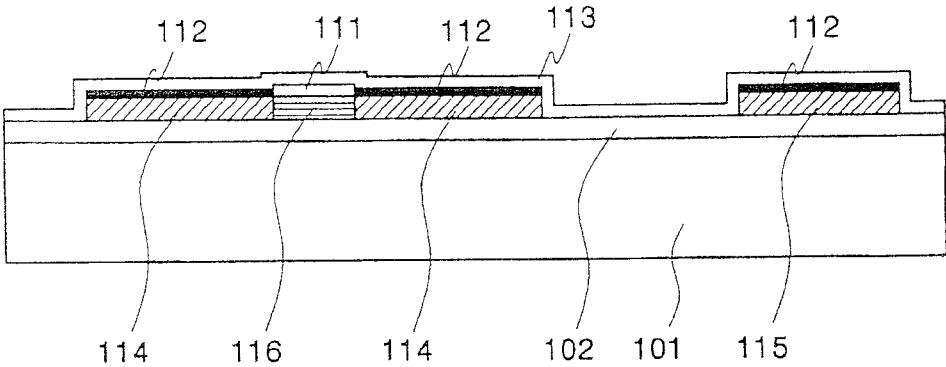


图 2D

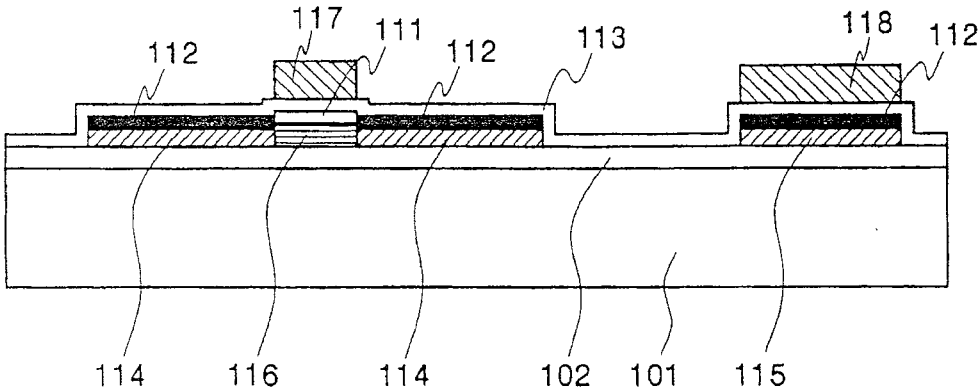


图 2E

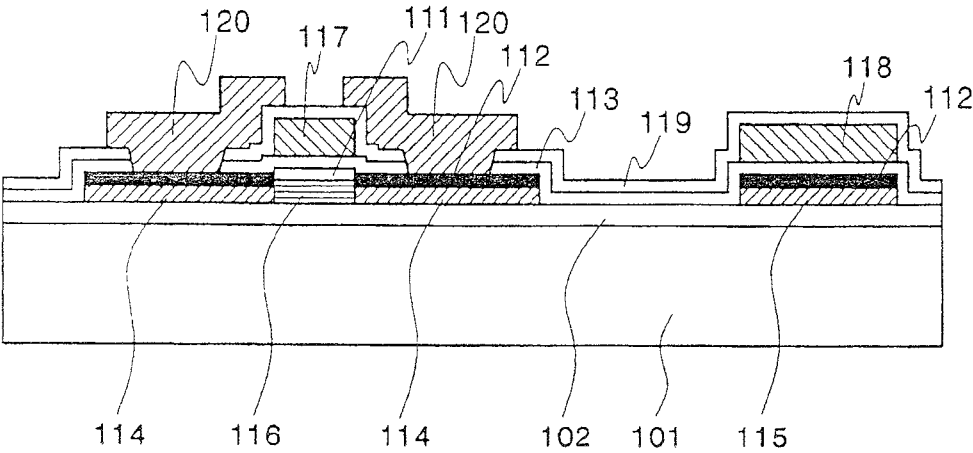


图 2F

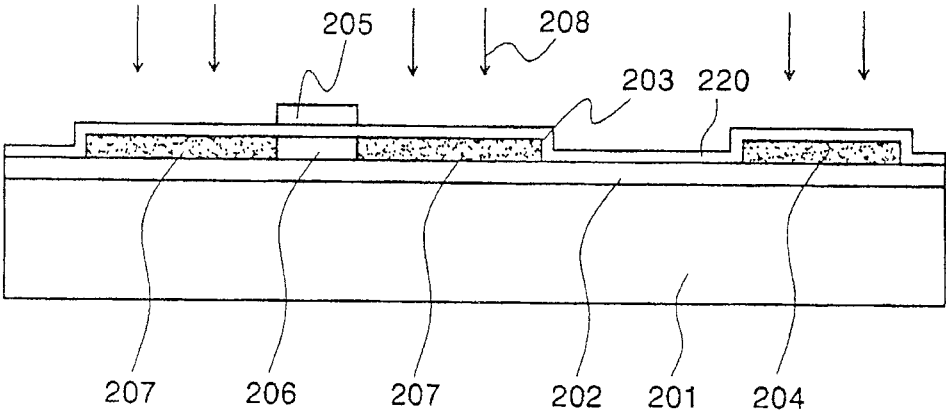


图 3A

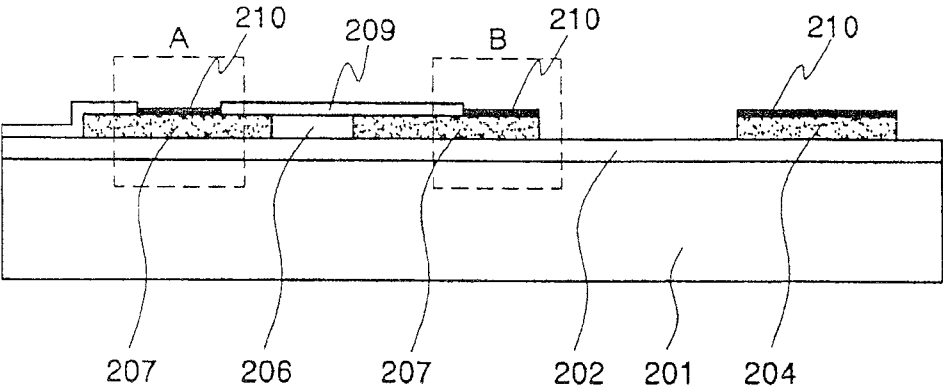


图 3B

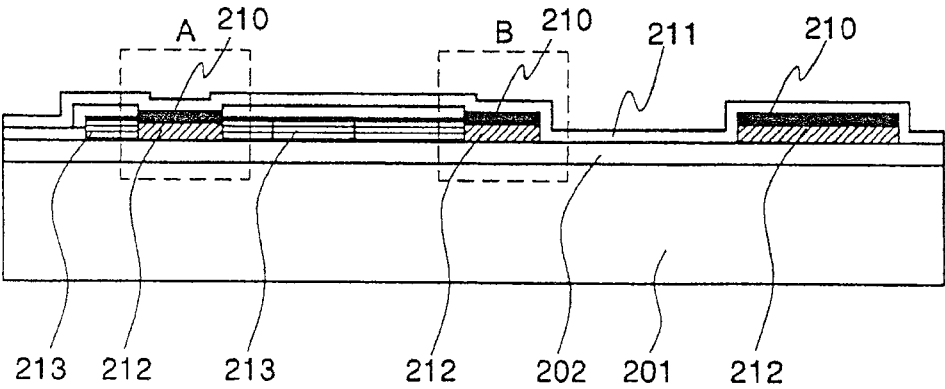


图 3C

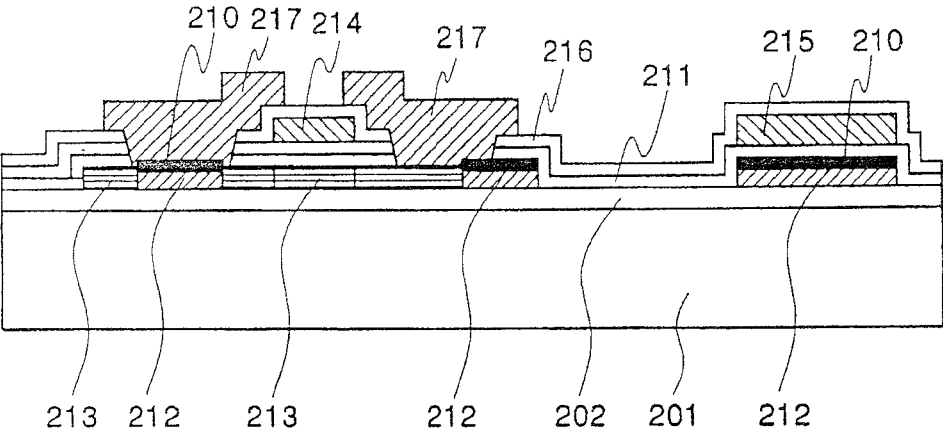


图 3D