



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201630213 A

(43) 公開日：中華民國 105 (2016) 年 08 月 16 日

(21) 申請案號：104136777

(22) 申請日：中華民國 104 (2015) 年 11 月 06 日

(51) Int. Cl. : H01L33/10 (2010.01)

H01L33/20 (2010.01)

H01L33/00 (2010.01)

(30) 優先權：2014/11/06 美國

62/076,013

(71) 申請人：皇家飛利浦有限公司 (荷蘭) KONINKLIJKE PHILIPS N. V. (NL)  
荷蘭

(72) 發明人：可赫拉斯 伯里斯 KHARAS, BORIS (US)

(74) 代理人：林嘉興

申請實體審查：無 申請專利範圍項數：15 項 圖式數：4 共 23 頁

(54) 名稱

具有位於一頂部接點下方之溝渠之發光裝置

LIGHT EMITTING DEVICE WITH TRENCH BENEATH A TOP CONTACT

(57) 摘要

本發明之實施例係關於防止吸收結構下方產生光及/或導引光遠離吸收結構之垂直發光裝置中之結構。本發明之實施例包含半導體結構，其包含一發光層，該發光層安置在一 n 型區與一 p 型區之間。一底部接點安置在該半導體結構之底面上。該底部接點電連接至該 n 型區及該 p 型區之一者。一頂部接點安置在該半導體結構之頂面上。該頂部接點電連接至該 n 型區及該 p 型區之另一者。該頂部接點包含第一側及與該第一側相對之第二側。在該頂部接點之該第一側下方之該半導體結構中形成第一溝渠。在該頂部接點之該第二側下方之該半導體結構中形成第二溝渠。

Embodiments of the invention are directed to structures in a vertical light emitting device that prevent light from being generated beneath absorbing structures, and/or direct light away from absorbing structures. Embodiments of the invention include a semiconductor structure including a light emitting layer disposed between an n-type region and a p-type region. A bottom contact is disposed on a bottom surface of the semiconductor structure. The bottom contact is electrically connected to one of the n-type region and the p-type region. A top contact is disposed on a top surface of the semiconductor structure. The top contact is electrically connected to the other of the n-type region and the p-type region. The top contact includes a first side and a second side opposite the first side. A first trench is formed in the semiconductor structure beneath the first side of the top contact. A second trench is formed in the semiconductor structure beneath the second side of the top contact.

指定代表圖：

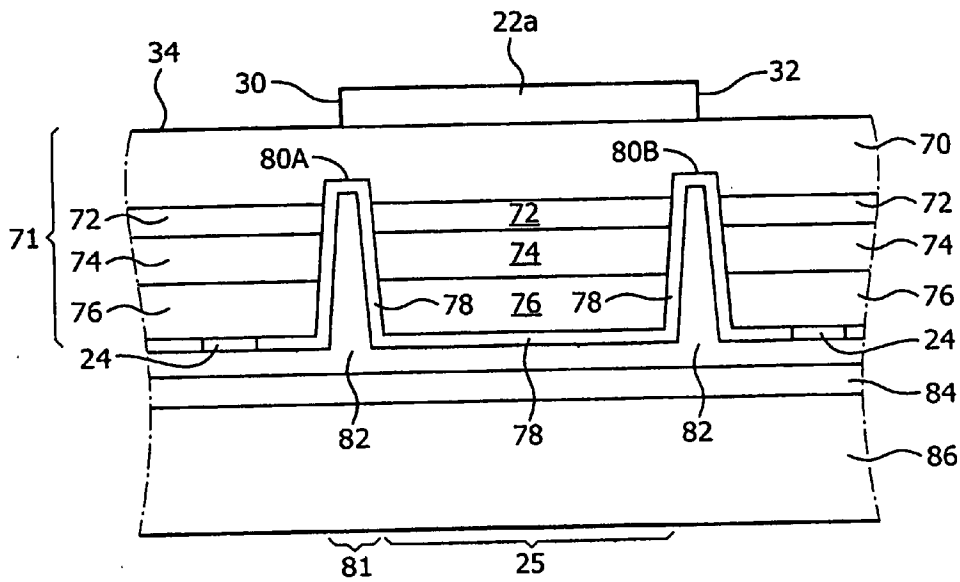


圖 3

符號簡單說明：

- 22a . . . n 接觸臂
- 24 . . . 區域/p 接點
- 區域/p 接點/洞
- 25 . . . 間隙
- 30 . . . 外壁
- 32 . . . 內壁
- 34 . . . 表面
- 70 . . . n 型區/n 型層
- 71 . . . 半導體裝置結構/裝置層
- 72 . . . 作用區
- 74 . . . p 型區/p 型層
- 76 . . . p 型接觸層/p 型層/p 型區
- 78 . . . 介電材料/介電層
- 80A . . . 溝渠
- 80B . . . 溝渠
- 81 . . . 寬度
- 82 . . . 反射層/反射金屬/反射導電層
- 84 . . . 接合層
- 86 . . . 座架

201630213

## 發明摘要

※ 申請案號：104136777

※ 申請日：104.11.6

※IPC 分類： H01L 33/10 (2010.1)  
H01L 33/20 (2010.1)  
H01L 33/00 (2010.1)

## 【發明名稱】

具有位於一頂部接點下方之溝渠之發光裝置

LIGHT EMITTING DEVICE WITH TRENCH BENEATH A TOP  
CONTACT

## 【中文】

本發明之實施例係關於防止吸收結構下方產生光及/或導引光遠離吸收結構之垂直發光裝置中之結構。本發明之實施例包含半導體結構，其包含一發光層，該發光層安置在一n型區與一p型區之間。一底部接點安置在該半導體結構之底面上。該底部接點電連接至該n型區及該p型區之一者。一頂部接點安置在該半導體結構之頂面上。該頂部接點電連接至該n型區及該p型區之另一者。該頂部接點包含第一側及與該第一側相對之第二側。在該頂部接點之該第一側下方之該半導體結構中形成第一溝渠。在該頂部接點之該第二側下方之該半導體結構中形成第二溝渠。

## 【英文】

Embodiments of the invention are directed to structures in a vertical light emitting device that prevent light from being generated beneath absorbing structures, and/or direct light away from absorbing structures. Embodiments of the invention include a semiconductor structure including a light emitting layer disposed between an n-type region and a p-type region. A bottom contact is disposed on a bottom surface of the semiconductor structure. The bottom contact is electrically connected to one of the n-type region and the p-type region. A top contact is disposed on a top surface of the semiconductor structure. The top contact is electrically connected to the other of the n-type region and the p-type region. The top contact includes a first side and a second side opposite the first side. A first trench is formed in the semiconductor structure beneath the first side of the top contact. A second trench is formed in the semiconductor structure beneath the second side of the top contact.

**【代表圖】**

**【本案指定代表圖】**：第（ 3 ）圖。

**【本代表圖之符號簡單說明】**：

- 22a n接觸臂
- 24 區域/p接點區域/p接點/洞
- 25 間隙
- 30 外壁
- 32 內壁
- 34 表面
- 70 n型區/n型層
- 71 半導體裝置結構/裝置層
- 72 作用區
- 74 p型區/p型層
- 76 p型接觸層/p型層/p型區
- 78 介電材料/介電層
- 80A 溝渠
- 80B 溝渠
- 81 寬度
- 82 反射層/反射金屬/反射導電層
- 84 接合層
- 86 座架

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

(無)

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

具有位於一頂部接點下方之溝渠之發光裝置

LIGHT EMITTING DEVICE WITH TRENCH BENEATH A TOP  
CONTACT

## 【技術領域】

本發明係關於具有經放置以引導光遠離頂部接點之溝渠之垂直薄膜發光裝置。

## 【先前技術】

發光二極體(LED)在需要低電力消耗、小尺寸及高可靠性之許多應用中廣泛地接受為光源。在可見光譜之黃綠色至紅色區中發光之節約能量的二極體通常含有由III族磷化物合金形成之作用層。

圖1繪示一在US 2011/0266568(其以引用的方式併入本文)中更詳細地描述之垂直薄膜III族磷化物裝置之一部分。在一垂直裝置中，接點形成於該半導體結構之頂部及底部表面上。電流藉由該等接點注入且在一垂直方向上行進。垂直架構之一缺點係鑑於電極組態，電流趨向於在該頂部接點正下方流動且在該頂部接點正下方之作用區中優先產生光。在該頂部接點正下方產生之光可能藉由該頂部接點吸收，其可減少自該裝置之光學提取。

圖1繪示位於一頂部n接點35下方之裝置500之一部分。該裝置包含一n型區50、一發光或作用區52、一p型區54及一p型接觸層56。

嵌入該半導體結構之一鏡45防止光在n接點35下方產生或藉由n接點35吸收。鏡45形成於一蝕刻在該半導體結構中之溝渠44中，其可經蝕刻通過作用區52。該溝渠可與n接點35對準且具有與n接點35相同

之寬度。溝渠44可延伸至n型區50。更深的溝渠形成更有效的鏡；然而，溝渠44之深度由使電流通過n型區50擴展且在處理及操作期間維持該半導體結構之結構完整性之需要限制。在n接點35下方形成該鏡之溝渠44之底部之寬度可與n接點35之寬度相同。溝渠44可具有成角度的或直的側壁。在一些實施例中，側壁相對於該半導體結構之該頂面之一法線成 $30^\circ$ 至 $60^\circ$ 角且在一些實施例中，相對於該半導體結構之該頂面之一法線成 $45^\circ$ 角。成角度的側壁可(例如)藉由加熱一光阻遮罩使得其回流以形成一傾斜側壁而形成。該傾斜側壁之形狀藉由乾蝕刻轉印至該半導體。

溝渠44及p型接觸層56之頂面內襯一藉由(例如)電漿輔助化學氣相沈積形成之介電材料58 (諸如 $\text{SiO}_2$ )。介電材料58可係一單一層材料或多層相同或不同材料。在一些實施例中，介電材料58之厚度係足以確保全內反射。此效應之最小必要厚度係一光學波長之一分數，且取決於介電質之折射率。例如，關於一 $\text{SiO}_2$ 之介電層58，至少50 nm之一厚度將係適合的，且可使用與一或若干微米一樣大之一厚度。

鏡45包含一反射導電層62 (通常係一反射金屬層(諸如銀或鋁))及一介電層58。在一些實施例中，該介電層定位於該半導體結構與反射導電層62之間且亦提供電隔離。反射層62可係(例如)銀且可藉由(例如)蒸鍍或濺鍍而沈積。反射層62可係一單一層材料或多層相同或不同材料。在一些實施例中，反射層62之厚度係在1000 Å與5000 Å之間。

在n接點35之方向上發射之光藉由鏡45反射遠離n接點35。在一些實施例中，鏡45之側係傾斜的以引導光朝向該裝置之該頂面。以大角度入射在該鏡上之光藉由介電層58全內反射。以小角度入射在該鏡上之光通過該介電層且藉由反射層62反射。

## 【發明內容】

本發明之一目的係提供一種具有一位於一頂部接點下方之溝渠之垂直薄膜裝置以引導光遠離該頂部接點。

本發明之實施例包含一半導體結構，其包括一安置在一n型區與一p型區之間的發光層。一底部接點安置在該半導體結構之一底面上。該底部接點電連接至該n型區及該p型區之一者。一頂部接點安置在該半導體結構之一頂面上。該頂部接點電連接至該n型區及該p型區之另一者。一鏡安置在該頂部接點正下方。該鏡包含一形成於該半導體結構中之溝渠及一安置在該溝渠中之反射材料。該溝渠自該半導體結構之該底面延伸。該溝渠不會貫穿該發光層。

本發明之實施例包含一半導體結構，其包括一安置在一n型區與一p型區之間的發光層。一底部接點安置在該半導體結構之一底面上。該底部接點電連接至該n型區及該p型區之一者。一頂部接點安置在該半導體結構之一頂面上。該頂部接點電連接至該n型區及該p型區之另一者。該頂部接點包含一第一側及與該第一側相對之一第二側。一第一溝渠形成於該半導體結構中位於該頂部接點之該第一側下方。一第二溝渠形成於該半導體結構中位於該頂部接點之該第二側下方。

### 【圖式簡單說明】

圖1繪示具有形成於一溝渠中之一鏡之一先前技術III族磷化物裝置。

圖2繪示根據本發明之實施例之一垂直薄膜裝置中之n及p接點之配置。

圖3係包含安置在該n接點下方之兩個溝渠之一裝置之一部分之一橫截面。

圖4係包含安置在該n接點下方之一淺溝渠之一裝置之一部分之一橫截面。

### 【實施方式】



在圖1中繪示之結構中，溝渠44切穿該半導體結構之作用區52。該溝渠亦建立一熱絕緣之空隙空間。將一熱絕緣空隙空間放置於緊鄰高電流注入及高溫之一區域可減少該裝置之效率，或引起裝置故障。最終，溝渠44減少該半導體結構之厚度，增加該半導體結構可裂開之可能性。

本發明之實施例係關於一垂直發光裝置中之防止光在吸收結構(諸如該頂部n接點)下方產生及/或引導光遠離吸收結構而不會經受上文所描述之圖1結構之缺點之結構。

取決於背景，如本文所使用，「AlGaInP」或「AlInGaP」特定言之可係指鋁、銦、鎵及磷之一四元合金或一般而言可係指鋁、銦、鎵及磷之任何二元、三元或四元合金。「III族氮化物」可係指任何III族原子(諸如鋁、銦及鎵)及氮氣之一二元、三元或四元合金。取決於背景，如本文所使用，「接點」特定言之可係指一金屬電極，或一般而言可係指一半導體接觸層、一金屬電極及安置在該半導體接觸層與該金屬電極之間的任何結構之組合。儘管在實例中AlInGaP LED位於該半導體發光裝置下方，但可使用除LED外之半導體發光裝置，諸如雷射二極體及由其他材料系統(諸如其他III族至V族材料、III族氮化物、III族磷化物、III族砷化物、II族至VI族材料、ZnO或基於Si之材料)製成之半導體發光裝置。

圖2繪示根據本發明之實施例之一垂直AlInGaP裝置中之n及p接點之配置。該等n接點結構形成於該裝置之該頂面上-自該裝置提取大多數光之表面。該等p接點結構形成於該裝置之該底面上-與該頂面對之表面。

該n接點包含一大接觸墊20及一或多個更窄接觸臂22。在圖2中繪示之組態中，n接觸墊定位於接近該結構之左下角。該裝置包含統稱接觸臂22之四個接觸臂22a、22b、22c及22d。兩個接觸臂22a及22b

自接觸墊20延伸與另兩個接觸臂22c及22d連接以形成一方形。

該等p接點結構形成於該裝置之該底面上。因為大多數光通過該頂面自該裝置提取，所以在該底面之方向上發射之光較佳地朝向該頂面反射。然而，通常用於AlInGaP裝置中之p接點之材料係吸收而不是反射。相應地，為將該p接點之區域最小化，該p接點在許多小區域24上分佈。p接點區域24之間的裝置之底面23製成具反射性。p接點區域24形成於藉由n接觸臂22a、22b、22c及22d形成之方形內部之一區域27中及藉由n接觸臂22形成之方形外部之一區域29中。n接觸臂22a、22b、22c及22d具有一內壁32及一外壁30，描述於下文。

圖3及圖4係根據一些實施例之AlInGaP裝置之部分之橫截面圖。圖3及圖4中繪示一n接觸臂22a之區。在圖3之裝置中，兩個窄溝渠而不是如圖1中所繪示之一單一、寬溝渠形成於n接觸臂22a下方。在圖4之裝置中，一寬、淺溝渠而不是如圖1中所繪示之一寬、深溝渠形成於n接觸臂22a下方。儘管圖3及圖4中繪示n接觸臂22a，但所繪示之結構可形成於其他n接觸臂22b、22c及22d之任一者下方。圖3及圖4中繪示之裝置形成如下。一半導體裝置結構71在一生長基板(未展示)上生長。儘管可使用任何適合生長基板，但該生長基板通常係GaAs。一蝕刻終止層(未展示)在該生長基板上生長。該蝕刻終止層可係可用以終止一稍後用以移除該生長基板之蝕刻之任何材料。該蝕刻終止層可係(例如) InGaP、AlGaAs或AlInGaP。儘管不需要，但該蝕刻終止層之材料可晶格匹配至該生長基板(通常係GaAs)。未晶格匹配至該生長基板之蝕刻終止層可足夠薄以避免鬆弛及/或可應變補償。該蝕刻終止層之厚度取決於用以移除GaAs基板之蝕刻溶液之選擇性；蝕刻之選擇越少，該蝕刻終止層越厚。如下文所描述，儘管如果該蝕刻終止層用以紋理化該裝置之發射表面則可使用一更厚的蝕刻終止層，但一AlGaAs蝕刻終止層可在(例如)2000與5000 Å之間。一Al<sub>x</sub>Ga<sub>1-x</sub>As蝕刻

終止層之組合物x可在(例如) 0.50與0.95之間。

裝置層71 (其在夾在一n型區與一p型區之間的一發光區中包含至少一發光層)在該蝕刻終止層上生長，以n型區70開始。針對低電阻及良好的電流分佈選擇n型區70之厚度及摻雜濃度。例如，n型區70可包含一AlGaInP層，其在一些實施例中至少1  $\mu\text{m}$ 、在一些實施例中不超過10  $\mu\text{m}$ 厚、在一些實施例中至少3  $\mu\text{m}$ 厚、且在一些實施例中不超過5  $\mu\text{m}$ 厚。該AlGaInP層可摻雜Te或Si至(在一些實施例中)至少 $5 \times 10^{17} \text{ cm}^{-3}$ 及(在一些實施例中)不超過 $5 \times 10^{18} \text{ cm}^{-3}$ 之一濃度。一AlGaInP n型區70通常晶格匹配至GaAs。在更高摻雜劑濃度下，可使用一更薄層實現相同電流分佈；然而，在更高摻雜劑濃度下，不需要的自由載子吸收可增加。因此，n型區70可包含一非均勻摻雜濃度，諸如一或多個摻雜至(在一些實施例中)一至少 $5 \times 10^{17} \text{ cm}^{-3}$ 及(在一些實施例中)不超過 $5 \times 10^{18} \text{ cm}^{-3}$ 之濃度之厚區及一或多個摻雜更重(多大(例如)  $1 \times 10^{19} \text{ cm}^{-3}$ )之薄區。此等高度摻雜之區可摻雜Te、Si、S或其他適合摻雜劑，且高摻雜濃度可藉由晶膜生長、藉由摻雜劑擴散或兩者實現。在一實例中，一具有一經組態以發射紅色光之發光區之裝置中之n型區70之組合物係 $(\text{Al}_{0.40}\text{Ga}_{0.60})_{0.5}\text{In}_{0.5}\text{P}$ 。

一發光或作用區72在一n型區70上生長。適合發光區之實例包含一單一發光層及一多量子井發光區，其中多個厚或薄發光井藉由障壁層分離。在一實例中，經組態以發射紅色光之一裝置之發光區72包含藉由 $(\text{Al}_{0.65}\text{Ga}_{0.35})_{0.5}\text{In}_{0.5}\text{P}$ 障壁分離之 $(\text{Al}_{0.06}\text{Ga}_{0.94})_{0.5}\text{In}_{0.5}\text{P}$ 發光層。該等發光層及該等障壁可各者具有(例如) 20與200  $\text{\AA}$ 之間的一厚度。該發光區之總厚度可在(例如) 500  $\text{\AA}$ 與3  $\mu\text{m}$ 之間。

一p型區74在發光區72上生長。P型區74經組態以限制發光區72中之載子。在一實例中，p型區74係 $(\text{Al}_{0.65}\text{Ga}_{0.35})_{0.5}\text{In}_{0.5}\text{P}$ 且包含一薄層之高Al組合物以限制電子。P型區74之厚度可係大約微米；例如，在

0.5與3  $\mu\text{m}$ 之間。該發光區之該等發光層通過一薄p型區74至p接點之鄰近度亦可減少該裝置之熱阻抗。

一p型接觸層76在一p型區74上生長。p型接觸層76可高度摻雜且對於藉由發光區72發射之光透明。例如，p型接觸層76可摻雜至(在一些實施例中)一至少 $5 \times 10^{18} \text{ cm}^{-3}$ 及(在一些實施例中)至少 $1 \times 10^{19} \text{ cm}^{-3}$ 之電洞濃度。在此情況下，p型接觸層76可具有100 Å與1000 Å之間的一厚度。如果p型接觸層76未高度摻雜，則該厚度可增加至2  $\mu\text{m}$ 。p型接觸層76可係GaP或任何其他適合材料。

在一些實施例中，p型接觸層76高度摻雜GaP。例如，一藉由金屬有機化學氣相沈積生長之GaP接觸層76可摻雜Mg或Zn，激活至一 $5 \times 10^{17}$ 與 $5 \times 10^{18} \text{ cm}^{-3}$ 之間的電洞濃度。該GaP層可在低生長溫度下且低生長率生長；例如，在典型GaP生長溫度 $\sim 850^\circ \text{ C}$ 以下約50至 $200^\circ \text{ C}$ 之生長溫度下，且以典型GaP生長率 $\sim 5 \mu\text{m/h}$ 之約1%至10%之生長率。一藉由分子束磊晶生長之GaP接點可摻雜C至一至少 $1 \times 10^{19} \text{ cm}^{-3}$ 之濃度。

如技術中所已知，作為在生長期間併入摻雜劑之一替代物，p型接觸層76可生長，接著，在生長之後，該等摻雜劑可(例如)藉由在一擴散爐或生長反應器中提供一高壓摻雜劑源自一蒸汽源擴散至該p型接觸層。摻雜劑可(例如)藉由使用(例如)一介電層在摻雜劑擴散之前遮蔽p型接觸層76之部分自一蒸汽源擴散至p型接觸層76之表面之整個區域或擴散至p型接觸層76之離散區中。

在一些實施例中，p型接觸層76係一高度摻雜之GaP或晶格匹配之AlGaInP層。該層藉由生長半導體材料接著在生長層上沈積一層(其包含一摻雜劑源)而摻雜。例如，摻雜劑源層可係基本的Zn、一AuZn合金或一摻雜介電層。包含該摻雜源之該層可視情況覆蓋一擴散阻擋層。該結構經退火使得該等摻雜劑自該摻雜劑源層擴散至該半導體

中。接著，可剝離該擴散阻擋層及剩餘摻雜劑源層。在一實例中，含有4% Zn之一AuZn合金之3000 Å至5000 Å沈積在一GaP層上，接著為一TiW擴散阻擋層。加熱該結構，接著剝離剩餘的TiW及AuZn。在另一實例中，經圖案化之AuZn層留在適當位置中作為(例如)圖3及圖4中展示之p接點區域24中之接點金屬。

在一些實施例中，p型接觸層76係未晶格匹配至GaAs之高度摻雜之InGaP或AlGaInP層。該層可在100 Å與300 Å厚之間且摻雜Mg或Zn至一至少 $1 \times 10^{19} \text{ cm}^{-3}$ 之電洞濃度。

在一些實施例中，顛倒圖3及圖4中繪示之半導體層之順序。在此一裝置(稱為一倒轉架構裝置)中，頂部接觸臂22a至22d及接觸墊20形成於p型接觸層76上，使得大多數光通過該裝置之頂部上之p型接觸層76提取。該底部接點電連接至p型區70。在一倒轉架構裝置中，一GaP或其他適合p型接觸層76可生長得更厚，(例如)生長成10與15 μm之間的一厚度，以使得電流能夠跨越更遠距離擴展。圖3及圖4中繪示之裝置之任一者可形成為具有一倒轉架構。儘管在下文描述中，接觸臂22a稱為n接觸臂22a，但在一倒轉架構裝置中，所繪示之接觸臂22a將係p接點之部分。

接著，形成圖3及圖4中繪示之溝渠。

在圖3中，兩個窄溝渠80A及80B形成於n接觸臂22a至22d之任一側，或稍微重疊n接觸臂22a至22d之兩側。在一些實施例中，一單一窄溝渠(即，僅溝渠80A或80B之一者)，或如圖3中所繪示之兩個窄溝渠形成於n接觸墊20之外邊緣下方。半導體結構71之完全厚度留在溝渠80A與80B之間，其可改良該結構之強度且減少來自其中形成溝渠之區域之裂開之故障。在一些實施例中，如圖3中所繪示，溝渠80A及80B延伸通過p型層74及76且通過作用區72。在一些實施例中，溝渠80A及80B之最深部分位於n型區70中。溝渠80A及80B之深度由使

電流通過n型區70擴展且在處理及操作期間維持該半導體結構之結構完整性之需要限制。在一些實施例中，溝渠80A及80B比圖3中繪示的淺，使得其等僅延伸至作用區72中，或僅延伸至p型區74或76中。在一些實施例中，溝渠80A及80B可在n接觸臂22a至22d之外壁30及內壁32下方對準。在一些實施例中，溝渠80A及80B經定位使得其等位於接觸臂22a至22d之邊緣內部或外部。

在各種實施例中，溝渠80A及80B可具有成角度的或直的側壁。在一些實施例中，側壁相對於該半導體結構之該頂面之一法線成 $30^\circ$ 至 $90^\circ$ 角且在一些實施例中，相對於該半導體結構之該頂面之一法線成 $45^\circ$ 角。成角度的側壁可(例如)藉由加熱一光阻遮罩使得其回流以形成一傾斜側壁而形成。該傾斜側壁之形狀藉由乾蝕刻轉印至該半導體。

溝渠80A及80B之寬度81在該半導體結構之該底面處界定。該寬度經選定使得兩個溝渠80A及80B寬度81之和加上溝渠80A與80B之間隙25係約等於接觸臂之寬度( $2 \times 81 + 25 \approx 22a$ )。溝渠之最小寬度81取決於微影術及蝕刻能力但在一些實施例中可至少 $0.5 \mu\text{m}$ 寬且在一些實施例中不超過 $10 \mu\text{m}$ 寬。一般而言，需要更小的溝渠寬度81。圖3中繪示之方位上之溝渠之頂部處之寬度取決於選定之蝕刻角度。在一些實施例(其中接觸臂22a至22d寬度係 $20 \mu\text{m}$ )中，底部之每個溝渠可係 $5 \mu\text{m}$  (寬度81)，且間隙25可係 $10 \mu\text{m}$ 。在其他實施例中，該間隙可係更小(諸如(例如)  $5 \mu\text{m}$ )，使得該等溝渠安置在接觸臂22a至22d之輪廓內部(即，該等邊緣內部)。在其他實施例中，該間隙可係更寬(諸如(例如)  $20 \mu\text{m}$ )，使得該等溝渠安置在接觸臂22a至22d之輪廓外部(即，該等邊緣外部)。間隙25選定為盡可能大以將保持在該半導體結構之該底面處之半導體71之量最大化。

在圖4中，一單一、寬、淺溝渠90形成於n接觸臂22a至22d下方。

在一些實施例中，如圖4中繪示之一單一窄溝渠或一寬、淺溝渠形成於n接觸墊20之外邊緣下方。溝渠90之最深點處之寬度可與n接觸臂22a之寬度相同以防止光在n接觸臂22正下方產生。接觸臂22a至22d之寬度經選定以最佳化在該LED之半導體層內之電流擴展，而同時將可阻擋光自該半導體發射之多餘寬度最小化。實際上，該最小寬度藉由微影術及程序限制判定。在一些實施例中，接觸臂22a至22d可係至少5  $\mu\text{m}$ 寬及在一些實施例中，不超過50  $\mu\text{m}$ 寬。溝渠90之寬度可與接觸臂22a之寬度相同，或稍小或稍大。在一些實施例中，溝渠90之寬度可係接觸臂22a之寬度之加或減10%。例如，如果接觸臂22a係20  $\mu\text{m}$ 寬，則溝渠90可在18  $\mu\text{m}$ 與22  $\mu\text{m}$ 寬之間。

如圖4中所繪示，在一些實施例中，溝渠90延伸通過p型接觸層76且至p型區74中。在一些實施例中，溝渠90比圖4中繪示的更深或更淺。在一些實施例中，該溝渠自該半導體結構之該底面延伸且不會貫穿該發光層。更淺的溝渠容許更佳電流擴展及在處理及操作期間之該半導體結構之更佳結構完整性。溝渠90可具有一(在一些實施例中)至少0.5  $\mu\text{m}$ 及(在一些實施例中)不超過5  $\mu\text{m}$ 之深度91。溝渠90之深度可藉由呈現之該半導體結構之厚度判定。例如，延伸通過作用區72或至n型層70中之一溝渠可比一未延伸通過作用區72之溝渠深。

形成該等溝渠之後，溝渠80A及80B或溝渠90及p型接觸層76之頂面內襯一介電材料78。介電材料78可係藉由任何適合技術形成之任何適合材料。介電材料78可係(例如)藉由(例如)電漿輔助化學氣相沈積形成之 $\text{SiO}_2$ 。介電材料78可係一單一層材料或多層相同或不同材料。在一些實施例中，介電層78之厚度足以確保入射於該介電層上之光之全內反射(TIR)。TIR之最小必要厚度係一光學波長之一分數，且取決於介電質之折射率。例如，對於具有一 $\text{SiO}_2$ 之介電層78，至少50 nm之一厚度將係適合的，且可使用與一或若干微米一樣大之一厚度。

小洞在介電層78 (其中需要電接觸p型接觸層76)中蝕刻。在圖3中，為防止光在溝渠80A與80B之間(其中光可藉由n接觸臂22吸收)產生，溝渠80A與80B之間的介電質78中未形成任何p接點開口。在圖4中，n接觸臂22a下方未形成任何p接點開口。相應地，沒有光藉由n接觸臂22a下方之作用區72產生。P接點洞填滿一接點金屬以形成p接點24。該接點金屬可藉由(例如) AuZn之濺鍍及一剝離程序形成。可使用一導致一自行對準程序之單一光阻遮罩執行介電質78上之小洞之蝕刻及該金屬接點之剝離。在一些實施例中，填滿接點金屬之介電質78中之小洞24的直徑在1  $\mu\text{m}$ 與10  $\mu\text{m}$ 之間，其具有p型接觸層76之頂面之1%至10%之間的一總覆蓋百分比。

一反射層82形成於介電層78及p接點24上。反射層82內襯溝渠。如圖4中所繪示，儘管不需要，但如圖3中所繪示，反射層82可填充溝渠。反射層82可係(例如)銀且可藉由(例如)蒸鍍或濺鍍而沈積。反射層82可係一單一層材料或多層相同或不同材料。在一些實施例中，反射層82之厚度係在1000 Å與5000 Å之間。反射層82係導電的且與區24(其中形成該接點金屬)中之p接點金屬電接觸。

反射層82可如技術中已知圖案化以自不需要的區域(諸如該裝置之邊緣)移除反射層。一保護材料(未展示) (諸如(例如) TiW)可在反射層82上形成及於該裝置之邊緣處緊鄰反射層82。該保護材料可將該反射層密封在適當位置中，其可減少或防止問題(諸如銀反射層82之電遷移或氧化)。該保護材料可係一單一層材料或多層相同或不同材料。在一些實施例中，該保護材料可係導電的。

一或多個接合層84安置在該裝置與座架86之間。一接合層可形成於反射金屬82上，且一接合層可形成於座架86上。

一在反射金屬82上形成之接合層84可係(例如) Au或Ag，或一焊料合金(諸如AuIn或AuSn合金)，且可藉由(例如)蒸鍍或濺鍍形成。每



個接合層84可係一單一層材料或多層相同或不同材料。在其中反射金屬82不會完全填充溝渠之實施例中，接合層材料或另一材料可經沈積以填充溝渠80A及80B中之空隙空間或填充溝渠90中之空隙空間92。

接著，該裝置通過接合層84連接至一座架86。(該等接合層可在接合之前應用於裝置晶圓及/或應用於座架晶圓。)座架86可經選擇以具有一適度地緊密配合至該等半導體層之熱膨脹係數(CTE)之CTE。座架86可係(例如) GaAs、Si、Ge、一金屬(諸如鉬)或任何其他適合材料。形成於座架86上之接合層可係(例如) Au或任何其他適合材料。一接合藉由(例如)熱壓接合或任何其他適合技術形成於該等兩個接合層之間。通過(例如)座架86之底部上之一接點(未展示)實行至該p型區之電接觸。座架86可係導電性或可包含一通過反射導電層82、接合層84及任何居間層將底部上之接點電連接至p接點24之導電區或跡線。作為將該裝置接合至該座架之一替代物，一厚座架可藉由(例如)電鍍技術在裝置晶圓上生長。

在將該裝置附接至該座架之後，該生長基板(未展示)藉由一適於生長基板材料之技術移除。例如，一GaAs生長基板可藉由一終止於生長在該等裝置層之前的生長基板上之一蝕刻終止層之溼蝕刻移除。可視情況使該半導體結構變薄。

n接點金屬(諸如(例如) Au/Ge/Au或任何其他適合接點金屬)可經沈積，接著圖案化以形成n接觸臂22a至22d及接合墊20。該結構可經加熱(例如)以退火n接點20及22a至22d及/或p接點24。藉由移除生長基板而曝露之n型區70之表面34可(例如)藉由光電化學、電漿蝕刻變粗糙以改良光提取或藉由(例如)奈米壓印微影術圖案化以形成一光子晶體或其他光散射結構。在其他實施例中，一光提取特徵埋設在結構中。該光提取特徵可係(例如)在平行於該裝置之該頂面之一方向(即，垂直於該等半導體層之生長方向)上之折射率中之一變動。在一些實

施例中，該p型接觸層之表面可在形成介電層78之前變得粗糙或經圖案化。在一些實施例中，在該半導體結構生長之前或期間，一層低指數材料沈積在生長基板上或一半導體層上且經圖案化以在該低指數材料中或低指數材料之後形成開口。接著，半導體材料在經圖案化之低指數層上生長以在安置在該半導體結構內之折射率中形成一變動。

接著，裝置之一晶圓可經測試且切割成個別裝置。個別裝置可放置在封裝中，且一電接點(諸如一導線接合)可形成於該裝置之接合墊20上以將n接點連接至該封裝之一部分(諸如一引線)。

在操作中，電流藉由接點24經由座架86注入該p型區。電流藉由接合墊20注入該裝置之該頂面上之該n型區。電流自接合墊20至n接觸臂22a至22d注入n型區70中。

當作用區72發射光時，以大角度入射在溝渠80A、80B及90之側壁上之光藉由介電層78全內反射。以小角度入射在溝渠80A、80B及90之側壁上之光通過介電層78且藉由反射層82反射。該等溝渠引導光遠離n接觸臂22。溝渠可類似地形成於n接觸墊20下方，以引導光遠離n接觸墊20。該等溝渠、安置在該等溝渠中之該介電材料及安置在該介電材料上之該反射材料形成鏡以引導光遠離n接觸墊20及n接觸臂22a至22d之一者或兩者。

圖3及圖4中繪示之裝置係薄膜裝置，意謂生長基板自最終裝置移除。該頂部接點與將該裝置連接至上文所描述之該等薄膜裝置中之該座架之該等接合層之該頂面之間的總厚度係(在一些實施例中)不超過20微米而(在一些實施例中)不超過15微米。

本文所描述之結構可提供優點。

例如，用如圖3中所繪示之兩個溝渠80A及80B之間的電隔離半導體材料替換圖1之溝渠之大寬空隙空間可建立一更機械穩健之結構，減少在處理及/或操作期間該半導體結構裂開之機會。此外，用一如

圖3中所繪示之該n接點之任一側上之一雙溝渠結構替換圖1之單一寬鏡溝渠可藉由針對光反射建立額外表面而改良光提取。圖3之雙溝渠結構仍充當圖1結構之原始目的-藉由阻擋電流注入且藉由重新引導光遠離該n接點下方之光學死空間而防止光在該n接點下方產生。

用如圖4中所繪示之一不會延伸通過該作用區之更淺溝渠替換如圖1中之延伸通過該作用區之一深溝渠可藉由移除缺陷或污染物引入該作用層之機會改良可靠性。圖4之淺溝渠結構仍充當圖1結構之原始目的-藉由電流注入且藉由阻擋重新引導光遠離該n接點下方之光學死空間而防止光在該n接點下方產生。

最後，用圖3與圖4兩者中之半導體材料替換圖1之寬、深溝渠之抗熱空隙空間可建立一自n接觸臂22a至22d至座架86之熱傳導路徑用於在n接觸臂22a至22d中產生之熱。此可改良該裝置之效率。

已詳細描述了本發明，熟習技術者當明白鑑於本發明，可對本發明進行修改而不會背離本文所描述之發明概念之精神。因此，不意欲將本發明之範疇限於所繪示及描述之特定實施例。

#### 【符號說明】

20	n接觸墊/接合墊/n接點
22	n接觸臂
22a	n接觸臂
22b	n接觸臂
22c	n接觸臂
22d	n接觸臂
23	裝置之底面
24	區域/p接點區域/p接點/洞
25	間隙
27	區域

29	區域
30	外壁
32	內壁
34	表面
35	頂部n接點
44	溝渠
45	鏡
50	n型區
52	發光或作用區
54	p型區
56	p型接觸層
58	介電材料/介電層
62	反射導電層
70	n型區/n型層
71	半導體裝置結構/裝置層
72	作用區
74	p型區/p型層
76	p型接觸層/p型層/p型區
78	介電材料/介電層
80A	溝渠
80B	溝渠
81	寬度
82	反射層/反射金屬/反射導電層
84	接合層
86	座架
90	溝渠

91	深度
92	空隙空間
500	裝置

# 申請專利範圍

1. 一種裝置，其包括：

一半導體結構，其包括一安置在一n型區與一p型區之間的發光層；

一安置在該半導體結構之一底面上之底部接點，其中該底部接點電連接至該n型區及該p型區之一者；

一安置在該半導體結構之一頂面上之頂部接點，其中該頂部接點電連接至該n型區及該p型區之另一者；及

一安置在一頂部接點正下方之鏡，該鏡包括一形成於該半導體結構中之溝渠及一安置在該溝渠中之反射材料，其中該溝渠自該半導體結構之該底面延伸且該溝渠不會貫穿該發光層。

2. 如請求項1之裝置，其中該溝渠與該頂部接點對準且安置在該頂部接點下方且該溝渠之至少一部分大體上與覆蓋該溝渠之該頂部接點同寬。

3. 如請求項1之裝置，其中在該溝渠中，一絕緣層安置在該底部接點與該發光層之間。

4. 如請求項1之裝置，其中該發光層係一III族氮化物材料。

5. 如請求項1之裝置，其中該發光層係AlInGaP。

6. 如請求項1之裝置，其進一步包括一安置在該溝渠與該反射材料之間的介電層，其中在該溝渠中藉由該介電層將該反射材料與該半導體結構電隔離。

7. 如請求項1之裝置，其中該溝渠之至少一側壁相對於該半導體結構之該頂面之一法線成 $30^\circ$ 至 $90^\circ$ 角。

8. 如請求項1之裝置，其中：

該頂部接點電連接至該n型區；且

該溝渠之一最深點安置在該p型區中。

9. 如請求項1之裝置，其中：

該頂部接點電連接至該p型區；且

該溝渠之一最深點安置在該n型區中。

10. 一種裝置，其包括：

一半導體結構，其包括一安置在一n型區與一p型區之間的發光層；

一安置在該半導體結構之一底面上之底部接點，其中該底部接點電連接至該n型區及該p型區之一者；

一安置在該半導體結構之一頂面上之頂部接點，其中該頂部接點電連接至該n型區及該p型區之另一者，其中該頂部接點包括一第一邊緣及與該第一邊緣相對之一第二邊緣；及

一形成於該半導體結構中位於該頂部接點之該第一邊緣下方之第一溝渠及一形成於該半導體結構中位於該頂部接點之該第二邊緣下方之第二溝渠。

11. 如請求項10之裝置，其進一步包括一安置在該第一溝渠及該第二溝渠中之反射材料。

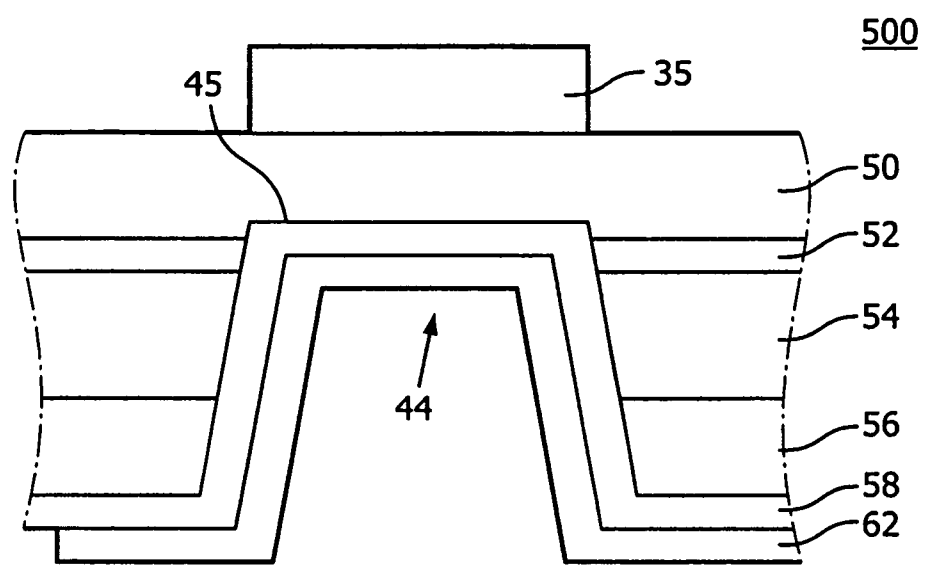
12. 如請求項10之裝置，其中該第一溝渠及該第二溝渠各自自該半導體結構之該底面延伸且該等第一及第二溝渠之各者之一最深點位於該n型區內。

13. 如請求項10之裝置，其中在該等第一及第二溝渠中，一絕緣層安置在該底部接點與該發光層之間。

14. 如請求項10之裝置，其中該發光層係一III族氮化物材料。

15. 如請求項10之裝置，其中該等第一及第二溝渠之各者之至少一側壁相對於該半導體結構之該頂面之一法線成 $30^\circ$ 至 $90^\circ$ 角。

# 圖式



(先前技術)

圖 1

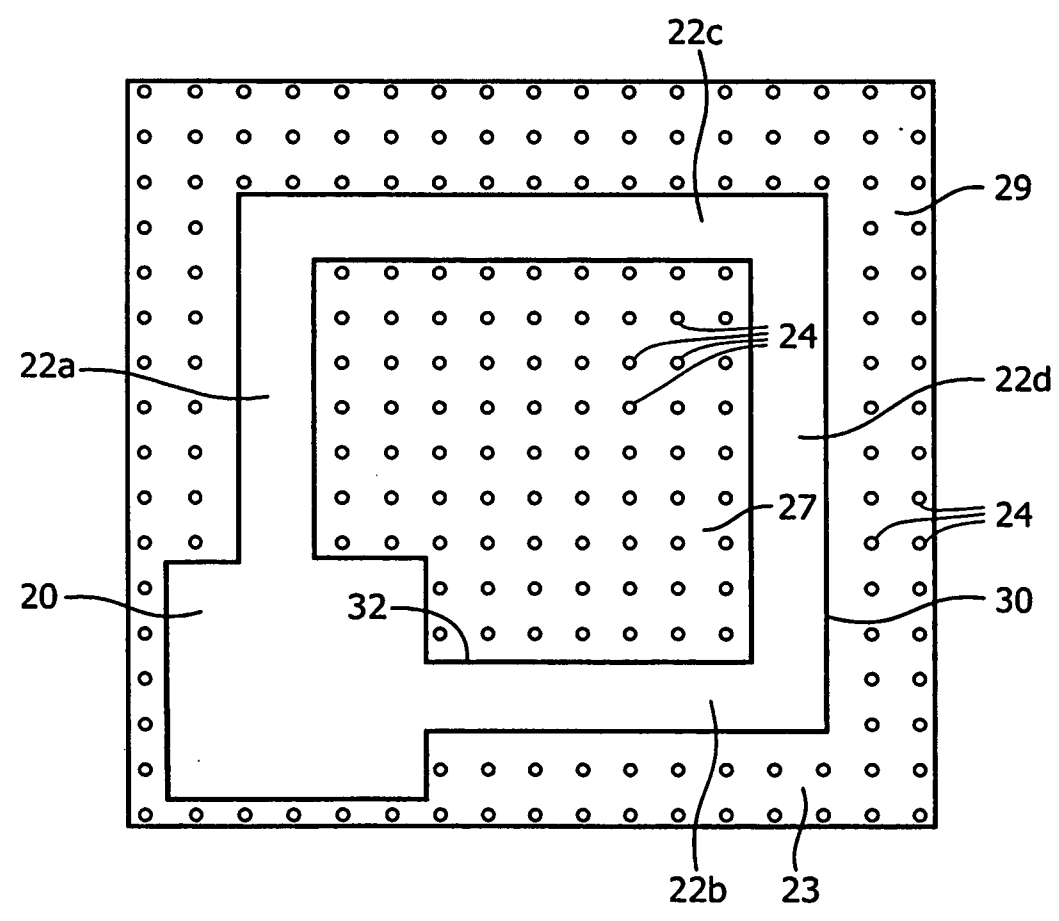


圖 2



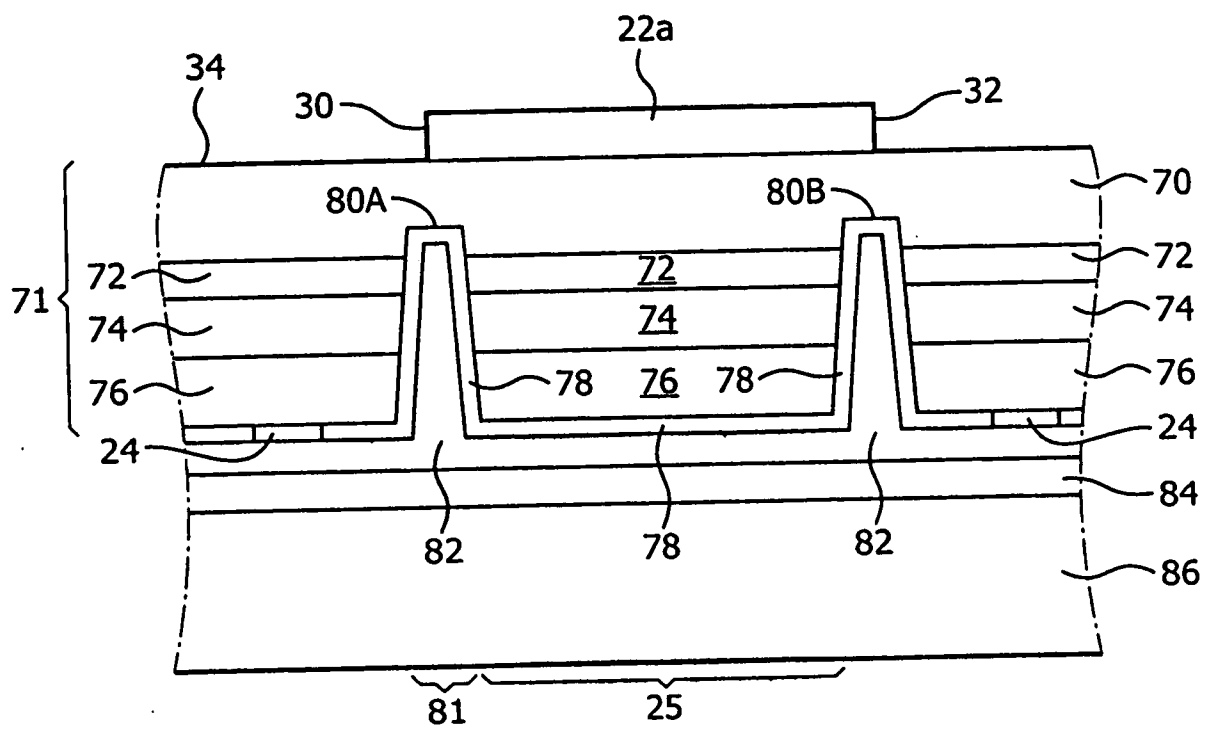


圖 3

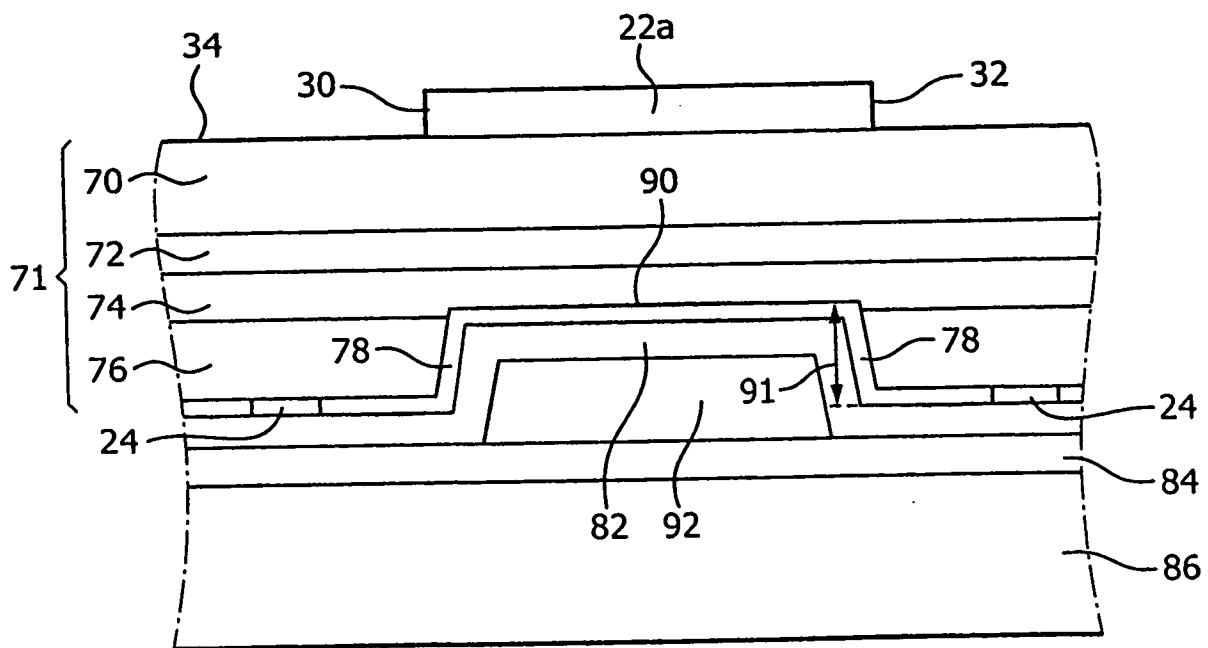


圖 4