

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年3月19日(2009.3.19)

【公開番号】特開2008-140871(P2008-140871A)

【公開日】平成20年6月19日(2008.6.19)

【年通号数】公開・登録公報2008-024

【出願番号】特願2006-323949(P2006-323949)

【国際特許分類】

H 01 L 33/00 (2006.01)

【F I】

H 01 L 33/00 C

【手続補正書】

【提出日】平成21年1月29日(2009.1.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

III-V族半導体で構成された半導体素子の製造方法において、

基板上に、p電極および低融点金属拡散防止層を上面に有し、互いに分離された複数の前記半導体素子を形成する工程と、

前記基板上面の、少なくとも前記半導体素子端面近傍に、前記基板および誘電体からなる端面保護膜に対する接合強度が、前記基板と前記端面保護膜の接合強度より弱いバッファ層を形成する工程と、

前記半導体素子の端面を覆うように、前記端面保護膜を形成する工程と、

前記半導体素子と伝導性の支持基板を低融点金属層を介して接合する工程と、

レーザーリフトオフにより前記基板を除去する工程と、

前記バッファ層を除去する工程と、

を有することを特徴とする半導体素子の製造方法。

【請求項2】

前記バッファ層は、レジスト膜またはAu膜であることを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項3】

前記端面保護膜は、二酸化ケイ素、窒化ケイ素、酸化ジルコニウム、酸化ニオブ、酸化アルミニウムのいずれかにより形成されていることを特徴とする請求項1又は請求項2に記載の半導体素子の製造方法。

【請求項4】

前記低融点金属層は、Au-Sn、Au-Si、Ag-Sn-Cu、Sn-Biのいずれかにより形成されていることを特徴とする請求項1ないし請求項3のいずれか1項に記載の半導体素子の製造方法。

【請求項5】

前記半導体素子は、III族窒化物半導体で構成されていることを特徴とする請求項1ないし請求項4のいずれか1項に記載の半導体素子の製造方法。

【請求項6】

前記半導体素子は、発光素子であることを特徴とする請求項1ないし請求項5のいずれか1項に記載の半導体素子の製造方法。

【請求項 7】

III - V 族半導体で構成され、伝導性の支持基板と低融点金属層を介して接合し、支持基板に近い側に p 伝導型の p 層、支持基板から遠い側に n 伝導型の n 層を有し、前記 n 層と接合する基板が除去された半導体素子において、

前記半導体素子の端面には誘電体からなる端面保護膜が形成されており、

前記 n 層の表面は、前記端面保護膜の上面より高く、段差があることを特徴とする半導体素子。

【請求項 8】

前記半導体素子の端面は、支持基板に対して垂直であることを特徴とする請求項 7 に記載の半導体素子。

【請求項 9】

前記端面保護膜は、二酸化ケイ素、窒化ケイ素、酸化ジルコニウム、酸化ニオブ、酸化アルミニウムのいずれかにより形成されていることを特徴とする請求項 7 又は請求項 8 に記載の半導体素子。

【請求項 10】

前記低融点金属層は、Au - Sn、Au - Si、Ag - Sn - Cu、Sn - Bi のいずれかにより形成されていることを特徴とする請求項 7 ないし請求項 9 のいずれか 1 項に記載の半導体素子。

【請求項 11】

前記半導体素子は、III 族窒化物半導体で構成されていることを特徴とする請求項 7 ないし請求項 10 のいずれか 1 項に記載の半導体素子。

【請求項 12】

前記半導体素子は、発光素子であることを特徴とする請求項 7 ないし請求項 11 のいずれか 1 項に記載の半導体素子。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【発明の名称】III - V 族半導体素子、およびその製造方法

【技術分野】

【0001】

本発明は、成長基板上に III - V 族半導体からなる n 層と p 層とを成長させて、p 層上の電極層をハンダを用いて支持基板と接合した後、レーザーリフトオフにより成長基板を除去して半導体素子を製造する方法およびその半導体素子に関する。特に、p 層と n 層との側面における電気的短絡や、レーザーリフトオフ時に半導体素子端面に生じる恐れのある割れから保護する方法およびその半導体素子構造に関するものである。

【背景技術】

【0002】

III 族窒化物半導体を成長させる基板として、一般的に化学的、熱的に安定しているサファイア基板が用いられているが、サファイアには伝導性がなく、縦方向に電流を流すことができない。また、サファイアには明確な劈開面がなく、ダイシングが困難である。また、サファイアは熱伝導性も低く、半導体素子の放熱を阻害する。さらに、半導体層とサファイア基板の接合面での全反射や、半導体層での光閉じ込めがあり、外部量子効率が低い。光の取り出し効率を向上させるために光取り出し面を凹凸加工することも考えられるが、サファイアはこの加工が容易ではない。

【0003】

この問題を解決する技術として、レーザーリフトオフ法が知られている。レーザーを照射し、サファイア基板を分離除去する方法である。

【0004】

特許文献1には、サファイア基板上にIII族窒化物半導体素子を形成した後、エッチングにより溝を形成して各素子ごとに分離させ、サファイア基板上に成長させたIII族窒化物半導体素子と支持基板とを接合した後、レーザーリフトオフを実施する方法が示されている。溝の内部に残った気体がレーザーにより熱膨張してIII族窒化物半導体素子にクラックが生じていたが、特許文献1は、溝の内部に誘電体を充填することで気体を排除して、これによるクラックの発生を防止できる旨の記述がある。

【0005】

また、特許文献2には、溝の内部にフォトレジストを満たし、III族窒化物半導体素子と支持基板とを接合するのではなく、III族窒化物半導体素子の上部に金属層を形成した後、レーザーリフトオフを実施する方法が示されている。溝に形成されたフォトレジストは、その金属層を形成するときに溝の中に金属が入ることを防止するためのものであることが説明されている。

【0006】

また、特許文献3には、傾斜した半導体素子端面にSiO₂やAl₂O₃などの保護膜およびシード金属膜を形成し、溝と半導体素子上部に金属層を形成した後、レーザーリフトオフを実施する方法が示されている。

【特許文献1】特開2005-333130

【特許文献2】特表2005-522873

【特許文献3】特開2006-135321

【発明の開示】**【発明が解決しようとする課題】****【0007】**

レーザーリフトオフ工程においては、サファイア基板を分離させる時に、III族窒化物半導体素子端面に物理的衝撃が加わり、端面が割れ落ちてしまう場合がある。しかしながら、特許文献1～3には、この物理的衝撃によって生じる半導体素子端面の割れを防止する方法については示されていない。

【0008】

また、特許文献3では、成長基板と保護膜とが強固に接合しているため、サファイア基板の分離の際、保護膜が剥離し、半導体素子にクラックが発生する。さらに、ダイシング時には半導体素子上部に形成された金属層を切断しなければならない点も問題である。また、特許文献2、3は、支持基板との貼り合わせ接合によるものではない。

【0009】

支持基板との貼り合わせ接合の場合は、次のような問題がある。p型活性化の必要から成長基板上には、先にn層が形成され、のちにp層が形成される。n層は厚くできるが、p層は厚くすることが難しく薄い。そのため、ハンダによりp層と支持基板を接合する構造では、支持基板とn層の距離が近い。したがって、ダイシングやウェハ接合時にハンダや金属が半導体素子の側面に付着し、p層とn層とが短絡してしまう。

【0010】

そこで本発明の目的は、基板上に先にn層が形成され、のちにp層が形成された半導体層を、各半導体素子ごとに分離させ、半田を介して支持基板と接合させてからレーザーリフトオフを用いて基板を除去する場合において、半導体素子の端面でn層とp層とが短絡することを防止すること、および、基板の分離での物理的衝撃によって生じる恐れのある半導体素子端面の割れを防止することにある。

【課題を解決するための手段】**【0011】**

第1の発明は、III-V族半導体で構成された半導体素子の製造方法において、基板上に、p電極および低融点金属拡散防止層を上面に有し、互いに分離された複数の半導体素子を形成する工程と、基板上面の、少なくとも半導体素子端面近傍に、基板および誘電体からなる端面保護膜に対する接合強度が、基板と端面保護膜の接合強度より弱いバッファ

層を形成する工程と、半導体素子の端面を覆うように、端面保護膜を形成する工程と、半導体素子と伝導性の支持基板を低融点金属層を介して接合する工程と、レーザーリフトオフにより基板を除去する工程と、バッファ層を除去する工程と、を有することを特徴とする半導体素子の製造方法である。

この製造方法により、基板と端面保護膜とは直接接合していないこととなる。

バッファ層の除去後には、半導体素子の表面と端面保護膜の上端面との間に、バッファ層の膜厚に応じた段差が生じる。

【0012】

端面保護膜は、100nm～500nmであることが望ましい。この端面保護膜は、たとえば、プラズマCVD法により形成できる。半導体素子上面に、p電極および低融点金属拡散防止層の形成されていない領域がある場合は、その領域に端面保護膜が形成されてもよい。

【0013】

p電極にはAg、Rh、Pt、Ruやこれらの金属を主成分とする合金などの高光反射率で低コンタクト抵抗な金属が望ましい。他には、Ni、Ni合金、Au合金などを用いることができる。また、ITOなどの透明電極膜と高反射金属膜からなる複合層であってもよい。低融点金属拡散防止層には、Ti/Ni/AuなどのTi/Niを含む多層膜、W/Pt/AuなどのW/Ptを含む多層膜などを用いることができる。低融点金属拡散防止層は、低融点金属層の金属が低融点金属拡散防止層を超えて拡散するのを防止する層である。低融点金属層には、Au-Sn層、Au-Si層、Ag-Sn-Cu層、Sn-Bi層などの金属共晶層や、低融点金属ではないが、Au層、Sn層、Cu層などを用いることができる。

【0014】

半導体素子のn層、p層は、組成の異なる複数の層からなる多重層であってもよく、真性半導体層を含んでいてもよい。また、n層とp層の間にMQW、SQWなどの活性層があってもよい。

【0015】

支持基板には、Si基板、GaAs基板、Cu基板、Cu-W基板などの伝導性の基板を用いる。

【0016】

【0017】

【0018】

【0019】

半導体素子の端面にバッファ層が付着すると、その部分に誘電体が形成されないため望ましくない。そのため、半導体素子の端面はなるべく傾斜のないことが望ましく、基板に対して垂直になっていることが最も望ましい。また、バッファ層の膜厚は、なるべく薄いことが望ましい。端面保護膜の形成される領域を広くできるからである。バッファ層としては、レジストなどの有機膜やAu膜を用いることができる。

【0020】

バッファ層は、基板と端面保護膜の端面との間に形成されればよく、基板上面の半導体素子端面近傍に形成されれば、それを満たす。もちろん、基板上面の全面に形成されてもかまわない。たとえば、基板と半導体素子を覆うようにバッファ層を形成した後、基板上面以外に形成されたバッファ層を除去することで形成してもよい。

【0021】

第2の発明は、第1の発明において、バッファ層は、レジスト膜またはAu膜であることを特徴とする半導体素子の製造方法である。

【0022】

レジスト膜を用いる場合は、1μm以下であることが望ましい。Au膜を用いる場合は、半導体素子の端面に付着した場合に洗浄、除去する必要があるため、膜厚は25～50nmであることが望ましい。

【 0 0 2 3 】

第3の発明は、第1の発明又は第2の発明において、端面保護膜は、二酸化ケイ素、窒化ケイ素、酸化ジルコニウム、酸化ニオブ、酸化アルミニウムのいずれかにより形成されていることを特徴とする半導体素子の製造方法である。

【 0 0 2 4 】

第4の発明は、第1の発明から第3の発明において、低融点金属層は、Au-Sn、Au-Si、Ag-Sn-Cu、Sn-Biのいずれかにより形成されていることを特徴とする半導体素子の製造方法である。

【 0 0 2 5 】

第5の発明は、第1の発明から第4の発明において、半導体素子は、III族窒化物半導体で構成されていることを特徴とする半導体素子の製造方法である。

【 0 0 2 6 】

第6の発明は、第1の発明から第5の発明において、半導体素子は、発光素子であることを特徴とする半導体素子の製造方法である。

【 0 0 2 7 】

第7の発明は、III-V族半導体で構成され、伝導性の支持基板と低融点金属層を介して接合し、支持基板に近い側にp伝導型のp層、支持基板から遠い側にn伝導型のn層を有し、n層と接合する基板が除去された半導体素子において、半導体素子の端面には誘電体からなる端面保護膜が形成されており、n層の表面は、端面保護膜の上面より高く、段差があることを特徴とする半導体素子である。

【 0 0 2 8 】**【 0 0 2 9 】**

第8の発明は、第7の発明において、半導体素子の端面は、支持基板に対して垂直であることを特徴とする半導体素子である。

【 0 0 3 0 】

第9の発明は、第7の発明又は第8の発明において、端面保護膜は、二酸化ケイ素、窒化ケイ素、酸化ジルコニウム、酸化ニオブ、酸化アルミニウムのいずれかにより形成されていることを特徴とする半導体素子である。

【 0 0 3 1 】

第10の発明は、第7の発明から第9の発明において、低融点金属層は、Au-Sn、Au-Si、Ag-Sn-Cu、Sn-Biのいずれかにより形成されていることを特徴とする半導体素子である。

【 0 0 3 2 】

第11の発明は、第7の発明から第10の発明において、半導体素子は、III族窒化物半導体で構成されていることを特徴とする半導体素子である。

【 0 0 3 3 】

第12の発明は、第7の発明から第11の発明において、半導体素子は、発光素子であることを特徴とする半導体素子である。

【発明の効果】**【 0 0 3 4 】**

第1、7の発明によると、半導体素子の端面が誘電体からなる端面保護膜で覆われるため、p層が薄いことにより半導体素子の端面でn層とp層とが低融点金属により短絡することを防止できる。また、支持基板との接合後のレーザーリフトオフ時の基板除去による物理的衝撃で生じる恐れのある半導体素子端面の割れを防止することができる。

【 0 0 3 5 】

また、第1の発明では、基板と端面保護膜との間にバッファ層を設けている。これは、次の理由による。レーザーリフトオフでの基板の除去は、物理的衝撃を伴うため、基板と端面保護膜の剥がれ方が安定していない。そのため、端面保護膜のみを形成した場合、基板の除去時に端面保護膜が半導体素子端面から剥がれてしまい、保護膜としての機能を発揮できないこともある。そこでバッファ層を設けることで、基板を除去する際の端面保護

膜への物理的衝撃を緩和することができ、端面保護膜が半導体素子端面から剥がれるのを防止できる。したがって、端面保護膜が、端面保護の機能を損なうことがなく、端面保護膜のみを形成する場合より半導体素子端面の割れを防止する効果が大きい。

【0036】

以上のように、本発明の効果により、半導体素子の製造不良が減少し、歩留りが向上する。

【0037】

また、第7の発明から第12の発明の半導体素子は、半導体素子の端面に端面保護膜が形成されているため、半導体素子端面で短絡がなく、半導体素子の端面に割れのない半導体素子である。

【発明を実施するための最良の形態】

【0038】

以下、本発明の具体的な実施例について図を参照しながら説明するが、本発明は実施例に限定されるものではない。

【実施例1】

【0039】

図1は、実施例1のレーザーリフトオフによる発光素子の製造工程を示す図である。

【0040】

まず、サファイア基板10上に、エピタキシャル成長によりIII族窒化物半導体層11を作製し、各発光素子12を形成する領域の上面に、p電極13と低融点金属拡散防止層14を形成する(図1A)。p電極には、Ag、Rh、Pt、Ruやこれらの金属を主成分とする合金などの高光反射率で低コンタクト抵抗な金属や、Ni、Ni合金、Au合金などを用いることができる。また、ITOなどの透明電極膜と高反射金属膜からなる複合層であってもよい。低融点金属拡散防止層14には、Ti/Ni/AuなどのTi/Niを含む多層膜、W/Pt/AuなどのW/Ptを含む多層膜などを用いる。III族窒化物半導体層11は、図2に示すように、n型層100、MQW層101、p型層102で構成されている。

【0041】

次に、III族窒化物半導体層11の所定の場所をサファイア基板10が露出するまでエッチングすることで複数の発光素子12に分離させる(図1B)。発光素子12の端面は垂直になるようエッチングした。

【0042】

次に、上面全体にバッファ層としてレジスト膜15を形成する。このとき、発光素子12の端面は垂直になっているため、その端面にはレジスト膜15は形成されない。このレジスト膜15は、発光素子12のサファイア基板10と接続するn型層100よりも薄ければよいが、なるべく薄いことが望ましい。n型層100よりも厚ければ、次工程において、その端面部分に端面保護膜が形成されず、短絡防止効果がなくなる。通常、そのn型層は2μm~4μm程度の膜厚であるから、レジスト膜は1μm以下の膜厚であることが望ましい。その後、発光素子12の表面に形成されたレジスト膜15は除去する(図1C)。

【0043】

バッファ層として、レジスト以外にAuを用いてもよい。Auが発光素子12の端面に付着した場合には除去する必要があるため、Au膜は25~50nm程度の膜厚とすることが望ましい。50nm以上では、端面に付着したAuを除去するのが容易でなく望ましくない。25nm以下では、粒状の粒界成長となる可能性があり望ましくない。レジストには、ポリイミドなども用いることができる。

【0044】

次に、発光素子12の端面と、p電極13および低融点金属拡散防止層14の形成されていない発光素子12の上面121に、プラズマCVD法によりSiO₂からなる端面保護膜16を形成する(図1D)。この端面保護膜16は、発光素子12の端面において、

n型層100とp型層102が短絡するのを防止するためのものである。膜厚は100nm～500nm程度が望ましい。100nm以下では、発光素子12の端面と端面保護膜16との密着性が低くなるので好ましくなく、500nm以上では、その後のパターニング時に、多大なエッティング時間が必要なため望ましくない。SiO₂以外には、Si₃N₄（窒化ケイ素）、ZrO₂（酸化ジルコニウム）、NbO（酸化ニオブ）、Al₂O₃（酸化アルミニウム）などを用いることができる。

【0045】

次に、低融点金属拡散防止層14と端面保護膜16の上面に再度低融点金属拡散防止層17を形成し、その低融点金属拡散防止層17上面に低融点金属層18を形成する（図1E）。低融点金属層18には、Au-Sn層、Au-Si層、Ag-Sn-Cu層、Sn-Bi層などの金属共晶層や、低融点金属ではないが、Au層、Sn層、Cu層などを用いることができる。

【0046】

端面保護膜16、低融点金属拡散防止層17は、フォトリソグラフィにより、所定パターンに形成される。

【0047】

次に、Siからなる支持基板19の上面に形成された低融点金属層20を介して、支持基板19と低融点金属層18を接合する（図1F）。支持基板19として、Siの他にGaAs、Cu、Cu-Wを用いることができる。低融点金属拡散防止層14、17は、低融点金属層18、20の金属が、低融点金属拡散防止層14、17を超えて拡散するのを防止するための層である。

【0048】

そして、レーザーリフトオフにより、サファイア基板10を分離除去する（図1G）。レーザーの照射は、波長248nmのKrFレーザーを、0.7J/cm²以上の条件で、ウェハに光照射する。レジスト膜15とサファイア基板10との接合強度、および、レジスト膜15と端面保護膜16との接合強度は弱いため、容易に剥離する。したがって、レジスト膜15の存在により、サファイア基板10を除去する際の物理的衝撃が、直接端面保護膜16に伝わることがない。そのため、端面保護膜16が破損し、剥がれ落ちることを防止することができ、その結果、発光素子12の端面にも割れが生じない。なお、サファイア基板10を除去する際に、レジスト膜15も剥離し、除去される場合があるが、次工程において除去されるものであるから問題はない。

【0049】

次に、レジスト膜15を洗浄除去する（図1H）。レジスト膜15の替わりにバッファ層としてAu膜を用いた場合は、ヨウ素系エッティング液を塗布することで洗浄除去できる。このレジスト膜15の除去により、発光素子12の表面と端面保護膜16の上端面との間に、レジスト膜15の厚さ分の段差Dが生じる。この段差Dは、のちの工程で端面保護膜16と同一または他の材料によって埋めてもよい。

【0050】

その後、n電極を形成し、ダイシングすることで、支持基板19上に形成された、個々の発光素子12が製造される。低融点金属層20が切断される際、金属粉が発生するが、端面保護膜16が形成されているため、発光素子12の端面は保護され、n型層100とp型層102間の短絡が防止されている。

【0051】

実施例1は、発光素子の製造方法であったが、本発明は発光素子に限るものではなく、レーザーリフトオフにより製造されるあらゆる半導体素子に適用できるものである。また、III族窒化物半導体で構成された半導体素子に限らず、GaAsやGaPなど、III-V族半導体で構成された半導体素子に対しても、本発明は適用できる。

【0052】

また、実施例1では、p電極13と低融点金属拡散防止層14を形成した後にエッティングで各発光素子12に分離しているが、エッティングで各発光素子12に分離した後にp電

極 1 3 と低融点金属拡散防止層 1 4 を形成してもよい。また、バッファ層は、サファイア基板 1 0 上の発光素子 1 2 端面付近にのみ形成されるよう、あらかじめパターニングしておいてもよい。後のバッファ層の除去がより容易になる。

【産業上の利用可能性】

【0 0 5 3】

本発明によって、レーザーリフトオフによる半導体素子製造の歩留りを向上できる。

【図面の簡単な説明】

【0 0 5 4】

【図 1 A】実施例 1 の発光素子の製造工程を示す図。

【図 1 B】実施例 1 の発光素子の製造工程を示す図。

【図 1 C】実施例 1 の発光素子の製造工程を示す図。

【図 1 D】実施例 1 の発光素子の製造工程を示す図。

【図 1 E】実施例 1 の発光素子の製造工程を示す図。

【図 1 F】実施例 1 の発光素子の製造工程を示す図。

【図 1 G】実施例 1 の発光素子の製造工程を示す図。

【図 1 H】実施例 1 の発光素子の製造工程を示す図。

【図 2】III 族窒化物半導体層の構成を示す図。

【符号の説明】

【0 0 5 5】

1 0 : サファイア基板

1 1 : III 族窒化物半導体層

1 2 : 発光素子

1 3 : p 電極

1 4 、 1 7 : 低融点金属拡散防止層

1 5 : バッファ層

1 6 : 端面保護膜

1 8 、 2 0 : 低融点金属層

1 9 : 支持基板

1 0 0 : n 型層

1 0 1 : M Q W 層

1 0 2 : p 型層