【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第４区分
【発行日】平成27年5月7日(2015.5.7)

【公開番号】特開2012-252769(P2012-252769A)
【公開日】平成24年12月20日(2012.12.20)
【年通号数】公開・登録公報2012-054
【出願番号】特願2012-105339(P2012-105339)
【国際特許分類】
Ｇ１１Ｃ　11/407　(2006.01)
Ｈ０１Ｌ　29/786　(2006.01)
Ｈ０１Ｌ　21/8242　(2006.01)
Ｈ０１Ｌ　27/108　(2006.01)
【ＦＩ】
Ｇ１１Ｃ　11/34　３５４Ｅ
Ｈ０１Ｌ　29/78　６１３Ｂ
Ｈ０１Ｌ　29/78　６１８Ｂ
Ｈ０１Ｌ　27/10　６７１Ｃ
Ｈ０１Ｌ　27/10　６７１Ｚ
Ｈ０１Ｌ　27/10　６８１Ｆ

【手続補正書】
【提出日】平成27年3月23日(2015.3.23)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
少なくとも一のスイッチング素子を有する複数の記憶素子がマトリクス状に配置され、
複数の前記記憶素子のそれぞれにはワード線とビット線がそれぞれ電気的に接続され、
前記ワード線にはトランジスタのゲートが電気的に接続され、
前記トランジスタのソース及びドレインは配線と電気的に接続され、
前記トランジスタは、酸化物半導体によってチャネル形成領域が設けられ、
前記トランジスタは、前記配線の電位が制御されることで容量値の制御が可能な可変容量として機能し、
前記ワード線の電位を変化させるときは、前記可変容量の容量を少なくておき、前記ビット線の電位を変化させるときには、前記可変容量の容量を大きくしておくことを特徴とする半導体装置。
【請求項２】
少なくとも一のスイッチング素子を有する複数の記憶素子がマトリクス状に配置され、
複数の前記記憶素子のそれぞれにはワード線とビット線がそれぞれ電気的に接続され、
前記ワード線にはトランジスタのソース及びドレインが電気的に接続され、
前記トランジスタのゲートは配線と電気的に接続され、
前記トランジスタは、酸化物半導体によってチャネル形成領域が設けられ、
前記トランジスタは、前記配線の電位が制御されることで容量値の制御が可能な可変容量として機能し、
前記ワード線の電位を変化させるときは、前記可変容量の容量を少なくておき、前記ビット線の電位を変化させるときには、前記可変容量の容量を大きくしておくことを特徴と

する半導体装置。
【請求項３】
請求項１または請求項２において、
前記酸化物半導体のバンドギャップが２．０ｅＶ以上３．５ｅＶ以下であることを特徴とする半導体装置。
【請求項４】
請求項１乃至請求項３のいずれか一において、
前記ビット線にはセンスアンプを有するプリチャージ及び増幅回路が電気的に接続され、
前記ビット線には複数の前記記憶素子が、前記プリチャージ及び前記増幅回路を中心に対称に同数配置されていることを特徴とする半導体装置。
【請求項５】
請求項１乃至請求項４のいずれか一において、
前記トランジスタは、前記ワード線に沿って複数設けられていることを特徴とする半導体装置。