



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0008895
(43) 공개일자 2021년01월25일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G11C 19/28 (2006.01)
(52) CPC특허분류
G09G 3/3688 (2013.01)
G09G 3/3648 (2013.01)
(21) 출원번호 10-2021-0005940(분할)
(22) 출원일자 2021년01월15일
심사청구일자 없음
(62) 원출원 특허 10-2020-0010320
원출원일자 2020년01월29일
심사청구일자 2020년01월29일
(30) 우선권주장
JP-P-2012-161253 2012년07월20일 일본(JP)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
미야케 히로유키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 1 항

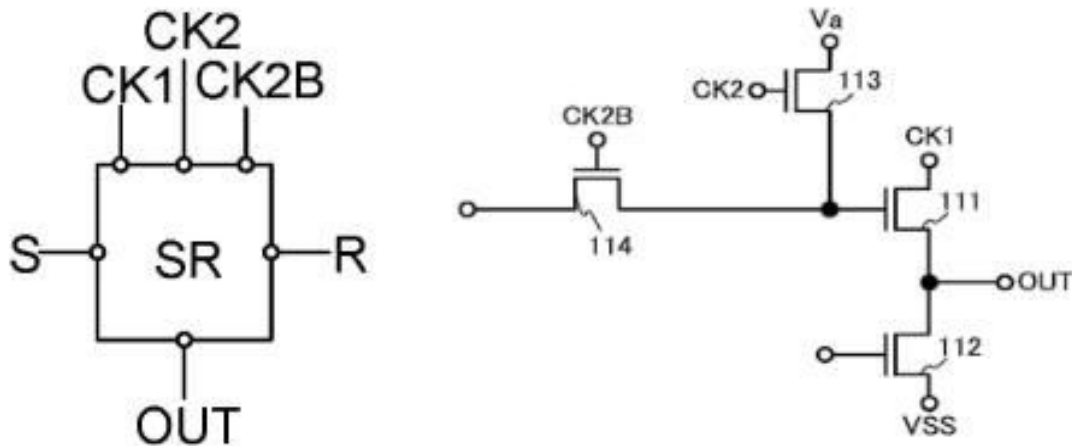
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 동작 불량률의 발생을 억제하면서 트랜지스터에 대한 스트레스를 억제한다.

펄스 신호를 출력하는 기능을 갖고 상기 펄스 신호를 하이 레벨로 설정할지 여부를 제어하는 트랜지스터를 갖는 펄스 출력 회로에 있어서, 상기 펄스 출력 회로가 출력하는 펄스 신호가 로우 레벨인 기간에, 상기 트랜지스터의 게이트의 전위를 일정한 값으로 유지하는 것이 아니라 간헐적으로 전위 VSS보다 높게 한다. 이로써 상기 트랜지스터에 대한 스트레스의 억제를 도모한다.

대표도



(52) CPC특허분류

G11C 19/28 (2013.01)

G09G 2310/0286 (2013.01)

명세서

청구범위

청구항 1

제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 및 제6 트랜지스터를 포함하고,

상기 제1 트랜지스터의 소스 및 드레인 중 한쪽은, 상기 제2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제5 트랜지스터의 소스 및 드레인 중 한쪽은, 상기 제6 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제1 트랜지스터의 소스 및 드레인 중 다른 쪽은, 제1 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 다른 쪽과 상기 제6 트랜지스터의 소스 및 드레인 중 다른 쪽은, 제2 배선에 전기적으로 접속되고,

상기 제1 트랜지스터의 게이트는, 상기 제3 트랜지스터의 소스 및 드레인 중 한쪽과, 상기 제4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제1 트랜지스터의 게이트는, 상기 제5 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제2 트랜지스터의 게이트는, 상기 제6 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제3 트랜지스터의 게이트는, 제3 배선에 전기적으로 접속되고,

상기 제4 트랜지스터의 게이트는, 제4 배선에 전기적으로 접속되고,

상기 제3 트랜지스터의 소스 및 드레인 중 다른 쪽은, 제5 배선에 전기적으로 접속되는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 펄스 출력 회로에 관한 것이다. 또한, 본 발명은 표시 장치에 관한 것이다. 또한, 본 발명은 전자 기기에 관한 것이다.

배경 기술

[0002] 근년에 들어, 제작 프로세스의 간략화 등을 목적으로 하여 모든 트랜지스터가 동일한 도전형을 갖는 회로(단극성 회로라고도 함)의 개발이 진행되고 있다.

[0003] 상술한 단극성 회로의 예로서는 시프트 레지스터를 구성하는 펄스 출력 회로를 들 수 있다.

[0004] 예를 들어, 특허문헌 1에는 클럭 신호의 펄스를 펄스 신호의 펄스 생성에 사용하는 펄스 출력 회로를 복수단 갖는 시프트 레지스터가 개시(開示)되어 있다. 또한, 특허문헌 1에는 부트스트랩을 이용하여 클럭 신호의 진폭보다 출력되는 펄스 신호의 진폭이 낮게 되는 것을 억제하는 시프트 레지스터가 개시되어 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개2002-335153호 공보

발명의 내용

해결하려는 과제

- [0006] 그러나, 종래의 펄스 출력 회로의 구성에는 클럭 신호의 진폭이 큰 경우에 트랜지스터가 열화되어 트랜지스터의 전기 특성이 변동되는 등 문제가 있었다.
- [0007] 예를 들어, 특허문헌 1에 개시된 시프트 레지스터에서는 펄스 출력 회로로부터 출력되는 펄스 신호가 로우(low) 레벨일 때, 출력되는 펄스 신호를 하이 레벨로 설정할지 여부를 제어하는 트랜지스터(예를 들어, 특허문헌 1의 도 1b에 도시된 트랜지스터(105))의 게이트의 전위가 일정한 기간 동안 전위 VSS로 유지된다. 이 때, 클럭 신호에 따라 이 트랜지스터의 소스 또는 드레인의 전위는 계속적으로 변화되기 때문에 이 트랜지스터에는 스트레스가 가해진다. 이에 의하여 이 트랜지스터는 열화된다. 특히, 특허문헌 1에 개시된 시프트 레지스터에서는 이 스트레스가 가해지는 시간이 매우 길기 때문에 이 트랜지스터는 열화되기 쉽고 전기 특성의 변동이 진행된다.
- [0008] 트랜지스터에 가해지는 상기 스트레스의 영향을 억제하기 위해서는 예를 들어, 트랜지스터의 채널 길이를 길게 하는 등 대책을 들 수 있다. 그러나, 출력되는 펄스 신호를 하이 레벨로 설정할지 여부를 제어하는 트랜지스터의 채널 길이를 길게 하면 예를 들어, 기생 용량 등으로 인하여 출력되는 펄스 신호가 지연되어 동작 불량이 생길 가능성이 높아지는 등 다른 문제가 발생된다.
- [0009] 상술한 문제를 감안하여 본 발명의 일 형태에서는 동작 불량 발생을 억제하면서, 출력되는 펄스 신호를 하이 레벨로 설정할지 여부를 제어하는 트랜지스터에 대한 스트레스를 억제하는 것을 과제 중 하나로 한다.

과제의 해결 수단

- [0010] 본 발명의 일 형태에서는 펄스 출력 회로로부터 출력되는 펄스 신호가 로우 레벨인 기간에, 상기 펄스 신호를 하이 레벨로 설정할지 여부를 제어하는 트랜지스터의 게이트의 전위를 일정한 값으로 설정하는 것이 아니라 간헐적으로 전위 VSS보다 높게 한다. 이로써 상기 트랜지스터에 대한 스트레스의 억제를 도모한다.
- [0011] 본 발명의 일 형태는 세트 신호, 리셋 신호, 제 1 클럭 신호, 제 2 클럭 신호, 및 제 2 클럭 신호의 반전 신호에 따라 펄스 신호를 생성하는 기능을 갖고, 소스 및 드레인 중 한쪽의 전위는 제 1 클럭 신호에 따라 변화되고 소스 및 드레인 중 다른 쪽의 전위는 펄스 신호의 전위가 되는 제 1 트랜지스터와; 소스 및 드레인 중 한쪽에 제 1 전위가 공급되고 소스 및 드레인 중 다른 쪽이 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된 제 2 트랜지스터와; 소스 및 드레인 중 한쪽에 제 2 전위가 공급되고 소스 및 드레인 중 다른 쪽이 제 1 트랜지스터의 게이트에 전기적으로 접속되고 게이트의 전위가 제 2 클럭 신호에 따라 변화되는 제 3 트랜지스터와; 소스 및 드레인 중 한쪽의 전위가 세트 신호 및 리셋 신호에 따라 변화되고 소스 및 드레인 중 다른 쪽이 제 1 트랜지스터의 게이트에 전기적으로 접속되고 게이트의 전위가 제 2 클럭 신호의 반전 신호에 따라 변화되는 제 4 트랜지스터를 갖고, 제 1 전위와 제 2 전위의 전위차는 제 1 트랜지스터의 문턱 전압보다 크고, 제 2 클럭 신호가 하이 레벨일 때 제 1 클럭 신호는 로우 레벨인 펄스 출력 회로이다.

발명의 효과

- [0012] 본 발명의 일 형태에 의하여, 출력되는 펄스 신호를 하이 레벨로 설정할지 여부를 제어하는 트랜지스터의 채널 길이를 길게 하지 않고도 상기 트랜지스터에 대한 스트레스를 저감시킬 수 있다. 따라서, 상기 트랜지스터의 열화를 억제할 수 있고 전기 특성의 변동을 억제할 수 있다.

도면의 간단한 설명

- [0013] 도 1a 및 도 1b는 펄스 출력 회로의 예를 설명하기 위한 도면.
 도 2a 및 도 2b는 펄스 출력 회로의 예를 설명하기 위한 도면.
 도 3은 펄스 출력 회로의 예를 설명하기 위한 도면.
 도 4는 펄스 출력 회로의 예를 설명하기 위한 도면.
 도 5a 내지 도 5c는 펄스 출력 회로의 예를 설명하기 위한 도면.

도 6a 및 도 6b는 펄스 출력 회로의 예를 설명하기 위한 도면.

도 7의 (a), (b1), 및 (b2)는 표시 장치의 예를 설명하기 위한 도면.

도 8은 표시 장치의 예를 설명하기 위한 도면.

도 9는 표시 장치의 예를 설명하기 위한 도면.

도 10a 및 도 10b는 표시 장치의 예를 설명하기 위한 도면.

도 11a 내지 도 11d는 전자 기기의 예를 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

- [0014] 본 발명에 따른 실시형태의 예에 대하여 설명한다. 또한, 본 발명의 취지 및 그 범위에서 벗어남이 없이 실시형태의 내용을 변경하는 것은 당업자이면 용이한 일이다. 따라서, 예를 들어 본 발명은 이하에 기재된 실시형태의 내용에 한정되지 않는다.
- [0015] 또한, 각 실시형태의 내용을 적절히 조합할 수 있다. 또한, 각 실시형태의 내용을 적절히 치환할 수 있다.
- [0016] 또한, 제 1, 제 2 등 서수는 구성 요소의 혼동을 피하기 위하여 붙인 것에 불과하고 각 구성 요소의 개수는 서수의 숫자에 한정되지 않는다.
- [0017] 본 명세서에 있어서 '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.
- [0018] 또한, 본 명세서에 있어서, 삼방정 또는 능면체정(rhombohedral crystal)은 육방정계에 포함된다.
- [0019] (실시형태 1)
- [0020] 본 실시형태에서는 펄스 출력 회로의 예를 대하여 설명한다.
- [0021] 도 1a 및 도 1b는 본 실시형태에 따른 펄스 출력 회로의 예를 설명하기 위한 도면이다. 펄스 출력 회로 SR는 도 1a에 도시된 바와 같이 입력되는 세트 신호 S, 리셋 신호 R, 클럭 신호 CK1, 클럭 신호 CK2, 및 클럭 신호 CK2B에 따라 출력 신호 OUT로서 펄스 신호를 생성하는 기능을 갖는다. 클럭 신호 CK2B로서는 클럭 신호 CK2의 반전 신호를 사용할 수 있지만 다른 클럭 신호를 클럭 신호 CK2B로서 사용하여도 좋다.
- [0022] 또한, 도 1a에 도시된 펄스 출력 회로 SR는 도 1b에 도시된 바와 같이 트랜지스터(111) 내지 트랜지스터(114)를 갖는다. 트랜지스터(111) 내지 트랜지스터(114)는 모두 도전형이 동일하다. 트랜지스터(111) 내지 트랜지스터(114) 각각의 도통은 세트 신호 S, 리셋 신호 R, 클럭 신호 CK1, 클럭 신호 CK2, 및 클럭 신호 CK2B 중 하나 또는 복수에 따라 제어된다. 또한, 도 1a에 도시된 펄스 출력 회로 SR에 트랜지스터(111) 내지 트랜지스터(114) 이외의 소자를 제공하여도 좋다.
- [0023] 트랜지스터(111)의 소스 및 드레인 중 한쪽의 전위는 클럭 신호 CK1에 따라 변화되고, 다른 쪽의 전위는 펄스 신호(출력 신호 OUT)의 전위가 된다. 트랜지스터(111)는 펄스 신호(출력 신호 OUT)를 하이 레벨로 설정할지 여부를 제어하는 기능을 갖는다.
- [0024] 또한, '신호에 따라 전위가 변화'된다는 것은 '신호가 직접 입력됨으로써 전위가 상기 신호의 전위로 변화'되는 경우에 한정되지 않는다. 예를 들어, '신호에 따라 스위치가 온 상태가 되어 전위가 변화'되는 경우나, '용량 결합에 의하여, 신호의 변화에 따라 전위가 변화'되는 경우 등도 '신호에 따라 전위가 변화'의 범주에 포함된다.
- [0025] 또한, '신호에 따른 전위'는 '신호의 전위와 값이 동일한 전위'에 한정되지 않는다. 예를 들어, 전압 강하로 인하여 변화한 신호의 전위도 '신호에 따른 전위'의 범주에 포함된다.
- [0026] 트랜지스터(112)의 소스 및 드레인 중 한쪽에는 전위 VSS가 공급되고, 다른 쪽은 트랜지스터(111)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다. 또한, 트랜지스터(112)의 게이트의 전위는 세트 신호 S 및 리셋 신호 R에 따라 변화된다. 또한, 클럭 신호 CK1 및 클럭 신호 CK2와는 다른 클럭 신호를 사용하여 트랜지스터(112)의 게이트의 전위를 제어하여도 좋다. 트랜지스터(112)는 게이트의 전위에 따라 온 상태 또는 오프 상태가 됨으로써 펄스 신호(출력 신호 OUT)를 로우 레벨로 설정할지 여부를 제어하는 기능을 갖는다.

- [0027] 트랜지스터(113)의 소스 및 드레인 중 한쪽에는 전위 V_a 가 공급되고, 다른 쪽은 트랜지스터(111)의 게이트에 전기적으로 접속된다. 또한, 트랜지스터(113)의 게이트의 전위는 클럭 신호 CK2에 따라 변화된다. 트랜지스터(113)는 트랜지스터(111)의 게이트의 전위를 전위 V_a 에 따른 값으로 설정할지 여부를 제어하는 기능을 갖는다.
- [0028] 또한, '전위에 따른 값'은 '전위와 동일한 값'에 한정되지 않는다. 예를 들어, 전압 강하로 인하여 상기 전위의 값으로부터 변화된 값도 '전위에 따른 값'의 범주에 포함된다.
- [0029] 트랜지스터(114)의 소스 및 드레인 중 한쪽의 전위는 세트 신호 S 및 리셋 신호 R에 따라 변화되고, 다른 쪽은 트랜지스터(111)의 게이트에 전기적으로 접속된다. 또한, 트랜지스터(114)의 게이트의 전위는 클럭 신호 CK2B에 따라 변화된다. 트랜지스터(114)는 트랜지스터(111)의 게이트를 부유 상태로 할지 여부를 제어하는 기능을 갖는다.
- [0030] 트랜지스터(111) 내지 트랜지스터(114)로서는 예를 들어, 실리콘보다 밴드 갭이 넓은 반도체를 채널 형성 영역에 포함한 트랜지스터를 적용할 수 있다. 밴드 갭이 넓은 반도체로서는 예를 들어, 산화물 반도체를 사용할 수 있다. 다만, 이에 한정되지 않고 예를 들어, 트랜지스터(111) 내지 트랜지스터(114)로서 제 14족 원소(실리콘 등)를 갖는 반도체를 포함한 트랜지스터를 사용하여도 좋다. 이 때 제 14족 원소를 갖는 반도체가 단결정, 다결정, 또는 비정질이어도 좋다.
- [0031] 상기 산화물 반도체로서는 예를 들어, In계 금속 산화물, Zn계 금속 산화물, In-Zn계 금속 산화물, 또는 In-Ga-Zn계 금속 산화물 등을 적용할 수 있다. 또한, 상기 In-Ga-Zn계 금속 산화물에 포함되는 Ga의 일부 또는 전부 대신에 다른 금속 원소를 포함한 금속 산화물을 사용하여도 좋다.
- [0032] 이하에서는 산화물 반도체막의 구조에 대하여 설명한다.
- [0033] 산화물 반도체막은 단결정 산화물 반도체막과 비단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, 비정질 산화물 반도체막, 미결정 산화물 반도체막, 다결정 산화물 반도체막, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막 등을 말한다.
- [0034] 비정질 산화물 반도체막은 막 내의 원자 배열이 불규칙하고 결정 성분을 갖지 않는 산화물 반도체막이다. 미소 영역에서도 결정을 갖지 않고 막 전체가 완전한 비정질 구조인 산화물 반도체막이 전형적이다.
- [0035] 미결정 산화물 반도체막은 예를 들어, 크기가 1nm 이상 10nm 미만인 미결정(나노 결정이라고도 함)을 포함한다. 따라서, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 원자 배열의 규칙성이 높다. 그러므로, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮은 특징을 갖는다.
- [0036] CAAC-OS막은 복수의 결정부를 갖는 산화물 반도체막 중 하나이며 결정부의 대부분은 한 변이 100nm 미만인 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 크기인 경우도 포함된다. CAAC-OS막은 미결정 산화물 반도체막보다 결함 준위 밀도가 낮은 특징을 갖는다. 이하에서는 CAAC-OS막에 대하여 자세히 설명한다.
- [0037] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)으로 관찰하면, 결정부들끼리의 명확한 경계, 즉 결정 입계(그레인 바운더리라고도 함)는 확인되지 않는다. 그러므로, CAAC-OS막에서는 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0038] CAAC-OS막을 시료 면에 대략 평행한 방향으로부터 TEM으로 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은 CAAC-OS막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철이 반영된 형상이며, CAAC-OS막의 피형성면 또는 상면에 평행하게 배열된다.
- [0039] 한편, CAAC-OS막을 시료 면에 대략 수직인 방향으로부터 TEM으로 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 다른 결정부들간에서 금속 원자의 배열에 규칙성은 보이지 않는다.
- [0040] 단면 TEM 관찰과 평면 TEM 관찰로부터 CAAC-OS막의 결정부가 배향성을 가짐을 알 수 있다.
- [0041] CAAC-OS막을 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석하면, 예를 들어 InGaZnO_4 의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO_4 의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축

이 피형성면 또는 상면에 대략 수직인 방향으로 배향되어 있는 것을 확인할 수 있다.

- [0042] 한편, CAAC-OS막에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는 2θ 가 56° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. InGaZnO₄의 단결정 산화물 반도체막의 경우, 2θ 를 56° 근방에 고정시키고 시료 면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)하면, (110)면과 등가인 결정 면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우, 2θ 를 56° 근방에 고정시키고 ϕ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.
- [0043] 상술한 것으로부터, CAAC-OS막에서는 다른 결정부들간에서 a축 및 b축의 배향이 불규칙하지만 c축 배향성을 갖고, 또 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향되는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각 층은 결정의 ab면에 평행한 면이다.
- [0044] 또한, 결정부는 CAAC-OS막을 성막하였을 때, 또는 가열 처리 등의 결정화 처리를 수행하였을 때 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향되지 않을 수도 있다.
- [0045] 또한, CAAC-OS막 내의 결정화도가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터 결정을 성장시킴으로써 형성되는 경우에는 상면 근방의 영역에서의 결정화도가 피형성면 근방의 영역보다 높게 되는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는 불순물이 첨가된 영역의 결정화도가 변화되어, 부분적으로 결정화도가 다른 영역이 형성될 수도 있다.
- [0046] 또한, InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는 2θ 가 31° 근방일 때의 피크 외에 2θ 가 36° 근방일 때에도 피크가 나타나는 경우가 있다. 2θ 가 36° 근방일 때의 피크는 CAAC-OS막 내의 일부에 c축 배향성을 갖지 않는 결정이 포함되어 있는 것을 뜻한다. CAAC-OS막은 2θ 가 31° 근방일 때 피크가 나타나고, 2θ 가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.
- [0047] CAAC-OS막이 사용된 트랜지스터는 가시광이나 자외광의 조사로 인한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.
- [0048] 또한, 산화물 반도체막은 예를 들어, 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종류 이상을 갖는 적층막이어도 좋다.
- [0049] 상술한 것이 산화물 반도체막의 구조에 대한 설명이다.
- [0050] 또한, 본 실시형태에 따른 펄스 출력 회로의 구성예에 대하여 도 2a 및 도 2b를 참조하여 설명한다.
- [0051] 도 2a에 도시된 펄스 출력 회로는 세트 신호 S에 상응하는 세트 신호 LIN, 리셋 신호 R에 상응하는 리셋 신호 RIN, 클럭 신호 CK1, 클럭 신호 CK2, 및 클럭 신호 CK2B에 따라 출력 신호 OUT 및 출력 신호 SROUT를 생성하는 기능을 갖는다.
- [0052] 도 2a에 도시된 펄스 출력 회로는 트랜지스터(41) 내지 트랜지스터(51)를 갖는다.
- [0053] 트랜지스터(41)의 소스 및 드레인 중 한쪽에는 전위 VDD가 공급된다. 또한, 트랜지스터(41)의 게이트에는 세트 신호 LIN이 입력된다.
- [0054] 트랜지스터(42)의 소스 및 드레인 중 한쪽에는 전위 VSS가 공급되고, 다른 쪽은 트랜지스터(41)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다.
- [0055] 트랜지스터(43)의 소스 및 드레인 중 한쪽은 트랜지스터(41)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다. 또한, 트랜지스터(43)의 게이트에는 클럭 신호 CK2B가 입력된다. 트랜지스터(43)는 도 1b에 도시된 트랜지스터(114)에 상당한다.
- [0056] 트랜지스터(44)의 소스 및 드레인 중 한쪽에는 클럭 신호 CK1이 입력되고, 다른 쪽의 전위는 펄스 신호(출력 신호 OUT)의 전위가 된다. 또한, 트랜지스터(44)의 게이트는 트랜지스터(43)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다. 트랜지스터(44)는 도 1b에 도시된 트랜지스터(111)에 상당한다.
- [0057] 또한, 트랜지스터(44)의 게이트와 소스 및 드레인 중 다른 쪽과의 사이에는 용량 C1이 형성된다. 예를 들어,

트랜지스터(44)의 게이트와 소스 및 드레인 중 다른 쪽과의 사이의 기생 용량을 용량 C1로서 사용하여도 좋다.

- [0058] 트랜지스터(45)의 소스 및 드레인 중 한쪽에는 전위 VSS가 공급되고, 다른 쪽은 트랜지스터(44)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다. 트랜지스터(45)는 도 1b에 도시된 트랜지스터(112)에 상당한다.
- [0059] 트랜지스터(46)의 소스 및 드레인 중 한쪽에는 클럭 신호 CK1이 입력되고, 다른 쪽의 전위는 펄스 신호(출력 신호 SROUT)의 전위가 된다. 또한, 트랜지스터(46)의 게이트는 트랜지스터(43)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다.
- [0060] 또한, 트랜지스터(46)의 게이트와 소스 및 드레인 중 다른 쪽과의 사이에는 용량 C2가 형성된다. 예를 들어, 트랜지스터(46)의 게이트와 소스 및 드레인 중 다른 쪽과의 사이의 기생 용량을 용량 C2로서 사용하여도 좋다. 또한, 반드시 용량 C2를 형성하지 않아도 좋다.
- [0061] 트랜지스터(47)의 소스 및 드레인 중 한쪽에는 전위 VSS가 공급되고, 다른 쪽은 트랜지스터(46)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다. 또한, 트랜지스터(47)의 게이트는 트랜지스터(42)의 게이트에 전기적으로 접속된다.
- [0062] 또한, 반드시 트랜지스터(46) 및 트랜지스터(47)를 제공하지 않아도 좋다.
- [0063] 트랜지스터(48)의 소스 및 드레인 중 한쪽에는 전위 Va가 공급되고, 다른 쪽은 트랜지스터(44)의 게이트 및 트랜지스터(46)의 게이트에 전기적으로 접속된다. 또한, 트랜지스터(48)의 게이트에는 클럭 신호 CK2가 입력된다. 트랜지스터(48)는 도 1b에 도시된 트랜지스터(113)에 상당한다.
- [0064] 트랜지스터(49)의 소스 및 드레인 중 한쪽에는 전위 VDD가 공급되고, 다른 쪽은 트랜지스터(45)의 게이트 및 트랜지스터(47)의 게이트에 전기적으로 접속된다. 또한, 트랜지스터(49)의 게이트에는 리셋 신호 RIN이 입력된다.
- [0065] 트랜지스터(50)의 소스 및 드레인 중 한쪽에는 전위 VSS가 공급되고, 다른 쪽은 트랜지스터(45)의 게이트 및 트랜지스터(47)의 게이트에 전기적으로 접속된다. 또한, 트랜지스터(50)의 게이트에는 세트 신호 LIN이 입력된다.
- [0066] 트랜지스터(51)의 소스 및 드레인 중 한쪽에는 전위 VDD가 공급되고, 다른 쪽은 트랜지스터(45)의 게이트 및 트랜지스터(47)의 게이트에 전기적으로 접속된다. 또한, 트랜지스터(51)의 게이트에는 클럭 신호 CK2가 입력된다. 또한, 트랜지스터(48) 및 트랜지스터(51) 중 한쪽 또는 양쪽 모두의 채널 길이를 트랜지스터(44) 또는 트랜지스터(46)의 채널 길이보다 길게 하여도 좋다. 트랜지스터(51)의 채널 길이를 길게 함으로써 트랜지스터(51)에 대한 스트레스의 영향을 저감시킬 수 있다.
- [0067] 용량 C3의 한 쌍의 전극 중 한쪽에는 전위 VSS가 공급되고, 다른 쪽은 트랜지스터(45)의 게이트와 트랜지스터(47)의 게이트에 전기적으로 접속된다. 용량 C3은 유지 용량으로서의 기능을 갖는다. 또한, 반드시 용량 C3을 제공하지 않아도 좋다.
- [0068] 트랜지스터(41) 내지 트랜지스터(51)로서는 예를 들어, 채널 형성 영역에 상기 산화물 반도체가 포함된 트랜지스터를 적용할 수 있다.
- [0069] 다음에, 본 실시형태에 따른 펄스 출력 회로의 구동 방법의 예로서 도 2a에 도시된 펄스 출력 회로의 구동 방법의 예에 대하여, 도 2b의 타이밍 차트를 참조하여 설명한다. 여기서는 일례로서, 트랜지스터(41) 내지 트랜지스터(51) 각각이 n채널형 트랜지스터이고, 전위 VDD가 양의 전위이고, 전위 VSS가 음의 전위이고, 전위 Va의 값이 전위 VDD의 값과 동일한 것으로 하여 설명한다. 또한, 세트 신호 LIN, 리셋 신호 RIN, 클럭 신호 CK1, 클럭 신호 CK2, 및 클럭 신호 CK2B의 하이 레벨 전위는 전위 VDD와 동일하고, 로우 레벨 전위는 전위 VSS와 동일한 것으로 한다. 또한, 전위 Va와, 클럭 신호 CK1의 로우 레벨 전위와의 전위차는 트랜지스터(44) 및 트랜지스터(46)의 문턱 전압보다 크다. 또한, 트랜지스터(44)의 게이트와 다른 소자와의 접속 개소를 노드 NA로 한다.
- [0070] 또한, 본 명세서에 있어서 전위 VSS란, 회로를 동작시키는 데 필요한 적어도 2개의 전원 전위 중 낮은 쪽의 전위를 가리킨다. 이 2개의 전원 전위 중 높은 쪽의 전위는 전위 VDD이다.
- [0071] 도 2a에 도시된 펄스 출력 회로에서는 도 2b의 기간 T1에서 세트 신호 LIN이 하이 레벨이 되어 트랜지스터(41) 및 트랜지스터(50)가 온 상태가 된다. 또한, 리셋 신호 RIN이 로우 레벨이기 때문에 트랜지스터(49)는 오프 상태이다. 또한, 클럭 신호 CK1은 로우 레벨이다. 또한, 클럭 신호 CK2가 로우 레벨이기 때문에 트랜지스터(48) 및 트랜지스터(51)는 오프 상태이다. 또한, 클럭 신호 CK2B가 하이 레벨이 되어 트랜지스터(43)가 온 상태가

된다.

- [0072] 이 때 노드 NA의 전위가 전위 VDD와 동등한 값까지 상승되어 트랜지스터(44) 및 트랜지스터(46)가 온 상태가 되고, 트랜지스터(41) 및 트랜지스터(43)가 오프 상태가 된다. 또한, 클럭 신호 CK1이 로우 레벨이기 때문에 출력 신호 OUT 및 출력 신호 SROUT는 로우 레벨이 된다. 상술한 바와 같이 도 2a에 도시된 펄스 출력 회로는 세트 상태가 된다.
- [0073] 다음에, 기간 T2에서 세트 신호 LIN이 로우 레벨이 되어 트랜지스터(41) 및 트랜지스터(50)가 오프 상태가 된다. 또한, 클럭 신호 CK1이 하이 레벨이 된다. 또한, 리셋 신호 RIN이 로우 레벨 상태를 유지하기 때문에 트랜지스터(49)는 오프 상태를 유지한다. 또한, 클럭 신호 CK2가 로우 레벨 상태를 유지하기 때문에 트랜지스터(48) 및 트랜지스터(51)는 오프 상태를 유지한다. 또한, 클럭 신호 CK2B는 하이 레벨 상태를 유지한다.
- [0074] 이 때 트랜지스터(44)는 온 상태를 유지하고 클럭 신호 CK1이 하이 레벨이기 때문에 트랜지스터(44)의 게이트와 소스 및 드레인 중 다른 쪽과의 사이에 생기는 용량 C1에 기인하는 용량 결합으로 인하여 노드 NA의 전위가 전위 VDD와 트랜지스터(44)의 문턱 전압(V_{th44})의 합보다 높은 값, 즉 $VDD + V_{th44} + V_x$ (V_x 는 임의의 전위)까지 상승된다. 이것은 소위 부트스트랩이다. 이에 의하여 출력 신호 OUT의 전위는 클럭 신호 CK1의 하이 레벨 전위와 동등한 값이 된다. 마찬가지로 출력 신호 SROUT의 전위도 클럭 신호 CK1의 하이 레벨 전위와 동등한 값이 된다.
- [0075] 다음에, 기간 T3에서 리셋 신호 RIN이 하이 레벨이 되어 트랜지스터(49)가 온 상태가 된다. 또한, 클럭 신호 CK1이 로우 레벨이 된다. 또한, 클럭 신호 CK2B가 로우 레벨이 되어 트랜지스터(43)가 오프 상태가 된다. 또한, 클럭 신호 CK2가 하이 레벨이 되어 트랜지스터(48) 및 트랜지스터(51)가 온 상태가 된다. 또한, 세트 신호 LIN이 로우 레벨 상태를 유지하기 때문에 트랜지스터(41) 및 트랜지스터(50)는 오프 상태를 유지한다.
- [0076] 이 때 트랜지스터(42), 트랜지스터(45), 및 트랜지스터(47)가 온 상태가 된다. 또한, 트랜지스터(48)가 온 상태이기 때문에 노드 NA의 전위는 전위 V_a 와 동등한 값이 되고, 트랜지스터(44) 및 트랜지스터(46)는 온 상태를 유지한다. 클럭 신호 CK1은 로우 레벨이기 때문에 출력 신호 OUT 및 출력 신호 SROUT의 전위는 클럭 신호 CK1의 로우 레벨 전위와 동등한 값이 된다. 상술한 바와 같이 도 2a에 도시된 펄스 출력 회로는 리셋 상태가 된다.
- [0077] 다음에, 기간 T4에서 리셋 신호 RIN이 로우 레벨이 되어 트랜지스터(49)가 오프 상태가 된다. 또한, 클럭 신호 CK2가 로우 레벨이 되어 트랜지스터(48) 및 트랜지스터(51)가 오프 상태가 된다. 또한, 클럭 신호 CK2B가 하이 레벨이 되어 트랜지스터(43)가 온 상태가 된다. 또한, 세트 신호 LIN이 로우 레벨 상태를 유지하기 때문에 트랜지스터(41) 및 트랜지스터(50)는 오프 상태를 유지한다. 또한, 클럭 신호 CK1은 로우 레벨 상태를 유지한다.
- [0078] 이 때 트랜지스터(42), 트랜지스터(45), 및 트랜지스터(47)가 오프 상태를 유지한다. 또한, 트랜지스터(43)가 온 상태이고 노드 NA의 전위가 전위 VSS와 동등한 값을 유지하기 때문에 트랜지스터(44) 및 트랜지스터(46)는 오프 상태를 유지한다. 또한, 클럭 신호 CK1이 로우 레벨 상태를 유지하기 때문에 출력 신호 OUT 및 출력 신호 SROUT는 로우 레벨 상태를 유지한다.
- [0079] 다음에, 기간 T5에서 세트 신호 LIN이 로우 레벨 상태를 유지하기 때문에 트랜지스터(41) 및 트랜지스터(50)는 오프 상태를 유지한다. 또한, 리셋 신호 RIN이 로우 레벨 상태를 유지하기 때문에 트랜지스터(49)는 오프 상태를 유지한다. 또한, 클럭 신호 CK1은 로우 레벨 상태를 유지한다. 또한, 클럭 신호 CK2가 로우 레벨 상태를 유지하기 때문에 트랜지스터(48) 및 트랜지스터(51)는 오프 상태를 유지한다. 또한, 클럭 신호 CK2B가 하이 레벨 상태를 유지하기 때문에 트랜지스터(43)는 온 상태를 유지한다.
- [0080] 이 때 트랜지스터(42), 트랜지스터(45), 및 트랜지스터(47)가 오프 상태를 유지한다. 또한, 트랜지스터(43)가 온 상태이고 노드 NA의 전위는 전위 VSS와 동등한 값을 유지하기 때문에 트랜지스터(44) 및 트랜지스터(46)는 오프 상태를 유지한다. 또한, 클럭 신호 CK1이 로우 레벨 상태를 유지하기 때문에 출력 신호 OUT 및 출력 신호 SROUT는 로우 레벨 상태를 유지한다.
- [0081] 다음에, 기간 T6에서 클럭 신호 CK1이 하이 레벨이 된다. 또한, 세트 신호 LIN이 로우 레벨 상태를 유지하기 때문에 트랜지스터(41) 및 트랜지스터(50)는 오프 상태를 유지한다. 또한, 리셋 신호 RIN이 로우 레벨 상태를 유지하기 때문에 트랜지스터(49)는 오프 상태를 유지한다. 또한, 클럭 신호 CK2가 로우 레벨 상태를 유지하기 때문에 트랜지스터(48) 및 트랜지스터(51)는 오프 상태를 유지한다. 또한, 클럭 신호 CK2B가 하이 레벨 상태를 유지하기 때문에 트랜지스터(43)는 온 상태를 유지한다.

- [0082] 이 때 트랜지스터(42), 트랜지스터(45), 및 트랜지스터(47)가 온 상태를 유지한다. 또한, 트랜지스터(43)가 온 상태이고 노드 NA의 전위가 전위 VSS와 동등한 값을 유지하기 때문에 트랜지스터(44) 및 트랜지스터(46)는 오프 상태를 유지한다. 이 때, 클럭 신호 CK1이 하이 레벨이 되지만 트랜지스터(44) 및 트랜지스터(46)가 오프 상태이기 때문에 출력 신호 OUT 및 출력 신호 SROUT는 로우 레벨 상태를 유지한다.
- [0083] 다음에, 기간 T7에서 클럭 신호 CK2가 하이 레벨이 되어 트랜지스터(48) 및 트랜지스터(51)가 온 상태가 된다. 또한, 클럭 신호 CK2B가 로우 레벨이 되어 트랜지스터(43)가 오프 상태가 된다. 또한, 클럭 신호 CK1이 로우 레벨이 된다. 또한, 세트 신호 LIN이 로우 레벨 상태를 유지하기 때문에 트랜지스터(41) 및 트랜지스터(50)는 오프 상태를 유지한다. 또한, 리셋 신호 RIN이 로우 레벨 상태를 유지하기 때문에 트랜지스터(49)는 오프 상태를 유지한다. 이와 같이 클럭 신호 CK2가 하이 레벨일 때 클럭 신호 CK1은 로우 레벨이다.
- [0084] 이 때 트랜지스터(42), 트랜지스터(45), 및 트랜지스터(47)가 온 상태를 유지한다. 또한, 트랜지스터(48)가 온 상태이기 때문에 노드 NA의 전위가 전위 Va와 동등한 값이 되어 트랜지스터(44) 및 트랜지스터(46)가 온 상태가 되지만, 클럭 신호 CK1이 로우 레벨이기 때문에 출력 신호 OUT 및 출력 신호 SROUT는 로우 레벨 상태를 유지한다.
- [0085] 상술한 바와 같이 클럭 신호 CK2에 따라 간헐적으로 노드 NA의 전위를 전위 Va와 동등한 값으로 변화시킨다. 노드 NA의 전위가 전위 Va와 동등한 값일 때 트랜지스터(44)의 소스 및 드레인 중 한쪽의 전위, 및 트랜지스터(46)의 소스 및 드레인 중 한쪽의 전위는 클럭 신호 CK1의 로우 레벨 전위와 동등한 값이 된다. 또한, 노드 NA의 전위가 전위 VSS와 동등한 값일 때 트랜지스터(44)의 소스 및 드레인 중 한쪽의 전위, 및 트랜지스터(46)의 소스 및 드레인 중 한쪽의 전위는 클럭 신호 CK1의 하이 레벨 전위와 동등한 값이 된다. 따라서, 트랜지스터(44) 및 트랜지스터(46) 각각에서 게이트와 소스 및 드레인 중 한쪽과의 사이의 전압이 항상 전위 VDD와 전위 VSS의 차이보다 낮게 되기 때문에 트랜지스터(44)에 대한 스트레스를 저감시킬 수 있다.
- [0086] 상술한 것이 도 2a에 도시된 펄스 출력 회로에 대한 설명이다.
- [0087] 또한, 본 실시형태에 따른 펄스 출력 회로의 구성은 상술한 것에 한정되지 않고 다른 구성으로 할 수도 있다.
- [0088] 예를 들어, 도 3에 도시된 펄스 출력 회로는 도 2b에 도시된 펄스 출력 회로의 트랜지스터(42)의 게이트를 트랜지스터(45) 및 트랜지스터(47)의 게이트에 전기적으로 접속하는 대신에 트랜지스터(42)의 게이트에 리셋 신호 RIN을 입력하는 구성이다. 이로써 펄스 출력 회로를 리셋 상태로 할 때 노드 NA의 전위를 전위 VSS와 동등한 값으로 설정하는 속도를 빠르게 할 수 있다. 또한, 도 3에 도시된 바와 같이 트랜지스터(52)를 제공하여도 좋다. 이 때 트랜지스터(52)의 소스 및 드레인 중 한쪽에는 전위 VDD가 공급되고, 다른 쪽은 트랜지스터(45) 및 트랜지스터(47)에 전기적으로 접속된다. 또한, 트랜지스터(52)의 게이트에는 초기화 신호 RES가 입력된다. 도 3에 도시된 펄스 출력 회로에서는 초기화 신호 RES의 펄스가 입력됨으로써 트랜지스터(45) 및 트랜지스터(47)가 온 상태가 되고 신호 OUT 및 신호 SROUT가 로우 레벨이 되어 초기화 상태가 된다.
- [0089] 또한, 도 4에 도시된 바와 같이 트랜지스터(41) 내지 트랜지스터(51) 각각에 백 게이트를 제공하고 백 게이트의 전위를 제어함으로써 트랜지스터(41) 내지 트랜지스터(51)의 문턱 전압을 제어하여도 좋다. 예를 들어, n채널형 트랜지스터의 백 게이트에 음의 전위를 공급하면 n채널형 트랜지스터의 문턱 전압을 양의 방향으로 시프트시킬 수 있다. 도 4에 도시된 펄스 출력 회로에서 트랜지스터(41), 트랜지스터(43), 트랜지스터(48), 트랜지스터(49), 및 트랜지스터(51)의 백 게이트 각각에는 전위 BG1이 공급되고 트랜지스터(42), 트랜지스터(44), 트랜지스터(45), 트랜지스터(46), 트랜지스터(47), 및 트랜지스터(50)의 백 게이트 각각에는 전위 BG2가 공급된다. 또한, 전위 BG1 및 전위 BG2로서 음의 전위를 사용하는 경우 전위 BG2의 값은 전위 BG1보다 낮은 것이 바람직하다. 이것은 전위 BG1이 공급되는 트랜지스터의 문턱 전압이 지나치게 높으면 펄스 출력 회로의 동작 불량이 생기기 쉽기 때문이다.
- [0090] 또한, 도 3에 도시된 구성에서도 마찬가지로 트랜지스터에 백 게이트가 제공되어도 좋다.
- [0091] 또한, 도 2a에 도시된 펄스 출력 회로를 복수단 구비한 시프트 레지스터의 예에 대하여 도 5a 내지 도 5c를 참조하여 설명한다.
- [0092] 도 5a에 도시된 시프트 레지스터(30)는 복수단의 펄스 출력 회로(펄스 출력 회로(31_1) 내지 펄스 출력 회로(31_N)(N은 2 이상의 자연수))를 갖는다. 도 5a는 일례로서 N=5 이상인 경우를 도시한 것이다.
- [0093] 펄스 출력 회로(31_1) 내지 펄스 출력 회로(31_N) 각각은 도 2a에 도시된 펄스 출력 회로에 상당한다. 펄스 출력 회로(31_1) 내지 펄스 출력 회로(31_N)는 도 5b에 도시된 바와 같이 세트 신호 LIN, 리셋 신호 RIN, 초기화

신호 RES, 클럭 신호 CK1, 클럭 신호 CK2, 및 클럭 신호 CK2B에 따라 출력 신호 OUT 및 출력 신호 SROUT로서 복수의 펄스 신호를 생성하여 출력하는 기능을 갖는다.

- [0094] 펄스 출력 회로(31_1)에는 세트 신호 LIN으로서 스타트 펄스 신호 SP가 입력된다. 또한, 펄스 출력 회로(31_K)(K는 2 이상 N 이하의 자연수)에는 세트 신호 LIN으로서 펄스 출력 회로(31_K-1)로부터 출력되는 출력 신호 SROUT인 펄스 신호가 입력된다.
- [0095] 펄스 출력 회로(31_M)(M은 N-1 이하의 자연수)에는 리셋 신호 RIN으로서 펄스 출력 회로(31_M+1)로부터 출력되는 출력 신호 SROUT인 펄스 신호가 입력된다.
- [0096] 또한, 펄스 출력 회로(31_1)에는 클럭 신호 CK1로서 클럭 신호 CLK1이 입력되고, 클럭 신호 CK2로서 클럭 신호 CLK2가 입력되고, 클럭 신호 CK2B로서 클럭 신호 CLK2의 반전 클럭 신호 CLK2B가 입력된다. 또한, 펄스 출력 회로(31_1)를 기준으로 하여 3개 걸러 하나씩의 펄스 출력 회로에 클럭 신호 CK1로서 클럭 신호 CLK1이 입력되고, 클럭 신호 CK2로서 클럭 신호 CLK2가 입력되고, 클럭 신호 CK2B로서 반전 클럭 신호 CLK2B가 입력된다.
- [0097] 또한, 펄스 출력 회로(31_2)에는 클럭 신호 CK1로서 클럭 신호 CLK2가 입력되고, 클럭 신호 CK2로서 클럭 신호 CLK3이 입력되고, 클럭 신호 CK2B로서 클럭 신호 CLK3의 반전 클럭 신호 CLK3B가 입력된다. 또한, 펄스 출력 회로(31_2)를 기준으로 하여 3개 걸러 하나씩의 펄스 출력 회로에 클럭 신호 CK1로서 클럭 신호 CLK2가 입력되고, 클럭 신호 CK2로서 클럭 신호 CLK3이 입력되고, 클럭 신호 CK2B로서 반전 클럭 신호 CLK3B가 입력된다.
- [0098] 또한, 펄스 출력 회로(31_3)에는 클럭 신호 CK1로서 클럭 신호 CLK3이 입력되고, 클럭 신호 CK2로서 클럭 신호 CLK4가 입력되고, 클럭 신호 CK2B로서 클럭 신호 CLK4의 반전 클럭 신호 CLK4B가 입력된다. 또한, 펄스 출력 회로(31_3)를 기준으로 하여 3개 걸러 하나씩의 펄스 출력 회로에 클럭 신호 CK1로서 클럭 신호 CLK3이 입력되고, 클럭 신호 CK2로서 클럭 신호 CLK4가 입력되고, 클럭 신호 CK2B로서 반전 클럭 신호 CLK4B가 입력된다.
- [0099] 또한, 펄스 출력 회로(31_4)에는 클럭 신호 CK1로서 클럭 신호 CLK4가 입력되고, 클럭 신호 CK2로서 클럭 신호 CLK1이 입력되고, 클럭 신호 CK2B로서 클럭 신호 CLK1의 반전 클럭 신호 CLK1B가 입력된다. 또한, 펄스 출력 회로(31_4)를 기준으로 하여 3개 걸러 하나씩의 펄스 출력 회로에 클럭 신호 CK1로서 클럭 신호 CLK4가 입력되고, 클럭 신호 CK2로서 클럭 신호 CLK1이 입력되고, 클럭 신호 CK2B로서 반전 클럭 신호 CLK1B가 입력된다.
- [0100] 펄스 출력 회로(31_N+1)는 더미 단(dummy stage)의 펄스 출력 회로이다. 펄스 출력 회로(31_N+1)의 구성은 도 2a에 도시된 펄스 출력 회로로부터 트랜지스터(49)를 뺀 구성이다. 펄스 출력 회로(31_N+1)로부터 출력되는 출력 신호 SROUT_N+1인 펄스 신호는 리셋 신호 RIN으로서 펄스 출력 회로(31_N)에 입력된다. 또한, 펄스 출력 회로(31_N+1)를 제공하지 않고 별도로 생성된 펄스 신호를 펄스 출력 회로(31_N)에 입력하여도 좋다.
- [0101] 또한, 펄스 출력 회로(31_1) 내지 펄스 출력 회로(31_N+1) 각각에는 초기화 신호 RES로서 초기화 신호 INI_RES가 입력된다.
- [0102] 또한, 반전 클럭 신호 CLK1B 내지 반전 클럭 신호 CLK4B는 예를 들어, 인버터 등을 사용하여 클럭 신호 CLK1 내지 클럭 신호 CLK4를 반전시킴으로써 생성된다.
- [0103] 다음에, 도 5a에 도시된 시프트 레지스터(30)의 구동 방법의 예에 대하여 도 5c의 타이밍 차트를 참조하여 설명한다. 여기서는 일례로서, 전위 VDD가 양의 전위이고, 전위 VSS가 음의 전위이고, 전위 Va가 전위 VDD와 동등한 값인 것으로 하여 설명한다. 또한, 일례로서 세트 신호 LIN, 리셋 신호 RIN, 및 클럭 신호 CLK1 내지 클럭 신호 CLK4, 반전 클럭 신호 CLK1B 내지 반전 클럭 신호 CLK4B의 하이 레벨 전위는 전위 VDD와 동일하고, 로우 레벨 전위는 전위 VSS와 동일한 것으로 한다. 또한, 일례로서 클럭 신호 CLK1 내지 클럭 신호 CLK4의 듀티비가 25%인 것으로 한다. 또한, 일례로서 클럭 신호 CLK2가 클럭 신호 CLK1보다 1/4 주기분 지연되어 있고, 클럭 신호 CLK3이 클럭 신호 CLK2보다 1/4 주기분 지연되어 있고, 클럭 신호 CLK4가 클럭 신호 CLK3보다 1/4 주기분 지연되어 있는 것으로 한다. 또한, 일례로서 스타트 펄스 신호 SP의 펄스의 폭이 클럭 신호 CLK1 내지 클럭 신호 CLK4의 펄스의 폭과 동일한 것으로 한다. 또한, 각 펄스 출력 회로가 세트 상태가 되기 전에 초기화 신호 INI_RES의 펄스를 입력하여 펄스 출력 회로를 초기화한다.
- [0104] 도 5c에 도시된 바와 같이 도 5a에 도시된 시프트 레지스터(30)에서는 시각 T11에 스타트 펄스 신호 SP가 하이 레벨이 됨으로써 시각 T12에 클럭 신호 CLK1이 하이 레벨이 된다. 또한, 시프트 레지스터(30)는 클럭 신호 CLK1 내지 클럭 신호 CLK4, 반전 클럭 신호 CLK1B 내지 반전 클럭 신호 CLK4B(도시되어 있지 않음)에 따라 출력 신호 SROUT_1 내지 출력 신호 SROUT_N의 펄스를 순차적으로 출력하고 출력 신호 OUT_1 내지 출력 신호 OUT_N의 펄스를 순차적으로 출력한다.

- [0105] 상술한 것이 도 5a에 도시된 시프트 레지스터(30)의 구동 방법의 예에 대한 설명이다.
- [0106] 또한, 도 5a에 도시된 시프트 레지스터(30)에 보호 회로를 제공하여도 좋다. 예를 들어, 도 6a에 도시된 시프트 레지스터(30)는 도 5a에 도시된 시프트 레지스터(30)에서, 초기화 신호 INI_RES, 클럭 신호 CLK1 내지 클럭 신호 CLK4, 반전 클럭 신호 CLK1B 내지 반전 클럭 신호 CLK4B, 및 스타트 펄스 신호 SP를 입력하기 위한 배선에 보호 회로(32)가 접속된 구성이다.
- [0107] 또한, 도 6b에 도시된 시프트 레지스터(30)는 도 5a에 도시된 시프트 레지스터(30)로부터 출력 신호 OUT_1 내지 출력 신호 OUT_N을 출력하기 위한 배선에 보호 회로(33)가 접속된 구성이다.
- [0108] 또한, 도 5a에 도시된 시프트 레지스터(30)에 도 6a에 도시된 보호 회로(32)와 도 6b에 도시된 보호 회로(33)를 제공하여도 좋다.
- [0109] 보호 회로(32) 및 보호 회로(33)는 자신에 접속된 배선에 일정한 범위를 벗어나는 전위가 공급된 경우에 상기 배선과 다른 전원선을 도통 상태로 하는 회로이다. 보호 회로(32) 및 보호 회로(33)는 예를 들어, 다이오드 등을 사용하여 구성된다.
- [0110] 도 6a 및 도 6b에 도시된 바와 같이 보호 회로를 제공함으로써 정전기 방전(ESD라고도 함) 등으로 인하여 발생하는 과전압에 대한 시프트 레지스터의 내성을 높일 수 있다.
- [0111] 도 1a 내지 도 6b를 참조하여 설명한 바와 같이 본 실시형태에 따른 펄스 출력 회로의 일례에서는 출력되는 펄스 신호가 로우 레벨인 기간에 트랜지스터(111)의 게이트의 전위를, 일정한 값으로 설정하는 것이 아니라 간헐적으로 전위 VSS의 전위보다 높게 한다. 이로써 트랜지스터(111)에 대한 스트레스를 억제할 수 있어 트랜지스터의 열화를 억제할 수 있다.
- [0112] (실시형태 2)
- [0113] 본 실시형태에서는 실시형태 1에 따른 펄스 출력 회로가 사용된 표시 장치의 예에 대하여 도 7의 (a), (b1), (b2) 내지 도 10b를 참조하여 설명한다.
- [0114] 도 7의 (a)에 도시된 표시 장치는 화소부(201)와 구동 회로부(202)를 포함한다.
- [0115] 화소부(201)는 X행(X는 2 이상의 자연수) Y열(Y는 2 이상의 자연수)로 배치된 복수의 화소 회로(211)를 구비하고, 구동 회로부(202)는 게이트 드라이버(221), 소스 드라이버(223) 등의 구동 회로를 구비한다.
- [0116] 게이트 드라이버(221)는 실시형태 1에 기재된 펄스 출력 회로를 복수단 갖는 시프트 레지스터(예를 들어, 도 5a에 도시된 시프트 레지스터(30))를 구비한다. 예를 들어, 게이트 드라이버(221)는 시프트 레지스터로부터 출력되는 펄스 신호에 따라 주사선 GL_1 내지 주사선 GL_X의 전위를 제어하는 기능을 갖는다. 또한, 게이트 드라이버(221)를 복수로 제공하여 복수의 게이트 드라이버(221)에 의하여 주사선 GL_1 내지 주사선 GL_X를 나누어 제어하여도 좋다.
- [0117] 소스 드라이버(223)에는 화상 신호가 입력된다. 소스 드라이버(223)는 화상 신호에 기초하여 화소 회로(211)에 기록하는 데이터 신호를 생성하는 기능을 갖는다. 또한, 소스 드라이버(223)는 데이터선 DL_1 내지 데이터선 DL_Y의 전위를 제어하는 기능을 갖는다.
- [0118] 소스 드라이버(223)는 예를 들어, 복수의 아날로그 스위치 등을 사용하여 구성된다. 소스 드라이버(223)는 복수의 아날로그 스위치를 순차적으로 온 상태로 함으로써 화상 신호를 시분할하여 얻어진 신호를 데이터 신호로서 출력할 수 있다. 또한, 시프트 레지스터 등을 사용하여 소스 드라이버(223)를 구성하여도 좋다. 이 때 시프트 레지스터로서는 실시형태 1에 기재된 펄스 출력 회로를 복수단 갖는 시프트 레지스터(예를 들어, 도 5a에 도시된 시프트 레지스터)를 사용할 수 있다.
- [0119] 복수의 화소 회로(211) 각각에는 복수의 주사선 GL 중 하나를 통하여 펄스 신호가 입력되고 복수의 데이터선 DL 중 하나를 통하여 데이터 신호가 입력된다. 복수의 화소 회로(211) 각각은 게이트 드라이버(221)에 의하여 데이터 신호의 데이터의 기록 및 유지가 제어된다. 예를 들어, m행 n열째 화소 회로(211)에는 게이트 드라이버(221)로부터 주사선 GL_m(m은 X 이하의 자연수)을 통하여 펄스 신호가 입력되고, 주사선 GL_m의 전위에 따라 소스 드라이버(223)로부터 데이터선 DL_n(n은 Y 이하의 자연수)을 통하여 데이터 신호가 입력된다.
- [0120] 복수의 화소 회로(211) 각각은 예를 들어, 도 7의 (b1)에 도시된 바와 같이 액정 소자(230), 트랜지스터(231_1), 용량 소자(233_1)를 구비한다.

- [0121] 액정 소자(230)의 한 쌍의 전극 중 한쪽의 전위는 화소 회로(211)의 사양에 따라 적절히 설정된다. 액정 소자(230)의 배향 상태는 기록되는 데이터에 의존한다. 또한, 복수의 화소 회로(211) 각각이 갖는 액정 소자(230)의 한 쌍의 전극 중 한쪽에 공통 전위(코먼 전위)를 공급하여도 좋다. 또한, 액정 소자(230)의 한 쌍의 전극 중 한쪽에는 각 행의 화소 회로(211)마다 다른 전위를 공급하여도 좋다.
- [0122] 예를 들어, 액정 소자를 구비한 표시 장치의 표시 방식으로서는 TN(Twisted Nematic) 모드, IPS(In Plane Switching) 모드, STN(Super Twisted Nematic) 모드, VA(Vertical Alignment) 모드, ASM(Axially Symmetric Aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, FFS(Fringe Field Switching) 모드, 또는 TBA(Transverse Bend Alignment) 모드 등을 사용하여도 좋다.
- [0123] 또한, 블루상을 나타내는 액정과 키랄제를 포함한 액정 조성물로 액정 소자를 구성하여도 좋다. 블루상을 나타내는 액정은 응답 속도가 1msec 이하로 짧고 광학적 등방성을 갖기 때문에 배향 처리가 불필요하며 시야각 의존성이 작다.
- [0124] m행 n열째 화소 회로(211)에서 트랜지스터(231_1)의 소스 및 드레인 중 한쪽은 데이터선 DL_n에 전기적으로 접속되고, 다른 쪽은 액정 소자(230)의 한 쌍의 전극 중 다른 쪽에 전기적으로 접속된다. 또한, 트랜지스터(231_1)의 게이트는 주사선 GL_m에 전기적으로 접속된다. 트랜지스터(231_1)는 온 상태 또는 오프 상태가 됨으로써 데이터 신호의 데이터의 기록을 제어하는 기능을 갖는다.
- [0125] 용량 소자(233_1)의 한 쌍의 전극 중 한쪽은 전위 공급선 VL에 전기적으로 접속되고, 다른 쪽은 액정 소자(230)의 한 쌍의 전극 중 다른 쪽에 전기적으로 접속된다. 또한, 전위 공급선 VL의 전위의 값은 화소 회로(211)의 사양에 따라 적절히 설정된다. 용량 소자(233_1)는 기록된 데이터를 유지하는 유지 용량으로서의 기능을 갖는다.
- [0126] 도 7의 (b1)의 화소 회로(211)를 구비한 표시 장치에서는 게이트 드라이버(221)에 의하여 각 행의 화소 회로(211)를 순차적으로 선택함으로써 트랜지스터(231_1)를 온 상태로 하여 데이터 신호의 데이터를 기록한다.
- [0127] 데이터가 기록된 화소 회로(211)는 트랜지스터(231_1)가 오프 상태가 됨으로써 유지 상태가 된다. 이 동작을 행마다 순차적으로 수행함으로써 화상을 표시시킬 수 있다.
- [0128] 또한, 도 7의 (b2)에 도시된 화소 회로(211)는 트랜지스터(231_2), 용량 소자(233_2), 트랜지스터(234), 및 발광 소자(EL이라고도 함)(235)를 구비한다.
- [0129] 트랜지스터(231_2)의 소스 및 드레인 중 한쪽은 데이터선 DL_n에 전기적으로 접속된다. 또한, 트랜지스터(231_2)의 게이트는 주사선 GL_m에 전기적으로 접속된다.
- [0130] 트랜지스터(231_2)는 온 상태 또는 오프 상태가 됨으로써 데이터 신호의 데이터의 기록을 제어하는 기능을 갖는다.
- [0131] 용량 소자(233_2)의 한 쌍의 전극 중 한쪽은 전원선 VL_a에 전기적으로 접속되고, 다른 쪽은 트랜지스터(231_2)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다.
- [0132] 용량 소자(233_2)는 기록된 데이터를 유지하는 유지 용량으로서의 기능을 갖는다.
- [0133] 트랜지스터(234)의 소스 및 드레인 중 한쪽은 전원선 VL_a에 전기적으로 접속되어 있다. 또한, 트랜지스터(234)의 게이트는 트랜지스터(231_2)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다.
- [0134] 발광 소자(235)의 애노드 및 캐소드 중 한쪽은 전원선 VL_b에 전기적으로 접속되고, 다른 쪽은 트랜지스터(234)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다.
- [0135] 발광 소자(235)로서는 예를 들어, 유기 일렉트로루미네선스 소자 등을 사용할 수 있다.
- [0136] 또한, 전원선 VL_a 및 전원선 VL_b 중 한쪽에는 전위 VDD가 공급되고 다른 쪽에는 전위 VSS가 공급된다.
- [0137] 도 7의 (b2)의 화소 회로(211)를 구비한 표시 장치에서는 게이트 드라이버(221)에 의하여 각 행의 화소 회로(211)를 순차적으로 선택함으로써 트랜지스터(231_2)를 온 상태로 하여 데이터 신호의 데이터를 기록한다.
- [0138] 데이터가 기록된 화소 회로(211)는 트랜지스터(231_2)가 오프 상태가 됨으로써 유지 상태가 된다. 또한, 기록

된 데이터 신호의 전위에 따라 트랜지스터(234)의 소스와 드레인 사이에 흐르는 전류량이 제어되고, 발광 소자(235)는 흐르는 전류량에 따른 휘도로 발광한다. 이 동작을 행마다 순차적으로 수행함으로써 화상을 표시시킬 수 있다.

- [0139] 또한, 도 7의 (a)에 도시된 표시 장치가 저소비 전력 모드로 동작할 수 있는 경우의 구동 방법의 예에 대하여 도 8의 타이밍 차트를 참조하여 설명한다. 여기서는 일례로서 게이트 드라이버(221)로서 실시형태 1에 기재된 시프트 레지스터를 사용하는 경우에 대하여 설명한다.
- [0140] 도 7의 (a)에 도시된 표시 장치의 동작에는 통상 모드와 저소비 전력 모드의 2가지 동작 모드가 있다.
- [0141] 통상 모드에서의 동작에 대해서는 이하와 같다. 도 8에 기간(311)으로서 나타낸 바와 같이, 스타트 펄스 신호 SP, 전원 전압 PWR, 및 클럭 신호 CLK1 내지 클럭 신호 CLK4를 시프트 레지스터에 입력하면 시프트 레지스터는 스타트 펄스 신호 SP의 펄스에 따라 출력 신호 SROUT_1 내지 출력 신호 SROUT_N의 펄스와 출력 신호 OUT_1 내지 출력 신호 OUT_N의 펄스를 순차적으로 출력한다. 또한, 전원 전압 PWR로서는 전위 VDD와 전위 VSS로 이루어진 전원 전압, 전위 Va와 전위 VSS로 이루어진 전원 전압을 들 수 있다. 또한, 클럭 신호 CLK1 내지 클럭 신호 CLK4의 입력이 시작되면 대응되는 반전 클럭 신호 CLK1B 내지 클럭 신호 CLK4B의 입력도 시작되는 것으로 한다.
- [0142] 다음에, 통상 모드로부터 저소비 전력 모드로 전환될 때의 동작에 대하여 설명한다. 도 8에 기간(312)으로서 나타낸 바와 같이, 시프트 레지스터에 대한 전원 전압 PWR, 클럭 신호 CLK1 내지 클럭 신호 CLK4, 및 스타트 펄스 신호 SP의 입력을 정지시킨다. 또한, 클럭 신호 CLK1 내지 클럭 신호 CLK4의 입력을 정지시키면 대응되는 반전 클럭 신호 CLK1B 내지 클럭 신호 CLK4B의 입력도 정지되는 것으로 한다.
- [0143] 이 때 먼저 시프트 레지스터에 대한 스타트 펄스 신호 SP의 입력을 정지시킨 다음에 클럭 신호 CLK1 내지 클럭 신호 CLK4의 입력을 순차적으로 정지시키고 나서 전원 전압 PWR의 입력을 정지시키는 것이 바람직하다. 이로써 시프트 레지스터의 오동작을 억제할 수 있다.
- [0144] 시프트 레지스터에 대한 전원 전압 PWR, 클럭 신호 CLK1 내지 클럭 신호 CLK4, 및 스타트 펄스 신호 SP의 입력을 정지시키면 출력 신호 SROUT_1 내지 출력 신호 SROUT_N의 펄스의 출력이 정지되고 출력 신호 OUT_1 내지 출력 신호 OUT_N의 펄스의 출력이 정지된다. 이로써, 표시 장치는 저소비 전력 모드로 전환된다.
- [0145] 이 후, 시프트 레지스터를 통상 모드로 복귀시키는 경우에는 도 8에 기간(313)으로서 나타낸 바와 같이, 시프트 레지스터에 대한 스타트 펄스 신호 SP, 클럭 신호 CLK1 내지 클럭 신호 CLK4, 및 전원 전압 PWR의 입력을 다시 시작한다.
- [0146] 이 때 먼저 시프트 레지스터에 대한 전원 전압 PWR의 입력을 다시 시작한 다음에 클럭 신호 CLK1 내지 클럭 신호 CLK4의 입력을 다시 시작하고 나서 스타트 펄스 신호 SP의 입력을 다시 시작한다. 또한, 이 때 클럭 신호 CLK1 내지 클럭 신호 CLK4가 입력되는 배선의 전위를 전위 VDD로 설정한 후에 클럭 신호 CLK1 내지 클럭 신호 CLK4의 입력을 순차적으로 다시 시작하는 것이 바람직하다.
- [0147] 시프트 레지스터에 대한 스타트 펄스 신호 SP, 클럭 신호 CLK1 내지 클럭 신호 CLK4, 및 전원 전압 PWR의 입력을 다시 시작하면 시프트 레지스터는 스타트 펄스 신호 SP의 펄스에 따라 출력 신호 SROUT_1 내지 출력 신호 SROUT_N의 펄스와 출력 신호 OUT_1 내지 출력 신호 OUT_N의 펄스를 순차적으로 출력한다. 이로써 표시 장치는 통상 모드로 복귀된다.
- [0148] 상술한 것이 표시 장치의 예에 대한 설명이다.
- [0149] 도 8을 참조하여 설명한 바와 같이 본 실시형태의 표시 장치의 일례에서는 필요에 따라 시프트 레지스터를 구비한 구동 회로의 동작을 정지시킬 수 있다. 따라서, 예를 들어 화소 회로의 트랜지스터로서 오프 전류가 낮은 트랜지스터를 사용하고, 화상을 표시시킬 때 일부의 또는 모든 화소 회로에서의 데이터 신호의 재기록이 불필요한 경우에 구동 회로의 동작을 정지시켜 기록 간격을 길게 함으로써, 소비 전력을 저감시킬 수 있다.
- [0150] 또한, 도 9에 도시된 바와 같이 게이트 드라이버(221)와 화소 회로(211) 사이(주사전 GL)에 보호 회로(225)를 접속하여도 좋다. 또한, 소스 드라이버(223)와 화소 회로(211) 사이(데이터 신호선 DL)에 보호 회로(225)를 접속하여도 좋다. 보호 회로(225)는 자신에 접속된 배선에 일정한 범위를 벗어나는 전위가 공급된 경우에 상기 배선과 다른 전원선을 도통 상태로 하는 회로이다. 보호 회로(225)는 예를 들어, 다이오드 등을 사용하여 구성된다.
- [0151] 도 9에 도시된 바와 같이 보호 회로를 제공함으로써 ESD 등으로 인하여 발생하는 과전압에 대한 표시 장치의 내

성을 높일 수 있다.

- [0152] 도 1a 내지 도 9를 참조하여 설명한 바와 같이 본 실시형태에 따른 표시 장치의 일례에서는 실시형태 1에 기재된 펄스 출력 회로를 사용하여 게이트 드라이버, 소스 드라이버 등의 구동 회로를 구성한다. 상기 구동 회로에서는 트랜지스터에 대한 스트레스가 적어 표시 장치의 신뢰성을 높일 수 있다.
- [0153] 또한, 본 실시형태에 따른 표시 장치의 구조예에 대하여 도 10a 및 도 10b를 참조하여 설명한다.
- [0154] 도 10a에 도시된 표시 장치는 수직 전개 방식의 액정 표시 장치이다.
- [0155] 도전층(703a) 및 도전층(703b)은 절연층(701)을 끼우도록 기판(700)의 동일 평면에 제공된다.
- [0156] 도전층(703a)은 구동 회로부(202)에 제공된다. 도전층(703a)은 구동 회로가 구비한 트랜지스터의 게이트로서의 기능을 갖는다.
- [0157] 도전층(703b)은 화소부(201)에 제공된다. 도전층(703b)은 화소 회로가 구비한 트랜지스터의 게이트로서의 기능을 갖는다.
- [0158] 절연층(704)은 도전층(703a) 및 도전층(703b) 위에 제공된다. 절연층(704)은 구동 회로가 구비한 트랜지스터의 게이트 절연층, 및 화소 회로가 구비한 트랜지스터의 게이트 절연층으로서의 기능을 갖는다.
- [0159] 반도체층(705a)은 절연층(704)을 개재(介在)하여 도전층(703a)에 중첩된다. 반도체층(705a)은 구동 회로가 구비한 트랜지스터의 채널이 형성되는 층(채널 형성층이라고도 함)으로서의 기능을 갖는다.
- [0160] 반도체층(705b)은 절연층(704)을 개재하여 도전층(703b)에 중첩된다. 반도체층(705b)은 화소 회로가 구비한 트랜지스터의 채널 형성층으로서의 기능을 갖는다.
- [0161] 도전층(706a)은 반도체층(705a)에 전기적으로 접속된다. 도전층(706a)은 구동 회로가 구비한 트랜지스터가 갖는 소스 및 드레인 중 한쪽으로서의 기능을 갖는다.
- [0162] 도전층(706b)은 반도체층(705a)에 전기적으로 접속된다. 도전층(706b)은 구동 회로가 구비한 트랜지스터가 갖는 소스 및 드레인 중 다른 쪽으로서의 기능을 갖는다.
- [0163] 도전층(706c)은 반도체층(705b)에 전기적으로 접속된다. 도전층(706c)은 화소 회로가 구비한 트랜지스터가 갖는 소스 및 드레인 중 한쪽으로서의 기능을 갖는다.
- [0164] 도전층(706d)은 반도체층(705b)에 전기적으로 접속된다. 도전층(706d)은 화소 회로가 구비한 트랜지스터가 갖는 소스 및 드레인 중 다른 쪽으로서의 기능을 갖는다.
- [0165] 절연층(707)은 반도체층(705a) 및 반도체층(705b) 위, 및 도전층(706a) 내지 도전층(706d) 위에 제공된다. 절연층(707)은 트랜지스터를 보호하는 절연층(보호 절연층이라고도 함)으로서의 기능을 갖는다.
- [0166] 절연층(708)은 절연층(707) 위에 제공된다. 절연층(708)은 평탄화층으로서의 기능을 갖는다. 절연층(708)을 제공함으로써 절연층(708)보다 하층의 도전층과, 절연층(708)보다 상층의 도전층에 기인하는 기생 용량의 발생을 억제할 수 있다.
- [0167] 도전층(709a) 및 도전층(709b1)은 절연층(708) 위에 제공된다.
- [0168] 도전층(709a)은 절연층(707) 및 절연층(708)을 개재하여 반도체층(705a)과 중첩된다. 도전층(709a)은 구동 회로가 구비한 트랜지스터의 게이트로서의 기능을 갖는다. 예를 들어, 도전층(709a)을 구동 회로가 구비한 트랜지스터의 백 게이트로서 기능시켜도 좋다. 예를 들어, n채널형 트랜지스터의 상기 백 게이트에 음의 전위를 공급하면 트랜지스터의 문턱 전압을 양의 방향으로 시프트시킬 수 있다. 또한, 상기 백 게이트는 접지되어도 좋다.
- [0169] 도전층(709b1)은 화소 회로의 용량 소자가 갖는 한 쌍의 전극 중 한쪽으로서의 기능을 갖는다.
- [0170] 절연층(710)은 절연층(708)의 표면 및 도전층(709b1) 위에 제공된다. 또한, 절연층(710)에 있어서 구동 회로의 트랜지스터 위의 부분을 제거함으로써 절연층(708) 내의 수소나 물을 외부에 방출시킬 수 있어 절연층(707)으로부터 절연층(708)이 벗겨지는 것을 억제할 수 있다. 절연층(710)은 보호 절연층으로서의 기능을 갖는다. 또한, 절연층(710)은 화소 회로가 구비한 용량 소자의 유전체층으로서의 기능을 갖는다.
- [0171] 도전층(711)은 절연층(710) 위에 제공되고 절연층(707), 절연층(708), 및 절연층(710)을 관통하여 제공된 개구

부를 통하여 도전층(706d)에 전기적으로 접속된다. 또한, 도전층(711)은 절연층(710)을 개재하여 도전층(709b1)에 중첩된다. 도전층(711)은 화소 회로의 액정 소자가 갖는 한 쌍의 전극 중 한쪽, 및 용량 소자가 갖는 한 쌍의 전극 중 다른 쪽으로서의 기능을 갖는다.

[0172] 착색층(722)은 기판(720)의 일 평면의 일부에 제공된다. 착색층(722)은 컬러 필터로서의 기능을 갖는다.

[0173] 절연층(723)은 착색층(722)을 개재하여 기판(720)의 일 평면에 제공된다. 절연층(723)은 평탄화층으로서의 기능을 갖는다.

[0174] 도전층(721)은 절연층(723)의 일 평면에 제공된다. 도전층(721)은 화소 회로의 액정 소자가 갖는 한 쌍의 전극 중 다른 쪽으로서의 기능을 갖는다. 또한, 도전층(721) 위에 별도로 절연층을 제공하여도 좋다.

[0175] 액정층(750)은 실재(751)를 사용하여 도전층(711)과 도전층(721) 사이에 제공된다. 또한, 절연층(707) 및 절연층(710)에 있어서 실재(751) 아래에 위치하는 부분은 제거되어도 좋다.

[0176] 또한, 도 10b에 도시된 표시 장치는 수평 전계 방식의 표시 장치이고, 도전층(703c)을 별도로 갖고, 도전층(709b1) 대신에 도전층(709b2)을, 도전층(711) 대신에 도전층(712)을, 액정층(750) 대신에 액정층(760)을 갖는 점에서 도 10a에 도시된 표시 장치와는 다르다. 도 10a에 도시된 표시 장치와 공통되는 부분에 대해서는 도 10a에 도시된 표시 장치에 대한 설명을 적절히 원용한다.

[0177] 도전층(703c)은 절연층(701) 위에 제공된다. 도전층(706d)은 절연층(704)을 개재하여 도전층(703c)에 중첩된다.

[0178] 도전층(709b2)은 절연층(708) 위에 제공된다. 도전층(709b2)은 화소 회로의 액정 소자가 갖는 한 쌍의 전극 중 한쪽으로서의 기능을 갖는다. 또한, 도전층(709b2)은 화소 회로의 용량 소자가 갖는 한 쌍의 전극 중 한쪽으로서의 기능을 갖는다.

[0179] 도전층(712)은 절연층(710) 위에 제공되고 절연층(707), 절연층(708), 및 절연층(710)을 관통하여 제공된 개구부를 통하여 도전층(706d)에 전기적으로 접속된다. 또한, 도전층(712)은 빔 모양 부분을 갖고 빔 모양 부분의 빔 각각은 절연층(710)을 개재하여 도전층(709b2)과 중첩된다. 도전층(712)은 화소 회로의 액정 소자가 갖는 한 쌍의 전극 중 다른 쪽으로서의 기능을 갖는다. 또한, 도전층(712)은 화소 회로의 용량 소자가 갖는 한 쌍의 전극 중 다른 쪽으로서의 기능을 갖는다.

[0180] 액정층(760)은 실재(751)를 사용하여 도전층(711)과 도전층(712) 위에 제공된다.

[0181] 또한, 도 10a 및 도 10b에서는 트랜지스터를 채널 에치(channel-etched)형 트랜지스터로 하였지만 이에 한정되지 않고 예를 들어, 채널 보호형 트랜지스터로 하여도 좋다. 또한, 튜브 게이트형 트랜지스터로 하여도 좋다.

[0182] 또한, 도 10a 및 도 10b에 도시된 표시 장치의 각 구성 요소에 대하여 설명한다. 또한, 각 층을 적층 구조로 하여도 좋다.

[0183] 기판(700) 및 기판(720)으로서는 예를 들어, 유리 기판 또는 플라스틱 기판 등을 적용할 수 있다.

[0184] 절연층(701)으로서는 예를 들어, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 또는 산화 하프늄 등의 재료를 포함한 층을 적용할 수 있다.

[0185] 도전층(703a) 내지 도전층(703c)으로서는 예를 들어, 몰리브덴, 티타늄, 크롬, 탄탈, 마그네슘, 은, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 금속 재료를 포함한 층을 적용할 수 있다.

[0186] 절연층(704)으로서는 예를 들어, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 또는 산화 하프늄 등의 재료를 포함한 층을 적용할 수 있다. 예를 들어, 절연층(704)으로서는 질화 실리콘층과 산화 질화 실리콘층의 적층을 적용할 수 있다. 이 때 상기 질화 실리콘층을 조성이 다른 복수의 실리콘층이 적층된 것으로 하여도 좋다. 또한, 절연층(704)으로서 산화물층을 사용하여도 좋다. 상기 산화물층으로서는 예를 들어, 원자수비가 In:Ga:Zn=1:3:2인 산화물의 층 등을 사용할 수 있다.

[0187] 반도체층(705a) 및 반도체층(705b)으로서는 예를 들어, 산화물 반도체층을 사용할 수 있다.

[0188] 상기 산화물 반도체로서는 실시형태 1과 마찬가지로 예를 들어, In계 금속 산화물, Zn계 금속 산화물, In-Zn계 금속 산화물, 또는 In-Ga-Zn계 금속 산화물 등을 적용할 수 있다. 또한, 상기 In-Ga-Zn계 금속 산화물에 포함

되는 Ga의 일부 또는 전부 대신에 다른 금속 원소를 포함한 금속 산화물을 사용하여도 좋다. 또한, 상기 산화물 반도체가 결정을 가져도 좋다. 예를 들어, 상기 산화물 반도체가 다결정 또는 단결정이어도 좋다. 또한, 상기 산화물 반도체가 비정질이어도 좋다.

[0189] 상기 다른 금속 원소로서는 예를 들어, 갈륨보다 많은 산소 원자와의 결합이 가능한 금속 원소를 사용하면 좋고 예를 들어, 티타늄, 지르코늄, 하프늄, 게르마늄, 및 주석 중 어느 하나 또는 복수의 원소를 사용하면 좋다. 또한, 상기 다른 금속 원소로서는 란타넘, 세륨, 프라세오디뮴, 네오디뮴, 사마륨, 유로퓸, 가돌리늄, 테르븀, 디스프로슘, 홀뮴, 에르븀, 툴륨, 이테르븀, 및 루테튬 중 어느 하나 또는 복수의 원소를 사용하면 좋다. 이들 금속 원소는 스테빌라이저로서의 기능을 갖는다. 또한, 이들 금속 원소의 첨가량은 금속 산화물이 반도체로서 기능할 수 있는 양으로 한다. 갈륨보다 많은 산소 원자와 결합할 수 있는 금속 원소를 사용하고 금속 산화물 내에 산소를 공급함으로써, 금속 산화물 내의 산소 결함을 적게 할 수 있다.

[0190] 또한, 예를 들어 원자수비가 In:Ga:Zn=1:1:1인 제 1 산화물 반도체층과, 원자수비가 In:Ga:Zn=3:1:2인 제 2 산화물 반도체층과, 원자수비가 In:Ga:Zn=1:1:1인 제 3 산화물 반도체층을 적층하여 반도체층(705a) 및 반도체층(705b)을 구성하여도 좋다. 상술한 적층 구조로 반도체층(705a) 및 반도체층(705b)을 구성함으로써 예를 들어, 트랜지스터의 전계 효과 이동도를 높일 수 있다.

[0191] 상기 산화물 반도체를 포함한 트랜지스터는 밴드 갭이 넓기 때문에 열 여기로 인한 누설 전류가 적다. 또한, 정공의 유효 질량이 10 이상으로 무겁고 터널 장벽 높이가 2.8eV 이상으로 높다. 그래서 터널 전류가 작다. 또한, 반도체층 내의 캐리어가 매우 적다. 따라서 오프 전류를 낮게 할 수 있다. 예를 들어, 오프 전류는 실온(25℃)에서 채널 폭 1μm당 1×10^{-19} A(100zA) 이하이다. 더 바람직하게는 1×10^{-22} A(100yA) 이하이다. 트랜지스터의 오프 전류는 낮을수록 좋지만 하한값은 약 1×10^{-30} A/μm로 개산된다. 또한, 상기 산화물 반도체층에 한정되지 않고 반도체층(705a) 및 반도체층(705b)으로서 제 14족 원소(실리콘 등)를 갖는 반도체층을 사용하여도 좋다. 예를 들어, 실리콘을 포함한 반도체층으로서 단결정 실리콘층, 다결정 실리콘층, 또는 비정질 실리콘층 등을 사용할 수 있다.

[0192] 예를 들어, 수소 또는 물 등 불순물을 가능한 한 제거하고 산소를 공급하여 산소 결손을 가능한 한 감소시킴으로써 상기 산화물 반도체를 포함한 트랜지스터를 제작할 수 있다. 이 때 채널 형성 영역에서 도너 불순물인 수소의 양을 이차 이온 질량 분석법(SIMS라고도 함)에 의한 측정값으로 $1 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{18}/\text{cm}^3$ 이하로 저감시키는 것이 바람직하다.

[0193] 고순도화된 산화물 반도체층을 사용하면, 전계 효과 트랜지스터의 산화물 반도체층의 캐리어 밀도를 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만으로 할 수 있다. 이와 같이, 캐리어 밀도를 적게 함으로써 전계 효과 트랜지스터의 오프 전류를 채널 폭 1μm당 1×10^{-19} A(100zA) 이하, 더 바람직하게는 1×10^{-22} A(100yA) 이하까지 억제할 수 있다. 전계 효과 트랜지스터의 오프 전류는 낮을수록 좋지만 하한값은 약 1×10^{-30} A/μm로 개산된다.

[0194] 또한, 상기 산화물 반도체를 C Axis Aligned Crystalline Oxide Semiconductor(CAAC-OS라고도 함)로 하여도 좋다.

[0195] 예를 들어, 스퍼터링법을 사용하여 CAAC-OS인 산화물 반도체층을 형성할 수 있다. 이 때 다결정인 산화물 반도체 스퍼터링용 타겟을 사용하여 스퍼터링한다. 상기 스퍼터링용 타겟에 이온이 충돌되면 스퍼터링용 타겟에 포함된 결정 영역이 ab면으로부터 벽개(劈開)하여 ab면에 평행한 면을 갖는 평판상 또는 펠릿상의 스퍼터링 입자로서 박리될 수 있다. 이 때 결정 상태를 유지한 채 상기 스퍼터링 입자가 기판에 도달함으로써 스퍼터링용 타겟의 결정 상태가 기판에 전사된다. 이로써 CAAC-OS가 형성된다.

[0196] 또한, CAAC-OS를 형성하기 위하여 이하의 조건을 적용하는 것이 바람직하다.

[0197] 예를 들어, 불순물 농도를 저감시켜 CAAC-OS를 형성함으로써 불순물로 인하여 산화물 반도체의 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물(수소, 물, 이산화탄소, 및 질소 등)을 저감시키는 것이 바람직하다. 또한, 성막 가스 내의 불순물을 저감시키는 것이 바람직하다. 예를 들어, 성막 가스로서 이슬점이 -80℃ 이하, 바람직하게는 -100℃ 이하인 성막 가스를 사용하는 것이 바람직하다.

- [0198] 또한, 성막 시의 기관 온도를 높게 하는 것이 바람직하다. 기관 온도를 높게 하면 평판상의 스퍼터링 입자가 기관에 도달될 때 스퍼터링 입자의 마이그레이션(migration)이 일어나, 평평한 면이 기관을 향한 상태로 스퍼터링 입자를 기관에 부착시킬 수 있다. 예를 들어, 기관 가열 온도를 100℃ 이상 740℃ 이하, 바람직하게는 200℃ 이상 500℃ 이하로 하여 산화를 반도체막을 성막함으로써 산화물 반도체층을 형성한다.
- [0199] 또한, 성막 가스 내의 산소 비율을 높게 하고 전력을 최적화하여 성막 시의 플라스마 대미지를 억제하는 것이 바람직하다. 예를 들어, 성막 가스 내의 산소 비율을 30vol% 이상, 바람직하게는 100vol%로 한다.
- [0200] 도전층(706a) 내지 도전층(706d)으로서는 예를 들어, 몰리브덴, 티타늄, 크롬, 탄탈, 마그네슘, 은, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐, 또는 루테튬 등의 금속 재료를 포함한 층을 적용할 수 있다.
- [0201] 절연층(707)으로서는 예를 들어, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 또는 산화 하프늄 등의 재료를 포함한 층을 적용할 수 있다.
- [0202] 절연층(708)으로서는 예를 들어, 유기 절연 재료 또는 무기 절연 재료의 층 등을 적용할 수 있다. 예를 들어, 아크릴 수지 등을 사용하여 절연층(708)을 구성하여도 좋다.
- [0203] 도전층(709a), 도전층(709b1), 및 도전층(709b2)으로서는 예를 들어, 도체로서의 기능을 갖고 빛을 투과시키는 금속 산화물의 층 등을 적용할 수 있다. 예를 들어, 산화 인듐 산화 아연 또는 인듐 주석 산화물 등을 적용할 수 있다.
- [0204] 절연층(710)으로서는 예를 들어, 절연층(704)에 적용될 수 있는 재료를 사용할 수 있다.
- [0205] 도전층(711), 도전층(712), 및 도전층(721)으로서는 예를 들어, 빛을 투과시키는 금속 산화물의 층 등을 적용할 수 있다. 예를 들어, 산화 인듐 산화 아연 또는 인듐 주석 산화물 등을 적용할 수 있다.
- [0206] 착색층(722)은 예를 들어, 적색(R), 녹색(G), 청색(B) 중 하나의 색을 나타내는 빛을 투과시키는 기능을 갖는다. 착색층(722)으로서는 염료 또는 안료를 포함한 층을 사용할 수 있다.
- [0207] 절연층(723)으로서는 예를 들어, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 또는 산화 하프늄 등의 재료를 포함한 층을 적용할 수 있다.
- [0208] 액정층(750)으로서는 예를 들어, TN 액정, OCB 액정, STN 액정, VA 액정, ECB형 액정, GH 액정, 고분자 분산형 액정, 또는 디스코틱(discotic) 액정 등을 포함한 층을 사용할 수 있다.
- [0209] 액정층(760)으로서는 예를 들어, 블루상을 나타내는 액정을 포함한 층을 적용할 수 있다.
- [0210] 블루상을 나타내는 액정을 포함한 층은 예를 들어, 블루상을 나타내는 액정, 키랄제, 액정성 모노머, 비액정성 모노머, 및 중합 개시제를 포함한 액정 조성물로 구성된다. 블루상을 나타내는 액정은 응답 시간이 짧고 광학적 등방성을 갖기 때문에 배향 처리가 불필요하며 시야각 의존성이 작다. 따라서, 블루상을 나타내는 액정을 사용함으로써 액정 표시 장치를 고속으로 동작시킬 수 있다.
- [0211] 상술한 것이 도 10a 및 도 10b에 도시된 표시 장치의 구조예에 대한 설명이다.
- [0212] 도 10a 및 도 10b를 참조하여 설명한 바와 같이 본 실시형태에 따른 표시 장치의 일례에서는 동일한 기관 위에 화소 회로와 구동 회로를 제공한다. 이로써 화소 회로와 구동 회로를 접속하기 위한 배선의 개수를 적게 할 수 있다.
- [0213] (실시형태 3)
- [0214] 본 실시형태에서는 실시형태 2에 기재된 표시 장치가 사용된 패널을 구비한 전자 기기의 예에 대하여 도 11a 내지 도 11d를 참조하여 설명한다.
- [0215] 도 11a에 도시된 전자 기기는 휴대형 정보 단말의 일례이다.
- [0216] 도 11a에 도시된 전자 기기는 하우징(1011)과, 하우징(1011)에 제공된 패널(1012)과, 버튼(1013)과, 스피커(1014)를 구비한다.
- [0217] 또한, 하우징(1011)에 외부 기기와 접속하기 위한 접속 단자, 및 조작 버튼이 제공되어 있어도 좋다.

- [0218] 또한, 실시형태 2에 기재된 표시 장치를 사용하여 패널(1012)을 구성하여도 좋다.
- [0219] 또한, 터치 패널을 사용하여 패널(1012)을 구성하여도 좋다. 이로써 패널(1012)에서의 터치 검출이 가능하게 된다. 터치 패널로서는 예를 들어, 광학식 터치 패널, 정전 용량식 터치 패널, 저항막식 터치 패널 등을 적용할 수 있다.
- [0220] 버튼(1013)은 하우징(1011)에 제공된다. 예를 들어, 버튼(1013)이 전원 버튼이면 버튼(1013)을 누름으로써 전자 기기의 온 상태를 제어할 수 있다.
- [0221] 스피커(1014)는 하우징(1011)에 제공된다. 스피커(1014)는 음성을 출력한다.
- [0222] 또한, 하우징(1011)에 마이크론이 제공되어 있어도 좋다. 하우징(1011)에 마이크론을 제공함으로써 예를 들어, 도 11a에 도시된 전자 기기를 전화기로서 기능시킬 수 있다.
- [0223] 도 11a에 도시된 전자 기기는 예를 들어, 전화기, 전자 서적, 퍼스널 컴퓨터, 및 게임기 중 하나 또는 복수로서의 기능을 갖는다.
- [0224] 도 11b에 도시된 전자 기기는 접이식 정보 단말의 일례이다.
- [0225] 도 11b에 도시된 전자 기기는 하우징(1021a)과, 하우징(1021b)과, 하우징(1021a)에 제공된 패널(1022a)과, 하우징(1021b)에 제공된 패널(1022b)과, 축부(1023)와, 버튼(1024)과, 접속 단자(1025)와, 기록 매체 삽입부(1026)와, 스피커(1027)를 구비한다.
- [0226] 하우징(1021a)과 하우징(1021b)은 축부(1023)에 의하여 연결된다.
- [0227] 또한, 실시형태 2에 기재된 표시 장치를 사용하여 패널(1022a) 및 패널(1022b)을 구성하여도 좋다.
- [0228] 또한, 터치 패널을 사용하여 패널(1022a) 및 패널(1022b)을 구성하여도 좋다. 이로써 패널(1022a) 및 패널(1022b)에서의 터치 검출이 가능하게 된다. 터치 패널로서는 예를 들어, 광학식 터치 패널, 정전 용량식 터치 패널, 저항막식 터치 패널 등을 적용할 수 있다.
- [0229] 도 11b에 도시된 전자 기기는 축부(1023)를 갖기 때문에 패널(1022a) 및 패널(1022b)을 대향하게 하여 접을 수 있다.
- [0230] 버튼(1024)은 하우징(1021b)에 제공된다. 또한, 하우징(1021a)에 버튼(1024)을 제공하여도 좋다. 예를 들어, 버튼(1024)이 전원 버튼이면 버튼(1024)을 누름으로써 전자 기기의 온 상태를 제어할 수 있다.
- [0231] 접속 단자(1025)는 하우징(1021a)에 제공된다. 또한, 하우징(1021b)에 접속 단자(1025)가 제공되어 있어도 좋다. 또한, 접속 단자(1025)는 하우징(1021a)과 하우징(1021b)의 한쪽 또는 양쪽 모두에 복수로 제공되어 있어도 좋다. 접속 단자(1025)는 도 11b에 도시된 전자 기기와 다른 기기를 접속하기 위한 단자이다.
- [0232] 기록 매체 삽입부(1026)는 하우징(1021a)에 제공된다. 하우징(1021b)에 기록 매체 삽입부(1026)가 제공되어 있어도 좋다. 또한, 기록 매체 삽입부(1026)는 하우징(1021a)과 하우징(1021b)의 한쪽 또는 양쪽 모두에 복수로 제공되어 있어도 좋다. 예를 들어, 기록 매체 삽입부에 카드형 기록 매체를 삽입하여 전자 기기에서 카드형 기록 매체로부터 데이터를 판독하거나, 또는 전자 기기 내의 데이터를 카드형 기록 매체에 기록할 수 있다.
- [0233] 스피커(1027)는 하우징(1021b)에 제공된다. 스피커(1027)는 음성을 출력한다. 또한, 하우징(1021a)에 스피커(1027)를 제공하여도 좋다.
- [0234] 또한, 하우징(1021a) 또는 하우징(1021b)에 마이크론을 제공하여도 좋다. 하우징(1021a) 또는 하우징(1021b)에 마이크론을 제공함으로써 예를 들어, 도 11b에 도시된 전자 기기를 전화기로서 기능시킬 수 있다.
- [0235] 도 11b에 도시된 전자 기기는 예를 들어, 전화기, 전자 서적, 퍼스널 컴퓨터, 및 게임기 중 하나 또는 복수로서의 기능을 갖는다.
- [0236] 도 11c에 도시된 전자 기기는 설치형 정보 단말의 일례이다. 도 11c에 도시된 전자 기기는 하우징(1031)과, 하우징(1031)에 제공된 패널(1032)과, 버튼(1033)과, 스피커(1034)를 구비한다.
- [0237] 또한, 실시형태 2에 기재된 표시 장치를 사용하여 패널(1032)을 구성하여도 좋다.
- [0238] 또한, 터치 패널을 사용하여 패널(1032)을 구성하여도 좋다. 이로써 패널(1032)에서의 터치 검출이 가능하게 된다. 터치 패널로서는 예를 들어, 광학식 터치 패널, 정전 용량식 터치 패널, 저항막식 터치 패널 등을 적용

할 수 있다.

- [0239] 또한, 하우징(1031)의 갑판부(1035)에 패널(1032)과 같은 패널을 제공하여도 좋다.
- [0240] 또한, 하우징(1031)에 표 등을 출력하는 표 출력부, 동전 투입부, 및 지폐 삽입부 등을 제공하여도 좋다.
- [0241] 버튼(1033)은 하우징(1031)에 제공된다. 예를 들어, 버튼(1033)이 전원 버튼이면 버튼(1033)을 누름으로써 전자 기기의 온 상태를 제어할 수 있다.
- [0242] 스피커(1034)는 하우징(1031)에 제공된다. 스피커(1034)는 음성을 출력한다.
- [0243] 도 11c에 도시된 전자 기기는 예를 들어 현금 자동 입출금기, 표 등을 주문하기 위한 정보 통신 단말(멀티미디어 스테이션이라고도 함), 또는 게임기로서의 기능을 갖는다.
- [0244] 도 11d는 설치형 정보 단말의 일례를 도시한 것이다. 도 11d에 도시된 전자 기기는 하우징(1041)과, 하우징(1041)에 제공된 패널(1042)과, 하우징(1041)을 지지하는 지지대(1043)와, 버튼(1044)과, 접속 단자(1045)와, 스피커(1046)를 구비한다.
- [0245] 또한, 하우징(1041)에 외부 기기와 접속하기 위한 접속 단자를 제공하여도 좋다.
- [0246] 또한, 실시형태 2에 기재된 표시 장치를 사용하여 패널(1042)을 구성하여도 좋다.
- [0247] 또한, 터치 패널을 사용하여 패널(1042)을 구성하여도 좋다. 이로써 패널(1042)에서의 터치 검출이 가능하게 된다. 터치 패널로서는 예를 들어, 광학식 터치 패널, 정전 용량식 터치 패널, 저항막식 터치 패널 등을 적용할 수 있다.
- [0248] 버튼(1044)은 하우징(1041)에 제공된다. 예를 들어, 버튼(1044)이 전원 버튼이면 버튼(1044)을 누름으로써 전자 기기의 온 상태를 제어할 수 있다.
- [0249] 접속 단자(1045)는 하우징(1041)에 제공된다. 접속 단자(1045)는 도 11d에 도시된 전자 기기와 다른 기기를 접속하기 위한 단자이다. 예를 들어, 도 11d에 도시된 전자 기기와 퍼스널 컴퓨터를 접속 단자(1045)에 의하여 접속하면 퍼스널 컴퓨터로부터 입력되는 데이터 신호에 따른 화상을 패널(1042)에 표시시킬 수 있다. 예를 들어 도 11d에 도시된 전자 기기의 패널(1042)이, 접속되는 다른 전자 기기의 패널보다 크면, 상기 다른 전자 기기의 표시 화상을 확대시킬 수 있고 복수의 사람들이 동시에 시인하기 쉬워진다.
- [0250] 스피커(1046)는 하우징(1041)에 제공된다. 스피커(1046)는 음성을 출력한다.
- [0251] 도 11d에 도시된 전자 기기는 예를 들어, 출력 모니터, 퍼스널 컴퓨터, 및 텔레비전 장치 중 하나 또는 복수로서의 기능을 갖는다.
- [0252] 상술한 것이 도 11a 내지 도 11d에 도시된 전자 기기의 예에 대한 설명이다.
- [0253] 도 11a 내지 도 11d를 참조하여 설명한 바와 같이 본 실시형태에 따른 전자 기기는 패널에 실시형태 2에 기재된 표시 장치가 사용됨으로써 신뢰성이 높은 전자 기기로서 제공될 수 있다.

부호의 설명

- [0254] 30: 시프트 레지스터
- 31: 펄스 출력 회로
- 32: 보호 회로
- 33: 보호 회로
- 41: 트랜지스터
- 42: 트랜지스터
- 43: 트랜지스터
- 44: 트랜지스터
- 45: 트랜지스터

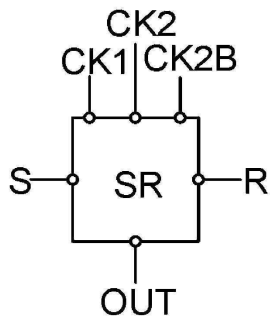
46: 트랜지스터
47: 트랜지스터
48: 트랜지스터
49: 트랜지스터
50: 트랜지스터
51: 트랜지스터
52: 트랜지스터
111: 트랜지스터
112: 트랜지스터
113: 트랜지스터
114: 트랜지스터
201: 화소부
202: 구동 회로부
211: 화소 회로
221: 게이트 드라이버
223: 소스 드라이버
225: 보호 회로
230: 액정 소자
231_1: 트랜지스터
231_2: 트랜지스터
233_1: 용량 소자
233_2: 용량 소자
234: 트랜지스터
235: 발광 소자
311: 기간
312: 기간
313: 기간
700: 기판
701: 절연층
703a: 도전층
703b: 도전층
703c: 도전층
704: 절연층
705a: 반도체층
705b: 반도체층
706a: 도전층

706b: 도전층
706c: 도전층
706d: 도전층
707: 절연층
708: 절연층
709a: 도전층
709b1: 도전층
709b2: 도전층
710: 절연층
711: 도전층
712: 도전층
720: 기판
721: 도전층
722: 착색층
723: 절연층
750: 액정층
751: 실재
760: 액정층
1011: 하우징
1012: 패널
1013: 버튼
1014: 스피커
1021a: 하우징
1021b: 하우징
1022a: 패널
1022b: 패널
1023: 축부
1024: 버튼
1025: 접속 단자
1026: 기록 매체 삽입부
1027: 스피커
1031: 하우징
1032: 패널
1033: 버튼
1034: 스피커
1035: 감관부

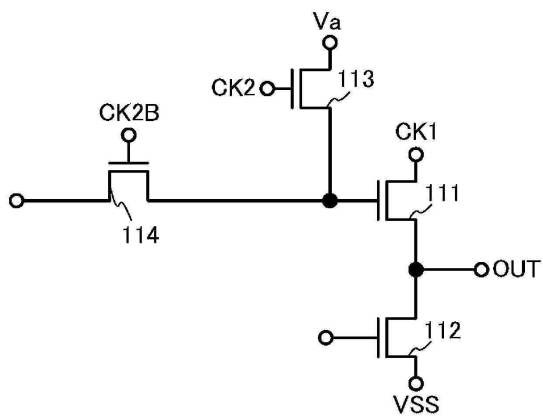
- 1041: 하우징
- 1042: 패널
- 1043: 지지대
- 1044: 버튼
- 1045: 접속 단자
- 1046: 스피커

도면

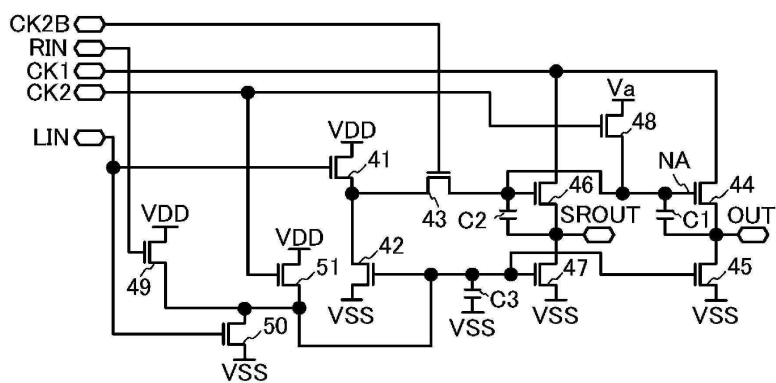
도면1a



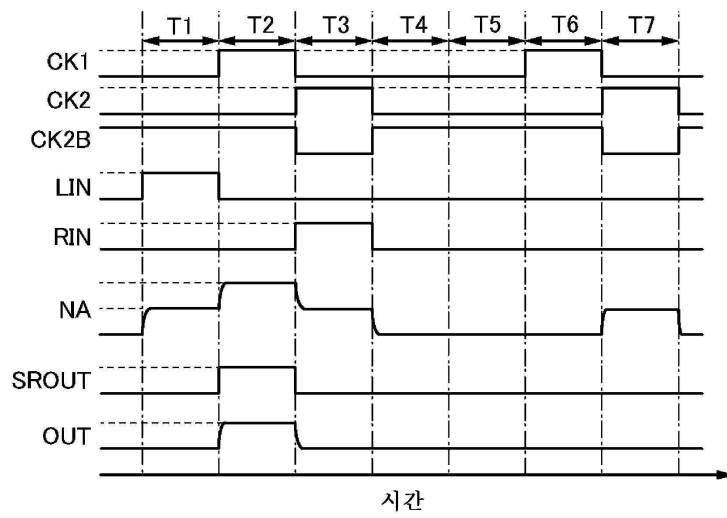
도면1b



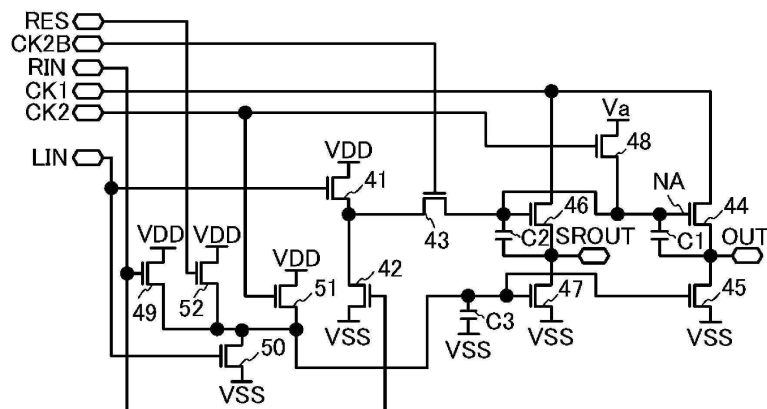
도면2a



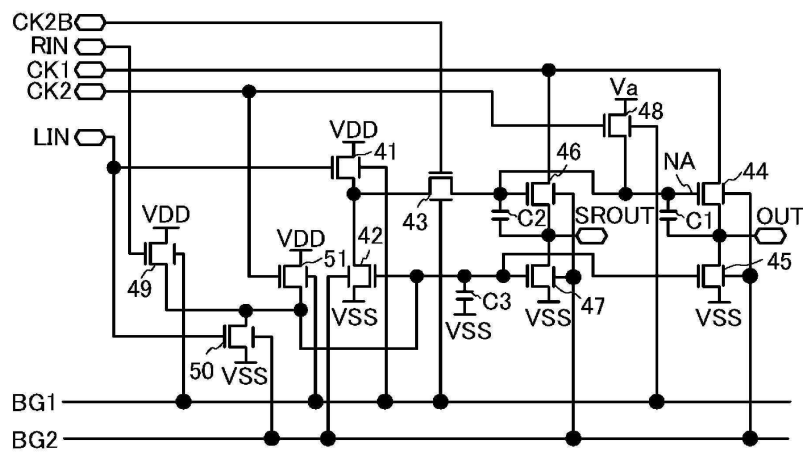
도면2b



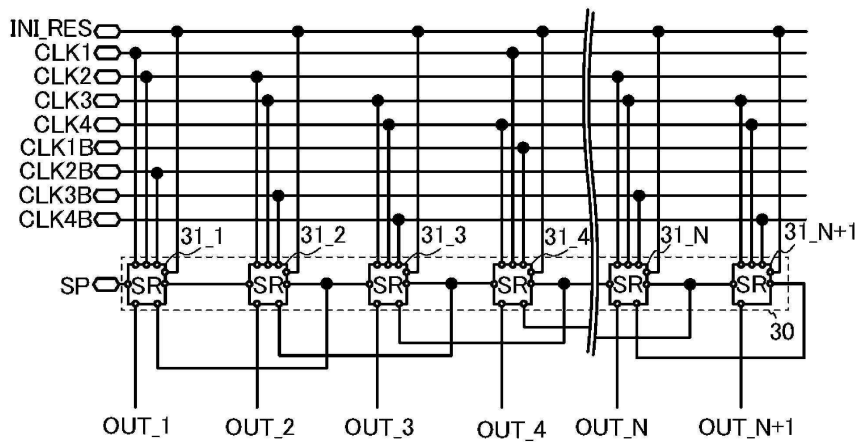
도면3



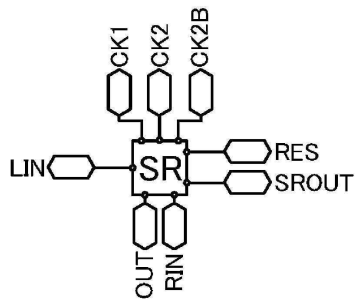
도면4



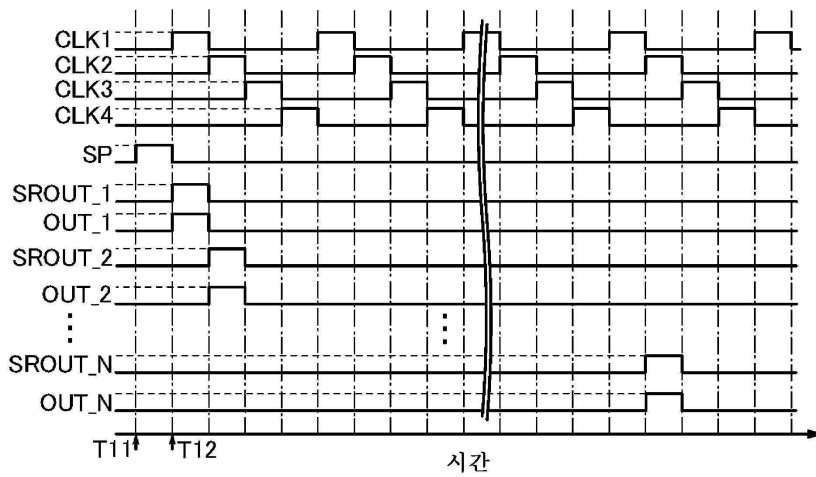
도면5a



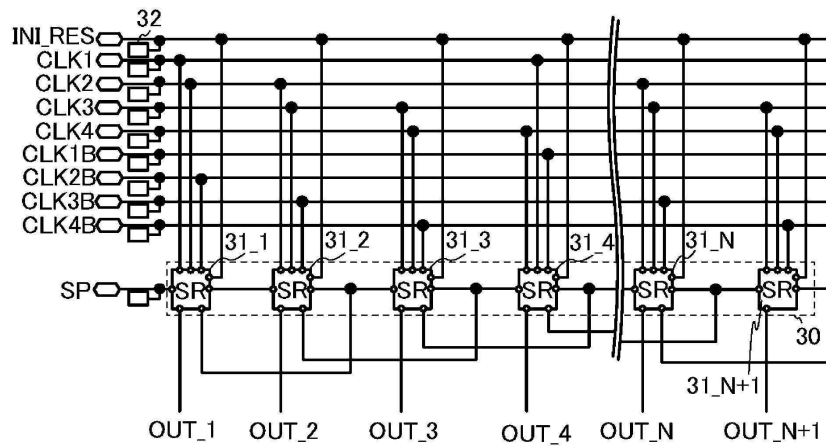
도면5b



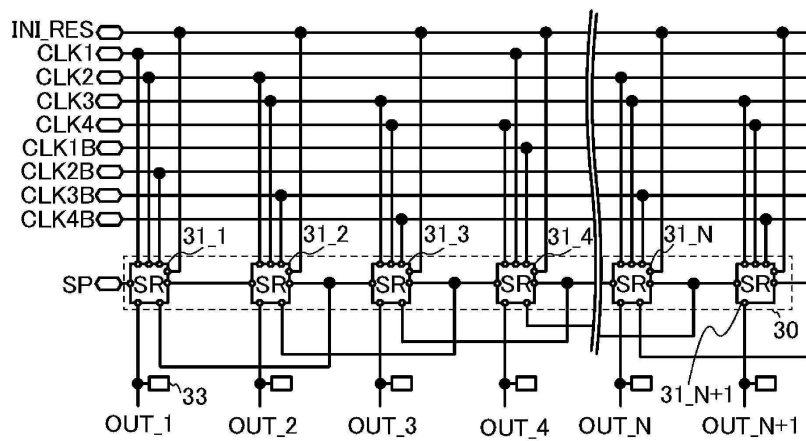
도면5c



도면 6a

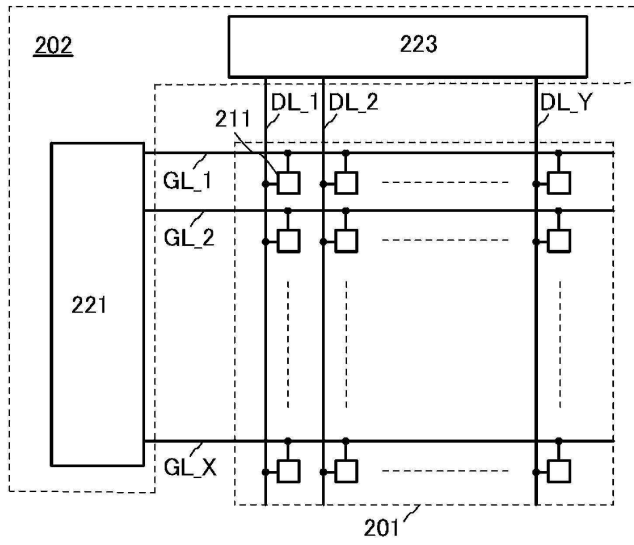


도면 6b

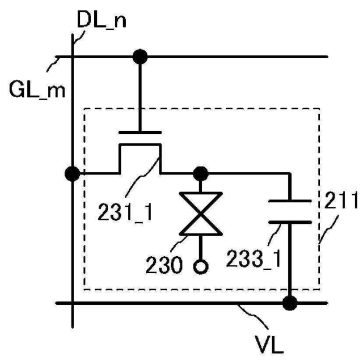


도면7

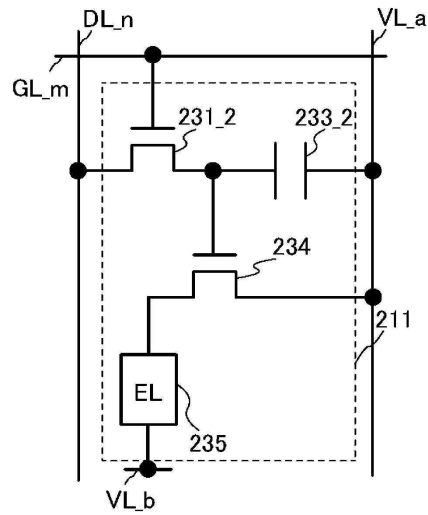
(a)



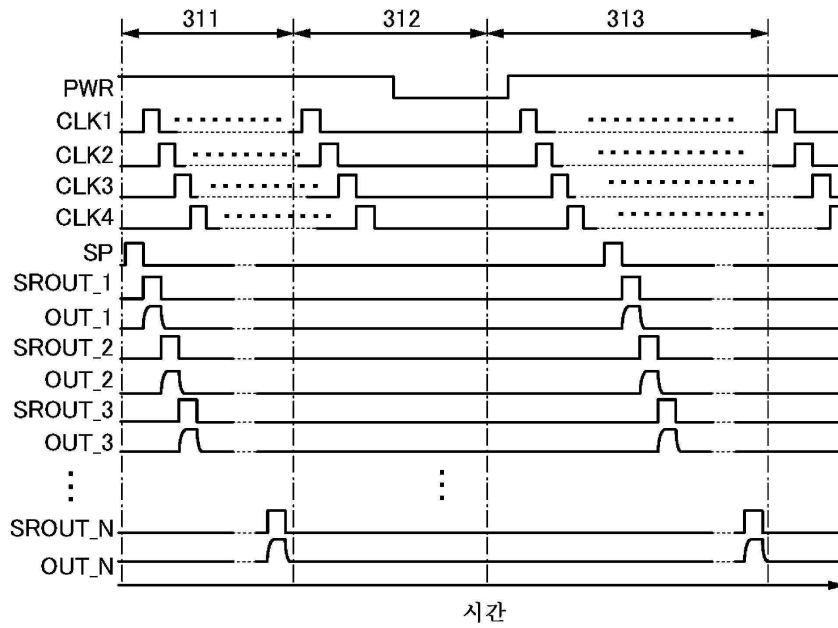
(b1)



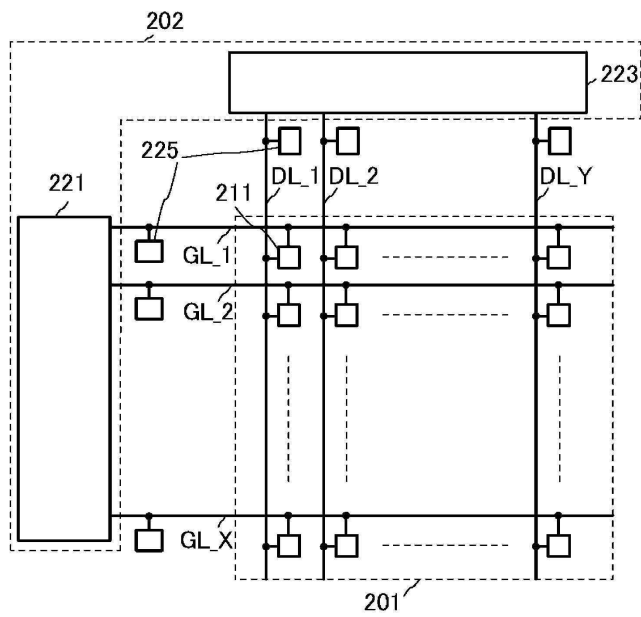
(b2)



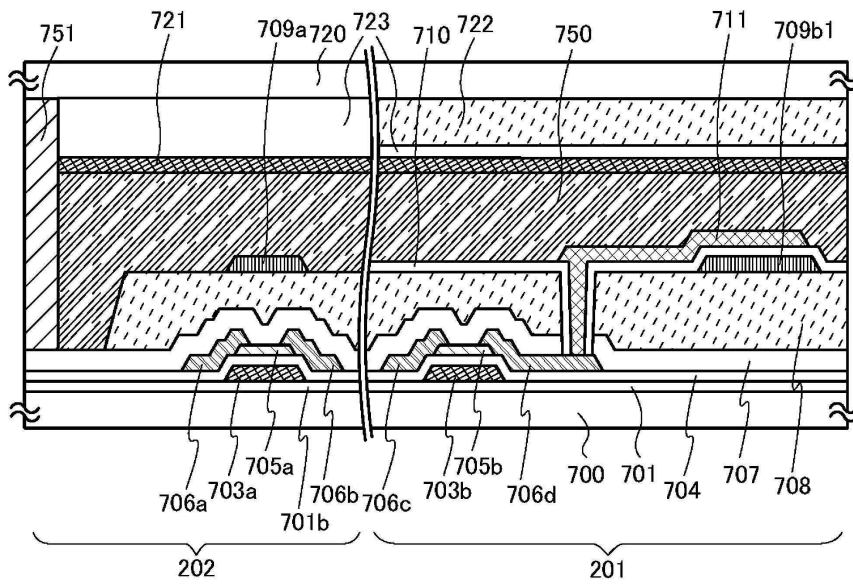
도면8



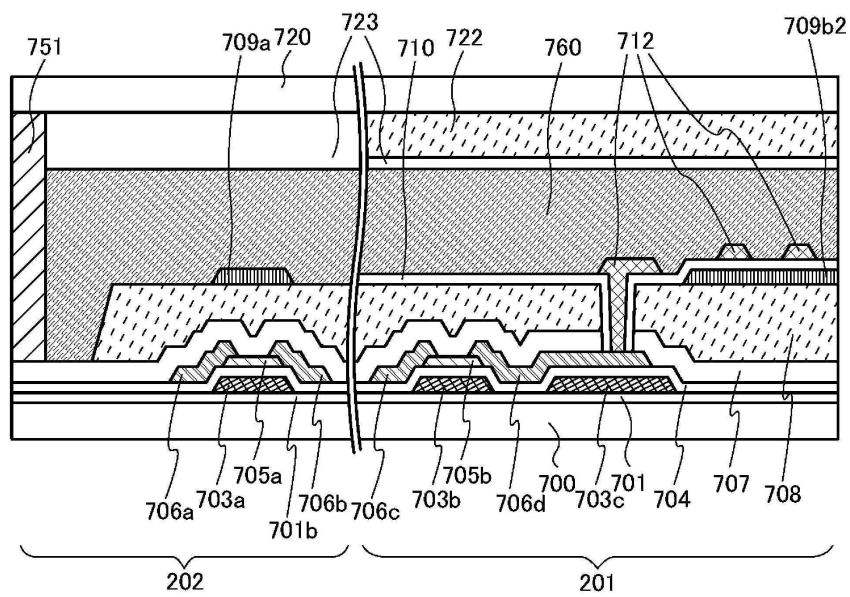
도면9



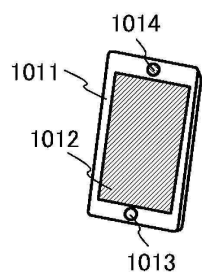
도면 10a



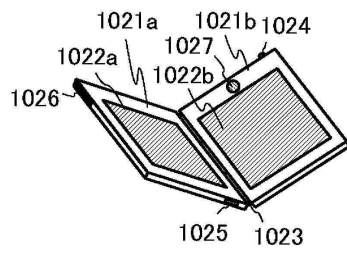
도면 10b



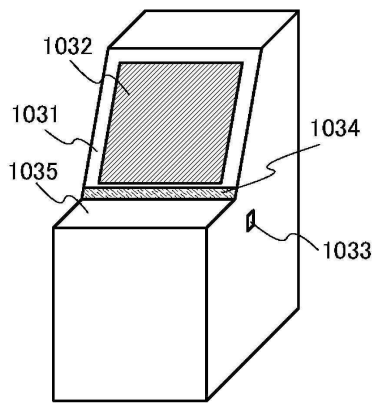
도면 11a



도면11b



도면11c



도면11d

