

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6862321号
(P6862321)

(45) 発行日 令和3年4月21日 (2021.4.21)

(24) 登録日 令和3年4月2日 (2021.4.2)

(51) Int. Cl.	F I
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 P
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 3 C
	HO 1 L 29/78 6 5 2 K
	HO 1 L 29/78 6 5 2 S

請求項の数 9 (全 30 頁)

(21) 出願番号	特願2017-176264 (P2017-176264)	(73) 特許権者	000003078
(22) 出願日	平成29年9月14日 (2017.9.14)		株式会社東芝
(65) 公開番号	特開2019-54071 (P2019-54071A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成31年4月4日 (2019.4.4)	(73) 特許権者	317011920
審査請求日	令和1年9月19日 (2019.9.19)		東芝デバイス&ストレージ株式会社
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100119035
			弁理士 池上 徹真
		(74) 代理人	100141036
			弁理士 須藤 章
		(74) 代理人	100088487
			弁理士 松山 允之
		(72) 発明者	西脇 達也
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1の面と、前記第1の面と対向する第2の面を有する半導体層と、
 前記第1の面に接する第1の電極と、
 前記第2の面に接する第2の電極と、
 前記半導体層の中に設けられ、前記第1の面に略平行な第1の方向に伸長する複数の第1のトレンチと、
 前記半導体層の中に設けられ、前記複数の第1のトレンチを囲む第2のトレンチと、
 前記複数の第1のトレンチの、それぞれの中に設けられた第1のゲート電極と、
 前記複数の第1のトレンチの、それぞれの中に設けられ、前記第1のゲート電極と前記第2の面との間に設けられた第1のフィールドプレート電極と、
 前記複数の第1のトレンチの、それぞれの中に設けられ、前記第1のゲート電極と前記半導体層との間に位置し第1の膜厚を有する第1の部分と、前記第1のフィールドプレート電極と前記半導体層との間に位置し前記第1の膜厚よりも厚い第2の膜厚を有する第2の部分と、前記第1のフィールドプレート電極と前記半導体層との間の前記第2の部分と前記第2の面との間に位置し前記第2の膜厚よりも厚い第3の膜厚を有する第3の部分と、を有する第1の絶縁層と、
前記第2のトレンチの中に設けられた第2のゲート電極と、
前記第2のトレンチの中に設けられ、前記第2のゲート電極と前記第2の面との間に設けられた第2のフィールドプレート電極と、

10

20

前記第 2 のトレンチの中に設けられ、前記第 2 のフィールドプレート電極と前記半導体層との間に設けられた第 2 の絶縁層と、

前記半導体層の中に設けられ、前記複数の第 1 のトレンチの中の隣接する 2 本の第 1 のトレンチの間に位置する第 1 導電型の第 1 の半導体領域と、

前記半導体層の中に設けられ、前記第 1 の半導体領域と前記第 2 の面との間に位置する第 2 導電型の第 2 の半導体領域と、

前記半導体層の中に設けられ、前記第 1 の半導体領域と前記第 1 の電極との間に位置し、前記第 1 の電極に電氣的に接続された第 2 導電型の第 3 の半導体領域と、
を備える半導体装置。

【請求項 2】

第 1 の面と、前記第 1 の面と対向する第 2 の面を有する半導体層と、

前記第 1 の面に接する第 1 の電極と、

前記第 2 の面に接する第 2 の電極と、

前記半導体層の中に設けられ、前記第 1 の面に略平行な第 1 の方向に伸長する複数の第 1 のトレンチと、

前記半導体層の中に設けられ、前記複数の第 1 のトレンチを囲む第 2 のトレンチと、

前記半導体層の中に設けられ、前記第 1 の方向に伸長し、前記複数の第 1 のトレンチよりも前記第 1 の方向の長さの短い複数の第 3 のトレンチと、

前記半導体層の中に設けられ、前記複数の第 3 のトレンチを囲む第 4 のトレンチと、

前記複数の第 1 のトレンチの、それぞれの中に設けられた第 1 のゲート電極と、

前記複数の第 1 のトレンチの、それぞれの中に設けられ、前記第 1 のゲート電極と前記第 2 の面との間に設けられた第 1 のフィールドプレート電極と、

前記複数の第 1 のトレンチの、それぞれの中に設けられ、前記第 1 のゲート電極と前記半導体層との間に位置し第 1 の膜厚を有する第 1 の部分と、前記第 1 のフィールドプレート電極と前記半導体層との間に位置し前記第 1 の膜厚よりも厚い第 2 の膜厚を有する第 2 の部分と、前記第 1 のフィールドプレート電極と前記半導体層との間の前記第 2 の部分と前記第 2 の面との間に位置し前記第 2 の膜厚よりも厚い第 3 の膜厚を有する第 3 の部分と、を有する第 1 の絶縁層と、

前記第 2 のトレンチの中に設けられた第 2 のフィールドプレート電極と、

前記第 2 のトレンチの中に設けられ、前記第 2 のフィールドプレート電極と前記半導体層との間に設けられた第 2 の絶縁層と、

前記半導体層の中に設けられ、前記複数の第 1 のトレンチの中の隣接する 2 本の第 1 のトレンチの間に位置する第 1 導電型の第 1 の半導体領域と、

前記半導体層の中に設けられ、前記第 1 の半導体領域と前記第 2 の面との間に位置する第 2 導電型の第 2 の半導体領域と、

前記半導体層の中に設けられ、前記第 1 の半導体領域と前記第 1 の電極との間に位置し、前記第 1 の電極に電氣的に接続された第 2 導電型の第 3 の半導体領域と、
を備える半導体装置。

【請求項 3】

第 1 の面と、前記第 1 の面と対向する第 2 の面を有する半導体層と、

前記第 1 の面に接する第 1 の電極と、

前記第 2 の面に接する第 2 の電極と、

前記半導体層の中に設けられ、前記第 1 の面に略平行な第 1 の方向に伸長する複数の第 1 のトレンチと、

前記半導体層の中に設けられ、前記複数の第 1 のトレンチを囲む第 2 のトレンチと、

前記複数の第 1 のトレンチの、それぞれの中に設けられた第 1 のゲート電極と、

前記複数の第 1 のトレンチの、それぞれの中に設けられ、前記第 1 のゲート電極と前記第 2 の面との間に設けられた第 1 のフィールドプレート電極と、

前記複数の第 1 のトレンチの、それぞれの中に設けられ、前記第 1 のゲート電極と前記半導体層との間に位置し第 1 の膜厚を有する第 1 の部分と、前記第 1 のフィールドプレ

10

20

30

40

50

ト電極と前記半導体層との間に位置し前記第 1 の膜厚よりも厚い第 2 の膜厚を有する第 2 の部分と、前記第 1 のフィールドプレート電極と前記半導体層との間の前記第 2 の部分と前記第 2 の面との間に位置し前記第 2 の膜厚よりも厚い第 3 の膜厚を有する第 3 の部分と、を有する第 1 の絶縁層と、

前記第 2 のトレンチの中に設けられた第 2 のフィールドプレート電極と、

前記第 2 のトレンチの中に設けられ、前記第 2 のフィールドプレート電極と前記半導体層との間に設けられた第 2 の絶縁層と、

前記半導体層の中に設けられ、前記複数の第 1 のトレンチの中の隣接する 2 本の第 1 のトレンチの間に位置する第 1 導電型の第 1 の半導体領域と、

前記半導体層の中に設けられ、前記第 1 の半導体領域と前記第 2 の面との間に位置する第 2 導電型の第 2 の半導体領域と、

前記半導体層の中に設けられ、前記第 1 の半導体領域と前記第 1 の電極との間に位置し、前記第 1 の電極に電氣的に接続された第 2 導電型の第 3 の半導体領域と、を備え、

前記複数の第 1 のトレンチの一部の中の隣接する 2 本の第 1 のトレンチの間の前記第 1 の半導体領域の前記第 1 の方向の長さが、前記複数の第 1 のトレンチの残部の中の隣接する 2 本の第 1 のトレンチの間の前記第 1 の半導体領域の前記第 1 の方向の長さよりも短い、半導体装置。

【請求項 4】

前記複数の第 1 のトレンチの、それぞれの前記第 1 の方向の端部と前記第 2 のトレンチとの間の第 1 の距離が、前記複数の第 1 のトレンチの中の隣接する 2 本の第 1 のトレンチの間の第 2 の距離よりも小さい請求項 1 ないし請求項 3 いずれか一項記載の半導体装置。

【請求項 5】

前記第 1 の距離が前記第 2 の距離の 90 % 以下である請求項 4 記載の半導体装置。

【請求項 6】

前記複数の第 1 のトレンチの、それぞれの前記第 1 の方向の端部と前記第 1 の半導体領域の前記第 1 の方向の端部との間の距離が、前記第 1 の半導体領域と前記複数の第 1 のトレンチの前記第 2 の面の側の端部との間の距離以上である請求項 1 ないし請求項 5 いずれか一項記載の半導体装置。

【請求項 7】

前記複数の第 1 のトレンチの、それぞれの前記第 1 の方向の端部と前記第 1 のゲート電極との間に、前記第 1 のフィールドプレート電極が位置する請求項 1 ないし請求項 6 いずれか一項記載の半導体装置。

【請求項 8】

前記複数の第 1 のトレンチの、それぞれの前記第 1 の方向の端部と前記第 2 のトレンチとの間に、前記第 1 の半導体領域が位置する請求項 1 ないし請求項 7 いずれか一項記載の半導体装置。

【請求項 9】

前記第 2 の膜厚が前記第 3 の膜厚の 40 % 以上 60 % 以下である請求項 1 ないし請求項 8 いずれか一項記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

電力用の半導体装置の一例として、半導体層に設けられたトレンチ内にゲート電極を有するトレンチゲート構造の MOSFET (Metal Oxide Field Effect Transistor) や IGBT (Insulated Gate Bipolar Transistor) がある。

lar Transistor)等の縦型トランジスタがある。トレンチ内にゲート電極を設けることで、集積度が向上し、縦型トランジスタのオン電流を増加させることが可能となる。

【0003】

トレンチゲート構造の縦型トランジスタの耐圧を向上させるために、トレンチフィールドプレート構造が採用される。トレンチフィールドプレート構造は、トレンチ内のゲート電極の下部に半導体層と絶縁膜で分離されたフィールドプレート電極を設けることで、半導体層内の電界分布を制御し縦型トランジスタの耐圧を向上させる。

【0004】

トレンチの終端部では、構造上半導体層内の電界が高くなり、低い電圧でアバランシェブレイクダウンが生じるおそれがある。このため、トレンチの終端部に起因して、縦型トランジスタの耐圧が劣化するという問題がある。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2002-203964号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明が解決しようとする課題は、トレンチフィールドプレート構造を有する縦型トランジスタの耐圧の向上を可能とする半導体装置を提供することにある。

【課題を解決するための手段】

【0007】

実施形態の半導体装置は、第1の面と、前記第1の面と対向する第2の面を有する半導体層と、前記第1の面に接する第1の電極と、前記第2の面に接する第2の電極と、前記半導体層の中に設けられ、前記第1の面に略平行な第1の方向に伸長する複数の第1のトレンチと、前記半導体層の中に設けられ、前記複数の第1のトレンチを囲む第2のトレンチと、前記複数の第1のトレンチの、それぞれの中に設けられたゲート電極と、前記複数の第1のトレンチの、それぞれの中に設けられ、前記ゲート電極と前記第2の面との間に設けられた第1のフィールドプレート電極と、前記複数の第1のトレンチの、それぞれの中に設けられ、前記ゲート電極と前記半導体層との間に位置し第1の膜厚を有する第1の部分と、前記第1のフィールドプレート電極と前記半導体層との間に位置し前記第1の膜厚よりも厚い第2の膜厚を有する第2の部分と、前記第1のフィールドプレート電極と前記半導体層との間の前記第2の部分と前記第2の面との間に位置し前記第2の膜厚よりも厚い第3の膜厚を有する第3の部分と、を有する第1の絶縁層と、前記第2のトレンチの中に設けられた第2のゲート電極と、前記第2のトレンチの中に設けられ、前記第2のゲート電極と前記第2の面との間に設けられた第2のフィールドプレート電極と、前記第2のトレンチの中に設けられ、前記第2のフィールドプレート電極と前記半導体層との間に設けられた第2の絶縁層と、前記半導体層の中に設けられ、前記複数の第1のトレンチの中の隣接する2本の第1のトレンチの間に位置する第1導電型の第1の半導体領域と、前記半導体層の中に設けられ、前記第1の半導体領域と前記第2の面との間に位置する第2導電型の第2の半導体領域と、前記半導体層の中に設けられ、前記第1の半導体領域と前記第1の電極との間に位置し、前記第1の電極に電氣的に接続された第2導電型の第3の半導体領域と、を備える。

【図面の簡単な説明】

【0008】

【図1】第1の実施形態の半導体装置の模式平面図。

【図2】第1の実施形態の半導体装置の一部の模式平面図。

【図3】第1の実施形態の半導体装置の一部の模式断面図。

- 【図 4】第 1 の実施形態の半導体装置の一部の模式断面図。
 【図 5】第 1 の比較形態の半導体装置の模式断面図及び電界分布図。
 【図 6】第 2 の比較形態の半導体装置の模式断面図及び電界分布図。
 【図 7】第 1 及び第 2 の比較形態の半導体装置の模式平面図。
 【図 8】第 1 及び第 2 の比較形態の半導体装置の一部の模式平面図。
 【図 9】第 1 の比較形態の半導体装置の一部の模式断面図。
 【図 10】第 2 の比較形態の半導体装置の一部の模式断面図。
 【図 11】第 1 の比較形態の半導体装置の模式平面図及び電界分布図。
 【図 12】第 2 の比較形態の半導体装置の模式平面図及び電界分布図。
 【図 13】第 1 の実施形態の変形例の半導体装置の一部の模式断面図。
 【図 14】第 2 の実施形態の半導体装置の一部の模式断面図。
 【図 15】第 3 の実施形態の半導体装置の一部の模式平面図。
 【図 16】第 4 の実施形態の半導体装置の一部の模式平面図。
 【図 17】第 5 の実施形態の半導体装置の模式平面図。
 【図 18】第 5 の実施形態の半導体装置の一部の模式平面図。
 【図 19】第 6 の実施形態の半導体装置の模式平面図。
 【図 20】第 6 の実施形態の半導体装置の一部の模式平面図。
 【図 21】第 7 の実施形態の半導体装置の模式平面図。
 【図 22】第 8 の実施形態の半導体装置の模式平面図。
 【図 23】第 8 の実施形態の半導体装置の一部の模式平面図。
 【図 24】第 8 の実施形態の半導体装置の一部の模式断面図。
 【図 25】第 8 の実施形態の半導体装置の一部の模式断面図。
 【図 26】第 8 の実施形態の半導体装置の模式平面図及び電界分布図。
 【図 27】第 9 の実施形態の半導体装置の一部の模式断面図。

10

【発明を実施するための形態】

【0009】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

【0010】

30

本明細書中、 n^+ 型、 n 型、 n^- 型との表記がある場合、 n^+ 型、 n 型、 n^- 型の順で n 型の不純物濃度が低くなっていることを意味する。また、 p^+ 型、 p 型、 p^- 型の表記がある場合、 p^+ 型、 p 型、 p^- 型の順で、 p 型の不純物濃度が低くなっていることを意味する。

【0011】

(第 1 の実施形態)

本実施形態の半導体装置は、第 1 の面と、第 1 の面と対向する第 2 の面を有する半導体層と、第 1 の面に接する第 1 の電極と、第 2 の面に接する第 2 の電極と、半導体層の中に設けられ、第 1 の面に略平行な第 1 の方向に伸長する複数の第 1 のトレンチと、半導体層の中に設けられ、複数の第 1 のトレンチを囲む第 2 のトレンチと、複数の第 1 のトレンチの、それぞれの中に設けられたゲート電極と、複数の第 1 のトレンチの、それぞれの中に設けられ、ゲート電極と第 2 の面との間に設けられた第 1 のフィールドプレート電極と、複数の第 1 のトレンチの、それぞれの中に設けられ、ゲート電極と半導体層との間に位置し第 1 の膜厚を有する第 1 の部分と、第 1 のフィールドプレート電極と半導体層との間に位置し第 1 の膜厚よりも厚い第 2 の膜厚を有する第 2 の部分と、第 1 のフィールドプレート電極と半導体層との間の第 2 の部分と第 2 の面との間に位置し第 2 の膜厚よりも厚い第 3 の膜厚を有する第 3 の部分と、を有する第 1 の絶縁層と、第 2 のトレンチの中に設けられた第 2 のフィールドプレート電極と、第 2 のトレンチの中に設けられ、第 2 のフィールドプレート電極と半導体層との間に設けられた第 2 の絶縁層と、半導体層の中に設けられ、複数の第 1 のトレンチの中の隣接する 2 本の第 1 のトレンチの間に位置する第 1 導電型

40

50

の第1の半導体領域と、半導体層の中に設けられ、第1の半導体領域と第2の面との間に位置する第2導電型の第2の半導体領域と、半導体層の中に設けられ、第1の半導体領域と第1の電極との間に位置し、第1の電極に電氣的に接続された第2導電型の第3の半導体領域と、を備える。

【0012】

図1は、本実施形態の半導体装置の模式平面図である。図2は、本実施形態の半導体装置の一部の模式平面図である。図2は、図1の枠線Aで囲った部分の模式平面図である。図3は、本実施形態の半導体装置の一部の模式断面図である。図3(a)は、図2のY1-Y1'断面、図3(b)は図2のY2-Y2'断面である。図4は、本実施形態の半導体装置の一部の模式断面図である。図4は、図2のX1-X1'断面である。

10

【0013】

本実施形態の半導体装置は、半導体層に形成されたトレンチの中にゲート電極を備える縦型のトレンチゲート構造の縦型MOSFETである。本実施形態の縦型MOSFETは、トレンチフィールドプレート構造を備える。本実施形態の縦型MOSFETは、電子をキャリアとするnチャンネル型トランジスタである。

【0014】

本実施形態の縦型MOSFETは、半導体層10、セルトレンチCT1(第1のトレンチ)、終端トレンチTT1(第2のトレンチ)、ソース電極12(第1の電極)、ドレイン電極14(第2の電極)、ドレイン領域16、ドリフト領域18(第2の半導体領域)、ベース領域20(第1の半導体領域)、ソース領域22(第3の半導体領域)、ベースコンタクト領域24、セルゲート電極30(第1のゲート電極)、セルフフィールドプレート電極32(第1のフィールドプレート電極)、セルトレンチ絶縁層34(第1の絶縁層)、終端ゲート電極40(第2のゲート電極)、終端フィールドプレート電極42(第2のフィールドプレート電極)、終端トレンチ絶縁層44(第2の絶縁層)、層間絶縁層46を備える。セルトレンチ絶縁層34(第1の絶縁層)は、ゲート絶縁膜34a(第1の部分)、上部フィールドプレート絶縁膜34b(第2の部分)、下部フィールドプレート絶縁膜34c(第3の部分)を有する。また、本実施形態の縦型MOSFETは、ゲートパッド電極50を有する。

20

【0015】

図1は、複数のセルトレンチCT1、終端トレンチTT1、ベース領域20、及び、ゲートパッド電極50のレイアウトを模式的に示している。セルトレンチCT1、及び、終端トレンチTT1は、半導体層10の中に設けられる。

30

【0016】

半導体層10は、第1の面P1(以下、表面とも称する)と、第1の面P1に対向する第2の面P2(以下裏面とも称する)とを有する。半導体層10は、例えば、単結晶シリコンである。例えば、単結晶シリコンである。半導体層10の膜厚は、例えば、50μm以上300μm以下である。

【0017】

複数のセルトレンチCT1は、第1の方向に伸長する。第1の方向は半導体層10の表面に略平行である。複数のセルトレンチCT1は、第1の方向に直交する第2の方向に略一定の間隔で配列している。

40

【0018】

終端トレンチTT1は、複数のセルトレンチCT1を囲む。複数のセルトレンチCT1は終端トレンチTT1の内側に設けられる。終端トレンチTT1とセルトレンチCT1は、所定の距離だけ離間して設けられる。

【0019】

複数のセルトレンチCT1と終端トレンチTT1は、例えば、ドライエッチング技術により半導体層10に同時に形成される。

【0020】

ゲートパッド電極50は、終端トレンチTT1の外側に設けられる。

50

【0021】

ソース電極12の少なくとも一部は半導体層10の第1の面P1に接する。ソース電極12は、例えば、金属である。ソース電極12には、ソース電圧が印加される。ソース電圧は、例えば、0Vである。

【0022】

ドレイン電極14の少なくとも一部は半導体層10の第2の面P2に接する。ドレイン電極14は、例えば、金属である。ドレイン電極14には、ドレイン電圧が印加される。ドレイン電圧は、例えば、200V以上1500V以下である。

【0023】

セルゲート電極30は、複数のセルトレンチCT1の、それぞれの中に設けられる。セルゲート電極30は、例えば、n型不純物又はp型不純物を含む多結晶シリコンである。

10

【0024】

セルゲート電極30には、ゲート電圧が印加される。ゲート電圧を変化させることにより、縦型MOSFET100のオン・オフ動作が実現する。

【0025】

セルフフィールドプレート電極32は、複数のセルトレンチCT1の、それぞれの中に設けられる。セルフフィールドプレート電極32は、セルゲート電極30と半導体層10の裏面との間に設けられる。セルフフィールドプレート電極32は、例えば、n型不純物又はp型不純物を含む多結晶シリコンである。

【0026】

20

セルフフィールドプレート電極32の上部の第2の方向の幅は、セルフフィールドプレート電極32の下部の第2の方向の幅よりも広い。本実施形態の縦型MOSFETは、セルフフィールドプレート電極32の幅が深さ方向に2段階に変化する、いわゆる2段フィールドプレート構造を備える。

【0027】

セルフフィールドプレート電極32には、例えば、ソース電圧が印加される。セルフフィールドプレート電極32にゲート電圧を印加する構成とすることも可能である。

【0028】

セルゲート電極30及びセルフフィールドプレート電極32は、セルトレンチ絶縁層34で囲まれる。セルトレンチ絶縁層34は、ゲート絶縁膜34a、上部フィールドプレート絶縁膜34b、下部フィールドプレート絶縁膜34cを有する。セルトレンチ絶縁層34は、例えば、酸化シリコンである。ゲート絶縁膜34a、上部フィールドプレート絶縁膜34b、及び、下部フィールドプレート絶縁膜34cは、同一の工程で形成されても、それぞれ、或いは、一部が別工程で形成されても構わない。

30

【0029】

ゲート絶縁膜34aは、セルゲート電極30と半導体層10との間に位置する。ゲート絶縁膜34aは、第1の膜厚t1を有する。

【0030】

上部フィールドプレート絶縁膜34bは、セルフフィールドプレート電極32の上部と半導体層10との間に位置する。上部フィールドプレート絶縁膜34bは、第2の膜厚t2を有する。

40

【0031】

下部フィールドプレート絶縁膜34cは、セルフフィールドプレート電極32の下部と半導体層10との間に位置する。下部フィールドプレート絶縁膜34cは、上部フィールドプレート絶縁膜34bと半導体層10の裏面との間に位置する。下部フィールドプレート絶縁膜34cは、第3の膜厚t3を有する。

【0032】

上部フィールドプレート絶縁膜34bの第2の膜厚t2は、ゲート絶縁膜34aの第1の膜厚t1よりも厚い。下部フィールドプレート絶縁膜34cの第3の膜厚t3は、上部フィールドプレート絶縁膜34bの第2の膜厚t2よりも厚い。

50

【 0 0 3 3 】

例えば、セルトレンチ C T 1 の内面に絶縁膜を形成した後、下部フィールドプレート絶縁膜 3 4 c に相当する部分を、マスク材で覆って絶縁膜をエッチングして薄くすることで上部フィールドプレート絶縁膜 3 4 b の形成が可能である。マスク材には、例えば、多結晶シリコンやフォトレジストを適用することが可能である。

【 0 0 3 4 】

上部フィールドプレート絶縁膜 3 4 b の第 2 の膜厚 t_2 は、例えば、下部フィールドプレート絶縁膜 3 4 c の第 3 の膜厚 t_3 の 4 0 % 以上 6 0 % 以下である。

【 0 0 3 5 】

終端ゲート電極 4 0 は、終端トレンチ T T 1 の中に設けられる。終端ゲート電極 4 0 は、例えば、n 型不純物又は p 型不純物を含む多結晶シリコンである。

10

【 0 0 3 6 】

終端ゲート電極 4 0 は、縦型 M O S F E T のオン・オフ動作には寄与しない。終端ゲート電極 4 0 には、例えば、ソース電圧が印加される。終端ゲート電極 4 0 にゲート電圧を印加する構成とすることも可能である。

【 0 0 3 7 】

終端フィールドプレート電極 4 2 は、終端トレンチ T T 1 の中に設けられる。終端フィールドプレート電極 4 2 は、終端ゲート電極 4 0 と半導体層 1 0 の裏面との間に設けられる。終端フィールドプレート電極 4 2 は、例えば、n 型不純物又は p 型不純物を含む多結晶シリコンである。

20

【 0 0 3 8 】

終端フィールドプレート電極 4 2 の上部の第 2 の方向の幅は、終端フィールドプレート電極 4 2 の下部の第 2 の方向の幅よりも広い。

【 0 0 3 9 】

終端ゲート電極 4 0 及び終端フィールドプレート電極 4 2 は、終端トレンチ絶縁層 4 4 で囲まれる。終端トレンチ絶縁層 4 4 は、例えば、酸化シリコンである。終端フィールドプレート電極 4 2 と半導体層 1 0 との間の終端トレンチ絶縁層 4 4 には、膜厚の薄い部分（第 4 の部分）と、膜厚の薄い部分よりも深い位置に存在する膜厚の厚い部分（第 5 の部分）とがある。膜厚の薄い部分の膜厚を第 4 の膜厚と称し、膜厚の厚い部分の膜厚を第 5 の膜厚と称する。

30

【 0 0 4 0 】

ベース領域 2 0 は、半導体層 1 0 の中に設けられる。ベース領域 2 0 は、隣接する 2 本のセルトレンチ C T 1 の間に位置する。ベース領域 2 0 は、p 型の半導体領域である。ベース領域 2 0 のゲート絶縁膜 3 4 a に接する領域は、縦型 M O S F E T 1 0 0 のチャネル領域として機能する。ベース領域 2 0 は、ソース電極 1 2 に電氣的に接続される。

【 0 0 4 1 】

ソース領域 2 2 は、半導体層 1 0 の中に設けられる。ソース領域 2 2 は、ベース領域 2 0 と半導体層 1 0 の表面との間に設けられる。ソース領域 2 2 は、ベース領域 2 0 とソース電極 1 2 との間に設けられる。ソース領域 2 2 は、n 型の半導体領域である。ソース領域 2 2 は、ソース電極 1 2 に電氣的に接続される。

40

【 0 0 4 2 】

ベースコンタクト領域 2 4 は、半導体層 1 0 の中に設けられる。ベースコンタクト領域 2 4 は、ベース領域 2 0 とソース電極 1 2 との間に設けられる。ベースコンタクト領域 2 4 は、p 型の半導体領域である。ベースコンタクト領域 2 4 の p 型不純物濃度は、ベース領域 2 0 の p 型不純物濃度よりも高い。ベースコンタクト領域 2 4 は、ソース電極 1 2 に電氣的に接続される。

【 0 0 4 3 】

ドリフト領域 1 8 は、半導体層 1 0 の中に設けられる。ドリフト領域 1 8 は、ベース領域 2 0 と半導体層 1 0 の裏面との間に設けられる。ドリフト領域 1 8 は、n 型の半導体領域である。ドリフト領域 1 8 の n 型不純物濃度は、ソース領域 2 2 の n 型不純物濃度より

50

も低い。

【 0 0 4 4 】

ドレイン領域 1 6 は、半導体層 1 0 の中に設けられる。ドレイン領域 1 6 は、ドリフト領域 1 8 と半導体層 1 0 の裏面との間に設けられる。ドレイン領域 1 6 は、n 型の半導体領域である。ドレイン領域 1 6 の n 型不純物濃度は、ドリフト領域 1 8 の n 型不純物濃度よりも高い。ドレイン領域 1 6 は、ドレイン電極 1 4 に電氣的に接続される。

【 0 0 4 5 】

ゲートパッド電極 5 0 は、半導体層 1 0 の上に設けられる。ゲートパッド電極 5 0 は、半導体層 1 0 の表面の側に設けられる。ゲートパッド電極 5 0 は、少なくともセルゲート電極 3 0 に電氣的に接続される。ゲートパッド電極 5 0 は、例えば、金属である。

10

【 0 0 4 6 】

図 2 は、図 1 の枠線 A で囲った部分の、セルトレンチ C T 1、終端トレンチ T T 1、ドレイン領域 1 6、ドリフト領域 1 8、ベース領域 2 0、ソース領域 2 2、及び、ベースコンタクト領域 2 4 の半導体層 1 0 の表面でのレイアウトを示している。

【 0 0 4 7 】

図 1 及び図 2 に示すように、セルトレンチ C T 1 の第 1 の方向の端部と終端トレンチ T T 1 との間、及び、セルトレンチ C T 1 の第 1 の方向の端部の近傍には、ベース領域 2 0 が存在しない。

【 0 0 4 8 】

例えば、セルトレンチ C T 1 の第 1 の方向の端部と終端トレンチ T T 1 との間の第 1 の距離 (図 2 中の d 1) は、セルトレンチ C T 1 の中の隣接する 2 本のセルトレンチ C T 1 の間の第 2 の距離 (図 2 中の d 2) よりも小さい。第 1 の距離 d 1 は、例えば、第 2 の距離 d 2 の 9 0 % 以下である。

20

【 0 0 4 9 】

例えば、セルトレンチ C T 1 の第 1 の方向の端部とベース領域 2 0 の第 1 の方向の端部との間の距離 (図 2 中の d 3) は、ベース領域 2 0 とセルトレンチ C T 1 の半導体層 1 0 の裏面の側の端部との間の距離 (図 3 (a) 中の d 4) 以上である。

【 0 0 5 0 】

以下、本実施形態の半導体装置の作用及び効果について説明する。

【 0 0 5 1 】

最初に、2 段フィールドプレート構造の効果について説明する。図 5 及び図 6 はフィールドプレート構造の効果の説明図である。

30

【 0 0 5 2 】

図 5 は、第 1 の比較形態の半導体装置の模式断面図及び電界分布図である。第 1 の比較形態の半導体装置は、縦型 M O S F E T である。図 5 は、第 1 の比較形態のセルトレンチ C T 1 の断面を示す。図 5 の断面は、図 3 (a) の断面に相当する断面である。第 1 の比較形態の縦型 M O S F E T は 1 段フィールドプレート構造を有する。

【 0 0 5 3 】

図 6 は、第 2 の比較形態半導体装置の模式断面図及び電界分布図である。第 2 の比較形態の半導体装置は、縦型 M O S F E T である。図 6 は、第 2 の比較形態のセルトレンチ C T 1 の断面を示す。図 6 の断面は、図 3 (a) の断面に相当する断面である。第 2 の比較形態の縦型 M O S F E T は 2 段フィールドプレート構造を有する。

40

【 0 0 5 4 】

図 5 に占めす 1 段フィールドプレート構造は、セルフフィールドプレート電極 3 2 の幅が略一定であり、セルフフィールドプレート電極 3 2 に段差がない。セルフフィールドプレート電極 3 2 と半導体層 1 0 との間のセルトレンチ絶縁層 3 4 の膜厚が略一定である。縦型 M O S F E T の耐圧は、電界の深さ方向の積分値が大きくなることで向上する。1 段フィールドプレート構造では、セルトレンチ C T 1 の底部で電界のピークが生じることで、縦型 M O S F E T の耐圧が向上する。

【 0 0 5 5 】

50

図 6 に示す 2 段フィールドプレート構造は、セルフフィールドプレート電極 3 2 の上部の幅は、下部の幅よりも広い。2 段フィールドプレート構造では、セルフフィールドプレート電極 3 2 の幅が段階的に変化する。セルフフィールドプレート電極 3 2 と半導体層 1 0 との間のセルトレンチ絶縁層 3 4 の膜厚が深さ方向に 2 段階に変化する。2 段フィールドプレート構造では、セルトレンチ C T 1 の底部、及び、セルフフィールドプレート電極 3 2 の上部と下部の境界で電界のピークが生じる。したがって、縦型 M O S F E T の耐圧が 1 段フィールドプレート構造の場合よりも向上する。

【 0 0 5 6 】

しかし、2 段フィールドプレート構造の場合、1 段フィールドプレート構造に比べ、セルトレンチ C T 1 の端部で耐圧が低下するという問題がある。以下、説明する。

【 0 0 5 7 】

図 7 は第 1 及び第 2 の比較形態の模式平面図である。図 8 は、第 1 及び第 2 の比較形態の半導体装置の一部の模式平面図である。図 8 は、図 7 の枠線 B で囲った部分の模式平面図である。図 8 は、図 7 の枠線 B で囲った部分の、セルトレンチ C T 1、ドレイン領域 1 6、ドリフト領域 1 8、ベース領域 2 0、ソース領域 2 2、及び、ベースコンタクト領域 2 4 の半導体層 1 0 の表面でのレイアウトを示している。

【 0 0 5 8 】

第 1 及び第 2 の比較形態の半導体装置は、終端トレンチ T T 1 を備えない点で第 1 の実施形態の縦型 M O S F E T 1 0 0 と異なっている。

【 0 0 5 9 】

図 9 は、第 1 の比較形態の半導体装置の一部の模式断面図である。図 9 は、図 8 の X 2 - X 2 ' 断面である。図 9 に示すようにセルトレンチ C T 1 の第 1 の方向の端部で、セルフフィールドプレート電極 3 2 と半導体層 1 0 との間のセルトレンチ絶縁層 3 4 の膜厚 (図 9 中の T a) は略一定である。

【 0 0 6 0 】

図 1 0 は、第 2 の比較形態の半導体装置の一部の模式断面図である。図 1 0 は、図 8 の X 2 - X 2 ' 断面である。図 1 0 に示すようにセルトレンチ C T 1 の第 1 の方向の端部で、セルフフィールドプレート電極 3 2 と半導体層 1 0 との間のセルトレンチ絶縁層 3 4 の膜厚に変化がある。セルトレンチ絶縁層 3 4 の上部の膜厚 (図 1 0 中の t b) は、下部の膜厚 (図 1 0 中の t c) よりも薄い。

【 0 0 6 1 】

図 1 1 は、第 1 の比較形態の半導体装置の模式平面図及び電界分布図である。図 1 1 は、図 9 の Z 1 - Z 1 ' の第 1 の面に平行な断面図である。図 1 1 中の太い点線は、ドリフト領域 1 8 とベース領域 2 0 との境界の位置を示す。電界分布は図 1 1 の E 1 - E 1 ' に沿った領域の電界分布である。

【 0 0 6 2 】

図 1 1 に示すように、セルトレンチ C T 1 の第 1 の方向の端部では、ドリフト領域 1 8 内での電界が高くなる。これは、セルトレンチ C T 1 の端部では、2 本のセルトレンチ C T 1 の間の領域と比較して、半導体層 1 0 中の空間電荷のチャージバランスが異なり電界が集中するためである。

【 0 0 6 3 】

図 1 2 は、第 2 の比較形態の半導体装置の模式平面図及び電界分布図である。図 1 2 は、図 1 0 の Z 2 - Z 2 ' の第 1 の面に平行な断面図である。図 1 2 中の太い点線は、ドリフト領域 1 8 とベース領域 2 0 との境界の位置を示す。電界分布は図 1 2 の E 2 - E 2 ' に沿った領域の電界分布である。

【 0 0 6 4 】

図 1 2 に示すように、セルトレンチ C T 1 の第 1 の方向の端部では、ドリフト領域 1 8 内での電界が、第 1 の比較形態に比べ高くなる。これは、セルトレンチ絶縁層 3 4 の上部の膜厚 (図 1 0 中の t b) が、第 1 の比較形態のセルトレンチ絶縁層 3 4 の膜厚 (図 1 1 中の t a) よりも薄いことに起因する。したがって、第 1 の比較形態よりもセルトレンチ

10

20

30

40

50

C T 1 の端部でのアバランシェブレークダウンが生じやすくなり、縦型 M O S F E T の耐圧が低下する。

【 0 0 6 5 】

本実施形態の縦型 M O S F E T では、複数のセルトレンチ C T 1 を囲む終端トレンチ T T 1 を設ける。セルトレンチ C T 1 の第 1 の方向の端部には、終端トレンチ T T 1 が対向することになる。このため、図 4 に示すように、セルトレンチ C T 1 の端部と終端トレンチ T T 1 の間に、2 本のセルトレンチ C T 1 の間の領域と同様の半導体層 1 0 のメサ構造が形成される。このため、セルトレンチ C T 1 の端部での空間電荷のチャージバランスが、2 本のセルトレンチ C T 1 の間の領域と同様に保たれることになる。したがって、セルトレンチ C T 1 の端部での電界の集中が抑制される。よって、2 段フィールドプレート構造を有する場合でも、セルトレンチ C T 1 の端部に起因する耐圧の低下が生じない。

10

【 0 0 6 6 】

本実施形態の縦型 M O S F E T では、セルトレンチ C T 1 の第 1 の方向の端部と終端トレンチ T T 1 との間の第 1 の距離（図 2 中の d_1 ）は、セルトレンチ C T 1 の中の隣接する 2 本のセルトレンチ C T 1 の間の第 2 の距離（図 2 中の d_2 ）よりも小さいことが好ましい。上記条件を充足することにより、セルトレンチ C T 1 の端部での空間電荷のチャージバランスが、2 本のセルトレンチ C T 1 の間の領域の空間電荷のチャージバランスに更に近づくことになり、セルトレンチ C T 1 の端部での電界の集中が更に抑制される。

【 0 0 6 7 】

セルトレンチ C T 1 の端部での電界の集中を更に抑制する観点から、第 1 の距離 d_1 は、第 2 の距離 d_2 の 9 0 % 以下であることがより好ましい。

20

【 0 0 6 8 】

セルトレンチ C T 1 の第 1 の方向の端部とベース領域 2 0 の第 1 の方向の端部との間の距離（図 2 中の d_3 ）は、ベース領域 2 0 とセルトレンチ C T 1 の半導体層 1 0 の裏面の側の端部との間の距離（図 3（a）中の d_4 ）以上であることが望ましい。上記条件を充足することにより、セルトレンチ C T 1 の端部とベース領域 2 0 までの第 1 の方向の距離がベース領域 2 0 とセルトレンチ C T 1 の底部までの距離以上になる。このため、セルトレンチ C T 1 の端部とベース領域 2 0 までの第 1 の方向の領域の間の横方向の電界が緩和され、縦型 M O S F E T の耐圧が向上する。

【 0 0 6 9 】

30

図 1 3 は、本実施形態の変形例の半導体装置の一部の模式断面図である。図 1 3（a）、1 3（b）、1 3（c）のそれぞれは、図 3（a）に対応する断面図である。

【 0 0 7 0 】

図 1 3（a）は、セルフフィールドプレート電極 3 2 の幅が深さ方向に 3 段階に変化する構造、言い換えれば、セルフフィールドプレート電極 3 2 と半導体層との間のセルトレンチ絶縁層 3 4 の膜厚が深さ方向に 3 段階に変化する構造、すなわち、3 段フィールドプレート構造である点で本実施形態と異なる。4 段階以上に変化する構造とすることも可能である。また、図 1 3（b）は、セルフフィールドプレート電極 3 2 の幅が深さ方向に連続的に狭くなる点で、本実施形態と異なる。いいかえれば、セルトレンチ絶縁層 3 4 の膜厚が、半導体層 1 0 の表面から裏面に向かう方向に連続的に薄くなる。また、図 1 3（c）はセルトレンチ C T 1 の底部、及び、セルフフィールドプレート電極 3 2 の底部の曲率が大きい点で、本実施形態と異なる。

40

【 0 0 7 1 】

図 1 3（a）、1 3（b）、1 3（c）の変形例でも、本実施形態と同様、セルトレンチ C T 1 の端部に起因する耐圧の低下が生じないという効果が得られる。

【 0 0 7 2 】

以上、本実施形態の縦型 M O S F E T によれば、複数のセルトレンチ C T 1 を囲む終端トレンチ T T 1 を設けることで、セルトレンチ C T 1 の端部の耐圧が向上する。したがって、トレンチフィールドプレート構造を有する縦型トランジスタの耐圧の向上が可能となる。

50

【 0 0 7 3 】

(第 2 の実施形態)

本実施形態の半導体装置は、複数の第 1 のトレンチの、それぞれの第 1 の方向の端部とゲート電極との間に、フィールドプレート電極が位置する点で、第 1 の実施形態と異なっている。以下、第 1 の実施形態と重複する内容については記述を省略する。

【 0 0 7 4 】

図 1 4 は、本実施形態の半導体装置の一部の模式断面図である。図 1 4 は、第 1 の実施形態の図 4 に相当する断面である。

【 0 0 7 5 】

本実施形態の縦型 MOSFET では、セルトレンチ CT 1 の第 1 の方向の端部とセルゲート電極 3 0 との間にセルフフィールドプレート電極 3 2 が存在する。また、終端トレンチ TT 1 には、終端ゲート電極は存在しない。

10

【 0 0 7 6 】

例えば、セルトレンチ CT 1 中のセルフフィールドプレート電極 3 2 をエッチバックプロセスにより形成する際に、セルトレンチ CT 1 の端部と終端トレンチ TT 1 の上をマスク材で覆うことにより、本実施形態の構造を形成することが可能である。

【 0 0 7 7 】

セルトレンチ CT 1 の第 1 の方向の端部で、セルゲート電極 3 0 がセルトレンチ絶縁層 3 4 を介して半導体層 1 0 に対向する領域がない。したがって、縦型 MOSFET のゲートとドレイン間の寄生容量が低減する。したがって、縦型 MOSFET のスイッチング速度が上昇する。

20

【 0 0 7 8 】

また、終端トレンチ TT 1 に終端ゲート電極が存在する場合、終端ゲート電極がゲート電圧に接続されると、ゲートとドレイン間の寄生容量が増大し、縦型 MOSFET のスイッチング速度が低下する。本実施形態では、終端トレンチ TT 1 には、終端ゲート電極が存在しないため、スイッチング速度の低下が抑制される。

【 0 0 7 9 】

以上、本実施形態の縦型 MOSFET によれば、第 1 の実施形態と同様、縦型トランジスタの耐圧の向上が可能となる。さらに、縦型トランジスタのスイッチング速度の向上が可能となる。

30

【 0 0 8 0 】

(第 3 の実施形態)

本実施形態の半導体装置は、第 2 の半導体領域と第 1 の半導体領域の第 1 の方向の端部との間に、第 1 の半導体領域に接し、第 1 の半導体領域よりも第 1 導電型の不純物濃度の低い第 1 導電型の第 4 の半導体領域が位置する点で、第 1 の実施形態と異なっている。以下、第 1 の実施形態と重複する内容については記述を省略する。

【 0 0 8 1 】

図 1 5 は、本実施形態の半導体装置の一部の模式平面図である。図 1 5 は、第 1 の実施形態の図 2 に相当する模式平面図である。

【 0 0 8 2 】

40

終端トレンチ TT 1 と、ベース領域 2 0 との間に、リサーフ領域 5 2 (第 4 の半導体領域) が設けられる。ドリフト領域 1 8 と、ベース領域 2 0 との間に、リサーフ領域 5 2 が設けられる。リサーフ領域 5 2 は、ドリフト領域 1 8 とベース領域 2 0 に接する。

【 0 0 8 3 】

リサーフ領域 5 2 は、p 型の半導体領域である。リサーフ領域 5 2 の p 型不純物濃度は、ベース領域 2 0 の p 型不純物濃度よりも低い。リサーフ領域 5 2 の深さは、ベース領域 2 0 より深くすることも、浅くすることも可能である。

【 0 0 8 4 】

リサーフ領域 5 2 を設けることにより、セルトレンチ CT 1 の端部とベース領域 2 0 までの第 1 の方向の領域の間の横方向の電界が緩和され、縦型 MOSFET の耐圧が向上す

50

る。

【0085】

以上、本実施形態の縦型MOSFETによれば、第1の実施形態よりも、更に、縦型トランジスタの耐圧が向上する。

【0086】

(第4の実施形態)

本実施形態の半導体装置は、複数の第1のトレンチと第1の方向の端部と第2のトレンチとの間に、第1の半導体領域が位置する点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については記述を省略する。

【0087】

図16は、本実施形態の半導体装置の一部の模式平面図である。図16は、第1の実施形態の図2に相当する模式平面図である。

【0088】

複数のセルトレンチCT1の第1の方向の端部と終端トレンチTT1との間に、ベース領域20が位置する。2本のセルトレンチCT1の端部の間に、ベース領域20が位置する。ソース領域22の第1の方向の端部と終端トレンチTT1との間の半導体層10の表面は、全てベース領域20が設けられる。

【0089】

ソース領域22の第1の方向の端部と終端トレンチTT1との間の半導体層10の表面を、全てベース領域20とすることで、セルトレンチCT1の端部近傍で横方向に伸びる空乏層が生じなくなる。したがって、縦型MOSFETの耐圧設計が容易となる。

【0090】

以上、本実施形態の縦型MOSFETによれば、第1の実施形態と同様、縦型トランジスタの耐圧の向上が可能となる。さらに、縦型トランジスタの耐圧設計が容易となる。

【0091】

(第5の実施形態)

本実施形態の半導体装置は、半導体層の中に設けられ、第1の方向に伸長し、複数の第1のトレンチよりも第1の方向の長さの短い複数の第3のトレンチと、半導体層の中に設けられ、複数の第3のトレンチを囲む第4のトレンチと、を更に備える点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については記述を省略する。

【0092】

図17は、本実施形態の半導体装置の模式平面図である。図17は、第1の実施形態の図1に相当する模式平面図である。図18は、本実施形態の半導体装置の一部の模式平面図である。図18は、図17の枠線Cで囲った部分の模式平面図である。図18は、第1の実施形態の図2に相当する模式平面図である。

【0093】

本実施形態の縦型MOSFETは、半導体層10、第1のセルトレンチCT1(第1のトレンチ)、第1の終端トレンチTT1(第2のトレンチ)、第2のセルトレンチCT2(第3のトレンチ)、第2の終端トレンチTT2(第4のトレンチ)を備える。

【0094】

複数の第1のセルトレンチCT1は、第1の方向に伸長する。第1の方向は半導体層10の表面(第1の面)に略平行である。複数の第1のセルトレンチCT1は、第2の方向に略一定の間隔で配列している。

【0095】

第1の終端トレンチTT1は、複数の第1のセルトレンチCT1を囲む。複数の第1のセルトレンチCT1は第1の終端トレンチTT1の内側に設けられる。第1の終端トレンチTT1と第1のセルトレンチCT1は、所定の距離だけ離間して設けられる。

【0096】

複数の第2のセルトレンチCT2は、第1の方向に伸長する。第1の方向は半導体層10の表面(第1の面)に略平行である。複数の第2のセルトレンチCT2は、第2の方向

10

20

30

40

50

に略一定の間隔で配列している。第2のセルトレンチCT2の第1の方向の長さは、第1のセルトレンチCT1の第1の方向の長さよりも短い。

【0097】

第2の終端トレンチTT2は、複数の第2のセルトレンチCT2を囲む。複数の第2のセルトレンチCT2は第2の終端トレンチTT2の内側に設けられる。第2の終端トレンチTT2と第2のセルトレンチCT2は、所定の距離だけ離間して設けられる。

【0098】

本実施形態によれば、第1のセルトレンチCT1に加え、第2のセルトレンチCT2を設けることで、縦型MOSFETの集積度が向上する。したがって、縦型MOSFETのオン電流が増大する。

10

【0099】

複数の第1のセルトレンチCT1の中の隣接する2本の第1のセルトレンチCT1の間の距離(図18中のd2)と、第1の終端トレンチTT1と第2の終端トレンチTT2との間の距離(図18中のd5)が略同一であることが好ましい。上記条件を充足することで、トレンチの加工精度が向上する。また、半導体層10の表面の余剰領域が減り、縦型MOSFETの集積度が向上する。

【0100】

以上、本実施形態の縦型MOSFETによれば、第1の実施形態と同様、縦型トランジスタの耐圧の向上が可能となる。さらに、縦型トランジスタの集積度が向上し、オン電流が増大する。

20

【0101】

(第6の実施形態)

本実施形態の半導体装置は、半導体層の中に設けられ、第1の方向に伸長し、複数の第1のトレンチよりも第1の方向の長さの短い複数の第3のトレンチと、半導体層の中に設けられ、第1の方向に伸長し、複数の第1のトレンチと複数の第3のトレンチとの間に位置する第4のトレンチを、更に備え、第2のトレンチが、複数の第1のトレンチ、複数の第3のトレンチ、及び、第4のトレンチを囲み、第4のトレンチの第1の方向の端部と第2のトレンチとの間の距離が、複数の第1のトレンチの、それぞれの第1の方向の端部と第2のトレンチとの間の距離、及び、複数の第3のトレンチの、それぞれの第1の方向の端部と第2のトレンチとの間の距離よりも小さい点で、第1の実施形態と異なっている。

30

【0102】

図19は、本実施形態の半導体装置の模式平面図である。図19は、第1の実施形態の図1に相当する模式平面図である。図20は、本実施形態の半導体装置の一部の模式平面図である。図20は、図19の枠線Dで囲った部分の模式平面図である。図19は、第1の実施形態の図2に相当する模式平面図である。

【0103】

本実施形態の縦型MOSFETは、半導体層10、第1のセルトレンチCT1(第1のトレンチ)、終端トレンチTT1(第2のトレンチ)、第2のセルトレンチCT2(第3のトレンチ)、第3のセルトレンチCT3(第4のトレンチ)を備える。

40

【0104】

複数の第1のセルトレンチCT1は、第1の方向に伸長する。第1の方向は半導体層10の表面(第1の面)に略平行である。複数の第1のセルトレンチCT1は、第2の方向に略一定の間隔で配列している。

【0105】

複数の第2のセルトレンチCT2は、第1の方向に伸長する。第1の方向は半導体層10の表面(第1の面)に略平行である。複数の第2のセルトレンチCT2は、第2の方向に略一定の間隔で配列している。第2のセルトレンチCT2の第1の方向の長さは、第1のセルトレンチCT1の第1の方向の長さよりも短い。

【0106】

50

第3のセルトレンチCT3は、第1の方向に伸長する。第1の方向は半導体層10の表面(第1の面)に略平行である。第3のセルトレンチCT3は、第1のセルトレンチCT1と第2のセルトレンチCT2との間に位置する。第3のセルトレンチCT3の第1の方向の長さは、第1のセルトレンチCT1の第1の方向の長さよりも短い。また、第3のセルトレンチCT3の第1の方向の長さは、第2のセルトレンチCT2の第1の方向の長さよりも長い。

【0107】

終端トレンチTT1は、複数の第1のセルトレンチCT1、複数の第2のセルトレンチCT2、及び、第3のセルトレンチCT3を囲む。

【0108】

本実施形態によれば、第1のセルトレンチCT1に加え、第2のセルトレンチCT2を設けることで、縦型MOSFETの集積度が向上する。したがって、縦型MOSFETのオン電流が増大する。

【0109】

第3のセルトレンチCT3の第1の方向の端部と終端トレンチTT1との間の距離(図20中のd6)は、第1のセルトレンチCT1の第1の方向の端部と終端トレンチTT1との間の距離(図20中のd7)、及び、第2のセルトレンチCT2の第1の方向の端部と終端トレンチTT1との間の距離(図20中のd8)よりも小さい。第1のセルトレンチCT1の第1の方向の端部と終端トレンチTT1との間の距離(図20中のd7)、及び、第2のセルトレンチCT2の第1の方向の端部と終端トレンチTT1との間の距離(図20中のd8)は、例えば、略同一である。

【0110】

第3のセルトレンチCT3の端部は、終端トレンチTT1が屈曲する特異点に存在する。第3のセルトレンチCT3の第1の方向の端部と終端トレンチTT1との間の距離(図20中のd6)を短くすることにより、空間電荷とのチャージバランスが調整され、第3のセルトレンチCT3の端部での電界集中が抑制される。したがって、縦型MOSFETの耐圧の低下が抑制される。

【0111】

以上、本実施形態の縦型MOSFETによれば、第1の実施形態と同様、縦型トランジスタの耐圧の向上が可能となる。さらに、縦型トランジスタの集積度が向上し、オン電流が増大する。

【0112】

(第7の実施形態)

本実施形態の半導体装置は、複数の第1のトレンチの一部の中の隣接する2本の第1のトレンチの間の第1の半導体領域の第1の方向の長さが、複数の第1のトレンチの残部の中の隣接する2本の第1のトレンチの間の第1の半導体領域の第1の方向の長さよりも短い点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については記述を省略する。

【0113】

図21は、本実施形態の半導体装置の模式平面図である。図21は、第1の実施形態の図1に相当する模式平面図である。

【0114】

複数の第1のセルトレンチCT1の一部は、ゲートパッド電極50の下にも設けられる。ゲートパッド電極50の下に設けられた複数の第1のセルトレンチCT1の一部の中の隣接する2本の第1のセルトレンチCT1の間のベース領域20の第1の方向の長さは、複数の第1のセルトレンチCT1の残部の中の隣接する2本の間のベース領域20の第1の方向の長さよりも短い。ゲートパッド電極50の下の領域には、ベース領域20が設けられない。

【0115】

本実施形態によれば、第1のセルトレンチCT1の本数が増えることで、縦型MOSF

10

20

30

40

50

ＥＴの集積度が向上する。したがって、縦型ＭＯＳＦＥＴのオン電流が増大する。

【０１１６】

また、ベース領域２０へのコンタクトを設けることが困難なゲートパッド電極５０の下
の領域から、ベース領域２０を除くことで、ホールの引き抜き効率の低下を防止する。し
たがって、縦型ＭＯＳＦＥＴのアバランシェ耐量の低下が抑制される。

【０１１７】

以上、本実施形態の縦型ＭＯＳＦＥＴによれば、第１の実施形態と同様、縦型トランジ
スタの耐圧の向上が可能となる。さらに、縦型トランジスタの集積度が向上し、オン電流
が増大する。

【０１１８】

10

（第８の実施形態）

本実施形態の半導体装置は、第１の面と、第１の面と対向する第２の面を有する半導体
層と、第１の面に接する第１の電極と、第２の面に接する第２の電極と、半導体層の中
に設けられ、第１の面に略平行な第１の方向に伸長する複数のトレンチと、複数のトレン
チの、それぞれの中に設けられたゲート電極と、複数のトレンチの、それぞれの中に設けら
れ、ゲート電極と第２の面との間に設けられたフィールドプレート電極と、複数のトレン
チの、それぞれの中に設けられ、ゲート電極と半導体層との間に位置し第１の膜厚を有す
る第１の部分と、フィールドプレート電極と半導体層との間に位置し第１の膜厚よりも厚
い第２の膜厚を有する第２の部分と、フィールドプレート電極と半導体層との間の第２の
部分と第２の面との間に位置し第２の膜厚よりも厚い第３の膜厚を有する第３の部分と、
フィールドプレート電極の第１の方向の端部と半導体層との間であって第２の部分と第１
の面から略同一の深さに位置し、第２の膜厚よりも厚い第４の膜厚を有する第４の部分、
を有する絶縁層と、半導体層の中に設けられ、複数のトレンチの中の隣接する２本のトレン
チの間に位置する第１導電型の第１の半導体領域と、半導体層の中に設けられ、第１の
半導体領域と第２の面との間に位置する第２導電型の第２の半導体領域と、半導体層の中
に設けられ、第１の半導体領域と第１の電極との間に位置し、第１の電極に電氣的に接続
された第２導電型の第３の半導体領域と、を備える。

20

【０１１９】

図２２は、本実施形態の半導体装置の模式平面図である。図２３は、本実施形態の半導
体装置の一部の模式平面図である。図２３は、図２２の枠線Ｅで囲った部分の模式平面図
である。図２４は、本実施形態の半導体装置の一部の模式断面図である。図２４（ａ）は
、図２３のＹ３－Ｙ３'断面、図２４（ｂ）は図２３のＹ４－Ｙ４'断面である。図２５
は、本実施形態の半導体装置の一部の模式断面図である。図２５は、図２３のＸ３－Ｘ３'
断面である。

30

【０１２０】

本実施形態の半導体装置は、半導体層に形成されたトレンチの中にゲート電極を備える
縦型のトレンチゲート構造の縦型ＭＯＳＦＥＴである。本実施形態の縦型ＭＯＳＦＥＴは
、トレンチフィールドプレート構造を備える。本実施形態の縦型ＭＯＳＦＥＴは、電子を
キャリアとするｎチャネル型トランジスタである。

【０１２１】

40

本実施形態の縦型ＭＯＳＦＥＴは、半導体層１０、セルトレンチＣＴ１（トレンチ）、
ソース電極１２、ドレイン電極１４、ドレイン領域１６、ドリフト領域１８、ベース領域
２０、ソース領域２２、ベースコンタクト領域２４、セルゲート電極３０（ゲート電極）
、セルフフィールドプレート電極３２（フィールドプレート電極）、セルトレンチ絶縁層３
４（絶縁層）、層間絶縁層４６を備える。セルトレンチ絶縁層３４（絶縁層）は、ゲート
絶縁膜３４ａ（第１の部分）、上部フィールドプレート絶縁膜３４ｂ（第２の部分）、下
部フィールドプレート絶縁膜３４ｃ（第３の部分）、端部フィールドプレート絶縁膜３４
ｄ（第４の部分）を有する。また、本実施形態の縦型ＭＯＳＦＥＴは、ゲートパッド電極
５０を有する。

【０１２２】

50

図 23 は、複数のセルトレンチ C T 1、ベース領域 20、及び、ゲートパッド電極 50 のレイアウトを模式的に示している。セルトレンチ C T 1 は、半導体層 10 の中に設けられる。

【0123】

半導体層 10 は、第 1 の面 P 1（以下、表面とも称する）と、第 1 の面 P 1 に対向する第 2 の面 P 2（以下裏面とも称する）とを有する。半導体層 10 は、例えば、単結晶シリコンである。例えば、単結晶シリコンである。半導体層 10 の膜厚は、例えば、50 μm 以上 300 μm 以下である。

【0124】

複数のセルトレンチ C T 1 は、第 1 の方向に伸長する。第 1 の方向は半導体層 10 の表面に略平行である。複数のセルトレンチ C T 1 は、第 1 の方向に直交する第 2 の方向に略一定の間隔で配列している。

【0125】

ゲートパッド電極 50 は、複数のセルトレンチ C T 1 の外側に設けられる。

【0126】

ソース電極 12 の少なくとも一部は半導体層 10 の第 1 の面 P 1 に接する。ソース電極 12 は、例えば、金属である。ソース電極 12 には、ソース電圧が印加される。ソース電圧は、例えば、0 V である。

【0127】

ドレイン電極 14 の少なくとも一部は半導体層 10 の第 2 の面 P 2 に接する。ドレイン電極 14 は、例えば、金属である。ドレイン電極 14 には、ドレイン電圧が印加される。ドレイン電圧は、例えば、200 V 以上 1500 V 以下である。

【0128】

セルゲート電極 30 は、複数のセルトレンチ C T 1 の、それぞれの中に設けられる。セルゲート電極 30 は、例えば、n 型不純物又は p 型不純物を含む多結晶シリコンである。

【0129】

セルゲート電極 30 には、ゲート電圧が印加される。ゲート電圧を変化させることにより、縦型 MOSFET 100 のオン・オフ動作が実現する。

【0130】

セルフフィールドプレート電極 32 は、複数のセルトレンチ C T 1 の、それぞれの中に設けられる。セルフフィールドプレート電極 32 は、セルゲート電極 30 と半導体層 10 の裏面との間に設けられる。セルフフィールドプレート電極 32 は、例えば、n 型不純物又は p 型不純物を含む多結晶シリコンである。

【0131】

セルフフィールドプレート電極 32 の上部の第 2 の方向の幅は、セルフフィールドプレート電極 32 の下部の第 2 の方向の幅よりも広い。本実施形態の縦型 MOSFET は、セルフフィールドプレート電極 32 の幅が深さ方向に 2 段階に変化する、いわゆる 2 段フィールドプレート構造を備える。

【0132】

セルフフィールドプレート電極 32 には、例えば、ソース電圧が印加される。セルフフィールドプレート電極 32 にゲート電圧を印加する構成とすることも可能である。

【0133】

セルゲート電極 30 及びセルフフィールドプレート電極 32 は、セルトレンチ絶縁層 34 で囲まれる。セルトレンチ絶縁層 34 は、ゲート絶縁膜 34 a、上部フィールドプレート絶縁膜 34 b、下部フィールドプレート絶縁膜 34 c、端部フィールドプレート絶縁膜 34 d を有する。セルトレンチ絶縁層 34 は、例えば、酸化シリコンである。ゲート絶縁膜 34 a、上部フィールドプレート絶縁膜 34 b、下部フィールドプレート絶縁膜 34 c、及び、端部フィールドプレート絶縁膜 34 d は、同一の工程で形成されても、それぞれ、或いは、一部が別工程で形成されても構わない。

【0134】

10

20

30

40

50

ゲート絶縁膜 34 a は、セルゲート電極 30 と半導体層 10 との間に位置する。ゲート絶縁膜 34 a は、第 1 の膜厚 t_1 を有する。

【0135】

上部フィールドプレート絶縁膜 34 b は、セルフフィールドプレート電極 32 の上部と半導体層 10 との間に位置する。上部フィールドプレート絶縁膜 34 b は、第 2 の膜厚 t_2 を有する。

【0136】

下部フィールドプレート絶縁膜 34 c は、セルフフィールドプレート電極 32 の下部と半導体層 10 との間に位置する。下部フィールドプレート絶縁膜 34 c は、上部フィールドプレート絶縁膜 34 b と半導体層 10 の裏面との間に位置する。下部フィールドプレート絶縁膜 34 c は、第 3 の膜厚 t_3 を有する。

10

【0137】

上部フィールドプレート絶縁膜 34 b の第 2 の膜厚 t_2 は、ゲート絶縁膜 34 a の第 1 の膜厚 t_1 よりも厚い。下部フィールドプレート絶縁膜 34 c の第 3 の膜厚 t_3 は、上部フィールドプレート絶縁膜 34 b の第 2 の膜厚 t_2 よりも厚い。

【0138】

上部フィールドプレート絶縁膜 34 b の第 2 の膜厚 t_2 は、例えば、下部フィールドプレート絶縁膜 34 c の第 3 の膜厚 t_3 の 40 % 以上 60 % 以下である。

【0139】

端部フィールドプレート絶縁膜 34 d は、セルフフィールドプレート電極 32 の第 1 の方向の端部と半導体層 10 との間に位置する。端部フィールドプレート絶縁膜 34 d は、上部フィールドプレート絶縁膜 34 b と、半導体層 10 の表面（第 1 の面）から略同一の深さに位置する。端部フィールドプレート絶縁膜 34 d の半導体層 10 の表面（第 1 の面）からの深さは、上部フィールドプレート絶縁膜 34 b の半導体層 10 の表面（第 1 の面）からの深さと略同一である。ここで、「深さ」とは、半導体層 10 の表面（第 1 の面）から裏面（第 2 の面）に向かう方向の距離である。

20

【0140】

端部フィールドプレート絶縁膜 34 d の第 4 の膜厚 t_4 は、上部フィールドプレート絶縁膜 34 b の第 2 の膜厚 t_2 よりも厚い。端部フィールドプレート絶縁膜 34 d の第 4 の膜厚 t_4 は、例えば、下部フィールドプレート絶縁膜 34 c の第 3 の膜厚 t_3 と略同一である。

30

【0141】

例えば、セルトレンチ CT 1 の内面に絶縁膜を形成した後、下部フィールドプレート絶縁膜 34 c に相当する部分を、第 1 のマスク材で覆って絶縁膜をエッチングして薄くすることで上部フィールドプレート絶縁膜 34 b の形成が可能である。絶縁膜をエッチングする際に、セルトレンチ CT 1 の第 1 の方向の端部を第 2 のマスク材で覆うことで、絶縁膜がエッチングされず、端部フィールドプレート絶縁膜 34 d の形成が可能となる。例えば、第 1 のマスク材には多結晶シリコン、第 2 のマスク材にはフォトリソを適用することが可能である。

【0142】

40

ベース領域 20 は、半導体層 10 の中に設けられる。ベース領域 20 は、隣接する 2 本のセルトレンチ CT 1 の間に位置する。ベース領域 20 は、p 型の半導体領域である。ベース領域 20 のゲート絶縁膜 34 a に接する領域は、縦型 MOSFET 100 のチャネル領域として機能する。ベース領域 20 は、ソース電極 12 に電氣的に接続される。

【0143】

ソース領域 22 は、半導体層 10 の中に設けられる。ソース領域 22 は、ベース領域 20 と半導体層 10 の表面との間に設けられる。ソース領域 22 は、ベース領域 20 とソース電極 12 との間に設けられる。ソース領域 22 は、n 型の半導体領域である。ソース領域 22 は、ソース電極 12 に電氣的に接続される。

【0144】

50

ベースコンタクト領域 24 は、半導体層 10 の中に設けられる。ベースコンタクト領域 24 は、ベース領域 20 とソース電極 12 との間に設けられる。ベースコンタクト領域 24 は、p 型の半導体領域である。ベースコンタクト領域 24 の p 型不純物濃度は、ベース領域 20 の p 型不純物濃度よりも高い。ベースコンタクト領域 24 は、ソース電極 12 に電氣的に接続される。

【0145】

ドリフト領域 18 は、半導体層 10 の中に設けられる。ドリフト領域 18 は、ベース領域 20 と半導体層 10 の裏面との間に設けられる。ドリフト領域 18 は、n 型の半導体領域である。ドリフト領域 18 の n 型不純物濃度は、ソース領域 22 の n 型不純物濃度よりも低い。

10

【0146】

ドレイン領域 16 は、半導体層 10 の中に設けられる。ドレイン領域 16 は、ドリフト領域 18 と半導体層 10 の裏面との間に設けられる。ドレイン領域 16 は、n 型の半導体領域である。ドレイン領域 16 の n 型不純物濃度は、ドリフト領域 18 の n 型不純物濃度よりも高い。ドレイン領域 16 は、ドレイン電極 14 に電氣的に接続される。

【0147】

ゲートパッド電極 50 は、半導体層 10 の上に設けられる。ゲートパッド電極 50 は、半導体層 10 の表面の側に設けられる。ゲートパッド電極 50 は、少なくともセルゲート電極 30 に電氣的に接続される。ゲートパッド電極 50 は、例えば、金属である。

【0148】

20

図 23 は、図 22 の枠線 E で囲った部分の、セルトレンチ CT1、ドレイン領域 16、ドリフト領域 18、ベース領域 20、ソース領域 22、及び、ベースコンタクト領域 24 の半導体層 10 の表面でのレイアウトを示している。

【0149】

例えば、セルトレンチ CT1 の第 1 の方向の端部とベース領域 20 の第 1 の方向の端部との間の距離 (図 23 中の d3) は、ベース領域 20 とセルトレンチ CT1 の半導体層 10 の裏面の側の端部との間の距離 (図 24 (a) 中の d4) 以上である。

【0150】

以下、本実施形態の半導体装置の作用及び効果について説明する。

【0151】

30

最初に、2 段フィールドプレート構造の効果について説明する。図 5 及び図 6 はフィールドプレート構造の効果の説明図である。

【0152】

図 5 は、第 1 の比較形態の半導体装置の模式断面図及び電界分布図である。第 1 の比較形態の半導体装置は、縦型 MOSFET である。図 5 は、第 1 の比較形態のセルトレンチ CT1 の断面を示す。図 5 の断面は、図 3 (a) の断面に相当する断面である。第 1 の比較形態の縦型 MOSFET は 1 段フィールドプレート構造を有する。

【0153】

図 6 は、第 2 の比較形態半導体装置の模式断面図及び電界分布図である。第 2 の比較形態の半導体装置は、縦型 MOSFET である。図 6 は、第 2 の比較形態のセルトレンチ CT1 の断面を示す。図 6 の断面は、図 3 (a) の断面に相当する断面である。第 2 の比較形態の縦型 MOSFET は 2 段フィールドプレート構造を有する。

40

【0154】

図 5 に占めす 1 段フィールドプレート構造は、セルフフィールドプレート電極 32 の幅が略一定であり、セルフフィールドプレート電極 32 に段差がない。縦型 MOSFET の耐圧は、電界の深さ方向の積分値が大きくなることで向上する。1 段フィールドプレート構造では、セルトレンチ CT1 の底部で電界のピークが生じることで、縦型 MOSFET の耐圧が向上する。

【0155】

図 6 に占めす 2 段フィールドプレート構造は、セルフフィールドプレート電極 32 の上部

50

の幅は、下部の幅よりも広い。２段フィールドプレート構造では、セルフフィールドプレート電極３２の幅が段階的に変化する、２段フィールドプレート構造では、セルトレンチＣＴ１の底部、及び、セルフフィールドプレート電極３２の上部と下部の境界で電界のピークが生じることで、縦型ＭＯＳＦＥＴの耐圧が１段フィールドプレート構造の場合よりも向上する。

【０１５６】

しかし、２段フィールドプレート構造の場合、１段フィールドプレート構造に比べ、セルトレンチＣＴ１の端部で耐圧が低下するという問題がある。以下、説明する。

【０１５７】

図７は第１及び第２の比較形態の模式平面図である。図８は、第１及び第２の比較形態の半導体装置の一部の模式平面図である。図８は、図７の枠線Ｂで囲った部分の模式平面図である。図８は、図７の枠線Ｂで囲った部分の、セルトレンチＣＴ１、ドレイン領域１６、ドリフト領域１８、ベース領域２０、ソース領域２２、及び、ベースコンタクト領域２４の半導体層１０の表面でのレイアウトを示している。

【０１５８】

第１及び第２の比較形態の半導体装置は、終端トレンチＴＴ１を備えない点で第１の実施形態の縦型ＭＯＳＦＥＴ１００と異なっている。

【０１５９】

図９は、第１の比較形態の半導体装置の一部の模式断面図である。図９は、図８のＸ２－Ｘ２'断面である。図９に示すようにセルトレンチＣＴ１の第１の方向の端部で、セルフフィールドプレート電極３２と半導体層１０との間のセルトレンチ絶縁層３４の膜厚（図９中のＴａ）は略一定である。

【０１６０】

図１０は、第２の比較形態の半導体装置の一部の模式断面図である。図１０は、図８のＸ２－Ｘ２'断面である。図１０に示すようにセルトレンチＣＴ１の第１の方向の端部で、セルフフィールドプレート電極３２と半導体層１０との間のセルトレンチ絶縁層３４の膜厚に変化がある。セルトレンチ絶縁層３４の上部の膜厚（図１０中のｔｂ）は、下部の膜厚（図１０中のｔｃ）よりも薄い。

【０１６１】

図１１は、第１の比較形態の半導体装置の模式平面図及び電界分布図である。図１１は、図９のＺ１－Ｚ１'の第１の面に平行な断面図である。図１１中の太い点線は、ドリフト領域１８とベース領域２０との境界の位置を示す。電界分布は図１１のＥ１－Ｅ１'に沿った領域の電界分布である。

【０１６２】

図１１に示すように、セルトレンチＣＴ１の第１の方向の端部では、ドリフト領域１８内での電界が高くなる。これは、セルトレンチＣＴ１の端部では、２本のセルトレンチＣＴ１の間の領域と比較して、半導体層１０中の空間電荷のチャージバランスが異なり電界が集中するためである。

【０１６３】

図１２は、第２の比較形態の半導体装置の模式平面図及び電界分布図である。図１２は、図１０のＺ２－Ｚ２'の第１の面に平行な断面図である。図１２中の太い点線は、ドリフト領域１８とベース領域２０との境界の位置を示す。電界分布は図１２のＥ２－Ｅ２'に沿った領域の電界分布である。

【０１６４】

図１２に示すように、セルトレンチＣＴ１の第１の方向の端部では、ドリフト領域１８内での電界が、第１の比較形態に比べ高くなる。これは、セルトレンチ絶縁層３４の上部の膜厚（図１０中のｔｂ）が、第１の比較形態のセルトレンチ絶縁層３４の膜厚（図１１中のｔａ）よりも薄いことに起因する。したがって、第１の比較形態よりもセルトレンチＣＴ１の端部でのアバランシェブレークダウンが生じやすくなり、縦型ＭＯＳＦＥＴの耐圧が低下する。

10

20

30

40

50

【 0 1 6 5 】

図 2 6 は、本実施形態の半導体装置の模式平面図及び電界分布図である。図 2 6 は、図 2 5 の Z 3 - Z 3 ' の半導体層 1 0 の表面（第 1 の面）に平行な断面図である。図 2 6 中の太い点線は、ドリフト領域 1 8 とベース領域 2 0 との境界の位置を示す。電界分布は図 2 6 の E 3 - E 3 ' に沿った領域の電界分布である。

【 0 1 6 6 】

本実施形態の縦型 MOSFET では、第 2 の比較形態に比べ、セルトレンチ CT 1 の第 1 の方向の端部のセルトレンチ絶縁層 3 4 の膜厚が厚くなっている。セルトレンチ CT 1 の第 1 の方向の端部のセルトレンチ絶縁層 3 4 の膜厚は、第 1 の方向及び第 2 の方向のいずれも厚くなっている。第 2 の方向の膜厚が厚いことにより、セルフフィールドプレート電極 3 2 が第 1 の方向にも 2 段フィールドプレート構造となっている。したがって、第 2 の比較形態と比較して、セルトレンチ CT 1 の端部での電界集中が緩和され、アバランシェブレークダウンが抑制される。よって、縦型 MOSFET の耐圧の低下が抑制される。

10

【 0 1 6 7 】

セルトレンチ CT 1 の第 1 の方向の端部とベース領域 2 0 の第 1 の方向の端部との間の距離（図 2 3 中の d 3 ）は、ベース領域 2 0 とセルトレンチ CT 1 の半導体層 1 0 の裏面の側の端部との間の距離（図 2 4 (a) 中の d 4 ）以上であることが望ましい。上記条件を充足することにより、セルトレンチ CT 1 の端部とベース領域 2 0 までの第 1 の方向の距離がベース領域 2 0 とセルトレンチ CT 1 の底部までの距離以上になる。このため、セルトレンチ CT 1 の端部とベース領域 2 0 までの第 1 の方向の領域の間の横方向の電界が緩和され、縦型 MOSFET の耐圧が向上する。

20

【 0 1 6 8 】

（第 9 の実施形態）

本実施形態の半導体装置は、複数のトレンチの、それぞれの第 1 の方向の端部とゲート電極との間に、フィールドプレート電極が位置する点で、第 8 の実施形態と異なっている。以下、第 8 の実施形態と重複する内容については記述を省略する。

【 0 1 6 9 】

図 2 7 は、本実施形態の半導体装置の一部の模式断面図である。図 2 7 は、第 8 の実施形態の図 2 5 に相当する断面である。

【 0 1 7 0 】

本実施形態の縦型 MOSFET では、セルトレンチ CT 1 の第 1 の方向の端部とセルゲート電極 3 0 との間にセルフフィールドプレート電極 3 2 が存在する。

30

【 0 1 7 1 】

例えば、セルトレンチ CT 1 中のセルフフィールドプレート電極 3 2 をエッチバックプロセスにより形成する際に、セルトレンチ CT 1 の端部と終端トレンチ TT 1 の上をマスク材で覆うことにより、本実施形態の構造を形成することが可能である。

【 0 1 7 2 】

本実施形態の縦型 MOSFET では、セルトレンチ CT 1 の第 1 の方向の端部で、セルゲート電極 3 0 がセルトレンチ絶縁層 3 4 を介して半導体層 1 0 に対向する領域がない。したがって、縦型 MOSFET のゲートとドレイン間の寄生容量が低減する。したがって、縦型 MOSFET のスイッチング速度が上昇する。

40

【 0 1 7 3 】

以上、本実施形態の縦型 MOSFET によれば、第 8 の実施形態と同様、縦型トランジスタの耐圧の向上が可能となる。さらに、縦型トランジスタのスイッチング速度の向上が可能となる。

【 0 1 7 4 】

第 1 ないし第 9 の実施形態においては、半導体層が単結晶シリコンである場合を例に説明したが、半導体層は単結晶シリコンに限られることはない。例えば、単結晶炭化珪素等、その他の単結晶半導体であっても構わない。

【 0 1 7 5 】

50

第 1 ないし第 9 の実施形態においては、第 1 導電型が p 型、第 2 導電型が n 型の n チャネル型トランジスタを例に説明したが、第 1 導電型が n 型、第 2 導電型が p 型の p チャネル型トランジスタであっても構わない。

【 0 1 7 6 】

第 1 ないし第 9 の実施形態においては、縦型トランジスタが縦型 M O S F E T である場合を例に説明したが、縦型トランジスタが縦型 I G B T であっても構わない。

【 0 1 7 7 】

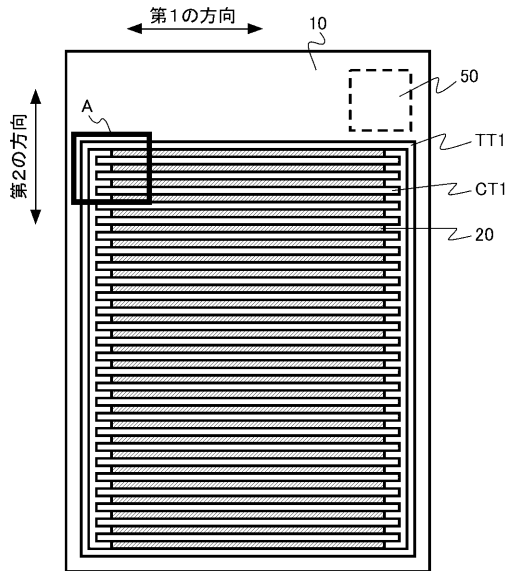
本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

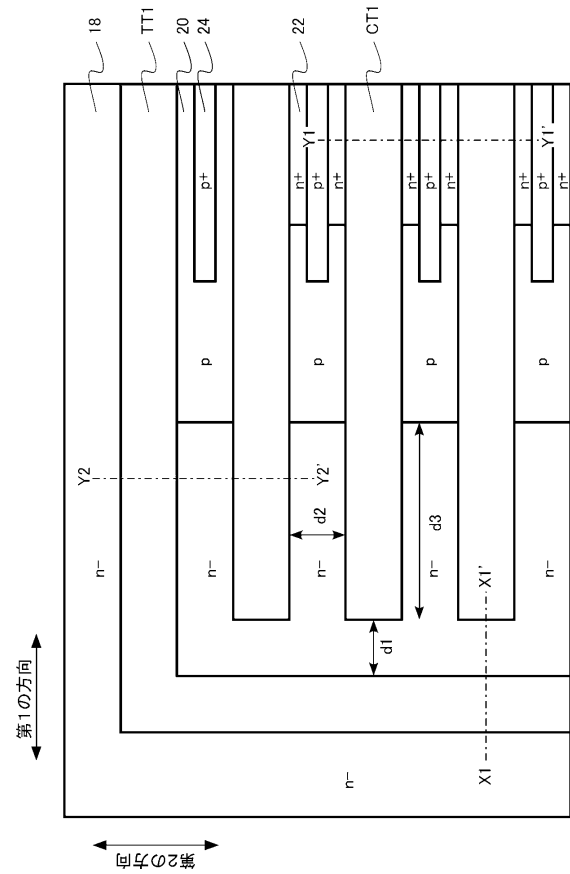
【 0 1 7 8 】

1 0	半導体層	
1 2	ソース電極（第 1 の電極）	
1 4	ドレイン電極（第 2 の電極）	
1 6	ドレイン領域	10
1 8	ドリフト領域（第 2 の半導体領域）	
2 0	ベース領域（第 1 の半導体領域）	
2 2	ソース領域（第 3 の半導体領域）	
2 4	ベースコンタクト領域	
3 0	セルゲート電極（第 1 のゲート電極）	
3 2	セルフフィールドプレート電極（第 1 のフィールドプレート電極、フィールドプレート電極）	
3 4	セルトレンチ絶縁層（第 1 の絶縁層、絶縁層）	
3 4 a	ゲート絶縁膜（第 1 の部分）	
3 4 b	上部フィールドプレート絶縁膜（第 2 の部分）	30
3 4 c	下部フィールドプレート絶縁膜（第 3 の部分）	
3 4 d	端部フィールドプレート絶縁膜（第 4 の部分）	
4 0	終端ゲート電極（第 2 のゲート電極）	
4 2	終端フィールドプレート電極（第 2 のフィールドプレート電極）	
4 4	終端トレンチ絶縁層（第 2 の絶縁層）	
4 6	層間絶縁層	
5 0	ゲートパッド電極	
5 2	リサーフ領域（第 4 の半導体領域）	
C T 1	セルトレンチ、第 1 のセルトレンチ（第 1 のトレンチ、トレンチ）	
C T 2	第 2 のセルトレンチ（第 3 のトレンチ）	40
C T 3	第 3 のセルトレンチ（第 4 のトレンチ）	
T T 1	終端トレンチ、第 1 の終端トレンチ（第 2 のトレンチ）	
T T 2	第 2 の終端トレンチ（第 4 のトレンチ）	
P 1	第 1 の面	
P 2	第 2 の面	

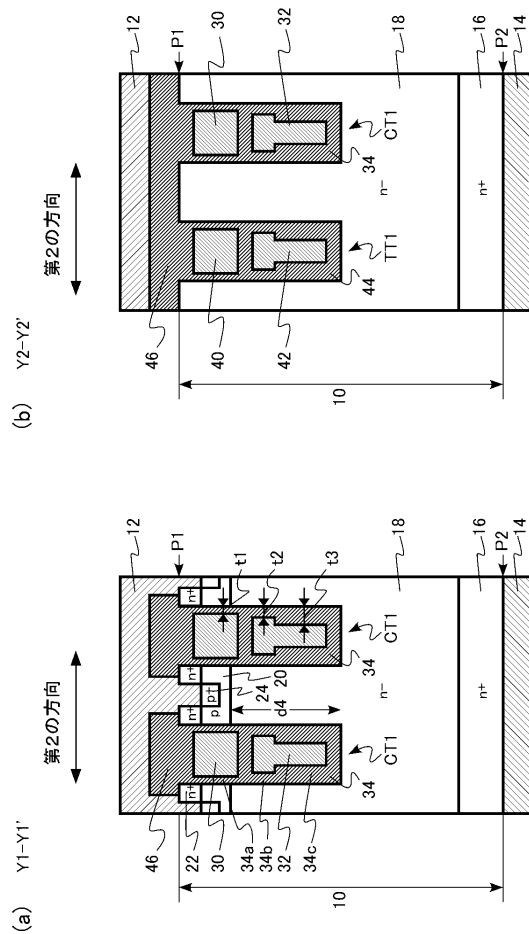
【図 1】



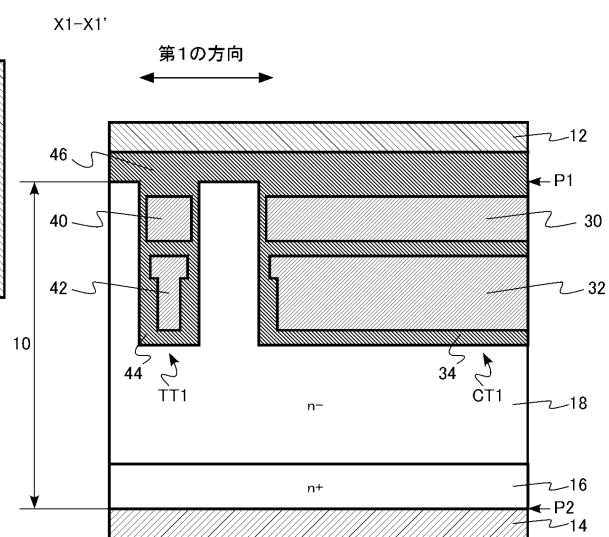
【図 2】



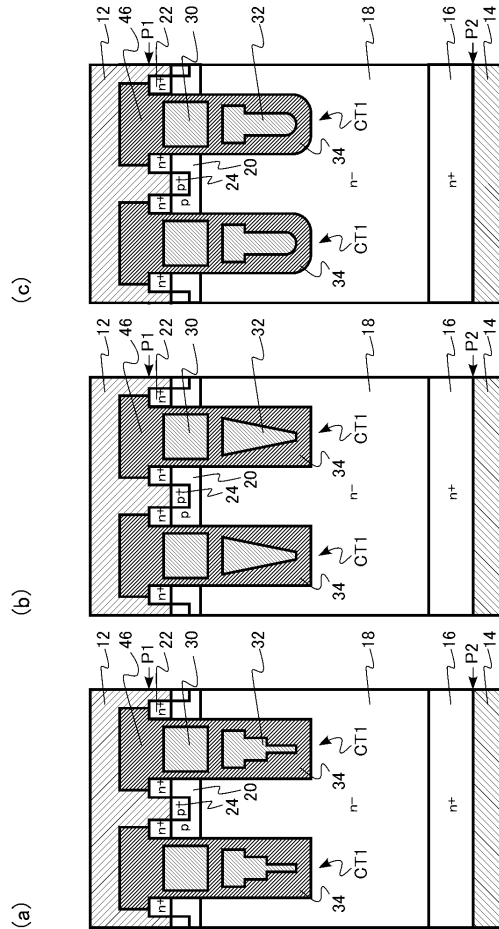
【図 3】



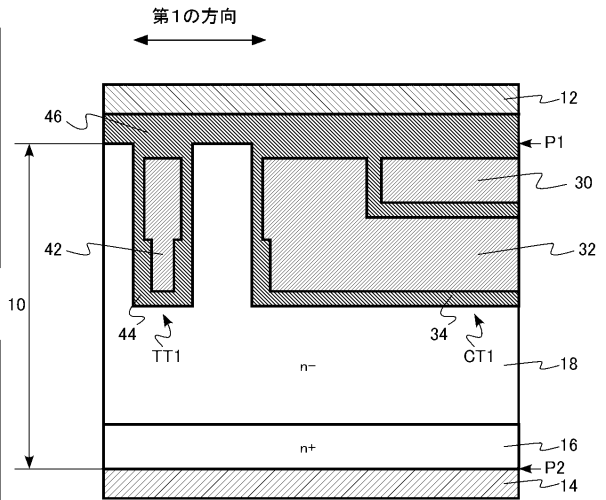
【図 4】



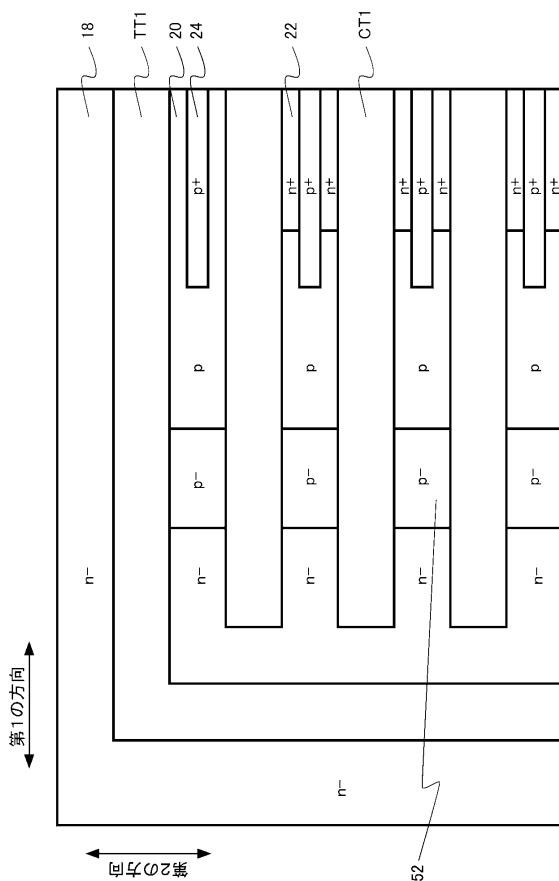
【図 13】



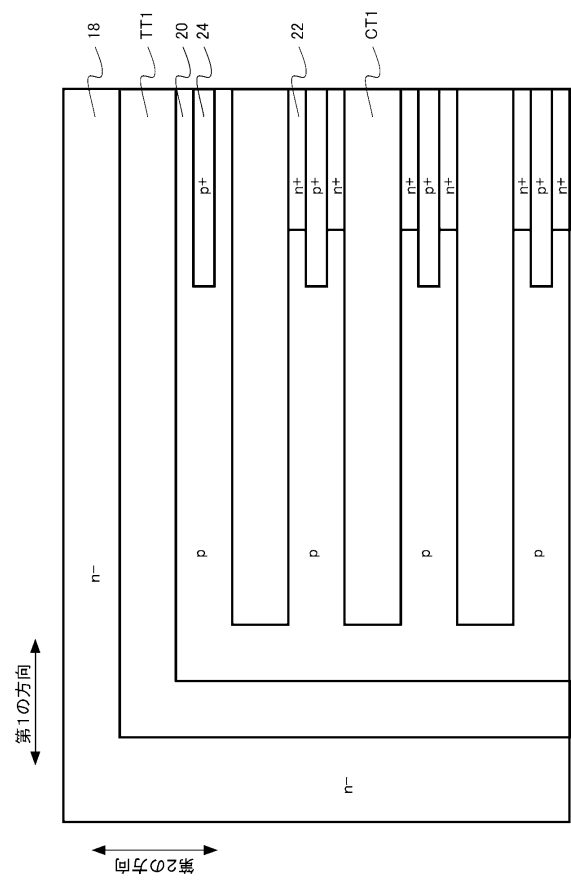
【図 14】



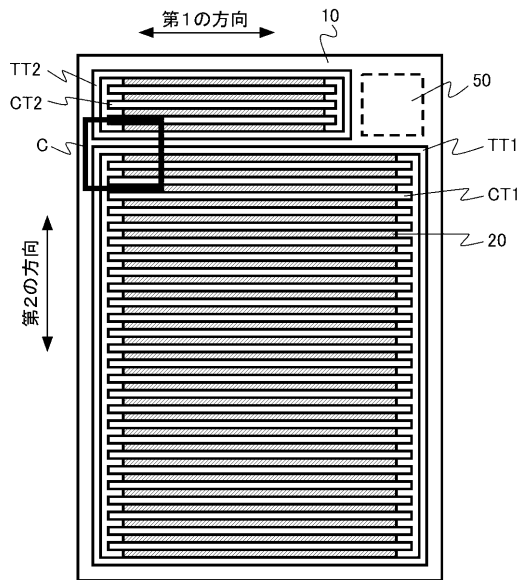
【図 15】



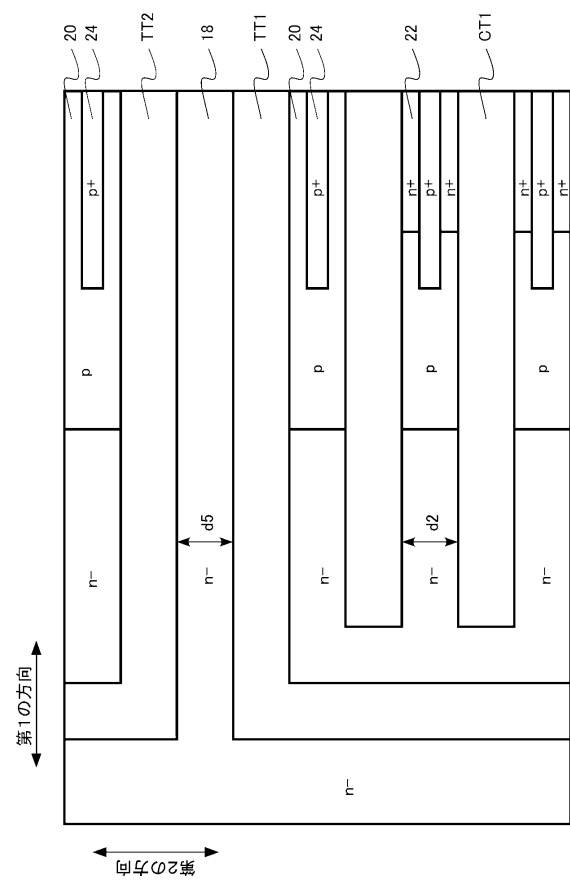
【図 16】



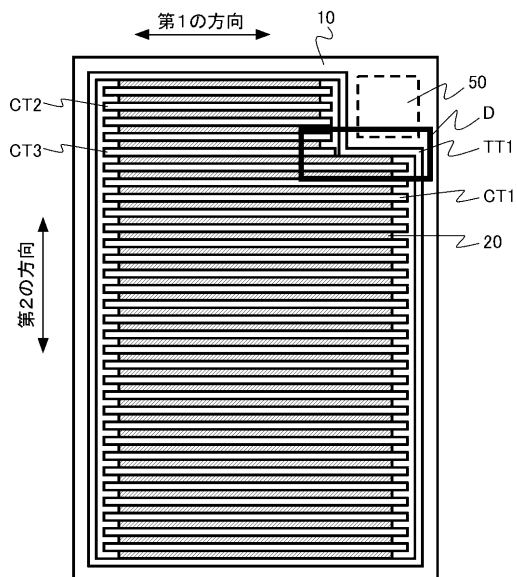
【図 17】



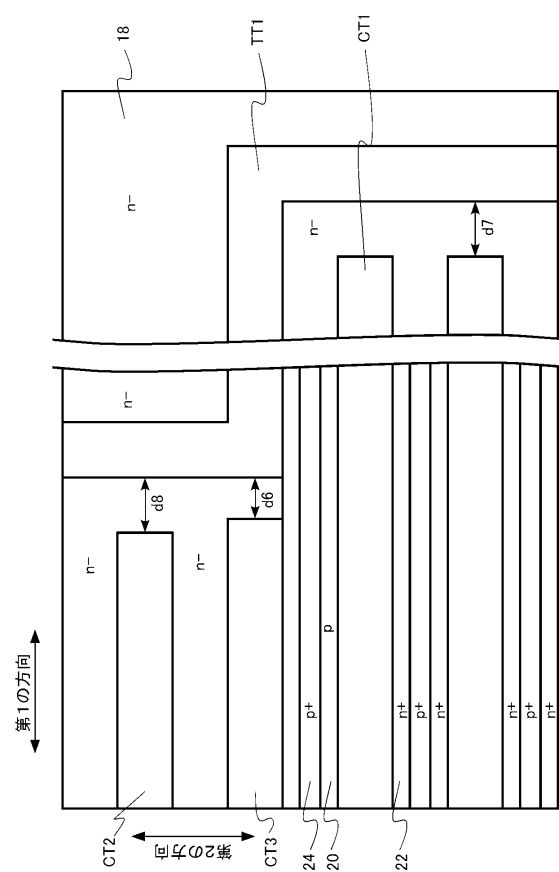
【図 18】



【図 19】

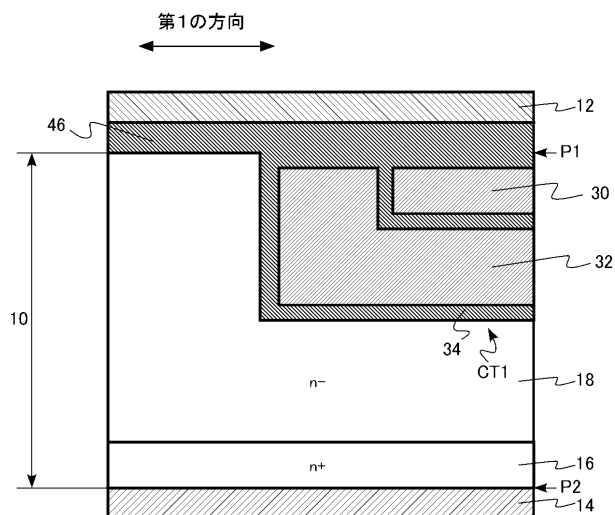
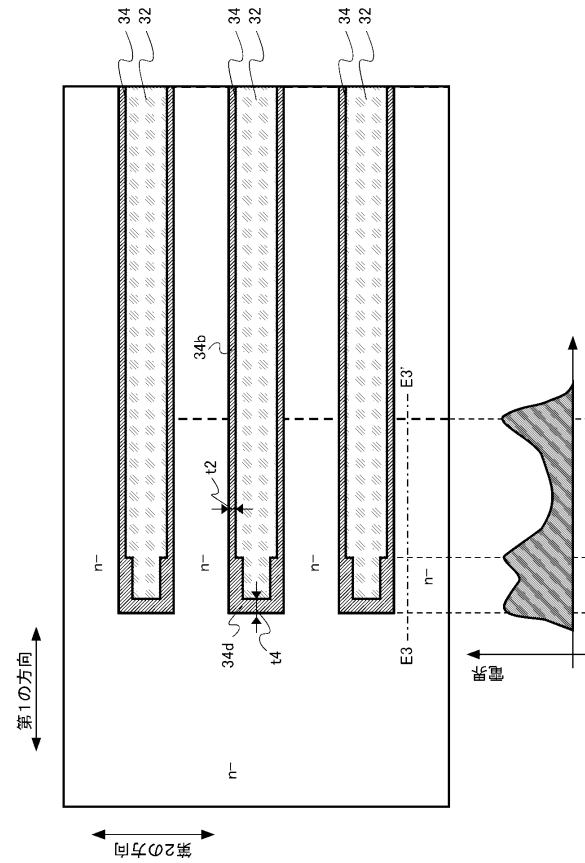


【図 20】



【 図 2 6 】

- 34



フロントページの続き

- (72)発明者 一関 健太郎
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 相田 喜久夫
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 大麻 浩平
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 洪 洪
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 松葉 博
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 岩本 勉

- (56)参考文献 特開2002-203964(JP,A)
特開2016-072482(JP,A)
米国特許出願公開第2016/0093719(US,A1)
中国特許出願公開第105990426(CN,A)
特開2006-202931(JP,A)
米国特許出願公開第2006/0157779(US,A1)

- (58)調査した分野(Int.Cl., DB名)
H01L 29/06
H01L 29/78