

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6862321号  
(P6862321)

(45) 発行日 令和3年4月21日(2021.4.21)

(24) 登録日 令和3年4月2日(2021.4.2)

(51) Int.Cl.

F 1

HO 1 L 29/06 (2006.01)  
HO 1 L 29/78 (2006.01)

HO 1 L 29/78 HO 1 L 29/78 HO 1 L 29/78 HO 1 L 29/78

6 5 2 P  
6 5 3 C  
6 5 2 K  
6 5 2 S

請求項の数 9 (全 30 頁)

(21) 出願番号	特願2017-176264 (P2017-176264)
(22) 出願日	平成29年9月14日 (2017.9.14)
(65) 公開番号	特開2019-54071 (P2019-54071A)
(43) 公開日	平成31年4月4日 (2019.4.4)
審査請求日	令和1年9月19日 (2019.9.19)

(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(73) 特許権者	317011920 東芝デバイス&ストレージ株式会社 東京都港区芝浦一丁目1番1号
(74) 代理人	100119035 弁理士 池上 徹真
(74) 代理人	100141036 弁理士 須藤 章
(74) 代理人	100088487 弁理士 松山 允之
(72) 発明者	西脇 達也 東京都港区芝浦一丁目1番1号 株式会社 東芝内

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

第1の面と、前記第1の面と対向する第2の面を有する半導体層と、  
 前記第1の面に接する第1の電極と、  
 前記第2の面に接する第2の電極と、  
 前記半導体層の中に設けられ、前記第1の面に略平行な第1の方向に伸長する複数の第1のトレンチと、

前記半導体層の中に設けられ、前記複数の第1のトレンチを囲む第2のトレンチと、  
 前記複数の第1のトレンチの、それぞれの中に設けられた第1のゲート電極と、  
 前記複数の第1のトレンチの、それぞれの中に設けられ、前記第1のゲート電極と前記第2の面との間に設けられた第1のフィールドプレート電極と、  
 前記複数の第1のトレンチの、それぞれの中に設けられ、前記第1のゲート電極と前記半導体層との間に位置し第1の膜厚を有する第1の部分と、前記第1のフィールドプレート電極と前記半導体層との間に位置し前記第1の膜厚よりも厚い第2の膜厚を有する第2の部分と、前記第1のフィールドプレート電極と前記半導体層との間の前記第2の部分と前記第2の面との間に位置し前記第2の膜厚よりも厚い第3の膜厚を有する第3の部分と、を有する第1の絶縁層と、  
前記第2のトレンチの中に設けられた第2のゲート電極と、  
前記第2のトレンチの中に設けられ、前記第2のゲート電極と前記第2の面との間に設けられた第2のフィールドプレート電極と、

10

20

前記第2のトレンチの中に設けられ、前記第2のフィールドプレート電極と前記半導体層との間に設けられた第2の絶縁層と、

前記半導体層の中に設けられ、前記複数の第1のトレンチの中の隣接する2本の第1のトレンチの間に位置する第1導電型の第1の半導体領域と、

前記半導体層の中に設けられ、前記第1の半導体領域と前記第2の面との間に位置する第2導電型の第2の半導体領域と、

前記半導体層の中に設けられ、前記第1の半導体領域と前記第1の電極との間に位置し、前記第1の電極に電気的に接続された第2導電型の第3の半導体領域と、を備える半導体装置。

**【請求項2】**

10

第1の面と、前記第1の面と対向する第2の面を有する半導体層と、

前記第1の面に接する第1の電極と、

前記第2の面に接する第2の電極と、

前記半導体層の中に設けられ、前記第1の面に略平行な第1の方向に伸長する複数の第1のトレンチと、

前記半導体層の中に設けられ、前記複数の第1のトレンチを囲む第2のトレンチと、

前記半導体層の中に設けられ、前記第1の方向に伸長し、前記複数の第1のトレンチよりも前記第1の方向の長さの短い複数の第3のトレンチと、

前記半導体層の中に設けられ、前記複数の第3のトレンチを囲む第4のトレンチと、

前記複数の第1のトレンチの、それぞれの中に設けられた第1のゲート電極と、

前記複数の第1のトレンチの、それぞれの中に設けられ、前記第1のゲート電極と前記第2の面との間に設けられた第1のフィールドプレート電極と、

前記複数の第1のトレンチの、それぞれの中に設けられ、前記第1のゲート電極と前記半導体層との間に位置し第1の膜厚を有する第1の部分と、前記第1のフィールドプレート電極と前記半導体層との間に位置し前記第1の膜厚よりも厚い第2の膜厚を有する第2の部分と、前記第1のフィールドプレート電極と前記半導体層との間の前記第2の部分と前記第2の面との間に位置し前記第2の膜厚よりも厚い第3の膜厚を有する第3の部分と、を有する第1の絶縁層と、

前記第2のトレンチの中に設けられた第2のフィールドプレート電極と、

前記第2のトレンチの中に設けられ、前記第2のフィールドプレート電極と前記半導体層との間に設けられた第2の絶縁層と、

前記半導体層の中に設けられ、前記複数の第1のトレンチの中の隣接する2本の第1のトレンチの間に位置する第1導電型の第1の半導体領域と、

前記半導体層の中に設けられ、前記第1の半導体領域と前記第2の面との間に位置する第2導電型の第2の半導体領域と、

前記半導体層の中に設けられ、前記第1の半導体領域と前記第1の電極との間に位置し、前記第1の電極に電気的に接続された第2導電型の第3の半導体領域と、を備える半導体装置。

**【請求項3】**

40

第1の面と、前記第1の面と対向する第2の面を有する半導体層と、

前記第1の面に接する第1の電極と、

前記第2の面に接する第2の電極と、

前記半導体層の中に設けられ、前記第1の面に略平行な第1の方向に伸長する複数の第1のトレンチと、

前記半導体層の中に設けられ、前記複数の第1のトレンチを囲む第2のトレンチと、

前記複数の第1のトレンチの、それぞれの中に設けられた第1のゲート電極と、

前記複数の第1のトレンチの、それぞれの中に設けられ、前記第1のゲート電極と前記第2の面との間に設けられた第1のフィールドプレート電極と、

前記複数の第1のトレンチの、それぞれの中に設けられ、前記第1のゲート電極と前記半導体層との間に位置し第1の膜厚を有する第1の部分と、前記第1のフィールドプレー

50

ト電極と前記半導体層との間に位置し前記第1の膜厚よりも厚い第2の膜厚を有する第2の部分と、前記第1のフィールドプレート電極と前記半導体層との間の前記第2の部分と前記第2の面との間に位置し前記第2の膜厚よりも厚い第3の膜厚を有する第3の部分と、を有する第1の絶縁層と、

前記第2のトレンチの中に設けられた第2のフィールドプレート電極と、

前記第2のトレンチの中に設けられ、前記第2のフィールドプレート電極と前記半導体層との間に設けられた第2の絶縁層と、

前記半導体層の中に設けられ、前記複数の第1のトレンチの中の隣接する2本の第1のトレンチの間に位置する第1導電型の第1の半導体領域と、

前記半導体層の中に設けられ、前記第1の半導体領域と前記第2の面との間に位置する第2導電型の第2の半導体領域と、

前記半導体層の中に設けられ、前記第1の半導体領域と前記第1の電極との間に位置し、前記第1の電極に電気的に接続された第2導電型の第3の半導体領域と、  
を備え、

前記複数の第1のトレンチの一部の中の隣接する2本の第1のトレンチの間の前記第1の半導体領域の前記第1の方向の長さが、前記複数の第1のトレンチの残部の中の隣接する2本の第1のトレンチの間の前記第1の半導体領域の前記第1の方向の長さよりも短い、半導体装置。

#### 【請求項4】

前記複数の第1のトレンチの、それぞれの前記第1の方向の端部と前記第2のトレンチとの間の第1の距離が、前記複数の第1のトレンチの中の隣接する2本の第1のトレンチの間の第2の距離よりも小さい請求項1ないし請求項3いずれか一項記載の半導体装置。 20

#### 【請求項5】

前記第1の距離が前記第2の距離の90%以下である請求項4記載の半導体装置。

#### 【請求項6】

前記複数の第1のトレンチの、それぞれの前記第1の方向の端部と前記第1の半導体領域の前記第1の方向の端部との間の距離が、前記第1の半導体領域と前記複数の第1のトレンチの前記第2の面の側の端部との間の距離以上である請求項1ないし請求項5いずれか一項記載の半導体装置。 30

#### 【請求項7】

前記複数の第1のトレンチの、それぞれの前記第1の方向の端部と前記第1のゲート電極との間に、前記第1のフィールドプレート電極が位置する請求項1ないし請求項6いずれか一項記載の半導体装置。

#### 【請求項8】

前記複数の第1のトレンチの、それぞれの前記第1の方向の端部と前記第2のトレンチとの間に、前記第1の半導体領域が位置する請求項1ないし請求項7いずれか一項記載の半導体装置。

#### 【請求項9】

前記第2の膜厚が前記第3の膜厚の40%以上60%以下である請求項1ないし請求項8いずれか一項記載の半導体装置。 40

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

本発明の実施形態は、半導体装置に関する。

##### 【背景技術】

##### 【0002】

電力用の半導体装置の一例として、半導体層に設けられたトレンチ内にゲート電極を有するトレンチゲート構造のMOSFET(Metal Oxide Field Effect Transistor)やIGBT(Insulated Gate Bipolar Transistor)などがある。 50

lar Transistor) 等の縦型トランジスタがある。トレンチ内にゲート電極を設けることで、集積度が向上し、縦型トランジスタのオン電流を増加させることが可能となる。

#### 【0003】

トレンチゲート構造の縦型トランジスタの耐圧を向上させるために、トレンチフィールドプレート構造が採用される。トレンチフィールドプレート構造は、トレンチ内のゲート電極の下部に半導体層と絶縁膜で分離されたフィールドプレート電極を設けることで、半導体層内の電界分布を制御し縦型トランジスタの耐圧を向上させる。

#### 【0004】

トレンチの終端部では、構造上半導体層内の電界が高くなり、低い電圧でアバランシェブレークダウンが生じるおそれがある。このため、トレンチの終端部に起因して、縦型トランジスタの耐圧が劣化するという問題がある。10

#### 【先行技術文献】

#### 【特許文献】

#### 【0005】

#### 【特許文献1】特開2002-203964号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0006】

本発明が解決しようとする課題は、トレンチフィールドプレート構造を有する縦型トランジスタの耐圧の向上を可能とする半導体装置を提供することにある。20

#### 【課題を解決するための手段】

#### 【0007】

実施形態の半導体装置は、第1の面と、前記第1の面と対向する第2の面を有する半導体層と、前記第1の面に接する第1の電極と、前記第2の面に接する第2の電極と、前記半導体層の中に設けられ、前記第1の面に略平行な第1の方向に伸長する複数の第1のトレンチと、前記半導体層の中に設けられ、前記複数の第1のトレンチを囲む第2のトレンチと、前記複数の第1のトレンチの、それぞれの中に設けられたゲート電極と、前記複数の第1のトレンチの、それぞれの中に設けられ、前記ゲート電極と前記第2の面との間に設けられた第1のフィールドプレート電極と、前記複数の第1のトレンチの、それぞれの中に設けられ、前記ゲート電極と前記半導体層との間に位置し第1の膜厚を有する第1の部分と、前記第1のフィールドプレート電極と前記半導体層との間に位置し前記第1の膜厚よりも厚い第2の膜厚を有する第2の部分と、前記第1のフィールドプレート電極と前記半導体層との間の前記第2の部分と前記第2の面との間に位置し前記第2の膜厚よりも厚い第3の膜厚を有する第3の部分と、を有する第1の絶縁層と、前記第2のトレンチの中に設けられた第2のゲート電極と、前記第2のトレンチの中に設けられ、前記第2のゲート電極と前記第2の面との間に設けられた第2のフィールドプレート電極と、前記第2のトレンチの中に設けられ、前記第2のフィールドプレート電極と前記半導体層との間に設けられた第2の絶縁層と、前記半導体層の中に設けられ、前記複数の第1のトレンチの中の隣接する2本の第1のトレンチの間に位置する第1導電型の第1の半導体領域と、前記半導体層の中に設けられ、前記第1の半導体領域と前記第2の面との間に位置する第2導電型の第2の半導体領域と、前記半導体層の中に設けられ、前記第1の半導体領域と前記第1の電極との間に位置し、前記第1の電極に電気的に接続された第2導電型の第3の半導体領域と、を備える。30

#### 【図面の簡単な説明】

#### 【0008】

#### 【図1】第1の実施形態の半導体装置の模式平面図。

#### 【図2】第1の実施形態の半導体装置の一部の模式平面図。

#### 【図3】第1の実施形態の半導体装置の一部の模式断面図。

50

20

30

40

50

- 【図4】第1の実施形態の半導体装置の一部の模式断面図。
- 【図5】第1の比較形態の半導体装置の模式断面図及び電界分布図。
- 【図6】第2の比較形態の半導体装置の模式断面図及び電界分布図。
- 【図7】第1及び第2の比較形態の半導体装置の模式平面図。
- 【図8】第1及び第2の比較形態の半導体装置の一部の模式平面図。
- 【図9】第1の比較形態の半導体装置の一部の模式断面図。
- 【図10】第2の比較形態の半導体装置の一部の模式断面図。
- 【図11】第1の比較形態の半導体装置の模式平面図及び電界分布図。
- 【図12】第2の比較形態の半導体装置の模式平面図及び電界分布図。
- 【図13】第1の実施形態の変形例の半導体装置の一部の模式断面図。 10
- 【図14】第2の実施形態の半導体装置の一部の模式断面図。
- 【図15】第3の実施形態の半導体装置の一部の模式平面図。
- 【図16】第4の実施形態の半導体装置の一部の模式平面図。
- 【図17】第5の実施形態の半導体装置の模式平面図。
- 【図18】第5の実施形態の半導体装置の一部の模式平面図。
- 【図19】第6の実施形態の半導体装置の模式平面図。
- 【図20】第6の実施形態の半導体装置の一部の模式平面図。
- 【図21】第7の実施形態の半導体装置の模式平面図。
- 【図22】第8の実施形態の半導体装置の模式平面図。
- 【図23】第8の実施形態の半導体装置の一部の模式平面図。 20
- 【図24】第8の実施形態の半導体装置の一部の模式断面図。
- 【図25】第8の実施形態の半導体装置の一部の模式断面図。
- 【図26】第8の実施形態の半導体装置の模式平面図及び電界分布図。
- 【図27】第9の実施形態の半導体装置の一部の模式断面図。

#### 【発明を実施するための形態】

##### 【0009】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

##### 【0010】

本明細書中、 $n^+$ 型、 $n$ 型、 $n^-$ 型との表記がある場合、 $n^+$ 型、 $n$ 型、 $n^-$ 型の順で $n$ 型の不純物濃度が低くなっていることを意味する。また、 $p^+$ 型、 $p$ 型、 $p^-$ 型の表記がある場合、 $p^+$ 型、 $p$ 型、 $p^-$ 型の順で、 $p$ 型の不純物濃度が低くなっていることを意味する。 30

##### 【0011】

###### (第1の実施形態)

本実施形態の半導体装置は、第1の面と、第1の面と対向する第2の面を有する半導体層と、第1の面に接する第1の電極と、第2の面に接する第2の電極と、半導体層の中に設けられ、第1の面に略平行な第1の方向に伸長する複数の第1のトレンチと、半導体層の中に設けられ、複数の第1のトレンチを囲む第2のトレンチと、複数の第1のトレンチの、それぞれの中に設けられたゲート電極と、複数の第1のトレンチの、それぞれの中に設けられ、ゲート電極と第2の面との間に設けられた第1のフィールドプレート電極と、複数の第1のトレンチの、それぞれの中に設けられ、ゲート電極と半導体層との間に位置し第1の膜厚を有する第1の部分と、第1のフィールドプレート電極と半導体層との間に位置し第1の膜厚よりも厚い第2の膜厚を有する第2の部分と、第1のフィールドプレート電極と半導体層との間の第2の部分と第2の面との間に位置し第2の膜厚よりも厚い第3の膜厚を有する第3の部分と、を有する第1の絶縁層と、第2のトレンチの中に設けられた第2のフィールドプレート電極と、第2のトレンチの中に設けられ、第2のフィールドプレート電極と半導体層との間に設けられた第2の絶縁層と、半導体層の中に設けられ、複数の第1のトレンチの中の隣接する2本の第1のトレンチの間に位置する第1導電型 40

の第1の半導体領域と、半導体層の中に設けられ、第1の半導体領域と第2の面との間に位置する第2導電型の第2の半導体領域と、半導体層の中に設けられ、第1の半導体領域と第1の電極との間に位置し、第1の電極に電気的に接続された第2導電型の第3の半導体領域と、を備える。

#### 【0012】

図1は、本実施形態の半導体装置の模式平面図である。図2は、本実施形態の半導体装置の一部の模式平面図である。図2は、図1の枠線Aで囲った部分の模式平面図である。図3は、本実施形態の半導体装置の一部の模式断面図である。図3(a)は、図2のY1-Y1'断面、図3(b)は図2のY2-Y2'断面である。図4は、本実施形態の半導体装置の一部の模式断面図である。図4は、図2のX1-X1'断面である。

10

#### 【0013】

本実施形態の半導体装置は、半導体層に形成されたトレンチの中にゲート電極を備える縦型のトレンチゲート構造の縦型MOSFETである。本実施形態の縦型MOSFETは、トレンチフィールドプレート構造を備える。本実施形態の縦型MOSFETは、電子をキャリアとするnチャネル型トランジスタである。

#### 【0014】

本実施形態の縦型MOSFETは、半導体層10、セルトレンチCT1(第1のトレンチ)、終端トレンチTT1(第2のトレンチ)、ソース電極12(第1の電極)、ドレイン電極14(第2の電極)、ドレイン領域16、ドリフト領域18(第2の半導体領域)、ベース領域20(第1の半導体領域)、ソース領域22(第3の半導体領域)、ベースコンタクト領域24、セルゲート電極30(第1のゲート電極)、セルフィールドプレート電極32(第1のフィールドプレート電極)、セルトレンチ絶縁層34(第1の絶縁層)、終端ゲート電極40(第2のゲート電極)、終端フィールドプレート電極42(第2のフィールドプレート電極)、終端トレンチ絶縁層44(第2の絶縁層)、層間絶縁層46を備える。セルトレンチ絶縁層34(第1の絶縁層)は、ゲート絶縁膜34a(第1の部分)、上部フィールドプレート絶縁膜34b(第2の部分)、下部フィールドプレート絶縁膜34c(第3の部分)を有する。また、本実施形態の縦型MOSFETは、ゲートパッド電極50を有する。

20

#### 【0015】

図1は、複数のセルトレンチCT1、終端トレンチTT1、ベース領域20、及び、ゲートパッド電極50のレイアウトを模式的に示している。セルトレンチCT1、及び、終端トレンチTT1は、半導体層10の中に設けられる。

30

#### 【0016】

半導体層10は、第1の面P1(以下、表面とも称する)と、第1の面P1に対向する第2の面P2(以下裏面とも称する)とを有する。半導体層10は、例えば、単結晶シリコンである。例えば、単結晶シリコンである。半導体層10の膜厚は、例えば、50μm以上300μm以下である。

#### 【0017】

複数のセルトレンチCT1は、第1の方向に伸長する。第1の方向は半導体層10の表面に略平行である。複数のセルトレンチCT1は、第1の方向に直交する第2の方向に略一定の間隔で配列している。

40

#### 【0018】

終端トレンチTT1は、複数のセルトレンチCT1を囲む。複数のセルトレンチCT1は終端トレンチTT1の内側に設けられる。終端トレンチTT1とセルトレンチCT1は、所定の距離だけ離間して設けられる。

#### 【0019】

複数のセルトレンチCT1と終端トレンチTT1は、例えば、ドライエッチング技術により半導体層10に同時に形成される。

#### 【0020】

ゲートパッド電極50は、終端トレンチTT1の外側に設けられる。

50

**【0021】**

ソース電極12の少なくとも一部は半導体層10の第1の面P1に接する。ソース電極12は、例えば、金属である。ソース電極12には、ソース電圧が印加される。ソース電圧は、例えば、0Vである。

**【0022】**

ドレイン電極14の少なくとも一部は半導体層10の第2の面P2に接する。ドレイン電極14は、例えば、金属である。ドレイン電極14には、ドレイン電圧が印加される。ドレイン電圧は、例えば、200V以上1500V以下である。

**【0023】**

セルゲート電極30は、複数のセルトレンチCT1の、それぞれの中に設けられる。セルゲート電極30は、例えば、n型不純物又はp型不純物を含む多結晶シリコンである。10

**【0024】**

セルゲート電極30には、ゲート電圧が印加される。ゲート電圧を変化させることにより、縦型MOSFET100のオン・オフ動作が実現する。

**【0025】**

セルフィールドプレート電極32は、複数のセルトレンチCT1の、それぞれの中に設けられる。セルフィールドプレート電極32は、セルゲート電極30と半導体層10の裏面との間に設けられる。セルフィールドプレート電極32は、例えば、n型不純物又はp型不純物を含む多結晶シリコンである。

**【0026】**

セルフィールドプレート電極32の上部の第2の方向の幅は、セルフィールドプレート電極32の下部の第2の方向の幅よりも広い。本実施形態の縦型MOSFETは、セルフィールドプレート電極32の幅が深さ方向に2段階に変化する、いわゆる2段フィールドプレート構造を備える。20

**【0027】**

セルフィールドプレート電極32には、例えば、ソース電圧が印加される。セルフィールドプレート電極32にゲート電圧を印加する構成とすることも可能である。

**【0028】**

セルゲート電極30及びセルフィールドプレート電極32は、セルトレンチ絶縁層34で囲まれる。セルトレンチ絶縁層34は、ゲート絶縁膜34a、上部フィールドプレート絶縁膜34b、下部フィールドプレート絶縁膜34cを有する。セルトレンチ絶縁層34は、例えば、酸化シリコンである。ゲート絶縁膜34a、上部フィールドプレート絶縁膜34b、及び、下部フィールドプレート絶縁膜34cは、同一の工程で形成されても、それぞれ、或いは、一部が別工程で形成されても構わない。30

**【0029】**

ゲート絶縁膜34aは、セルゲート電極30と半導体層10との間に位置する。ゲート絶縁膜34aは、第1の膜厚t1を有する。

**【0030】**

上部フィールドプレート絶縁膜34bは、セルフィールドプレート電極32の上部と半導体層10との間に位置する。上部フィールドプレート絶縁膜34bは、第2の膜厚t2を有する。40

**【0031】**

下部フィールドプレート絶縁膜34cは、セルフィールドプレート電極32の下部と半導体層10との間に位置する。下部フィールドプレート絶縁膜34cは、上部フィールドプレート絶縁膜34bと半導体層10の裏面との間に位置する。下部フィールドプレート絶縁膜34cは、第3の膜厚t3を有する。

**【0032】**

上部フィールドプレート絶縁膜34bの第2の膜厚t2は、ゲート絶縁膜34aの第1の膜厚t1よりも厚い。下部フィールドプレート絶縁膜34cの第3の膜厚t3は、上部フィールドプレート絶縁膜34bの第2の膜厚t2よりも厚い。50

## 【0033】

例えば、セルトレンチCT1の内面に絶縁膜を形成した後、下部フィールドプレート絶縁膜34cに相当する部分を、マスク材で覆って絶縁膜をエッティングして薄くすることで上部フィールドプレート絶縁膜34bの形成が可能である。マスク材には、例えば、多結晶シリコンやフォトレジストを適用することが可能である。

## 【0034】

上部フィールドプレート絶縁膜34bの第2の膜厚t2は、例えば、下部フィールドプレート絶縁膜34cの第3の膜厚t3の40%以上60%以下である。

## 【0035】

終端ゲート電極40は、終端トレンチTT1の中に設けられる。終端ゲート電極40は  
10  
、例えば、n型不純物又はp型不純物を含む多結晶シリコンである。

## 【0036】

終端ゲート電極40は、縦型MOSFETのオン・オフ動作には寄与しない。終端ゲート電極40には、例えば、ソース電圧が印加される。終端ゲート電極40にゲート電圧を印加する構成とすることも可能である。

## 【0037】

終端フィールドプレート電極42は、終端トレンチTT1の中に設けられる。終端フィールドプレート電極42は、終端ゲート電極40と半導体層10の裏面との間に設けられる。終端フィールドプレート電極42は、例えば、n型不純物又はp型不純物を含む多結晶シリコンである。  
20

## 【0038】

終端フィールドプレート電極42の上部の第2の方向の幅は、終端フィールドプレート電極42の下部の第2の方向の幅よりも広い。

## 【0039】

終端ゲート電極40及び終端フィールドプレート電極42は、終端トレンチ絶縁層44で囲まれる。終端トレンチ絶縁層44は、例えば、酸化シリコンである。終端フィールドプレート電極42と半導体層10との間の終端トレンチ絶縁層44には、膜厚の薄い部分（第4の部分）と、膜厚の薄い部分よりも深い位置に存在する膜厚の厚い部分（第5の部分）がある。膜厚の薄い部分の膜厚を第4の膜厚と称し、膜厚の厚い部分の膜厚を第5の膜厚と称する。  
30

## 【0040】

ベース領域20は、半導体層10の中に設けられる。ベース領域20は、隣接する2本のセルトレンチCT1の間に位置する。ベース領域20は、p型の半導体領域である。ベース領域20のゲート絶縁膜34aに接する領域は、縦型MOSFET100のチャネル領域として機能する。ベース領域20は、ソース電極12に電気的に接続される。

## 【0041】

ソース領域22は、半導体層10の中に設けられる。ソース領域22は、ベース領域20と半導体層10の表面との間に設けられる。ソース領域22は、ベース領域20とソース電極12との間に設けられる。ソース領域22は、n型の半導体領域である。ソース領域22は、ソース電極12に電気的に接続される。  
40

## 【0042】

ベースコンタクト領域24は、半導体層10の中に設けられる。ベースコンタクト領域24は、ベース領域20とソース電極12との間に設けられる。ベースコンタクト領域24は、p型の半導体領域である。ベースコンタクト領域24のp型不純物濃度は、ベース領域20のp型不純物濃度よりも高い。ベースコンタクト領域24は、ソース電極12に電気的に接続される。

## 【0043】

ドリフト領域18は、半導体層10の中に設けられる。ドリフト領域18は、ベース領域20と半導体層10の裏面との間に設けられる。ドリフト領域18は、n型の半導体領域である。ドリフト領域18のn型不純物濃度は、ソース領域22のn型不純物濃度より  
50

も低い。

**【0044】**

ドレイン領域16は、半導体層10の中に設けられる。ドレイン領域16は、ドリフト領域18と半導体層10の裏面との間に設けられる。ドレイン領域16は、n型の半導体領域である。ドレイン領域16のn型不純物濃度は、ドリフト領域18のn型不純物濃度よりも高い。ドレイン領域16は、ドレイン電極14に電気的に接続される。

**【0045】**

ゲートパッド電極50は、半導体層10の上に設けられる。ゲートパッド電極50は、半導体層10の表面の側に設けられる。ゲートパッド電極50は、少なくともセルゲート電極30に電気的に接続される。ゲートパッド電極50は、例えば、金属である。

10

**【0046】**

図2は、図1の枠線Aで囲った部分の、セルトレンチCT1、終端トレンチTT1、ドレイン領域16、ドリフト領域18、ベース領域20、ソース領域22、及び、ベースコントラクト領域24の半導体層10の表面でのレイアウトを示している。

**【0047】**

図1及び図2に示すように、セルトレンチCT1の第1の方向の端部と終端トレンチTT1との間、及び、セルトレンチCT1の第1の方向の端部の近傍には、ベース領域20が存在しない。

**【0048】**

例えば、セルトレンチCT1の第1の方向の端部と終端トレンチTT1との間の第1の距離(図2中のd1)は、セルトレンチCT1の中の隣接する2本のセルトレンチCT1の間の第2の距離(図2中のd2)よりも小さい。第1の距離d1は、例えば、第2の距離d2の90%以下である。

20

**【0049】**

例えば、セルトレンチCT1の第1の方向の端部とベース領域20の第1の方向の端部との間の距離(図2中のd3)は、ベース領域20とセルトレンチCT1の半導体層10の裏面の側の端部との間の距離(図3(a)中のd4)以上である。

**【0050】**

以下、本実施形態の半導体装置の作用及び効果について説明する。

**【0051】**

30

最初に、2段フィールドプレート構造の効果について説明する。図5及び図6はフィールドプレート構造の効果の説明図である。

**【0052】**

図5は、第1の比較形態の半導体装置の模式断面図及び電界分布図である。第1の比較形態の半導体装置は、縦型MOSFETである。図5は、第1の比較形態のセルトレンチCT1の断面を示す。図5の断面は、図3(a)の断面に相当する断面である。第1の比較形態の縦型MOSFETは1段フィールドプレート構造を有する。

**【0053】**

図6は、第2の比較形態半導体装置の模式断面図及び電界分布図である。第2の比較形態の半導体装置は、縦型MOSFETである。図6は、第2の比較形態のセルトレンチCT1の断面を示す。図6の断面は、図3(a)の断面に相当する断面である。第2の比較形態の縦型MOSFETは2段フィールドプレート構造を有する。

40

**【0054】**

図5に占めす1段フィールドプレート構造は、セルフィールドプレート電極32の幅が略一定であり、セルフィールドプレート電極32に段差がない。セルフィールドプレート電極32と半導体層10との間のセルトレンチ絶縁層34の膜厚が略一定である。縦型MOSFETの耐圧は、電界の深さ方向の積分値が大きくなることで向上する。1段フィールドプレート構造では、セルトレンチCT1の底部で電界のピークが生じることで、縦型MOSFETの耐圧が向上する。

**【0055】**

50

図6に示す2段フィールドプレート構造は、セルフィールドプレート電極32の上部の幅は、下部の幅よりも広い。2段フィールドプレート構造では、セルフィールドプレート電極32の幅が段階的に変化する。セルフィールドプレート電極32と半導体層10との間のセルトレンチ絶縁層34の膜厚が深さ方向に2段階に変化する。2段フィールドプレート構造では、セルトレンチCT1の底部、及び、セルフィールドプレート電極32の上部と下部の境界で電界のピークが生じる。したがって、縦型MOSFETの耐圧が1段フィールドプレート構造の場合よりも向上する。

#### 【0056】

しかし、2段フィールドプレート構造の場合、1段フィールドプレート構造に比べ、セルトレンチCT1の端部で耐圧が低下するという問題がある。以下、説明する。

10

#### 【0057】

図7は第1及び第2の比較形態の模式平面図である。図8は、第1及び第2の比較形態の半導体装置の一部の模式平面図である。図8は、図7の枠線Bで囲った部分の模式平面図である。図8は、図7の枠線Bで囲った部分の、セルトレンチCT1、ドレイン領域16、ドリフト領域18、ベース領域20、ソース領域22、及び、ベースコンタクト領域24の半導体層10の表面でのレイアウトを示している。

#### 【0058】

第1及び第2の比較形態の半導体装置は、終端トレンチTT1を備えない点で第1の実施形態の縦型MOSFET100と異なっている。

20

#### 【0059】

図9は、第1の比較形態の半導体装置の一部の模式断面図である。図9は、図8のX2-X2'断面である。図9に示すようにセルトレンチCT1の第1の方向の端部で、セルフィールドプレート電極32と半導体層10との間のセルトレンチ絶縁層34の膜厚(図9中のTa)は略一定である。

#### 【0060】

図10は、第2の比較形態の半導体装置の一部の模式断面図である。図10は、図8のX2-X2'断面である。図10に示すようにセルトレンチCT1の第1の方向の端部で、セルフィールドプレート電極32と半導体層10との間のセルトレンチ絶縁層34の膜厚に変化がある。セルトレンチ絶縁層34の上部の膜厚(図10中のtb)は、下部の膜厚(図10中のtc)よりも薄い。

30

#### 【0061】

図11は、第1の比較形態の半導体装置の模式平面図及び電界分布図である。図11は、図9のZ1-Z1'の第1の面に平行な断面図である。図11中の太い点線は、ドリフト領域18とベース領域20との境界の位置を示す。電界分布は図11のE1-E1'に沿った領域の電界分布である。

#### 【0062】

図11に示すように、セルトレンチCT1の第1の方向の端部では、ドリフト領域18内での電界が高くなる。これは、セルトレンチCT1の端部では、2本のセルトレンチCT1の間の領域と比較して、半導体層10中の空間電荷のチャージバランスが異なり電界が集中するためである。

40

#### 【0063】

図12は、第2の比較形態の半導体装置の模式平面図及び電界分布図である。図12は、図10のZ2-Z2'の第1の面に平行な断面図である。図12中の太い点線は、ドリフト領域18とベース領域20との境界の位置を示す。電界分布は図12のE2-E2'に沿った領域の電界分布である。

#### 【0064】

図12に示すように、セルトレンチCT1の第1の方向の端部では、ドリフト領域18内での電界が、第1の比較形態に比べ高くなる。これは、セルトレンチ絶縁層34の上部の膜厚(図10中のtb)が、第1の比較形態のセルトレンチ絶縁層34の膜厚(図11中のta)よりも薄いことに起因する。したがって、第1の比較形態よりもセルトレンチ

50

C T 1 の端部でのアバランシェブレークダウンが生じやすくなり、縦型M O S F E T の耐圧が低下する。

【 0 0 6 5 】

本実施形態の縦型M O S F E T では、複数のセルトレンチC T 1 を囲む終端トレントレンチT T 1 を設ける。セルトレンチC T 1 の第1の方向の端部には、終端トレントレンチT T 1 が対向することになる。このため、図4に示すように、セルトレンチC T 1 の端部と終端トレントレンチT T 1 の間に、2本のセルトレンチC T 1 の間の領域と同様の半導体層1 0 のメサ構造が形成される。このため、セルトレンチC T 1 の端部での空間電荷のチャージバランスが、2本のセルトレンチC T 1 の間の領域と同様に保たれることになる。したがって、セルトレンチC T 1 の端部での電界の集中が抑制される。よって、2段フィールドプレート構造を有する場合でも、セルトレンチC T 1 の端部に起因する耐圧の低下が生じない。10

【 0 0 6 6 】

本実施形態の縦型M O S F E T では、セルトレンチC T 1 の第1の方向の端部と終端トレントレンチT T 1との間の第1の距離(図2中のd 1)は、セルトレンチC T 1の中の隣接する2本のセルトレンチC T 1の間の第2の距離(図2中のd 2)よりも小さいことが好ましい。上記条件を充足することにより、セルトレンチC T 1の端部での空間電荷のチャージバランスが、2本のセルトレンチC T 1の間の領域の空間電荷のチャージバランスに更に近づくことになり、セルトレンチC T 1の端部での電界の集中が更に抑制される。

【 0 0 6 7 】

セルトレンチC T 1 の端部での電界の集中を更に抑制する観点から、第1の距離d 1は、第2の距離d 2の90%以下であることがより好ましい。20

【 0 0 6 8 】

セルトレンチC T 1 の第1の方向の端部とベース領域2 0 の第1の方向の端部との間の距離(図2中のd 3)は、ベース領域2 0 とセルトレンチC T 1 の半導体層1 0 の裏面の側の端部との間の距離(図3(a)中のd 4)以上であることが望ましい。上記条件を充足することにより、セルトレンチC T 1 の端部とベース領域2 0 までの第1の方向の距離がベース領域2 0 とセルトレンチC T 1 の底部までの距離以上になる。このため、セルトレンチC T 1 の端部とベース領域2 0 までの第1の方向の領域の間の横方向の電界が緩和され、縦型M O S F E T の耐圧が向上する。

【 0 0 6 9 】

図13は、本実施形態の変形例の半導体装置の一部の模式断面図である。図13(a)、13(b)、13(c)のそれぞれは、図3(a)に対応する断面図である。

【 0 0 7 0 】

図13(a)は、セルフィールドプレート電極3 2 の幅が深さ方向に3段階に変化する構造、言い換えれば、セルフィールドプレート電極3 2 と半導体層との間のセルトレンチ絶縁層3 4 の膜厚が深さ方向に3段階に変化する構造、すなわち、3段フィールドプレート構造である点で本実施形態と異なる。4段階以上に変化する構造とすることも可能である。また、図13(b)は、セルフィールドプレート電極3 2 の幅が深さ方向に連続的に狭くなる点で、本実施形態と異なる。いいかえれば、セルトレンチ絶縁層3 4 の膜厚が、半導体層1 0 の表面から裏面に向かう方向に連続的に薄くなる。また、図13(c)はセルトレンチC T 1 の底部、及び、セルフィールドプレート電極3 2 の底部の曲率が大きい点で、本実施形態と異なる。40

【 0 0 7 1 】

図13(a)、13(b)、13(c)の変形例でも、本実施形態と同様、セルトレンチC T 1 の端部に起因する耐圧の低下が生じないという効果が得られる。

【 0 0 7 2 】

以上、本実施形態の縦型M O S F E T によれば、複数のセルトレンチC T 1 を囲む終端トレントレンチT T 1 を設けることで、セルトレンチC T 1 の端部の耐圧が向上する。したがって、トレントフィールドプレート構造を有する縦型トランジスタの耐圧の向上が可能となる。

10

20

30

40

50

**【0073】**

(第2の実施形態)

本実施形態の半導体装置は、複数の第1のトレンチの、それぞれの第1の方向の端部とゲート電極との間に、フィールドプレート電極が位置する点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については記述を省略する。

**【0074】**

図14は、本実施形態の半導体装置の一部の模式断面図である。図14は、第1の実施形態の図4に相当する断面である。

**【0075】**

本実施形態の縦型MOSFETでは、セルトレンチCT1の第1の方向の端部とセルゲート電極30との間にセルフィールドプレート電極32が存在する。また、終端トレンチTT1には、終端ゲート電極は存在しない。

10

**【0076】**

例えば、セルトレンチCT1中のセルフィールドプレート電極32をエッチバックプロセスにより形成する際に、セルトレンチCT1の端部と終端トレンチTT1の上をマスク材で覆うことにより、本実施形態の構造を形成することが可能である。

**【0077】**

セルトレンチCT1の第1の方向の端部で、セルゲート電極30がセルトレンチ絶縁層34を介して半導体層10に対向する領域がない。したがって、縦型MOSFETのゲートとドレイン間の寄生容量が低減する。したがって、縦型MOSFETのスイッチング速度が上昇する。

20

**【0078】**

また、終端トレンチTT1に終端ゲート電極が存在する場合、終端ゲート電極がゲート電圧に接続されると、ゲートとドレイン間の寄生容量が増大し、縦型MOSFETのスイッチング速度が低下する。本実施形態では、終端トレンチTT1には、終端ゲート電極が存在しないため、スイッチング速度の低下が抑制される。

**【0079】**

以上、本実施形態の縦型MOSFETによれば、第1の実施形態と同様、縦型トランジスタの耐圧の向上が可能となる。さらに、縦型トランジスタのスイッチング速度の向上が可能となる。

30

**【0080】**

(第3の実施形態)

本実施形態の半導体装置は、第2の半導体領域と第1の半導体領域の第1の方向の端部との間に、第1の半導体領域に接し、第1の半導体領域よりも第1導電型の不純物濃度の低い第1導電型の第4の半導体領域が位置する点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については記述を省略する。

**【0081】**

図15は、本実施形態の半導体装置の一部の模式平面図である。図15は、第1の実施形態の図2に相当する模式平面図である。

40

**【0082】**

終端トレンチTT1と、ベース領域20との間に、リサーフ領域52(第4の半導体領域)が設けられる。ドリフト領域18と、ベース領域20との間に、リサーフ領域52が設けられる。リサーフ領域52は、ドリフト領域18とベース領域20に接する。

**【0083】**

リサーフ領域52は、p型の半導体領域である。リサーフ領域52のp型不純物濃度は、ベース領域20のp型不純物濃度よりも低い。リサーフ領域52の深さは、ベース領域20より深くすることも、浅くすることも可能である。

**【0084】**

リサーフ領域52を設けることにより、セルトレンチCT1の端部とベース領域20までの第1の方向の領域の間の横方向の電界が緩和され、縦型MOSFETの耐圧が向上す

50

る。

**【0085】**

以上、本実施形態の縦型MOSFETによれば、第1の実施形態よりも、更に、縦型トランジスタの耐圧が向上する。

**【0086】**

(第4の実施形態)

本実施形態の半導体装置は、複数の第1のトレンチと第1の方向の端部と第2のトレンチとの間に、第1の半導体領域が位置する点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については記述を省略する。

**【0087】**

10

図16は、本実施形態の半導体装置の一部の模式平面図である。図16は、第1の実施形態の図2に相当する模式平面図である。

**【0088】**

複数のセルトレンチCT1の第1の方向の端部と終端トレンチTT1との間に、ベース領域20が位置する。2本のセルトレンチCT1の端部の間に、ベース領域20が位置する。ソース領域22の第1の方向の端部と終端トレンチTT1との間の半導体層10の表面は、全てベース領域20が設けられる。

**【0089】**

ソース領域22の第1の方向の端部と終端トレンチTT1との間の半導体層10の表面を、全てベース領域20とすることで、セルトレンチCT1の端部近傍で横方向に伸びる空乏層が生じなくなる。したがって、縦型MOSFETの耐圧設計が容易となる。

20

**【0090】**

以上、本実施形態の縦型MOSFETによれば、第1の実施形態と同様、縦型トランジスタの耐圧の向上が可能となる。さらに、縦型トランジスタの耐圧設計が容易となる。

**【0091】**

(第5の実施形態)

本実施形態の半導体装置は、半導体層の中に設けられ、第1の方向に伸長し、複数の第1のトレンチよりも第1の方向の長さの短い複数の第3のトレンチと、半導体層の中に設けられ、複数の第3のトレンチを囲む第4のトレンチと、を更に備える点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については記述を省略する。

30

**【0092】**

図17は、本実施形態の半導体装置の模式平面図である。図17は、第1の実施形態の図1に相当する模式平面図である。図18は、本実施形態の半導体装置の一部の模式平面図である。図18は、図17の枠線Cで囲った部分の模式平面図である。図18は、第1の実施形態の図2に相当する模式平面図である。

**【0093】**

本実施形態の縦型MOSFETは、半導体層10、第1のセルトレンチCT1(第1のトレンチ)、第1の終端トレンチTT1(第2のトレンチ)、第2のセルトレンチCT2(第3のトレンチ)、第2の終端トレンチTT2(第4のトレンチ)を備える。

**【0094】**

40

複数の第1のセルトレンチCT1は、第1の方向に伸長する。第1の方向は半導体層10の表面(第1の面)に略平行である。複数の第1のセルトレンチCT1は、第2の方向に略一定の間隔で配列している。

**【0095】**

第1の終端トレンチTT1は、複数の第1のセルトレンチCT1を囲む。複数の第1のセルトレンチCT1は第1の終端トレンチTT1の内側に設けられる。第1の終端トレンチTT1と第1のセルトレンチCT1は、所定の距離だけ離間して設けられる。

**【0096】**

複数の第2のセルトレンチCT2は、第1の方向に伸長する。第1の方向は半導体層10の表面(第1の面)に略平行である。複数の第2のセルトレンチCT2は、第2の方向

50

に略一定の間隔で配列している。第2のセルトレンチCT2の第1の方向の長さは、第1のセルトレンチCT1の第1の方向の長さよりも短い。

#### 【0097】

第2の終端トレンチTT2は、複数の第2のセルトレンチCT2を囲む。複数の第2のセルトレンチCT2は第2の終端トレンチTT2の内側に設けられる。第2の終端トレンチTT2と第2のセルトレンチCT2は、所定の距離だけ離間して設けられる。

#### 【0098】

本実施形態によれば、第1のセルトレンチCT1に加え、第2のセルトレンチCT2を設けることで、縦型MOSFETの集積度が向上する。したがって、縦型MOSFETのオン電流が増大する。

10

#### 【0099】

複数の第1のセルトレンチCT1の中の隣接する2本の第1のセルトレンチCT1の間の距離(図18中のd2)と、第1の終端トレンチTT1と第2の終端トレンチTT2との間の距離(図18中のd5)が略同一であることが好ましい。上記条件を充足することで、トレンチの加工精度が向上する。また、半導体層10の表面の余剰領域が減り、縦型MOSFETの集積度が向上する。

#### 【0100】

以上、本実施形態の縦型MOSFETによれば、第1の実施形態と同様、縦型トランジスタの耐圧の向上が可能となる。さらに、縦型トランジスタの集積度が向上し、オン電流が増大する。

20

#### 【0101】

##### (第6の実施形態)

本実施形態の半導体装置は、半導体層の中に設けられ、第1の方向に伸長し、複数の第1のトレンチよりも第1の方向の長さの短い複数の第3のトレンチと、半導体層の中に設けられ、第1の方向に伸長し、複数の第1のトレンチと複数の第3のトレンチとの間に位置する第4のトレンチを、更に備え、第2のトレンチが、複数の第1のトレンチ、複数の第3のトレンチ、及び、第4のトレンチを囲み、第4のトレンチの第1の方向の端部と第2のトレンチとの間の距離が、複数の第1のトレンチの、それぞれの第1の方向の端部と第2のトレンチとの間の距離、及び、複数の第3のトレンチの、それぞれの第1の方向の端部と第2のトレンチとの間の距離よりも小さい点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については記述を省略する。

30

#### 【0102】

図19は、本実施形態の半導体装置の模式平面図である。図19は、第1の実施形態の図1に相当する模式平面図である。図20は、本実施形態の半導体装置の一部の模式平面図である。図20は、図19の枠線Dで囲った部分の模式平面図である。図19は、第1の実施形態の図2に相当する模式平面図である。

#### 【0103】

本実施形態の縦型MOSFETは、半導体層10、第1のセルトレンチCT1(第1のトレンチ)、終端トレンチTT1(第2のトレンチ)、第2のセルトレンチCT2(第3のトレンチ)、第3のセルトレンチCT3(第4のトレンチ)を備える。

40

#### 【0104】

複数の第1のセルトレンチCT1は、第1の方向に伸長する。第1の方向は半導体層10の表面(第1の面)に略平行である。複数の第1のセルトレンチCT1は、第2の方向に略一定の間隔で配列している。

#### 【0105】

複数の第2のセルトレンチCT2は、第1の方向に伸長する。第1の方向は半導体層10の表面(第1の面)に略平行である。複数の第2のセルトレンチCT2は、第2の方向に略一定の間隔で配列している。第2のセルトレンチCT2の第1の方向の長さは、第1のセルトレンチCT1の第1の方向の長さよりも短い。

#### 【0106】

50

第3のセルトレンチCT3は、第1の方向に伸長する。第1の方向は半導体層10の表面(第1の面)に略平行である。第3のセルトレンチCT3は、第1のセルトレンチCT1と第2のセルトレンチCT2との間に位置する。第3のセルトレンチCT3の第1の方向の長さは、第1のセルトレンチCT1の第1の方向の長さよりも短い。また、第3のセルトレンチCT3の第1の方向の長さは、第2のセルトレンチCT2の第1の方向の長さよりも長い。

#### 【0107】

終端トレンチTT1は、複数の第1のセルトレンチCT1、複数の第2のセルトレンチCT2、及び、第3のセルトレンチCT3を囲む。

#### 【0108】

本実施形態によれば、第1のセルトレンチCT1に加え、第2のセルトレンチCT2を設けることで、縦型MOSFETの集積度が向上する。したがって、縦型MOSFETのオン電流が増大する。

10

#### 【0109】

第3のセルトレンチCT3の第1の方向の端部と終端トレンチTT1との間の距離(図20中のd6)は、第1のセルトレンチCT1の第1の方向の端部と終端トレンチTT1との間の距離(図20中のd7)、及び、第2のセルトレンチCT2の第1の方向の端部と終端トレンチTT1との間の距離(図20中のd8)よりも小さい。第1のセルトレンチCT1の第1の方向の端部と終端トレンチTT1との間の距離(図20中のd7)、及び、第2のセルトレンチCT2の第1の方向の端部と終端トレンチTT1との間の距離(図20中のd8)は、例えば、略同一である。

20

#### 【0110】

第3のセルトレンチCT3の端部は、終端トレンチTT1が屈曲する特異点に存在する。第3のセルトレンチCT3の第1の方向の端部と終端トレンチTT1との間の距離(図20中のd6)を短くすることにより、空間電荷とのチャージバランスが調整され、第3のセルトレンチCT3の端部での電界集中が抑制される。したがって、縦型MOSFETの耐圧の低下が抑制される。

#### 【0111】

以上、本実施形態の縦型MOSFETによれば、第1の実施形態と同様、縦型トランジスタの耐圧の向上が可能となる。さらに、縦型トランジスタの集積度が向上し、オン電流が増大する。

30

#### 【0112】

##### (第7の実施形態)

本実施形態の半導体装置は、複数の第1のトレンチの一部の中の隣接する2本の第1のトレンチの間の第1の半導体領域の第1の方向の長さが、複数の第1のトレンチの残部の中の隣接する2本の第1のトレンチの間の第1の半導体領域の第1の方向の長さよりも短い点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については記述を省略する。

#### 【0113】

図21は、本実施形態の半導体装置の模式平面図である。図21は、第1の実施形態の図1に相当する模式平面図である。

40

#### 【0114】

複数の第1のセルトレンチCT1の一部は、ゲートパッド電極50の下にも設けられる。ゲートパッド電極50の下に設けられた複数の第1のセルトレンチCT1の一部の中の隣接する2本の第1のセルトレンチCT1の間のベース領域20の第1の方向の長さは、複数の第1のセルトレンチCT1の残部の中の隣接する2本の間のベース領域20の第1の方向の長さよりも短い。ゲートパッド電極50の下の領域には、ベース領域20が設けられない。

#### 【0115】

本実施形態によれば、第1のセルトレンチCT1の本数が増えることで、縦型MOSF

50

E T の集積度が向上する。したがって、縦型M O S F E T のオン電流が増大する。

**【 0 1 1 6 】**

また、ベース領域 2 0 へのコンタクトを設けることが困難なゲートパッド電極 5 0 の下の領域から、ベース領域 2 0 を除くことで、ホールの引き抜き効率の低下を防止する。したがって、縦型M O S F E T のアバランシェ耐量の低下が抑制される。

**【 0 1 1 7 】**

以上、本実施形態の縦型M O S F E T によれば、第 1 の実施形態と同様、縦型トランジスタの耐圧の向上が可能となる。さらに、縦型トランジスタの集積度が向上し、オン電流が増大する。

**【 0 1 1 8 】**

( 第 8 の実施形態 )

本実施形態の半導体装置は、第 1 の面と、第 1 の面と対向する第 2 の面を有する半導体層と、第 1 の面に接する第 1 の電極と、第 2 の面に接する第 2 の電極と、半導体層の中に設けられ、第 1 の面に略平行な第 1 の方向に伸長する複数のトレンチと、複数のトレンチの、それぞれの中に設けられたゲート電極と、複数のトレンチの、それぞれの中に設けられ、ゲート電極と第 2 の面との間に設けられたフィールドプレート電極と、複数のトレンチの、それぞれの中に設けられ、ゲート電極と半導体層との間に位置し第 1 の膜厚を有する第 1 の部分と、フィールドプレート電極と半導体層との間に位置し第 1 の膜厚よりも厚い第 2 の膜厚を有する第 2 の部分と、フィールドプレート電極と半導体層との間の第 2 の部分と第 2 の面との間に位置し第 2 の膜厚よりも厚い第 3 の膜厚を有する第 3 の部分と、フィールドプレート電極の第 1 の方向の端部と半導体層との間であって第 2 の部分と第 1 の面から略同一の深さに位置し、第 2 の膜厚よりも厚い第 4 の膜厚を有する第 4 の部分、を有する絶縁層と、半導体層の中に設けられ、複数のトレンチの中の隣接する 2 本のトレンチの間に位置する第 1 導電型の第 1 の半導体領域と、半導体層の中に設けられ、第 1 の半導体領域と第 2 の面との間に位置する第 2 導電型の第 2 の半導体領域と、半導体層の中に設けられ、第 1 の半導体領域と第 1 の電極との間に位置し、第 1 の電極に電気的に接続された第 2 導電型の第 3 の半導体領域と、を備える。

**【 0 1 1 9 】**

図 2 2 は、本実施形態の半導体装置の模式平面図である。図 2 3 は、本実施形態の半導体装置の一部の模式平面図である。図 2 3 は、図 2 2 の枠線 E で囲った部分の模式平面図である。図 2 4 は、本実施形態の半導体装置の一部の模式断面図である。図 2 4 ( a ) は、図 2 3 の Y 3 - Y 3 ' 断面、図 2 4 ( b ) は図 2 3 の Y 4 - Y 4 ' 断面である。図 2 5 は、本実施形態の半導体装置の一部の模式断面図である。図 2 5 は、図 2 3 の X 3 - X 3 ' 断面である。

**【 0 1 2 0 】**

本実施形態の半導体装置は、半導体層に形成されたトレンチの中にゲート電極を備える縦型のトレンチゲート構造の縦型M O S F E T である。本実施形態の縦型M O S F E T は、トレンチフィールドプレート構造を備える。本実施形態の縦型M O S F E T は、電子をキャリアとする n チャネル型トランジスタである。

**【 0 1 2 1 】**

本実施形態の縦型M O S F E T は、半導体層 1 0 、セルトレンチ C T 1 ( トレンチ ) 、ソース電極 1 2 、ドレイン電極 1 4 、ドレイン領域 1 6 、ドリフト領域 1 8 、ベース領域 2 0 、ソース領域 2 2 、ベースコンタクト領域 2 4 、セルゲート電極 3 0 ( ゲート電極 ) 、セルフィールドプレート電極 3 2 ( フィールドプレート電極 ) 、セルトレンチ絶縁層 3 4 ( 絶縁層 ) 、層間絶縁層 4 6 を備える。セルトレンチ絶縁層 3 4 ( 絶縁層 ) は、ゲート絶縁膜 3 4 a ( 第 1 の部分 ) 、上部フィールドプレート絶縁膜 3 4 b ( 第 2 の部分 ) 、下部フィールドプレート絶縁膜 3 4 c ( 第 3 の部分 ) 、端部フィールドプレート絶縁膜 3 4 d ( 第 4 の部分 ) を有する。また、本実施形態の縦型M O S F E T は、ゲートパッド電極 5 0 を有する。

**【 0 1 2 2 】**

10

20

30

40

50

図23は、複数のセルトレンチCT1、ベース領域20、及び、ゲートパッド電極50のレイアウトを模式的に示している。セルトレンチCT1は、半導体層10の中に設けられる。

#### 【0123】

半導体層10は、第1の面P1（以下、表面とも称する）と、第1の面P1に対向する第2の面P2（以下裏面とも称する）とを有する。半導体層10は、例えば、単結晶シリコンである。例えば、単結晶シリコンである。半導体層10の膜厚は、例えば、 $50\mu m$ 以上 $300\mu m$ 以下である。

#### 【0124】

複数のセルトレンチCT1は、第1の方向に伸長する。第1の方向は半導体層10の表面に略平行である。複数のセルトレンチCT1は、第1の方向に直交する第2の方向に略一定の間隔で配列している。10

#### 【0125】

ゲートパッド電極50は、複数のセルトレンチCT1の外側に設けられる。

#### 【0126】

ソース電極12の少なくとも一部は半導体層10の第1の面P1に接する。ソース電極12は、例えば、金属である。ソース電極12には、ソース電圧が印加される。ソース電圧は、例えば、0Vである。

#### 【0127】

ドレイン電極14の少なくとも一部は半導体層10の第2の面P2に接する。ドレイン電極14は、例えば、金属である。ドレイン電極14には、ドレイン電圧が印加される。ドレイン電圧は、例えば、 $200V$ 以上 $1500V$ 以下である。20

#### 【0128】

セルゲート電極30は、複数のセルトレンチCT1の、それぞれの中に設けられる。セルゲート電極30は、例えば、n型不純物又はp型不純物を含む多結晶シリコンである。

#### 【0129】

セルゲート電極30には、ゲート電圧が印加される。ゲート電圧を変化させることにより、縦型MOSFET100のオン・オフ動作が実現する。

#### 【0130】

セルフィールドプレート電極32は、複数のセルトレンチCT1の、それぞれの中に設けられる。セルフィールドプレート電極32は、セルゲート電極30と半導体層10の裏面との間に設けられる。セルフィールドプレート電極32は、例えば、n型不純物又はp型不純物を含む多結晶シリコンである。30

#### 【0131】

セルフィールドプレート電極32の上部の第2の方向の幅は、セルフィールドプレート電極32の下部の第2の方向の幅よりも広い。本実施形態の縦型MOSFETは、セルフィールドプレート電極32の幅が深さ方向に2段階に変化する、いわゆる2段フィールドプレート構造を備える。

#### 【0132】

セルフィールドプレート電極32には、例えば、ソース電圧が印加される。セルフィールドプレート電極32にゲート電圧を印加する構成とすることも可能である。40

#### 【0133】

セルゲート電極30及びセルフィールドプレート電極32は、セルトレンチ絶縁層34で囲まれる。セルトレンチ絶縁層34は、ゲート絶縁膜34a、上部フィールドプレート絶縁膜34b、下部フィールドプレート絶縁膜34c、端部フィールドプレート絶縁膜34dを有する。セルトレンチ絶縁層34は、例えば、酸化シリコンである。ゲート絶縁膜34a、上部フィールドプレート絶縁膜34b、下部フィールドプレート絶縁膜34c、及び、端部フィールドプレート絶縁膜34dは、同一の工程で形成されても、それぞれ、或いは、一部が別工程で形成されても構わない。

#### 【0134】

ゲート絶縁膜34aは、セルゲート電極30と半導体層10との間に位置する。ゲート絶縁膜34aは、第1の膜厚t1を有する。

【0135】

上部フィールドプレート絶縁膜34bは、セルフィールドプレート電極32の上部と半導体層10との間に位置する。上部フィールドプレート絶縁膜34bは、第2の膜厚t2を有する。

【0136】

下部フィールドプレート絶縁膜34cは、セルフィールドプレート電極32の下部と半導体層10との間に位置する。下部フィールドプレート絶縁膜34cは、上部フィールドプレート絶縁膜34bと半導体層10の裏面との間に位置する。下部フィールドプレート絶縁膜34cは、第3の膜厚t3を有する。10

【0137】

上部フィールドプレート絶縁膜34bの第2の膜厚t2は、ゲート絶縁膜34aの第1の膜厚t1よりも厚い。下部フィールドプレート絶縁膜34cの第3の膜厚t3は、上部フィールドプレート絶縁膜34bの第2の膜厚t2よりも厚い。

【0138】

上部フィールドプレート絶縁膜34bの第2の膜厚t2は、例えば、下部フィールドプレート絶縁膜34cの第3の膜厚t3の40%以上60%以下である。

【0139】

端部フィールドプレート絶縁膜34dは、セルフィールドプレート電極32の第1の方向の端部と半導体層10との間に位置する。端部フィールドプレート絶縁膜34dは、上部フィールドプレート絶縁膜34bと、半導体層10の表面(第1の面)から略同一の深さに位置する。端部フィールドプレート絶縁膜34dの半導体層10の表面(第1の面)からの深さは、上部フィールドプレート絶縁膜34bの半導体層10の表面(第1の面)からの深さと略同一である。ここで、「深さ」とは、半導体層10の表面(第1の面)から裏面(第2の面)に向かう方向の距離である。20

【0140】

端部フィールドプレート絶縁膜34dの第4の膜厚t4は、上部フィールドプレート絶縁膜34bの第2の膜厚t2よりも厚い。端部フィールドプレート絶縁膜34dの第4の膜厚t4は、例えば、下部フィールドプレート絶縁膜34cの第3の膜厚t3と略同一である。30

【0141】

例えば、セルトレンチCT1の内面に絶縁膜を形成した後、下部フィールドプレート絶縁膜34cに相当する部分を、第1のマスク材で覆って絶縁膜をエッチングして薄くすることで上部フィールドプレート絶縁膜34bの形成が可能である。絶縁膜をエッチングする際に、セルトレンチCT1の第1の方向の端部を第2のマスク材で覆うことで、絶縁膜がエッチングされず、端部フィールドプレート絶縁膜34dの形成が可能となる。例えば、第1のマスク材には多結晶シリコン、第2のマスク材にはフォトレジストを適用することが可能である。

【0142】

ベース領域20は、半導体層10の中に設けられる。ベース領域20は、隣接する2本のセルトレンチCT1の間に位置する。ベース領域20は、p型の半導体領域である。ベース領域20のゲート絶縁膜34aに接する領域は、縦型MOSFET100のチャネル領域として機能する。ベース領域20は、ソース電極12に電気的に接続される。40

【0143】

ソース領域22は、半導体層10の中に設けられる。ソース領域22は、ベース領域20と半導体層10の表面との間に設けられる。ソース領域22は、ベース領域20とソース電極12との間に設けられる。ソース領域22は、n型の半導体領域である。ソース領域22は、ソース電極12に電気的に接続される。

【0144】

10

20

30

40

50

ベースコンタクト領域 24 は、半導体層 10 の中に設けられる。ベースコンタクト領域 24 は、ベース領域 20 とソース電極 12 との間に設けられる。ベースコンタクト領域 24 は、p 型の半導体領域である。ベースコンタクト領域 24 の p 型不純物濃度は、ベース領域 20 の p 型不純物濃度よりも高い。ベースコンタクト領域 24 は、ソース電極 12 に電気的に接続される。

#### 【 0 1 4 5 】

ドリフト領域 18 は、半導体層 10 の中に設けられる。ドリフト領域 18 は、ベース領域 20 と半導体層 10 の裏面との間に設けられる。ドリフト領域 18 は、n 型の半導体領域である。ドリフト領域 18 の n 型不純物濃度は、ソース領域 22 の n 型不純物濃度よりも低い。

10

#### 【 0 1 4 6 】

ドレイン領域 16 は、半導体層 10 の中に設けられる。ドレイン領域 16 は、ドリフト領域 18 と半導体層 10 の裏面との間に設けられる。ドレイン領域 16 は、n 型の半導体領域である。ドレイン領域 16 の n 型不純物濃度は、ドリフト領域 18 の n 型不純物濃度よりも高い。ドレイン領域 16 は、ドレイン電極 14 に電気的に接続される。

#### 【 0 1 4 7 】

ゲートパッド電極 50 は、半導体層 10 の上に設けられる。ゲートパッド電極 50 は、半導体層 10 の表面の側に設けられる。ゲートパッド電極 50 は、少なくともセルゲート電極 30 に電気的に接続される。ゲートパッド電極 50 は、例えば、金属である。

#### 【 0 1 4 8 】

図 23 は、図 22 の枠線 E で囲った部分の、セルトレンチ CT 1、ドレイン領域 16、ドリフト領域 18、ベース領域 20、ソース領域 22、及び、ベースコンタクト領域 24 の半導体層 10 の表面でのレイアウトを示している。

20

#### 【 0 1 4 9 】

例えば、セルトレンチ CT 1 の第 1 の方向の端部とベース領域 20 の第 1 の方向の端部との間の距離（図 23 中の d3）は、ベース領域 20 とセルトレンチ CT 1 の半導体層 10 の裏面の側の端部との間の距離（図 24 (a) 中の d4）以上である。

#### 【 0 1 5 0 】

以下、本実施形態の半導体装置の作用及び効果について説明する。

#### 【 0 1 5 1 】

最初に、2 段フィールドプレート構造の効果について説明する。図 5 及び図 6 はフィールドプレート構造の効果の説明図である。

30

#### 【 0 1 5 2 】

図 5 は、第 1 の比較形態の半導体装置の模式断面図及び電界分布図である。第 1 の比較形態の半導体装置は、縦型 MOSFET である。図 5 は、第 1 の比較形態のセルトレンチ CT 1 の断面を示す。図 5 の断面は、図 3 (a) の断面に相当する断面である。第 1 の比較形態の縦型 MOSFET は 1 段フィールドプレート構造を有する。

#### 【 0 1 5 3 】

図 6 は、第 2 の比較形態半導体装置の模式断面図及び電界分布図である。第 2 の比較形態の半導体装置は、縦型 MOSFET である。図 6 は、第 2 の比較形態のセルトレンチ CT 1 の断面を示す。図 6 の断面は、図 3 (a) の断面に相当する断面である。第 2 の比較形態の縦型 MOSFET は 2 段フィールドプレート構造を有する。

40

#### 【 0 1 5 4 】

図 5 に占めす 1 段フィールドプレート構造は、セルフィールドプレート電極 32 の幅が略一定であり、セルフィールドプレート電極 32 に段差がない。縦型 MOSFET の耐圧は、電界の深さ方向の積分値が大きくなることで向上する。1 段フィールドプレート構造では、セルトレンチ CT 1 の底部で電界のピークが生じることで、縦型 MOSFET の耐圧が向上する。

#### 【 0 1 5 5 】

図 6 に占めす 2 段フィールドプレート構造は、セルフィールドプレート電極 32 の上部

50

の幅は、下部の幅よりも広い。2段フィールドプレート構造では、セルフィールドプレート電極32の幅が段階的に変化する、2段フィールドプレート構造では、セルトレンチCT1の底部、及び、セルフィールドプレート電極32の上部と下部の境界で電界のピークが生じることで、縦型MOSFETの耐圧が1段フィールドプレート構造の場合よりも向上する。

#### 【0156】

しかし、2段フィールドプレート構造の場合、1段フィールドプレート構造に比べ、セルトレンチCT1の端部で耐圧が低下するという問題がある。以下、説明する。

#### 【0157】

図7は第1及び第2の比較形態の模式平面図である。図8は、第1及び第2の比較形態の半導体装置の一部の模式平面図である。図8は、図7の枠線Bで囲った部分の模式平面図である。図8は、図7の枠線Bで囲った部分の、セルトレンチCT1、ドレイン領域16、ドリフト領域18、ベース領域20、ソース領域22、及び、ベースコンタクト領域24の半導体層10の表面でのレイアウトを示している。10

#### 【0158】

第1及び第2の比較形態の半導体装置は、終端トレンチTT1を備えない点で第1の実施形態の縦型MOSFET100と異なっている。

#### 【0159】

図9は、第1の比較形態の半導体装置の一部の模式断面図である。図9は、図8のX2-X2'断面である。図9に示すようにセルトレンチCT1の第1の方向の端部で、セルフィールドプレート電極32と半導体層10との間のセルトレンチ絶縁層34の膜厚(図9中のTa)は略一定である。20

#### 【0160】

図10は、第2の比較形態の半導体装置の一部の模式断面図である。図10は、図8のX2-X2'断面である。図10に示すようにセルトレンチCT1の第1の方向の端部で、セルフィールドプレート電極32と半導体層10との間のセルトレンチ絶縁層34の膜厚に変化がある。セルトレンチ絶縁層34の上部の膜厚(図10中のtb)は、下部の膜厚(図10中のtc)よりも薄い。

#### 【0161】

図11は、第1の比較形態の半導体装置の模式平面図及び電界分布図である。図11は、図9のZ1-Z1'の第1の面に平行な断面図である。図11中の太い点線は、ドリフト領域18とベース領域20との境界の位置を示す。電界分布は図11のE1-E1'に沿った領域の電界分布である。30

#### 【0162】

図11に示すように、セルトレンチCT1の第1の方向の端部では、ドリフト領域18内の電界が高くなる。これは、セルトレンチCT1の端部では、2本のセルトレンチCT1の間の領域と比較して、半導体層10中の空間電荷のチャージバランスが異なり電界が集中するためである。

#### 【0163】

図12は、第2の比較形態の半導体装置の模式平面図及び電界分布図である。図12は、図10のZ2-Z2'の第1の面に平行な断面図である。図12中の太い点線は、ドリフト領域18とベース領域20との境界の位置を示す。電界分布は図12のE2-E2'に沿った領域の電界分布である。40

#### 【0164】

図12に示すように、セルトレンチCT1の第1の方向の端部では、ドリフト領域18内の電界が、第1の比較形態に比べ高くなる。これは、セルトレンチ絶縁層34の上部の膜厚(図10中のtb)が、第1の比較形態のセルトレンチ絶縁層34の膜厚(図11中のta)よりも薄いことに起因する。したがって、第1の比較形態よりもセルトレンチCT1の端部でのアバランシェブレークダウンが生じやすくなり、縦型MOSFETの耐圧が低下する。50

**【0165】**

図26は、本実施形態の半導体装置の模式平面図及び電界分布図である。図26は、図25のZ3-Z3'の半導体層10の表面(第1の面)に平行な断面図である。図26中の太い点線は、ドリフト領域18とベース領域20との境界の位置を示す。電界分布は図26のE3-E3'に沿った領域の電界分布である。

**【0166】**

本実施形態の縦型MOSFETでは、第2の比較形態に比べ、セルトレンチCT1の第1の方向の端部のセルトレンチ絶縁層34の膜厚が厚くなっている。セルトレンチCT1の第1の方向の端部のセルトレンチ絶縁層34の膜厚は、第1の方向及び第2の方向のいずれも厚くなっている。第2の方向の膜厚が厚いことにより、セルフィールドプレート電極32が第1の方向にも2段フィールドプレート構造となっている。したがって、第2の比較形態と比較して、セルトレンチCT1の端部での電界集中が緩和され、アバランシェブレークダウンが抑制される。よって、縦型MOSFETの耐圧の低下が抑制される。10

**【0167】**

セルトレンチCT1の第1の方向の端部とベース領域20の第1の方向の端部との間の距離(図23中のd3)は、ベース領域20とセルトレンチCT1の半導体層10の裏面の側の端部との間の距離(図24(a)中のd4)以上であることが望ましい。上記条件を充足することにより、セルトレンチCT1の端部とベース領域20までの第1の方向の距離がベース領域20とセルトレンチCT1の底部までの距離以上になる。このため、セルトレンチCT1の端部とベース領域20までの第1の方向の領域の間の横方向の電界が緩和され、縦型MOSFETの耐圧が向上する。20

**【0168】****(第9の実施形態)**

本実施形態の半導体装置は、複数のトレンチの、それぞれの第1の方向の端部とゲート電極との間に、フィールドプレート電極が位置する点で、第8の実施形態と異なっている。以下、第8の実施形態と重複する内容については記述を省略する。

**【0169】**

図27は、本実施形態の半導体装置の一部の模式断面図である。図27は、第8の実施形態の図25に相当する断面である。

**【0170】**

本実施形態の縦型MOSFETでは、セルトレンチCT1の第1の方向の端部とセルゲート電極30との間にセルフィールドプレート電極32が存在する。30

**【0171】**

例えば、セルトレンチCT1中のセルフィールドプレート電極32をエッチバックプロセスにより形成する際に、セルトレンチCT1の端部と終端トレンチTT1の上をマスク材で覆うことにより、本実施形態の構造を形成することが可能である。

**【0172】**

本実施形態の縦型MOSFETでは、セルトレンチCT1の第1の方向の端部で、セルゲート電極30がセルトレンチ絶縁層34を介して半導体層10に対向する領域がない。したがって、縦型MOSFETのゲートとドレイン間の寄生容量が低減する。したがって、縦型MOSFETのスイッチング速度が上昇する。40

**【0173】**

以上、本実施形態の縦型MOSFETによれば、第8の実施形態と同様、縦型トランジスタの耐圧の向上が可能となる。さらに、縦型トランジスタのスイッチング速度の向上が可能となる。

**【0174】**

第1ないし第9の実施形態においては、半導体層が単結晶シリコンである場合を例に説明したが、半導体層は単結晶シリコンに限られることはない。例えば、単結晶炭化珪素等、その他の単結晶半導体であっても構わない。

**【0175】**

10

20

30

40

50

第1ないし第9の実施形態においては、第1導電型がp型、第2導電型がn型のnチャネル型トランジスタを例に説明したが、第1導電型がn型、第2導電型がp型のpチャネル型トランジスタであっても構わない。

**【0176】**

第1ないし第9の実施形態においては、縦型トランジスタが縦型MOSFETである場合を例に説明したが、縦型トランジスタが縦型IGBTであっても構わない。

**【0177】**

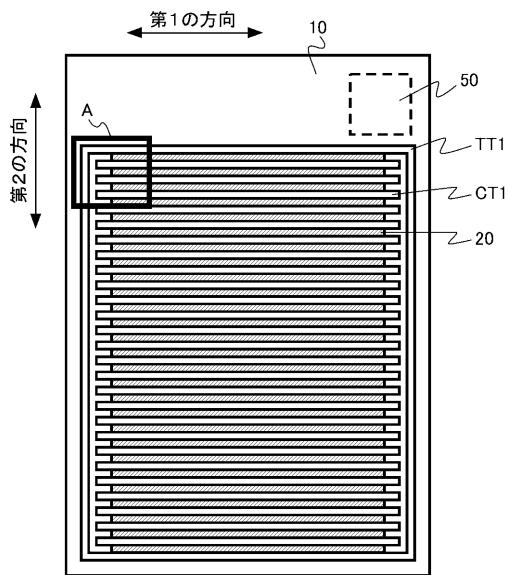
本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

**【符号の説明】**

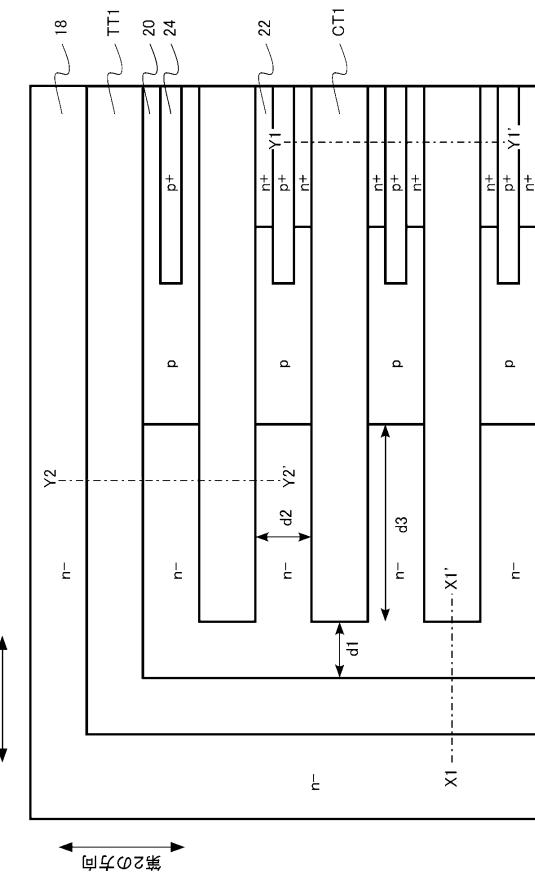
**【0178】**

1 0	半導体層	
1 2	ソース電極（第1の電極）	
1 4	ドレイン電極（第2の電極）	
1 6	ドレイン領域	20
1 8	ドリフト領域（第2の半導体領域）	
2 0	ベース領域（第1の半導体領域）	
2 2	ソース領域（第3の半導体領域）	
2 4	ベースコンタクト領域	
3 0	セルゲート電極（第1のゲート電極）	
3 2	セルフィールドプレート電極（第1のフィールドプレート電極、フィールドプレート電極）	
3 4	セルトレンチ絶縁層（第1の絶縁層、絶縁層）	
3 4 a	ゲート絶縁膜（第1の部分）	
3 4 b	上部フィールドプレート絶縁膜（第2の部分）	30
3 4 c	下部フィールドプレート絶縁膜（第3の部分）	
3 4 d	端部フィールドプレート絶縁膜（第4の部分）	
4 0	終端ゲート電極（第2のゲート電極）	
4 2	終端フィールドプレート電極（第2のフィールドプレート電極）	
4 4	終端トレンチ絶縁層（第2の絶縁層）	
4 6	層間絶縁層	
5 0	ゲートパッド電極	
5 2	リサーフ領域（第4の半導体領域）	
C T 1	セルトレンチ、第1のセルトレンチ（第1のトレチ、トレチ）	
C T 2	第2のセルトレンチ（第3のトレチ）	40
C T 3	第3のセルトレンチ（第4のトレチ）	
T T 1	終端トレンチ、第1の終端トレンチ（第2のトレチ）	
T T 2	第2の終端トレンチ（第4のトレチ）	
P 1	第1の面	
P 2	第2の面	

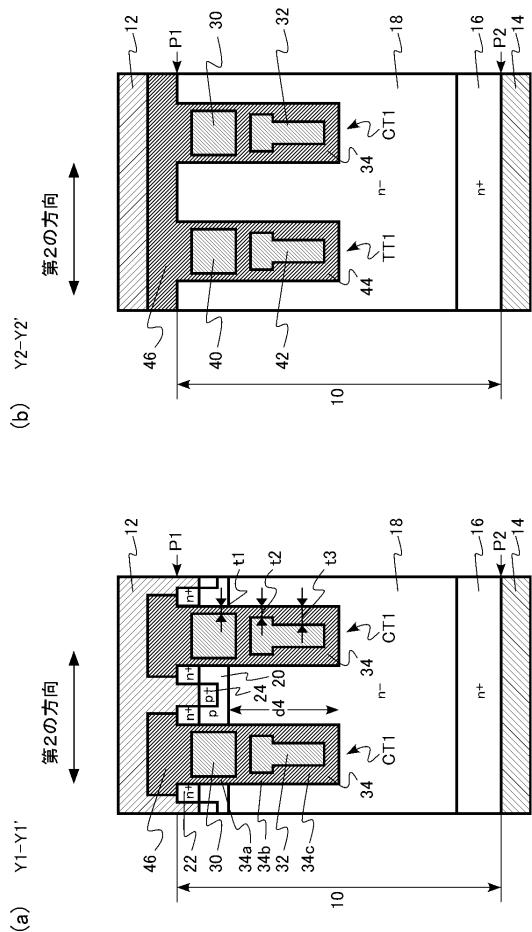
【図1】



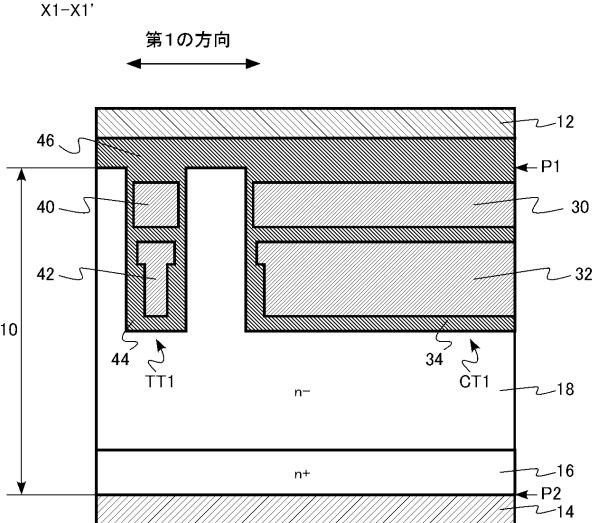
【図2】



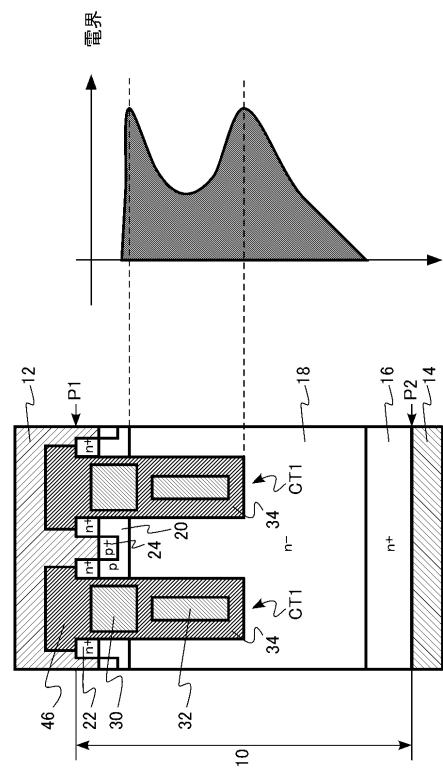
【図3】



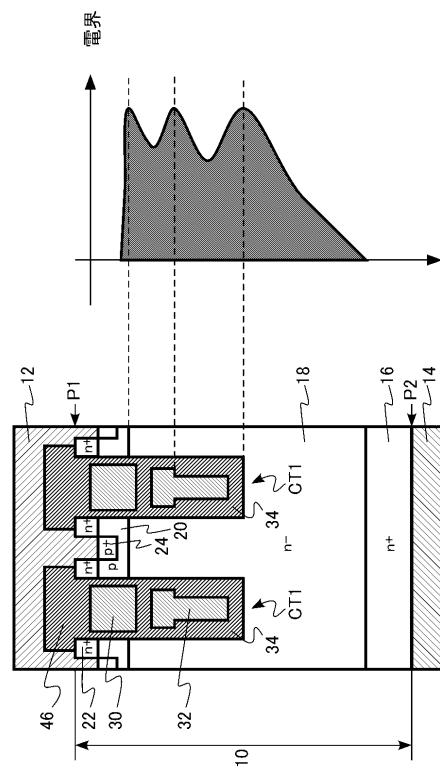
【図4】



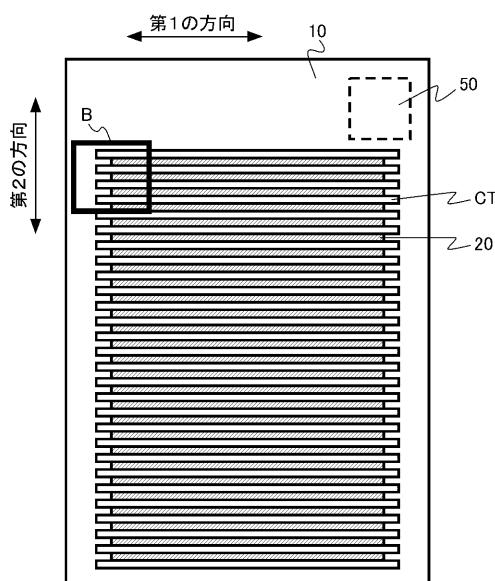
【図5】



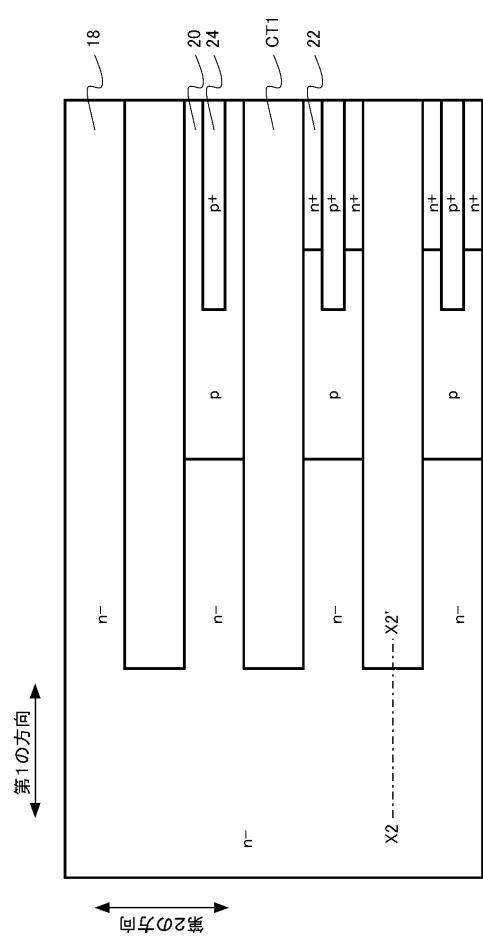
【図6】



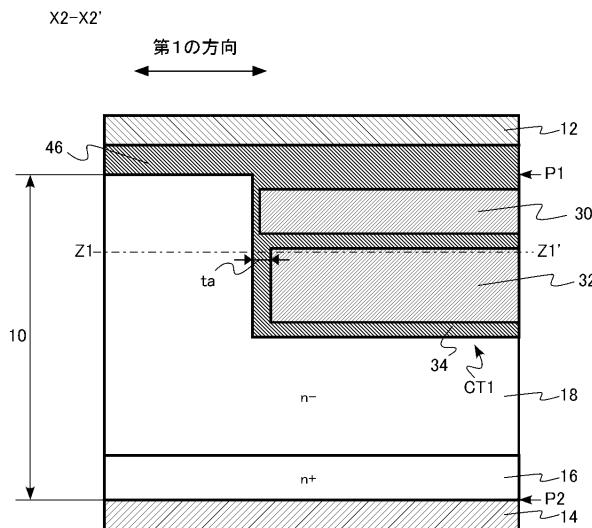
【図7】



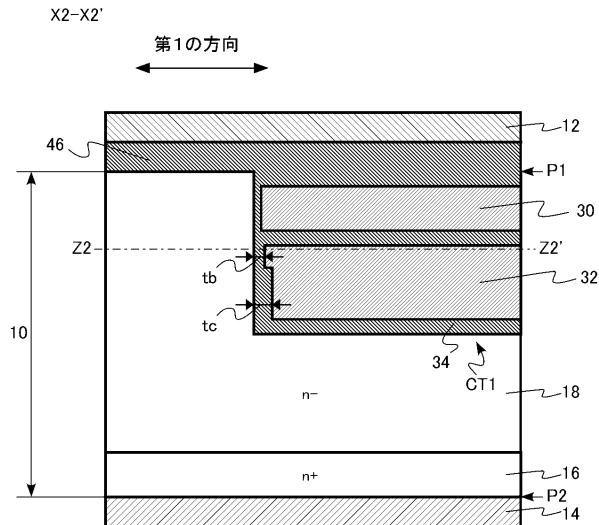
【図8】



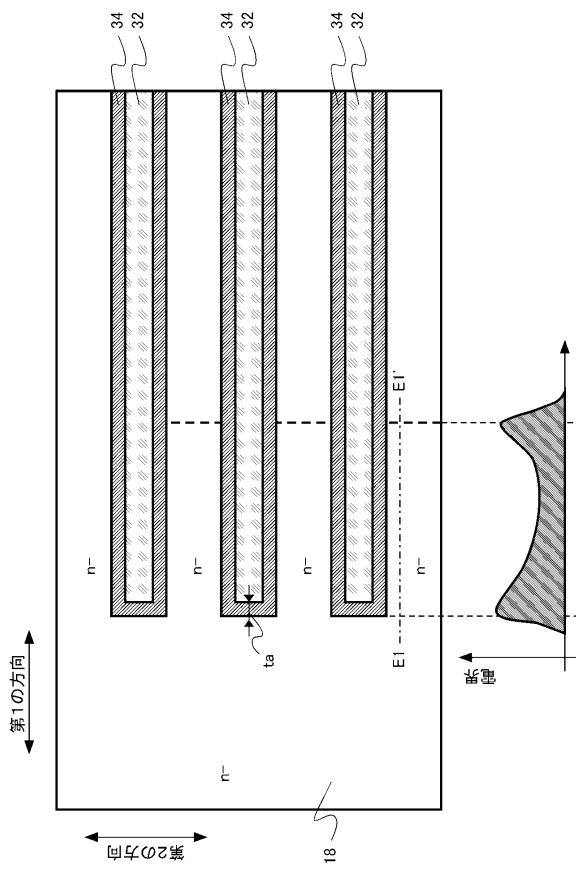
【図9】



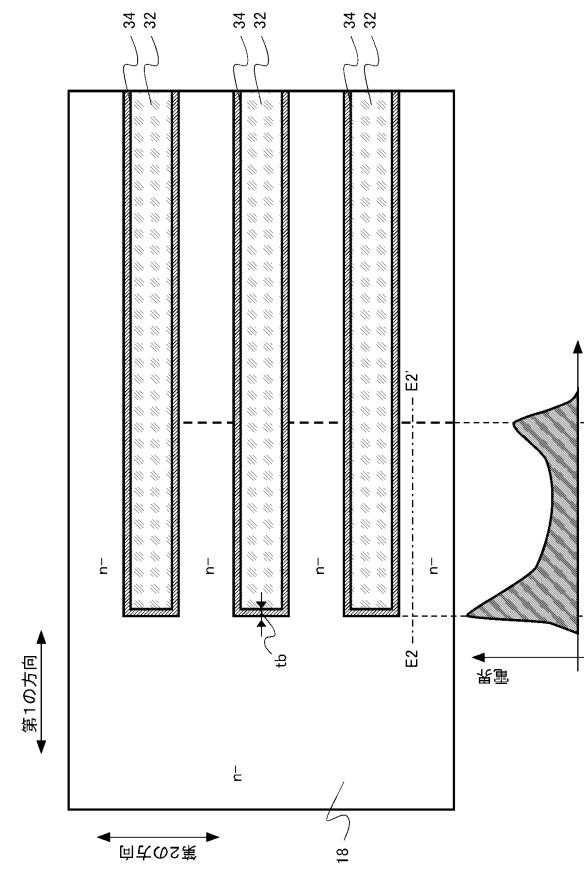
【図10】



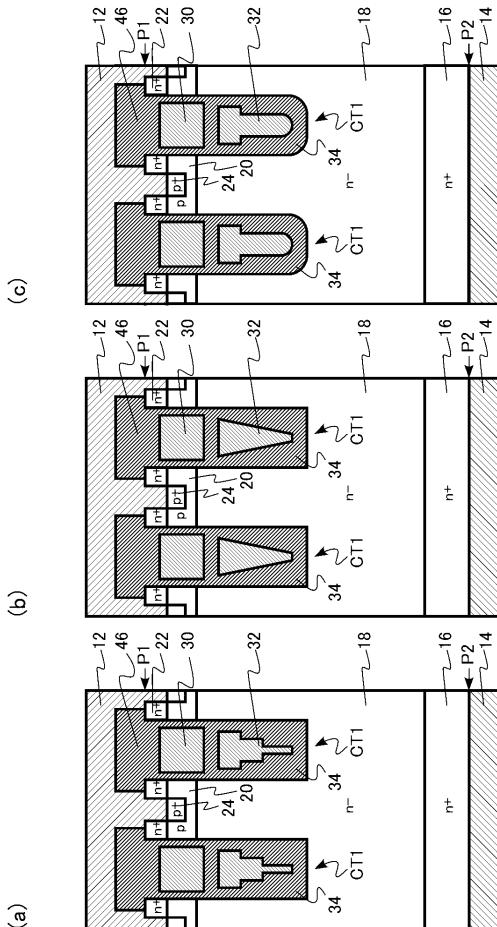
【図11】



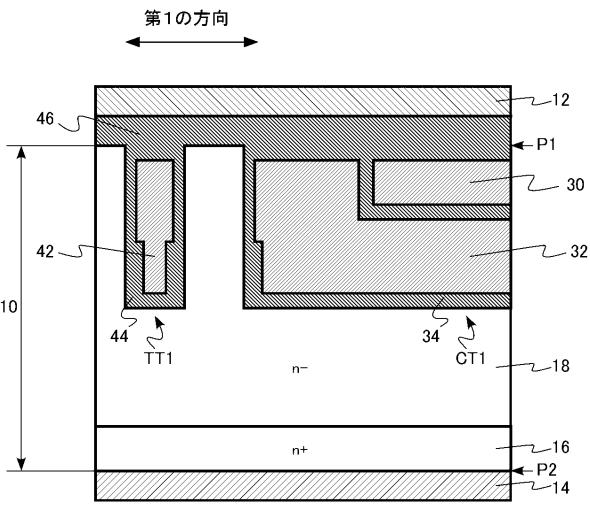
【図12】



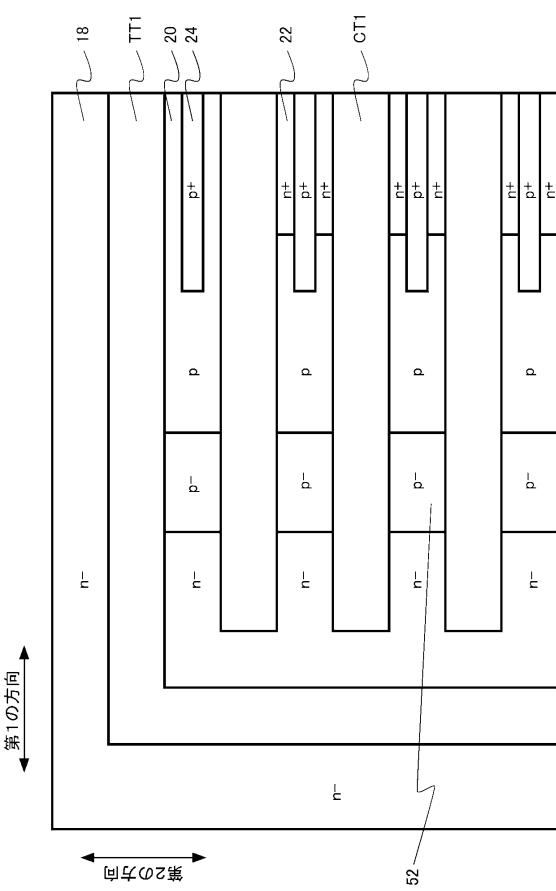
【図13】



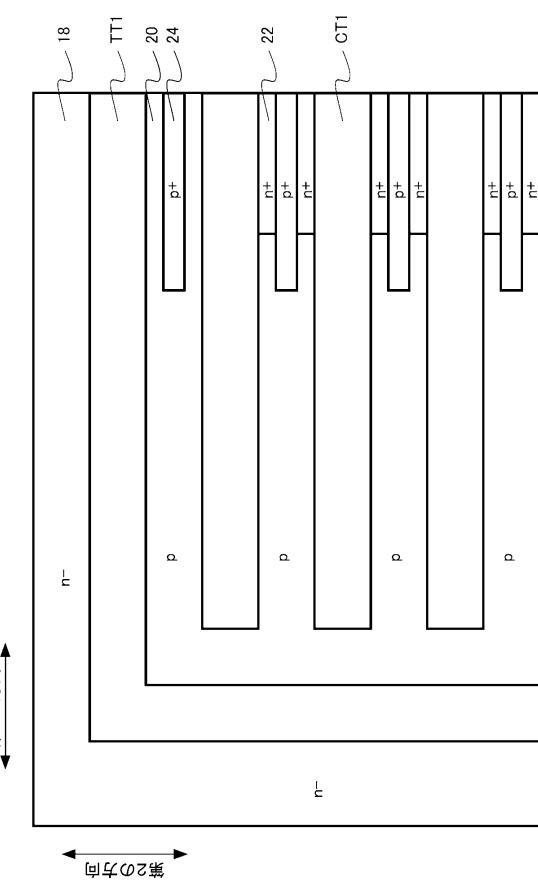
【図14】



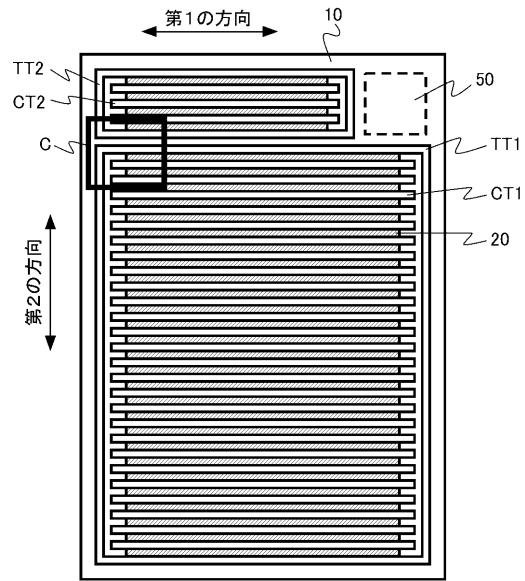
【図15】



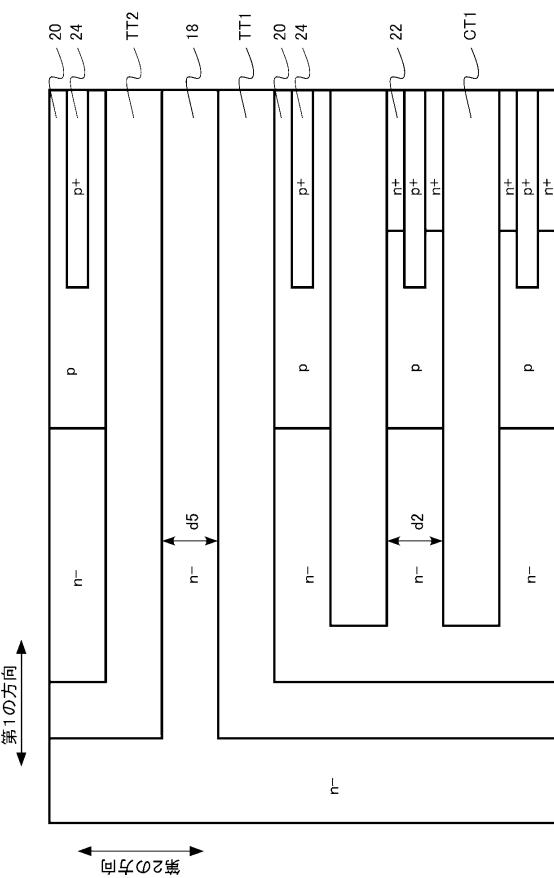
【図16】



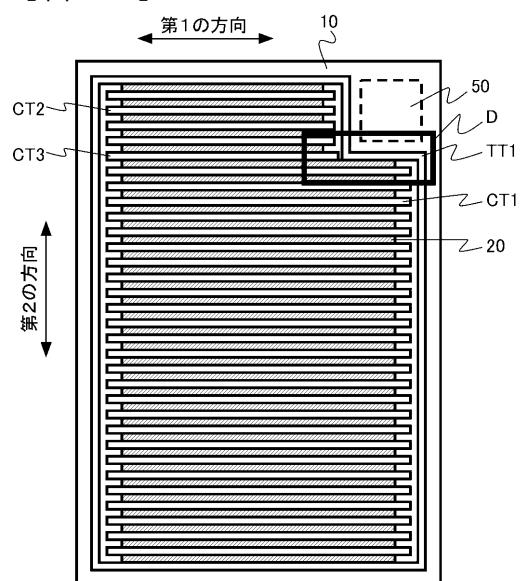
【図17】



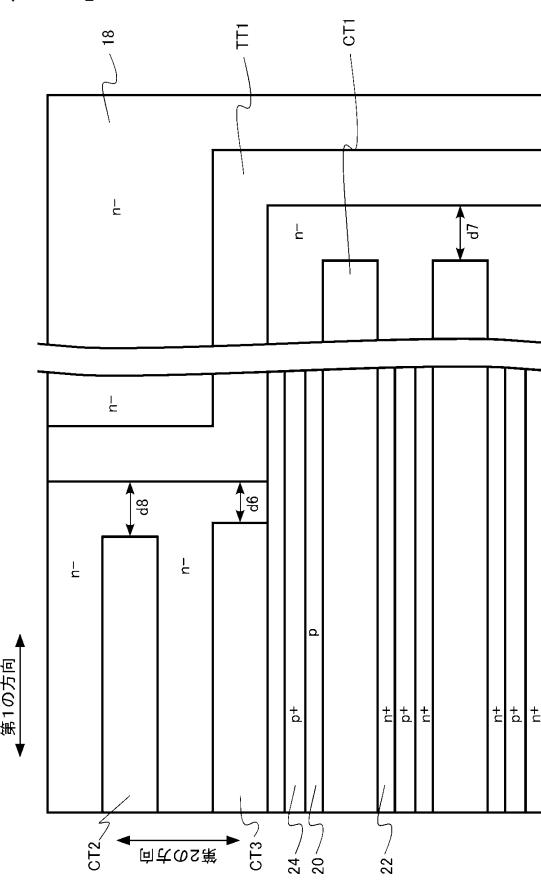
【図18】



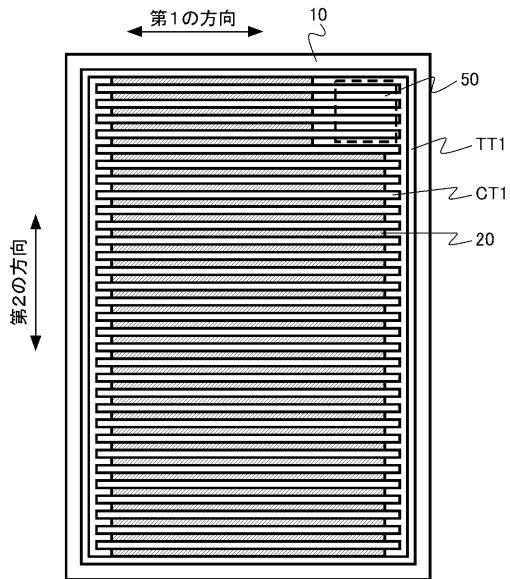
【図19】



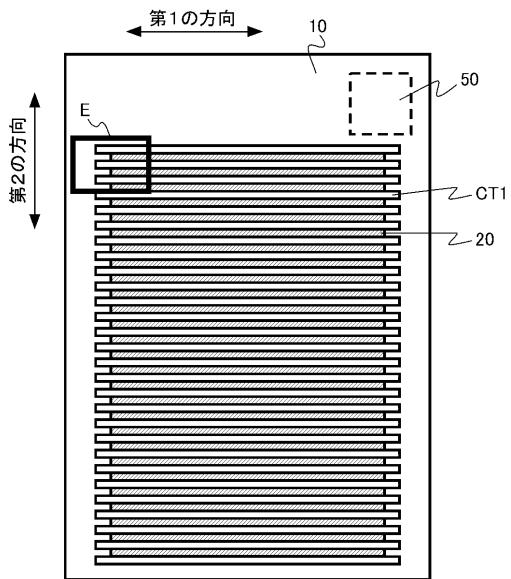
【図20】



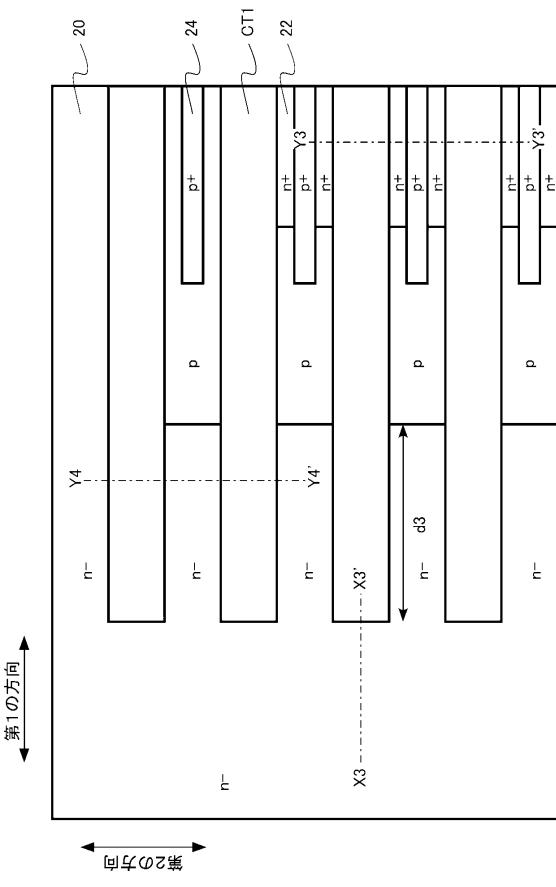
【図21】



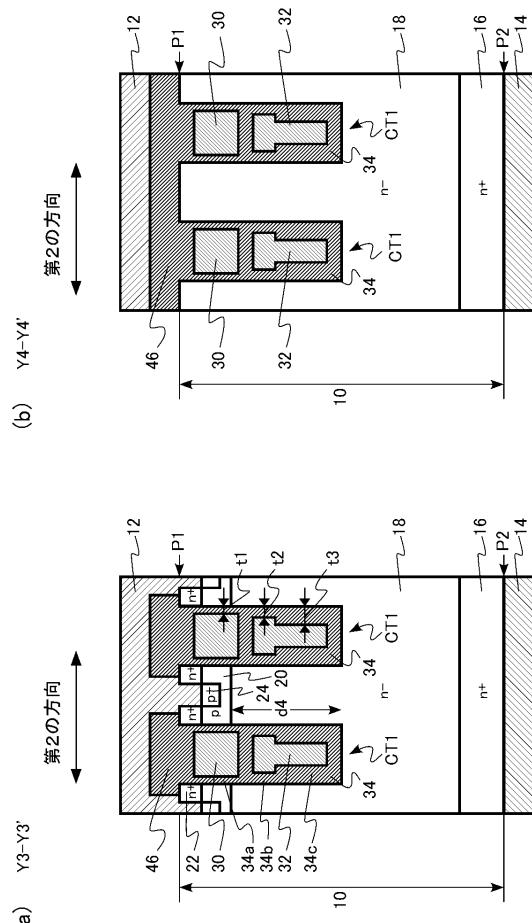
【図22】



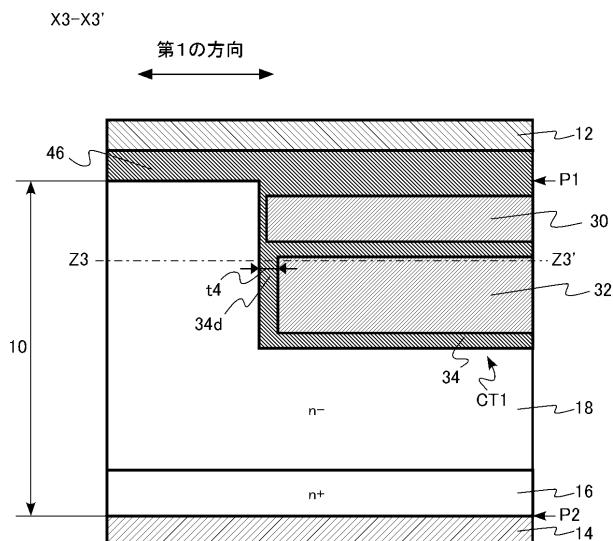
【図23】



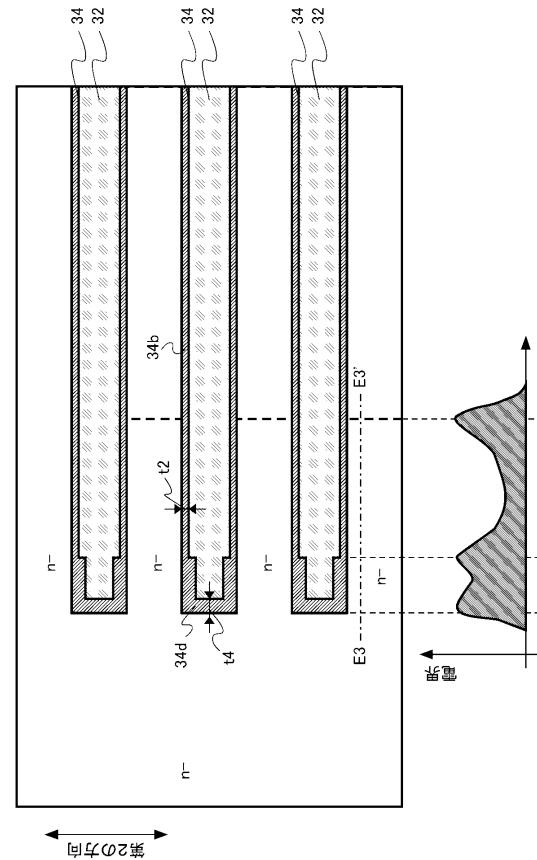
【図24】



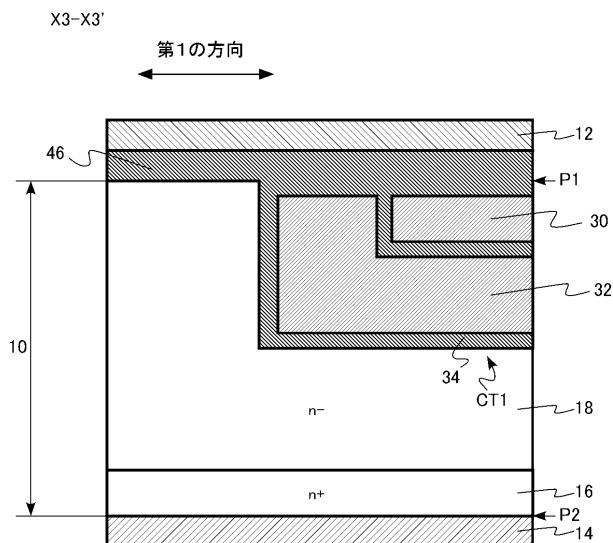
【図25】



【図26】



【図27】



---

フロントページの続き

(72)発明者 一関 健太郎  
東京都港区芝浦一丁目1番1号 株式会社東芝内  
(72)発明者 相田 喜久夫  
東京都港区芝浦一丁目1番1号 株式会社東芝内  
(72)発明者 大麻 浩平  
東京都港区芝浦一丁目1番1号 株式会社東芝内  
(72)発明者 洪 洪  
東京都港区芝浦一丁目1番1号 株式会社東芝内  
(72)発明者 松葉 博  
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 岩本 勉

(56)参考文献 特開2002-203964(JP,A)  
特開2016-072482(JP,A)  
米国特許出願公開第2016/0093719(US,A1)  
中国特許出願公開第105990426(CN,A)  
特開2006-202931(JP,A)  
米国特許出願公開第2006/0157779(US,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 29/06  
H01L 29/78