

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4667523号  
(P4667523)

(45) 発行日 平成23年4月13日(2011.4.13)

(24) 登録日 平成23年1月21日(2011.1.21)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 2 6 C

請求項の数 18 (全 23 頁)

(21) 出願番号 特願2009-292922 (P2009-292922)  
 (22) 出願日 平成21年12月24日(2009.12.24)  
 (62) 分割の表示 特願平11-274106の分割  
 原出願日 平成11年9月28日(1999.9.28)  
 (65) 公開番号 特開2010-80981 (P2010-80981A)  
 (43) 公開日 平成22年4月8日(2010.4.8)  
 審査請求日 平成22年1月14日(2010.1.14)  
 (31) 優先権主張番号 特願平10-283711  
 (32) 優先日 平成10年10月6日(1998.10.6)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 笠原 健司  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 河本 充雄  
 (56) 参考文献 特開平07-183235 (JP, A)  
 特開平09-260288 (JP, A)

最終頁に続く

(54) 【発明の名称】 半導体装置及びその作製方法

(57) 【特許請求の範囲】

【請求項1】

ガラス基板上の第1の窒化珪素膜と、  
 前記第1の窒化珪素膜上の第2の窒化珪素膜と、  
 前記第2の窒化珪素膜上の半導体膜と、を有し、  
 前記第2の窒化珪素膜は、前記第1の窒化珪素膜表面が大気に曝された後に前記第1の窒化珪素膜上に形成されたものであり、  
 前記半導体膜は、前記第2の窒化珪素膜表面を前記大気に曝することなく前記第2の窒化珪素膜上に形成されたものであることを特徴とする半導体装置。

【請求項2】

ガラス基板上の第1の絶縁膜と、  
 前記第1の絶縁膜上の第2の絶縁膜と、  
 前記第2の絶縁膜上の半導体膜と、を有し、  
 前記第1の絶縁膜は第1の窒化珪素膜を有し、  
 前記第2の絶縁膜は第2の窒化珪素膜を有し、  
 前記第2の絶縁膜は、前記第1の絶縁膜表面が大気に曝された後に前記第1の絶縁膜上に形成されたものであり、  
 前記半導体膜は、前記第2の絶縁膜表面を前記大気に曝することなく前記第2の絶縁膜上に形成されたものであることを特徴とする半導体装置。

【請求項3】

10

20

ガラス基板上の第 1 の絶縁膜と、  
前記第 1 の絶縁膜上の第 2 の絶縁膜と、  
前記第 2 の絶縁膜上の半導体膜と、を有し、  
前記第 1 の絶縁膜は第 1 の窒化珪素膜を有する第 1 の積層膜であり、  
前記第 2 の絶縁膜は第 2 の窒化珪素膜を有する第 2 の積層膜であり、  
前記第 2 の絶縁膜は、前記第 1 の絶縁膜表面が大気に曝された後に前記第 1 の絶縁膜上に形成されたものであり、  
前記半導体膜は、前記第 2 の絶縁膜表面を前記大気に曝することなく前記第 2 の絶縁膜上に形成されたものであることを特徴とする半導体装置。

【請求項 4】

10

請求項 1 において、  
前記第 1 の窒化珪素膜及び前記第 2 の窒化珪素膜は、CVD 法を用いて形成されたものであることを特徴とする半導体装置。

【請求項 5】

請求項 2 又は請求項 3 において、  
前記第 1 の絶縁膜及び前記第 2 の絶縁膜は、CVD 法を用いて形成されたものであることを特徴とする半導体装置。

【請求項 6】

請求項 4 又は請求項 5 において、  
前記 CVD 法は、プラズマ CVD 法であることを特徴とする半導体装置。

20

【請求項 7】

請求項 1 において、  
前記第 1 の窒化珪素膜及び前記第 2 の窒化珪素膜は、スパッタ法を用いて形成されたものであることを特徴とする半導体装置。

【請求項 8】

請求項 2 又は請求項 3 において、  
前記第 1 の絶縁膜及び前記第 2 の絶縁膜は、スパッタ法を用いて形成されたものであることを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項において、  
前記大気とはボロンが含まれるクリーンルーム内の雰囲気であることを特徴とする半導体装置。

30

【請求項 10】

ガラス基板上に 200 nm ~ 500 nm の膜厚の第 1 の窒化珪素膜を形成し、前記第 1 の窒化珪素膜を 200 ~ 700 に加熱し、前記第 1 の窒化珪素膜を大気に曝した後、前記第 1 の窒化珪素膜上に第 2 の窒化珪素膜と半導体膜とを順次前記大気にふれさせることなく積層形成することを特徴とする半導体装置の作製方法。

【請求項 11】

ガラス基板上に 200 nm ~ 500 nm の膜厚の第 1 の窒化珪素膜を有する第 1 の絶縁膜を形成し、前記第 1 の絶縁膜を 200 ~ 700 に加熱し、前記第 1 の絶縁膜を大気に曝した後、前記第 1 の絶縁膜上に第 2 の窒化珪素膜を有する第 2 の絶縁膜と半導体膜とを順次前記大気にふれさせることなく積層形成することを特徴とする半導体装置の作製方法。

40

【請求項 12】

ガラス基板上に 200 nm ~ 500 nm の膜厚の第 1 の窒化珪素膜を有する第 1 の積層膜からなる第 1 の絶縁膜を形成し、前記第 1 の絶縁膜を 200 ~ 700 に加熱し、前記第 1 の絶縁膜を大気に曝した後、前記第 1 の絶縁膜上に第 2 の窒化珪素膜を有する第 2 の積層膜からなる第 2 の絶縁膜と半導体膜とを順次前記大気にふれさせることなく積層形成することを特徴とする半導体装置の作製方法。

【請求項 13】

50

請求項 10 において、

前記第 1 の窒化珪素膜及び前記第 2 の窒化珪素膜を、CVD 法を用いて形成することを特徴とする半導体装置の作製方法。

【請求項 14】

請求項 11 又は請求項 12 において、

前記第 1 の絶縁膜及び前記第 2 の絶縁膜を、CVD 法を用いて形成することを特徴とする半導体装置の作製方法。

【請求項 15】

請求項 13 又は請求項 14 において、

前記 CVD 法は、プラズマ CVD 法であることを特徴とする半導体装置の作製方法。

10

【請求項 16】

請求項 10 において、

前記第 1 の窒化珪素膜及び前記第 2 の窒化珪素膜を、スパッタ法を用いて形成することを特徴とする半導体装置の作製方法。

【請求項 17】

請求項 11 又は請求項 12 において、

前記第 1 の絶縁膜及び前記第 2 の絶縁膜を、スパッタ法を用いて形成することを特徴とする半導体装置の作製方法。

【請求項 18】

請求項 10 乃至請求項 17 のいずれか一項において、

20

前記大気とはボロンが含まれるクリーンルーム内の雰囲気であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁ゲート型トランジスタ等の半導体素子からなる半導体回路を備えた半導体装置の構造およびその作製方法に関する。特に、絶縁表面上に結晶質半導体膜を形成する技術に関する。本発明の半導体装置は、薄膜トランジスタ(TFT)やMOSトランジスタ等の素子だけでなく、これら絶縁ゲート型トランジスタで構成された半導体回路を有する表示装置やイメージセンサ等の電気光学装置をも含むものである。加えて、本発明の半導体装置は、これらの表示装置および電気光学装置を搭載した電子機器をも含むものである。

30

【背景技術】

【0002】

絶縁性を有する基板上に形成された薄膜トランジスタ(TFT)により画素部および駆動回路を構成したアクティブマトリクス型液晶ディスプレイが注目を浴びている。液晶ディスプレイは0.5~20インチ程度のものまで表示ディスプレイとして利用されている。

【0003】

現在、高精細な表示が可能な液晶ディスプレイを実現するために、ポリシリコンで代表される結晶質半導体膜を活性層とするTFTが注目されている。しかしながら、結晶質半導体膜を活性層とするTFTは、非晶質半導体膜を活性層とするTFTと比較して動作速度や駆動能力が高い一方、個々のTFT特性の制御が困難であった。

40

【0004】

このTFT特性の制御が困難である原因の一つとしては、活性層と絶縁膜の界面の特性が挙げられる。この界面が汚染されると、TFT特性を制御性よく作製することは困難である。そのため、活性層と該活性層に接する絶縁膜との界面を清浄化することが重要である。

【発明の概要】

【発明が解決しようとする課題】

50

## 【 0 0 0 5 】

現在、T F Tには高移動度が求められており、T F Tの活性層としては、非晶質半導体膜よりも移動度の高い結晶質半導体膜を用いることが有力視されている。以下に結晶質半導体膜を用いた従来のトップゲート型T F Tの作製方法を簡単に説明する。

## 【 0 0 0 6 】

まず、絶縁表面を有する基板上に下地絶縁膜（以下、本明細書では下地膜と称す）を形成して、熱処理を施した後、アモルファスシリコン膜（非晶質珪素膜）を成膜する。次に、このアモルファスシリコン膜を加熱、またはレーザー光の照射等の結晶化処理を施してポリシリコン膜（多結晶珪素膜）を形成する。次いで、このポリシリコン膜を所望の形状にパターニングした後、その上に絶縁膜（ゲート絶縁層）と導電膜（ゲート配線形成材料層）を堆積し、これらをパターニングしてゲート配線を形成する。次いで、P型またはN型の導電性を付与する不純物をポリシリコン膜に選択的に導入してソース領域、ドレイン領域となる不純物領域を形成する。続いて、層間絶縁膜を堆積し、ソース領域、ドレイン領域上を露出させるコンタクトホールを形成した後、金属膜を形成し、これをパターニングしてソース領域、ドレイン領域と接触する金属配線を形成する。こうして、T F Tの作製工程を完了する。

10

## 【 0 0 0 7 】

上記従来技術は、下地膜を形成した後、T F Tの信頼性を向上させるために熱処理を行う際、大気の下地膜の表面がさらされる。この時、下地膜表面が大気中の不純物（ボロン、酸素、水分、ナトリウム等）によって汚染される。この大気にさらされて汚染した下地膜上に接して活性層となる半導体膜を積層形成すると、活性層、特にチャネル形成領域と下地膜との界面特性が低下し、T F Tの電気的特性の低下を引き起こす原因となっていた。

20

## 【 0 0 0 8 】

特にクリーンルーム内の大気は、清浄化のため一般的に使用されているH E P Aフィルタからのボロン（ホウ素）を含んでいるため、大気にさらされた膜の表面にボロンが不定量混入する。H E P Aフィルタはガラスを網目状に形成したものであり、空気中の微小パーティクルを除去するのに用いられている。網目状の構造を作りやすくするためにガラスにはボロンが多量に含まれている。また、H E P Aフィルター以外の他のフィルターを用いることは製造コスト低減化の観点からは不利であった。

30

## 【 0 0 0 9 】

この大気中の不純物の影響を調べるために、絶縁性を有する下地膜を形成した後、大気にさらしてから非晶質珪素膜からなる半導体膜の積層形成を行いT F Tを作製した。そのS I M S分析を行った場合、T F Tの活性層の界面（主表面側または裏面側）にボロンの濃度ピークが見られ、その最高値は $3 \times 10^{17} \text{atoms} / \text{cm}^3$ 以上であった。このようにボロンが半導体膜からなる活性層中に混入してしまうと、その後のプロセス（熱処理、レーザー光処理等）により拡散、活性化されて活性層中の不純物濃度の制御が困難となる。また、T F Tの電気特性の測定を行った場合、特に、しきい値電圧がプラスにシフトする現象が見られた。

40

## 【 0 0 1 0 】

また、半導体膜からなる活性層中に不純物（ボロン、酸素、水分、ナトリウム等）が混入した場合、半導体膜の結晶化工程においても、半導体膜の結晶化を阻害していた。

## 【 0 0 1 1 】

本発明は、活性層、特にチャネル形成領域を構成する領域と下地膜との界面を良好なものとすることにより、T F Tの特性（しきい値電圧等）を向上させるとともに高い信頼性を有する半導体素子からなる半導体回路を備えた半導体装置およびその作製方法を提供するものである。

## 【課題を解決するための手段】

## 【 0 0 1 2 】

上記目的を解決するため、本発明は、第1の下地膜を形成した後、熱処理を施し、次い

50

で、第2の下地膜（第1の下地膜より薄い膜厚を有する絶縁膜）と半導体膜とを大気にふれさせることなく積層形成することを一つの特徴としている。

この様な構成により活性層、特にチャネル形成領域を構成する領域と第2の下地膜との界面の汚染を防ぎ、安定且つ良好な電気特性を実現する。

【0013】

本明細書で開示する発明の第1の構成は、基板上に第1の絶縁膜と、前記第1の絶縁膜に接する第2の絶縁膜と、前記第2の絶縁膜に接するチャネル形成領域と、前記チャネル形成領域の両側に形成されたソース領域及びドレイン領域と、前記チャネル形成領域に接するゲート絶縁層と、前記チャネル形成領域上に前記ゲート絶縁層を介して設けられたゲート配線とを有し、前記第2の絶縁膜の膜厚は、前記第1の絶縁膜より薄いことを特徴とする半導体素子からなる半導体回路を備えた半導体装置である。

10

【0014】

上記構成において、前記第1の絶縁膜と前記第2の絶縁膜との界面における不純物濃度は、前記第2の絶縁膜と前記チャネル形成領域との界面における不純物濃度より高いことを特徴としている。

【0015】

また、上記構成において、前記第2の絶縁膜及び前記チャネル形成領域は、順次大気にふれることなく積層形成する工程を少なくとも経て形成されたことを特徴としている。

【0016】

また、上記構成において、前記第1の絶縁膜は、熱処理する工程を少なくとも経て形成されたことを特徴としている。

20

【0017】

また、上記構成において、前記第1の絶縁膜は膜厚100～500nmであることを特徴としている。

【0018】

また、上記構成において、前記第2の絶縁膜は膜厚10～100nmであることを特徴としている。

【0019】

また、上記構成において、前記第2の絶縁膜は、窒化珪素膜、窒化酸化珪素膜、酸化珪素膜から選ばれた単層膜、またはそれらの積層膜であることを特徴としている。

30

【0020】

また、上記構成において、前記チャネル形成領域と前記ソース領域との間、または前記チャネル形成領域と前記ドレイン領域との間の少なくとも一方には、低濃度不純物領域が設けられていることを特徴としている。

【0021】

また、上記構成において、少なくとも前記ソース領域及び前記ドレイン領域には珪素の結晶化を助長する触媒元素が含まれていることを特徴としている。

【0022】

また、上記触媒元素は、Ni、Fe、Co、Pt、Cu、Au、Geから選ばれた少なくとも1つの元素、または複数の元素であることを特徴としている。

40

【0023】

なお、本明細書において「非晶質半導体膜」とは、代表的には非晶質を有する半導体膜、例えば微結晶を有する非晶質半導体膜等を指し、これら半導体膜は、Si膜、Ge膜、化合物半導体膜（例えば、 $\text{Si}_x\text{Ge}_{1-x}$ （ $0 < x < 1$ ）で示される非晶質シリコンゲルマニウム膜等）からなる膜である。この半導体膜は公知の技術、例えば減圧熱CVD法、熱CVD法、PCVD法等を用いて成膜できる。

【0024】

なお、本明細書において「結晶質半導体膜」とは、単結晶半導体膜、結晶粒界を含む半導体膜（多結晶半導体膜及び微結晶半導体膜を含む）を指し、全域に渡って非晶質状態である半導体膜（非晶質半導体膜）との区別を明確にしている。勿論、本明細書において「半

50

導体膜」と記載されていれば、結晶質半導体膜以外に非晶質半導体膜も含まれることは言うまでもない。

【 0 0 2 5 】

また、本明細書において「半導体素子」とは、スイッチング素子やメモリ素子、例えば薄膜トランジスタ ( T F T ) や薄膜ダイオード ( T F D ) 等を指している。

【 0 0 2 6 】

また、本発明の半導体装置を作製する第 1 の作製方法の構成は、基板上に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜を熱処理する工程と、前記第 1 の絶縁膜上に、第 2 の絶縁膜と半導体膜とを順次大気にふれることなく積層形成する工程と、前記半導体膜を結晶化して結晶質半導体膜を形成する工程と、を有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法である。

10

【 0 0 2 7 】

また、本発明の半導体装置を作製する第 2 の作製方法の構成は、基板上に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜を熱処理する工程と、前記第 1 の絶縁膜上に、第 2 の絶縁膜と半導体膜とを順次大気にふれることなく積層形成する工程と、前記半導体膜の少なくとも一部に結晶化を助長する触媒元素を添加する工程と、前記半導体膜を結晶化して結晶質半導体膜を形成する工程と、を有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法である。

【 0 0 2 8 】

また、本発明の半導体装置を作製する第 3 の作製方法の構成は、基板上に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜を熱処理する工程と、前記第 1 の絶縁膜上に、第 2 の絶縁膜と半導体膜とを順次大気にふれることなく積層形成する工程と、前記半導体膜の少なくとも一部に結晶化を助長する触媒元素を添加する工程と、前記半導体膜を結晶化して結晶質半導体膜を形成する工程と、前記触媒元素をゲッタリングする工程と、を有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法である。

20

【 0 0 2 9 】

また、上記第 1 乃至 3 の作製方法の構成のいずれか一において、前記第 2 の絶縁膜の膜厚は、前記第 1 の絶縁膜の膜厚より薄く形成することを特徴としている。

【 0 0 3 0 】

また、上記第 1 乃至 3 の作製方法の構成のいずれか一において、前記第 1 の絶縁膜を熱処理する工程の加熱温度は、200 ~ 700 であることを特徴としている。

30

【発明の効果】

【 0 0 3 1 】

本願発明を実施することで、再現性が高く T F T の安定性を向上し、生産性の高い T F T を得ることができる。

【 0 0 3 2 】

本願発明は、熱処理した第 1 の絶縁膜上に、大気にふれることなく第 2 の絶縁膜と半導体膜を積層形成することで、極めて良好な電気特性を示す T F T を形成することが実現できる。特に、T F T の代表的なパラメータであるしきい値電圧  $V_{th}$  は、Nチャネル型 T F T で - 0 . 5 ~ 2 V、Pチャネル型 T F T で 0 . 5 ~ - 2 V を実現できる。

40

【 0 0 3 3 】

また、第 2 の絶縁膜として 20 nm 以上の膜厚があれば、 $\pm 10$  nm の膜厚変動の範囲内において、 $V_{th}$  を  $\pm 0 . 2$  V 程度に抑制することができ、ばらつきの少ない均一な T F T を得ることができる。

【 0 0 3 4 】

さらに、T F T の信頼性の目安となるパラメータの一つであるしきい値電圧の変化量  $\Delta V_{th}$  においても、小さくすることができ、信頼性の高い T F T を得ることができる。

【 0 0 3 5 】

また、T F T の代表的なパラメータであるサブスレッショルド係数 ( S 値 ) は 0 . 1 ~

50

0.3 V / decade を実現できる。

【図面の簡単な説明】

【0036】

【図1】TFTの作製工程を示す図（実施例1）。

【図2】TFTの作製工程を示す図（実施例1）。

【図3】インバータ回路図、上面図及び断面構造図の一例を示す断面図（実施例1）。

【図4】画素部の一例を示す断面図及び上面図（実施例1）。

【図5】半導体装置（液晶表示装置）の構成を示す図（実施例4）。

【図6】半導体装置（電子機器）の例を示す図（実施例6）。

【図7】成膜装置の一例を示す図（実施例1）。

10

【図8】Nチャネル型TFTのしきい値電圧を示す分布図（実施例1）。

【図9】Pチャネル型TFTのしきい値電圧を示す分布図（実施例1）。

【図10】Nチャネル型TFTのしきい値電圧の変動を示す分布図（実施例1）。

【図11】Pチャネル型TFTのしきい値電圧の変動を示す分布図（実施例1）。

【図12】Nチャネル型TFTのしきい値電圧を示す分布図（実施例2）。

【図13】Pチャネル型TFTのしきい値電圧を示す分布図（実施例2）。

【図14】Nチャネル型TFTのしきい値電圧の変動を示す分布図（実施例2）。

【図15】Pチャネル型TFTのしきい値電圧の変動を示す分布図（実施例2）。

【図16】半導体装置（電子機器）の例を示す図（実施例7）。

【発明を実施するための形態】

20

【0037】

以下、本発明の実施の形態の一例を説明する。

【0038】

本発明者は、様々な構造を有するTFTの作製実験をおこなったが、使用したクリーンルームの清浄度がある程度、制御されているにもかかわらず、TFTのしきい値電圧がバラツキ、それが画像のバラツキとして確認されてしまっていた。

【0039】

このようなTFTの電気特性、特にしきい値電圧のバラツキの問題を解決することを目的とした従来技術としては下地膜と半導体膜を連続形成することが有効な手段の一つとして挙げられる。

30

【0040】

しかしながら、単に下地膜と半導体膜を連続成膜することだけでは優れた特性のTFTは決して得られることなく、信頼性においては極めて低いものとなった。特に、高画質、高精細な表示を得るため、要求されているディスプレイの表示画素数が年々増加しており、大量生産を実施する際において、しきい値電圧のバラツキと同様にTFTの信頼性が重要視されている。そこで、本発明者は、TFTの信頼性を向上させるためには膜厚200nm以上の下地膜を熱処理すればよいことを様々な実験結果により見出した。しかし、下地膜を熱処理すると、下地膜と半導体膜の間の界面を清浄にすることができないため、しきい値電圧がばらついた。

【0041】

40

そこで、本発明者は、第1の下地膜を熱処理した後、第2の下地膜と半導体膜を連続形成することによって従来にない極めて高性能なTFTが作製されることを見出した。この本発明の構成は、単なる従来技術の組み合わせではなく、第1の下地膜の熱処理と、第2の下地膜と半導体膜の間の清浄な界面形成と、熱処理された第1の下地膜と半導体膜の間の応力の緩和と、各膜同士の密着性の向上とが行われることによって初めて得られる複合的な技術の結果であり、その結果がこれまでのTFT特性から飛躍的な進歩を可能としたのである。

【0042】

本願発明の第2の下地膜としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜（ $\text{SiO}_x\text{N}_y$ ）、またはこれらの積層膜等を用いることができる。応力の緩和を重視するなら酸

50

化珪素膜が好ましい。また、不純物の拡散防止を重視するなら窒化珪素膜が好ましい。特に、窒化珪素膜よりも応力が小さく、酸化珪素膜より不純物の拡散防止効果の高い窒化酸化珪素膜が最適である。この第2の下地膜101bの形成手段としては熱CVD法、プラズマCVD法、スパッタ法、蒸着法、減圧熱CVD法等の公知の手段を用いて半導体膜と連続形成することができる。また、この第2の下地膜の膜厚範囲が、10～100nm、好ましくは20～60nmであれば、半導体膜との清浄な界面を形成するとともに、第1の下地膜と熱膨張係数に差がある半導体膜の間の応力を緩和するバッファ層の役目を果たすことができる。

【0043】

本願発明によれば、大規模なクリーンルーム内においても、そのクリーンルーム内の清浄度にかかわらず、極めて高品質な半導体膜、清浄な界面が同時に実現可能である。従って、クリーンルームを清浄化することによるコストアップを抑えることができる。

【0044】

また、本願発明によれば、大気解放によるバラツキを低減することができるため、ロット間や基板間でのバラツキも低減できる。

【0045】

上記本願発明の実施形態について以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0046】

以下に本発明の実施例を説明するが、特にこれらの実施例に限定されないことは勿論である。

【実施例1】

【0047】

本実施例では本願発明を用いてトップゲート型TFETを作製する場合の例について説明する。なお、本実施例ではNチャネル型TFETを用いて説明を行う。

【0048】

本発明の半導体装置およびその作製方法の実施形態を示す簡略断面図である図1～図4を用いて簡略に説明する。

【0049】

まず、基板100を用意する。基板100としては、ガラス基板、石英基板、結晶性ガラスなどの絶縁性基板、セラミック基板、ステンレス基板、金属（タンタル、タングステン、モリブデン等）基板、半導体基板、プラスチック基板（ポリエチレンテレフタレート基板）等を用いることができる。本実施例においては基板100としてガラス基板（コーニング1737；歪点667）を用いた。

【0050】

次に、基板100上に第1の絶縁膜（以下、本明細書中では第1の下地膜と称す）101aを形成する。第1の下地膜101aとしては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜（ $\text{SiO}_x\text{N}_y$ ）、またはこれらの積層膜等を用いることができる。第1の下地膜101aの形成手段としては熱CVD法、プラズマCVD法、スパッタ法、蒸着法、減圧熱CVD法等の公知の手段を用い、100～500nmの膜厚範囲で用いることができる。なお、200nm以上の膜厚を有した下地膜を熱処理すれば、基板からの不純物の拡散を十分防ぐことができるため、信頼性の高いTFETを作製することができる。本実施例では、第1の下地膜101aとして、TEOSと酸素（ $\text{O}_2$ ）を原料ガスに用い、プラズマCVD装置によって膜厚200nmの酸化珪素膜を成膜した。（図1（A））

【0051】

次いで、第1の下地膜101aに熱処理を施し、第1の下地膜101a'を形成する。（図1（B））ここでの熱処理は基板の歪点以下、好ましくは200～700で行う。本実施例では640、4時間の熱処理を行った。この熱処理は、TFETの信頼性を向上させるために必要である。この際、第1の下地膜101aの表面は大気にさらされる。

【0052】

10

20

30

40

50

次いで、熱処理された第1の下地膜101a'上に、第2の絶縁膜101b(以下、本明細書中では第2の下地膜と称す)と半導体膜102とを大気にふれさせることなく積層形成する。(図1(C))こうすることにより、半導体膜、特にチャネル形成領域を構成する領域と第2の下地膜101bとの界面を良好なものとした。

【0053】

また、半導体膜と熱処理された第1の下地膜は直接接していないが、第1の下地膜と比較して第2の下地膜の膜厚を薄くすることにより、TFTの信頼性を向上することができた。

【0054】

即ち、本実施例においては、熱処理された第1の下地膜によりTFTの信頼性を向上させ、さらに第2の下地膜により良好なSi/SiO<sub>2</sub>界面を形成させる。なお、第1の下地膜と第2の下地膜との界面における不純物の濃度は大気にふれるため、第2の下地膜と活性層との界面と比較して高く、界面において急峻なピークを示した。特にボロン元素の濃度のピークの最高値は $3 \times 10^{17} \text{atoms / cm}^3$ 以上であった。

【0055】

第2の下地膜101bとしては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜(SiO<sub>x</sub>N<sub>y</sub>)、またはこれらの積層膜等を用いることができる。この第2の下地膜101bの形成手段としては熱CVD法、プラズマCVD法、スパッタ法、蒸着法、減圧熱CVD法等の公知の手段を用い、10~100nm、好ましくは20~60nmの膜厚範囲で用いることができる。本実施例では、第2の下地膜101bとしてTEOSと酸素(O<sub>2</sub>)を原料ガスに用い、プラズマCVD装置によって膜厚20nmの酸化珪素膜を成膜した。

【0056】

また、半導体膜102としては、非晶質珪素膜、微結晶を有する非晶質半導体膜、微結晶半導体膜、非晶質ゲルマニウム膜、Si<sub>x</sub>Ge<sub>1-x</sub>(0<x<1)で示される非晶質シリコンゲルマニウム膜、またはこれらの積層膜を20~70nm(代表的には40~50nm)の膜厚範囲で用いることができる。半導体膜102の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、スパッタ法等の公知の手段を用いることができる。本実施例では、半導体膜102として非晶質珪素膜を50nmの膜厚で成膜した。

【0057】

なお、本実施例では第2の下地膜を形成する第1のチャンバー44と、半導体膜を形成する第2のチャンバー45とを少なくとも備えたマルチチャンバー(図7に示す装置)を用いて、大気にふれることなく各チャンバー間を移動させることにより積層形成させた。また、同一チャンバーで反応ガスを入れ換えることにより積層形成する構成としてもよい。

【0058】

こうして図1(C)の状態が得られたら、非晶質珪素膜からなる半導体膜102に結晶化処理を施して結晶質珪素膜からなる半導体膜102'を形成する。本実施例では半導体膜に対して赤外光または紫外光の照射による結晶化(以下、レーザー結晶化と呼ぶ)を行った。結晶化技術として紫外光を用いる場合はエキシマレーザー光または紫外光ランプから発生する強光を用いればよく、赤外光を用いる場合は赤外線レーザー光または赤外線ランプから発生する強光を用いればよい。本実施例では大気中でエキシマレーザー光を線状にビーム形成して照射した。(図1(D))なお、大気にさらしてレーザー結晶化を行った場合には表面に薄い酸化膜が形成されるが本実施例では簡略化のため図示しない。また、本実施例では大気中で行ったが、特に限定されず、不活性雰囲気、または真空中でレーザー結晶化してもよい。

【0059】

また、結晶化処理としては、公知の如何なる技術、例えばレーザー結晶化処理、熱結晶化処理、または触媒元素を用いた熱結晶化処理を用いることができる。なお、レーザー結晶化の条件(レーザー光の波長、オーバーラップ率、照射強度、パルス幅、繰り返し周波数、照射時間等)は、絶縁膜105の膜厚、初期半導体膜104の膜厚、基板温度等を考慮して実施者が適宜決定すればよい。照射条件としては、パルス周波数が30Hz、オーバ

10

20

30

40

50

ーラップ率は96%、レーザーエネルギー密度は $100 \sim 500 \text{ mJ/cm}^2$ であり本実施例では $359 \text{ mJ/cm}^2$ とした。また、レーザー結晶化の条件によっては、半導体膜が熔融状態を経過して結晶化する場合や、半導体膜が熔融せずに固相状態、もしくは固相と液相の中間状態で結晶化する場合がある。

【0060】

次いで、得られた半導体膜102'をパターンニングして、所望の形状を有する活性層103を形成した。(図1(E))

【0061】

なお、図1(D)または図1(E)の工程後、しきい値電圧制御をするために不純物の添加を行ない、チャネル形成領域となる領域に不純物を添加する工程を加えてもよい。また、図1(D)と図1(E)の工程順序を変更して、半導体膜をパターンニングした後、結晶化させてもよい。

【0062】

次に、活性層を覆って、絶縁膜(後の工程によりゲート絶縁層となる)104と(導電膜ゲート配線形成材料層)105を形成した。(図2(A))絶縁膜104としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜( $\text{SiO}_x\text{N}_y$ )、有機樹脂膜(BCB膜等)、またはこれらの積層膜等を用いることができる。第3の絶縁膜104の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、スパッタ法、蒸着法、塗布法等の公知の手段を用い、 $10 \sim 300 \text{ nm}$ の膜厚範囲で用いることができる。本実施例では、第3の絶縁膜104として酸化珪素膜を $150 \text{ nm}$ の膜厚で成膜した。

【0063】

また、導電膜105としては、導電性材料または半導体材料、例えば、アルミニウム(Al)、タンタル(Ta)、銅(Cu)、ニオブ(Nb)、ハフニウム(Hf)、ジルコニウム(Zr)、チタン(Ti)、クロム(Cr)、シリコン(Si)、シリサイド等を主成分とする層からなる単層構造または積層構造を用いることができる。導電膜105としては、 $10 \sim 500 \text{ nm}$ の膜厚範囲で用いることができる。本実施例では導電膜105としてアルミニウム膜を $400 \text{ nm}$ の膜厚で成膜した。

【0064】

次いで、マスク108を用いて導電膜105をパターンニングしてゲート配線を形成する材料層107を形成し、さらに第3の絶縁膜104をパターンニングしてゲート絶縁層106を形成した。(図2(B))

【0065】

そして、本実施例では、ゲート配線を形成する材料層107に第1の陽極酸化を施して多孔質な陽極酸化膜(図示しない)を形成した。さらに第2の陽極酸化膜を施して緻密な陽極酸化膜109を形成し、その後、多孔質な陽極酸化膜とマスク108を除去した。また、上記陽極酸化を施さず、ゲート配線を保護するためにゲート配線を覆う絶縁膜からなる保護膜を形成する工程を加えてもよい。

【0066】

次いで、ゲート配線をマスクとして、N型の導電性を付与する不純物を活性層103に添加する。また、活性層に選択的に所定の領域に添加するためのマスクを形成してもよい。不純物の添加は、イオン注入法、プラズマドーピング法、レーザードーピング法等の公知の手段を用いればよい。ただし、不純物イオンが活性層の所定の領域に所望の量添加されるようにドーピング条件、ドーズ量、加速電圧等を調節する。本実施例では、N型の導電性を付与する不純物としてリン元素を用い、112、113で示される低濃度不純物領域のリン濃度が、SIMS分析で $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ になるように調節した。また、110、111で示される高濃度不純物領域のリン濃度が、SIMS分析で $1 \times 10^{20} \sim 8 \times 10^{21} \text{ atoms/cm}^3$ になるように調節した。(図2(C))

【0067】

高濃度不純物領域( $n^+$ 型領域)110、111はソース領域、ドレイン領域となり、低濃度不純物領域( $n^-$ 型領域)112、113はLDD領域となる。

また、リンイオン、ボロンイオンが注入されなかった領域が後にキャリアの移動経路となる真性または実質的に真性なチャネル形成領域 1 1 4 となる。

【 0 0 6 8 】

なお、本明細書中で真性とは、シリコンのフェルミレベルを変化させうる不純物を一切含まない領域を指し、実質的に真性な領域とは、電子と正孔が完全に釣り合って導電性を相殺させた領域、即ち、しきい値電圧制御が可能な濃度範囲（SIMS 分析で  $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms / cm}^3$ ）でN型またはP型を付与する不純物を含む領域、または意図的に逆導電型不純物を添加することにより導電性を相殺させた領域を示す。

【 0 0 6 9 】

また、図 2（B）において、絶縁膜 1 0 4 のパターニングを行わず、絶縁膜 1 0 4 を介して不純物の添加を行った後、絶縁膜 1 0 4 のパターニングを行う工程としてもよい。

10

【 0 0 7 0 】

次に、ソース領域およびドレイン領域における不純物の活性化効果、またはドーピング工程で損傷した活性層の結晶構造の回復効果を得るための公知の技術、例えば熱アニールまたはレーザーアニールを行う。本実施例では、照射条件がパルス周波数 5 0 H z、レーザーエネルギー密度  $179 \text{ mJ/cm}^2$  のレーザー光を照射した後、熱活性化処理（窒素雰囲気下、450℃、2 時間）を施した。

【 0 0 7 1 】

次いで、層間絶縁膜 1 1 5 を成膜し、ソース領域、ドレイン領域上を露出させるコンタクトホールを形成した後、金属膜を形成し、これをパターニングして、ソース領域、ドレイン領域と接触する金属配線 1 1 6 ~ 1 1 7 を形成する。最後に水素化処理（窒素雰囲気下、350℃、2 時間）を行なう。（図 2（D））こうして、本実施例におけるNチャネル型TFETの作製を完了する。

20

【 0 0 7 2 】

本実施例では第 2 の下地膜と前記チャネル形成領域との界面における酸素の濃度を  $2 \times 10^{19} \text{ atoms / cm}^3$  以下、炭素、窒素の濃度を  $5 \times 10^{18} \text{ atoms / cm}^3$  以下とすることができた。

【 0 0 7 3 】

なお、本実施例ではNチャネル型TFETの作製方法を例示したが、Pチャネル型TFETにするならば、上記不純物添加工程で不純物イオンとしてP型を付与するボロンイオンを添加すればよい。

30

【 0 0 7 4 】

本実施例においては、第 2 の下地膜の影響および絶縁膜の熱処理の影響を比較するために、本実施例の作製方法におけるTFETのしきい値電圧と、本実施例とは異なる作製方法によるTFETのしきい値電圧とを測定した。また、第 2 の下地膜の膜厚の影響を比較するために、上記作製方法を用いて第 2 の下地膜の膜厚の異なるTFETを作製し、各々のTFETのしきい値電圧（ $V_{th}$ ）を測定した。本実施例では、同一条件で作製された複数の基板を用意して、それら基板内のランダムな測定点におけるTFET〔L（チャネル長）/W（チャネル幅）= 8 / 200  $\mu\text{m}$ 〕をルートID外挿法（ドレイン電圧  $V_D = 14 \text{ V}$ 、ゲート電圧  $V_G = -20 \text{ V} \sim 20 \text{ V}$ ）を用いて測定した。図 8 はNチャネル型TFETのしきい値電圧の分布図であり、図 9 はPチャネル型TFETのしきい値電圧の分布図を示す。

40

【 0 0 7 5 】

なお、本明細書中でしきい値電圧（ $V_{th}$ ）とは、TFETをオフ状態からオン状態に変化させるために必要なゲート配線に印加する電圧値を示す。

【 0 0 7 6 】

また、同様に図 10 はNチャネル型TFETのしきい値電圧の変化量（ $\Delta V_{th}$ ）であり、図 11 はPチャネル型TFETのしきい値電圧の変動を示す。 $\Delta V_{th}$ は、ルートID外挿法による測定を 10 回連続して行なうことによってTFET〔L/W = 8 / 8  $\mu\text{m}$ 〕にストレスを与え、1 回目のしきい値電圧  $V_{th_1}$  と 10 回目の  $V_{th_{10}}$  を測定し、その変化量を  $\Delta V_{th}$  としている。この  $\Delta V_{th}$  の値が小さければ小さい程、TFETの劣化が少な

50

く信頼性が高いことを示す。

【0077】

以下に示した作製条件によるTFTをそれぞれ(基板2~3枚、各基板内4~16点)測定し、データA~Hを得た。

【0078】

A) 下地膜とa-Si膜を連続形成したTFT(従来例1)

B) 下地膜を形成した後、a-Si膜を成膜したTFT(従来例2)

C) 下地膜を形成し熱処理を行なった後、a-Si膜を成膜したTFT(従来例3)

D) 第1の下地膜を形成し熱処理を行なった後、第2の下地膜(5nm)とa-Si膜を連続形成したTFTE) 第1の下地膜を形成し熱処理を行なった後、第2の下地膜(10nm)とa-Si膜を連続形成したTFTF) 第1の下地膜を形成し熱処理を行なった後、第2の下地膜(20nm)とa-Si膜を連続形成したTFT(本実施例)

G) 第1の下地膜を形成し熱処理を行なった後、第2の下地膜(50nm)とa-Si膜を連続形成したTFTH) 第1の下地膜を形成し熱処理を行なった後、第2の下地膜(100nm)とa-Si膜を連続形成したTFT

【0079】

以下に第2の下地膜の影響を考察する。

【0080】

図8~図11に示したデータA(従来例1)に注目すると、データCの $V_{th}$ については2~3Vに抑えられ良好な値を示しているが、 $\Delta V_{th}$ が大きいために信頼性の低いTFTとなっている。

【0081】

また、データB(従来例2)に注目すると、 $V_{th}$ についてはデータAと比較して若干プラスにシフトしており、データAと同様に $\Delta V_{th}$ が大きくなっている。これらの結果(データA及びB)から、下地膜とa-Si膜を大気中にふれさせずに連続形成すると、不純物の少ない界面を保持できるため、 $V_{th}$ のプラスシフトを抑えられることを本発明者は見出した。

【0082】

また、データC(従来例3)に注目すると、 $V_{th}$ については大幅にプラスにシフトしており5~8Vとなっているが、 $\Delta V_{th}$ が非常に小さく信頼性の高いTFTとなっている。これらの結果から、下地膜を熱処理すると、しきい値電圧の変化量 $\Delta V_{th}$ を小さくすることができる、即ちTFTの信頼性が向上することを本発明者は見出した。

【0083】

これら従来例1~3のTFTに対して、本実施例のTFTは、第1の下地膜を熱処理した後、薄い第2の下地膜とa-Si膜(半導体膜)を連続形成することによって、データD~H、特にデータE(本実施例)からわかるように、 $V_{th}$ のプラスシフトが抑えられ、且つ、 $\Delta V_{th}$ が小さく信頼性の高いTFTとなった。

【0084】

以上の知見から、しきい値電圧( $V_{th}$ )は、半導体膜に直接接する膜、即ち、薄い第2の下地膜とa-Si膜の界面特性に左右されるが、しきい値電圧の変動( $\Delta V_{th}$ )は、半導体に直接接する膜、即ち、薄い第2の下地膜に起因するものではなく、熱処理された第1の下地膜に起因していることを本発明者は見出した。また、第2の下地膜は、第1の下地膜と半導体膜との間の応力を緩和するバッファ層として機能していることを本発明者は見出した。

【0085】

また、以下に第2の下地膜の膜厚の影響を考察する。

【0086】

図8及び図9に示したデータD~Hを見ると、 $V_{th}$ は第2の下地膜の膜厚に対し、Nチャネル型TFTでは単調減少し、Pチャネル型TFTでは一度大きく負に変化した後単調増加している。また、図10および図11に示したデータD~Hを見ると、 $\Delta V_{th}$ は

第2の下地膜の膜厚に対し、Pチャネル型TFTでは20nm以上で低減されており、Nチャネル型TFTでは50nm以上で増加している。

【0087】

これらの結果から第1の下地膜を200nmとした場合、第2の膜厚は、10nm以上、好ましくは20～50nmが望ましい。ただし、上記膜厚は設定膜厚であり、実際の膜厚は、設定膜厚より大きめとなるため、第2の膜厚は、実測値で20～60nmとすることが望ましい。

【0088】

なお、本実施例では、しきい値電圧の変化量( $\Delta V_{th}$ )を測定するための信頼性試験を行ったが、特に限定されず、一般的なBias-Temperature-Stressによる信頼性試験でも同様の実験結果が得られる。

10

【0089】

本実施例の作製方法を利用して半導体素子(TFT)からなる半導体回路を備えた半導体装置について、図3及び図4を用いてその構造の一例を説明する。

【0090】

本実施例では、図3に周辺駆動回路部の一部を構成するCMOS回路(インバータ回路)が示されている。また、図3に使われている符号は図1または図2と同一である。図3において、インバータ回路の上面図の点線A-A'で切断した断面が、CMOS回路の断面構造に相当する。なお、図3(A)のインバータ回路図、インバータ回路の上面図における各端子部a、b、c、dは対応している。

20

【0091】

図3において、いずれのTFT(薄膜トランジスタ)も基板100上に設けられた第1の下地膜101a'と第2の下地膜101bとの積層膜上に形成される。インバータ回路のNチャネル型TFTの場合には、第2の下地膜上に活性層としてチャネル形成領域114とN型の高濃度不純物領域( $n^+$ 型領域)110、111と、前記チャネル形成領域と前記高濃度不純物領域の間に低濃度不純物領域( $n^-$ 型領域)112、113が形成されている。そして前記チャネル形成領域上には、ゲート絶縁層106を介してゲート配線107'が形成されている。

ゲート配線106は陽極酸化膜109で保護されている。その上を覆う第1の層間絶縁膜115にコンタクトホールを形成して高濃度不純物領域に配線116、117が接続されている。

30

【0092】

一方、Pチャネル型のTFTは、活性層として高濃度不純物領域( $p^+$ 型領域)110'、111'と、チャネル形成領域114'と、前記 $p^+$ 型領域とチャネル形成領域の間に低濃度不純物領域( $p^-$ 型領域)112'、113'が形成される。 $p^+$ 型領域110'、111'には配線116、117'が形成される。活性層以外の部分は、上記Nチャネル型TFTと概略同一構造である。

【0093】

また、図4に画素部の一部を構成する画素TFT(Nチャネル型TFT)が示されている。また、図4に使われている符号は図1または図2と同一である。また、図4(A)において、点線A-A'で切断した断面が、図4(B)の画素部の断面構造に相当する。

40

【0094】

画素部に形成されたNチャネル型TFTについては、第1の層間絶縁膜115を形成する部分まで、インバータ回路のNチャネル型TFTと同一構造である。

そして、高濃度不純物領域( $n^+$ 型領域)110、111には配線116、117が接続され、その上に第2の層間絶縁膜118と、ブラックマスク119とが形成される。さらに、その上に第3の層間絶縁膜120が形成され、ITO、 $SnO_2$ 等の透明導電膜からなる画素電極121が接続される。この画素電極は画素TFTを覆い、且つブラックマスクと補助容量を形成している。本実施例では一例として透過型のLCDを作製したが特に限定されない。例えば、画素電極の材料として反射性を有する金属材料を用い、画素電極

50

のパターニングの変更、または幾つかの工程の追加 / 削除を適宜行えば反射型の LCD を作製することが可能である。

【 0 0 9 5 】

なお、本実施例では、画素部の画素 TFT のゲート配線をダブルゲート構造としているが、オフ電流のバラツキを低減するために、トリプルゲート構造等のマルチゲート構造としても構わない。また、開口率を向上させるためにシングルゲート構造としてもよい。

【 0 0 9 6 】

なお、同一基板上に図 3 に示した周辺駆動回路部と、図 4 に示した画素部とを作製することも可能である。

【 0 0 9 7 】

また、本実施例ではトップゲート型 TFT を例にとって説明してきたが、本願発明の構成はボトムゲート型 TFT に適用することもできる。

【 実施例 2 】

【 0 0 9 8 】

本実施例は、実施例 1 とは異なる方法により結晶質珪素膜を得る例である。本実施例では、珪素の結晶化を助長する触媒元素を利用して、結晶質半導体膜を形成する。基本的な構成は実施例 1 とほぼ同様であるので、相違点のみに着目して説明する。

【 0 0 9 9 】

本実施例は、第 2 の下地膜と半導体膜 1 0 2 を連続形成する工程（図 1（C））までは、実施例 1 と同一である。

【 0 1 0 0 】

図 1（C）と同じ状態を得た後、半導体膜 1 0 2 の表面に珪素の結晶化を助長する触媒元素を導入する。珪素の結晶化を助長する触媒元素としては、Ni、Fe、Co、Pt、Cu、Au、Ge から選ばれた一種または複数種類の元素が用いられる。本実施例では前記触媒元素の内、非晶質珪素膜中の拡散速度が早く、極めて良好な結晶性を得ることができる Ni を用いた。

【 0 1 0 1 】

また、上記触媒元素を導入する箇所としては、特に限定されないが、非晶質珪素膜の全面、またはマスクを適宜形成することにより選択的に導入する。

【 0 1 0 2 】

また、非晶質珪素膜に触媒元素を導入する方法としては、触媒元素を非晶質珪素膜の表面に接触させ得る方法、または非晶質珪素膜の膜中に保持させ得る方法であれば特に限定されない。例えば、スパッタ法、CVD 法、プラズマ処理法、吸着法、イオン注入法、または触媒元素を含有した溶液を塗布する方法を使用することができる。これらの内、溶液を塗布する方法は簡便であり、触媒元素の濃度調整が容易であるという点で有用である。金属塩としては各種塩を用いることができ、溶媒としては水のほか、アルコール類、アルデヒド類、エーテル類、その他の有機溶媒、或いは水と有機溶媒の混合溶媒を用いることができる。本実施例では、塗布方法を用い、10 ~ 10000 ppm、好ましくは 100 ~ 10000 ppm（重量換算）の範囲のニッケルを含んだ溶液を塗布した。ただし、非晶質珪素膜の膜厚を考慮に入れて適宜添加量を調節する必要がある。このようにして得られた非晶質珪素膜における膜中のニッケル濃度は  $1 \times 10^{19} \sim 1 \times 10^{21} \text{atoms} / \text{cm}^3$  となる。

【 0 1 0 3 】

以上のようにして触媒元素を非晶質珪素膜に導入した後、加熱処理（550℃、4 時間）により結晶化を行ない結晶質半導体膜を得る。また、加熱処理に代えてレーザー光を照射する工程を加えてもよい。

【 0 1 0 4 】

また、上記工程の後、結晶質半導体膜中の前記触媒元素を低減するためのゲッタリング処理工程（特開平9-312260号公報、特開平8-330602号公報等の技術）を行うことが好ましい。なお、特開平9-312260号公報には、結晶質半導体膜の前記触媒元素を酸化性雰囲気中

10

20

30

40

50

での熱酸化（450～1100）で形成される熱酸化膜中にゲッタリングさせ、その熱酸化膜を除去するゲッタリング処理工程が記載されている。

【0105】

本実施例では、リンのゲッタリング作用を利用して、結晶質半導体膜中のニッケル元素を低減した。

【0106】

ゲッタリング処理工程は、まず、上記結晶化工程を終了後、マスクを用いて結晶質半導体膜へ選択的にリンをドーピングして、リン濃度が $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms / cm}^3$ であるリン添加領域を形成する。次いで、窒素雰囲気中で600、12時間加熱してリン添加領域にニッケルを捕獲させる。これによって、リン添加領域以外の領域のニッケル濃度は $5 \times 10^{17} \text{ atoms / cm}^3$ 以下（好ましくは $2 \times 10^{17} \text{ atoms / cm}^3$ 以下）に低減することができる。

10

【0107】

次いで、上記ゲッタリング工程が終了した後、マスクを除去し、さらにパターニングして活性層を形成する。ここでは、リン添加領域以外の領域を用いて活性層を形成する。

【0108】

活性層のパターニング工程後の工程は、実施例1と同様な工程を順次行うことにより図2（D）の状態のTF Tが得られる。

【0109】

本実施例の作製方法を用いて作製したTF Tのしきい値電圧 $V_{th}$ と、しきい値電圧の変化量 $\Delta V_{th}$ を実施例1と同様に測定した。また、第2の下地膜の影響を比較するために、第1の下地膜200nmのみのTF T（比較例1）のしきい値電圧（ $V_{th}$ ）及びしきい値電圧の変化量（ $\Delta V_{th}$ ）を測定した。図12はNチャネル型TF Tのしきい値電圧の分布図であり、図13はPチャネル型TF Tのしきい値電圧の分布図を示す。

20

【0110】

また、同様に図14はNチャネル型TF Tのしきい値電圧の変化量（ $\Delta V_{th}$ ）の分布図であり、図15はPチャネル型TF Tのしきい値電圧の変化量の分布図を示す。

【0111】

以下に第2の下地膜の影響を考察する。

【0112】

図12～図15に示したデータに注目すると、本実施例は比較例1よりもしきい値電圧が小さく、第2の下地膜を設けることによってしきい値電圧のプラスシフトが抑えられている。また、本実施例は、比較例1と同様に第1の下地膜が熱処理されているため、しきい値電圧の変動（ $\Delta V_{th}$ ）が小さく、特にPチャネルにおいては、しきい値電圧の変動がほとんどないTF Tが得られた。

30

【実施例3】

【0113】

本実施例は、実施例1とは異なる方法により結晶質半導体膜を得る例である。本実施例では、レーザービーム形状を長方形または正方形に成形し、一度の照射で数 $\text{cm}^2$ ～数百 $\text{cm}^2$ の領域に均一なレーザー結晶化処理により結晶質珪素膜を得る方法に関する。基本的な構成は実施例1とほぼ同様であるので、相違点のみに着目して説明する。

40

【0114】

本実施例では、図1（C）の工程においてエキシマレーザー光を面状に加工して照射する。レーザー光を面状に加工する場合は数十 $\text{cm}^2$ 程度（好ましくは10 $\text{cm}^2$ 以上）の面積を一括照射できる様にレーザー光を加工する必要がある。

そして照射面全体を所望のレーザーエネルギー密度でアニールするためには、トータルエネルギーが5J以上、好ましくは10J以上の出力のレーザー装置を用いる。

【0115】

その場合、エネルギー密度は100～800 $\text{mJ/cm}^2$ とし、出力パルス幅は100nsec以上、好ましくは200nsec～1msecとすることが好ましい。200nsec～1msecというパ

50

ルス幅を実現するにはレーザー装置を複数台連結し、各レーザー装置の同期をずらすことで複数パルスの混合した状態を作れば良い。

【 0 1 1 6 】

本実施例の様な面状のビーム形状を有するレーザー光を照射することにより大面積に均一なレーザー照射を行うことが可能である。即ち、活性層の結晶性（結晶粒径や欠陥密度等を含む）が均質なものとなり、T F T間の電気特性のばらつきを低減することができる。

【 0 1 1 7 】

なお、本実施例は実施例 1 または 2 との組み合わせが容易であり、その組み合わせ方は自由である。

【 実施例 4 】

【 0 1 1 8 】

本実施例では、本願発明によって作製された液晶表示装置の例を図 5 に示す。画素 T F T（画素スイッチング素子）の作製方法やセル組工程は公知の手段を用いれば良いので詳細な説明は省略する。

【 0 1 1 9 】

図 5 において 5 0 0 は絶縁表面を有する基板（酸化シリコン膜を設けたプラスチック基板）、5 0 1 は画素部、5 0 2 は走査線駆動回路、5 0 3 は信号線駆動回路、5 3 0 は対向基板、5 1 0 は F P C（フレキシブルプリントサーキット）、5 2 0 はロジック回路である。ロジック回路 5 2 0 としては、D / A コンバータ、 $\gamma$  補正回路、信号分割回路などの従来 I C で代用していた様な処理を行う回路を形成することができる。勿論、基板上に I C チップを設けて、I C チップ上で信号処理を行うことも可能である。

【 0 1 2 0 】

さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であれば E L（エレクトロルミネッセンス）表示装置や E C（エレクトロクロミックス）表示装置に本願発明を適用することも可能であることは言うまでもない。

【 0 1 2 1 】

また、本願発明を用いて作製できる液晶表示装置は透過型か反射型かは問わない。どちらを選択するのも実施者の自由である。この様に本願発明はあらゆるアクティブマトリクス型の電気光学装置（半導体装置）に対して適用することが可能である。

【 0 1 2 2 】

なお、本実施例に示した半導体装置を作製するにあたって、実施例 1 ～ 実施例 3 のどの構成を採用しても良いし、各実施例を自由に組み合わせ用いることが可能である。

【 実施例 5 】

【 0 1 2 3 】

本願発明は従来の I C 技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、ワンチップ上に集積化された R I S C プロセッサ、A S I C プロセッサ等のマイクロプロセッサに適用しても良いし、液晶用ドライバ回路（D / A コンバータ、 $\gamma$  補正回路、信号分割回路等）に代表される信号処理回路や携帯機器（携帯電話、P H S、モバイルコンピュータ）用の高周波回路に適用しても良い。

【 0 1 2 4 】

また、マイクロプロセッサ等の半導体回路は様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両（自動車や電車等）の制御用コンピュータなども挙げられる。本願発明はその様な半導体装置に対しても適用可能である。

【 0 1 2 5 】

なお、本実施例に示した半導体装置を作製するにあたって、実施例 1 ～ 実施例 3 のどの構成を採用しても良いし、各実施例を自由に組み合わせ用いることが可能である。

10

20

30

40

50

## 【実施例 6】

## 【0126】

本発明を実施して形成された T F T は様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施できる。

## 【0127】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ウェアラブルディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 6 に示す。

## 【0128】

10

図 6（A）はパーソナルコンピュータであり、本体 2001、画像入力部 2002、表示部 2003、キーボード 2004 で構成される。本願発明を画像入力部 2002、表示部 2003 やその他の信号駆動回路に適用することができる。

## 【0129】

図 6（B）はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。本願発明を表示部 2102、音声入力部 2103 やその他の信号駆動回路に適用することができる。

## 【0130】

20

図 6（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示部 2205 で構成される。本願発明は表示部 2205 やその他の信号駆動回路に適用できる。

## 【0131】

図 6（D）はゴーグル型ディスプレイであり、本体 2301、表示部 2302、アーム部 2303 で構成される。本発明は表示部 2302 やその他の信号駆動回路に適用することができる。

## 【0132】

図 6（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2401、表示部 2402、スピーカ部 2403、記録媒体 2404、操作スイッチ 2405 で構成される。なお、この装置は記録媒体として DVD（Digital Versatile Disc）、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2402 やその他の信号駆動回路に適用することができる。

30

## 【0133】

図 6（F）はデジタルカメラであり、本体 2501、表示部 2502、接眼部 2503、操作スイッチ 2504、受像部（図示しない）で構成される。本願発明を表示部 2502 やその他の信号駆動回路に適用することができる。

## 【0134】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1～5 のどのような組み合わせからなる構成を用いても実現することができる。

40

## 【実施例 7】

## 【0135】

本発明を実施して形成された T F T は様々な電気光学装置に用いることができる。即ち、それら電気光学装置を液晶表示装置として組み込んだ電子機器全てに本発明を実施できる。

## 【0136】

その様な電子機器としては、プロジェクター（リア型またはフロント型）などが挙げられる。それらの一例を図 16 に示す。

## 【0137】

50

図 16 (A) はフロント型プロジェクターであり、投射装置 2601、スクリーン 2602 で構成される。本発明は投射装置の一部である液晶表示装置やその他の信号駆動回路に適用することができる。

【0138】

図 16 (B) はリア型プロジェクターであり、本体 2701、投射装置 2702、ミラー 2703、スクリーン 2704 で構成される。本発明は投射装置の一部である液晶表示装置やその他の信号駆動回路に適用することができる。

【0139】

なお、図 16 (C) は、図 16 (A) 及び図 16 (B) 中における投射装置 2601、2702 の構造の一例を示した図である。投射装置 2601、2702 は、光源光学系 2801、ミラー 2802、2804 ~ 2806、ダイクロイックミラー 2803、プリズム 2807、液晶表示装置 2808、位相差板 2809、投射光学系 2810 で構成される。投射光学系 2810 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 16 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IR フィルム等の光学系を設けてもよい。

【0140】

また、図 16 (D) は、図 16 (C) 中における光源光学系 2801 の構造の一例を示した図である。本実施例では、光源光学系 2801 は、リフレクター 2811、光源 2812、2813、2814、偏光変換素子 2815、集光レンズ 2816 で構成される。なお、図 16 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IR フィルム等の光学系を設けてもよい。

【0141】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 5 のどのような組み合わせからなる構成を用いても実現することができる。ただし、本実施例におけるプロジェクターは、透過型の液晶表示装置であり、反射型の液晶表示装置には適用できないことは言うまでもない。

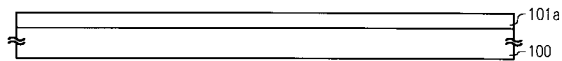
【符号の説明】

【0142】

- 100 基板
- 101a 第 1 の下地膜
- 101a' 熱処理された第 1 の下地膜
- 101b 第 2 の下地膜
- 102 半導体膜
- 102' 結晶質半導体膜
- 103 活性層
- 104 絶縁膜
- 105 導電膜
- 106 ゲート絶縁層
- 107、107' ゲート配線
- 108 マスク
- 109 陽極酸化膜
- 110、111  $n^+$  領域 (ソース領域、ドレイン領域)
- 112、113  $n^-$  領域 (低濃度不純物領域)
- 114 チャネル形成領域
- 115 層間絶縁膜
- 116、117 配線

【図 1】

(A) 第1の下地膜101aの形成



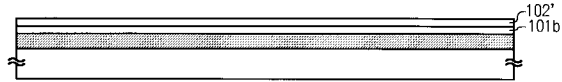
(B) 第1の下地膜101aの熱処理



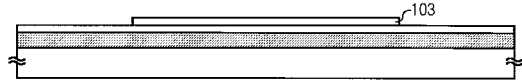
(C) 第2の下地膜101bと半導体膜102の連続形成



(D) 半導体膜102の結晶化

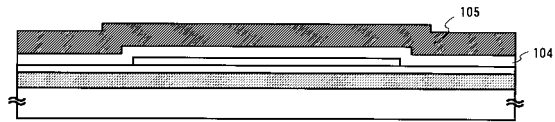


(E) 活性層の形成(半導体膜102'のパターニング)

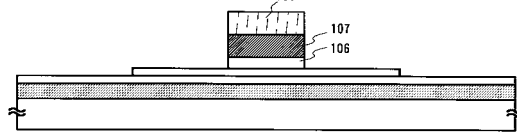


【図 2】

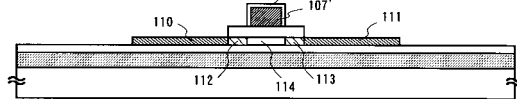
(A) 絶縁膜104と導電膜105の形成



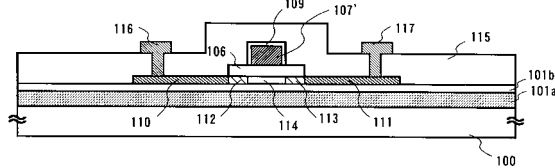
(B) ゲート配線107とゲート絶縁層106の形成



(C) ソース領域、ドレイン領域の形成

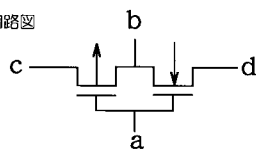


(D) 層間絶縁膜115、配線の形成

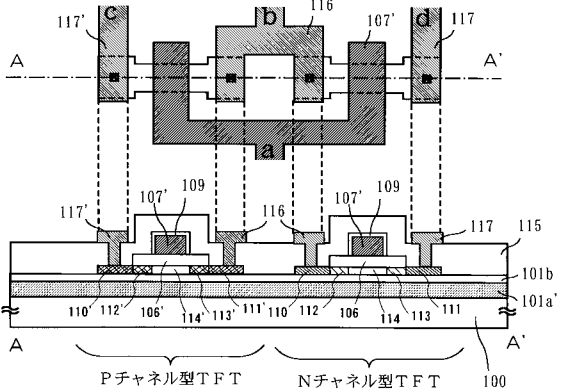


【図 3】

インバータ回路図



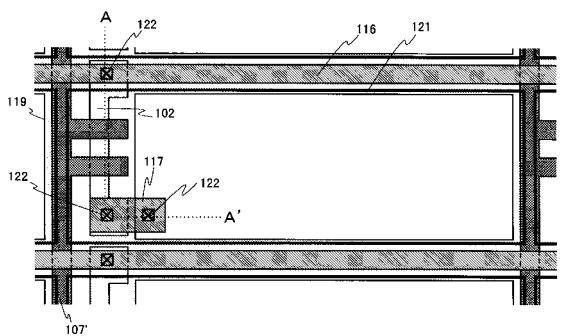
インバータ回路の上面図



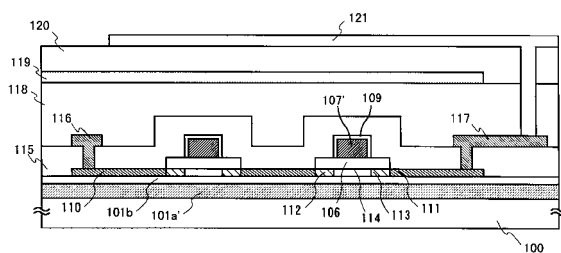
インバータ回路のA-A' 断面構造図

【図 4】

(A) 上面図

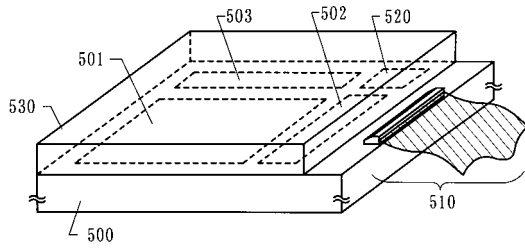


(B) 断面図



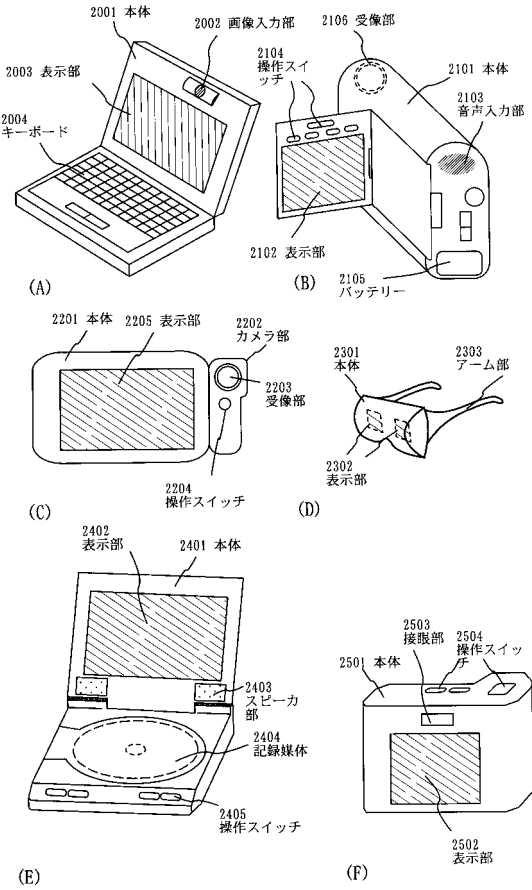
100: 基板 101a': 第1の下地膜 101b: 第2の下地膜 102: 活性層  
 110, 111: 高濃度不純物領域 112, 113: 低濃度不純物領域 114: チャンネル形成領域  
 106: ゲート絶縁膜 107': ゲート配線・電極 109: 保護膜 115: 第1の層間絶縁膜  
 116: ソース配線・電極 117: ドレイン電極  
 118: 第2の層間絶縁膜 119: ブラックマスク  
 120: 第3の層間絶縁膜 121: 画素電極 122: コンタクトホール

【図 5】

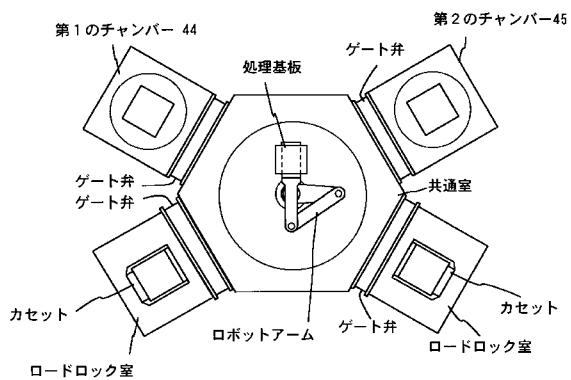


アクティブマトリクス基板  
 500: 基板、501: 画素部  
 502: 走査線駆動回路、503: 信号線駆動回路  
 510: FPC  
 511, 512: ICチップ、520: ロジック回路  
 530: 対向基板

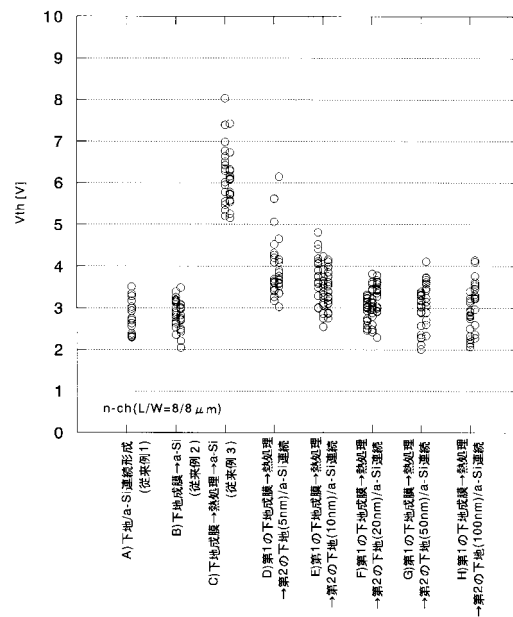
【図 6】



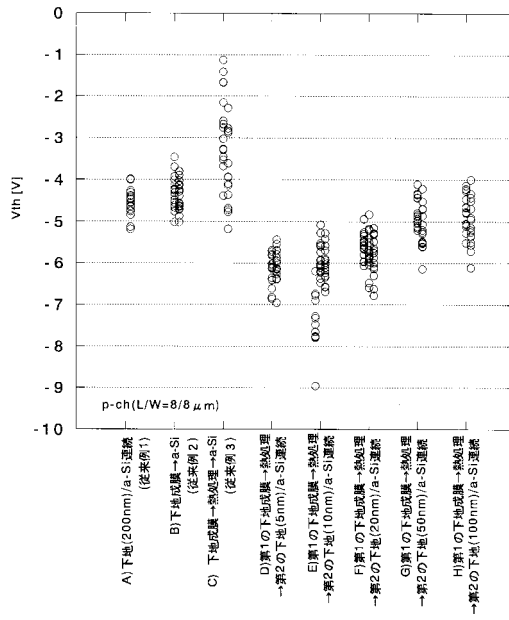
【図 7】



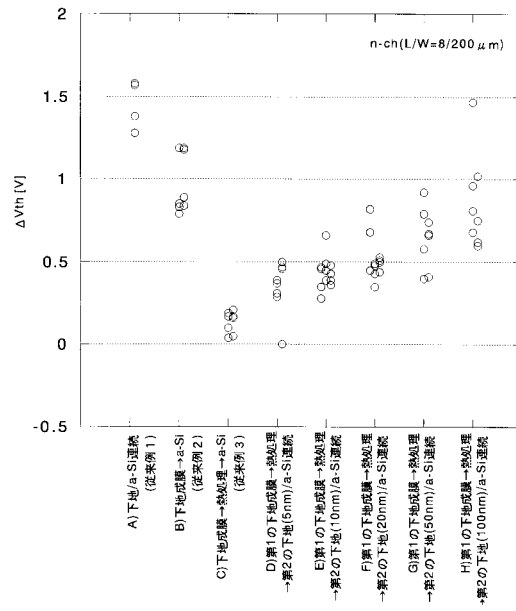
【図 8】



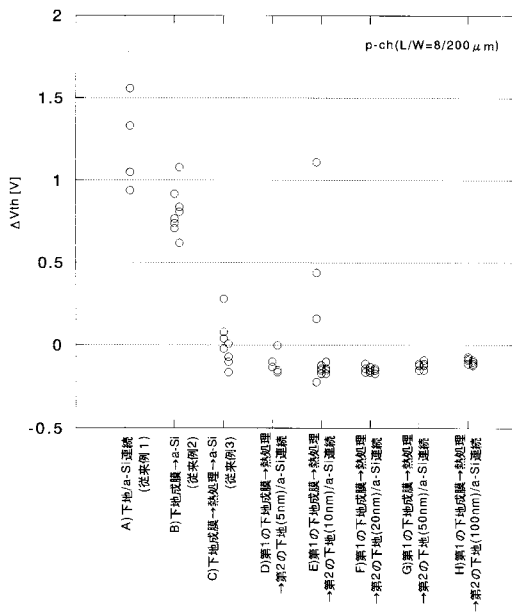
【図 9】



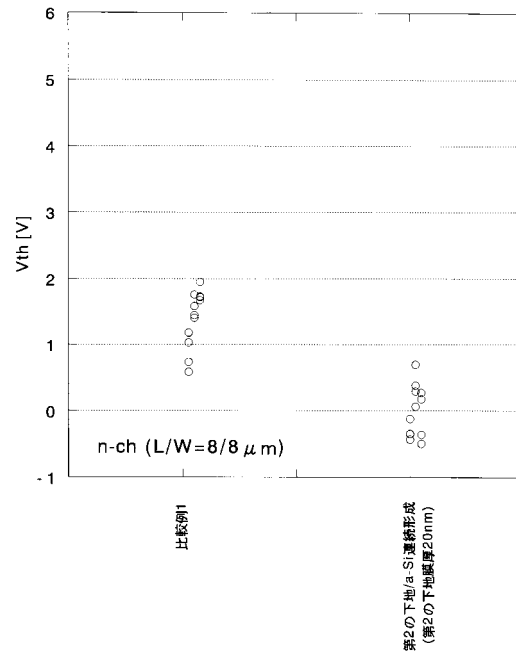
【図 10】



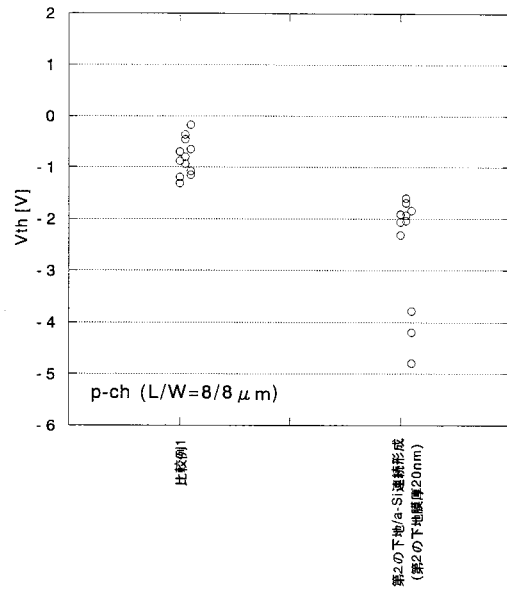
【図 11】



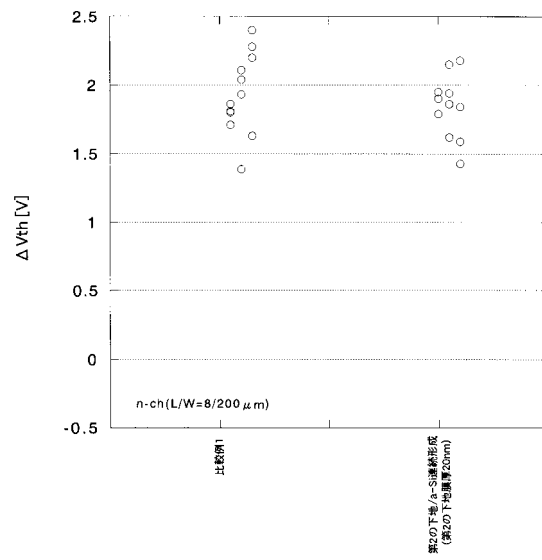
【図 12】



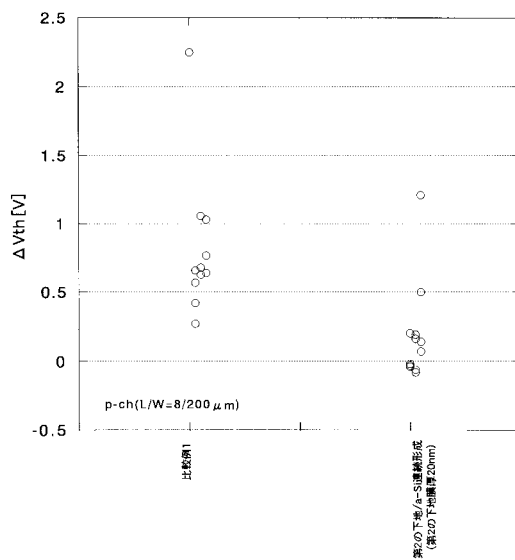
【図 13】



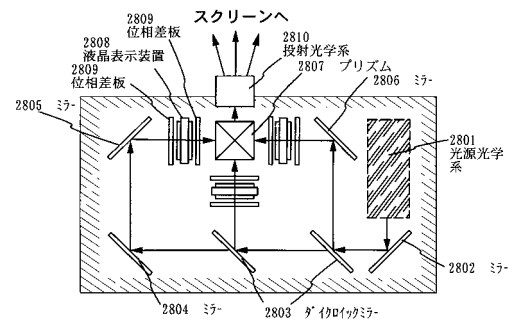
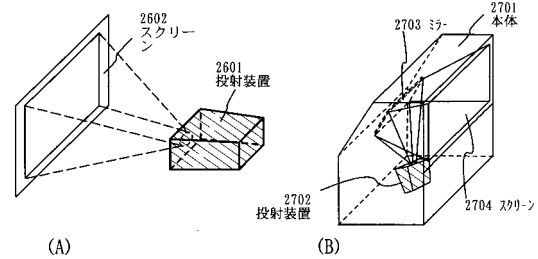
【図 14】



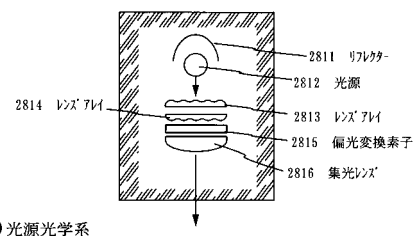
【図 15】



【図 16】



(C) 投射装置 (三板式)



(D) 光源光学系

---

フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L      2 9 / 7 8 6

H 0 1 L      2 1 / 3 3 6

H 0 1 L      2 1 / 2 0