

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-17528

(P2009-17528A)

(43) 公開日 平成21年1月22日(2009.1.22)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H03K 3/017 (2006.01)</b>	H03K 3/017	5J001
<b>H03K 3/354 (2006.01)</b>	H03K 3/354 B	5J043
<b>H03K 5/13 (2006.01)</b>	H03K 5/13	5K029
<b>H04L 25/49 (2006.01)</b>	H04L 25/49 C	

審査請求 未請求 請求項の数 15 O L (全 33 頁)

(21) 出願番号	特願2008-42517 (P2008-42517)	(71) 出願人	000002369
(22) 出願日	平成20年2月25日 (2008.2.25)		セイコーエプソン株式会社
(31) 優先権主張番号	特願2007-148981 (P2007-148981)		東京都新宿区西新宿2丁目4番1号
(32) 優先日	平成19年6月5日 (2007.6.5)	(74) 代理人	100095728
(33) 優先権主張国	日本国 (JP)		弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(74) 代理人	100127661
			弁理士 宮坂 一彦
		(72) 発明者	池田 勝幸
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	5J001 AA05 BB10 BB11 BB12 DD09
			5J043 AA12 DD02 DD07 DD10
			5K029 AA02 BB03 FF01

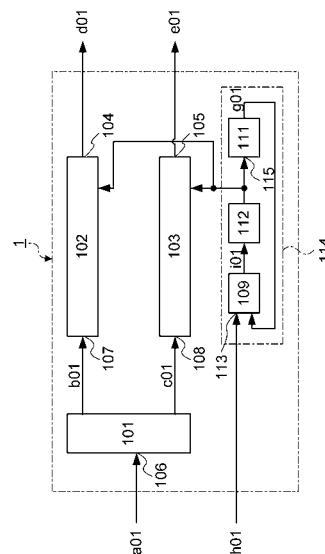
(54) 【発明の名称】 パルス発生回路及びUWB通信装置

## (57) 【要約】

【課題】従来のパルス発生回路は差動出力の信号や90度位相差のI、Q信号を得るのが難しく、平衡度が悪かったり位相誤差やノイズが多かった。本発明の目的は、上記に述べた従来の回路の課題をすべて解決し、少ない消費電力で正確な差動出力や90度位相の異なるIQパルスのペアを発生する短パルスの発生回路を具現することにある。

【解決手段】1つの起動開始信号a01を受けて所定の時間間隔の複数の起動信号(b01, c01)を発生する起動回路101と、起動回路101の起動信号(b01, c01)に呼応して所定のパルス波(d01, e01)を発生する複数の同一特性のパルス波発生サブ回路(102, 103)を備えることによって構成する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

起動開始信号に基づき所定の時間間隔の  $m$  個 ( $m$  は 2 以上の整数) の起動信号を発生させる起動回路と、

前記  $m$  個の起動信号の各々に基づきパルス幅  $Pw$  の  $n$  周期分 ( $n$  は 1 以上の整数) のパルス波を発生させる同一特性の  $m$  個のパルス波発生サブ回路と、

を含む、

ことを特徴とするパルス発生回路。

**【請求項 2】**

請求項 1 に記載のパルス発生回路において、

前記パルス波発生サブ回路は、各々の遅延量が前記パルス幅  $Pw$  に設定された複数のインバータ遅延回路と、前記複数のインバータ遅延回路の各々の出力信号に基づき前記パルス波を発生させるパルス波発生論理回路と、を含む、

ことを特徴とするパルス発生回路。

**【請求項 3】**

請求項 1 または 2 に記載のパルス発生回路において、

前記パルス発生回路は、2 個の前記パルス波発生サブ回路を含み、

各々の前記パルス波発生サブ回路は、前記所定の時間間隔を前記パルス幅  $Pw$  に設定した前記起動回路が発生する 2 個の前記起動信号の各々に基づき前記パルス波を発生する、

ことを特徴とするパルス発生回路。

**【請求項 4】**

請求項 1 または 2 に記載のパルス発生回路において、

前記パルス発生回路は、2 個の前記パルス波発生サブ回路を含み、

各々の前記パルス波発生サブ回路は、前記所定の時間間隔を前記パルス幅  $Pw / 2$  に設定した前記起動回路が発生する 2 個の前記起動信号の各々に基づき前記パルス波を発生する、

ことを特徴とするパルス発生回路。

**【請求項 5】**

請求項 1 または 2 に記載のパルス発生回路において、

前記パルス発生回路は、4 個の前記パルス波発生サブ回路を含み、

各々の前記パルス波発生サブ回路は、前記所定の時間間隔を前記パルス幅  $Pw / 2$  に設定した前記起動回路が発生する 4 個の前記起動信号の各々に基づき前記パルス波を発生する、

ことを特徴とするパルス発生回路。

**【請求項 6】**

請求項 4 または 5 に記載のパルス発生回路において、

前記パルス発生回路は、各々の前記パルス波発生サブ回路が発生する前記パルス波を相互に加算及び減算する加算減算回路をさらに含む、

ことを特徴とするパルス発生回路。

**【請求項 7】**

請求項 1 から 3 のいずれか一項に記載のパルス発生回路において、

前記起動回路は、前記起動開始信号に基づき立ち上がり立ち下がりが同時に変化する 2 相の信号を発生させる 2 相信号発生回路と、前記 2 相信号発生回路の出力信号の一方に接続された前記インバータ遅延回路と、を含む、

ことを特徴とするパルス発生回路。

**【請求項 8】**

請求項 1、2、4、6 のいずれか一項に記載のパルス発生回路において、

前記起動回路は、遅延量が前記パルス幅  $Pw$  に設定された第 1 遅延回路と、遅延量が前記パルス幅  $Pw \times 1.5$  に設定された第 2 遅延回路と、を含む、

ことを特徴とするパルス発生回路。

10

20

30

40

50

**【請求項 9】**

請求項 1 から 8 のいずれか一項に記載のパルス発生回路において、  
前記パルス発生回路は、送信するデータに基づき前記起動回路が発生する前記 m 個の起動信号の出力先を前記 m 個のパルス波発生サブ回路のいずれかに切り替える起動信号選択回路を含む、  
ことを特徴とするパルス発生回路。

**【請求項 10】**

請求項 1 から 8 のいずれか一項に記載のパルス発生回路において、  
前記パルス発生回路は、送信するデータに基づき前記 m 個のパルス波発生サブ回路が発生する前記パルス波の出力先を切り替える出力選択回路を含む、  
ことを特徴とするパルス発生回路。

10

**【請求項 11】**

請求項 3 または 7 に記載のパルス発生回路において、  
前記パルス発生回路は、前記 m 個のパルス波発生サブ回路の所定の 1 組において前記パルス波発生サブ回路を構成する前記インバータ遅延回路の出力の位相が互いに反転する出力ノード間に接続するクロスカップルインバータを含む、  
ことを特徴とするパルス発生回路。

**【請求項 12】**

請求項 2 から 11 のいずれか一項に記載のパルス発生回路において、  
前記起動回路に入力される前記起動開始信号のパルス幅は、前記パルス幅  $P_w$  以上かつ  
前記パルス幅  $P_w \times 4 \times n$  未満である、  
ことを特徴とするパルス発生回路。

20

**【請求項 13】**

請求項 2 から 11 のいずれか一項に記載のパルス発生回路において、  
前記起動回路に入力される前記起動開始信号の周期は、前記パルス幅  $P_w$  の偶数倍の周期である、  
ことを特徴とするパルス発生回路。

**【請求項 14】**

請求項 1 から 13 のいずれか一項に記載のパルス発生回路において、  
前記インバータ遅延回路は、外部制御信号によって前記インバータ遅延回路の遅延量を  
制御可能である、  
ことを特徴とするパルス発生回路。

30

**【請求項 15】**

請求項 1 から 14 のいずれか一項に記載のパルス発生回路を含む、  
ことを特徴とする UWB 通信装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、UWB (Ultra Wide Band) 通信に適するパルスを発生するパルス発生回路及び UWB 通信装置に関する。

40

**【背景技術】****【0002】**

UWB 通信は、非常に広い周波数帯域を利用して高速大容量のデータ通信を行う通信方式である。広帯域の信号を発生するために、従来のスペクトル拡散による方法や直交周波数分割多重 (OFDM: Orthogonal Frequency Division Multiplexing) による方法の他に、非常に短時間のパルスを利用する方法があり、特にインパルスラジオ (IR: Impulse Radio) 方式の通信と呼ばれている。IR 方式では、従来の変調によらない時間軸操作のみで変復調が可能であり、回路の簡略化や低消費電力化が期待できるとされている (特許文献 1, 2, 3 参照)。

**【0003】**

50

ここで、I R方式に使用されるパルス波形について簡単に説明する。図16(a)に示すようなパルス幅 $P_D$ 、周期 $T_P$ のパルス波は良く知られている通りで、そのパルス波の周波数スペクトルは、図16(b)に示すように、エンベロープが $BW = 1/P_D$ で最初の零点を持つ $\text{sinc}$ 関数である。

#### 【0004】

このようなパルスの場合は、スペクトルが直流から $BW$ まで広がるため使いづらく、図16(d)に示すようなスペクトルの中心が周波数の高いところにあるパルスが好まれる。即ち、図16(c)のようなパルス波形であって、図16(a)のパルスを周波数 $f_0 = 1/2P_w$ のパルス波で乗算して周波数スペクトルを高い方に移動したものである。パルス幅 $P_D$ の区間には、搬送波周期の半分 $P_w$  ( $P_w = 1/(2f_0)$ )のパルスがいくつ

10

#### 【0005】

このような理想的なスペクトルを持つ波形を図16(e)に示す。この波形は、図16(a)のパルスを搬送周波数 $f_0$ の正弦波で乗算した波形である。また図16(f)は、図16(a)のパルスを搬送周波数 $f_0$ の矩形波で乗算した波形であり、デジタル回路での発生が容易である。デジタル回路といってもパルス幅が狭いため、このような角張った波形が生成されることはなく図16(e)のような波形となるのが一般的である。UWB通信に理想的なパルス波形は、他にもいろいろ考案されており、ここに示した波形とは異なっているが発生方法が簡単なために多用される。

20

#### 【0006】

(従来例1) 図17(a)は、図16(c)に示すパルスを発生する従来回路例である(非特許文献1参照)。2つのインバータ1701, 1702及び否定論理和回路(NOR)1703は、NOR1703のもう一方の入力 $C_i$ が偽(L:ローレベル)となった時3段のリング発振回路を構成する。即ち、図17(b)に示すタイミング図のように $C_i$ がLの間だけ発振し、NOR1703の出力NRとインバータ1701, 1702の出力N1, N2はそれぞれ時間 $t_d$ ずつ遅れて変化が伝播していく。

#### 【0007】

ここで説明を簡略化するために、NOR1703及びインバータ1701, 1702の立ち上がり時間及び立ち下がり時間は、すべて等しいと仮定する。従ってこの回路で発生するパルス幅(図16(c)における $P_w$ )は、 $3t_d$ となる。即ち、回路を構成する素子の遅延時間の3倍が、発生可能な最も短いパルス幅となり、これがこの回路によって発生できる最も短いパルス幅となる。

30

#### 【0008】

(従来例2) UWB通信では、このようにして発生されたパルスを送信機のみでなく、受信機においても受信信号と相関を計算するためのテンプレートパルスとして使用される。受信機においては、差動型の信号処理が行われることが多く、図16(g)に示すような位相の反転した2つの信号が必要になることも多い。差動のパルス信号は、送信機においても平衡型のアンテナを駆動する際などに有効である。受信回路においては、さらに、同相と直交の位相が90度異なったI, Q信号が必要なことも多い。

40

#### 【0009】

非特許文献2には、平衡型のパルスを発生するための回路が提示されている。この回路では、差動式の遅延回路を何段か縦続接続して、論理回路によって遅延回路1段の遅延量に相当するパルス幅のパルス波を作り出す回路である。非特許文献2には、遅延回路に入力する信号の立ち上がり及び立ち下がりの両方でパルス起動することができ、これによって低消費電力化が可能であることや、遅延回路を一段おきに使うことによってI, Q信号の発生が可能であることも記されている。

#### 【0010】

【特許文献1】米国特許第6421389号明細書

【特許文献2】米国特許出願公開第2003/0108133A1号明細書

50

【特許文献 3】米国特許出願公開第 2 0 0 1 / 0 0 3 3 5 7 6 号明細書

【非特許文献 1】A CMOS IMPULSE RADIO ULTRA-WIDEBAND TRANCEIVER FOR 1Mb/s DATA COMMUNICATION AND  $\pm 2.5\text{cm}$  RANGE FINDINGS T.Terada et.al, 2005 Symposium on VLSI Circuits Digest of Technical Papers, pp.30-33

【非特許文献 2】A Low-Power Template Generator for Coherent Impulse-Radio Ultra Wide-Band Receivers Jose Luis et.al, Proceedings IEEE ICUWB, 2006 pp97-102

【発明の開示】

【発明が解決しようとする課題】

【0011】

上述した従来技術では、遅延回路が相補的に構成され必ず  $D_i$  及び  $X D_i$  の両方を発生するため I , Q 信号の発生も容易である。しかしながら P チャネル MOS トランジスタと N チャネル MOS トランジスタを相補的に使用し差動信号を得るこの方法は、P , N の両チャネル MOS トランジスタの定数のバランスが取れていないと発生される信号のバランスが良くない。信号のバランスが良くない不平衡成分があると、特に受信機において関連器を構成する場合などにおいて出力誤差が増大し都合が良くない。

10

【0012】

さらに、起動開始信号の立ち上がり立ち下りの両エッジでパルスを開始することができ、電力を節約ことが可能であると記されているが、発生されるパルスは立ち上がりで起動されたパルスと立ち下りで起動されたパルスの極性が反転してしまい、変調操作や起動のタイミングなどに大きな制約を課すことになるという課題を有する。

20

【課題を解決するための手段】

【0013】

本発明は、上述の課題の少なくとも一部を解決するためになされたものであり、以下の形態または適用例として実現することが可能である。

【0014】

[適用例 1]

起動開始信号に基づき所定の時間間隔の  $m$  個 ( $m$  は 2 以上の整数) の起動信号を発生させる起動回路と、前記  $m$  個の起動信号の各々に基づきパルス幅  $Pw$  の  $n$  周期分 ( $n$  は 1 以上の整数) のパルス波を発生させる同一特性の  $m$  個のパルス波発生サブ回路と、を含む、ことを特徴とするパルス発生回路。

30

【0015】

この構成によれば、複数の同一特性のパルス波発生サブ回路を使用しそれぞれのパルス波発生サブ回路の起動時間を調整することにより DC レベルが安定した、かつ対称性の良い差動のパルス波を発生することが可能となる。 $m$  個の起動信号の所定の時間間隔をパルス波のパルス幅  $Pw$  に等しく設定すれば、180 度位相の異なる差動信号を得ることが出来、また  $Pw$  の半分とすれば 90 度位相の異なる I , Q 信号を得ることができる。

【0016】

[適用例 2]

上記に記載のパルス発生回路において、前記パルス波発生サブ回路は、各々の遅延量が前記パルス幅  $Pw$  に設定された複数のインバータ遅延回路と、前記複数のインバータ遅延回路の各々の出力信号に基づき前記パルス波を発生させるパルス波発生論理回路と、を含む、ことを特徴とするパルス発生回路。

40

【0017】

この構成によれば、通常の半導体プロセスによるインバータ遅延回路とパルス波発生論理回路によって構成することができるので、高集積化が容易である。

【0018】

[適用例 3]

上記に記載のパルス発生回路において、前記パルス発生回路は、2 個の前記パルス波発生サブ回路を含み、各々の前記パルス波発生サブ回路は、前記所定の時間間隔を前記パルス幅  $Pw$  に設定した前記起動回路が発生する 2 個の前記起動信号の各々に基づき前記パルス

50

ス波を発生する、ことを特徴とするパルス発生回路。

【 0 0 1 9 】

この構成によれば、各々のパルス波発生サブ回路は、パルス幅  $Pw$  の時間間隔でパルス波を発生するので、互いに  $180$  度位相の異なる 2 つの信号を発生することが可能となる。発生されるパルス波は、特性が同一のパルス波発生サブ回路によって発生されるので  $DC$  レベルが安定した、かつ対称性の良い差動のパルス波を発生することが可能となる。

【 0 0 2 0 】

[ 適用例 4 ]

上記に記載のパルス発生回路において、前記パルス発生回路は、2 個の前記パルス波発生サブ回路を含み、各々の前記パルス波発生サブ回路は、前記所定の時間間隔を前記パルス幅  $Pw / 2$  に設定した前記起動回路が発生する 2 個の前記起動信号の各々に基づき前記パルス波を発生する、ことを特徴とするパルス発生回路。

10

【 0 0 2 1 】

この構成によれば、各々のパルス波発生サブ回路は、パルス幅  $Pw$  のパルス波を  $Pw / 2$  の時間間隔で発生するので、互いに  $90$  度位相の異なる 2 つの信号を発生することが可能となる。発生されるパルス波は、特性が同一のパルス波発生サブ回路によって発生されるので  $DC$  レベルが安定した、かつ対称性の良い位相が  $90$  度異なるパルス波 ( $I$  ,  $Q$  信号) を発生することが可能となる。

【 0 0 2 2 】

[ 適用例 5 ]

20

上記に記載のパルス発生回路において、前記パルス発生回路は、4 個の前記パルス波発生サブ回路を含み、各々の前記パルス波発生サブ回路は、前記所定の時間間隔を前記パルス幅  $Pw / 2$  に設定した前記起動回路が発生する 4 個の前記起動信号の各々に基づき前記パルス波を発生する、ことを特徴とするパルス発生回路。

【 0 0 2 3 】

この構成によれば、各々のパルス波発生サブ回路は、パルス幅  $Pw$  のパルス波を  $Pw / 2$  の時間間隔で発生するので、互いに  $90$  度位相の異なる 4 つの信号、即ち位相が  $90$  度異なった 2 組の差動の信号 ( $I$  ,  $Q$  差動信号) を発生することが可能となる。発生されるパルス波は、特性が同一のパルス波発生サブ回路によって発生されるので  $DC$  レベルが安定した、かつ対称性の良い差動のパルス波 ( $I$  ,  $Q$  信号) を発生することが可能となる。

30

【 0 0 2 4 】

[ 適用例 6 ]

上記適用例 4 または適用例 5 に記載のパルス発生回路において、前記パルス発生回路は、各々の前記パルス波発生サブ回路が発生する前記パルス波を相互に加算及び減算する加算減算回路をさらに含む、ことを特徴とするパルス発生回路。

【 0 0 2 5 】

この構成によれば、各々のパルス波発生サブ回路が発生する信号同士を加算及び減算して新たな信号を生成することにより、上記適用例 4 または適用例 5 のパルス発生回路が発生する  $I$  ,  $Q$  パルス信号の直交度をさらに高めることが可能となる。

【 0 0 2 6 】

40

[ 適用例 7 ]

上記適用例 1 から 3 に記載のパルス発生回路において、前記起動回路は、前記起動開始信号に基づき立ち上がり立ち下がりが同時に変化する 2 相の信号を発生させる 2 相信号発生回路と、前記 2 相信号発生回路の出力信号の一方に接続された前記インバータ遅延回路と、を含む、ことを特徴とするパルス発生回路。

【 0 0 2 7 】

この構成によれば、起動回路は、パルス波発生サブ回路を構成するインバータ遅延回路の遅延量に一致する時間間隔で 2 相の起動信号を発生できるので、パルス波発生サブ回路を起動する起動タイミングの時間間隔を、パルス波発生サブ回路が発生するパルス波のパルス幅  $Pw$  に正確に一致させることができる。

50

## 【 0 0 2 8 】

## [ 適用例 8 ]

上記適用例 1、2、4、6 に記載のパルス発生回路において、前記起動回路は、遅延量が前記パルス幅  $P_w$  に設定された第 1 遅延回路と、遅延量が前記パルス幅  $P_w \times 1.5$  に設定された第 2 遅延回路と、を含む、ことを特徴とするパルス発生回路。

## 【 0 0 2 9 】

この構成によれば、90 度位相差の 2 つのパルス波を発生する場合、パルス波発生サブ回路の起動時間差を、パルス波発生サブ回路が発生するパルス波のパルス幅  $P_w$  の半分に設定しなければならないが、回路が素子限界程度に高速で作動している場合、パルス幅  $P_w$  の半分の時間差を作り出すことが難しい。遅延量がパルス幅  $P_w \times 1.5$  の第 2 遅延回路と遅延量がパルス幅  $P_w$  の第 1 遅延回路の遅延時間差を利用することにより、パルス幅  $P_w$  の半分の遅延時間差を作り出すことが可能となる。

10

## 【 0 0 3 0 】

## [ 適用例 9 ]

上記に記載のパルス発生回路において、前記パルス発生回路は、送信するデータに基づき前記起動回路が発生する前記  $m$  個の起動信号の出力先を前記  $m$  個のパルス波発生サブ回路のいずれかに切り替える起動信号選択回路を含む、ことを特徴とするパルス発生回路。

## 【 0 0 3 1 】

この構成によれば、送信するデータの値に基づき変調ができるので、UWB 通信に適したパルス発生回路として使用することが可能となる。

20

## 【 0 0 3 2 】

## [ 適用例 1 0 ]

上記に記載のパルス発生回路において、前記パルス発生回路は、送信するデータに基づき前記  $m$  個のパルス波発生サブ回路が発生する前記パルス波の出力先を切り替える出力選択回路を含む、ことを特徴とするパルス発生回路。

## 【 0 0 3 3 】

この構成によれば、送信するデータの値に基づき変調ができるので、UWB 通信に適したパルス発生回路として使用することが可能となる。

## 【 0 0 3 4 】

## [ 適用例 1 1 ]

上記適用例 3 または 7 に記載のパルス発生回路において、前記パルス発生回路は、前記  $m$  個のパルス波発生サブ回路の所定の 1 組において前記パルス波発生サブ回路を構成する前記インバータ遅延回路の出力の位相が互いに反転する出力ノード間に接続するクロスカップルインバータを含む、ことを特徴とするパルス発生回路。

30

## 【 0 0 3 5 】

この構成によれば、1 組のパルス波発生サブ回路間の各々のインバータ遅延回路の遅延量の細かい誤差によって生じるわずかな位相のずれをクロスカップルインバータによって矯正することができるので、より正確なパルス発生が可能となる。

## 【 0 0 3 6 】

## [ 適用例 1 2 ]

上記に記載のパルス発生回路において、前記起動回路に入力される前記起動開始信号のパルス幅は、前記パルス幅  $P_w$  以上かつ前記パルス幅  $P_w \times 4 \times n$  未満である、ことを特徴とするパルス発生回路。

40

## 【 0 0 3 7 】

この構成によれば、起動開始信号のパルス幅をパルス発生回路が発生する  $n$  周期分のパルス波のよりも短くすることにより不要なパルス波を隠すことができるので、ノイズの発生を抑えることができる。

## 【 0 0 3 8 】

## [ 適用例 1 3 ]

上記に記載のパルス発生回路において、前記起動回路に入力される前記起動開始信号の

50

周期は、前記パルス幅  $P_w$  の偶数倍の周期である、ことを特徴とするパルス発生回路。

【 0 0 3 9 】

この構成によれば、パルス波発生サブ回路が周期的に起動することによって連続したパルス波を発生することが可能となる。

【 0 0 4 0 】

[ 適用例 1 4 ]

上記に記載のパルス発生回路において、前記インバータ遅延回路は、外部制御信号によって前記インバータ遅延回路の遅延量を制御可能である、ことを特徴とするパルス発生回路。

【 0 0 4 1 】

この構成によれば、外部制御信号によってインバータ遅延回路の遅延量の制御が可能であるため、製造ばらつきや動作温度、電源電圧変動による発生パルスの変動や誤差を矯正することが可能となる。

【 0 0 4 2 】

[ 適用例 1 5 ]

上記に記載のパルス発生回路を含む、ことを特徴とする UWB 通信装置。

【 0 0 4 3 】

この構成によれば、パルス発生回路によって UWB に特有の極細のパルスを簡単にしかも差動の信号として発生できるので、これらを変調回路や復調回路のテンプレート発生回路として用いることにより、これらの回路に差動型の安定した回路方式の適用が可能となり安定で信頼性が高くまた高感度の装置を安価に構成することが可能となる。特に本発明によるパルス発生回路では素子の性能限界程度に高周波の差動パルスを発生することが可能でありその有用性は高い。

【 0 0 4 4 】

パルス発生回路は、CMOS 集積回路などにより構成が可能であり、しかも素子の動作遷移時間程度の細いパルス発生が可能である。さらに、従来のパルス発生回路に比べてひずみの少ない差動のまたは I Q のパルス信号を発生することが可能である。また、CMOS 集積回路による論理回路で構成することができるので動作電力の増大なしに簡単にしかも CMOS 回路の最高速度で動作させることが構成でき、UWB 通信に利用可能な高周波広帯域のパルスを容易に発生することが可能である。

【 発明を実施するための最良の形態 】

【 0 0 4 5 】

以下、パルス発生回路の実施形態について図面に従って説明する。

【 0 0 4 6 】

( 第 1 実施形態 )

< パルスの構成 >

最初に、発生しようとするパルス波について、図 2 0 を参照しながら説明する。図 2 0 は、発生しようとするパルス波を示す波形図である。

【 0 0 4 7 】

発生しようとしているパルス波は、図 2 0 ( a ) 及び ( b ) に示すような互いに位相が 1 8 0 度異なったパルス波のペア、または、図 2 0 ( d ) 及び ( e ) のように位相が 9 0 度異なったパルス波のペア、さらに、図 2 0 ( g ) ~ ( j ) のように互いに位相が 1 8 0 度異なったパルス波のペアが互いに位相が 9 0 度異なって出力される 2 組のペアである。図 2 0 ( a ) 及び ( b ) は、差動出力のパルス波信号であり、図 2 0 ( a ) のパルス信号と図 2 0 ( b ) のパルス信号との電位差は、図 2 0 ( c ) に示すようなパルス信号となる。図 2 0 ( d ) 及び ( e ) は、シングルエンド出力の I , Q 信号であり、図 2 0 ( g ) ~ ( j ) は、差動出力の I , Q 信号である。

【 0 0 4 8 】

本実施形態では、一例として最小線幅 0 . 1 8  $\mu$  の CMOS ( 相補型金属酸化膜半導体 ) プロセスを用いて容易に実現可能な以下の波形を発生する場合について説明するが、こ

10

20

30

40

50



の場合のみに限定されるものではない。発生する波形は、図 20 ( a ) に示すように、パルス間隔を  $T_p$  ( 任意 )、搬送周波数  $f_0 = 4 \text{ GHz}$  とすると、 $P_w = 1 / ( 2 f_0 )$  で求める搬送波周期の半分は、 $P_w = 125 \text{ psec}$  となり、パルス幅  $P_D$  は、 $P_D = 2 \times n \times P_w$  (  $n$  は任意の周期 ) となる。また、信号形態は、差動出力、シングルエンド出力の I , Q 信号のペア及び差動出力の I , Q 信号のペアとなる。

#### 【 0 0 4 9 】

##### < パルス発生回路の構成 >

まず、第 1 実施形態に係るパルス発生回路の構成について、図 1 及び図 2 を参照して説明する。図 1 は、第 1 実施形態に係るパルス発生回路の構成を示す構成図である。図 2 は、第 1 実施形態に係るパルス発生回路の動作を示すタイミング図である。

10

#### 【 0 0 5 0 】

図 1 に示すように、パルス発生回路 1 は、起動回路 101 と、同一特性のパルス波発生サブ回路 102 , 103 と、を含んで構成されている。起動回路 101 は、端子 106 に入力された起動開始信号 a01 を受けて所定の時間間隔の  $m = 2$  個の起動信号 b01 , c01 を発生し、端子 107 , 108 に出力する。パルス波発生サブ回路 102 , 103 は、それぞれ起動信号 b01 , c01 の立ち上がりに対応してパルス波 d01 , e01 を発生し、端子 104 , 105 から出力する。

#### 【 0 0 5 1 】

ここで、起動信号 b01 , c01 の発生する時間差  $t_d$  を図 2 に示すように発生するパルス波のパルス幅  $P_w$  に設定すると、パルス波発生サブ回路 102 , 103 は、パルス幅  $P_w$  の時間差でパルス波 d01 , e01 を発生する。このパルス波 d01 , e01 の電位差は、図 2 の信号 d01 - e01 に示すような波形となる。起動信号 b01 , c01 の発生順序を入れ替えると、発生されるパルス波の極性を反転させることができる。すなわち図 2 の時刻  $t_1$  において、起動信号 b01 が発生し、これに伴いパルス波 d01 が発生する。続く時刻  $t_2$  において、起動信号 c01 が発生し、これに伴いパルス波 e01 が発生する。次に時刻  $t_4$  において、起動信号 c01 が発生し、これに伴いパルス波 e01 が発生する。続く時刻  $t_5$  において、起動信号 b01 が発生し、これに伴いパルス波 d01 が発生する。パルス波 d01 , e01 の電位差は、図 2 の信号 d01 - e01 に示すようにその極性を反転させることができる。

20

#### 【 0 0 5 2 】

パルス波発生サブ回路 102 , 103 は、起動信号 b01 , c01 の立ち下がりに対応してパルス波を発生させるようにすることもできるし、立ち下がりと立ち上がりの両方に対応して発生させることもできる。

30

#### 【 0 0 5 3 】

パルス波発生サブ回路 102 , 103 のどちらもパルス波 d01 , e01 を発生していない期間、すなわち図 2 に示す  $T_b$  の期間は、パルス波発生サブ回路 102 , 103 の出力する電圧が同一電圧であれば、どんな電圧値であってもその差である信号 d01 - e01 は、期間  $T_b$  において電圧値 0 となる。

#### 【 0 0 5 4 】

パルス波発生サブ回路 102 , 103 が発生するパルス波 d01 , e01 は、図 20 ( a )、( b ) とは異なり期間  $T_b (= T_p - P_D)$  において電圧値は必ずしも 0 でないが、図 2 の信号 d01 - e01 に示すように、パルス波 d01 , e01 の信号を差動信号として使用すれば、図 20 ( c ) に示す信号と同一となり目的のパルス波ペアが得られる。従来の技術で発生される図 16 ( c ) のように期間  $T_b (= T_p - P_D)$  の電位が偏っている信号は使いにくかったが、本第 1 実施形態のように差動信号ペアとして使用するとこれらの偏りは相殺され使い勝手の良い信号として利用することが可能となる。また期間  $T_b$  では、その電圧値が自由に設定できるので信号発生に最も都合の良い電圧値を取ることが可能となる。通常は、最もインピーダンスの低い電源電位とすることによって安定したパルス信号を発生することができる。

40

#### 【 0 0 5 5 】

50

またパルス発生回路 1 は、同一の特性を持つ 2 つのパルス波発生サブ回路 1 0 2 , 1 0 3 が差動信号ペアのそれぞれの信号を発生するので、特性の揃った対称性の良いひずみの少ない信号発生が可能となる。

#### 【 0 0 5 6 】

図 2 0 と図 2 の信号を比べると、図 2 0 では丸みを帯びているのに対し、図 2 では角張った形をしているが、これは図を簡略化して描画した結果であって、パルス波発生サブ回路 1 0 2 , 1 0 3 は、丸みを帯びたパルス波を発生する回路を用いることにより図 2 0 に示すような波形を得ることができる。目的とするパルス波は、回路を構成する素子の性能限界に近い高速動作をするので、多くの場合デジタル的な回路であっても丸みを帯びた波形が自動的に出力される。

10

#### 【 0 0 5 7 】

次に、パルス波発生サブ回路の構成と動作について図 3 及び図 4 を参照して説明する。図 3 は、パルス波発生サブ回路の構成を示す回路図であり、図 4 は、パルス波発生サブ回路の動作を説明するタイミング図である。

#### 【 0 0 5 8 】

パルス波発生サブ回路 1 0 2 , 1 0 3 は、複数のインバータ遅延回路 3 0 1 ~ 3 0 9 と、パルス波発生論理回路である MOS トランジスタ 3 1 0 ~ 3 2 5 及び 3 2 7 , 3 2 8 によって構成される。

#### 【 0 0 5 9 】

端子 3 3 1 に入力された起動信号  $D_0$  は、図 4 に示すように一段毎に時間  $t_d$  ずつ遅れてかつ位相が反転されながらインバータ遅延回路 3 0 1 ~ 3 0 9 を伝播し、各段から出力される。すなわち端子 3 3 1 に印加される信号を正論理とすると、 $i$  段目には、 $i$  が奇数の時  $X D_i$  (否定論理)、 $i$  が偶数の時  $D_i$  (正論理) が出力される。

20

#### 【 0 0 6 0 】

N チャネル MOS トランジスタ 3 1 3 , 3 1 2 は、それぞれインバータ遅延回路 3 0 1 の出力  $X D_1$  とインバータ遅延回路 3 0 2 の出力  $D_2$  が高電位の時に導通し、パルス出力端子 3 3 0 を第 1 の電位レベル  $V_1$  に接続する。次に、P チャネル MOS トランジスタ 3 1 0 , 3 1 1 は、それぞれインバータ遅延回路 3 0 2 の出力  $D_2$  とインバータ遅延回路 3 0 3 の出力  $X D_3$  が低電位の時に導通し、パルス出力端子 3 3 0 を第 2 の電位レベル  $V_2$  に接続する。

30

#### 【 0 0 6 1 】

同様に、N チャネル MOS トランジスタ 3 1 6 , 3 1 7 , 3 2 0 , 3 2 1 , 3 2 4 , 3 2 5 は、それぞれインバータ遅延回路の  $i - 1$  段目 ( $i$  は 2 以上の偶数) の出力  $X D_{i-1}$  と  $i$  段目の出力  $D_i$  が高電位の時に導通し、パルス出力端子 3 3 0 を第 1 の電位レベル  $V_1$  に接続する。次に、P チャネル MOS トランジスタ 3 1 4 , 3 1 5 , 3 1 8 , 3 1 9 , 3 2 2 , 3 2 3 は、それぞれインバータ遅延回路の  $i$  段目の出力  $D_i$  と  $i + 1$  段目の出力  $X D_{i+1}$  が低電位の時に導通し、パルス出力端子 3 3 0 を第 2 の電位レベル  $V_2$  に接続する。

#### 【 0 0 6 2 】

以上のような動作によって図 4 に示すパルス波形  $Pulse Out$  が得られ、図 2 のパルス波  $d_0$  またはパルス波  $e_0$  に示すようなパルス波形を生成するパルス波発生サブ回路 1 0 2 , 1 0 3 として動作させることができる。

40

#### 【 0 0 6 3 】

図 4 の  $Pulse Out_2$  の波形は、起動信号  $D_0$  の立ち上がりで起動する場合であって後述する。ここで、第 1 の電位レベル  $V_1$  及び第 2 の電位レベル  $V_2$  は、それぞれ回路を構成する集積回路の負側の電源電位  $VSS$  及び正側の電源電位  $VDD$  を使用することが可能であるが、他の任意の電位に設定しても良い。

#### 【 0 0 6 4 】

N チャネル MOS トランジスタ 3 2 7 , 3 2 8 は、 $X D_1$  及び  $X D_9$  が同時に高電位の時に導通し、パルス出力端子 3 3 0 を第 1 の電位レベル  $V_1$  に接続する。この動作により、

50

期間  $T_b$  の時のパルス波発生サブ回路の出力する電位を設定することができる。この電位は、 $V_1$  以外のどの電位でも良いが、 $V_1$  として負側の電源電位  $V_{SS}$  を取る場合を例示した。一般に  $V_{SS}$  は、接地電位であり、最も安定した電位である。図 3 に示すパルス波発生サブ回路は、期間  $T_b$  の時に信号電位を  $V_{SS}$  に固定することが可能である。

#### 【0065】

図 18 は、インバータ遅延回路 301 ~ 309 の内部を示す回路図である。P チャネル MOS トランジスタ 1902 及び N チャネル MOS トランジスタ 1903 は、インバータ回路を構成し、端子 1908 に入力された信号は、遅延時間  $t_d$  を伴って端子 1910 から反転され出力されて次段の遅延回路入力となる。さらに、P チャネル MOS トランジスタ 1902 及び N チャネル MOS トランジスタ 1903 による遅延回路の遅延量を大きくしないように小さなバッファ回路 1905 を通じて取り出し、バッファ回路 1906 によって出力 1911 が取り出される。このようにして、図 3 の MOS トランジスタ 310 ~ 325 及び 327, 328 を駆動する。なお、図 3 ではバッファ回路 1905, 1906 は省略している。

#### 【0066】

N チャネル MOS トランジスタ 1904 は、上記インバータ遅延回路を構成する N チャネル MOS トランジスタ 1903 のソース端子と負側電源との間に接続され、また P チャネル MOS トランジスタ 1901 は、インバータ遅延回路を構成する P チャネル MOS トランジスタ 1902 のソース端子と正側電源  $V_{DD}$  1917 との間に接続されている。

#### 【0067】

これらの P チャネル MOS トランジスタ 1901 及び N チャネル MOS トランジスタ 1904 のゲート - ソース間電圧  $V_{bp}$ ,  $V_{bn}$  を制御することにより、インバータ遅延回路に流入する電源電流を制御することができる。通常ゲート - ソース間電圧  $V_{bp}$ ,  $V_{bn}$  は、遅延回路出力の立ち上がり及び立ち下がり対称性を保つために、その絶対値が等しくなるように制御される。この制御によってインバータ遅延回路の動作速度の制御が可能となり、遅延時間  $t_d$  をコントロールすることができる。目的の周波数スペクトルをもつパルス波を発生するためには、 $P_w = t_d$  となるようにゲート端子 1907, 1909 の電圧を制御すれば良い。

#### 【0068】

図 1 では、この電流制限トランジスタを制御して発生されるパルス波の搬送波周波数  $f_0$  に合わせる具体的な方法も示している。位相固定ループ 114 は、位相比較回路 109 と、ローパスフィルタ 112 と、電圧制御発振回路 111 とから構成されている。位相比較回路 109 は、電圧制御発振回路 111 の出力信号  $g_{01}$  の発振周波数と端子 113 に印加される参照信号  $h_{01}$  の参照周波数との位相を比較し、比較結果信号  $i_{01}$  を出力する。ローパスフィルタ 112 は、比較結果信号  $i_{01}$  の高域成分を除去した後、電圧制御発振回路 111 の制御電圧端子 115 に負帰還する。位相固定ループ 114 は、参照周波数と電圧制御発振回路 111 の発振周波数が一致するように動作する。位相固定ループ 114 は、電圧制御発振回路 111 と位相比較回路 109 の間に適当な分周回路を配したり、参照周波数を調整することにより電圧制御発振回路 111 の発振周波数を自由に設定することができる。電圧制御発振回路 111 は、パルス波発生サブ回路 102, 103 を構成するインバータ遅延回路 301 ~ 309 と同一の特性を持つインバータ遅延回路を用いて構成され、例えばパルス波発生サブ回路 102, 103 を構成するインバータ遅延回路を奇数段リング状に接続して構成されるリング発振回路を用いて構成できる。位相固定ループ 114 が位相固定した状態では、インバータ遅延回路の遅延量は、電圧制御発振回路 111 の発振周期 (段数の 2 倍) 分の 1 に正確に一致する。

#### 【0069】

図 1 に示すように、電圧制御発振回路 111 の制御電圧端子 115 とパルス波発生サブ回路 102, 103 を構成するインバータ遅延回路 301 ~ 309 の遅延量制御端子 (図 18 のゲート端子 1907, 1909) に印加する電圧を同一とすることにより、これらを構成するインバータ遅延回路の遅延量を一致させることができる。位相固定ループ 11

10

20

30

40

50

4を構成する電圧制御発振回路111に含まれる遅延回路の遅延量は、参照周波数によって自由に設定できるので、この遅延量を必要な遅延量となるように参照周波数を設定すればよい。位相固定ループ114は、電源電圧の変動や温度変化、製造プロセスのばらつきがあっても常にこの参照周波数によって決まる所定の値に一致するように動作するので、電源電圧、温度変化、製造ばらつきなどの条件変化によらず一定の搬送波周波数 $f_0$ を有するパルス波の発生が可能となる。

#### 【0070】

次に、起動回路の構成と動作について図5及び図6を参照して説明する。図5は、起動回路の構成を示す回路図であり、図6は、起動回路の動作を説明するタイミング図である。

10

#### 【0071】

起動回路101は、図1及び図2に示すように、端子106に入力される起動開始信号a01に呼応して正確にその時間差が $Pw$ （すなわち搬送波周波数 $f_0$ の周期の半分）である2つの起動信号b01, c01を発生し、パルス波発生サブ回路102, 103に入力しなければならない。 $Pw$ は、パルス波発生サブ回路102, 103を構成するインバータ遅延回路301～309の遅延時間 $t_d$ と一致するから、起動回路101を図5(b)に示すように、パルス波発生サブ回路102, 103を構成するインバータ遅延回路301～309と同一性能のインバータ遅延回路520をひとつ用いて容易に発生できると思われるかもしれない。すなわち端子521に入力された起動開始信号a25を受けて、起動開始信号a25をそのまま起動信号b25として端子522から出力するとともに、インバータ遅延回路520を介して起動開始信号a25を時間 $t_d$ だけ遅延させ起動信号c25として端子523から出力することにより時間 $t_d$ の信号を作り出すことができる。しかし、このようにして作り出した起動信号b25, c25は、論理がインバータ遅延回路520の働きによって反転している。パルス波発生サブ回路102, 103は、同一の特性の回路であるから同一の位相の起動信号によって起動することが必要であり、図5(b)に示したような回路では良好な性能のパルス発生回路を構成することができない。

20

#### 【0072】

図5(b)に示した起動回路の問題を克服するために、図5(a)に示す構成の起動回路101を提案する。図5(a)の起動回路101は、信号の立ち上がり立ち下がりと同時に起こる2つの信号e05, f05を作り出し、一方の信号f05をパルス波発生サブ回路102, 103を構成するインバータ遅延回路301～309と同一性能のインバータ遅延回路504をひとつ用いて時間 $t_d$ だけ遅延させ、かつバッファ回路505の動作により反転させる。このような構成によって同一位相（極性）でその時間差が正確に時間 $t_d$ の起動信号ペアh05, i05を生成する。

30

#### 【0073】

上記動作を実現するために、図5(a)の起動回路101は、以下の構成をとっている。インバータ501は、端子511に入力された起動信号a05の位相を反転した信号b05を作り出す。図6に示すように、信号b05は、起動信号a05に対してインバータ501による遅延時間 $t_{d501}$ を伴う。このインバータ501の遅延による2つの信号のわずかな時間差 $t_{d501}$ は、矯正回路502によって修正することが可能である。すなわち信号a05, b05は、それぞれインバータ回路512, 513によって緩衝増幅する。インバータ回路512, 513は、クロスカップルインバータ514, 515によってそれらの出力同士が接続されており、信号の遷移時にクロスカップルインバータ514, 515の正帰還動作によってその信号の変化は互いに強調するように動作し、わずかな時間のずれは矯正される。このような矯正回路502を何段か縦続接続することによって、信号の立ち上がり立ち下がりが完全に同時に変化する信号e05, f05を生成することができる。なお、図5(a)では、2段の矯正回路502, 503を縦続接続した場合を例示している。

40

#### 【0074】

このようにして生成された立ち上がり立ち下がりが完全に同時に変化する信号e05

50

、 $f_{05}$ の一方の信号 $f_{05}$ は、さらにインバータ遅延回路504に入力され、時間 $t_d$ だけ遅延するとともに極性を反転する。バッファ回路505、506は、同一特性の緩衝増幅を行う回路で、インバータ遅延回路504の遅延量がパルス波発生サブ回路102、103を構成するインバータ遅延回路301～309と同一の遅延量となるようにし、さらに出力負荷も同一になるように調整するために接続される。図3に示すように、パルス波発生サブ回路102、103のインバータ遅延回路301～309は、次段へ信号を入力するために負荷として次段のインバータ遅延回路及びMOSトランジスタ310～325を駆動するためのバッファ回路1905が接続されている（図3ではバッファ回路は省略されている）。なお、2相信号発生回路519は、インバータ501、矯正回路502、503、インバータ遅延回路504及びバッファ回路505、506で構成される。

10

#### 【0075】

図18に詳述されるように、インバータ遅延回路301～309は、インバータ遅延回路の次段にはバッファを介さず直接端子1910から接続され、またMOSトランジスタ310～325へは駆動能力が小さなバッファ回路1905とさらに駆動能力が大きなバッファ回路1906を介して所望の駆動能力に増幅して接続する。インバータ遅延回路504に接続される負荷が次段のインバータ遅延回路と信号取り出しのための小さなバッファ回路1905の入力と同一でないと、インバータ遅延回路504の遅延量は、パルス波発生サブ回路を構成しているインバータ遅延回路の遅延量と同一にならない。そのため、それらの負荷の合計と同一になるようにバッファ回路505の入力インピーダンスを調整する。インバータ遅延回路504の出力には、図18に示すバッファ回路1905と同一のバッファ回路505とさらに次段のインバータ遅延回路の入力インピーダンスに相当するダミー負荷を接続しても良い。バッファ回路506は、バッファ回路505の遅延時間を保証するために接続する。

20

#### 【0076】

このようにして立ち上がりと立ち下がりが同時に変化する信号 $e_{05}$ 、 $f_{05}$ は、図6に示すようにそれぞれバッファ回路506の遅延時間 $t_{d506}$ 遅延して発生する信号 $h_{05}$ と、インバータ遅延回路504とバッファ回路505の合計の遅延量 $t_{d505} + t_d$ 遅延して発生する信号 $i_{05}$ が得られる。信号 $h_{05}$ は、信号 $e_{05}$ を反転したのに対し、信号 $i_{05}$ は、信号 $f_{05}$ を2回反転したので信号 $f_{05}$ と同一の極性である。信号 $e_{05}$ と信号 $f_{05}$ は、同時に変化する逆極性の信号であったので、結局信号 $h_{05}$ と信号 $i_{05}$ は、同一極性でその時間差は $t_{d505} + t_d - t_{d506}$ となる。バッファ回路506、505をその負荷を含め同一特性、同一環境で使用すれば、 $t_{d505}$ と $t_{d506}$ は同一の値となり、時間差 $t_d$ の同一特性の信号 $h_{05}$ 、 $i_{05}$ が得られる。

30

#### 【0077】

AND-ORセレクト回路507、508は、信号 $h_{05}$ 、 $i_{05}$ の出力先を切り替える。端子516、517は、起動信号ペアの出力端子であり、図1の端子107、108に相当する。端子510に印加される信号 $k_{05}$ が真（H：ハイレベル）の時、信号 $h_{05}$ は、端子517に接続され、偽（L：ローレベル）の時はその逆となる。この端子510に入力される信号 $k_{05}$ によって、図2に示したように起動信号ペア $b_{01}$ 、 $c_{01}$ の発生する信号の順序を切り替えることができ、図2の信号 $d_{01} - e_{01}$ のように発生信号の極性を変更することができる。この端子510を利用すれば発生するパルス波に2相の位相変調をかけることができ、UWB送信機の変調器として利用できる。なお、起動信号選択回路518は、バッファ回路509及びAND-ORセレクト回路507、508で構成される。

40

#### 【0078】

変調を行うための回路は、2つのパルス波発生サブ回路102、103の出力側に置くこともできる。すなわち図5（c）に示すような出力選択回路であるスイッチ回路529を図1の端子104、105に後置して端子525、526と接続し、端子527、528から信号を取り出す。両端子ペアの間には、端子530に印加される電気信号 $m_{05}$ によって切替可能なスイッチ531～534からなるスイッチ回路529によって出力先を

50

切り替え、信号の極性を切り替えることができる。スイッチ 531 ~ 534 は、相補型の MOS アナログスイッチなどが使用できる。上記の入力側で切り替える場合と比較して、出力側にスイッチのインピーダンスが直列に入るため出力側回路の設計に注意を要するが、前者のように 2 つのパルス波発生サブ回路 102, 103 とそれらを起動する起動回路 101 は、直接接続され切り替えられることが無いので、起動回路 101 の動作をより安定にすることができ、正確なパルス発生を容易にする。必要に応じてより適切な方法を選択できる。

#### 【0079】

以上に述べた本実施形態によれば、以下の効果が得られる。

#### 【0080】

(1) この構成によれば、複数の同一特性のパルス波発生サブ回路を使用しそれぞれのパルス波発生サブ回路の起動時間を調整することにより DC レベルが安定した、かつ対称性の良い差動のパルス波を発生することが可能となる。m 個の起動信号の所定の時間間隔をパルス波のパルス幅 Pw に等しく設定すれば、180 度位相の異なる差動信号を得ることが出来、また Pw の半分とすれば 90 度位相の異なる I, Q 信号を得ることができる。

#### 【0081】

(2) パルス波発生サブ回路 (102, 103) は、通常の半導体プロセスによるインバータ遅延回路 301 ~ 309 とパルス波発生論理回路 (MOS トランジスタ 310 ~ 325 及び 327, 328) によって構成することができるので、高集積化が容易である。

#### 【0082】

(3) パルス波発生サブ回路 (102, 103) は、パルス幅 Pw の時間間隔でパルス波を発生するので、互いに 180 度位相の異なる 2 つの信号を発生することが可能となる。発生されるパルス波は、特性が同一のパルス波発生サブ回路によって発生されるので DC レベルが安定した、かつ対称性の良い差動のパルス波を発生することが可能となる。

#### 【0083】

(4) 起動回路 101 は、2 相信号発生回路 519 によりパルス波発生サブ回路 (102, 103) を構成するインバータ遅延回路 301 ~ 309 の遅延量に一致する時間間隔で 2 相の起動信号を発生できるので、パルス波発生サブ回路 (102, 103) を起動する起動信号の時間間隔を、パルス波発生サブ回路 (102, 103) が発生するパルス波のパルス幅 Pw に正確に一致させることができる。

#### 【0084】

(5) 起動回路 101 は、起動信号選択回路 518 により送信するデータの位相に基づき変調ができるので、UWB 通信に適したパルス発生回路として使用することが可能となる。

#### 【0085】

(6) パルス発生回路 1 は、スイッチ回路 529 を備えることにより送信するデータの位相に基づき変調ができるので、UWB 通信に適したパルス発生回路として使用することが可能となる。

#### 【0086】

(7) インバータ遅延回路 301 ~ 309 は、外部制御信号によってインバータ遅延回路の遅延量の制御が可能であるため、製造ばらつきや動作温度、電源電圧変動による発生パルスの変動や誤差を矯正することが可能となる。

#### 【0087】

(第 2 実施形態)

次に、パルス発生回路の第 2 実施形態について説明する。第 1 実施形態においては、2 つのパルス波発生サブ回路は、正確に時間 t<sub>d</sub> の遅れを伴って、各段から信号を出力する必要がある。正確に時間 t<sub>d</sub> の遅れを伴わないと、出力されるパルス信号は、誤差を生じてしまう。これらのパルス波発生サブ回路を構成するインバータ遅延回路は、製造ばらつきに伴い遅延量の細かい誤差やジッタなどの雑音による遅延量の誤差を生じてしまうが、本第 2 実施形態の方法によって軽減される。

10

20

30

40

50

## 【 0 0 8 8 】

第 2 実施形態に係るパルス発生回路の構成について、図 7 を参照して説明する。図 7 は、第 2 実施形態に係るパルス発生回路の構成を示す回路図である。図 7 において、インバータ遅延回路 7 0 1 A - , 7 0 1 A , 7 0 1 A + は、図 1 におけるパルス波発生サブ回路 1 0 2 の一部、すなわちパルス波発生サブ回路 1 0 2 に含まれる図 3 に示す一連のインバータ遅延回路 3 0 1 ~ 3 0 9 のうちの連続する 3 段を抜き出して示し、他の段を省略している。同様にインバータ遅延回路 7 0 1 B - , 7 0 1 B , 7 0 1 B + は、図 1 におけるパルス波発生サブ回路 1 0 3 の一部、すなわちパルス波発生サブ回路 1 0 3 に含まれる図 3 に示す一連のインバータ遅延回路 3 0 1 ~ 3 0 9 のうちの連続する 3 段を抜き出して示し、他の段を省略している。j を 2 ~ j = 8 の整数とすると、それぞれ図 3 において左から j - 1 段目、j 段目、j + 1 段目のインバータ遅延回路に相当する。駆動能力の小さなバッファ回路 7 0 2 A - , 7 0 2 A , 7 0 2 A + , 7 0 2 B - , 7 0 2 B , 7 0 2 B + は、それぞれのインバータ遅延回路の遅延量に与える影響をなるべく小さくし信号を取り出すための回路であり、駆動能力の大きなバッファ回路 7 0 3 A - , 7 0 3 A , 7 0 3 A + , 7 0 3 B - , 7 0 3 B , 7 0 3 B + は、スイッチをドライブするための回路（ドライバ）である。

## 【 0 0 8 9 】

インバータ遅延回路 7 0 1 A - , 7 0 1 A , 7 0 1 A + （以下 A 列と呼ぶ）及び 7 0 1 B - , 7 0 1 B , 7 0 1 B + （以下 B 列と呼ぶ）は、これらのインバータ遅延回路の遅延時間  $t_d$  で起動されるので、A 列が先に起動された時は、A 列の j 段目と B 列の j - 1 段目が同時に信号が変化し、しかもその変化の仕方は互いに反転する。逆に B 列が先に起動された時は、B 列の j 段目と A 列の j - 1 段目が同時に信号が変化し、しかもその変化の仕方は互いに逆方向（反転）である。

## 【 0 0 9 0 】

互いに逆方向に反転する信号は、図 5 で述べたように細かいタイミングのずれがあっても、クロスカップルインバータによって矯正することが可能である。

## 【 0 0 9 1 】

イネーブル信号端子付きのクロスカップルインバータ 7 0 4 A - , 7 0 4 A , 7 0 4 A + 及び 7 0 4 B - , 7 0 4 B , 7 0 4 B + をそれぞれ図 7 のように接続して、A 列が先に起動された時は、イネーブル信号端子 7 0 8 B にイネーブル信号を与え、イネーブル信号端子付きのクロスカップルインバータ 7 0 4 B - , 7 0 4 B , 7 0 4 B + を活性化（イネーブル）する。またイネーブル信号端子 7 0 8 A には、イネーブル信号端子付きのクロスカップルインバータ 7 0 4 A - , 7 0 4 A , 7 0 4 A + が不活性（ディスエーブル）となるようにディスエーブル信号を入力する。逆に、B 列が先に起動された時は、イネーブル信号端子 7 0 8 A にイネーブル信号を与え、イネーブル信号端子付きのクロスカップルインバータ 7 0 4 A - , 7 0 4 A , 7 0 4 A + を活性化（イネーブル）する。またイネーブル信号端子 7 0 8 B には、イネーブル信号端子付きのクロスカップルインバータ 7 0 4 B - , 7 0 4 B , 7 0 4 B + が不活性（ディスエーブル）となるようにディスエーブル信号を入力する。

## 【 0 0 9 2 】

以上のような接続によって、クロスカップルインバータは、常に信号が同時に変化するノードに接続されるようになり、小さな位相のずれは矯正され、後段に接続されている M O S トランジスタ 3 1 0 ~ 3 2 5 のスイッチングタイミングが一致し、発生するパルス波形の誤差を極小に抑えることができる。

## 【 0 0 9 3 】

なお、図 7 ではイネーブル信号端子付きのクロスカップルインバータ 7 0 4 A - , 7 0 4 A , 7 0 4 A + , 7 0 4 B - , 7 0 4 B , 7 0 4 B + は、それぞれ駆動能力の小さなバッファ回路 7 0 2 A - , 7 0 2 A , 7 0 2 A + , 7 0 2 B - , 7 0 2 B , 7 0 2 B + の出力間に接続されているが、インバータ遅延回路 7 0 1 A - , 7 0 1 A , 7 0 1 A + , 7 0 1 B - , 7 0 1 B , 7 0 1 B + の出力に接続しても良い。この場合は、インバータ遅延回

路の遅延量が増え、素子限界に近いパルス幅のパルス発生時には使用が難しいが、インバータ遅延回路の遅延量の誤差も矯正できる。インバータ遅延回路の各段で矯正されるので、誤差がインバータ遅延回路列の後段に伝播するのも阻止でき、より正確なパルス発生が可能となる。

#### 【0094】

また、本第2実施形態の変調回路の方式として、第1実施形態の図5(c)のスイッチ回路529を接続する方法を用いる場合は、イネーブル信号端子付きのクロスカップルインバータでなく、イネーブル信号端子のないクロスカップルインバータを使用でき、またA列またはB列のどちらかのクロスカップルインバータは省略することができる。

#### 【0095】

本第2実施形態の特徴は、パルス波発生サブ回路の所定の1組において、パルス波発生サブ回路を構成するインバータ遅延回路の出力の位相が互いに反転する出力ノード間にクロスカップルインバータを接続することにある。

#### 【0096】

(第3実施形態)

次に、パルス発生回路の第3実施形態について説明する。

#### 【0097】

第3実施形態に係るパルス発生回路の構成について、図8を参照して説明する。図8は、第3実施形態に係るパルス発生回路の起動開始信号のパルス幅を制限する回路の構成を示す回路図とタイミング図である。

#### 【0098】

図8(a)は、起動開始信号のパルス幅を制限する回路であって、出力端子803からパルス幅の制限された起動開始信号が出力される。出力端子803は、図1の端子106、または図5(a)の端子511に接続される。遅延回路801は、パルス波発生サブ回路102, 103を構成するインバータ遅延回路301~309と同一の特性のインバータ遅延回路を3段縦続接続した場合を例示している。端子804に入力された信号a08と、信号a08を遅延回路801によって反転しかつ遅延させた信号b08と、をNAND回路802によって否定論理積を取ることにより、パルス幅を $3 \times t_d$ に制限された信号c08となり、出力端子803から出力される( $t_d$ は、パルス波発生サブ回路を構成するインバータ遅延回路の遅延時間)。出力端子803から出力された信号c08を起動開始信号として使用すると、パルス波発生サブ回路102, 103は、図8(b)のように動作し、起動信号 $D_0$ の立ち上がりは、最初に発生するパルス波形Pulse Outの期間 $t_2 \sim t_3$ に重なるようになる。なお図8(b)の $D_0$ は、図4の $D_0$ に相当し、図8(b)の $XD_1$ は、図4の $XD_1$ に相当し、以下同様に図8(b)の $XD_9$ は、図4の $XD_9$ に相当するノードの信号波形を表す。

#### 【0099】

以上のような動作によって起動開始信号のパルス幅を狭くすると、図19(c)に示した不要な場所で発生するノイズ2001と目的のパルス2002が重なるようになる。図8(b)では、 $t_1 \sim t_8$ が目的パルスの発生期間、 $t_4 \sim t_{12}$ が起動信号 $D_0$ の立ち上がりに基づく偽パルスの発生期間となる。偽パルスは、その大部分が目的パルスに隠れるようになり、不要な場所でのノイズ発生は軽減される。

#### 【0100】

起動開始信号のパルス幅は、 $t_d$ 以下では回路は動作しない。起動開始信号のパルス幅は、 $t_d$ を超えてかつ目的パルスの継続時間未満であることが必要である。パルスの継続時間は、 $t_d$ の $p$ 倍である( $p$ はパルス波発生サブ回路を構成するインバータ遅延回路の段数)。パルス幅は、短いほど偽パルスが目的パルスに隠れる度合いが大きくなる。

#### 【0101】

上記のような簡単な方法、すなわち起動回路に入力される起動開始信号のパルス幅が前記パルス波発生サブ回路を構成する遅延回路の遅延量より大きくかつ前記遅延回路の段数倍未満に設定することによって不要な場所に発生するノイズの影響を軽減することができ

10

20

30

40

50



る。

#### 【 0 1 0 2 】

( 第 4 実施形態 )

次に、パルス発生回路の第 4 実施形態について説明する。

#### 【 0 1 0 3 】

第 4 実施形態に係るパルス発生回路の構成について、図 9 を参照して説明する。図 9 は、第 4 実施形態に係るパルス発生回路の起動回路に与える起動信号を発生する他の方法を示す回路図である。

#### 【 0 1 0 4 】

図 8 ( b ) において、起動信号  $D_0$  を単発のパルスでなく周期的な信号で起動すると、パルス発生回路は、短パルスを連続して発生するようになる。発生されるパルス周波数は、回路素子の限界程度に高い周波数まで高めることができる。

#### 【 0 1 0 5 】

UWB では、間歇的なパルス発生で事足りると思われるが、連続パルスが利用できると同期捕捉などの動作を高速に行うことができ、必要に応じて連続 / 間歇のパルス発生ができれば都合が良い。

#### 【 0 1 0 6 】

簡単な考察によって起動開始信号の周期は、 $t_d$  の偶数倍でかつ  $n$  倍以下であることが必要であることがわかる。それ以上の周期では、発生されるパルスが連続しない。また偶数倍でなく、奇数倍の場合は、図 3 において P チャネル MOS トランジスタ 310, 311, 314, 315, 318, 319, 322, 323 と N チャネル MOS トランジスタ 312, 313, 316, 317, 320, 321, 324, 325 が同時にオンし、電位  $V_1$  と  $V_2$  をショートしてしまうタイミングが存在する。

#### 【 0 1 0 7 】

起動開始信号の周期は、正確に  $t_d$  の偶数倍でなければならない。この正確な周期パルスを発生するために、図 9 ( a ) に示すようにリング発振回路を構成する。リング発振回路は、パルス波発生サブ回路 102, 103 を構成するインバータ遅延回路 301 ~ 309 と同一特性のインバータ遅延回路 901, 902, 903 をリング状に接続して発振回路を構成する。図 9 ( a ) では、インバータ遅延回路を 3 段用いる場合を例示している。インバータ遅延回路が 3 段の場合の発振周期は、 $6 \times t_d$  となる。正確にはインバータ遅延回路の遅延時間は、立ち上がりと立ち下がりで異なるが、パルス波発生サブ回路 102, 103 を構成するためにはインバータ遅延回路の遅延時間は、立ち上がりと立ち下がり で等しいことが要求される。そのため上記の周期計算では、立ち上がりと立ち下がり で等しく  $t_d$  であるとした。CMOS 回路では P、N チャネルトランジスタのサイズより立ち上がり、立ち下りの対称性を調整することが出来る。

#### 【 0 1 0 8 】

図 9 ( a ) では、リング発振回路は、自走的に発振し、外部からのトリガによって同期を取ることができない。図 9 ( b ) に外部からの起動によって同期を取るリング発振回路を示す。

#### 【 0 1 0 9 】

図 9 ( b ) に示すリング発振回路は、インバータ遅延回路 905, 906 と NAND ゲート 907 と、から構成されている。NAND ゲート 907 は、起動端子 909 が偽 ( L ) の時、常に真 ( H ) を出力しているので回路動作は停止する。NAND ゲート 907 は、起動端子 909 を H にするとインバータとして動作し、起動端子の立ち上がりに同期して発振を開始する。

#### 【 0 1 1 0 】

図 9 ( b ) に示すリング発振回路は、リング発振回路に NAND ゲートが含まれるために、発振周期を正確に  $t_d$  の偶数倍にするのが難しい。図 9 ( c ) に、この問題を解決する方法を示す。

#### 【 0 1 1 1 】

図 9 ( c ) に示すリング発振回路は、図 9 ( b ) で示したインバータ遅延回路 9 0 5 , 9 0 6 の替わりに、NAND ゲート 9 1 0 , 9 1 1 , 9 1 2 で構成する。NAND ゲート 9 1 0 , 9 1 1 , 9 1 2 は、同一構成であり、NAND ゲート 9 1 2 で代表して内部構造の説明をする。P チャネル MOS トランジスタ 9 2 2 , 9 2 3 及び N チャネル MOS トランジスタ 9 2 4 , 9 2 5 は、NAND ゲートを構成する。電流制限のために、P チャネル MOS トランジスタ 9 2 2 及び 9 2 3 のソースと電源 VDD 9 1 4 との間に P チャネル MOS トランジスタ 9 2 0 を接続し、N チャネル MOS トランジスタ 9 2 4 のソースと接地電位との間に N チャネル MOS トランジスタ 9 2 1 を接続する。P チャネル MOS トランジスタ 9 2 0 と N チャネル MOS トランジスタ 9 2 1 のゲートには、それぞれ端子 9 1 5 と 9 1 6 を通じて外部から電圧を与え、NAND ゲート 9 1 0 ~ 9 1 2 の動作速度を制御する。バッファ回路 9 1 7 , 9 1 8 , 9 1 9 は、信号を外部に取り出すために接続されている。

10

#### 【 0 1 1 2 】

図 9 ( c ) に示すリング発振回路において NAND ゲート 9 1 0 と 9 1 1 は、一方の入力端子を常に H になるように電源 VDD 9 1 4 に接続してインバータ遅延回路として動作させる。パルス波発生サブ回路を構成するインバータ遅延回路についても、NAND ゲートを使用したインバータ遅延回路に置き換えると t d を正確に一致させることができる。

#### 【 0 1 1 3 】

図 9 ( c ) に示すリング発振回路において、P チャネル MOS トランジスタと N チャネル MOS トランジスタを入れ替えて NAND ゲートの替わりに NOR ゲートを用いても、同様な動作をさせることが可能である。

20

#### 【 0 1 1 4 】

図 9 ( c ) に示すリング発振回路は、いずれも論理回路だけで構成できる利点があるが必要とするトランジスタの数がやや多い。図 9 ( d ) に、この問題を解決する一方法を示す。

#### 【 0 1 1 5 】

図 9 ( d ) に示すリング発振回路は、インバータ遅延回路 9 3 0 , 9 3 1 , 9 3 2 を使用して同期を取ることを可能にしている。インバータ遅延回路 9 3 0 , 9 3 1 , 9 3 2 は、パルス波発生サブ回路 1 0 2 , 1 0 3 を構成するインバータ遅延回路 3 0 1 ~ 3 0 9 と同一特性である。重複を避けるために内部構造の説明をインバータ遅延回路 9 3 1 で代表して説明する。インバータ遅延回路 9 3 1 において P チャネル MOS トランジスタ 9 3 4 と N チャネル MOS トランジスタ 9 3 5 は、インバータを構成する。電流制限のために、P チャネル MOS トランジスタ 9 3 4 のソースと電源 VDD 9 4 1 との間に P チャネル MOS トランジスタ 9 3 3 を接続し、N チャネル MOS トランジスタ 9 3 5 のソースと接地電位との間に N チャネル MOS トランジスタ 9 3 6 を接続する。P チャネル MOS トランジスタ 9 3 3 と N チャネル MOS トランジスタ 9 3 6 のゲートには、それぞれ端子 9 4 2 と 9 4 3 を通じて外部から電圧を与え、インバータ遅延回路 9 3 0 , 9 3 1 , 9 3 2 の動作速度を制御する。バッファ回路 9 3 7 , 9 3 8 , 9 3 9 は、信号を外部に取り出すために接続されている。

30

#### 【 0 1 1 6 】

図 9 ( d ) に示すリング発振回路は、どれかひとつのインバータ遅延回路の電流制限用のトランジスタ（少なくとも P , N チャネル MOS トランジスタのいずれかひとつ）に与える制御電圧をスイッチ 9 4 4 によって切り替える。図 9 ( d ) では、インバータ遅延回路 9 3 0 の電流制限用の N チャネル MOS トランジスタ 9 4 0 のゲートに与えられる制御電圧をスイッチ 9 4 4 によって切り替える場合を例示している。N チャネル MOS トランジスタ 9 4 0 のゲートに印加される電圧をスイッチ 9 4 4 によって端子 9 4 3 の電位から接地電位に切り替えられるとオフするので、インバータ遅延回路 9 3 0 の出力は、H となる。この時点でインバータ遅延回路 9 3 1 の出力は L となり、インバータ遅延回路 9 3 2 の出力は H となって静止する。スイッチ 9 4 4 を切り替え、N チャネル MOS トランジスタ 9 4 0 のゲートに端子 9 4 3 の電位が印加されると、それに同期して回路はリング発振

40

50

回路を構成し発振を開始する。

【 0 1 1 7 】

ただし、図 9 ( d ) に示すリング発振回路は、スイッチ 9 4 4 を切り替えるタイミングに注意を要する。インバータ遅延回路 9 3 0 , 9 3 1 , 9 3 2 は、N チャネル MOS トランジスタ 9 4 0 がオフの時、それぞれ H , L , H を出力すると説明した。しかし、インバータ遅延回路 9 3 2 の出力が H の時は、トランジスタ 9 4 5 もオフするため、インバータ遅延回路 9 3 0 は、フローティング状態になる。インバータ遅延回路 9 3 0 は、出力が確実に H になったタイミングで切り替えなければインバータ遅延回路 9 3 1 , 9 3 2 及びバッファ回路 9 3 7 , 9 3 8 , 9 3 9 の入力電位が定まらず電流リークの原因となる。インバータ遅延回路 9 3 0 の出力が確実に H となったタイミングでトランジスタ 9 4 0 をオフさせると、トランジスタ 9 4 5 がオフするのはインバータ遅延回路 9 3 1 , 9 3 2 の遅延時間を経た後であり、その間にインバータ遅延回路 9 3 0 の出力ノードとバッファ回路 9 3 7 及びインバータ遅延回路 9 3 1 の入力ノードに介在するわずかな容量に電荷が蓄えられ、そのノードは H に保持され後段の回路の入力電位が定まる。このようなタイミングの制御は、バッファ回路 9 3 7 の出力が H になった時にスイッチ 9 4 4 を切り替えることで達成される。

10

【 0 1 1 8 】

以上のような回路構成によって起動信号を生成し、パルス発生回路を起動すると、起動回路に入力される起動信号は、周期がパルス波発生サブ回路を構成する遅延回路の遅延量の偶数倍の周期信号とすることができ、極めて高速のパルス波を連続発信することができる。本第 4 実施形態では、必要に応じて連続 / 間歇のパルスを切り替えて発生させることができ、UWB 送受信機において同期捕捉などの際に連続パルスを利用すれば、捕捉動作を高速に行うことができるなど有用性が高い。

20

【 0 1 1 9 】

( 第 5 実施形態 )

次に、パルス発生回路の第 5 実施形態について説明する。第 1 実施形態で説明した図 3 のパルス波発生サブ回路では、 $i$  を偶数とする時、 $( 1 ) \times D_{i-1}$  と  $D_i$  の論理積が真の時、直列接続された N チャネル MOS トランジスタをオンさせて電位  $V_1$  に接続し、 $( 2 ) \times D_i$  と  $D_{i+1}$  の論理積が真の時、直列接続された P チャネル MOS トランジスタをオンさせて電位  $V_2$  に接続することで起動信号  $D_0$  の立ち下がりに呼応して一連のパルス波を発生していた。

30

【 0 1 2 0 】

また、スイッチの切替の論理を少し変えて、 $( 3 ) D_{i-1}$  と  $\times D_i$  の論理積が真の時、直列接続された P チャネル MOS トランジスタをオンさせて電位  $V_2$  に接続し、 $( 4 ) D_i$  と  $\times D_{i+1}$  の論理積が真の時、直列接続された N チャネル MOS トランジスタをオンさせて電位  $V_1$  に接続するように配線を変えると、起動信号  $D_0$  の立ち上がりに呼応してパルスが発生されるようになる ( 図 4 の Pulse Out 2 参照 ) 。

【 0 1 2 1 】

このようにすると、図 1 9 ( c ) に示した不要なところで発生するノイズ 2 0 0 1 を抑制することができるばかりでなく、インバータ遅延回路で電流が消費される変化点の両極でパルスが発生できるため、結果的に消費電力の節約になる。すなわち、図 4 において、第 1 実施形態のパルス波発生サブ回路では、インバータ遅延回路列が電力を消費する  $t' 1 \sim t' 9$  と  $t 1 \sim t 9$  において、 $t 1 \sim t 9$  の間でしかパルスを発生しない。上記方法によれば、 $t' 1 \sim t' 9$  と  $t 1 \sim t 9$  の両方でパルスを発生するので、パルスあたりの消費電力を節約できる。

40

【 0 1 2 2 】

第 5 実施形態に係るパルス発生回路の構成について、図 1 0 を参照して説明する。図 1 0 は、第 5 実施形態に係るパルス発生回路のパルス波発生サブ回路を示す回路図である。

【 0 1 2 3 】

端子 1 0 0 1 は、起動信号  $D_0$  の入力端子であり、インバータ遅延回路列 1 0 0 2 は、

50

インバータ遅延回路で  $D_0$  を  $t_d$  ずつ遅延させかつ論理を反転した出力  $X D_{i-1}$ 、 $D_i$  ( $i$  は  $2 \leq i \leq 10$  の偶数) を発生する。これらの信号は、バッファを介して出力される。

#### 【0124】

一点鎖線 1011 内のトランジスタは、PチャネルMOSトランジスタが2個ずつ直列接続されたスイッチングアレイであり、2つのPチャネルMOSトランジスタのゲート電位が同時にLになった時(上記(2)または(3)の時)、オンしてパルス出力端子1014を端子1013に接続された電位V2に接続する。一点鎖線1012内のトランジスタは、NチャネルMOSトランジスタが2個ずつ直列接続されたスイッチングアレイであり、2つのNチャネルMOSトランジスタのゲート電位が同時にHになった時(上記(1)または(4)の時)、オンしてパルス出力端子1014を端子1015に接続された電位V1に接続する。

10

#### 【0125】

二点鎖線1016内のスイッチングアレイは、起動信号  $D_0$  の立ち下がりパルスが発生するように作動する。二点鎖線1017内のスイッチングアレイは、起動信号  $D_0$  の立ち上がりパルスが発生するように作動する。

#### 【0126】

点線1003内、または点線1004内は、NANDゲートバンクであり、インバータ遅延回路列1002の各出力と一方の入力端子が接続され、NANDゲートの出力端子は、スイッチングアレイ1011、1012の各トランジスタのゲートに接続される。同様に点線1005内または点線1006内は、NORゲートバンクであり、インバータ遅延回路列1002の各出力と一方の入力端子が接続され、NORゲートの出力端子は、スイッチングアレイ1011、1012の各トランジスタのゲートに接続される。これらのゲートの制御端子1007、1008、1009、1010に所定の電位を与えることにより、インバータ遅延回路列1002の各出力からスイッチングアレイ1016、1017への伝達を制御する。すなわち、制御端子1007、1010をH、制御端子1008、1009をLとすると、スイッチングアレイ1016のみにインバータ遅延回路列1002の信号が伝達され、スイッチングアレイ1017は、すべてオフするように制御され、 $D_0$  の立ち下がりパルス波が発生される。逆に制御端子1007、1010をL、制御端子1008、1009をHとすると、スイッチングアレイ1017のみにインバータ遅延回路列1002の信号が伝達され、スイッチングアレイ1016は、すべてオフするように制御され、 $D_0$  の立ち上がりパルス波が発生される。制御端子1007、1008をH、制御端子1009、1010をLとすると、スイッチングアレイ1016、1017にインバータ遅延回路列1002の信号が伝達され、 $D_0$  の立ち下がり及び立ち上がりの両エッジでパルス波が発生される。

20

30

#### 【0127】

このようにゲートバンクを用いて  $D_0$  の片エッジ起動または両エッジ起動を切り替える利点を以下に述べる。インバータ遅延回路は、入力信号の立ち上がりから出力信号の立ち下がりまでの遅延時間と、入力信号の立ち下がりから出力信号の立ち上がりまでの遅延時間との間にわずかな差がある場合がある。このような差があると、 $D_0$  の立ち上がりで発生したパルスと立ち下がりで発生したパルスとの間で振幅値が異なるなどの不平衡が生じる。細かいパルスが発生しようとする時ほど、この影響は顕著になって現れる。このようなゲートバンクによって、片エッジ起動または両エッジ起動の切り替えによることにより、消費電力を重視したい時は、両エッジ起動を選択し、正確なパルスが発生したい時は、片エッジ起動を選択することが可能となる。

40

#### 【0128】

ここで改めて図4を良く見ると、 $D_0$  の立ち上がりでパルスを起動する時は、 $D_0$  の立ち上がりエッジから  $t_d$  の遅れでパルス出力が発生しているのに対して、 $D_0$  の立ち下がりパルスで起動する時は、 $D_0$  の立ち下がりエッジから  $2t_d$  遅れてパルス出力が発生している。起動エッジからパルスが発生するまでの時間の差が問題になる時は、等しくなるように調整することが可能である。そのためには、 $D_0$  の立ち上がりを  $t_d$  遅らせれば良い。この

50

方法は、図 8 ( a ) で示した回路が使用できる。ただし、遅延回路 8 0 1 は、2 段で構成し、各段の遅延時間を  $t_d / 2$ 、すなわち 2 段合計の遅延時間が  $t_d$  に等しくなるようにすれば良い。遅延時間が正確に  $t_d / 2$  となる遅延回路の作り方は、後述する。

#### 【 0 1 2 9 】

図 1 0 では、 $X D_1$  及び  $X D_9$  に接続された N A N D ゲートまたは N O R ゲートでその出力信号がオープン（どこにも接続されていない）なものがそれぞれ 2 つずつ存在する。これらは、インバータ遅延回路列 1 0 0 2 の出力  $X D_1$  及び  $X D_9$  のバッファの負荷を他の出力信号とそろえるためにダミー負荷として接続する。これにより、発生されるパルス波の前後でのパルス波形誤差を減らすことができる。このため、発生されるパルスの前縁では周期が長めのパルス波が発生され、後縁では短めのパルス波が発生されることになる。また、図 1 0 では、図 4 のタイミング図においてパルス波が発生しない  $t'9$  から  $t1$  までの期間及び  $t9$  から  $t'1$  の期間は、パルス出力端子 1 0 1 4 はどこにも接続されない。この問題を解決するために、図 3 の第 1 実施形態のように、スイッチ回路及び簡単な論理回路の追加によってこの期間を所定の電位（例えば  $V1$ ）に固定することも可能である。この場合には、上記の使用されていないゲートの出力信号が使用できる。実現は容易なので、以下の説明は省略する。

10

#### 【 0 1 3 0 】

本第 5 実施形態のような構成によって、パルス発生におけるパルスあたりの消費電力を減らすことが可能となる。

#### 【 0 1 3 1 】

20

（第 6 実施形態）

次に、パルス発生回路の第 6 実施形態について説明する。上記第 5 実施形態では、2 つのパルス波発生サブ回路の起動時間差の所定量を  $P_w (= t_d)$  とした場合を説明した。本第 6 実施形態では、 $P_w / 2 (= t_d / 2)$  とする場合について説明する。

#### 【 0 1 3 2 】

第 6 実施形態に係るパルス発生回路の構成について、図 1 1 を参照して説明する。図 1 1 は、第 6 実施形態に係るパルス発生回路を示す回路図である。

#### 【 0 1 3 3 】

図 1 1 ( a ) は、互いに 9 0 度位相の異なる 1 組のパルス信号を発生するパルス発生回路を説明するブロック図であり、図 1 1 ( b ) は、パルス発生回路の動作を示すタイミング図である。

30

#### 【 0 1 3 4 】

起動回路 1 1 0 1 は、端子 1 1 0 9 に入力された起動開始信号  $a11$  を受けて時間差  $P_w / 2$  ( $P_w$  はパルス搬送波周期の半分) の 2 個の起動信号  $b11$  ,  $c11$  を発生し、端子 1 1 1 0 , 1 1 0 8 に出力する。

#### 【 0 1 3 5 】

パルス波発生サブ回路 1 1 0 2 , 1 1 0 3 は、図 3 に示したパルス波発生サブ回路 1 0 2 , 1 0 3 を使用する場合を例示する。パルス波発生サブ回路 1 1 0 2 , 1 1 0 3 を構成するインバータ遅延回路の 1 段あたりの遅延量  $t_d$  は、 $P_w$  に等しくなるように調整されており、パルス波発生サブ回路 1 1 0 2 , 1 1 0 3 は、時間差  $t_d / 2 = P_w / 2$ 、すなわちパルス搬送周期の  $1 / 4$  のパルス波  $d11$  ,  $e11$  を発生する（図 1 1 ( b ) 参照）。時間差が  $P_w / 2$  ということは、位相差が 9 0 度ということである。上記方法によって、受信機の同期検波などで必要な 9 0 度位相差のパルスペア ( $I$  ,  $Q$  信号のペア) を発生させることができる。

40

#### 【 0 1 3 6 】

パルス波発生サブ回路 1 1 0 2 , 1 1 0 3 のパルス波  $d11$  ,  $e11$  は、加算減算回路である直交化回路 1 1 0 6 に入力され、起動回路 1 1 0 1 の発生する起動信号  $b11$  ,  $c11$  のわずかな誤差を修正する。すなわち起動信号ペアの時間差は、正確に  $t_d / 2$  である必要があるが、その信号発生のためにパルス波発生サブ回路を構成する遅延量が  $t_d$  のインバータ遅延回路を利用することができない。本第 6 実施形態では、起動信号ペアの時

50

間差  $t_d / 2$  に誤差が存在することを前提とし、それを修正する方法を示す。

【0137】

直交化回路1106は、ベクトルの差及び和を出力するマトリックス回路である。直交化回路1106の出力を  $f_{11}$  ,  $g_{11}$  とすると、 $f_{11} = d_{11} - e_{11}$ 、 $g_{11} = d_{11} + e_{11}$  となる。

【0138】

信号  $f_{11} = d_{11} - e_{11}$  と  $g_{11} = d_{11} + e_{11}$  が直交することは、以下によって示される。すなわちベクトル  $d_{11}$  ,  $e_{11}$  の和と差の内積は、 $\langle d_{11} + e_{11}, d_{11} - e_{11} \rangle = \langle d_{11}, d_{11} \rangle + \langle e_{11}, d_{11} \rangle - \langle d_{11}, e_{11} \rangle - \langle e_{11}, e_{11} \rangle = \langle d_{11}, d_{11} \rangle - \langle e_{11}, e_{11} \rangle$  となる。 $d_{11}$  ,  $e_{11}$  の絶対値（信号の場合は波高値）が等しければ、 $\langle d_{11}, d_{11} \rangle$  と  $\langle e_{11}, e_{11} \rangle$  は等しくなり、内積  $\langle d_{11} + e_{11}, d_{11} - e_{11} \rangle$  の値はゼロとなる。すなわち信号  $f_{11} = d_{11} - e_{11}$  と  $g_{11} = d_{11} + e_{11}$  は、直交している。和及び差の計算は、アナログの加算／減算増幅回路が使用できる。なお、 $\langle a, b \rangle$  はベクトル  $a$  と  $b$  との内積を表す。

【0139】

パルス波  $d_{11}$  ,  $e_{11}$  は、同一の特性のパルス波発生サブ回路1102 , 1103 から発生されるので、当然その波高値は等しく、直交化回路1106でパルス波  $d_{11}$  ,  $e_{11}$  の和と差を作り出せば、その出力信号は直交する。図11(b)では、説明をわかりやすくするためにデジタル的な角張った信号波形で説明している。実際は高速動作のため信号波形は丸みを帯びアナログ的な信号になるが、同様の説明が可能である。信号  $d_{11}$  ,  $e_{11}$  は、その波高値（振幅値）は等しいが、その和と差である信号  $f_{11}$  ,  $g_{11}$  は必ずしも等しくない。特にパルス波  $d_{11}$  ,  $e_{11}$  が直交から大きくずれるほど、 $f_{11}$  ,  $g_{11}$  の波高値の差は大きくなる。振幅制限回路1107は、信号  $f_{11}$  ,  $g_{11}$  の振幅を同一にして出力端子1104 , 1105 から出力する。

【0140】

本第6実施形態の起動回路1101は、発生するパルスのパルス幅  $P_w$  の半分に相当する時間差の起動信号  $b_{11}$  ,  $c_{11}$  を発生し、パルス波発生サブ回路1102 , 1103 は、起動信号  $b_{11}$  ,  $c_{11}$  に呼応して所定のパルス波を発生する同一特性の回路を2つ含んで構成されているので、互いに90度位相の異なる2つのパルス波  $d_{11}$  ,  $e_{11}$  を発生することが可能となる。発生されるパルスは、特性が同一のパルス波発生サブ回路1102 , 1103 によって発生されるので、DCレベルが安定し、かつ位相が90度異なる対称性の良いパルス波（I , Q信号）を発生することが可能となる。本第6実施形態では、シングルエンドのI , Q信号を発生する回路例を示した。

【0141】

また本第6実施形態では、パルス波発生サブ回路1102 , 1103 のパルス波  $d_{11}$  ,  $e_{11}$  同士を加算及び減算する直交化回路1106をさらに含んで構成されるので、パルス波発生サブ回路1102 , 1103 が発生するI , Q信号の直交度をさらに高めることが可能となる。

【0142】

（第7実施形態）

次に、パルス発生回路の第7実施形態について説明する。本第7実施形態では、図11(a)の起動回路1101の構成例を説明する。特にパルス波発生サブ回路では、素子の性能限界に近い高速度でパルス波を発生するために、パルス波発生サブ回路を構成するインバータ遅延回路の遅延量が極めて短い場合が多く、遅延量  $t_d$  の遅延回路は実現できても  $t_d / 2$  の遅延量の遅延回路が構成できない場合もある。本第7実施形態では、このような極めて短い遅延量  $t_d$  でも正確に  $t_d / 2$  の時間差を生成する方法を示す。

【0143】

図12は、本第7実施形態の起動回路を示すブロック図であり、図13は、起動回路の動作を説明するタイミング図である。

10

20

30

40

50

## 【 0 1 4 4 】

図 1 2 において、端子 1 2 0 1 は、起動開始信号 a 1 2 を入力する端子である。ここに入力された起動開始信号 a 1 2 は、N O R ゲート 1 2 2 4、バッファ回路 1 2 0 2 を介して 4 段のインバータ遅延回路列 1 2 0 4 及び 6 段のインバータ遅延回路列 1 2 0 3 に入力される。起動開始信号 a 1 2 により同時に起動されたインバータ遅延回路列 1 2 0 3、1 2 0 4 の信号 c 1 2、d 1 2 のタイミングが一致するように遅延量を調節すると、インバータ遅延回路列 1 2 0 3 と 1 2 0 4 の一段あたりの遅延量の比は 1 : 1 . 5 となる。そこで、それぞれのインバータ遅延回路列 1 2 0 4 及び 1 2 0 3 の初段のインバータ遅延回路から出力信号を取り出し、パルス波発生サブ回路 1 1 0 2、1 1 0 3 の起動信号 1 2 2 2、1 2 2 3 とすれば、その起動時間差は  $Pw / 2 (= t_d / 2)$  となる。以上のような方法によって、遅延量が  $t_d$  よりも短いインバータ遅延回路を使用することなく、 $t_d$  よりも短い時間差の起動信号ペアを作り出すことができる。

10

## 【 0 1 4 5 】

以下に、6 段のインバータ遅延回路列 1 2 0 3 と 4 段のインバータ遅延回路列 1 2 0 4 の遅延量を一致させる方法について、図 1 2 及び図 1 3 を用いて説明する。

## 【 0 1 4 6 】

端子 1 2 0 1 に起動開始信号 a 1 2 が入力されると、N O R ゲート 1 2 2 4 及びバッファ回路 1 2 0 2 による遅延を伴って信号 b 1 2 が 2 つのインバータ遅延回路列 1 2 0 3、1 2 0 4 に入力される。このバッファ回路 1 2 0 2 と、インバータ遅延回路列 1 2 0 3、1 2 0 4 の出力側に設けられたバッファ回路 1 2 0 6、1 2 0 7 は、2 つのインバータ遅延回路列 1 2 0 3、1 2 0 4 の入出力の条件を同一とするために設けられる。インバータ遅延回路列 1 2 0 3 を構成するインバータ遅延回路 1 段の遅延時間は、遅延制御端子 1 2 0 5 に印加される電圧によって  $t_d$  に等しくなるように調整する。

20

## 【 0 1 4 7 】

インバータ遅延回路列 1 2 0 3 は、信号 b 1 2 から  $6 t_d$  の遅延を伴った信号 c 1 2 を出力する。4 段のインバータ遅延回路列 1 2 0 4 の出力信号を d 1 2 とする。2 つのバッファ回路 1 2 0 8、1 2 0 9 は、信号 c 1 2 をバッファ回路 1 2 0 6 を介して入力し、信号 e 1 2、f 1 2 を出力する。バッファ回路 1 2 0 8 の出力には、信号 e 1 2 の方が信号 f 1 2 より  $t$  遅れて出力されるように調整した負荷容量 1 2 1 2 が接続されている。同様に 2 つのバッファ回路 1 2 1 0、1 2 1 1 は、信号 d 1 2 をバッファ回路 1 2 0 7 を介して入力し、信号 g 1 2、h 1 2 を出力する。バッファ回路 1 2 1 0 の出力には、信号 g 1 2 の方が信号 h 1 2 より  $t$  遅れて出力されるように調整した負荷容量 1 2 1 3 が接続されている。バッファ回路 1 2 0 6、1 2 0 7 を同一の特性に設定し、バッファ回路 1 2 0 8、1 2 1 0 を同一の特性に設定し、バッファ回路 1 2 0 9、1 2 1 1 を同一の特性に設定し、負荷容量 1 2 1 2、1 2 1 3 を同一の特性に設定すれば、信号 c 1 2 から信号 e 1 2 への遅延時間と信号 d 1 2 から信号 g 1 2 への遅延時間は等しくなる。また、信号 c 1 2、f 1 2、d 1 2、h 1 2 の遅延時間も等しくできる。

30

## 【 0 1 4 8 】

N A N D ゲートを 2 つ使った R S フリップフロップ回路 1 2 1 4、1 2 1 5 は、その 2 つの入力端子が L、L から異なる遅延時間を伴って H、H に変化する時、遅れて変化した側の出力端子が H を出力し、保持する。本第 7 実施形態では、R S フリップフロップ回路 1 2 1 4、1 2 1 5 を使って、信号 e 1 2、h 1 2 及び f 1 2、g 1 2 がそれぞれどちらが遅れて変化したかを検出する。図 1 3 では、信号 d 1 2 の方が信号 c 1 2 より  $t$  以上遅かった場合を例示している。

40

## 【 0 1 4 9 】

R S フリップフロップ回路 1 2 1 4 の 2 つの出力信号 i 1 2、j 1 2 は、入力の信号 e 1 2 と h 1 2 の立ち上がりの遅い方を検出する。信号 h 1 2 の方が立ち上がりが遅いので、対応する出力の信号 j 1 2 が H を保持し、信号 i 1 2 が L となる。

## 【 0 1 5 0 】

同様に R S フリップフロップ回路 1 2 1 5 の 2 つの信号 k 1 2、l 1 2 は、入力の信号

50

f 1 2 と g 1 2 の立ち上がりの遅い方を検出する。信号 g 1 2 の方が立ち上がりが遅いので対応する出力の信号 l 1 2 が H を保持し、信号 k 1 2 が L となる。

【 0 1 5 1 】

今、信号 i 1 2 と信号 k 1 2 のどちらも L の時は、信号 c 1 2 の方が信号 d 1 2 よりも  $t$  以上早く立ち上がったことを示し、信号 j 1 2 と信号 l 1 2 のどちらも L の時は、信号 d 1 2 の方が信号 c 1 2 よりも  $t$  以上早く立ち上がったことを示す。それ以外の時は、信号 c 1 2 と信号 d 1 2 の立ち上がりの時間差は  $t$  以内である。

【 0 1 5 2 】

NOR ゲート 1 2 1 6 は、信号 i 1 2 と信号 k 1 2 がどちらも L の時に H を出力し、チャージポンプ 1 2 2 0 を制御してローパスフィルタ 1 2 2 1 に電荷注入を行う。また、NOR ゲート 1 2 1 7 は、信号 j 1 2 と信号 l 1 2 がどちらも L の時に H を出力し、チャージポンプ 1 2 2 0 を制御してローパスフィルタ 1 2 2 1 から電荷を引き抜く。これによって信号 i 1 2 と信号 k 1 2 がどちらも L の時、すなわち信号 c 1 2 の方が信号 d 1 2 よりも  $t$  以上早い時は、信号 d 1 2 の立ち上がりを早くするように、インバータ遅延回路列 1 2 0 4 の遅延量制御端子 1 2 2 5 の電圧を上げる。また逆に信号 j 1 2 と信号 l 1 2 がどちらも L の時、すなわち信号 c 1 2 の方が信号 d 1 2 よりも  $t$  以上遅い時は、信号 d 1 2 の立ち上がりを遅くするように、インバータ遅延回路列 1 2 0 4 の遅延量制御端子 1 2 2 5 の電圧を下げる。それ以外の時は、チャージポンプ 1 2 2 0 は不活性化され、ローパスフィルタ 1 2 2 1 は、インバータ遅延回路列 1 2 0 4 の遅延量制御端子 1 2 2 5 の電圧を保持する。

【 0 1 5 3 】

$t$  を  $1.5 \times t_d$  の許容誤差の 4 倍以内になるように設定しておけば、常にインバータ遅延回路列 1 2 0 4 の一段あたりの遅延量は  $1.5 \times t_d \pm$  許容誤差範囲内になるようにその制御電圧が修正される。

【 0 1 5 4 】

NOR ゲート 1 2 1 8 は、インバータ遅延回路列 1 2 0 4 の制御電圧の修正が必要な場合を検出する。この時 NOR ゲート 1 2 1 9 は、インバータ遅延回路列 1 2 0 3 の出力を NOR ゲート 1 2 2 4 を介してインバータ遅延回路列 1 2 0 3 に帰還し、リング発振回路を形成する。こうして結成されたリング発振回路は、インバータ遅延回路列 1 2 0 4 の遅延量制御端子 1 2 2 5 の電圧が修正され遅延量の差が  $t$  以内に収まるまで発振を続け、チャージポンプ 1 2 2 0 を作動させローパスフィルタ 1 2 2 1 への充放電を続ける。

【 0 1 5 5 】

本第 7 実施形態での起動回路 1 1 0 1 は、パルス波発生サブ回路を構成するインバータ遅延回路の遅延量と同一の遅延量のインバータ遅延回路と、遅延量が  $1.5$  倍の遅延量のインバータ遅延回路を含んで構成されることを特徴とする。

【 0 1 5 6 】

本第 7 実施形態によれば、遅延量が  $t_d$  より短いインバータ遅延回路を必要とすることなく、時間差が  $t_d$  よりも短い、すなわち  $t_d / 2$  の起動信号を作り出すことが可能であり、特に回路が素子性能の限界程度に高速動作を要する時に有効である。

【 0 1 5 7 】

( 第 8 実施形態 )

次に、パルス発生回路の第 8 実施形態について説明する。図 1 4 は、本第 8 実施形態のパルス発生回路を示すブロック図である。

【 0 1 5 8 】

図 1 4 に示すパルス発生回路は、パルス波発生サブ回路を 4 つ使う例である。起動回路 1 4 0 1 は、端子 1 4 0 8 に入力された起動開始信号に呼応して  $P_w / 2$  の時間差を持つ 4 つの起動信号 a 1 4 , b 1 4 , c 1 4 , d 1 4 を発生しそれぞれ端子 1 4 0 9 , 1 4 1 0 , 1 4 1 1 , 1 4 1 2 より出力する。4 つの同一特性のパルス波発生サブ回路 1 4 0 2 , 1 4 0 3 , 1 4 0 4 , 1 4 0 5 は、起動信号 a 1 4 , b 1 4 , c 1 4 , d 1 4 を受けてパルス幅  $P_w$  のパルス波 e 1 4 , f 1 4 , g 1 4 , h 1 4 を発生し、端子 1 4 1 3 , 1 4

10

20

30

40

50



14, 1415, 1416より出力する。パルス波発生サブ回路1402, 1403, 1404, 1405の具体的構成は、図3または図10と同じであり、これらのパルス波発生サブ回路を構成するインバータ遅延回路の1段あたりの遅延量は、 $t_d$ である。 $t_d = Pw$ に設定すればパルス波e14, f14, g14, h14は、それぞれ90度ずつ位相をずらすことができる。パルス波e14, g14とf14, h14を1組とすると、それらは90度の位相差がある差動信号、すなわちI, Q信号と見ることができる。

#### 【0159】

これらのパルス波e14, g14とf14, h14は、直交化回路1406に入力され、 $t_d$ のわずかな誤差によって生ずる位相誤差を修正した後、端子1417~1420を介して振幅制限回路1407で振幅を揃え、端子1421~1424より出力する。直交化回路1406の構成は、第6実施形態で述べた。和及び差を取るのは、差動信号ペアが得られるので第6実施形態より容易である。すなわち同一特性の差動増幅回路4つを用いて、それぞれの差動増幅回路にパルス波e14とh14、g14とf14、e14とg14、f14とh14を入力すると、差動増幅回路の出力は、e14-h14、g14-f14及びe14-g14、f14-h14を増幅したものとなり、これらの信号は第6実施形態に述べたベクトルの和と差を表す差動信号となる。

#### 【0160】

図14(b)に、起動回路1401の具体的構成例を示す。4つのインバータ遅延回路1432, 1434, 1436, 1438は、その遅延量が $t_d/2$ のインバータ遅延回路である。これらのインバータ遅延回路1432, 1434, 1436, 1438は、パルス波発生サブ回路1402~1405を構成するインバータ遅延回路の遅延量 $t_d$ の半分であるので同一の回路は使用できないが、直交化回路1406によって誤差を修正できるので精度はそれほど要求されない。

#### 【0161】

遅延量が $t_d/2$ のインバータ遅延回路は、図18のMOSトランジスタ1902, 1903のドレイン容量とバッファ回路1905の入力容量及び配線などに寄生する寄生容量の合計との比が1:2になるようにバッファ回路1905のサイズを調整することによって、遅延量が1:2のインバータ遅延回路を実現できる。この方法は、半導体集積回路の製造プロセスにおいて誤差要因がマスク精度のみで決まるため、遅延量の比のばらつきが少なく、温度や電源電圧の変動に対しても遅延量の比が安定して得られる。

#### 【0162】

上記の起動回路1401では、素子性能の限界程度に高速な動作が要求される時には使用できない。そのような高速動作が要求される場合の起動回路1401の回路例を図14(c)に示す。遅延量 $t_d$ の遅延回路1444, 1446, 1448と遅延量 $1.5t_d$ の遅延回路1442を図14(c)のように接続し、パルス波発生サブ回路の起動信号a14, b14, c14, d14を端子1447, 1443, 1449, 1445から取り出せば、それらの起動信号a14, b14, c14, d14は、 $t_d/2$ ずつの時間差を伴った信号となる。

#### 【0163】

本第8実施形態において、起動回路1401は、発生するパルスのパルス幅Pwの半分に相当する時間差の起動信号a14, b14, c14, d14を4つ発生し、起動信号a14, b14, c14, d14のそれぞれに呼応して所定のパルス波を発生する同一特性の4つのパルス波発生サブ回路1402, 1403, 1404, 1405を含んで構成されることを特徴とする。

#### 【0164】

この構成によって、互いに90度位相の異なる4つの信号、すなわち位相が90度異なった2組の差動の信号(I, Q差動信号)を発生することが可能となる。

#### 【0165】

(第9実施形態)

次に、パルス発生回路の第9実施形態について説明する。

10

20

30

40

50

## 【0166】

図15は、第1実施形態～第8実施形態のパルス発生回路を用いたUWB通信装置を説明する図であり、UWB送受信機に応用した場合の例を示す。

## 【0167】

パルス発生回路1501は、図5(a)の起動回路101と図5(c)のスイッチ回路529を含み、これを用いることによりUWB送信回路1550を構成する。すなわち、端子1503は、起動開始信号を入力する端子であり、図5(a)の端子519に該当する。端子1504は、送信するデータの入力端子であり、図5(a)の端子510、または図5(c)の端子530に該当する。端子1503に起動開始信号が入力されると、パルス発生回路1501は、パルスを1つ発生するが、出力されるパルスの極性は、端子1504に入力される送信データの値に従って切り替え変調される。この変調方式は、パルスの2相変調(BPM: Bi-Phase Modulation)と見ることができる。図15のパルス発生回路1501の平衡型のアンテナ1502は、2つあり、差動のパルス信号を発する。そのためこのパルス発生回路1501を使用した送信機は、平衡型のアンテナ1502を駆動することができる。これによって、低電圧でも大出力を得ることも可能となる。

## 【0168】

送信機では、この他に起動信号に遅延回路を接続して、その遅延時間を送信データに従って切り替えるパルス位置変調も可能である。これらの方法をパルス位置変調(PPM: Pulse Position Modulation)に使用することも可能である。

## 【0169】

さらに図14(a)に示す4相のパルス発振回路を用いると、IQ直交変調のパルス変調が可能となる。すなわち図14(a)の起動回路1401として、パルス波発生サブ回路1402と1404の起動信号a14とc14をペアにし、及びパルス波発生サブ回路1403と1405の起動信号b14とd14をペアにして、図5(a)の起動回路を2つ使うことにより、I、Qのそれぞれの信号に変調(QPM: Quadrature Phase Modulation、4相変調)をかけ、さらに端子1421と1422、そして端子1423と1424の信号をそれぞれ加算し、2つの信号として平衡型のアンテナ1502に給電することで実現できる。変調は、出力側の端子に図5(c)のスイッチ回路を挿入しても良い。

## 【0170】

受信アンテナ1505を含む回路は、受信回路1551の構成を示す。すなわち受信アンテナ1505で受信されたUWBパルス信号は、低雑音増幅回路1506で増幅し、I、Qのミキサ回路1507、1508に入力される。ミキサ回路1507、1508は、テンプレートパルス発生回路1509によって発生されたテンプレートパルスとの乗算を行い、積分回路1510、1511に送る。積分回路1510、1511では、ミキサ回路1507、1508で混合(乗算)した信号の高域成分を取り除き、復調を行う。回路1512は、それぞれの信号の強度を見て送信されたビットを判断し、元の送信データに戻す。

## 【0171】

ここで、テンプレートパルス発生回路1509として、図14(a)のパルス発生回路が使用できる。図14(a)のパルス発生回路は、IQ2相の差動信号の発振が可能であり、低雑音増幅回路1506やミキサ回路1507、1508のような差動式の回路を使用することを可能とする。差動式の回路は、同相ノイズのキャンセルや低電圧動作に適しており、低電力低雑音の機器構成に都合が良い。また、図14(a)のパルス発生回路によるIQのテンプレートパルス発生回路1509を用いると、QPMの時のみでなく、BPMやPPMでも効率の良い受信が可能となる。すなわち、BPMやPPMの変調時において、Iチャネルをデータの復調にあてて、Qチャネルをトラッキングに使うなどの方法を取ることが可能である。なぜなら、Qチャネル出力を常に0になるようにテンプレート発生のタイミングを調整すれば、Iチャネルではその出力振幅値が最大となるのでこのような制御によって同期検波のトラッキングが可能となる。

## 【0172】

テンプレートパルス発生回路 1509 として他の回路、すなわち図 1 や図 11 の回路を用いることももちろん可能である。

【0173】

本パルス発生回路は、簡単な回路で所定の位相差を持った複数のパルス信号を発生できる。180度の位相差の信号ペアを発生すれば、平衡型のパルス信号となり、90度ずつの位相差で4信号を発生すれば、差動型のI, Q信号を得ることができる。パルス発生回路で発生したパルス信号は、位相差を正確に制御でき、また信号間の振幅などのばらつきが少なく平衡度の良い歪みの少ない信号が発生できる。従って、パルス発生回路は、UWB送受信機の高性能化に必要な差動型の信号発生、I, Q信号の発生、低歪などのすべての要求仕様を備えている。従って、本パルス発生回路をUWB送受信機に応用すれば、高性能な装置を実現できる。

10

【0174】

また、本パルス発生回路をCMOS集積回路で実現すれば、パルス発生時の遷移時間でしか電力を消費せず、待機時電流がない。通信機に応用した場合は、伝送する情報量(ビットレート)に応じて常に最小の消費電力で作動させることが可能である。

【0175】

特に、UWB通信は、短距離の高速通信に適しており、従来の無線通信では不可能であったGbps(ギガビット/秒)以上の伝送量が期待できる。このような伝送量は、従来のどの無線通信方式においても実現し得なかった値であり、また有線伝送路によっても様々な困難を伴う。パルスによるUWB通信(IR)を行う回路の動作は、間歇的であり、パルスがアクティブな時だけ回路に電源が入っていれば良い。これによって、回路に消費される電力を大幅に節約できる。さらに間歇動作であるために、このシステムが組み込まれる機器の動作に対する妨害や、機器からシステムが受ける妨害が少ない。パルス発生回路を用いたUWB通信をデータ伝送に使用すると、従来の銅線(有線路)による接続よりも低電力、高速でより低い外部への妨害、また高い耐干渉性を得ることができる。よってUWB通信装置を同一筐体内における極近距離の大容量データ伝送に用いると、極めて有用性の高いシステムが構築できる。

20

【0176】

以上、起動時間差の所定量を $t_d$ ,  $t_d/2$ の場合を実施形態で説明したが、こうした実施形態に何ら限定されるものではない。例えば $2t_d/3$ とすれば、120度位相差の3相のパルス信号セットが得られる。必要に応じて起動時間の所定量を調節することによって、任意の位相差の信号を得ることが可能である。

30

【0177】

短パルスを利用するUWB通信に利用すれば特にその効果が大きい。

【図面の簡単な説明】

【0178】

【図1】第1実施形態に係るパルス発生回路の構成を示す構成図。

【図2】第1実施形態に係るパルス発生回路の動作を示すタイミング図。

【図3】パルス波発生サブ回路の構成を示す回路図。

【図4】パルス波発生サブ回路の動作を説明するタイミング図。

40

【図5】起動回路の構成を示す回路図。

【図6】起動回路の動作を説明するタイミング図。

【図7】第2実施形態に係るパルス発生回路の構成を示す回路図。

【図8】第3実施形態に係るパルス発生回路の起動開始信号のパルス幅を制限する回路の構成を示す回路図とタイミング図。

【図9】第4実施形態に係るパルス発生回路の起動回路に与える起動信号を発生する他の方法を示す回路図。

【図10】第5実施形態に係るパルス発生回路のパルス波発生サブ回路を示す回路図。

【図11】第6実施形態に係るパルス発生回路を示す回路図。

【図12】第7実施形態の起動回路を示すブロック図。

50

【図 1 3】起動回路の動作を説明するタイミング図。

【図 1 4】第 8 実施形態のパルス発生回路を示すブロック図。

【図 1 5】第 1 実施形態～第 8 実施形態のパルス発生回路を用いた UWB 通信装置電子装置を説明する図。

【図 1 6】UWB で使用されるパルスを説明する説明図。

【図 1 7】従来のパルス発生回路の図と動作タイミング図。

【図 1 8】インバータ遅延回路の内部を示す回路図。

【図 1 9】従来のパルス発生回路の課題を説明する図。

【図 2 0】発生しようとするパルスを説明する説明図。

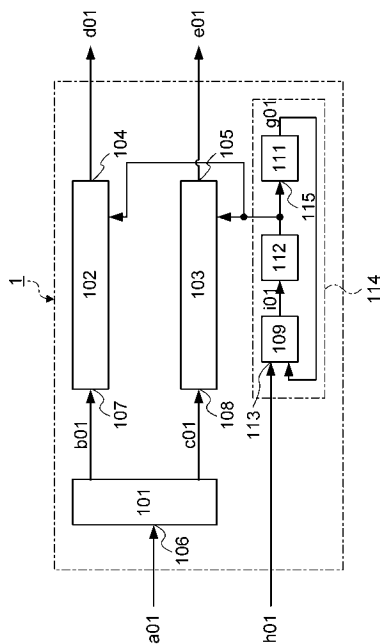
【符号の説明】

【0 1 7 9】

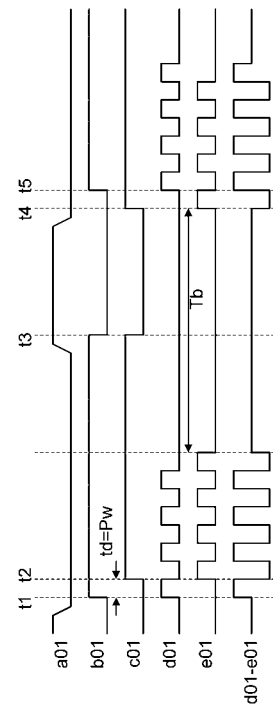
1 0 1 ... 起動回路、1 0 2 , 1 0 3 ... パルス波発生サブ回路、3 0 1 ~ 3 0 9 ... インバータ遅延回路、3 1 0 ~ 3 2 5 , 3 2 7 , 3 2 8 ... MOS トランジスタ。

10

【図 1】

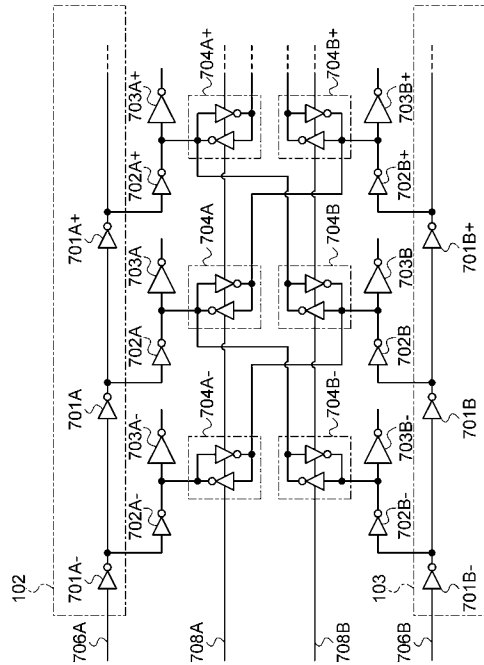


【図 2】

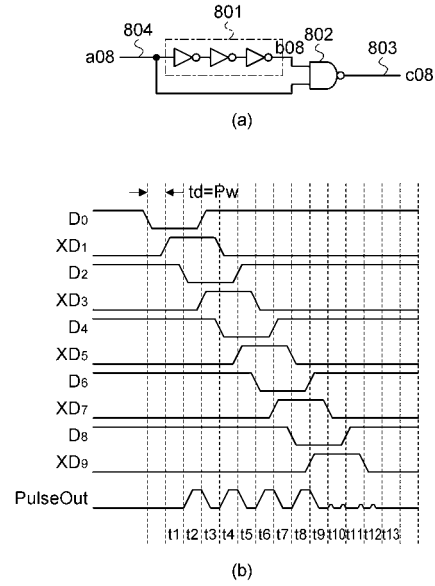




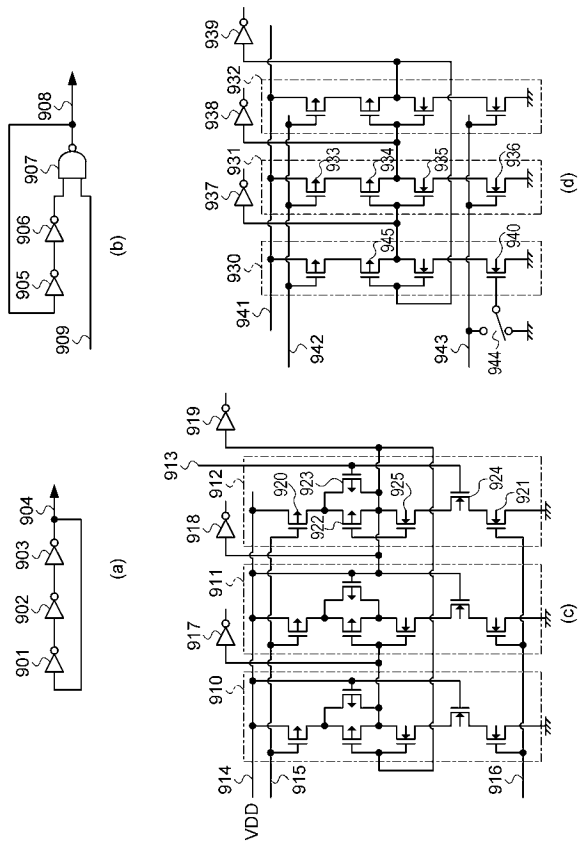
【図 7】



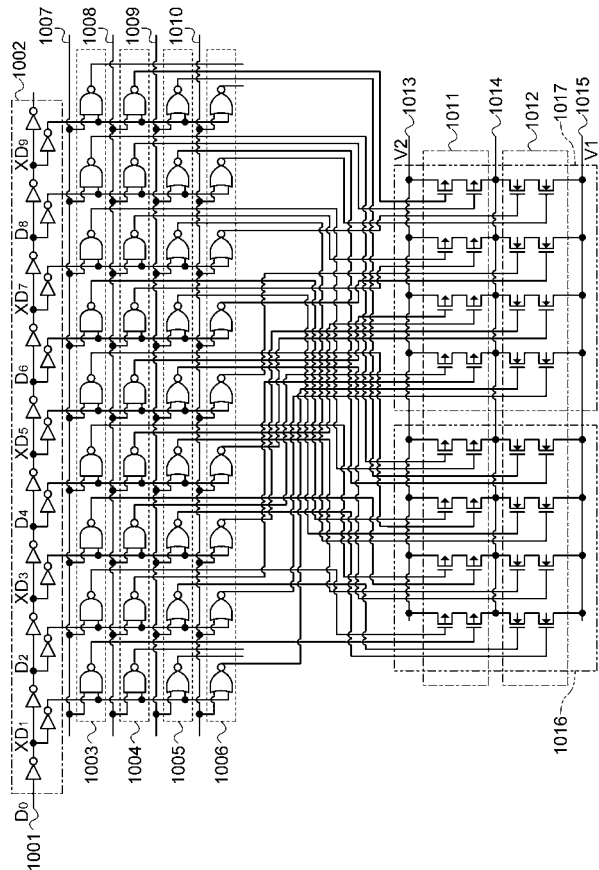
【図 8】



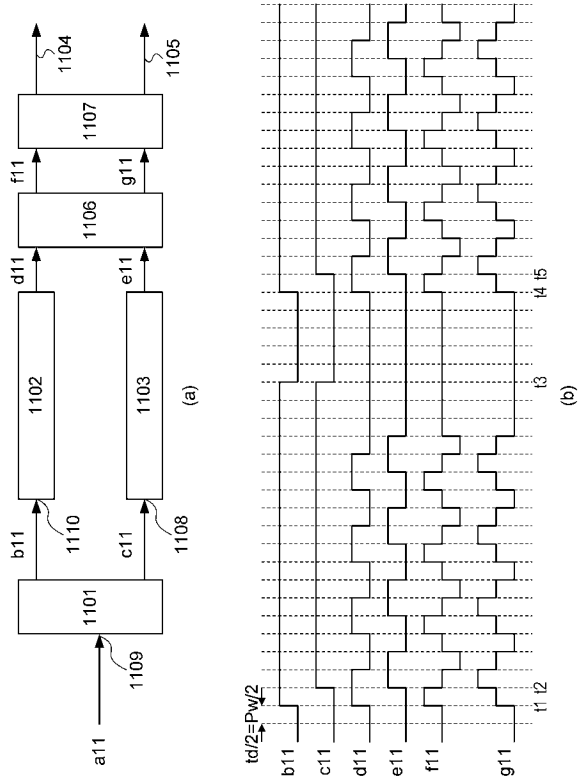
【図 9】



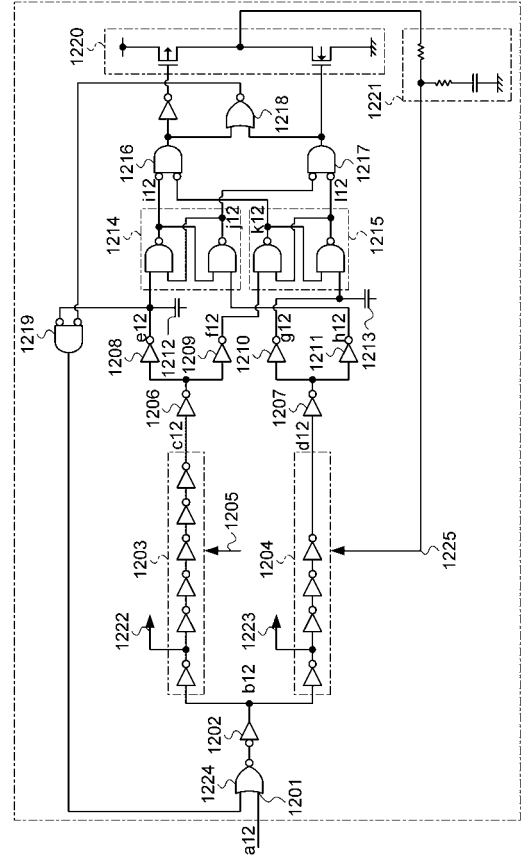
【図 10】



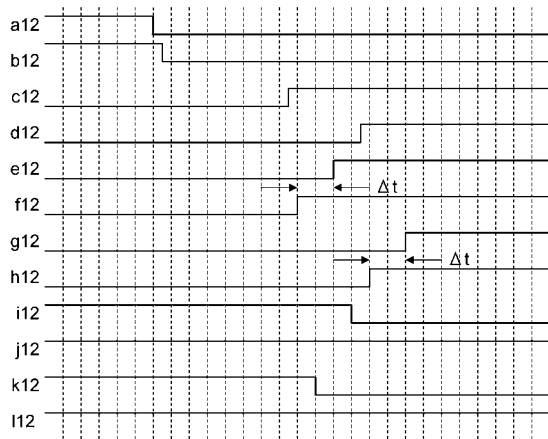
【図 1 1】



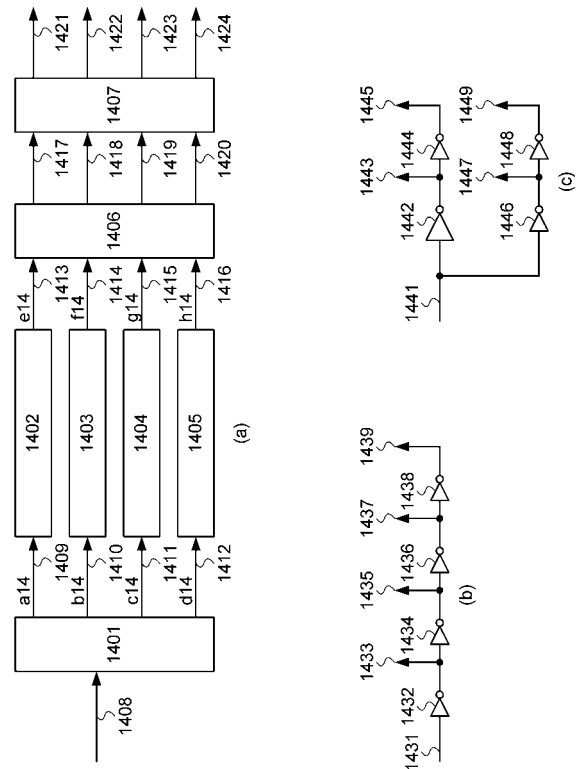
【図 1 2】



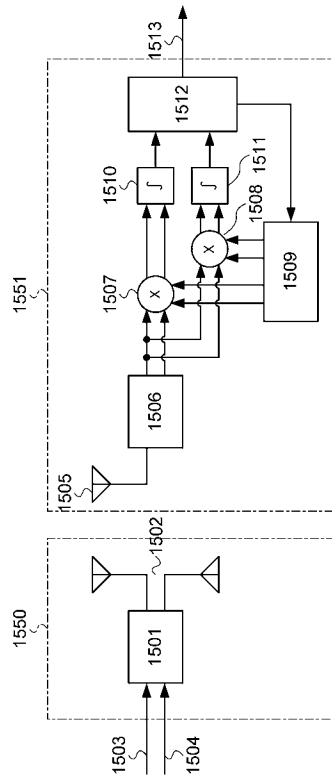
【図 1 3】



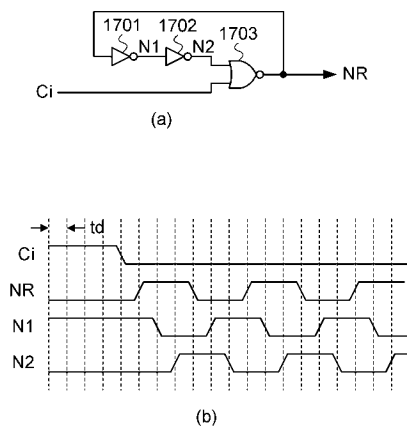
【図 1 4】



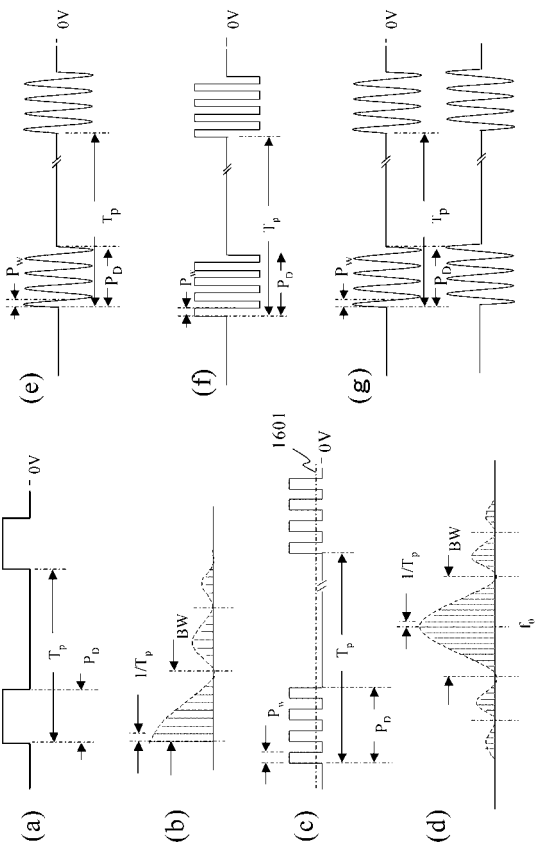
【図 15】



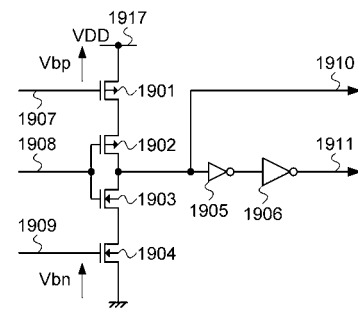
【図 17】



【図 16】

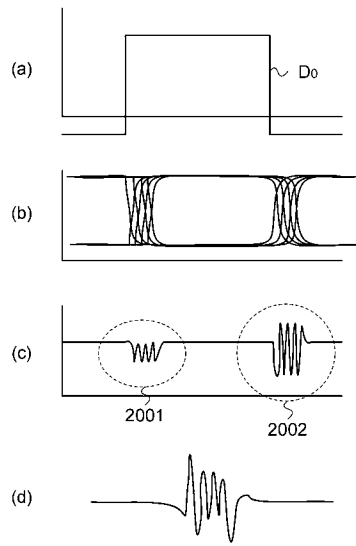


【図 18】





【図 19】



【図 20】

