

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号  
特開2010-225768  
(P2010-225768A)

(43) 公開日 平成22年10月7日(2010.10.7)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8234 (2006.01)	H O 1 L 27/08 1 O 2 B	5 F O 3 8
H O 1 L 27/088 (2006.01)	H O 1 L 27/08 3 2 1 C	5 F O 4 8
H O 1 L 21/8238 (2006.01)	H O 1 L 27/04 F	5 F O 6 4
H O 1 L 27/092 (2006.01)	H O 1 L 27/04 A	5 F 1 1 O
H O 1 L 21/822 (2006.01)	H O 1 L 27/08 3 2 1 F	
審査請求 未請求 請求項の数 5 O L (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2009-70257 (P2009-70257)	(71) 出願人	000003078
(22) 出願日	平成21年3月23日 (2009. 3. 23)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100075812
			弁理士 吉武 賢次
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康
		(74) 代理人	100118843
			弁理士 赤岡 明
		最終頁に続く	

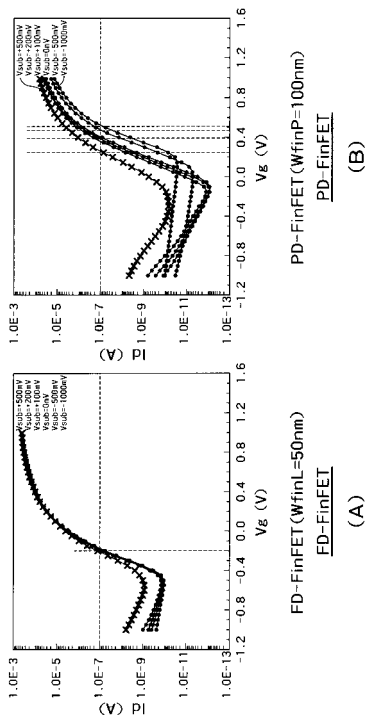
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 F D型トランジスタで構成された電気回路において、電気回路に電力を供給する電源のスイッチングトランジスタを基板電圧で制御することができる半導体装置を提供する。

【解決手段】 半導体装置は、基板上の第1のF i nに形成された第1のトランジスタを含む電気回路と、半導体基板上の第2のF i nに形成され、電気回路と電源供給線との間に接続された第2のトランジスタを含む電源回路と、基板に基板電圧を印加するための基板コンタクトとを備え、第1のF i nの幅は、第1のトランジスタのチャネル部に形成される最大空乏層幅の2倍以下であり、第2のF i nの幅は、第2のトランジスタのチャネル部に形成される最大空乏層幅の2倍よりも大きい。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

半導体基板と、

前記半導体基板上の第 1 の F i n 型半導体層に形成された第 1 のトランジスタを含む電気回路と、

前記半導体基板上の第 2 の F i n 型半導体層に形成され、前記電気回路と電源供給線との間に接続された第 2 のトランジスタを含む電源回路と、

前記半導体基板に基板電圧を印加するための基板コンタクトとを備え、

前記第 1 のトランジスタのチャネル長方向に対して垂直な断面における第 1 の F i n 型半導体層の F i n 幅は、前記第 1 のトランジスタのチャネル部に形成される最大空乏層幅の 2 倍以下であり、

前記第 2 のトランジスタのチャネル長方向に対して垂直な断面における第 2 の F i n 型半導体層の F i n 幅は、前記第 2 のトランジスタのチャネル部に形成される最大空乏層幅の 2 倍よりも大きいことを特徴とする半導体装置。

## 【請求項 2】

前記第 1 のトランジスタは、完全空乏型トランジスタとして機能し、

前記第 2 のトランジスタは、ボディ部が前記基板コンタクトに電氣的に接続された部分空乏型トランジスタとして機能することを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 3】

前記電気回路を駆動させるときには、前記第 2 のトランジスタの閾値電圧を低下させるように、前記基板コンタクトを介して前記半導体基板に第 1 の基板電圧を印加する第 1 の制御部を有する請求項 1 または請求項 2 に記載の半導体装置。

## 【請求項 4】

前記電気回路の待機時または停止時には、前記第 2 のトランジスタの閾値電圧を上昇させるように、前記基板コンタクトを介して前記半導体基板に第 2 の基板電圧を印加する第 2 の制御部を有する請求項 1 から請求項 3 のいずれか一項に記載の半導体装置。

## 【請求項 5】

前記第 1 の F i n 型半導体層の長手方向は、前記第 2 の F i n 型半導体層の長手方向とほぼ平行であることを特徴とする請求項 1 から請求項 4 のいずれか一項に記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置に関する。

## 【背景技術】

## 【0002】

近年、ダブルゲート構造の F i n 型 M O S F E T (以下、F i n F E T ともいう) を完全空乏型チャネル M O S F E T (Fully-Depleted channel MOSFET) (以下、F D 型トランジスタともいう) として用いることが提案されている。F D 型トランジスタとしての F i n F E T は、F D 型の平面型トランジスタに比べて短チャネル効果の抑制に有利で、素子の微細化に適している。

## 【0003】

一方、M O S F E T に代表される一部の半導体装置のウェルに、時間的に変動する基板電圧を印加することによって M O S F E T の閾値電圧を動的に制御する技術、あるいは、ウェルに基板電圧を印加することによってスイッチングトランジスタの閾値電圧を制御して電源ライン自体を遮断する技術 (power gating) が提案されている。例えば、低消費電力のために、待機時に基板電圧によって、電源スイッチングトランジスタをオフ状態にすることが考えられる。

## 【0004】

しかし、F D 型トランジスタの閾値電圧を基板電圧で制御することは困難である。なぜ

10

20

30

40

50

ならば、S O I (Silicon On Insulator) 基板上に形成される F D 型の平面型 M O S F E T (非特許文献 1) や F D 型の F i n F E T は、構造上、それらのチャネル部に基板バイアスを印加できないからである。また、ロジック回路に影響を与えることなく、電源スイッチングトランジスタのみを選択的に制御することも困難である。

【 0 0 0 5 】

薄膜 S O I (Silicon On Insulator) 基板上に形成された F D 型 M O S F E T の場合、基板電圧で閾値電圧等を制御するためには、チャネル部の直下に薄膜 B O X (Buried Oxide) 層が必要となる。しかし、薄膜 B O X 層を有する S O I 基板は、高価である。

【 0 0 0 6 】

従って、F D 型トランジスタで構成されたロジック回路の電源スイッチングトランジスタの閾値電圧を選択的に制御することが困難であり、あるいは、コスト高であった。即ち、F D 型トランジスタで構成されたロジック回路に power gating 技術を適用することは困難であった。

10

【先行技術文献】

【特許文献】

【 0 0 0 7 】

【特許文献 1】特開 2 0 0 8 - 9 0 9 5 8 号公報

【非特許文献】

【 0 0 0 8 】

【非特許文献 1】R. Tsuchiya et al “Controllable Inverter Delay and Suppressing Vth Fluctuation Technology in Silicon on Thin BOX Featuring Dual Back-Gate Bias Architecture”, International Electron Devices Meeting (IEDM) 2007, 475-478

20

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 9 】

F D 型トランジスタで構成された電気回路に電力供給する電源スイッチングトランジスタを、基板電圧で選択的に制御することができる半導体装置を提供する。

【課題を解決するための手段】

【 0 0 1 0 】

本発明に係る実施形態に従った半導体装置は、半導体基板と、前記半導体基板に接続された第 1 の F i n 型半導体層に形成された第 1 のトランジスタを含む電気回路と、前記半導体基板に接続された第 2 の F i n 型半導体層に形成され、前記電気回路と電源供給線との間に接続された第 2 のトランジスタを含む電源回路と、前記半導体基板に基板電圧を印加するための基板コンタクトとを備え、前記第 1 のトランジスタのチャネル長方向に対して垂直な断面における第 1 の F i n 型半導体層の F i n 幅は、前記第 1 のトランジスタのチャネル部に形成される最大空乏層幅の 2 倍以下であり、前記第 2 のトランジスタのチャネル長方向に対して垂直な断面における第 2 の F i n 型半導体層の F i n 幅は、前記第 2 のトランジスタのチャネル部に形成される最大空乏層幅の 2 倍よりも大きいことを特徴とする。

30

【発明の効果】

40

【 0 0 1 1 】

本発明による半導体装置は、F D 型トランジスタで構成された電気回路に電力供給する電源スイッチングトランジスタを、基板バイアス電圧で選択的に制御することができる。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】本発明に係る第 1 の実施形態に従ったロジック回路および電源供給部を示す回路図。

【図 2】1 つのバルク F i n F E T (bulk-FinFET) の構成を示す斜視図。

【図 3】本実施形態によるロジック回路 L C または電源 (供給) 回路 P S C を構成する F i n 型半導体層およびその周辺の断面図。

50

【図４】基板バイアス電圧  $V_{sub}$  を変化させたときのバルク  $FinFET$  の  $I_d - V_g$  特性を示すグラフ。

【図５】本実施形態による半導体装置の構成の一例を示すレイアウト図。

【図６】第１の実施形態による半導体装置の製造方法を示す平面レイアウト図。

【図７】図６に続く、半導体装置の製造方法を示す平面レイアウト図。

【図８】図７に続く、半導体装置の製造方法を示す平面レイアウト図。

【図９】本発明に係る第２の実施形態に従った半導体装置を示すレイアウト図。

【図１０】第２の実施形態による半導体装置の製造方法を示す平面レイアウト図。

【図１１】図１０に続く、半導体装置の製造方法を示す平面レイアウト図。

【図１２】第２の実施形態の変形例を説明するレイアウト図。

10

【発明を実施するための形態】

【００１３】

以下、図面を参照して本発明に係る実施形態を説明する。本実施形態は、本発明を限定するものではない。

【００１４】

（第１の実施形態）

図１は、本発明に係る第１の実施形態に従ったロジック回路および電源供給部を示す回路図である。ロジック回路  $LC$  は、 $p$  型の  $Fin$  型トランジスタ  $TP1 \sim TP4$  と、 $n$  型の  $Fin$  型トランジスタ  $TN1 \sim TN4$  とを備えている。図１では、ロジック回路  $LC$  は、 $NAND$  回路および  $NOR$  回路を並列して構成されている。しかし、ロジック回路  $LC$  は、これに限定されず、電源回路  $PSC$  から電力供給を受けて動作するロジック回路であればよい。

20

【００１５】

電源供給部としての電源回路  $PSC$  は、 $p$  型スイッチングトランジスタ  $SWp$  および  $n$  型スイッチングトランジスタ  $SWn$  を備えている。

【００１６】

$V_{ss0}$  がロジック回路  $LC$  のグランド電位である。 $V_{dd0}$  がロジック回路  $LC$  の電源電圧となる。 $V_{ss1}$  は、 $V_{ss0}$  よりも低い電圧を有する電圧源である。 $V_{dd1}$  は、 $V_{dd0}$  よりも高い電圧を有する電圧源である。

【００１７】

$V_{bs\_nw}$  は、 $n$  型ウェルと電氣的に接続されており、 $V_{dd1}$  よりも高い電位である。 $V_{bs\_pw}$  は、 $p$  型ウェルと電氣的に接続されており、 $V_{ss1}$  よりも低い電位である。 $V_{bs\_nw}$  は、スイッチングトランジスタ  $SWp$  に基板バイアス電圧として印加される。 $V_{bs\_pw}$  は、スイッチングトランジスタ  $SWn$  に基板バイアス電圧として印加される。

30

【００１８】

スイッチングトランジスタ  $SWp$  は、電源  $V_{dd1}$  と  $V_{dd0}$  との間に接続されている。即ち、スイッチングトランジスタ  $SWp$  は、電源  $V_{dd1}$  とロジック回路  $LC$  との間に接続されている。スイッチングトランジスタ  $SWp$  がオン状態になると、 $V_{dd1}$  から  $V_{dd0}$  へ電力が供給される。スイッチングトランジスタ  $SWn$  は、電源  $V_{ss1}$  と  $V_{ss0}$  との間に接続されている。即ち、スイッチングトランジスタ  $SWn$  は、電源  $V_{ss1}$  とロジック回路  $LC$  との間に接続されている。スイッチングトランジスタ  $SWn$  がオン状態になると、 $V_{ss1}$  から  $V_{ss0}$  へ電力が供給される。 $V_{dd0}$  および  $V_{ss0}$  は、ロジック回路  $LC$  に電源電圧として用いられる。

40

【００１９】

図２は、１つのバルク  $FinFET$  の構成を示す斜視図である。バルク  $FinFET$  は、 $n$  型チャネルの場合、半導体バルク基板としての  $p$  型シリコンバルク基板（ $p$  型ウェル） $21$  に接続された  $Fin$  型半導体層を備えている。 $Fin$  型半導体層は、バルク基板  $21$  を突起状に加工することによって形成され、基板  $21$  と同じシリコン材料から成る。 $Fin$  型半導体層は、アクティブエリアとして用いられる。 $Fin$  型半導体層の高さは、例

50

えば、約  $0.1\ \mu\text{m} \sim 0.2\ \mu\text{m}$  である。しかし、Fin 型半導体層の高さは、より低い場合もあり得る。Fin 型半導体層の両側の基板 21 上には、素子分離領域としての素子分離膜 23 が形成されている。Fin 型半導体層は、第 1 の Fin 型半導体層としても用いられ、あるいは、第 2 の Fin 型半導体層としても用いられ得る。

#### 【0020】

ゲート電極 G が、ゲート絶縁膜 Gox を介して Fin 型半導体層の上面および側面上に設けられている。ゲート電極 G は、例えば、n 型の FET であれば As (砒素) や P (リン) を含有するドーパントポリシリコン、金属、または、ドーパントポリシリコンと金属との組合せで形成されてもよい。尚、ゲート電極 G をポリシリコンで形成した場合、FD 型トランジスタの閾値電圧が高くなってしまう。このため、FD 型トランジスタでは、ゲート電極 G を金属で形成することが好ましい。金属ゲートは、仕事関数で閾値電圧を決定することができるので、低い閾値電圧を実現できる。

10

#### 【0021】

ゲート絶縁膜 Gox は、例えば、熱酸化によって形成されたシリコン酸化膜、シリコン酸窒化膜、または高誘電体膜 (例えば  $\text{HfSiO}$ )、さらにはこれらの積層構造でもよい。

#### 【0022】

ゲート電極 G の両側にある Fin 型半導体層の一方には、n 型のソース S が設けられており、その他方には、n 型のドレイン D が設けられている。尚、図 2 では、n 型 Fin FET を示しているが、半導体部分の導電型を逆にすることによって、p 型 Fin FET を得ることができる。

20

#### 【0023】

図 3 (A) は、本実施形態によるロジック回路 LC を構成するトランジスタ TP1 ~ TP4、TN1 ~ TN4 の Fin 型半導体層およびその周辺の断面図である。尚、ロジック回路 PC 側の Fin 幅を  $W_{finL}$  とし、電源回路 PSC 側の Fin 幅を  $W_{finP}$  とする。

#### 【0024】

トランジスタ TP1 ~ TP4、TN1 ~ TN4 では、チャンネル長  $L_0$  の方向に対して垂直な断面における Fin 型半導体層の Fin 幅  $W_{finL}$  は、トランジスタ TP1 ~ TP4、TN1 ~ TN4 のそれぞれのチャンネル部に形成される最大空乏層幅  $W_{dm}$  の 2 倍以下である。最大空乏層幅  $W_{dm}$  は、通常動作において Fin 型半導体層の両側面から Fin 型半導体層の幅  $W_{finL}$  の方向に向かって伸びる空乏層の最大幅である。

30

#### 【0025】

最大空乏層幅  $W_{dm}$  は、Fin 型半導体層の不純物濃度、ゲート絶縁膜厚、ゲート電極 G に印加される電圧等によって決定される。幅  $W_{finL}$  が最大空乏層幅  $W_{dm}$  の 2 倍以下であることによって、Fin 型半導体層の一方の側面から伸びる空乏層は、Fin 型半導体層の他方の側面から伸びる空乏層と Fin 型半導体層の中間部において接触する。その結果、ロジック回路 LC を構成するトランジスタ TP1 ~ TP4、TN1 ~ TN4 は、完全空乏型 (FD 型) チャンネルトランジスタとして機能する。

#### 【0026】

40

図 3 (B) は、本実施形態による電源回路 PSC を構成するスイッチングトランジスタ SWn、SWp の Fin 型半導体層およびその周辺の断面図である。スイッチングトランジスタ SWn、SWp では、チャンネル長  $L_0$  の方向に対して垂直な断面における Fin 型半導体層の Fin 幅  $W_{finP}$  は、スイッチングトランジスタ SWn、SWp のそれぞれのチャンネル部に形成される最大空乏層幅  $W_{dm}$  の 2 倍よりも大きい。従って、図 3 (B) に示すように、スイッチングトランジスタ SWn、SWp では、チャンネル部分が完全には空乏化しない。これによって、電源回路 PSC を構成するスイッチングトランジスタ SWn、SWp は、それらのボディ部がそれぞれ基板コンタクト SBCp、SBCn に電氣的に接続された部分空乏型チャンネル MOSFET (Partially-Depleted channel MOSFET) (以下、PD 型トランジスタともいう) として機能する。ここで、ボディ部は、ゲート電

50

極の下にあり、チャネルが形成される基板部分である。

【0027】

図4(A)および図4(B)を参照して、ロジック回路LCをFD型トランジスタで構成し、電源回路PSCをPD型トランジスタで構成する理由を説明する。図4(A)および図4(B)は、基板バイアス電圧 $V_{sub}$ を変化させたときのバルクFinFETの $I_d - V_g$ 特性を示すグラフである。 $I_d$ はドレイン電流を示し、 $V_g$ はゲート電圧を示す。図4(A)は、 $W_{finL}$ が50nmであるn型のFD型トランジスタの特性を示し、図4(B)は、 $W_{finP}$ が100nmであり、かつ、いわゆるボディ部が基板コンタクトSBCpに電氣的に接続されているn型のPD型トランジスタの特性を示す。

【0028】

図4(A)に示すように、基板バイアス電圧 $V_{sub}$ を変化させても、FD型FinFETでは、閾値電圧がほとんど変化しない。 $I_d$ が $1.0 \times 10^{-7}$ アンペアになったときの $V_g$ を閾値電圧と定義すると、FD型FinFETの閾値電圧は、基板バイアス電圧 $V_{sub}$ に関わらず、約-0.2Vとなる。

【0029】

尚、この実験で用いたn型FinFETはポリシリコンゲート電極を用いている。このため、閾値電圧が負となっている。しかし、適切な仕事関数を有する金属ゲート電極を用いることによって、このn型FinFETの閾値電圧は、通常のエンハンスメント型になり得る。

【0030】

一方、図4(B)に示すように、基板バイアス電圧 $V_{sub}$ を変化させると、PD型FinFETでは、閾値電圧が変化する。例えば、基板バイアス電圧 $V_{sub}$ を-1V~0.5Vに変化させると、PD型FinFETの閾値電圧は、約0.27V~0.52Vまで変化する。

【0031】

図4(A)から、ロジック回路LCを構成するトランジスタTP1~TP4、TN1~TN4は、基板バイアス電圧 $V_{bs\_nw}$ 、 $V_{bs\_pw}$ (まとめて、 $V_{sub}$ ともいう)の影響を受けないことが分かる。即ち、ロジック回路LCの動作速度は、基板バイアス電圧 $V_{sub}$ に依らず閾値電圧が変動しないことから、ほぼ一定にすることができる。これは、ロジック回路LCが基板ノイズの影響も受け難いことを意味する。

【0032】

一方、図4(B)から、電源回路PSCを構成するスイッチングトランジスタSWpおよびSWnの閾値電圧は、基板バイアス電圧 $V_{sub}$ によって制御可能であることが分かる。

【0033】

従って、ロジック回路LCのトランジスタTN1~TN4および電源回路PSCのスイッチングトランジスタSWnが同一のp型ウェルに形成されている場合であっても、ロジック回路LCのトランジスタTN1~TN4の高速動作に影響を与えることなく、基板バイアス電圧 $V_{sub}$ を用いて電源回路PSCのスイッチングトランジスタSWnの閾値電圧を低下させることができる。その結果、ロジック回路LCの高速動作中においては、スイッチングトランジスタSWnの電流駆動能力を向上させることができる。

【0034】

一方、ロジック回路LCの低速動作時、待機中、あるいは、停止中においては、基板バイアス電圧 $V_{sub}$ を用いて電源回路PSCのスイッチングトランジスタSWnの閾値電圧を上昇させることができる。その結果、電源回路PSCは、ロジック回路LCを電源 $V_{dd1}$ 、 $V_{ss1}$ から十分に高い抵抗でカットオフすることができる。即ち、本実施形態によれば、ロジック回路LCに影響を与えることなく、電源回路PSCの電流駆動能力およびカットオフ特性を基板バイアス電圧 $V_{sub}$ によって向上させることができる。尚、n型ウェル側においても同様の効果が得られることは言うまでもない。

【0035】

このように、本実施形態では、p型トランジスタTP1～TP4は、スイッチングトランジスタSWpと同一のn型ウェル上に形成されている。しかし、p型トランジスタTP1～TP4は、FD型FinFETであるので、電源Vbs<sub>nw</sub>からの影響をほとんど受けず、それらの閾値電圧は基板バイアス電圧によって変化しない。一方、スイッチングトランジスタSWpは、Fin型トランジスタであるが、FD型トランジスタではない。従って、スイッチングトランジスタSWpの閾値電圧は、電源Vdd1からの基板バイアス電圧によって制御することができる。

【0036】

n型トランジスタTN1～TN4は、スイッチングトランジスタSWnと同一のp型ウェル上に形成されている。しかし、n型トランジスタTN1～TN4は、FD型FinFETであるので、Vbs<sub>pw</sub>からの影響をほとんど受けず、それらの閾値電圧は、基板バイアス電圧を印加することによってほとんど変化しない。一方、スイッチングトランジスタSWnは、Fin型トランジスタであるが、FD型トランジスタではない。従って、スイッチングトランジスタSWnの閾値電圧は、電源Vss1からの基板バイアス電圧を印加することによって制御することができる。

10

【0037】

例えば、ロジック回路LCを高速動作させる場合、Vbs<sub>pw</sub>を低くし、Vdd1に接近させる。これにより、スイッチングトランジスタSWpの閾値電圧の絶対値が小さくなり、スイッチングトランジスタSWpの電流駆動能力が増大する。また、Vbs<sub>nw</sub>を高くし、Vss1に接近させる。これにより、スイッチングトランジスタSWnの閾値電圧が小さくなり、スイッチングトランジスタSWnの電流駆動能力が増大する。このときのVbs<sub>pw</sub>またはVbs<sub>nw</sub>が第1の基板電圧である。

20

【0038】

ロジック回路LCの待機時または停止時、もしくは、低速動作時には、Vbs<sub>pw</sub>を高くする。これにより、スイッチングトランジスタSWpの閾値電圧の絶対値が大きくなり、スイッチングトランジスタSWpのカットオフ特性が良くなる。また、Vbs<sub>nw</sub>を低くする。これにより、スイッチングトランジスタSWnの閾値電圧が高くなり、スイッチングトランジスタSWnのカットオフ特性が良くなる。その結果、スイッチングトランジスタSWpおよびSWnのオフリーク電流(off-leakage current)をゼロに近づけることができる。このときのVbs<sub>pw</sub>またはVbs<sub>nw</sub>が第2の基板電圧である。

30

【0039】

従来の技術では、以下のような(1)～(6)のような欠点があった。(1)バルク基板に形成された平面型トランジスタをロジック回路および電源回路に採用した場合、微細化による短チャネル効果によってカットオフ特性が悪くなる。(2)SOI基板に形成された平面型トランジスタをロジック回路および電源回路に採用した場合、基板バイアス電圧の印加による閾値電圧の制御を行うためには非常に薄いBOX層が要求される。このため、その基板の特殊性によりコスト高となる。(3)閾値電圧の調節のためにp型FETおよびn型FETのそれぞれに適した仕事関数を有する金属ゲートを採用する場合、近接した複数のトランジスタの仕事関数を個別に作り分けることは困難である。よって、近接した複数のトランジスタの閾値電圧を個別に調節することが困難である。(4)チャネル部の不純物濃度を変更する場合、やはり、近接した複数のトランジスタの閾値電圧を個別に調節することが困難である。(5)カットオフ特性のよいFD型FinFETをロジック回路および電源回路に採用した場合、FD型FinFETの閾値電圧を基板バイアス電圧で制御することができない。(6)FinFETの側面のゲート電極をダブルゲートとしては用いず、各側面のゲート電極をそれぞれ分離してシングルゲートとして独立制御することも考えられる。しかし、このようなシングルゲートのFD型FinFETは、ダブルゲート構造の特徴である短チャネル効果の抑制ができなくなる。

40

【0040】

一方、本実施形態の半導体装置は、以下のような利点がある。(1)本実施形態による半導体装置は、FinFETをロジック回路および電源回路に採用しているので、短チャ

50

ネル効果を抑制することができる。(2)本実施形態による半導体装置は、従来と同じバルク基板を用いているので低コストである。(3)本実施形態による半導体装置は、基板バイアス電圧 $V_{sub}$ の影響を電源回路のみに選択的に与えることができる。即ち、近接した複数のトランジスタの閾値電圧を個別に調節することができる。(4)本実施形態による半導体装置では、チャンネル部の不純物濃度を変更する必要は無い。(5)本実施形態では、ロジック回路LCをFD型FinFETで構成し、電源回路PSCをPD型FinFETで構成する。このため、基板バイアス電圧 $V_{sub}$ によって電源回路PSCのみを選択的に制御することができる。(6)本実施形態では、ダブルゲート型FinFETを用いているので、短チャンネル効果を抑制することができる。このように、本実施形態は、上記1～6の問題点を総て解決することができる。

10

#### 【0041】

図5は、本実施形態による半導体装置の構成の一例を示すレイアウト図である。図5では、2入力のNAND回路を示している。この2つの入力に接続される部分の配線については省略している。また、電源回路PSCとロジック回路LCとの位置関係は、図5のようなレイアウトに限定されない。スイッチングトランジスタSWp、SWnは、ロジック回路LCと異なる場所に設けられていてもよい。

#### 【0042】

同一のn型ウェルにロジック回路LCのp型トランジスタTP1～TP4および電源回路PSCのp型スイッチングトランジスタSWpが形成されている。同一のp型ウェルにロジック回路LCのn型トランジスタTN1～TN4および電源回路PSCのn型スイッチングトランジスタSWnが形成されている。

20

#### 【0043】

ロジック回路LCは図5の中央部分に表示されている。スイッチングトランジスタSWpおよびSWnは、図5の上下部分にそれぞれ示されている。バルク基板(n型ウェルおよびp型ウェル)に基板バイアス電圧 $V_{bs\_nw}$ または $V_{bs\_pw}$ を印加するために、基板コンタクトSBCnおよびSBCpがn型ウェルおよびp型ウェルのそれぞれに設けられている。図1に示す基板バイアス電圧 $V_{bs\_nw}$ は、基板コンタクトSBCnを介してn型ウェルに印加される。基板バイアス電圧 $V_{bs\_pw}$ は、基板コンタクトSBCpを介してp型ウェルに印加される。

#### 【0044】

図5のレイアウトでは、スイッチングトランジスタSWn、SWpのFin型半導体層の長手方向は、トランジスタTP1～TP4、TN1～TN4のFin型半導体層の長手方向とほぼ平行である。従って、このレイアウトは、両者のFin型半導体層の延伸方向が揃っているため、Fin型半導体層を加工しやすい。

30

#### 【0045】

スイッチングトランジスタSWpは、Fin型半導体層の長手方向に配列され、かつ、互いに並列に接続された複数のスイッチング素子Trpを備えている。隣接する2つのスイッチング素子Trpは、ソースSまたはドレインDを共有している。

#### 【0046】

スイッチングトランジスタSWnは、Fin型半導体層の長手方向に配列され、かつ、互いに並列に接続された複数のスイッチング素子Trnを備えている。隣接する2つのスイッチング素子Trnは、ソースSまたはドレインDを共有している。このようなレイアウトにより、スイッチングトランジスタSWpおよびSWnの有効チャンネル幅がトランジスタTP1～TP4、TN1～TN4の有効チャンネル幅に比べて充分に大きくなる。これにより、ロジック回路の動作時に、電源回路PSCは、充分に大きな電力をロジック回路LCに供給することができる。

40

#### 【0047】

尚、ロジック回路では、スイッチング素子のドレインにおける接合容量およびミラー容量を抑制するために、隣接する2つのスイッチング素子は、ドレインを共有することが好ましい。

50



## 【 0 0 4 8 】

また、スイッチングトランジスタ S W p および S W n の有効チャネル長はトランジスタ T P 1 ~ T P 4、T N 1 ~ T N 4 の有効チャネル長に比べて等しいか、幾分大きくする。それにより、ロジック回路 L C の待機中または停止中において、スイッチングトランジスタ S W p および S W n の短チャネル効果を抑制することで、オフ電流を十分に小さくすることができる。

## 【 0 0 4 9 】

図 6 から図 8 は、第 1 の実施形態による半導体装置の製造方法を示す平面レイアウト図である。まず、バルク基板を用意する。図 6 に示すように、バルク基板に n 型ウェルおよび p 型ウェルを形成する。次に、バルク基板の表面を加工して、F i n 型半導体層 F i n を形成する。このとき、各 F i n 型半導体層 F i n の長手方向が同一である。よって、リソグラフィおよびエッチングを用いた加工が比較的容易である。

10

## 【 0 0 5 0 】

尚、図 3 ( A ) および図 3 ( B ) で示すように、電源回路領域における F i n 型半導体層の幅 W f i n P は、ロジック回路領域における F i n 型半導体層の幅 W f i n L に比べて狭く形成される。

## 【 0 0 5 1 】

次に、F i n 型半導体層 F i n の側面および上面にゲート絶縁膜 ( 図 6 から図 8 では図示せず ) を形成する。続いて、図 7 に示すように、ゲート電極 G が、ゲート絶縁膜を介して F i n 型半導体層 F i n の側面および上面に形成される。ただし、F i n 型半導体層 F i n の上面上にあるゲート絶縁膜は、その側面にあるゲート絶縁膜よりも厚く形成されていてもよい。これにより、F i n 型半導体層 F i n の上面は反転しない。F i n 型半導体層 F i n の上面をチャネルとして用いると、F i n 型半導体層 F i n が高い場合に、パンチスルーが生じるおそれがあるからである。

20

## 【 0 0 5 2 】

スイッチングトランジスタ S W p および S W n のゲート電極 G は、櫛形状にパターンニングされる。櫛形状の歯部が F i n 型半導体層 F i n の側面および上面に設けられる。

## 【 0 0 5 3 】

次に、ゲート電極 G をマスクとして用いて、F i n 型半導体層 F i n に不純物を注入し、ソース S およびドレイン D が、ゲート電極 G の両側の F i n 型半導体層 F i n に形成される。

30

## 【 0 0 5 4 】

次に、ゲート電極 G、F i n 型半導体層 F i n、バルク基板上に層間絶縁膜 ( 図示せず ) を堆積する。層間絶縁膜を加工し、図 8 に示す x の位置にコンタクトホールを形成する。このコンタクトホールに金属を埋め込むことによって、コンタクトが形成される。スイッチングトランジスタ S W p、S W n では、ソースコンタクト S C およびドレインコンタクト D C が交互に形成されている。また、このとき、基板コンタクト S B C n、S B C p が形成される。

## 【 0 0 5 5 】

次に、第 1 メタル層 M 1 を形成する。これにより、図 5 に示すように、電源電圧 V d d 0、V d d 1、V s s 0、V s s 1 の電源ラインが櫛形状に形成される。さらに、第 1 メタル層 M 1 の配線が、スイッチングトランジスタ S W p のソースコンタクト S C を V d d 0 の電源ラインに接続し、スイッチングトランジスタ S W p のドレインコンタクト S C を V d d 1 の電源ラインに接続し、スイッチングトランジスタ S W n のソースコンタクト S C を V s s 1 の電源ラインに接続し、スイッチングトランジスタ S W n のドレインコンタクト S C を V s s 0 の電源ラインに接続する。第 1 メタル層 M 1 の配線は、ロジック回路 L C のトランジスタ T P 1 ~ T P 4 のコンタクトの一部を V s s 0 の電源ラインに接続し、ロジック回路 L C のトランジスタ T N 1 ~ T N 4 のコンタクトの一部を V d d 0 の電源ラインに接続する。さらに、第 1 メタル層 M 1 の配線は、基板バイアス電圧を印加するために基板コンタクト S B C n、S B C p を基板バイアス回路 ( 図示せず ) に接続する。

40

50

## 【 0 0 5 6 】

次に、ロジック回路 L C 等の接続を適切に行うために、第 1 メタル層 M 1 の上方に第 2 のメタル層 M 2 等の配線を形成する。これにより、本実施形態による半導体装置が完成する。

## 【 0 0 5 7 】

( 第 2 の実施形態 )

図 9 は、本発明に係る第 2 の実施形態に従った半導体装置を示すレイアウト図である。第 2 の実施形態は、スイッチングトランジスタ S W n、S W p の平面レイアウトが第 1 の実施形態と異なる。第 2 の実施形態のその他の構成は、第 1 の実施形態の構成と同様でよい。

10

## 【 0 0 5 8 】

第 2 の実施形態では、スイッチングトランジスタ S W p、S W n の F i n 型半導体層 F i n の長手方向は、ロジック回路 L C のトランジスタ T P 1 ~ T P 4、P N 1 ~ T N 4 の F i n 型半導体層 F i n の長手方向とほぼ直交する。スイッチングトランジスタ S W p、S W n の F i n 型半導体層 F i n は、スイッチング素子 T r p、T r n ごとに分離されている。ソース S およびドレイン D は、各スイッチング素子 T r p、T r n ごとに設けられている。

## 【 0 0 5 9 】

第 2 の実施形態では、第 1 の実施形態と同様に、スイッチングトランジスタ S W p および S W n の有効チャネル幅がトランジスタ T P 1 ~ T P 4、T N 1 ~ T N 4 の有効チャネル幅に比べて十分に大きくなる。これにより、ロジック回路の動作時に、電源回路 P S C は、十分に大きな電力をロジック回路 L C に供給することができる。

20

## 【 0 0 6 0 】

また、スイッチングトランジスタ S W p および S W n の有効チャネル長はトランジスタ T P 1 ~ T P 4、T N 1 ~ T N 4 の有効チャネル長に比べて等しいか、幾分大きくする。それにより、ロジック回路 L C の待機中または停止中において、スイッチングトランジスタ S W p および S W n のオフ電流を十分に小さくすることができる。

## 【 0 0 6 1 】

第 1 の実施形態では、隣接するコンタクト S C および D C がゲート電極を挟むため、コンタクト間の距離をリソグラフィの最小値 F ( Feature Size ) まで狭くすることができない。これに対し、第 2 の実施形態では、F i n 型半導体層 F i n は、V d d 0、V d d 1 の電源ラインやゲート電極 G の配線に対して直交する方向に形成されている。このため、隣接するソースコンタクト S C 間の間隔および隣接するドレインコンタクト D C 間の間隔を狭くすることによって、スイッチングトランジスタ S W n、S W p の有効チャネル幅を増大させ易い。

30

## 【 0 0 6 2 】

スイッチングトランジスタ S W p、S W n の F i n 型半導体層 F i n の長手方向は、ロジック回路 L C のトランジスタ T P 1 ~ T P 4、P N 1 ~ T N 4 の F i n 型半導体層 F i n の長手方向とほぼ直交する。このため、第 2 の実施形態は、F i n 型半導体層 F i n の加工が第 1 の実施形態よりも幾分難しい。しかし、スイッチングトランジスタ S W p、S W n の F i n 型半導体層 F i n の幅 W f i n は、有効チャネル幅を増大させるために、比較的大きく形成されている。従って、リソグラフィおよび R I E を用いて、総ての F i n 型半導体層 F i n を同時に加工することはそれほど困難ではない。

40

## 【 0 0 6 3 】

さらに、第 2 の実施形態は、第 1 の実施形態と同様の効果を得ることができる。

## 【 0 0 6 4 】

図 1 0 および図 1 1 を参照して、第 2 の実施形態による半導体装置の製造方法を説明する。第 1 の実施形態と同様に、n 型ウェルおよび p 型ウェルをバルク基板に形成する。

## 【 0 0 6 5 】

次に、図 1 0 に示すように、バルク基板の表面を加工して、F i n 型半導体層 F i n を

50

形成する。このとき、電源回路PSCのスイッチングトランジスタSWp、SWnのFin型半導体層Finの長手方向は、ロジック回路LCのトランジスタTP1～TP4、TN1～TN4のそれとほぼ直交する。

【0066】

次に、Fin型半導体層Finの側面および上面にゲート絶縁膜（図10および図11では図示せず）を形成する。続いて、図11に示すように、ゲート電極Gが、ゲート絶縁膜を介してFin型半導体層Finの側面および上面に形成される。スイッチングトランジスタSWpおよびSWnのゲート電極Gは、直線状にパターニングされる。従って、ゲート電極Gの加工は、第1の実施形態のそれよりも容易である。

【0067】

次に、第1の実施形態と同様に、ソースSおよびドレインDをゲート電極Gの両側のFin型半導体層Finに形成する。

【0068】

層間絶縁膜の堆積後、図11に示すxの位置にコンタクトホールを形成する。このコンタクトホールに金属を埋め込むことによって、コンタクトが形成される。このとき、基板コンタクトSBCn、SBCpも形成される。

【0069】

次に、第1メタル層M1を堆積し、これをパターニングする。これにより、図9に示すように、電源電圧Vdd0、Vdd1、Vss0、Vss1の電源ラインが形成される。スイッチングトランジスタSWp、SWnのソースコンタクトSCおよびドレインコンタクトDCは、ゲート電極Gの延伸方向に並んでいる。従って、Vdd0、Vdd1、Vss0、Vss1の電源ラインは、直線状に形成すればよいので、第1の実施形態のそれよりも加工が容易である。

【0070】

その後、第1の実施形態と同様の工程を経て、第2の実施形態による半導体装置が完成する。

【0071】

（第1の変形例）

図12は、第2の実施形態の変形例を説明するレイアウト図である。本変形例では、ソースSおよびドレインDの形成後、Fin型半導体層Finに対してシリコン層をエピタキシャル成長させる。これにより、図12に示すエピタキシャル領域にエピタキシャル層Lepiが形成される。その結果、エピタキシャル層Lepiが、隣接するFin-Fin間の隙間を埋めることができる。

【0072】

次に、エピタキシャル層Lepiに不純物を導入する。これにより、エピタキシャル層Lepiは、隣接するコンタクト同士、およびFin同士を低抵抗で接続する。例えば、隣接するソースコンタクトSCは、エピタキシャル層Lepiによって低抵抗で接続される。隣接するドレインコンタクトDCも、エピタキシャル層Lepiによって低抵抗で接続される。しかし、ゲート電極Gで隔離されたソースコンタクトSCとドレインコンタクトDCとは、絶縁状態を維持する。

【0073】

次に、コンタクト抵抗を低減するために、エピタキシャル層Lepiの表面をシリサイド化する。その後、第2の実施形態と同様の工程を経て本変形例による半導体装置が完成する。尚、図9の破線部分Lepiがエピタキシャル層Lepiの平面位置である。

【0074】

通常、コンタクトSCまたはDCとチャネル部との界面部分に高抵抗領域が存在する。しかし、本変形例によれば、ゲート電極Gの直近までエピタキシャル層Lepiが形成される。従って、ソース-ドレイン間の抵抗を低くすることができる。その結果、電源回路PSCの電流駆動能力が改善する。また、ロジック回路LCはさらに高速に動作することができる。

10

20

30

40

50

## 【 0 0 7 5 】

## ( 第 2 の 変 形 例 )

上記実施形態では、バルク基板を用いたが、BOX層の薄いSOI基板を用いてもよい。第2の変形例の場合、BOX層の下シリコン基板に基板バイアス電圧 $V_{bs\_nw}$ 、 $V_{bs\_pw}$ を印加することでスイッチングトランジスタ $SW_p$ 、 $SW_n$ の閾値電圧を制御することができる。また、第2の変形例では、製造コストは高くなるが、それ以外の効果においては第1または第2の実施形態と同様の効果を得ることができる。

## 【 0 0 7 6 】

## ( 第 3 の 変 形 例 )

スイッチングトランジスタ $SW_p$ 、 $SW_n$ のオン状態とオフ状態との中間状態で、ロジック回路LCを動作させるモードを設定してもよい。例えば、高速動作時よりも電源回路PSCの電流駆動力を低下させ、ロジック回路LCを低速動作させてもよい。

## 【 0 0 7 7 】

なお、上記実施例では詳細に説明しなかったが、同一半導体チップ内に形成された制御部からの信号に基づき基板電圧が半導体基板に印加されてもよいし、あるいは、別チップに形成された制御部からの信号に基づき基板電圧が半導体基板に印加されてもよい。

## 【 符号の説明 】

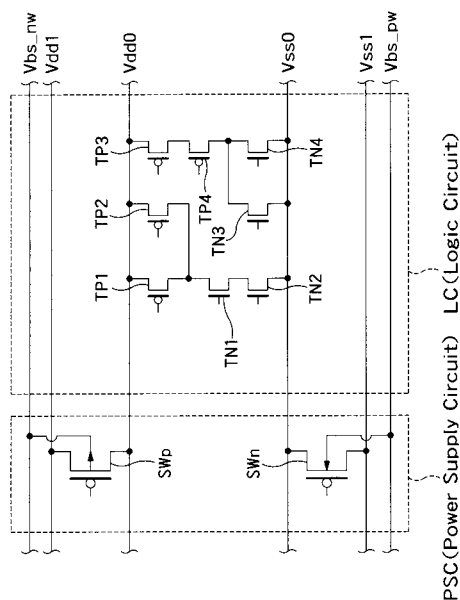
## 【 0 0 7 8 】

LCロジック...回路、PSC...電源回路、 $V_{dd0}$ 、 $V_{dd1}$ 、 $V_{ss0}$ 、 $V_{ss1}$ 、 $V_{bs\_nw}$ 、 $V_{bs\_pw}$ ...電源電圧、 $SW_p$ 、 $SW_n$ ...スイッチングトランジスタ、 $TP1 \sim TP4$ 、 $TN1 \sim TN4$ ...トランジスタ、 $Fin$ ...Fin型半導体層

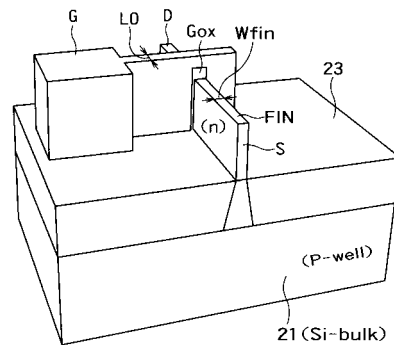
10

20

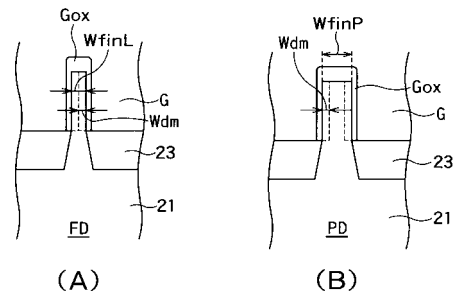
【 図 1 】



【 図 2 】

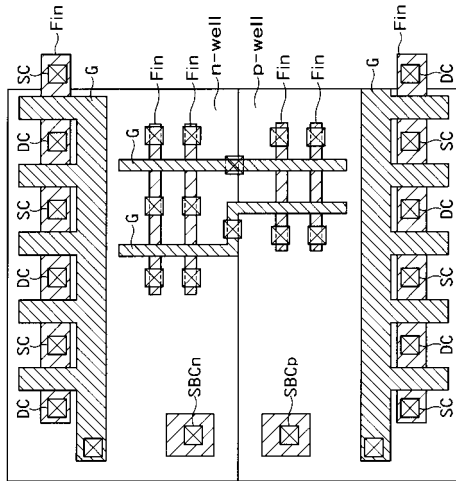


【 図 3 】

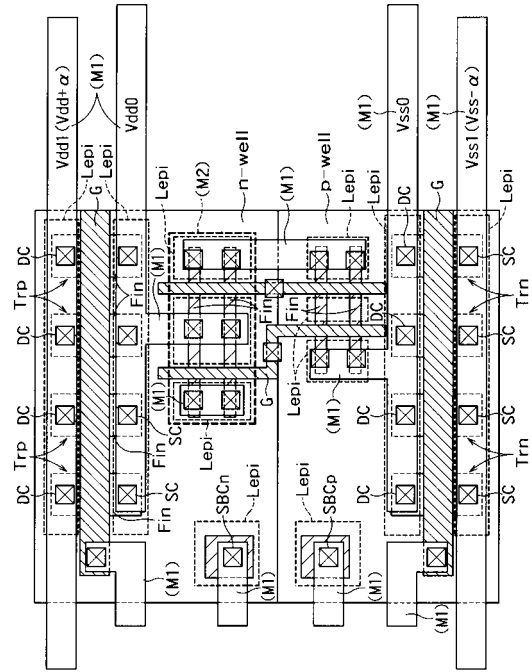




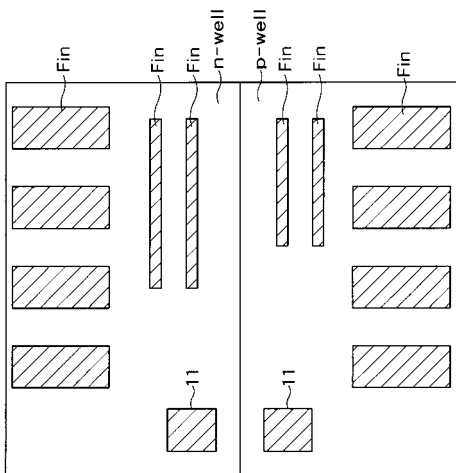
【図 8】



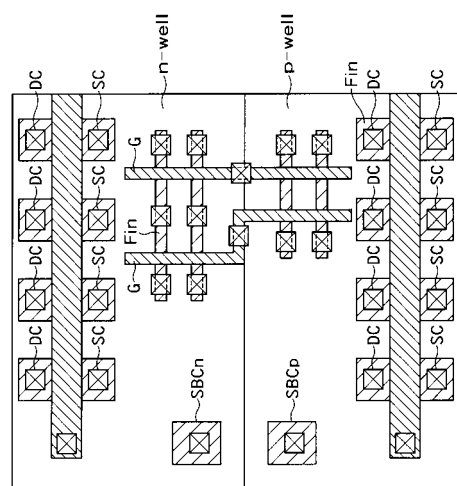
【図 9】



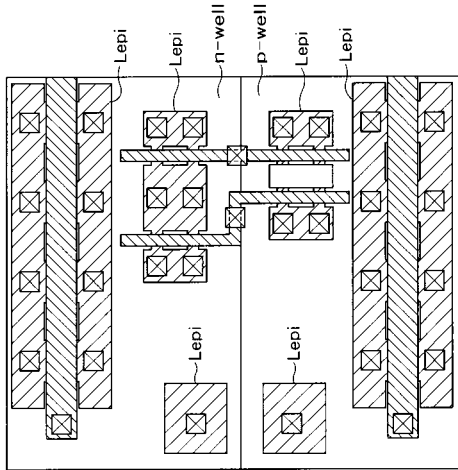
【図 10】



【図 11】



【図 12】



## フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<b>H 0 1 L 27/04 (2006.01)</b>		H 0 1 L 29/78	6 1 8 C	
<b>H 0 1 L 29/786 (2006.01)</b>		H 0 1 L 21/82	B	
<b>H 0 1 L 21/82 (2006.01)</b>				

(72)発明者 稲 葉 聡

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F038 BG09 CA02 CD02 CD03 CD04 CD16 DF08 EZ13 EZ15 EZ20  
 5F048 AA08 AB03 AC03 BA01 BA16 BB01 BB03 BB06 BB07 BB09  
 BB11 BB14 BD02 BD10 BE03 BE09 BF06 BF07 BF11 BF16  
 BF18 BG11 CB08  
 5F064 BB02 BB05 BB06 BB37 DD05 DD09 DD12 DD34 EE52 GG01  
 GG03  
 5F110 AA08 AA30 BB04 CC10 DD05 DD13 DD22 EE02 EE09 EE14  
 EE22 FF01 FF02 FF04 FF09 GG02 GG30 HK09 HK32 NN77  
 NN78