

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
13. April 2006 (13.04.2006)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2006/037560 A2**

(51) Internationale Patentklassifikation:  
**H01L 29/78** (2006.01) **H01L 29/10** (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2005/010546

(22) Internationales Anmeldedatum:  
29. September 2005 (29.09.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
10 2004 047 956.9 1. Oktober 2004 (01.10.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme  
von US): **AUSTRIAMICROSYSTEMS AG** [AT/AT];  
Schloss Premstätten, A-8141 Unterpremstätten (AT).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **KNAIPP, Martin**  
[AT/AT]; Schwarzer Weg 49, A-8141 Unterpremstät-  
ten (AT). **RÖHRER, Georg** [AT/AT]; Hafnerriegel 8a,  
A-8010 Graz (AT).

(74) Anwalt: **EPPING HERMANN FISCHER PATENTAN-  
WALTSGESELLSCHAFT MBH**; Ridlerstr. 55, 80339  
München (DE).

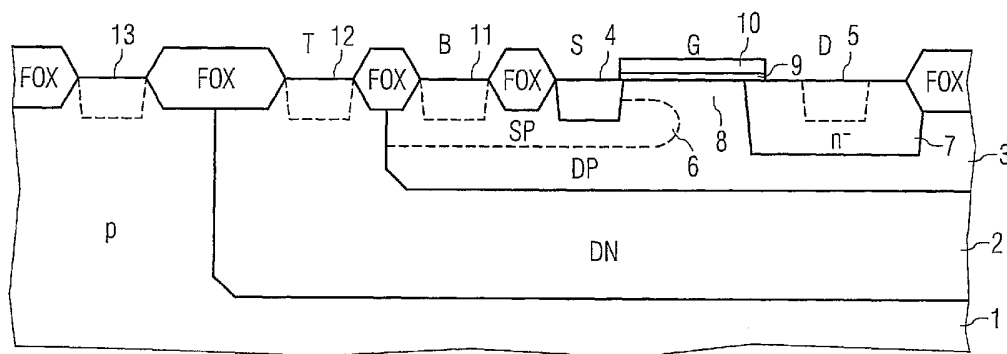
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für  
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,  
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,  
CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES,  
FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,  
KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY,  
MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO,  
NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK,  
SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,  
VC, VN, YU, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für  
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,  
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,  
ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU,  
TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,  
EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC,

[Fortsetzung auf der nächsten Seite]

(54) Title: NMOS TRANSISTOR

(54) Bezeichnung: NMOS-TRANSISTOR



(57) Abstract: The completely insulated NMOS transistor comprises a p-type base area (1) of the substrate, an n-type trench (2) and a p-type inner trench (3), which is provided as the body and inside of which a source region (4) and a drain region (5) with an LDD region (7) are situated, between which the channel region (8) exists that is controlled by a gate electrode (10) placed, at the top, over a gate dielectric (9). By applying a high positive potential to the n-type trench and an, in contrast, negative potential to the inner trench, depletion layers are formed between the drain, body and the n-type doped trench. The inner trench is completely emptied of charge carriers at least under the drain region whereby increasing the breakdown voltage.

(57) Zusammenfassung: Der vollständig isolierte NMOS-Transistor umfasst einen pleitenden Grundbereich (1) des Substrates, eine n-leitende Wanne (2) und eine als Body vorgesehene p-leitende innere Wanne (3), in der ein Source-Bereich (4) und ein Drain-Bereich (5) mit einem LDD-Bereich (7) angeordnet sind, zwischen denen der Kanalbereich (8) vorhanden ist, der mit einer oberseitig über einem Gate-Dielektrikum (9) angeordneten Gate-Elektrode (10) angesteuert wird. Durch Anlegen eines hohen positiven Potentials an die n-leitende Wanne und ein demgegenüber negatives Potential an die innere Wanne werden zwischen Drain, Body und der n-leitend dotierten Wanne jeweils Verarmungsschichten ausgebildet, dabei die innere Wanne zu-mindest unter dem Drain-Bereich vollständig von Ladungsträgern ausgeräumt und so die Durchbruchspannung erhöht.

WO 2006/037560 A2



NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

## NMOS-Transistor

Die vorliegende Erfindung betrifft einen elektrisch isolierten NMOS-Transistor mit optimierten Durchbruchspannungen.

In einem gewöhnlichen NMOS-Transistor ist eine als Body bezeichnete p-dotierte Wanne, in der der Transistor angeordnet ist, mit dem Halbleitersubstrat elektrisch leitend verbunden. Daher kann der in dem Body n-dotierte Source-Bereich nicht auf ein elektrisches Potential gelegt werden, das gegenüber dem Substrat negativ ist. Ein Source-Body-Durchbruch erfolgt dagegen bei hohen Source-Potentialen, typisch etwa bei einem Source-Potential von 8 Volt gegenüber dem Substratpotential.

In der Veröffentlichung von S. Pendharkar et al. in ISPSD 2004, Seiten 419 bis 422, ist ein Bauelement mit einem isolierten Drain-Bereich beschrieben, bei dem eine vergrabene n-dotierte Schicht als n-Isolationsschicht verwendet wird und der hoch n-leitend dotierte Drain-Bereich in einer epitaktisch aufgewachsenen p-Isolationsschicht angeordnet ist.

Eine ähnliche Anordnung ist in der Veröffentlichung von R. Ramanathan et al. in ISPSD 2003, Seiten 257 bis 260, beschrieben. Auf einem p-Substrat ist eine p-Epitaxieschicht aufgewachsen. Zwischen dem p-leitenden Anteil des Substrates und der p-Epitaxieschicht befindet sich eine vergrabene n-Schicht, die mit einem hoch n-leitend dotierten Anschlussbereich versehen ist. In der p-Epitaxieschicht sind eine flache und eine tiefe p-Wanne ausgebildet. Die tiefe p-Wanne ist mit einem hoch p-leitend dotierten Anschlussbereich versehen. In der flachen p-Wanne ist der n-leitende Drain-Bereich angeord-

net; in der tiefen p-Wanne ist der n-leitende Source-Bereich angeordnet.

Eine Isolation eines NMOS-Transistors mittels einer p-Epithieschicht und einer vergrabenen n-Schicht ist ebenfalls der US 6,033,946 zu entnehmen.

Aufgabe der vorliegenden Erfindung ist es, einen verbesserten NMOS-Transistor anzugeben, der gegenüber dem Substrat vollständig isoliert ist, so dass damit sowohl unter dem Substratpotential als auch über dem Substratpotential Strom geschaltet werden kann. Die Durchbruchspannungen zwischen Drain und Source sowie zwischen Drain und Body sollen optimiert werden können.

Diese Aufgabe wird mit dem NMOS-Transistor mit den Merkmalen des Anspruches 1 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

Bei dem NMOS-Transistor befindet sich in dem Substrat mit einem p-leitend dotierten Grundbereich eine n-leitend dotierte Wanne, darin eine p-leitend dotierte innere Wanne als Body und darin die Bereiche von Source und Drain des Transistors, die n-leitend dotiert sind. Der Drain-Bereich ist vorzugsweise mit einem niedriger n-leitend dotierten LDD-Bereich (lightly doped drain) umgeben. Zwischen Source und Drain befindet sich an der Oberseite des Substrates der in p-leitend dotiertem Halbleitermaterial vorgesehene Kanalbereich, über dem eine Gate-Elektrode angeordnet ist, die von dem Halbleitermaterial durch ein übliches Gate-Dielektrikum getrennt ist. Die innere Wanne ist mit einem elektrischen Anschluss als Body-Anschluss versehen. Die n-leitend dotierte Wanne besitzt ebenfalls einen elektrischen Anschluss.

Die n-leitend dotierte Wanne wird im Betrieb des Bauelementes auf ein gegenüber der inneren Wanne positives Potential gelegt. Die zwischen der n-leitend dotierten Wanne, der inneren Wanne und dem Drain-Bereich beziehungsweise dem LDD-Bereich gebildeten pn-Übergänge werden so in Sperrrichtung gepolt. Es bilden sich um die pn-Übergänge Verarmungszonen aus, in denen ein erhöhter Potentialabfall auftritt. Die Dicke und die Dotierstoffkonzentration der inneren Wanne sind so gewählt, dass im Betrieb des NMOS-Transistors die innere Wanne zumindest unter dem Drain-Bereich vollständig von Ladungsträgern ausgeräumt ist. Eine geeignete Wahl der Dotierstoffkonzentration in der n-leitend dotierten Wanne ermöglicht es, die Durchbruchspannungen zwischen Source und Drain und zwischen Drain und dem Body-Bereich in der gewünschten Weise einzustellen.

Eine bevorzugte Ausführungsform wird so hergestellt, dass die Implantation der inneren Wanne in einem unterhalb des Drain-Bereiches vorgesehenen und die vertikale Projektion des Drain-Bereiches in die innere Wanne rahmenförmig oder kreisförmig umlaufenden streifenförmigen Bereich durch die Implantationsmaske abgeschirmt wird. Das resultiert nach der Diffusion des Dotierstoffes in einer lokal verminderten Dotierstoffkonzentration unter dem Drain-Bereich. Damit wird erreicht, dass nach der vollständigen Verarmung der inneren Wanne an Ladungsträgern der Potentialabfall in der inneren Wanne erhöht ist, aber der Potentialabfall an dem pn-Übergang zum Drain in diesem Bereich verringert ist, woraus sich eine höhere Durchbruchspannung zwischen Drain und Body ergibt.

Es folgt eine genauere Beschreibung von Beispielen des NMOS-Transistors anhand der beigefügten Figuren.

Die Figur 1 zeigt einen Querschnitt durch ein erstes Ausführungsbeispiel.

Die Figur 2 zeigt einen Querschnitt durch ein zweites Ausführungsbeispiel.

Die Figur 1 zeigt einen Querschnitt durch ein erstes Ausführungsbeispiel des NMOS-Transistors. In einem Halbleiterkörper oder Substrat ist ein p-leitend dotierter Grundbereich 1 vorhanden, der durch eine p-leitende Grunddotierung des gesamten Halbleiterkörpers oder Substrates oder auch durch eine darin ausgebildete p-leitend dotierte äußere Wanne gebildet sein kann. Die Transistorstruktur ist an einer Hauptseite des Halbleiterkörpers oder Substrates angeordnet. Dort befindet sich eine n-leitend dotierte Wanne 2 in dem Grundbereich 1, in der wiederum eine p-leitend dotierte innere Wanne 3 angeordnet ist. Die n-leitend dotierte Wanne 2 ist durch eine tiefe n-Diffusion, in der Figur 1 mit DN bezeichnet, und die innere Wanne 3 durch eine tiefe p-Diffusion DP gebildet. Die innere Wanne 3 stellt den Body-Bereich des Transistors dar und ist mit einem elektrischen Anschluss, in der Figur 1 als Body-Anschluss B bezeichnet, versehen. Für diesen Body-Anschluss B ist vorzugsweise ein hoch p-leitend dotierter Body-Anschlussbereich in der inneren Wanne 3 vorgesehen. Es kann außerdem eine flache p-Diffusion, in der Figur 1 mit SP bezeichnet, vorhanden sein, in der auch der Source-Bereich 4 angeordnet ist, der hoch n-leitend dotiert ist. Im Abstand zu dem Source-Bereich 4 befindet sich der ebenfalls hoch n-leitend dotierte Drain-Bereich 5 und zwischen den Bereichen von Source und Drain in dem p-leitend dotierten Halbleitermaterial der inneren Wanne 3 der Kanalbereich 8 an der Oberseite des Halbleiterkörpers oder Substrates. Darauf befindet

sich das Gate-Dielektrikum 9 sowie die darauf angeordnete Gate-Elektrode 10 zur Steuerung des Kanals. Der hoch n-leitend dotierte Drain-Bereich 5 ist vorzugsweise in einen schwach n-leitend dotierten LDD-Bereich eingebettet, der für eine Verminderung des Unterschieds in der Dotierstoffkonzentration vom Drain zum Kanal hin vorgesehen ist. Die n-leitend dotierte Wanne 2 ist ebenfalls mit einem elektrischen Anschluss T versehen. Dafür kann an der Hauptseite innerhalb der n-leitend dotierten Wanne 2 ein hoch n-leitend dotierter Anschlussbereich 12 vorgesehen sein. Für den Grundbereich 1 kann ebenfalls ein elektrischer Anschluss mit einem hoch p-leitend dotierten Anschlussbereich 13 vorgesehen sein. Die pn-Übergänge sind in den Figuren mit durchgezogenen Linien eingezeichnet, während die Übergänge zwischen Bereichen desselben Vorzeichens der Leitfähigkeit gestrichelt eingezeichnet sind. Vorzugsweise befinden sich an der Hauptseite zwischen den elektrisch leitend dotierten Bereichen jeweils Oxidbereiche, die durch ein Feldoxid, in der Figur 1 mit FOX bezeichnet, gebildet sein können.

Im Betrieb des NMOS-Transistors wird das höchste vorgesehene elektrische Potential, typisch zum Beispiel etwa 20 Volt, an die n-leitend dotierte Wanne 2 angelegt. Die innere Wanne 3 und gegebenenfalls der Grundbereich 1 werden auf ein demgegenüber niedrigeres Potential gelegt, indem eine entsprechende elektrische Spannung an den Body-Anschluss B und gegebenenfalls an den Anschlussbereich 13 angelegt wird. Die zwischen den durch die innere Wanne 3 gebildeten Body-Bereich des Transistors und den elektrischen Anschluss der n-leitend dotierten Wanne 2 angelegte elektrische Spannung und die zwischen die innere Wanne 3 und den Drain-Bereich 5 in Sperrrichtung angelegten Spannungen verursachen eine Verarmung an Ladungsträgern im Bereich um die jeweiligen pn-Übergänge. Die

innere Wanne 3 verarmt im Betrieb des Bauelementes zumindest unterhalb des Drain-Bereiches 5 vollständig an Ladungsträgern. Es resultiert eine Anhebung des Potentials in der inneren Wanne 3. Infolgedessen erhöht sich das Potential unterhalb des Drain-Bereiches 5 beziehungsweise des LDD-Bereiches 7, und die Durchbruchspannung ist erhöht. Die Drain-Body-Durchbruchspannung kann auf diese Weise auf Werte von mindestens 15 Volt erhöht werden.

Bei dem Ausführungsbeispiel gemäß der Figur 2 wurde die Implantierung von Dotierstoff in die innere Wanne 3 in einem vorzugsweise streifenförmigen Bereich 14 unterhalb des Drain-Bereiches 5 abgeschirmt. Dieser streifenförmige Bereich 14 befindet sich in etwa unter dem lateralen pn-Übergang zwischen dem LDD-Bereich 7 und der inneren Wanne 3. Die sich danach durch Diffusion dort einstellende Dotierstoffkonzentration für p-Leitung ist schwächer als im Rest der inneren Wanne 3. Durch eine damit verbundene Anhebung des Bodypotentials unterhalb des Drain-Bereiches wird die Durchbruchspannung zwischen Drain und Body erhöht.

Für den Fall, dass die Konzentration des Dotierstoffes in der n-leitend dotierten Wanne 2 durch andere integrierte Bauelemente desselben Halbleiterchips zu hoch vorgegeben ist, kann bei der Herstellung die Implantation des n-Dotierstoffes der n-leitend dotierten Wanne trotzdem mit derselben Maske erfolgen, wenn die Maske im Bereich der n-leitend dotierten Wanne 2 mit in dichtem Abstand zueinander verlaufenden Streifen versehen wird. Nach der auf diese Weise in parallelen Streifen modulierten Implantation und der anschließenden thermischen Diffusion der Dotierstoffe sind die Dotierstoffkonzentration in der n-leitenden Wanne und damit die Drain-Body-Durchbruchspannung und die Drain-Source-Durchbruchspannung

wie vorgesehen optimiert, wobei gleichzeitig ein möglicherweise vor dem vollständigen Ausräumen der Ladungsträger unter dem Drain-Bereich auftretender Punch-through verhindert ist. Zu diesem Zweck kann auch die Dotierung des LDD-Bereiches 7 geeignet eingestellt werden. Ein Punch-through zwischen dem LDD-Bereich und der n-leitend dotierten Wanne 2 wird bis zu hohen Spannungen vermieden.

Besonders bevorzugt ist die Ausbildung des LDD-Bereiches mit einer zum Kanal hin gradierten, das heißt, allmählich abnehmenden Dotierstoffkonzentration. Zur Herstellung wird bei der Implantation des für den LDD-Bereich vorgesehenen Dotierstoffes eine zur Oberseite um mindestens 7° geneigte Implantationsrichtung gewählt. Die Gradierung der Dotierstoffkonzentration wird durch eine Vergrößerung des Neigungswinkels, zum Beispiel auf Werte von über 7° bis etwa 45°, erhöht (LATID, large angle tilt implanted drain). Das gradierte Dotierstoffprofil kann auch unter Einbeziehung eines LDD-Implants, der für integrierte Niedervolttransistoren optimiert ist, erreicht werden. In diesem Fall wird ein LDD-Bereich entsprechend den Niedervolttransistoren durch die zusätzliche geneigte Implantation für den erfindungsgemäß vollständig isolierten NMOS-Transistor optimiert. Die geneigte Implantation erzeugt das gewünschte in der horizontalen Richtung veränderliche Dotierstoffprofil. Diese Maßnahme verbessert ebenfalls die Durchbruchspannung, typisch auf über 15 Volt.

Durch die beschriebenen Maßnahmen wird erreicht, dass nur ein geringer Anteil des Spannungsabfalls im Bereich unterhalb des Drain-Bereiches 5 auftritt und der hauptsächliche Potentialabfall zwischen Drain D und Body-Anschluss B in die Verarmungszone längs des pn-Überganges zwischen der inneren Wanne 3 und dem LDD-Bereich 7 verlagert wird. Die in dieser Hin-

sicht optimierte Betriebsweise des Bauelementes, bei der insbesondere ein ausreichend hohes positives Potential an den Anschluss T der n-leitend dotierten Wanne angelegt wird, kann vorzugsweise durch eine integrierte elektronische Ansteuerschaltung gewährleistet werden. Damit wird erreicht, dass das Bauelement in einem erweiterten Spannungsbereich betrieben wird, wobei der Body-Bereich unter dem Drain-Bereich vollständig an Ladungsträgern ausgeräumt ist.

Die Ausgestaltung dieses NMOS-Transistors kann den jeweiligen Anforderungen, insbesondere an die Größe der zu schaltenden Spannungen und Ströme, angepasst werden. Das geschieht zum Beispiel durch Modellrechnungen, die dem Fachmann an sich geläufig sind. Es liegt daher im Rahmen der Erfindung, die Dicke der Schichten und deren Dotierstoffkonzentrationen geeignet anzupassen und eine Ansteuerschaltung vorzusehen, die die für die beschriebene Betriebsweise jeweils benötigten elektrischen Potentiale bereitstellt.

## Bezugszeichenliste

- 1 Grundbereich
- 2 n-leitend dotierte Wanne
- 3 innere Wanne
- 4 Source-Bereich
- 5 Drain-Bereich
- 6 weitere Wanne
- 7 LDD-Bereich
- 8 Kanalbereich
- 9 Gate-Dielektrikum
- 10 Gate-Elektrode
- 11 Body-Anschlussbereich
- 12 Anschlussbereich
- 13 Anschlussbereich
- 14 streifenförmiger Bereich
- B Body-Anschluss
- D Drain-Bereich
- G Gate-Elektrode
- S Source-Bereich
- T elektrischer Anschluss der n-leitend dotierten Wanne

## Patentansprüche

## 1. NMOS-Transistor mit

einem Halbleiterkörper oder Substrat mit einer Hauptseite, einem an der Hauptseite vorhandenen p-leitend dotierten Grundbereich (1), der durch eine p-leitende Grunddotierung des Halbleiterkörpers oder Substrates oder eine darin ausgebildete p-leitend dotierte äußere Wanne gebildet ist, einer in dem Grundbereich (1) angeordneten n-leitend dotierten Wanne (2), einer in der n-leitend dotierten Wanne (2) angeordneten p-leitend dotierten inneren Wanne (3), wobei die n-leitend dotierte Wanne (2) und die innere Wanne (3) mit elektrischen Anschlüssen (T, B) zum Anlegen unterschiedlicher elektrischer Potentiale versehen sind, sowie mit einem n-leitend dotierten Source-Bereich (4) und einem n-leitend dotierten Drain-Bereich (5) in der inneren Wanne (3), die durch einen an der Hauptseite vorgesehenen Kanalbereich (8) voneinander getrennt angeordnet sind, und einer über dem Kanalbereich (8) angeordneten und von dem Kanalbereich (8) durch ein Gate-Dielektrikum (9) elektrisch isolierten Gate-Elektrode (10).

## 2. NMOS-Transistor nach Anspruch 1, bei dem

Dotierstoffkonzentrationen und Abmessungen der n-leitend dotierten Wanne (2) und der inneren Wanne (3) so bemessen sind, dass in einem erweiterten Spannungsbereich des NMOS-Transistors die innere Wanne (3) zumindest unterhalb des Drain-Bereiches (5) vollständig von Ladungsträgern ausgeräumt ist.

## 3. NMOS-Transistor nach Anspruch 1 oder 2, bei dem

eine integrierte Schaltung vorhanden ist, die dafür vorgesehen ist, eine elektrische Spannung zwischen die n-leitend do-

tierte Wanne (2) und die innere Wanne (3) anzulegen, wobei an die n-leitend dotierte Wanne (2) ein gegenüber der inneren Wanne (3) positives elektrisches Potential angelegt wird.

4. NMOS-Transistor nach Anspruch 3, bei dem die integriert Schaltung dafür vorgesehen ist, elektrische Potentiale zum Betrieb des NMOS-Transistors bereitzustellen, die ein für den elektrischen Anschluss (T) der n-leitend dotierten Wanne (2) vorgesehenes Potential umfassen, mit dem erreicht wird, dass die innere Wanne (3) zumindest unterhalb des Drain-Bereiches (5) vollständig von Ladungsträgern ausgeräumt ist.

5. NMOS-Transistor nach einem der Ansprüche 1 bis 4, bei dem der Source-Bereich (4) und ein hoch p-leitend dotierter Body-Anschlussbereich (11) in einer flachen p-leitend dotierten weiteren Wanne (6) angeordnet sind, die in der inneren Wanne (3) angeordnet ist.

6. NMOS-Transistor nach einem der Ansprüche 1 bis 5, bei dem die innere Wanne (3) in einem Bereich (14) unter dem Drain-Bereich (5) mit einer verringerten Dotierstoffkonzentration für p-Leitung versehen ist.

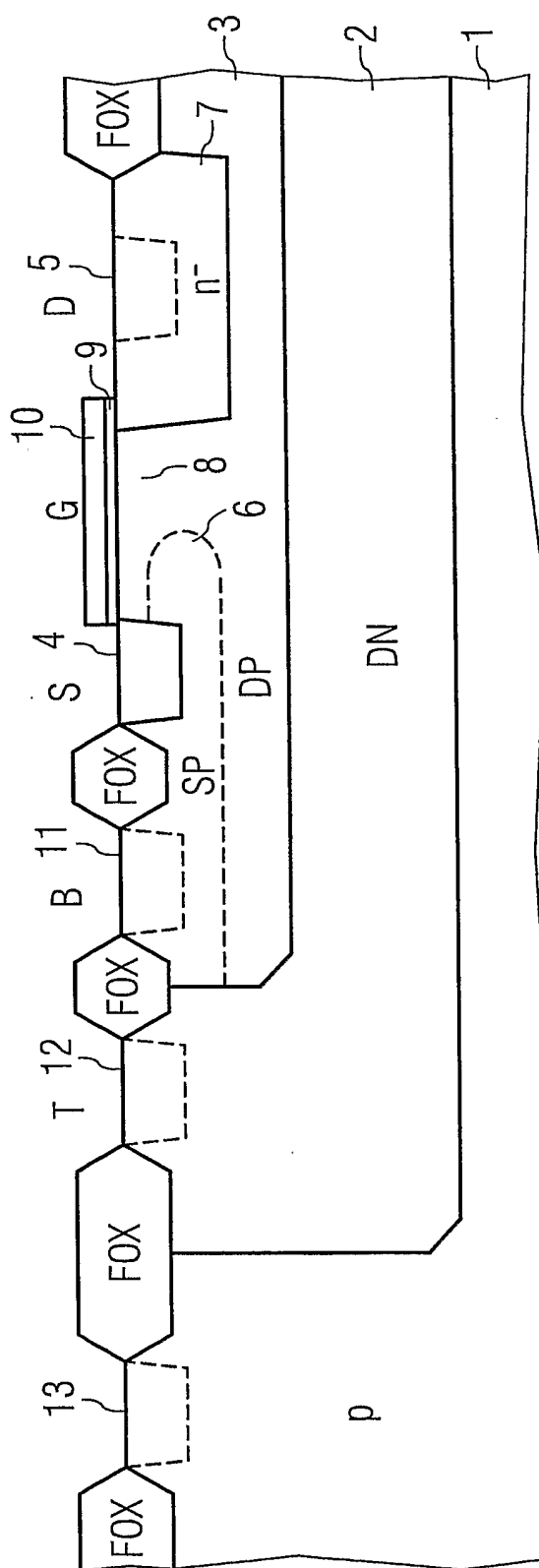
7. NMOS-Transistor nach einem der Ansprüche 1 bis 6, bei dem in der inneren Wanne (3) angrenzend an den Drain-Bereich (5) ein schwach n-leitend dotierter LDD-Bereich (7) angeordnet ist, der zumindest zwischen dem Drain-Bereich (5) und dem Kanalbereich (8) und zwischen dem Drain-Bereich (5) und der n-leitend dotierten Wanne (2) vorhanden ist.

8. NMOS-Transistor nach Anspruch 7, bei dem der LDD-Bereich (7) zumindest zwischen dem Drain-Bereich (5)

und dem Kanalbereich (8) mit einem gradierten Dotierstoffprofil derart ausgebildet ist, dass eine Durchbruchspannung zwischen dem Drain-Bereich (5) und dem elektrischen Anschluss (B) der inneren Wanne gegenüber einer Anordnung mit steiler Änderung des Dotierstoffprofils in einem vorgesehenen Ausmaß auf über 15 Volt erhöht ist.

9. NMOS-Transistor nach Anspruch 8, bei dem das gradierte Dotierstoffprofil unter Einbeziehung eines für Niedervolttransistoren vorgesehenen LDD-Implants ausgebildet ist.

10. NMOS-Transistor nach einem der Ansprüche 1 bis 9, bei dem die Dotierstoffkonzentration in der n-leitend dotierten Wanne (2) mittels einer Implantation in Streifen und anschließender Diffusion in einer vorgesehenen Weise eingestellt ist.



**FIG 1**

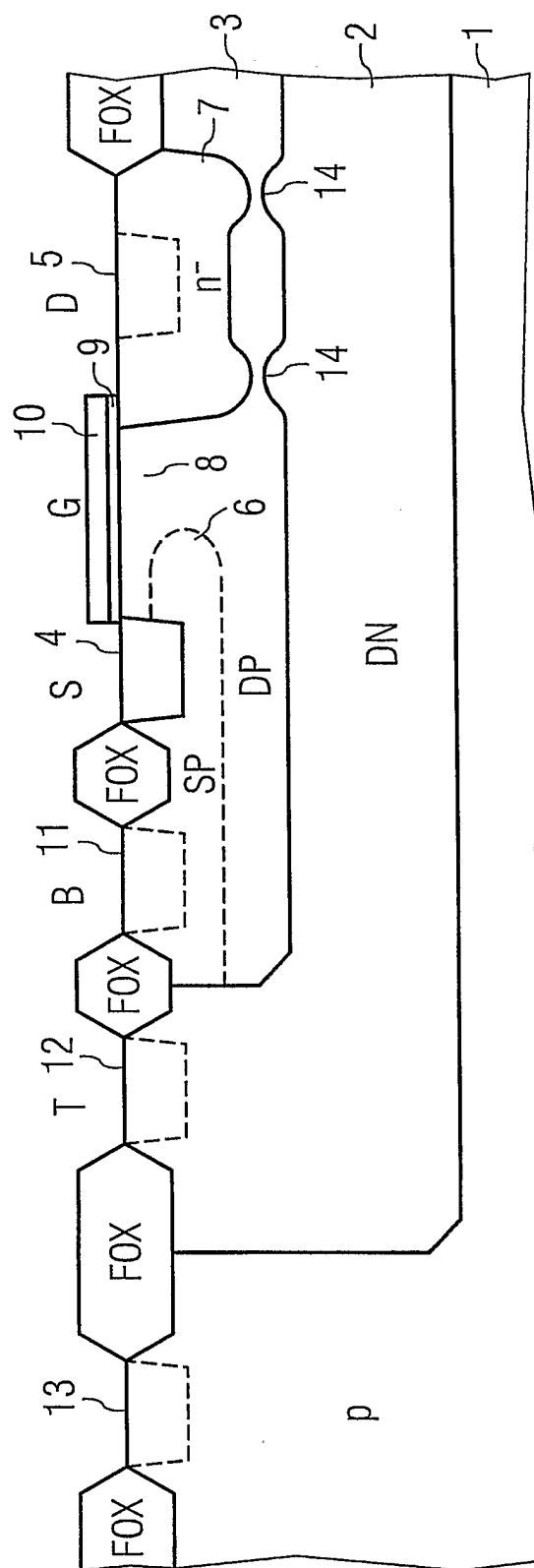


FIG 2