

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/108

H01L 21/8242



[12] 发明专利申请公开说明书

[21] 申请号 200410008254.4

[43] 公开日 2004年9月22日

[11] 公开号 CN 1531096A

[22] 申请日 2004.2.28

[21] 申请号 200410008254.4

[30] 优先权

[32] 2003.2.28 [33] DE [31] 10308888.1

[71] 申请人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72] 发明人 M·古特斯彻 H·塞德尔

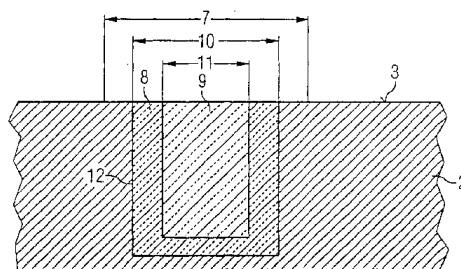
[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 梁永

权利要求书5页 说明书22页 附图16页

[54] 发明名称 半导体基板中增加储存电容之电容器排列

[57] 摘要

与在 DRAM 内存胞元的习知电容器相较，本电容器排列不需占据在半导体基板(2)的额外面积，即具增加电容。根据本发明电容器(8、9)的排列系基于于该基板(2)的二或更多个别排列个别电容器以形成一在另一内或一在另一上的二或更多电容器。在此情况下，外部电容器(8)围绕至少一或许多内部电容器(9)或是相当部分的上方电容器位于下方电容器上。根据本发明电容器排列的制造方法被叙述。



ISSN 1008-4274

1.一种在基板(2)内或上的至少二电容器(14、15)之排列,其中该电容器(14、15)被排列为一在另一内,一外部电容器(14)至少部分围绕至少一内部电容器(15)。

2.一种在基板(2)内或上的至少二电容器(80、90)之排列,其中该电容器(80、90)被排列为至少部份一在另一上。

3.根据权利要求1或2的排列,其中该电容器(14、15)被同心地排列。

4.根据权利要求1、2或3的电容器排列,其中该电容器(14、15)具椭圆或圆形截面区段。

5.根据权利要求1、3或4的电容器排列,其中:

-该电容器排列包括二电容器,一外部电容器(14)及一内部电容器(15)被同心地一在另一内地排列及由外向内包括具厚度d1的第一介电体层(17)、具厚度d2的第一电极层(18)、具厚度d4的第二介电体层(20)、具厚度d5+d7的第二电极层(19)、具厚度d8的第三介电体层(22)及一内部第三电极层(21),及

-该第二电极层(19)系在参考电位。

6.根据权利要求1至5中任一权利要求所述的电容器排列,其中该电容器排列形成为沟槽电容器排列。

7.根据权利要求6的电容器排列,其中该第一电极层(18)沿该沟槽(16)壁延伸超过结构深度T1及该第二电极层(19)被导引至低于在该半导体基板(2)上的该结构深度T1。

8.根据权利要求5至7中任一权利要求所述的电容器排列,其中该第一、第二及第三介电体层(17、20、22)具相同厚度。

9.根据权利要求1至7中任一权利要求所述的电容器排列,其中该外部电容器(14)及该内部电容器(15)或该下方电容器(90)及该上方电容器(80)具相同电容。

10.根据权利要求5至9中任一权利要求所述的电容器排列,其中至该第一电极层(18)的一第一接触(39)及至该第三电极层(21)的一第三接触点(40)被提供,第一及第三接触点(39、40)被排列于该沟槽周围的相对侧。

11.根据权利要求 5 至 10 中任一权利要求所述的电容器排列, 其中至该第一电极层(18)的该第一接触(39)被排列于该第一电极层(18)的上方端点, 该第一电极层(18)的该上方端点于相对于该第一接触点(39)的该沟槽周围的一侧关于该基板表面被回缩, 故未由该第一电极(18)覆盖的区段因而在接近于该沟槽壁的上方端点产生, 及至该第三电极层(21)的第三接触点(40)被导引穿过在该第一电极层(18)的上方端点的该区段至该电容器排列的外侧。

12.根据权利要求 1 至 11 中任一权利要求所述的电容器排列之制造方法, 其中:

- 基板(2)被提供,
- 一沟槽(16)被引入该基板(2), 其形成相关于该基板(2)的沟槽壁,
- 一第一介电体层(17)成形于该沟槽壁,
- 一第一电极层(18)被施用于该第一介电体层(17), 该第一电极层至少部份覆盖该第一介电体层(17),
- 一第二介电体层(20)被施用于该沟槽壁, 该第一电极层(18)由该第二介电体层(20)覆盖,
- 一第二电极层(19)被施用于该沟槽壁及一第二接触点于第二电极层(19)及基板(2)间形成,
- 该第二电极层(19)由该第三介电体层(22)完全覆盖,
- 仍保留的空穴由该第三电极层(21)填充, 及
- 至该第一电极层(18)的一第一接触(39)及至该第三电极层(21)的一第三接触点(40)亦被制造。

13.根据权利要求 12 的方法, 其中该沟槽(16)被引入该基板做为在该半导体基板(2)的沟槽。

14.根据权利要求 12 或 13 的方法, 其中第二接触点于第二电极层(19)及基板(2)间形成系藉由下列步骤, 其中:

- 该第一介电体层(17)被沉积, 故所有该沟槽(16)壁被覆盖,
- 该第一电极层(18)被施用, 使得该第一介电体层(17)完全被覆盖,
- 用作第一蚀刻屏蔽(31)的一层被施用于该第一电极层(18), 该

层自该沟槽开孔延伸远至结构深度 T1,

-该第一电极层 (18) 及该第一介电体层 (17) 在未由该第一蚀刻屏蔽 (31) 覆盖的区段被移除, 故在半导体基板 (2) 为未被覆盖的,

-该第一蚀刻屏蔽 (31) 被移除, 且该第二介电体层 (20) 及该第二电极层 (19) 被施用于该沟槽壁。

15. 根据权利要求 14 的方法, 其中该第二电极层 (19) 藉由下列步骤被施用于该沟槽壁, 其中

-该第二介电体层 (20) 被沉积使得所有该沟槽 (16) 壁被覆盖,

-该第二电极层的一第一部份 (19a) 被沉积, 其完全覆盖该第二介电体层 (20),

-用做一第二蚀刻屏蔽 (32) 的一层被沉积于该第二电极层的第一部份 (19a), 该层自该沟槽开孔延伸远至一结构深度 T2,

-该半导体基板 (2) 在未由该第二蚀刻屏蔽 (32) 覆盖的区段为未被覆盖的,

-该第二蚀刻屏蔽 (32) 被移除, 及

-该第二电极层的一第二部份 (19b) 被沉积, 其完全覆盖该沟槽壁。

16. 根据权利要求 12 至 15 中任一权利要求所述的方法, 其中用做蚀刻屏蔽 (31、32) 的层藉由原子层沉积 ALD 短时间脉冲的非保形沉积被施用。

17. 根据权利要求 12 或 13 的方法, 其中该第二接触点系藉由下列步骤于第二电极层 (19) 及基板 (2) 间形成, 其中

-该第一介电体层 (17) 藉由非保形方法被沉积, 使得该沟槽壁被覆盖远至一结构深度 T1,

-该第一电极层 (18) 藉由非保形方法沉积于该第一介电体层 (17) 上, 使得该第一电极层 (18) 基本上延伸至结构深度 T1, 该第一电极层 (18) 未触及该沟槽壁的区段, 其由该半导体基板于该结构深度 T1 下方形成,

-该第二介电体层藉由非保形方法被沉积, 使得沟槽壁被覆盖远至一结构深度 T2 且低于该结构深度 T2 的该沟槽壁区段系由该半导体基板形成, 及

-该第二电极层 (19) 被施用于该沟槽壁。

18.根据权利要求 12 至 17 中任一权利要求所述的方法，其中至该第一电极层（18）的第一接触及至该第三电极层（21）的第三接触点系藉由下列步骤被制造，其中

-该第三电极层（21）被尽可能移除至一结构深度 T3，及

-该第三介电体层（22）及该第二电极层（19）被尽可能移除至结构深度 T3，使得至该基板表面为开放的空穴（33）于该沟槽（16）上方区段得到，

--第一绝缘体层（27）被施用于该空穴（33）的区域，

-该第一绝缘层（27）、该第二介电体层（20）及该第一电极层（18）以区段在排列于在空穴的侧边区域的区段被移除，

-第二绝缘层（24）被施用于该空穴（33），其覆盖所有该空穴（33）区域，

--该第一绝缘层（27）及第二绝缘层（24）在相对于该空穴（33）开孔的该空穴（33）下方区域的区段被移除，使得该第三电极层（21）为未被覆盖的区段，

-该空穴（33）以电极材料（36）填充，由此加长该第三电极层（21），及

-排列于第一电极层（18）及半导体基板（2）间及在第三电极层（21）及半导体基板（2）间的该介电体层的区段被移除，及在该第一电极层（18）及半导体基板（2）间及在第三电极层（21）及半导体基板（2）间的电传导连接被制造以得到至该第一电极层（18）的第一接触点（39）及至该第三电极层（21）的第三接触点（40）。

19.根据权利要求 18 的方法，其中为制造在该第一电极层（18）及半导体基板（2）间的第一接触点（39），及在第三电极层（21）及半导体基板（2）间的第三接触点（40），该第一电极层（18）及该第三电极层（21）被回蚀至一结构深度 T4，使得得到凹陷（37、38），其侧边区域系由介电体层的区段形成，

-在该凹陷（37、38）的侧壁为自由的介电体层以区段被移除，因而得到该半导体基板（2）为未被覆盖的区域，及

-由电极材料（23、26）制造的层被施用。

20.根据权利要求 19 的方法，其中，在由电极材料（23、26）所制造

的层之沉积后,由电极材料(23、26)所制造的层被回蚀至一结构深度 T5,由此得到一种填充空间(41、42),及该填充空间(41、42)以介电体(43)填充。

21.根据权利要求 18 的方法,其中该第一绝缘(27)及该第二介电体层(20)在排列于在空穴(33)的侧边区域的区段被移除,其系藉由下列步骤,其中

-覆盖在该空穴(33)的内部的该第一绝缘体层(27)及用做蚀刻屏蔽的层被沉积,

-用做蚀刻屏蔽的该层(34)在该空穴(33)的侧部区域的区段被移除,

-该第一绝缘(27)及该第二介电体层(20)被移除于该区段,及

-用做蚀刻屏蔽的该层(34)被移除。

22.根据权利要求 21 的方法,其中,为在该空穴(33)的侧部区域的区段移除用做蚀刻屏蔽的该层(34),指引于该区段的离子束被使用及用做蚀刻屏蔽的该层(34)的区段由离子束蚀刻(IBE)移除。

23.根据权利要求 21 或 22 的方法,其中用做蚀刻屏蔽的该层系由硅建构。

24.一种在基板(2)的二电容器(14、15)之排列,其中一外部电容器(14)及一内部电容器(15)被排列为一在另一内及下列由外向内被提供:一第一介电体层(17)、一第一电极层(18)、一第二介电体层(20)、一第二电极层(19)、一第三介电体层(22)及一内部第三电极层(21),其中该第一电极层(18)沿提供于该基板(2)的沟槽(16)壁在一结构深度 T1 上方延伸及该第二电极层(19)被导引低于该结构深度 T1 至该半导体基板(2)上且位于参考电位。

半导体基板中增加储存电容之电容器排列

5 技术领域

本发明系关于在半导体基板内或上的至少二电容器之排列及关于制造电容器之方法。

背景技术

DRAM（动态随机存取存储器）模块大量被制造及被使用于许多领域，新一代的 DRAM 模块在一方面需要具较小的尺寸及，在另一方面，需要较大数目的内存胞元以储存资料，亦即增加的储存密度，此造成进一步减少该个别内存胞元（包括储存电容及选择晶体管）的胞元尺寸之需求。依据该储存电容排列于硅基板中或用于驱动目的的晶体管下方或在基板表面上方或在晶体管上方而定，“沟槽电容器”型式及“堆栈电容器”型式的内存胞元被区别。

在“沟槽电容器”型式的内存胞元之情况下，沟槽形成于单晶质半导体基板，电容器被逐步引入该沟槽中。藉由外扩散，例如，经掺杂区域先被形成于相邻该沟槽壁的该半导体基板的区域，于该完成电容器中，该区域形成第一、外部电极，介电体的薄层，如氮化物/氧化物层系统接着沿该沟槽壁沉积，第二、内部电极接着由高掺杂多晶硅于该沟槽的剩余空穴之沉积以平衡电极形成。之后，在接近该表面的半导体基板区域，亦即该电容器上方，晶体管及亦该相关中间连接被产生，其可被使用以控制该电容器的电荷状态。

在“堆栈电容器”型式的内存胞元之情况下，该控制电极，亦即驱动该内存胞元的选择晶体管及中间连接，先建构于单晶质半导体基板内或上，之后，介电体层被施用于该半导体基板表面，该介电体层在垂直于该半导体基板表面的方向具对应于至少至该电容器程度的厚度。以沟槽型式的空穴接着被引入于该介电体层，该空穴尽可能到达先前建构的控制电子或相对应连接。以可与沟槽电容器的制造相比的方式，电容器接着以外部电极、介电体及内部电极的逐步沉积于该空穴被建构。不消说如此处所说明的堆栈电容器的制造仅被认为是实例，存在堆栈电容器的许多不同观念，然而，其系基于一共同特征，控制该堆栈电容器的电荷状态之晶体管排列于该堆

栈电容器下方，与该沟槽电容器相反，因而沟槽电容器及堆栈电容器在其制造方面皆依循类似的原则，皆使用垂直于该半导体基板表面的程度及藉由如同被“折叠”的电容器达到该电极面积的放大。

5 减少胞元尺寸产生具较小截面积的电容器，基于此原因，该电极面积亦减少，其最终产生具较低电容的电容器。为补偿电容的损失，必须藉由复杂的新方法技术以不同方式再次增加电容，其实例为具电极的较高掺杂之电容器以减少电荷载体消失或者具高介电常数之介电体之使用。电极表面可藉由施用额外结构（HSG，半球型晶粒）于该沟槽壁而被加大。在沟槽电容器的情况下，增加电容的进一步可能性在于藉由在沟槽下方区段的瓶状延伸增加沟槽表面之可能性。该沟槽因而在该半导体基板的深度延伸亦部份进入该半导体基板的区域（其位于形成于该半导体基板的表面之选择晶体管下方）。当减少该电容器的截面积时，堆栈电容器原则上显现相同的困难。在此情况下，该电极面积及因而该电容器的电容亦随截面区段减少而减少。

15 已知小于 100 纳米的特征尺寸，对已预先决定截面区段，目前使用于商用微芯片的电容器之电容仅可由上述方法增加典型低于 50% 的值。然而，为满足未来芯片世代所造成的要求，在电容的更大增加是必要的，或者，以另外一种方式说，当整合于微芯片的电容器之特征尺寸减少时，维持每内存胞元约略相同的电容必需要能被提供。

20 发明内容

所以，本发明系基于提供一种电容器排列，使对与习知电容器排列相同的空间或基本面积要求可得到增加电容。

此目的可根据本发明特征之电容器排列达到。

25 在基板中或上的至少二电容器之本发明排列之特征在于该电容器被排列为一在另一内，外部电容器至少部分围绕至少一内部电容器。

本发明使用特别的电容器排列，取代将个别电容器一邻接另一地排列于在半导体基板内（沟槽电容器）或上（堆栈电容器），本发明电容器被排列为一在另一内。在此情况下，外部电容器至少部分围绕至少一内部电容器。

30 在替代解决方案中，该电容器被排列为至少部分一在另一上方。

根据本发明装置的优点为与个别邻接另一排列的个别电容器相较，对相同基本面积要求，该电容器的周围及结构高度可被显著增加，该基本面

积要求系由在半导体基板表面的平面视图上由包含至少二电容器且无相邻内存胞元的相互作用发生的排列所围绕的面积决定。换言之，该电容器排列的基本面积要求系由在与基板表面平行的平面上该电容器的最大程度决定，在每一情况下，由至相邻内存胞元的距离之一半补足，此必需被依从以避免在内存胞元间的相互作用。在基板表面电容器排列的面积要求与此有区别，此面积要求由在基板顶部侧的电容器排列所占据的面积决定，此面积一般对应于如被引入该半导体基板以制造沟槽电容器的沟槽的开孔面积。当个别电容器一邻接另一地习知地排列时至少约略由该个别电容器所占据的基本面积之总合被提供于外部电容器的截面区段。若迄今邻接另一的习知电容器排列与一在另一内或一在另一上的本发明电容器排列相较，则对该电容器的介电体层及电极层的相同厚度，因为增加的电容器周围，根据本发明电容器排列的内部（或下方）及外部（或上方）电容器的电容皆增加，且纵横比维持相同，纵横比为结构的深度（沟槽电容器）或高度（堆栈电容器）与宽度之比值，因为增加的电容器周围，可能额外得到甚至更高或更深的电容器结构，其产生表面的进一步加大及因而产生电容器电容的进一步增加，因而在电容器电容的显著增加可由根据本发明排列达到，且 DRAM 内存胞元的尺寸不须因此目的被增加。而且，由微影及蚀刻方法所产生的要求可因该结构的放大尺寸而缓和，所以，现有装设亦可被用于新世代的小型化内存胞元。

20 根据本发明电容器排列的较佳细节叙述于下。

一般，电容器被同心地一在另一内或一在另一上地排列，该电容器的电极或介电体层一般具约略中空圆柱型式，或者在最内部电极的情况下，具椭圆、圆形、或长方形截面区段的实心圆柱型式，中空圆柱具均匀的层厚度。形成电极或介电体层的个别圆柱接着沿共同轴延伸。在该根据本发明电容器排列制造期间，在每一情况，该个别层以尽可能均匀层厚度沉积于被引入半导体基板的沟槽壁，或者在堆栈电容器制造期间，于引入该介电体层的相对应沟槽壁，或更清楚地说，在相对应向上突出的圆柱结构。

较佳为，该电容器至少在基板表面具椭圆或圆形截面区段，具椭圆或圆形截面区段的沟槽或开孔可藉由习知蚀刻方法以简单方式产生。长方形截面区段接着可如藉由湿化学蚀刻被得到，其较佳为产生在硅上的特定表面。而且，在此种沟槽的情况下，具均匀层厚度的层沉积可藉由合适方法以相当简单的方式达到。

较佳为，根据本发明电容器排列包括二电容器，内部或下方电容器，及亦包括围绕该内部电容器的外部或上方电容器或是分别被排列于下方电容器上方。较佳为外部及内部或下方及上方电容器包括共享电极，该电极一般为在参考电压及被排列于内部及外部电容器之间。

- 5 在较佳电容器排列中，外部及内部电容器被同心地一排列于另一内及由外向内包括具厚度 $d1$ 的第一介电体层、具厚度 $d2$ 的第一电极层（其被指定为外部电容器及用做第一电极）、具厚度 $d4$ 的第二介电体层、具厚度 $d5+d7$ 的第二电极层（其用做第二电极）、具厚度 $d8$ 的第三介电体层、及第三电极层（其被指定为内部电容器及用做第三电极）。在此情况下，第二电极层形成关于被指定为外部电容器的第一电极及关于被指定为内部电容器的第三电极的平衡电极。该第二电极层系在参考电位及将内部及外部电容器彼此隔离。

- 15 若上述电容器排列被具体化为堆栈电容器，第一介电体层亦可由先被沉积在半导体基板上的介电体层形成及接着电容器结构的沟槽被引入，因在此情况下，该第一介电体层对应于该沟槽壁。做为替代方案，在该第一介电体层形成前，薄电极层先被沉积。

然而，较佳为，该电容器排列以在半导体基板中的沟槽电容器排列形成。

- 20 在较佳具体实施例中，在沟槽电容器排列中，第一电极层沿沟槽壁在结构深度 $T1$ 上方延伸及第二电极层在结构深度 $T1$ 下方被导引至低于在半导体基板上。

基板深度 T 被了解为在基板表面及在平行于该基板表面排列的基板之平面间的距离。基板顶部侧被了解为在电子组件被整合至该基板的基板侧。所以引入基板的沟槽为朝向基板顶部侧开启的。

- 25 引入该半导体基板的沟槽由以结构深度 $T1$ 所定义的平面区分为在该结构深度 $T1$ 上方尽可能延伸至在该半导体基板表面的沟槽开孔的上方区段，及在该结构深度 $T1$ 下方尽可能延伸至在该沟槽下方终端的下方区段。第一电极层沿沟槽壁在结构深度 $T1$ 上方延伸，其藉由第二介电体层与第二电极层电绝缘。第一介电体层、第一电极层、第二介电体层及第二电极层因而以似三明治的方式在沟槽壁排列于该结构深度 $T1$ 上方。该第一电极层在由该结构深度 $T1$ 决定的沟槽深度结束。在该结构深度 $T1$ 下方，该第二电极层被导至该半导体基板上，其较佳为形成沟槽壁，因而，其可能制造在半
- 30

导体基板及第二电极层间的电连接。在完成电容器排列中，该第二电极层因而被置于参考电位。

在特佳具体实施例中，该第二电极层至少在沿沟槽壁的区域在该结构深度 T1 下方运行及被直接排列于该半导体基板上。在此情况下，该第二电极以的一种方式使得其与该第一电极电绝缘被导引。

结构深度 T2 较佳为被指定用于此目的，由该结构深度 T2 所订定的平面位于由该结构深度 T1 所订定的平面下方的沟槽内，接着该第二介电体层尽可能延伸至在该结构深度 T2。在该结构深度 T2 下方，半导体基板在沟槽壁为未被覆盖的。排列于该第二介电体层的第二电极层因而与在该结构深度 T2 上方的第一电极层绝缘，及在该结构深度 T2 下方被导至进入该半导体基板，该第二电极层因而形成与该半导体基板的接触点，在下文中此接触点被指定为第二接触点。

首先，第二及第三介电体层较佳为具相同厚度，亦即， $d1=d4=d8$ 为真。

个别层的厚度较佳为被选择尽可能小以达到电容器的高电容及进一步整个电容器排列的最小可能尺寸以藉由此方式产生良好的扩充能力至甚至更小的胞元尺寸。在另一方面，该介电体层的厚度不可被选择为太小使得电容器因穿隧作用而被过早地分开。一般，层厚度被选择为在 2 至 20 纳米的范围，在 3 至 8 纳米范围的层厚度合适用于 DRAM 内存胞元的应用，其中该介电体由如 Al_2O_3 制造。

在特佳具体实施例中，内部电容器及外部电容器具相同电容，已知在电极间的相同距离，亦即介电体层的相同层厚度，电容系由该电极面积决定。可提供用于产生电容的第一或第二电极层的面积因而被选择使得该内部或外部电容器的电容为相同的，亦固有地可能藉由第二或第三介电体层的不同层厚度或藉由使用不同介电体以符合该内部及外部电容器的电容，然而，这些可能性在实际应用上仅具些为重要意义。

根据本发明电容器排列的电极之接触连接较佳为以的一种方式被进行使得至该第一电极层的第一接触点及至该第三电极层的第三接触点被提供，第一及第三接触点被排列于该沟槽周围的相对侧。

基于此目的，该第三电极，其形成根据本发明电容器排列的内部电极，的接触点被导引朝向进一步向外排列的该第一及第二电极上方的外部。该第二电极一般系在参考电位，至该基板的接触连接经由第二接触点在该沟槽的下方区段产生。在沟槽电容器的情况下，至该第一及第三电极的接触

点在该沟槽的上方区段，较佳为相邻于该基板表面，被具体化，因个别驱动该电容器的选择晶体管一般亦排列在此区域。上方区段被了解为其基本上邻接该沟槽开孔的沟槽区段，下方区段被相对应地了解为基本上排列于与该沟槽开孔相对的沟槽端之区段。

- 5 第一及第三电极必须彼此电绝缘以能够个别地驱动该电容器。所以，在第三电极的接触连接，步骤一般为使得该第一电极层的上方端点于与在该沟槽周围的第一接触点的相对侧被回缩回到沟槽，未由该第一电极层覆盖的区段因而在接近于该沟槽壁的上方端点产生。在此区段，该第三接触点可被自该第一电极层的上方端点上的该电容器排列的内部向外导引，藉
- 10 由该第三接触点该第三电极被接触连接。由此排列所达到的是至该第一电极的第一接触点及至该第三电极的第三接触点为在该沟槽周围彼此相对的，此种接触连接的进一步优点为与迄今所使用的彼此相邻排列的二电容器之排列相较，根据本发明电容器排列不需在关于选择晶体管及其接触连接的配置上的变化之排列，所以迄今所使用的大部份配置可被采用于使用
- 15 根据本发明电容器排列的 DRAM 内存胞元之制造。

根据本发明电容器排列的制造需要复杂的制造步骤顺序。所以，本发明亦相关于制造上述电容器排列的方法。

根据本发明电容器排列系由下列步骤制造：

- 首先，基板被提供，依据排列意欲被制造为堆栈电容器或沟槽电容器，
- 20 相对应基板被选择。硅晶圆一般被用于堆栈电容器的制造，驱动该电容器的必要组件已被整合为该硅晶圆，由介电体如二氧化硅所制造的或由多晶硅所制造的厚层被施用于该晶圆表面，根据本发明电容器排列被整合进入该层。硅晶圆被用于沟槽电容器的制造，此硅晶圆可在其顶部以介电体层覆盖，此介电体层包括如氧化硅/氮化硅。被高度掺杂的及因而电传导的层
- 25 可被排列于距该硅晶圆表面的某一距离，此层用做将该电容器排列的个别电极置于参考电位。然而，简单的硅晶圆可被固有地用做在以沟槽电容器型式的电容器排列制造中的基础。

- 首先，对该基板顶部侧为未遮盖的沟槽被引入该基板，习知微影及蚀刻技术被用来产生该沟槽，该沟槽具高纵横比，亦即，垂直于该基板顶部
- 30 侧的其程度显著大于其直径，该纵横比一般被选择为大于 20，在此时，在 30 至 50 的范围之纵横比一般可用于内存芯片，在超过 60 的区域之甚至更高纵横比为进一步芯片世代所预期。首先，第一介电体层成形于沟槽壁。

在沟槽电容器的情况下，于完整电容器排列，该第一介电体层用于绝缘该第一电极与围绕该电容器排列的半导体基板。在堆栈电容器的情况下，该第一介电体层亦可由围绕该沟槽的厚介电体层形成且被施用于该半导体基板。做为替代方案，首先薄电极层被沉积，该第一介电体层接着被沉积于此，第一电极层被施用于该第一介电体层，于完整电容器排列，该第一电极层形成第一电极。该第一电极层以一种至少部份覆盖该第一介电体层的方式被施用，若该第一电极层仅部份覆盖该第一介电体层，至该第二电极的（第二）接触点可被排列于未由该第一电极层覆盖的区域。第二介电体层接着被施用，使得该第一电极层由该第二介电体层覆盖，该第一电极层接着由介电体层在两侧包覆。第二电极层接着沉积于该第二介电体层及该第二电极层至该基板的接触点被产生。为进行此目的，步骤可为使得首先该第二介电体层的区段被移除，在这些区段该基板再次为未被覆盖的。此步骤合适用于在沟槽电容器的具体实施例中该电容器排列的制造，该第二电极层接着连接至该（半导体）基板，此确保在完成电容器排列中，该第二电极系在参考电位，外部（上方）电容器已在先前进行的工作步骤中被制造。为图案化该内部（下方）电容器，该第二电极层由该第三介电体层覆盖且仍保留的空穴由该第三电极层填充，至该第一电极层的第一接触点及至该第三电极层的第三接触点亦被制造，藉由此个别电极可被驱动。

该方法特别合适用于制造以沟槽电容器的排列具体化之该电容器排列。在此情况下，在该基板的沟槽被具体化为在该半导体基板的沟槽。如已说明，较佳为使用硅晶圆做为半导体基板，此硅晶圆亦已通过各种不同加工步骤。在以沟槽电容器的排列之具体实施例的情况下，该第一电极仅尽可能到达预先决定的结构深度 T1，以能够具体化至在该沟槽下方区段的第二电极之接触点。为进行此目的，必须以此种方式图案化在该沟槽的第一电极层使其仅到达该结构深度 T1。而且，必需移除在意欲制造至该第二电极层的（第二）接触点的区段之该第一介电体层。该第一介电体层及该第一电极层特佳为以下列方式图案化。

首先，该第一介电体层以一种覆盖所有沟槽壁的方式被沉积，沉积一般为由气相产生，例如藉由 ALD（ALD=原子层沉积）或 CVD 方法（CVD=化学气相沉积），第一电极层接着被施用，现在该第一电极层完全覆盖该第一介电体层。为能够在低于结构深度 T1 的区段再次移除该第一电极层，用作第一蚀刻屏蔽的层接着被沉积，此第一蚀刻屏蔽自沟槽的上方终点沿

沟槽壁延伸至尽可能至预先决定的结构深度 T1。熟知本技艺者已知的方法被用于制造此种第一蚀刻屏蔽，如此该蚀刻屏蔽可藉由如非保形 ALD 方法被制造，其中脉冲长度被选择使得沟槽壁以用做蚀刻屏蔽的层被不完全地覆盖，亦即至预先决定的结构深度 T1。然而，多阶段方法亦为可能的，其中，例如沟槽先以抗蚀剂填充，其接着回蚀至预先决定的结构深度 T1，之后，该蚀刻屏蔽被沉积及余留抗蚀剂被自下方沟槽区段移除。

一旦该第一蚀刻屏蔽已被施用于所欲的结构，该第一电极层及该第一介电体层在未由该第一蚀刻屏蔽覆盖的区段被移除，故在这些区段基板再次为未被覆盖的，最后，该第一蚀刻屏蔽被移除。若该第二介电体层及该第二电极层被接着施用于该沟槽壁，在第二电极层及半导体基板间的（第二）接触点可于沟槽的下方区段形成。

该第二电极层形成在经完成电容器排列的第二电极。在以沟槽电容器为具体实施例的情况下，该第二电极在该第一电极下方被导至该基板上。在此情况下，该第一及第二电极必须彼此电绝缘。为进行此目的，电绝缘该第一电极区段及该第二电极区段的该第二介电体层可被相对应地图案化。

较佳为，在此情况的步骤如下，以沟槽做为基础，其中该第一介电体层及该第一电极层已使用上述方式被图案化。首先，该第二介电体层被沉积于沟槽及现在覆盖所有沟槽壁，在此情况下较佳为亦使用由气相的沉积方法如 ALD 或 CVD 方法。该第二电极层的第一部份被沉积于该第二介电体层上，及完全覆盖该第二介电体层。该第二电极层的第一部份具层厚度 d_5 ，其小于该第二电极层的最后层厚度。用做第二蚀刻屏蔽的层接着被沉积于该第二电极层的第一部份，该第二蚀刻屏蔽自该沟槽的上方终点沿沟槽壁延伸远至结构深度 T2。该结构深度 T2 被定义为在沟槽中在该结构深度 T1 下方的沟槽及对应于该第二电极被导至该基板上的沟槽深度，该第二蚀刻屏蔽的沉积可由与用于制造该第一蚀刻屏蔽的相同方法进行，之后，藉由该第二介电体层相对应区段的移除，该半导体基板在未由该第二蚀刻屏蔽覆盖的区段为未被覆盖的。之后，该第二蚀刻屏蔽被移除及该第二电极层的第二部份被沉积，该第二电极层的第二部份具层厚度 d_7 。在结构深度 T2 上方，该第二部份承载于该第二电极层的第一部份且与该第二电极层的第一部份成为一体。所以，在结构深度 T2 上方，该第二电极层具层厚度 d_5+d_7 。在结构深度 T2 下方，该第二电极层的第二部份与半导体基板直接

接触及以本发明形成第二接触点。

之后，如已叙述，第三介电体层被施用于该第二电极层及剩余的空穴以电极材料填充以得到第三电极层。

5 用做第一及第二蚀刻屏蔽的层较佳为使用非保形原子层沉积 (ALD) 而被沉积，在该 ALD 方法中，各个反应物的单分子层被沉积。若反应物的量由短时间脉冲限制，藉由此，反应物被引入反应室，该沟槽壁未完全地被覆盖，在沟槽壁由相邻该基板顶部侧的上方边缘向下进行持续以反应物覆盖后，该层进入沟槽深度的程度可由短时间脉冲的长度控制，故用做第一或第二蚀刻屏蔽的层仅延伸远至预先决定的结构深度 T1 或 T2。

10 第一、第二及第三电极层一般藉由习知保形沉积方法，如藉由 ALD 或 CVD 方法产生。

取代以非保形经沉积蚀刻屏蔽的协助图案化该介电体层或该电极层，该层本身亦藉由非保形 ALD 方法直接沉积使得该层延伸远至结构深度 T1 或 T2，此避免蚀刻屏蔽的沉积及蚀刻方法。

15 在此情况下，该步骤为使得该第二接触点藉由下列步骤在该第二电极层及基板间产生，其中

-该第一介电体层藉由非保形方法被沉积，使得该沟槽壁被覆盖远至结构深度 T1，

20 -该第一电极层藉由非保形方法沉积于该第一介电体层上，使得该第一电极层基本上延伸至结构深度 T1，该第一电极层未触及该沟槽壁的区段，其由于该结构深度 T1 下方的半导体基板形成，

-该第二介电体层藉由非保形方法被沉积，使得该沟槽壁被覆盖远至结构深度 T2 且低于该结构深度 T2 的该沟槽壁区段系由该半导体基板形成，及

25 -第二电极层被施用于该沟槽壁。

为制造至各个电极层的接触点，在相邻该基板顶部侧的沟槽上方区段的电容器排列之结构以一种方式被改良使得至该第三电极（其被排列于该电容器排列的内部）的接触点可以电绝缘的方式被导引至该排列的外侧。

30 为进行此目的，较佳为首先该第三电极层、该第三介电体层及该第二电极层被移除至结构深度 T3。该结构深度 T3 被定义为在该基板顶部侧的沟槽开孔及该结构深度 T1 之间。至该基板顶部侧的空穴开孔于沟槽上方区段得到，此空穴的侧壁由排列于具介电体层位于其上的该第一电极层-侧壁-

区段形成且此空穴的较低区域由对应于该第三电极层、该第三介电体层及该第二电极层的上方终点的区域形成。接着第一绝缘层被施用于该空穴的区域，该第一绝缘层由合适介电体组成，其层厚度一般被选择为大于第一、第二及第三介电体层的厚度。

5 该第一绝缘层可藉由保形沉积方法如 CVD 或 ALD 方法被施用。

该第一绝缘层、该第二介电体层及该第一电极层接着以区段被移除以在空穴的侧边区域提供该半导体基板未被覆盖的区段。在此情况下，区域在该第一电极层上方终点为未被覆盖的区域，此区域接着由第二绝缘层的沉积被再次电绝缘。为进行此目的，该第二绝缘层被施用于所有该空穴区域。

10 为能够产生至第三电极的接触点，第一及第二绝缘层的区段先在相对于该空穴开孔的空穴下方区域上移除，由此得到该第三电极层未被覆盖的区段。

接着该空穴以电极材料填充，若合适，过多的材料可在该半导体基板的表面被再次移除，此可藉由如 CMP 方法（CMP=化学机械 光）完成。该第三电极层由经填入电极材料尽可能加长至该基板表面。

为制造至该第一电极的第一接触点及亦制造至该第三电极的第三接触点，排列于个别电极层及该半导体基板间的该介电体层区段被移除且在第一或该第三电极层及该半导体基板间的电传导连接皆被制造。

20 为进行此目的，较佳为该第一或该第三电极层被再次部份回蚀，由此得到触及远至该结构深度 T4 的凹陷且其侧壁由介电体层形成，该结构深度 T4 被定义为在该结构深度 T3 及该基板顶部侧之间，在侧壁未被覆盖的介电体层以区段被移除，因而得到该半导体基板为未被覆盖的区域。之后，由电极材料制造的层再次被施用，此层产生在半导体基板及第一或第三电极间的接触点。

25 之后，平面化步骤亦被进行以移除在该基板顶部侧的过多电极材料。该第一及第三电极层亦被回蚀以提供填充空间，其以介电体填充以朝向该基板顶部侧绝缘该电容器排列。为进行此目的，由电极材料所制做的先前施用层被回蚀远至结构深度 T5，其被定义为在该结构深度 T4 及该基板表面之间，得到一种填充空间，其以介电体填充。最后，进一步的平面化步骤亦可被进行。

30 如上所述，为制造至该第一电极层的第一接触点及至该第三电极层的

第三接触点，在该空穴的侧部区域，一区段被提供，于此区段该半导体基板为未被覆盖的，为进行此目的，较佳为，首先该第一绝缘层及该第二介电体层在此区段被移除。

5 为进行此目的，较佳为，该步骤为使得覆盖在该空穴内部的该第一绝缘层及用做蚀刻屏蔽的层被沉积，用做蚀刻屏蔽的该层被接着以区段在该空穴的侧部区域被移除。硅较佳为被用做该蚀刻屏蔽的材料。该第一绝缘层及该第二介电体层接着在未由该蚀刻屏蔽覆盖的此区段被移除，最后，该蚀刻屏蔽亦再次被移除。

10 当硅被用做该蚀刻屏蔽的材料，可能藉由指引离子束于要被移除的区段而移除在该空穴的侧部区域区段的硅层。该离子束移除在这些区段的硅层（离子束蚀刻，IBE）。然而，例如氧化铝亦可被用做一种屏蔽，在沉积后该氧化铝层先进行热处理，若离子束接着被指引至要被移除的区段，氧化物层的结构因离子植入而以一种该离子束撞击的区段可被选择性地后续移除的方式被改变，该选择性移除可藉由湿化学蚀刻方法被进行，此种蚀刻方法为熟知本技艺者已知。

15 本发明参考图式更详细说明于下，相同参考符号被用于交互相对应组件。

附图说明

20 图 1A-1C 显示穿过各种基板的区段之图式说明，习知电容器排列及根据本发明电容器排列被分别整合于该基板；

图 2 显示半导体基板、以被整合于该半导体基板的习知排列之电容器及以根据本发明排列之电容器的图式平面视图；

图 3 显示穿过根据本发明电容器排列之图式纵向区段；

25 图 4 显示穿过根据本发明电容器排列接近该基板表面的区域之图式纵向区段；

图 5A-5G 显示制造根据本发明电容器排列的图标方法顺序；

图 6A-6N 显示根据本发明电容器排列的接触连接的图标方法顺序。

附图中的参考标号表述的元件为：

- | | |
|---|------|
| 1 | 电容器 |
| 2 | 基板 |
| 3 | 基板表面 |
| 4 | 距离 |

5	直径
6	面积
7	面积要求
8	外部电容器
9	内部电容器
10	直径
11	直径
12	沟槽
13	周围
14	外部电容器
15	内部电容器
16	沟槽
17	第一介电体层
18	第一电极层
19	第二电极层
20	第二介电体层
21	第三电极层
22	第三介电体层
23	传导区段
24	第二绝缘体层
25	传导区段
26	传导区段
27	第一绝缘体层
28	绝缘层
29	第一接触点
30	第三接触点
31	第一蚀刻屏蔽
32	第二蚀刻屏蔽
33	空穴
34	硅层
35	离子束
36	电极材料

37	凹陷
38	凹陷
39	接触区域
40	接触区域
41	填充空间
42	填充空间
43	覆盖氧化物

具体实施方式

图 1A-1C 显示在半导体基板 2 的二电容器 1 的排列，在此情况下，该电容器 1 被具体化为沟槽电容器，亦即，它们延伸低于基板表面 3 进入基板 2 深度。为清楚说明，该说明未示出驱动该电容器 1 所需的组件，如选择晶体管及相对应中间连接。同样地，没有该电容器 1 的个别层，如电极层及介电体层之详细说明，该电容器 1 具距离 4 及亦具直径 5，此表示至少由二电容器 1 所占据的面积 6 产生于该基板 2 的表面 3 上。为得到二电容器 1 排列的面积要求，与相邻电容器或内存胞元的最小距离亦必须被列入考量，故得到该面积 7 做为面积要求，若此面积 7 要被减少，可减少该电容器 1 的距离 4 或直径 5，然而，此亦减少该电容器 1 的结构尺寸，及因该电极面积的减少，该电容器 1 的电容亦减少。第 1B 图图标地说明根据本发明电容器排列，于此，该说明亦不显示驱动该电容器的组件及亦无该电容器个别构成部件的详细说明，该排列包括外部电容器 8 及亦包括内部电容器 9，该二电容器 8、9 皆被具体化为在该基板 2 的沟槽电容器。在基板表面 3 下方，该外部电容器 8 围绕该内部电容器 9，故该电容器 8、9 以本发明方式被排列为“一在另一内”。该二电容器 8、9 再次占据在基板表面 3 的面积 7，在所示排列情况下，此面积 7 对应于在第 1A 图所示的面积 7。在第 1A 及 1B 图所示的电容器排列皆具在该基板 2 的表面 3 的相同面积要求 7。与相邻电容器的距离为必需的以使在电容器间没有相互作用，在第 1A 及 1B 图所示的排列中，此距离被假设为相同的。在如第 1B 图所示的根据本发明电容器排列中，该外部电容器 8 具对应于该面积 6 的直径之直径 10，及该内部电容器 9 具直径 11。在此情况下，该外部电容器 8 的直径 10 及该内部电容器 9 的直径 11 大于在第 1A 图所说明的该电容器 1 的直径 5。该电容器 8、9 的较大直径亦产生更大的电极面积及因而对该电

极层或介电体层的相同厚度，与说明于第 1A 图的电容器相较，该电容器 8、9 的较大直径产生较高电容。与直径 5 相较，藉由该外部电容器 8 的较大直径 10，被引入该基板 2 以建构该电容器 8、9 的沟槽 12 亦可被具体化为较在第 1A 图所说明的该电容器 1 之情况下所可能深度为显著更大的深度。

5 结果，对相同纵横比，与在第 1A 图所说明的电容器相较，该电容器 8、9 的电极面积可被进一步增加，其结果为该电容可被进一步增加。本发明的一置于另一内的该电容器 8、9 的排列产生更大的结构宽度且该面积 10 的要求仍维持相同，且因而，对相同纵横比，产生更深的沟槽图案化。此使得制造具显著加大的电极面积的电容器为可行及结果为具显著增加的电容。

10

第 1C 图标出根据本发明电容器排列，于此，该电容器被排列为在一在另一上方，该排列可被解释为在第 1B 图所示排列的极端变化，该内部电容器 9，及外部电容器 8 在他们的纵轴方向被凸出至一程度使得它们被排列为在一在另一上。接着该排列包括下方电容器 90 及亦包括上方电容器 80。

15 在此情况下，由在第 1A 图二电容器 1 所占据的相同基本面积被提供用于电容器 80、90。

图 2 显示对应于第 1A 及 1B 图的-该半导体基板 2 表面-平面视图，在一方面，成对排列的沟槽电容器 1 被整合至该半导体基板 2，此对应于在第 1A 图所说明的排列。面积 10 的外部周围 13，其由根据本发明电容器排列所占据，被说明以进行比较用途。对两种排列，排除在相邻电容器间的相互作用之该最小面积要求 7 以断线说明。显然的对在基板表面的相同面积要求 7，与电容器 1 相较，根据本发明电容器排列的电极具显著较大的周围及因而亦具显著较大的电极区域。被排列为在一在另一内及被排列于在该周围 13 内的该二电容器-该相互相对的侧边接触连接-于下进一步叙述使得持续使用中间连接及选择晶体管的习知配置为可能。

20

25

在第 1B 图中，根据本发明电容器排列被排列于沟槽内，其侧壁基本上自上方沟槽开孔垂直地至该沟槽的下方端点。排列于该基板表面的沟槽开孔之面积因而基本上对应于穿过该沟槽的截面区段之面积，该沟槽垂直于该沟槽纵轴排列，亦即，平行于该基板表面 3。然而，该沟槽可以瓶状方式在该基板 2 的深度延伸，在此情况下，该沟槽可在该基板表面下方被延伸（未说明）如远至在第 1B 图所说明的面积要求 7。在图 2 中，该断线 7 接着对应于被引入该基板的瓶状延伸之周围。在该基板 2 的深度的沟槽

30

之扩张可藉由如在特定位置下方的均向蚀刻（瓶状蚀刻）而达到。

如于下文所解释，在该半导体基板的面积要求维持相同，与个别排列的电容器相较，电容增加约 2 的倍数在一在另一内排列的二电容器的情况下为可能的。

5 在可能的均向扩张后，具椭圆截面区段面积的个别成对排列的习知电容器 1 典型上具椭圆短轴为 1.6F 及长轴为 2.4F 的尺寸之椭圆，此处 F 表示要被图案化的最小结构宽度。在低于经保护区域的均向扩张后，一种容纳被根据本发明同心地一在另一内地排列的该电容器之沟槽可具椭圆短轴为 3.2F 及长轴为 4.0F 的约略尺寸。在此情况下，此沟槽的该椭圆截面区域 10
10 约略对应于个别成对排列的二电容器 1 所占据的总面积。与习知个别排列的电容器 1 相较，于基板深度的经扩张部份的沟槽周围 7 因而加大 1.8 倍数。纵横比维持相同，容纳一在另一内地排列的该电容器之沟槽的较大程度使得该沟槽深度增加约 1.5 倍数。放大约 2.7 倍的电极面积可由根据本发明排列得到。然而，平均言之，根据本发明一在另一内排列的电容器皆仅
15 达约 70% 的沟槽总深度做为可用深度，此表示与二个个别排列的电容器相较，对根据本发明电容器排列得到约 1.9 倍数的电容增加。

一在另一内排列的二电容器的根据本发明结构被说明于图 3。二电容器，外部电容器 14 及内部电容器 15，被同心地一在另一内地排列于引入该基板 2 的沟槽 16。在上方区段，该沟槽 16 被提供为具第一介电体层 17，
20 其被排列于该沟槽 16 壁，在每一情况下，该外部电容器 14 包含第一及第二电极层 18 及 19，在其间第二介电体层 20 被排列。在此情况下，该第一电极层 18 延伸至结构深度 T1。该内部电容器 15 包括第二及第三电极层 19 及 21，在其间第三介电体层 22 被排列。外部电容器 14 及内部电容器 15 共同地包括该第二电极层 19，其系在该基板 2 的电位。为进行此目的，该
25 第二电极层 19 被导至在结构深度 T2 的该基板 2 且负载于在低于该结构深度 T2 的沟槽 16 下方区段由该半导体基板 2 所形成的沟槽壁。详细而言，说明于图 3 的电容器排列由外侧向内包括具厚度 d1 的第一介电体层 17，其绝缘该电容器及该基板 2，该第一介电体层 17 由具厚度 d2 的第一电极层 18 相邻，其被指定为该外部电容器 14 及用做第一电极，该第一电极层
30 18 由具厚度 d4 的第二介电体层 20 朝向该电容器排列中央及亦向下围绕，其绝缘该第一电极层 18 及该第一介电体层 17 与周围。该第二介电体层 20 接着为第二电极层 19，在图 3 中，第二电极层 19 被图标地区分为具厚度 d5

的第二电极层之第一部份 19a 及亦包括具厚度 d_7 的第二电极层之第一部份 19b 区段 19a、19b 的说明被进一步讨论如下。该第二电极层 19 在其下方区段被导入该基板 2，在其内部区域，该第二电极层 19 由具厚度 d_8 的第三介电体层 22 覆盖。其于空穴以内部第三电极层 21 填充。

5 为清楚目的，该说明未示出在该沟槽的环管区域的额外绝缘层，其为必要的以绝缘一在另一内排列的电容器连接与在该深度的参考电压，此种环管氧化物系类似于已使用于习知沟槽电容器。

内部及外部电容器 14、15 较佳为具相同电容，在此情况下，该电容由该电极层进入该沟槽 16 的深度之程度而被控制，第一、第二及第三电极层 10 18、19、21 的含量被详细解释于下。

外部及内部电容器 14、15 于具深度 t 于半径 r 的圆筒沟槽 16 被图案化，该外部电容器 14 进入该沟槽 16 至深度 xt ，于此 x 为提供给该外部电容器的该沟槽 16 深度之比例即可假设为介于零及一之间的值。该内部电容器 15 进入该沟槽 16 至深度 t ，在此情况下，该第二电极层 19 直接位于该半导体 15 基板 2 上，所叙述排列确保二电容器 14、15 由在参考电位的该第二电极层 19 彼此绝缘。

电容器的电容系正比于其电极面积，对该外部电容器 14，存在被指定为该第一电极层 18 的二圆柱侧面积，具个别半径 $r_1=r-1/2*d_1$ 及 $r_2=r-d_1-d_2-1/2*d_4$ 及具长度 xt 之外部及内部圆柱侧面积。所以该外部电容器 14 的 20 电容约略为 $C_a = (C/A) * (2\pi * r_1 * xt + 2\pi * r_2 * xt)$ ，其中 C/A 表示比电容（电容每单位面积）。被指定为该内部电容器 15 的电极面积系由被指定为该第三电极层 21 的二圆柱侧面积组成。在长度 xt 的一区域，其具半径 $r_3=r-d_1-d_2-d_4-d_5-d_7-1/2*d_8$ 及，在长度 $t-xt$ 的第二区域，其具平均半径 $r_4=r-1/2*d_4-1/2*d_5-d_7-1/2*d_8$ ，则该内部电容器 15 的电容约略为

25 $C_i = (C/A) * (2\pi * (r_3) * (xt) + 2\pi * (r_4) * (1-x) * t)$ 。

假设第一（17）、第二（20）及第三（22）介电体层具相同厚度 d 且该外部电容器 14 及该内部电容器 15 具相同电容，由该第一电容器进入该沟槽 16 所到达的该沟槽 16 的深度或高度 t 之比例 x 可订定为

$$x = \left(\frac{r-1/2*d_5-d_7-d}{2r+1/2*d_5-1/2*d} \right)。$$

30 为驱动说明于图 3 的电容器 14 及 15 的排列，该个别电及必须被连接至经指定选择晶体管或该字符线路及位线路。

图 4 图标地说明根据本发明电容器排列的电极之不对称接触连接，说

明于图 4 的接触连接被具体化于说明于图 3 的排列之上方区段，所以对应于图 3 说明的下方区段之下方区段未说明于图 4。

该第二电极层 19 系在参考电位，如图 3 所说明，该电连接被具体化为在该沟槽 16 的下方区段的第二接触。至该第一电极层 18 及至该第二电极层 19 的电连接被具体化为于基板顶部侧的方向的在该沟槽 16 的上方区段。因向外排列的第一电极层 18 圆柱地围绕该向内排列的第三电极层 21，至个别电极层的电连接必须被导引使得该电极层或其导线彼此电绝缘。所以，该第一电极层 18 及该第三电极层 21 的连接以一种方式被具体化使得在说明于图 4 的排列之情况下，该第一电极层 18 的连接被向右手侧导出，所以该内部第三电极层 21 的电连接可在向外排列的第一电极层 18 上方被导向外界及与该外部第一电极层 18 或其连接电绝缘。

详细言之，于图 4 所说明的排列，该第一电极层 18 的连接经由该传导区段 23 在于图 4 说明的上方右手区段开始，其形成第一接触。该传导区段 23 仅覆盖该第一电极层 18 的上方周围的一区段，在该第一电极层 18 的上方周围的其余部份，该第一电极层 18 由该第二绝缘体层 23 绝缘。在由该第二绝缘体层 24a 所指定的区域，至该向内排列的第三电极层 21 的电连接可朝外部被指引。该向内排列的第三电极层 21 的电连接经由该传导区段 25 及 26 被作动，其形成第三接触。于图 4 所说明的排列，该传导区段 26 被导向在第二绝缘体层 24a 的上方右手侧，使得该第三电极层 21 及该传导区段 25 及 26 与该第一电极层 18 电绝缘。另一方面，该第二电极层 19 及该第三电极层 21 由该第二绝缘体层 24a 及第一绝缘体层 27 电绝缘。最后，该排列由该绝缘层 28 朝向该基板顶部侧结束。

至该外部第一电极层 18 及至该内部第三电极层 21 的连接之空间要求，于图 3 所说明的该第二电极层 19、第三介电体层 22 及亦第三电极层 21 之上方终点相对应地往回距离 h 。该第三介电体层 22 及该第三电极层 21 现在不再具长度 t ，而是基本上仅具长度 $t-h$ 。该第一电极层 18 及该第一介电体层 17 基本上具长度 $xt-h/i$ 。在于图 4 所说明排列的右手侧，该第一电极层 18 更进一步减少及基本上具长度 $xt-h/j$ ，于此 j 大于 1 及少于 i ，对被指定至该内部电容器 15 的该第三电极层 21 的接触连接，此为必需的。在相反侧，由电极材料制造的传导层 23 被施用于该第一电极层 18 及被施用于该第一介电体层 17 及该第二介电体层 20，该传导层产生至该第一电极层 18 的第一接触，其朝向说明的左手侧为开放的，其于空穴部份以第一及第二

绝缘体层 27、24 填充。以上方朝下的 L 的型式之传导区段 25 (用于该第三电极层 21 的接触连接) 被引入该绝缘体层 27 及 24, 此以一种方式被进行使得该第一电极层 18 侧边排列的第一接触点 29 及该第三电极层 21 的第三接触点 30 在该沟槽 16 开孔得周围基本上彼此相对地排列。

- 5 为清楚说明, 该说明未示出在该环管区域以环管氧化物或 STI 隔离型式的其它绝缘层, 可能的环管绝缘包括特别是埋藏的环管氧化物, 但原则为 SOI。该环管绝缘为必要的以绝缘该连接 29 及 30 与在该基板深度的参考电压。其它侧边隔离由 STI 结构确保。

10 于图 4 所说明的接触连接之优点为根据本发明电容器排列可进一步被用于电容器及晶体管的排列之习知配置以制造 DRAM 内存胞元。

制造根据本发明二电容器之排列 (被排列为一在另一内) 的基本方法步骤被说明于第 5A 至 5G 图。首先, 沟槽 16 藉由习知蚀刻方法被引入半导体基板 2, 之后, 覆盖所有该沟槽 16 壁的第一介电体层 17 藉由保形沉积而被沉积, 例如藉由 CVD (CVD=化学气相沉积) 或 ALD 方法 (ALD=原子层沉积)。该第一电极层 18 藉由保形沉积方法在整个区域施用于该第一介电体层 17。为图案化该第一电极层 18 及该第一介电体层 17, 用做第一蚀刻屏蔽 31 及到达结构深度 T1 的第一层接着被施用于该第一电极层 18。该第一蚀刻屏蔽 31 可由使用非保形 ALD 方法以短时间脉冲产生。之后, 如第 5B 图所示, 该第一电极层 18 及该第一介电体层 17 在排列于低于该结构深度 T1 的该沟槽 16 的下方区域, 在未由该该第一蚀刻屏蔽 31 覆盖的区段被移除, 如此, 该基板 2 在该沟槽 16 的下方区段现在为未被覆盖的, 接着该第一蚀刻屏蔽 31 再次被移除, 做为替代方案, 该蚀刻屏蔽亦可与该介电体层 17 一起被移除。

25 如第 5C 图所说明, 第二介电体层 20 接着被沉积于该第一电极层 18 及在该沟槽 16 的下方区段为未被覆盖的该基板 2 的区域, 该第一电极层 18 接着由该介电体层 17 及 20 包覆。同样地, 在该沟槽 16 的下方区段所有未被覆盖的该基板区域由该介电体层 20 覆盖。

30 该第二电极层 19 的第一部份 19a (第一部份完全覆盖该第二介电体层 20) 接着被沉积做为薄层。为进一步图案化, 用做第二蚀刻屏蔽 32 的层被沉积于形成该第二电极层 19 的第一部份 19a 的薄层。该第二蚀刻屏蔽 32 同样地由使用非保形 ALD 沉积以短时间脉冲产生, 该第二蚀刻屏蔽 32 自该沟槽 16 的上方边缘延伸至低于该第一电极层 18 (其被排列于该结构深

度 T1) 的下方终点的该结构深度 T2。

之后，未由该该第一蚀刻屏蔽 31 覆盖的该第二介电体层 20 及该第二电极层 19 的第一部份 19a 的区段再次被移除，故该半导体基板 2 的表面在该沟槽 16 的下方区段再次为未被覆盖的。之后，如第 5D 图所说明，用做第二蚀刻屏蔽 32 的层再次被移除。做为替代方案，该蚀刻屏蔽亦可与该介电体层 20 一起被移除。

该第二电极层 19 的第二部份 19b 接着被沉积于在该沟槽 16 的所有未被覆盖区域。如第 5E 图所说明，在该沟槽 16 的上方区段，该第二部份 19b 补充该第一部份 19a 以形成该第二电极层 19。在该沟槽 16 的下方区段，该第二电极层 19 的第二部份 19b 直接被排列于该半导体基板 2 的表面上。在该完成电容器排列中，因而该第二电极层 19 系在该基板 2 的电位。该外部电容器系藉由先前所进行的工作步骤被建构。

为以的一种方式形成该层 17、18、20 使得他们仅覆盖该沟槽侧壁至经订定结构深度 T1、T2，相关层亦可藉由非保形 ALD 方法被直接沉积，以此种方式可免除蚀刻屏蔽。

为得到内部电容器，如第 5F 图所说明，该第二电极层 19 可以第三介电体层 22 覆盖于整个区域。最后，如第 5G 图所说明，仍留在该沟槽 16 的空穴以第三电极层 21 填充。

所有电极层可藉由保形沉积方法被施用，合适方法为如 LPCVD (低压化学气相沉积) 及 ALD。

用做蚀刻屏蔽 31、32 的层可由如 Al_2O_3 组成，除了藉由短时间脉冲的非保形沉积，这些层亦可以一种方式被图案化使得该沟槽 16 在下方区段以如抗蚀剂填充，之后，该层在低温方法的协助下被保形地沉积且后续被图案化以藉由非均向蚀刻形成该第一蚀刻屏蔽 31 或第二蚀刻屏蔽 32，最后，该抗蚀剂亦再次自该沟槽的下方区域被移除。

根据本发明如上所述所制造的根据本发明电容器排列的接触连接的基本方法步骤被说明于第 6A 至 6N 图。

第 6A 图显示如在制造根据本发明电容器排列的的上述方法步骤后所得到的排列之上方区段，所以第 6A 图的说明对应于第 5G 图的说明之上方区段。引入该沟槽 16 的个别层在该基板 2 的表面连续，所以第一介电体层 17、第一电极层 18、第二介电体层 20、第二电极层 19、第三介电体层 22 及第三电极层 21 被排列于该沟槽 16 及在该基板 2 的表面上。在此说明中，

该基板 2 包括由半导体基板（一般为硅）所制造的层 2a，及由氧化硅或氮化物所制造的层 2b。

首先，该内部第三电极层 21 被自该沟槽 16 移除至特定结构深度 T3，由此得到对该基板顶部侧为打开的空穴 33，此系藉由如选择均向蚀刻方法完成，例如由使用均向氟电浆蚀刻。该第三介电体层 22 的未被覆盖区段接着被移除，如由使用合适蚀刻剂溶液的均向蚀刻。在下一工作步骤，该第二电极层 19 的未被覆盖区段被移除，由使用均向氟电浆。如第 6B 图所说明，空穴 33 再次产生于该沟槽 16 的上方区段，此空穴的侧壁由该第二介电体层 20 形成及其空穴的下方终点基本上由该第三电极层 21 及该第二电极层 19 的未被覆盖区域形成。

如第 6C 图所说明，相当厚的第一绝缘体层 27 接着藉由保形沉积方法施用于在该空穴 33 的所有未被覆盖区域，该第一绝缘体层 27 藉由如 CVD 方法沉积。

为图案化该第一绝缘体层 27 及该第二介电体层 20，如硅层 34 被沉积于该第一绝缘体层 27。如第 6D 图所说明，该硅层 34 接着在离子辅助蚀刻方法中（IBE），该空穴 33 的一侧再次被移除。藉由关于该基板表面的离子束 35 的斜角入射，该入射离子仅以区段撞击该硅层 34，且该硅层仅在被撞击处移除。

该第一绝缘体层 27 的未被覆盖区段及该第二介电体层 20 的相对应区段被接着由均向蚀刻移除，结果为得到如第 6E 图所说明的结构。该绝缘体层 27 在该空穴 33 内被不对称地回蚀，亦即，其在沿该空穴 33 的相对侧壁具不同的程度。该绝缘体层 27 的不对称地回蚀的结果为部份该第一电极层 18 于该空穴 33 的上方区段再次为未被覆盖的。

该硅层 34 及该第一电极层 18 接着藉由均向蚀刻方法于该未被覆盖区域被移除，得到于第 6F 图所说明的排列。于该沟槽 16，沿该侧壁，该第一电极层 18 在垂直于该基板表面的方向显现不同程度。朝向该基板 2 的侧边，该第一电极层 18 皆由该第一介电体层 17 绝缘。在该空穴 33 的方向，该第一电极层 18 系由该第二介电体层 20 绝缘，及在方沟槽区段，系由该第一绝缘体层 27 绝缘。该第一电极层 18 仅在于该基板表面的方向之其上方端点为未被覆盖的。

如第 6G 图所示，该第二绝缘体层 24 被保形地沉积于在该空穴 33 的所有未被覆盖的区域，结果在该空穴 33 开孔的方向仍为未被覆盖的该第一

电极层 18 之区段被关闭，该第一电极层 18 的上方端点在该沟槽 16 的二侧壁被回缩回到该沟槽内的不同程度且由该介电体层 17、20 及 24 绝缘。

在下一方法步骤，该第三电极层 21 再次被打开。因此目的，该第一及第二绝缘体层 24、27 的区段（其被排列于在该第三电极层 21 的该空穴 33 的下方区域）在单垂直进入该深度的蚀刻之非均向蚀刻方法的协助下被移除。第 6H 图所说明的排列以此方式得到。该空穴 33 被回缩回到该第三电极层 21，亦即该第三电极层 21 在该空穴 33 底部为未被覆盖的。该第一电极层 18 及该第二电极层 19 的上方端点对该空穴 33 藉由该介电体层 21、27、24 及 22 仍为电绝缘的。

10 该空穴 33 接着以电极材料 36 填充，结果为该第三电极层 21 被加长至所说明结构的表面及可被导置在该第二电极层 19 的右手区段的在图中的右手侧。过多的材料于化学机械 光 CMP 步骤之协助在该半导体基板 2 的表面被移除，其结果为得到于第 6I 图所说明的结构。

15 在该基板顶部侧，该第一电极层 18 的表面 18a 为未被覆盖的且该电极材料 36 在该基板表面亦为未被覆盖的，至该第三电极层 21 的电连接经由该电极材料被作动。如在图 5A-5G 的情况于上所述，该第二电极层 19 的连接在该沟槽 16 的下方区段或沟槽电容器被作动。

20 在进一步方法步骤，该第一电极层 18 及该第三电极层 21 被电连接至该半导体基板 2 的电活性区域。为进行此目的，必须移除分别被排列于电极层 18、21 或 36 及半导体基板 2b 间的该第一介电体层 17 的相对应区段。

25 为揭露该第一介电体层 17 及该第二绝缘体层 24 的相对应区段，首先，如于第 6J 图所说明，该第一电极层 18 的材料及被指定为该第三电极层 21 的电极材料 36 被再次回蚀至结构深度 T4，如使用氟电浆。得到凹陷 37 及 38，在凹陷 37 的情况下其侧壁由该第一介电体层 17 及该第二介电体层 20 的区段形成，及在凹陷 38 的情况下其侧壁由该第二绝缘体层 24a、24c 的区段形成。该凹陷 37 及 38 的下方终点分别由该第一电极层 18 的区域及被指定为该第三电极层 21 的电极材料 36 的区域形成。

30 该介电体层 17、20 及 24a、24c 的未被覆盖区段接着由蚀刻移除，如于第 6K 图所说明。在此情况下，该半导体基板 2 的个别接触区域 39 及 40 在凹陷 37 及 38 为未被覆盖的。该第一绝缘体层 27 的区段 27a 保留在该凹陷 37、38 间。

由电极材料，较佳为多晶硅，所制造的层接着被施用，由此填充该凹

陷 37、38，过多的材料于藉由 CMP 的平面化步骤自该基板表面被移除，如于第 6L 图所说明，在平面化后，得到传导区段 23，其被排列于该第一电极层 18 的上方终点上，及得到传导区段 26，其被排列于被指定为该第三电极层 21 的电极材料 36 上。该区段 23、26 再其一侧分别相邻该基板 2 的接触区域 39 及 40，经由接触区域 39 及 40 可作动至如被指定为个别电容器的选择晶体管之电连接。首先传导区段 23 及第二传导区段 26 由该第一绝缘体层 27 的区段 27a 彼此电绝缘。

为绝缘该第一电极层 18 及该第三电极层 21 与该基板表面，该传导区段 23 及 26 先被回蚀至结构深度 T5，如于氟电浆中。得到如于第 6M 图所说明填充空间 41 及 42。

该填充空间 41 及 42 以介电体较佳为覆盖氧化物 43 填充，最后，进一步平面化步骤被执行。说明于第 6N 图的根据本发明电容器排列具被排列于相互相对侧的接触点 39 及 40 及经由此其能够产生分别至该第一电极层 18 及该第三电极层 21 的电连接。排列于内部的至该第三电极层 21 的接触点 40 在此情况下被导至排列于第 6N 图右手侧的该第一电极层 18 的调回区段上方的右手侧。在该沟槽的相对侧，至该第一电极层 18 的接触点 40 被导引出于第 6N 图的左手侧。所以根据本发明电容器排列的内部及外部电容器可彼此独立地被驱动。

不消说，说明于第 5 及 6 图的工作步骤仅显示根据本发明电容器装置的制造之基本特性，因而，其它绝缘层亦可被提供于该沟槽的上方区段如沟槽电容器所惯常使用，以绝缘至该第一电极层 18 及至该第三电极层 21 的上方连接与该参考电位。特别是埋藏环管氧化物被考虑做为环管绝缘，SOI（绝缘体上晶硅）亦可被使用，其中由介电体制做的绝缘层被提供于距该基板表面一距离，该层由根据本发明电容器穿过，故至该第一电极层 18 及至该第三电极层 21 的连接被排列于该介电体层上方，然而至该第二电极层 19（其系位于参考电位）被排列于低于该绝缘层。

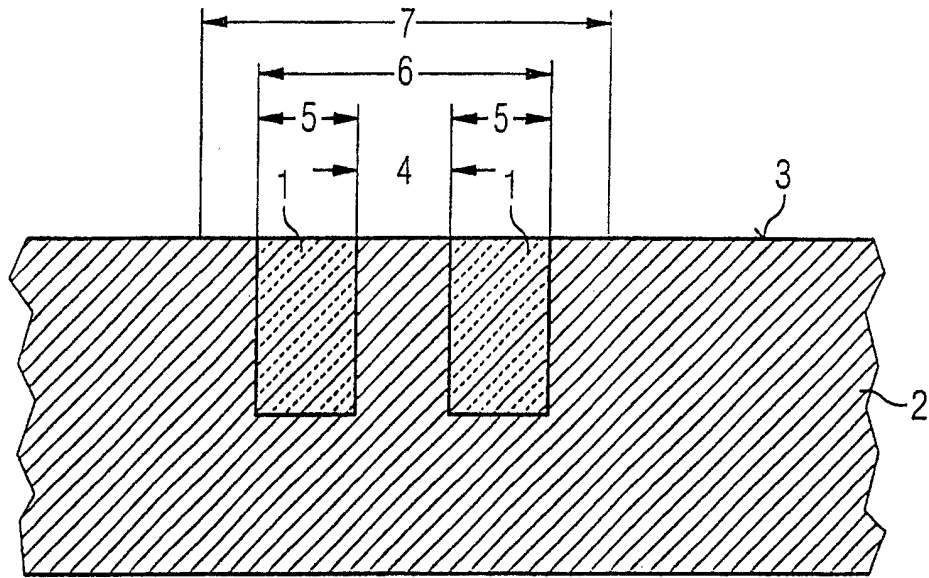


图 1A

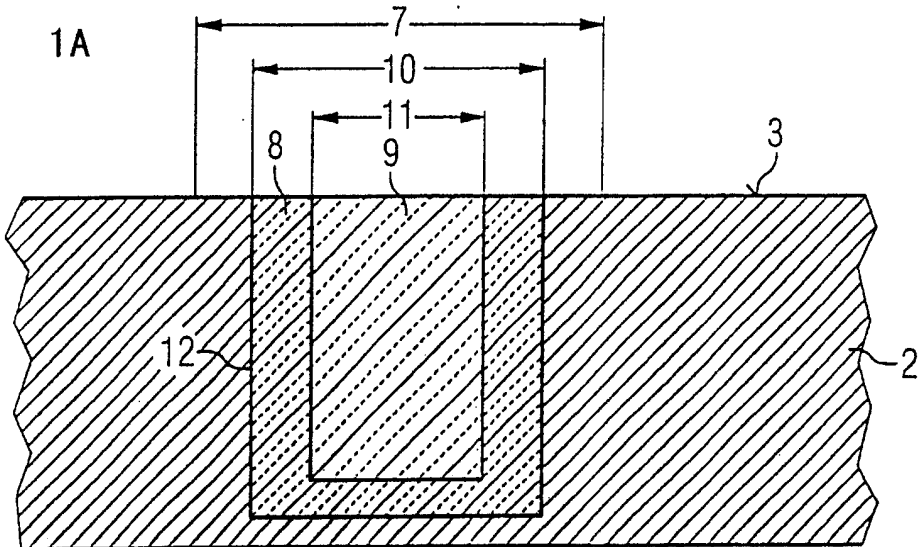


图 1B

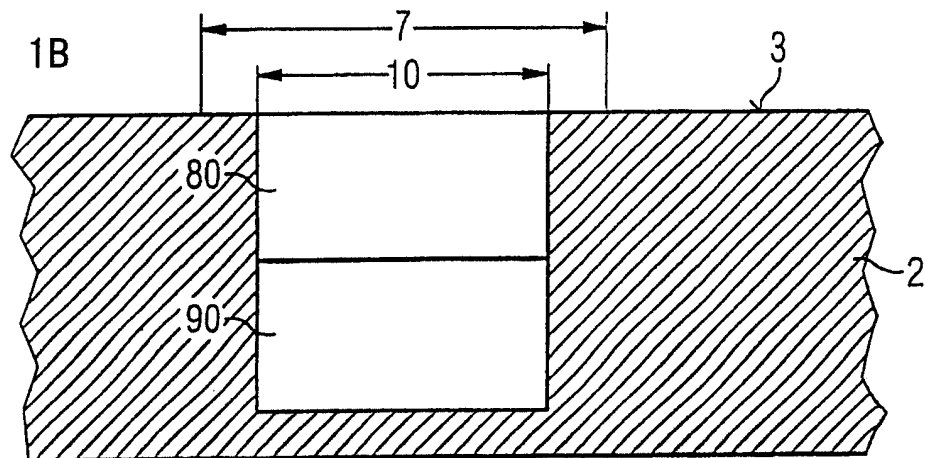


图 1C

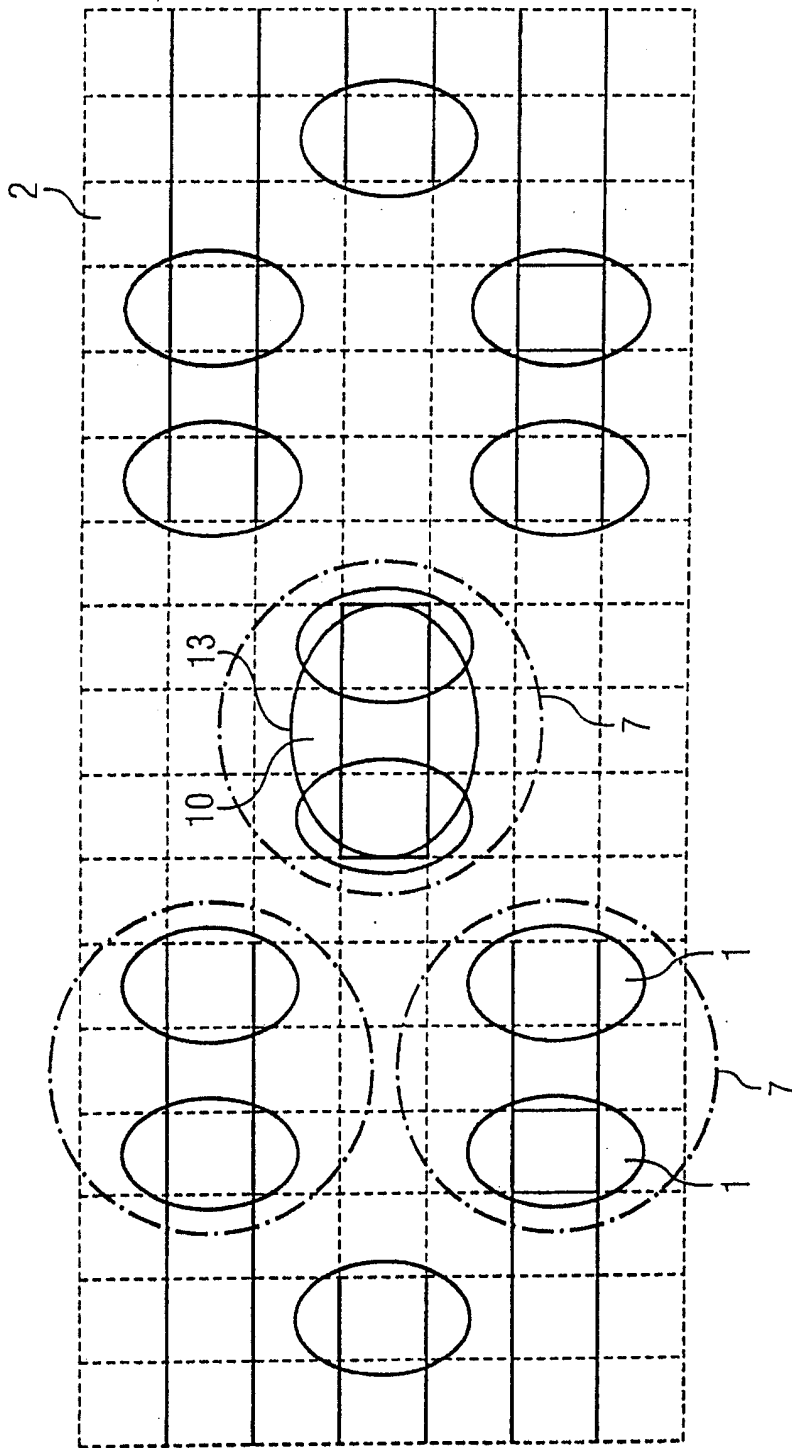


图 2

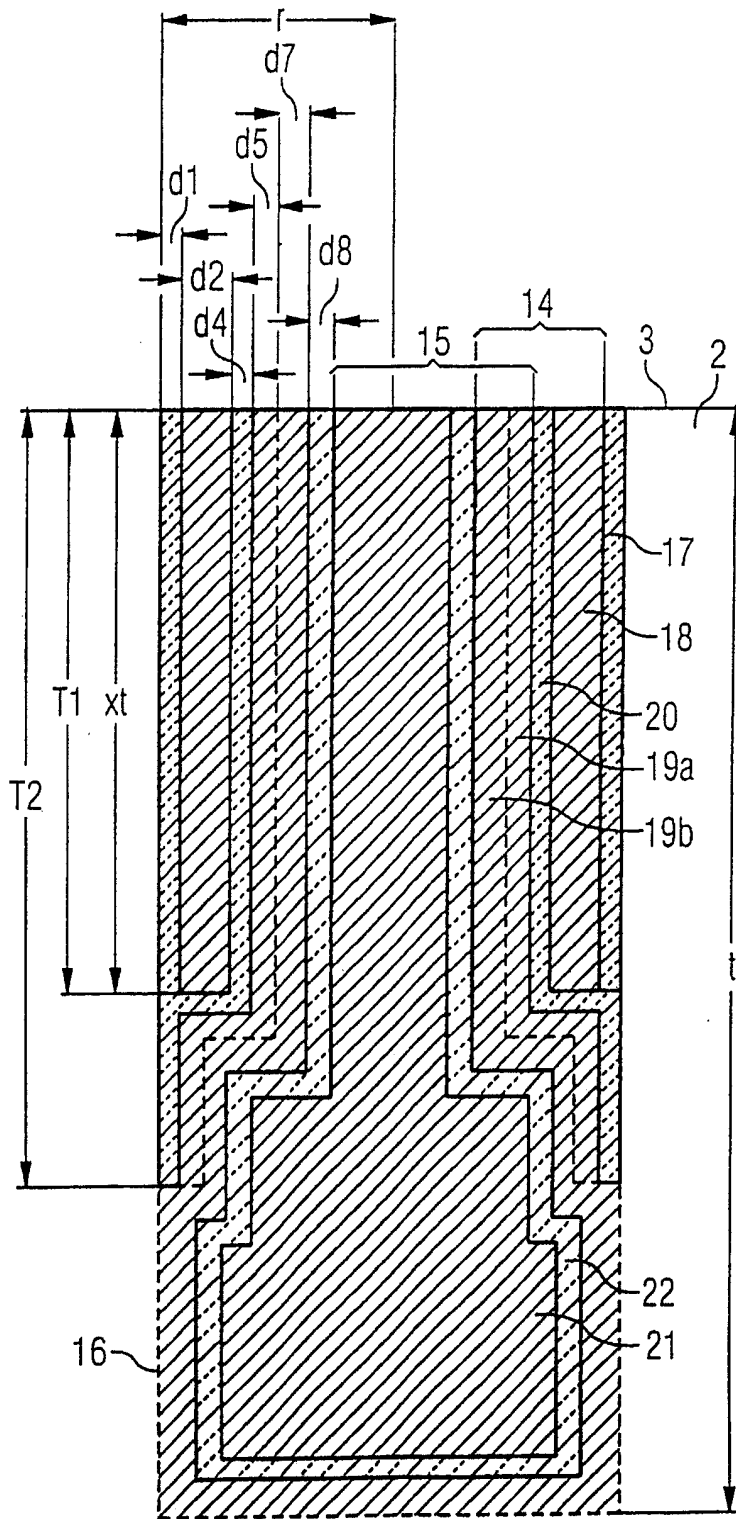


图 3

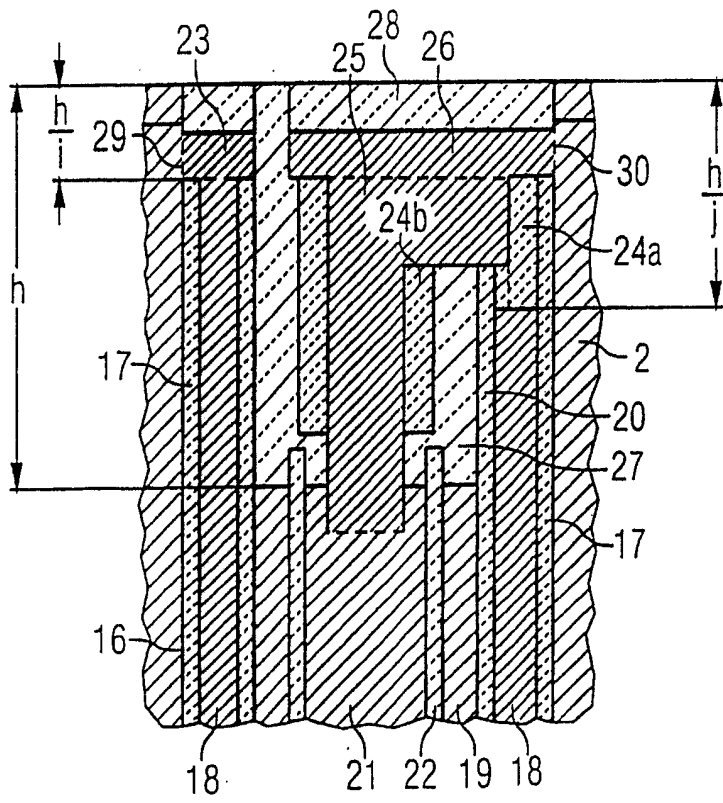


图 4

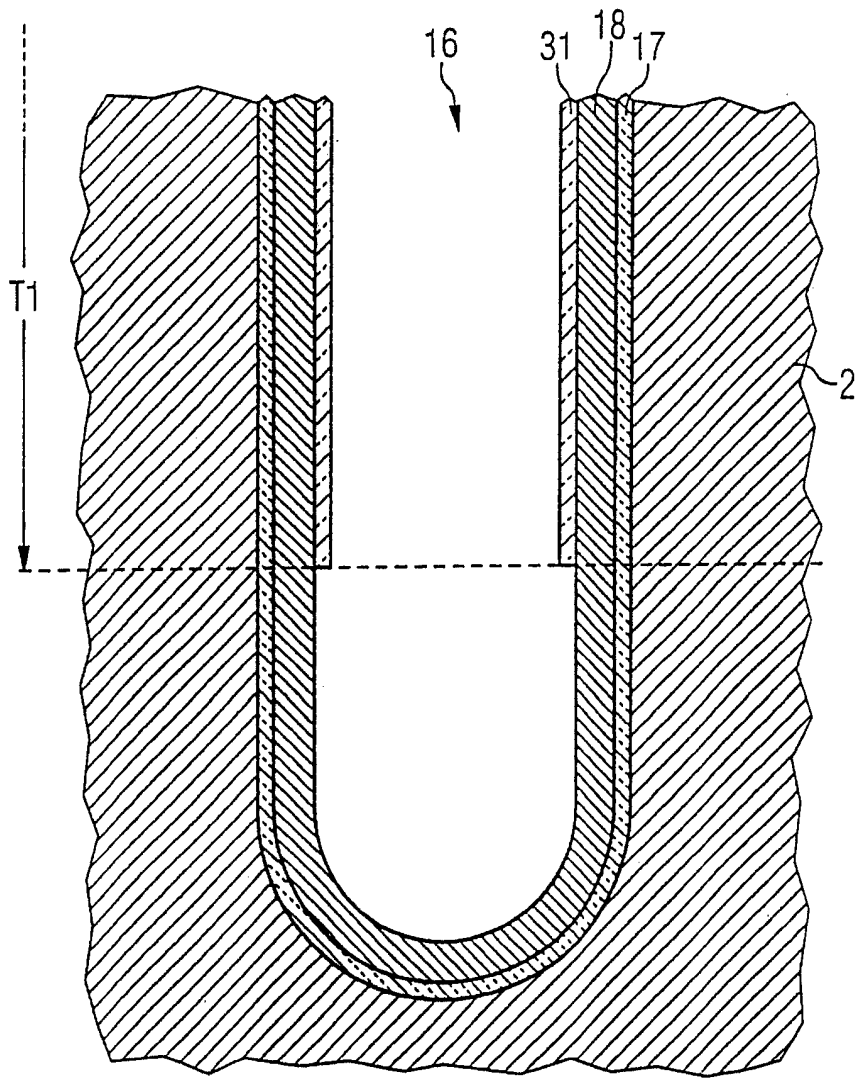


图 5A

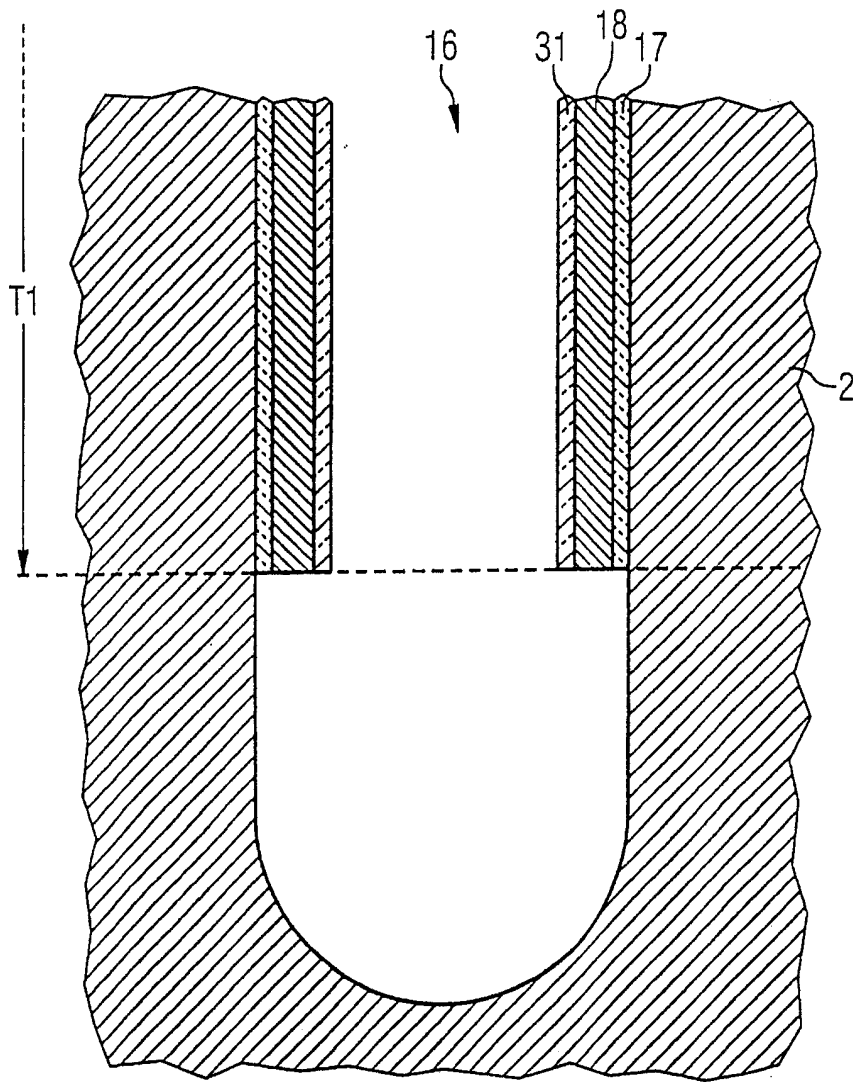


图 5B

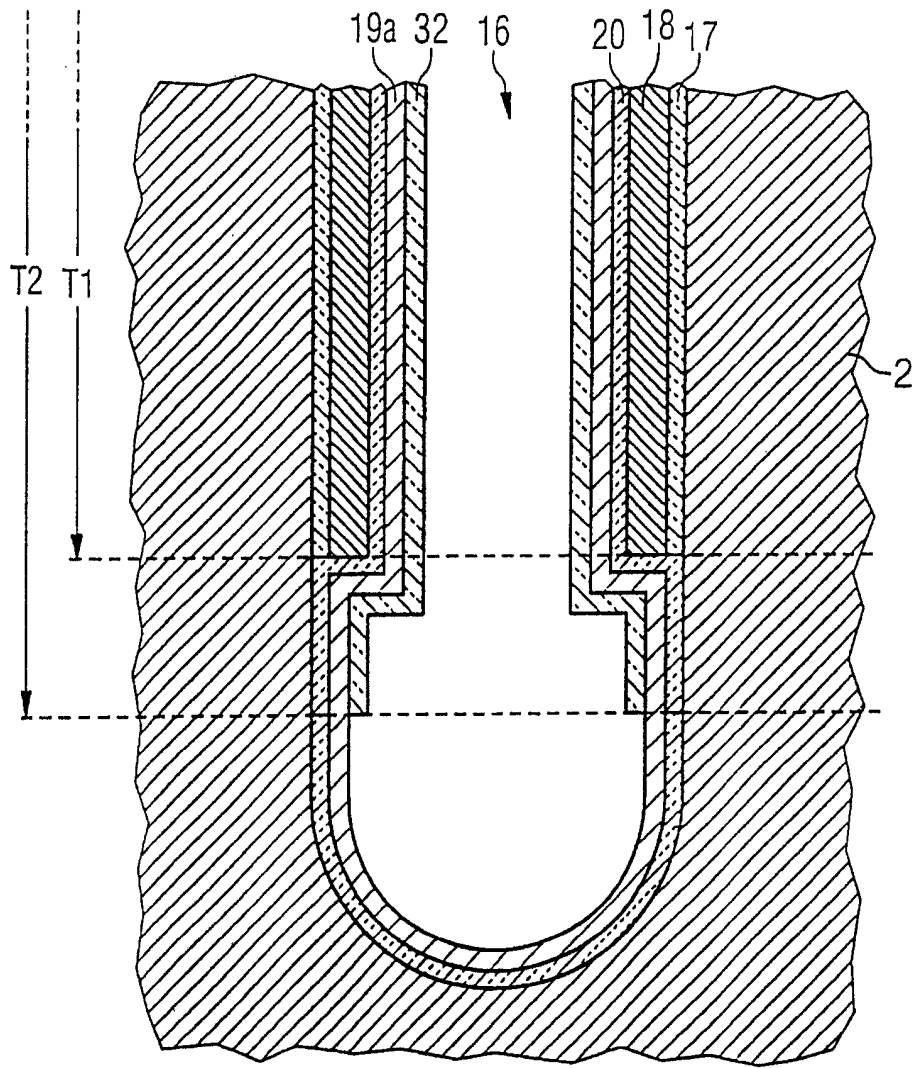


图 5C

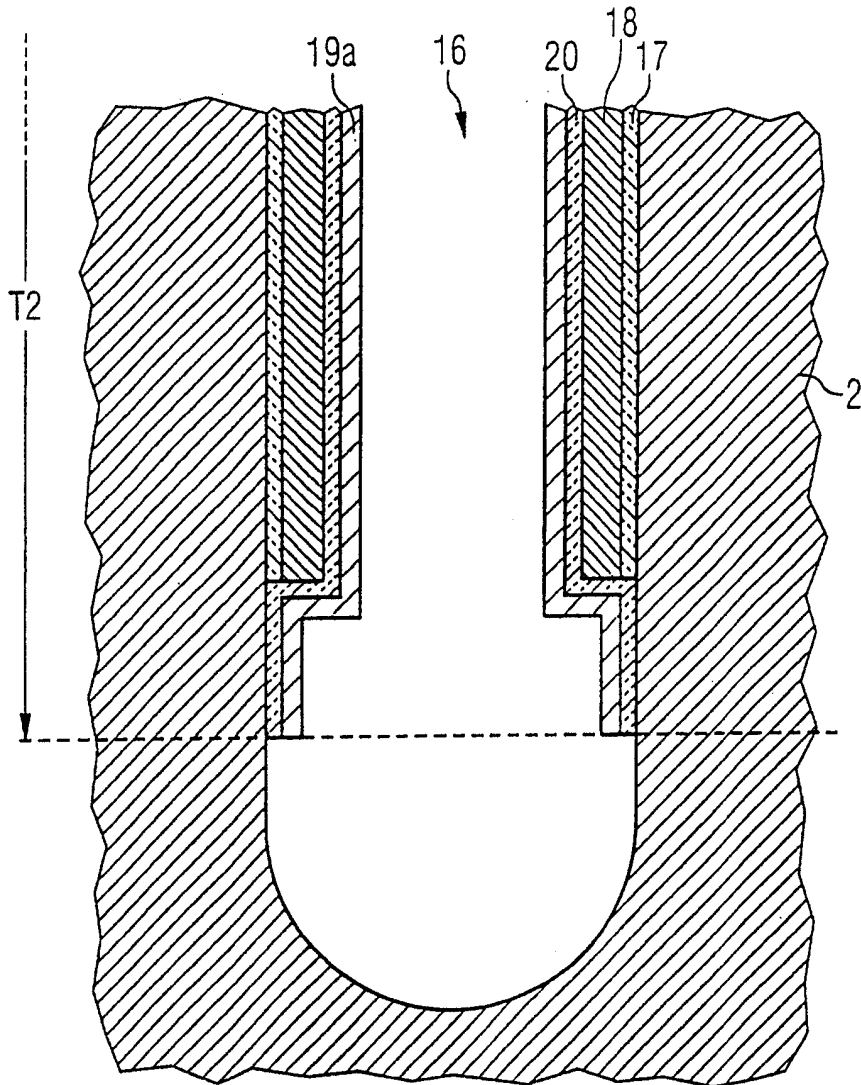


图 5D

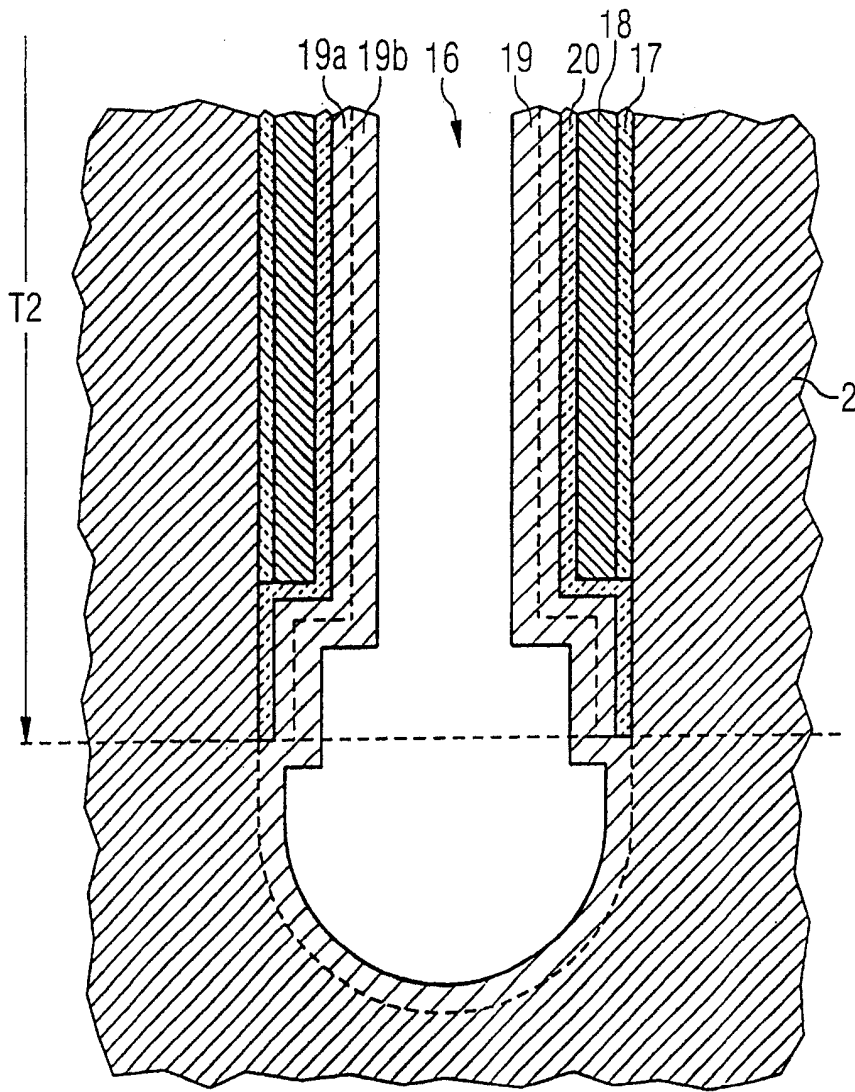


图 5E

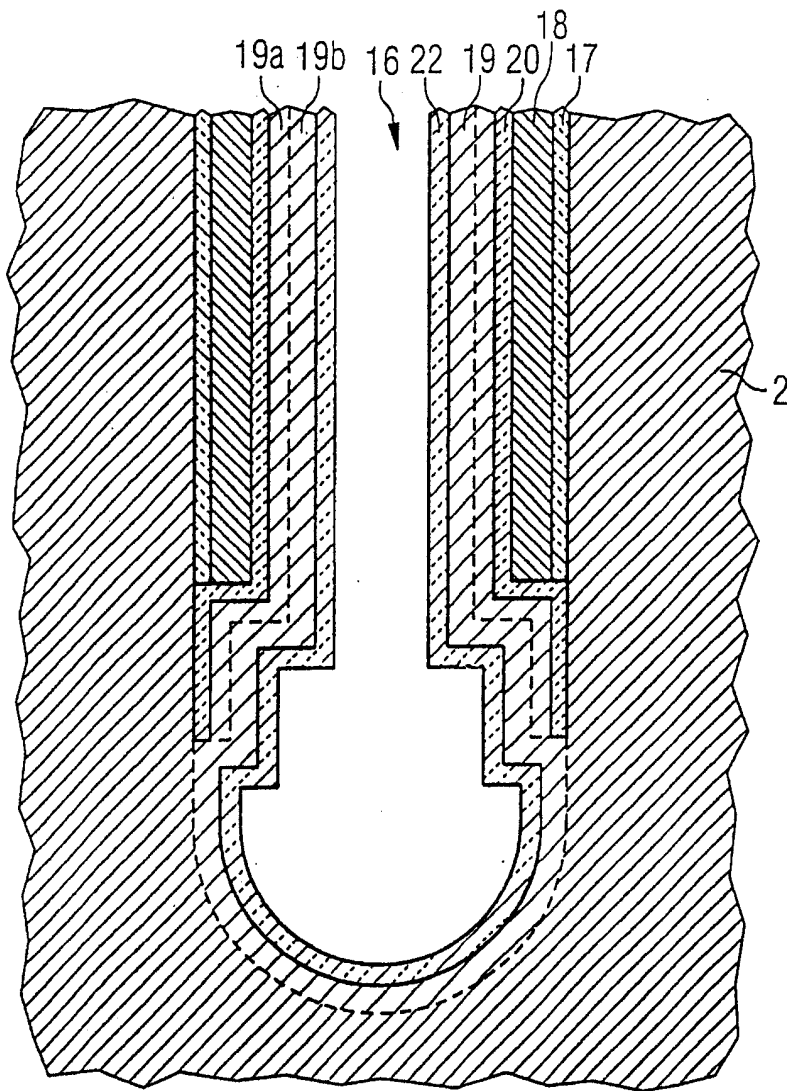


图 5F

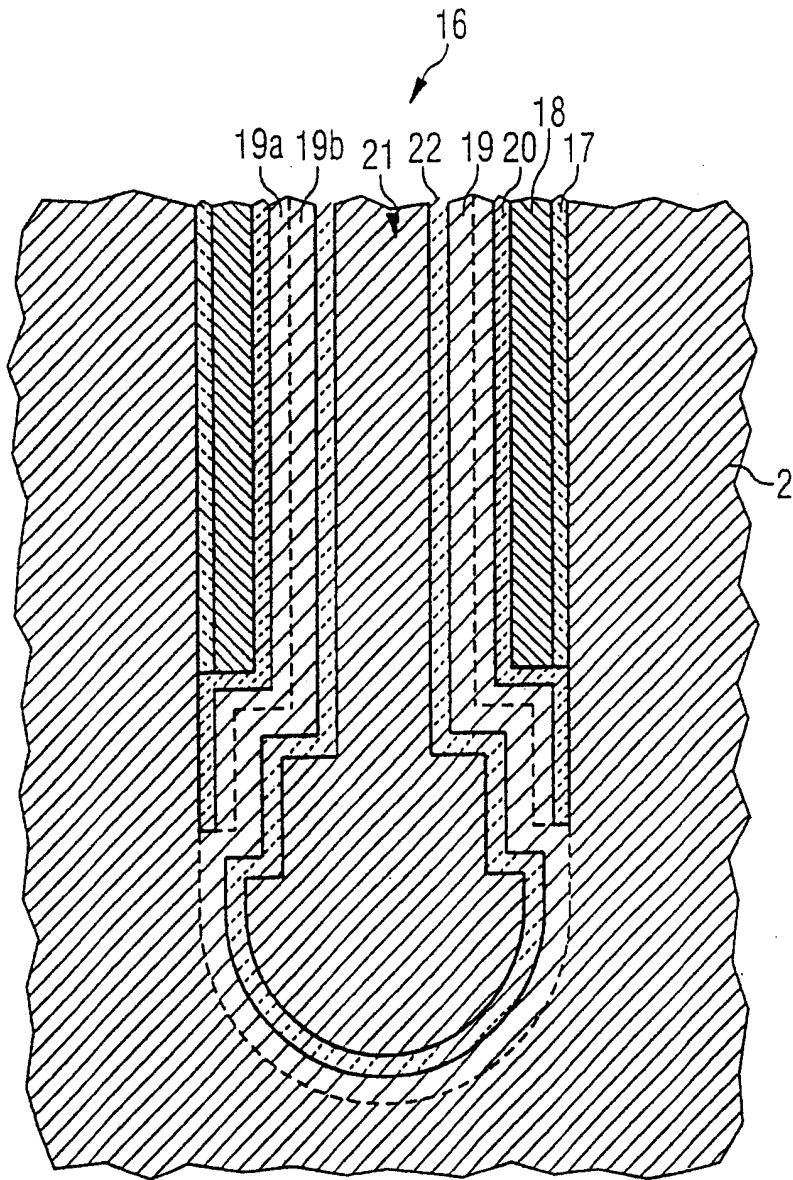


图 5G

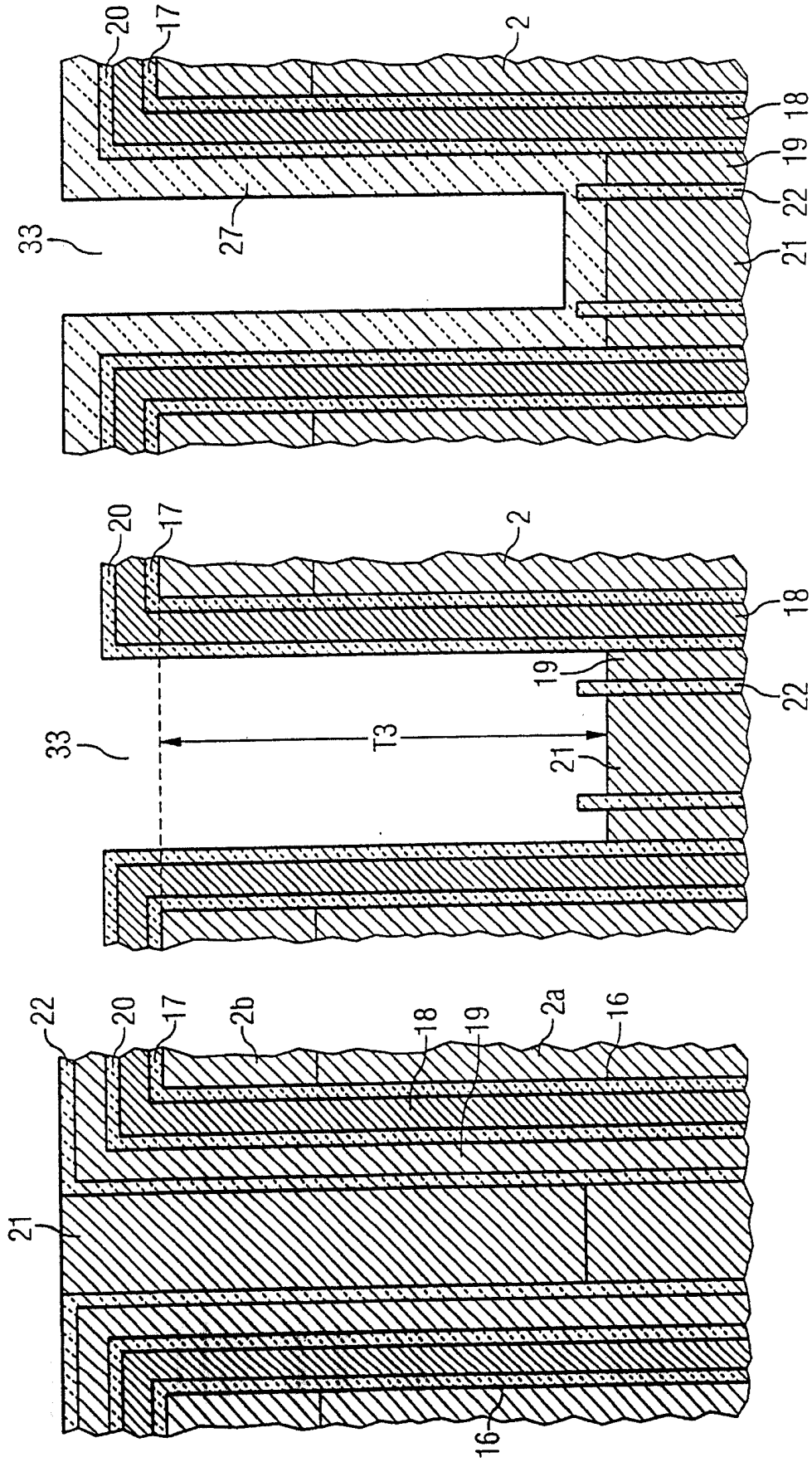


图 6A

图 6B

图 6C

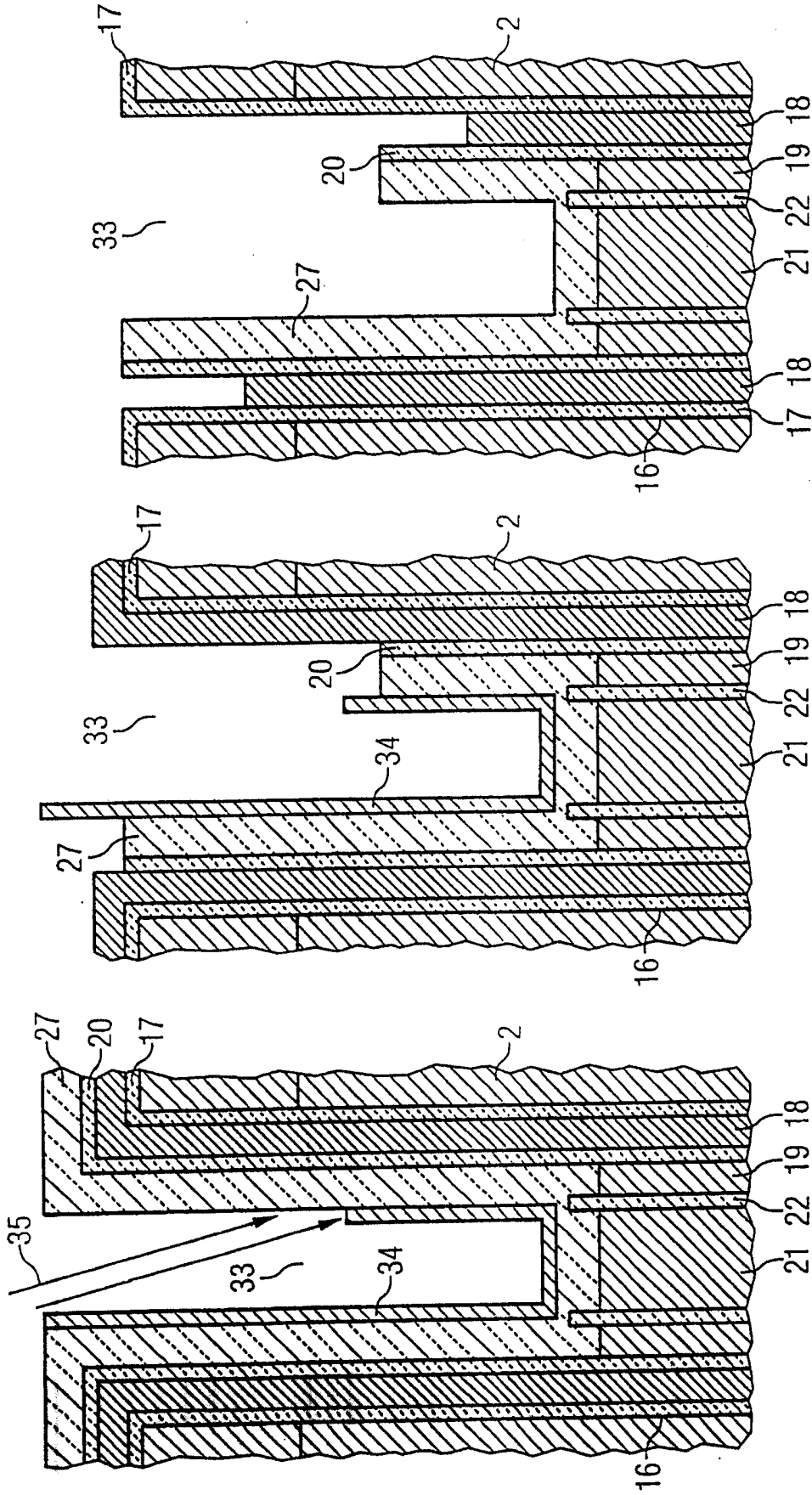


图 6D

图 6E

图 6F

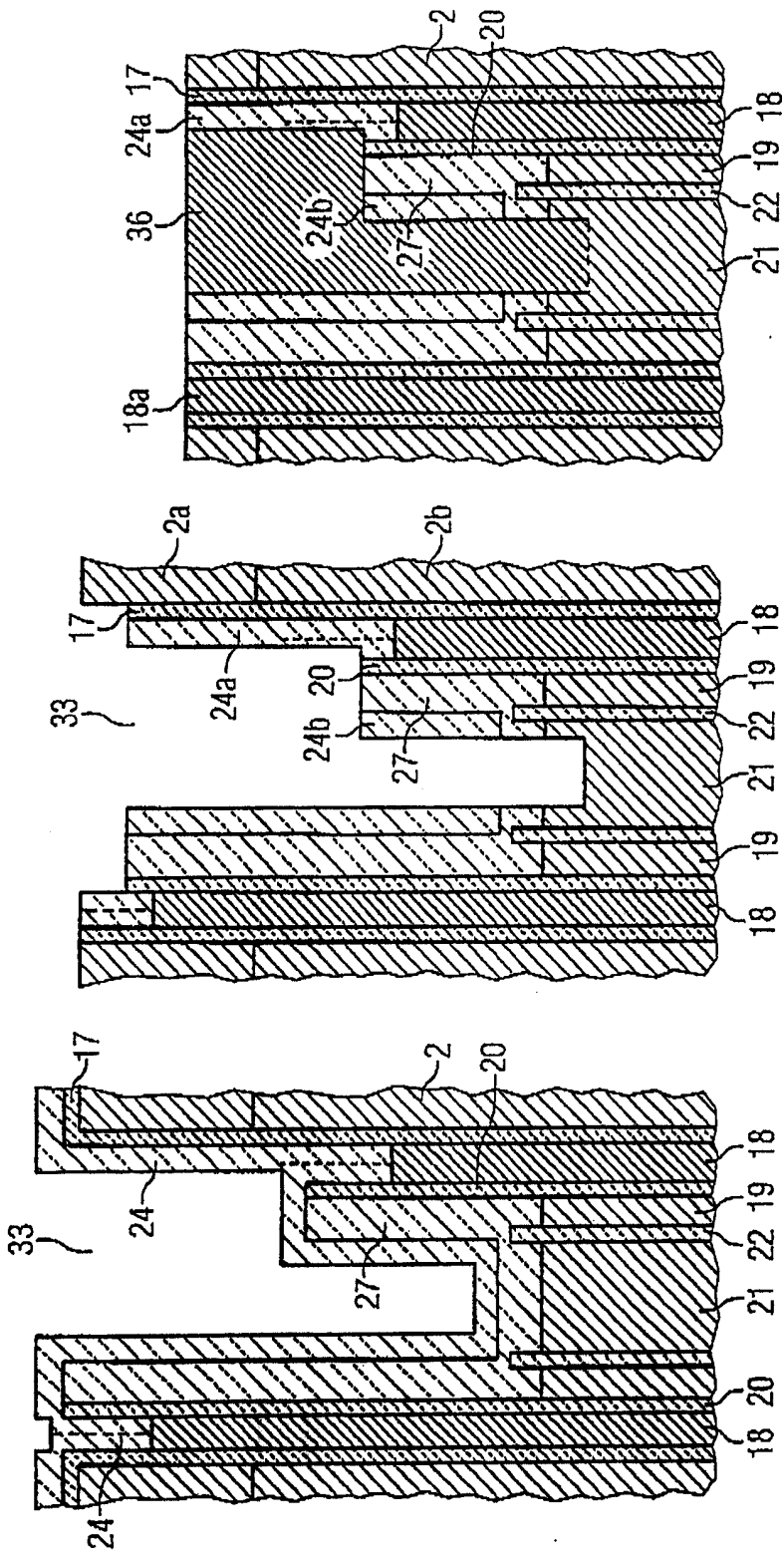


图 6I

图 6H

图 6G

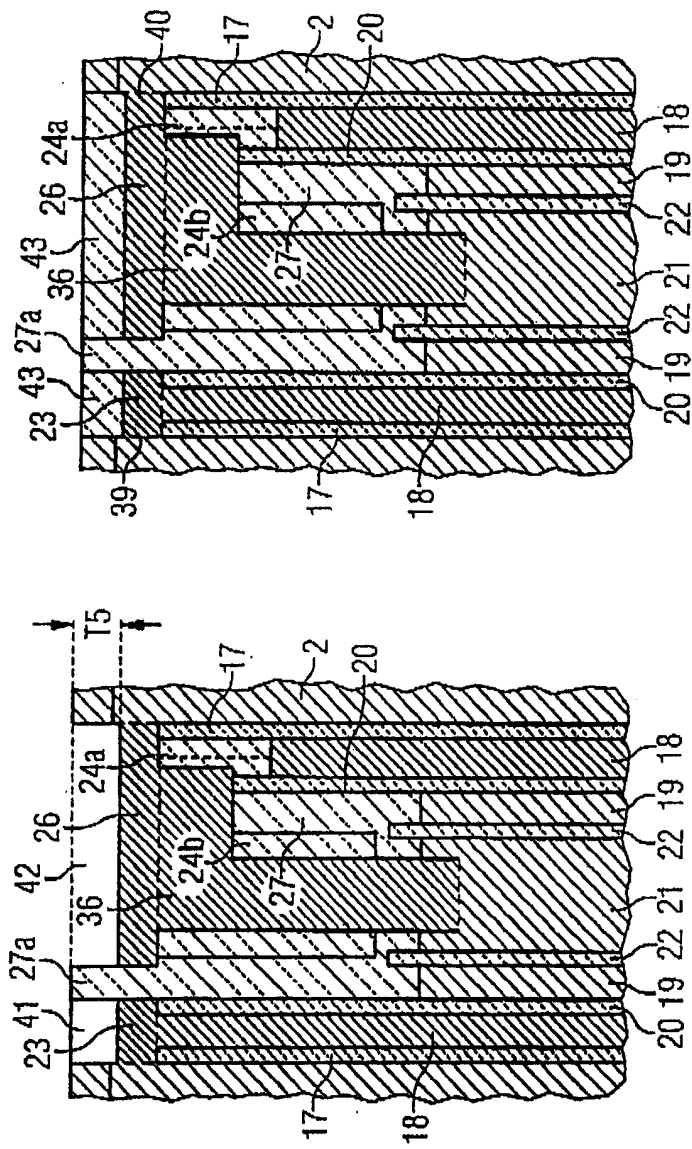


图 6M

图 6N