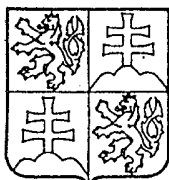


ČESKÁ A SLOVENSKÁ
FEDERATIVNÍ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

(21) PV 8597-87.G
(22) Přihlášeno 27 11 87

(40) Zveřejněno 13 12 89
(45) Vydáno 04 06 91

270 691

(11)

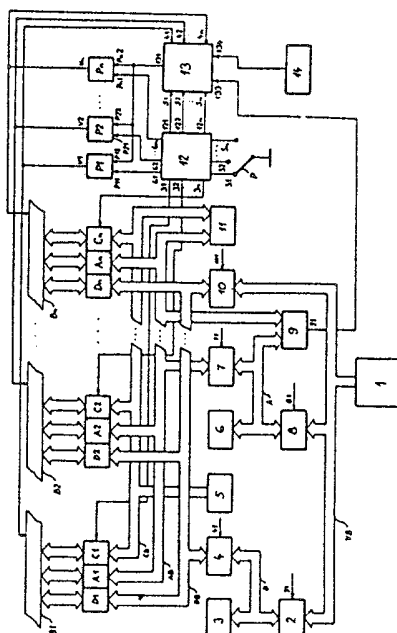
(13) B1

(51) Int. Cl.⁴
G 06 F 11/34

(75) Autor vynálezu REŽ JAROSLAV ing., NOVÝ BOR

(54) Zapojení servisního panelu víceprocesorového systému

(57) Zapojení servisního panelu víceprocesorového systému umožňuje realizovat servisní panel s minimálními náklady na objem technických prostředků. Jeho hlavní výhodou je možnost, s jedním panelem, sledovat stavy sběrnic víceprocesorového systému. Změna sledování sběrnice se provádí přepínačem. Servisní panel je také možné ovládat programovými prostředky připojeného procesoru. Zapojení je možné použít pro servisní panel víceprocesorového systému zejména tam, kde mají procesorové systémy stejnou nebo podobnou strukturu sběrnic, např. řada procesorů 8080, 8086, 8088 atd.



Vynález řeší zapojení servisního panelu víceprocesorového systému s minimálními požadavky na technické vybavení, s možností přepínání sledování sběrnic procesorů a se zachováním stavu opuštěné sběrnice.

Dosud známá zapojení servisních panelů umožňují sledovat pouze jednu sběrnici daného připojeného procesoru. V případě víceprocesorového systému, kdy je třeba sledovat současně více sběrnic, je třeba připojit úměrný počet servisních panelů. To klade vysoké nároky na materiálové vybavení servisu, protože servisní pracovník musí mít k dispozici tolik panelů, kolik má daný systém procesorů.

Uvedené nevýhody odstraňuje zapojení servisního panelu víceprocesorového systému, jehož podstata spočívá v tom, že první až n-tý datový, adresní oddělovač a oddělovač řídicích signálů jsou spojeny se sběrnicí prvního až n-tého procesoru a zároveň s vnitřní datovou, adresní a řídicí sběrnicí. Na vnitřní datovou sběrnici je připojen přijímač/vysílač datového displeje a přijímač/vysílač dat. Na vnitřní adresní sběrnici je připojen přijímač/vysílač adresního displeje, komparátor stop adresy a dekodér adresy a řídicích signálů. Na vnitřní řídicí sběrnici je připojen generátor řídicích signálů a dekodér adresy a řídicích signálů. Sběrnice displeje je spojena s přijímačem/vysílačem datového displeje, s displejem dat a s pamětí displeje dat. Sběrnice adresního displeje je spojena s přijímačem/vysílačem adresního displeje, s displejem adresy, s pamětí displeje adresy a s komparátorem stop adresy. Vnitřní sběrnice je spojena s klávesnicí, s pamětí displeje dat, s pamětí displeje adresy a s přijímačem/vysílačem dat. První až n-tý výstup první až n-té paměti stavu je spojen se sběrnicí prvního až n-tého procesoru a zároveň s prvním až n-tým vstupem stavu vnitřní paměti stavu. První až n-tý výstup vybavení oddělovačů řadiče přepnutí je spojen s prvním až n-tým oddělovačem datové, adresní a řídicí sběrnice. První až n-tý výstup vybavení paměti řadiče přepnutí je spojen s prvním až n-tým vstupem vybavení první až n-té paměti stavu. Výstup stavu vnitřní paměti stavu je spojen s prvním až n-tým vstupem paměti stavu první až n-té paměti stavu. První až n-tý výstup zápisového povelu řadiče přepnutí je spojen s prvním až n-tým vstupem zápisového povelu vnitřní paměti stavu. Klávesnice volby stavu je spojena se vstupem stavu vnitřní paměti stavu. Výstup stop adresa komparátoru stop adresy je spojen se vstupem stop adresa vnitřní paměti stavu. Přepínač sledování je spojen se svými kontakty s řadičem přepnutí.

Zapojení servisního panelu víceprocesorového systému umožňuje, s minimálními nároky na objem technických prostředků, sledování sběrnic víceprocesorového systému. Zapojením lze realizovat tři režimy sledování zvolené sběrnice; jsou to :

1/

Statistický režim, kdy je možné zadávat adresy a data pomocí klávesnice, provádět zápis/čtení paměti nebo vstup/výstupního zařízení a zadávat stop adresu.

2/

Dynamický programový, kdy je z připojeného procesoru servisní panel ovládán programovými prostředky, tj. oba displeje jsou programově přístupné a je možné programově snímat kód stisklé klávesy klávesnice.

3/

Dynamický sledovací, kdy se na příslušných displejích sleduje okamžitý stav adresní, datové a řídicí sběrnice zvoleného procesoru, popřípadě je možné zastavit procesor na základě vyhodnocení stop adresy.

Při přepnutí sledování z jednoho procesoru na jiný zůstává zachován stav sběrnice opuštěného procesoru, po navrácení zpět se původní stav nastaví v obvodech servisního panelu.

Na výkresu je znázorněno zapojení servisního panelu víceprocesorového systému podle vynálezu. Je zde naznačeno propojení jednotlivých bloků, přičemž první až n-tý datový, adresní oddělovač D1 až Dn, A1 až An a oddělovač řídicích signálů C1 až Cn jsou spojeny se sběrnicí prvního až n-tého procesoru B1 až Bn a zároveň s vnitřní datovou, adresní a řídicí sběrnicí DB, AB a CB. Na vnitřní datovou sběrnici DB je připojen přijímač/vysílač datového displeje 4 a přijí-

mač/vysílač dat 10. Na vnitřní adresní sběrnici AB je připojen přijímač/vysílač adresního displeje 7, komparátor stop adresy 9 a dekodér adresy a řídicích signálů 11. Na vnitřní řídicí sběrnici CB je připojen generátor řídicích signálů 5 a dekodér adresy a řídicích signálů 11. Sběrnice datového displeje D je spojena s přijímačem/vysílačem datového displeje 4, s displejem dat 3 a s pamětí displeje dat 2. Sběrnice adresního displeje A je spojena s přijímačem/vysílačem adresního displeje 7, s displejem adresy 6, s pamětí displeje adresy 8 a s komparátorem stop adresy 9. Vnitřní sběrnice VB je spojena s klávesnicí 1, s pamětí displeje dat 2, s pamětí displeje adresy 8 a s přijímačem/vysílačem dat 10. První až n-tý výstup V1 až Vn první až n-té paměti stavu P1 až Pn je spojen se sběrnici prvního až n-tého procesoru B1 až Bn a zároveň s prvním až n-tým vstupem stavu 41 až 4n vnitřní paměti stavu 13. První až n-tý výstup vybavení oddělovačů 31 až 3n řadiče přepnutí 12 je spojen s prvním až n-tým oddělovačem datové, adresní a řídicí sběrnice D1 až Dn, A1 až An a C1 až Cn. První až n-tý výstup vybavení paměti 61 až 6n řadiče přepnutí 12 je spojen s prvním až n-tým vstupem vybavení paměti P11 až Pn1 první až n-té paměti stavu P1 až Pn. Výstup stavu 131 vnitřní paměti stavu 13 je spojen s prvním až n-tým vstupem paměti stavu P12 až Pn2 první až n-té paměti stavu P1 až Pn. První až n-tý výstup zápisového povelu 121 až 12n řadiče přepnutí 12 je spojen s prvním až n-tým vstupem zápisového povelu 51 až 5n vnitřní paměti stavu 13. Klávesnice volby stavu 14 je spojena se vstupem volby stavu 134 vnitřní paměti stavu 13. Výstup stop adresa 91 komparátoru stop adresy 9 je spojen se vstupem stop adresa 133 vnitřní paměti stavu 13. Přepínač sledování P je spojen se svými kontakty S1 až Sn s řadičem přepnutí 12.

Při popisu funkce zapojení podle obr. 1 bude nejdříve popsána funkce přepnutí sledování např. ze sběrnice prvního procesoru B1 na sběrnici druhého procesoru B2. Přepínač sledování P se nachází ve výchozí poloze S1, na prvním výstupu vybavení oddělovačů 31 řadiče přepnutí 12 je aktivní úroveň, čímž je sběrnice prvního procesoru B1 spojena přes první datový, adresní a oddělovač řídicích signálů D1, A1 a C1 s vnitřní datovou, adresní a řídicí sběrnici DB, AB a CB. Na prvním výstupu vybavení paměti 61 je také aktivní úroveň, která se přenesla na první vstup vybavení paměti P11, čímž je stav z vnitřní paměti stavu 13 přes výstup stavu 131 přenesen na první vstup paměti stavu P12 paměti stavu P1 a odtud pak z prvního výstupu paměti stavu V1 na sběrnici prvního procesoru B1. Změnu stavu sběrnice prvního procesoru B1 lze nyní provádět pomocí klávesnice volby stavu 14 a vstupu volby stavu 134 vnitřní paměti stavu 13. Nyní přepnutím přepínače sledování P do polohy S2 se nejdříve přes první výstup vybavení paměti 61 řadiče přepnutí 12 a první vstup vybavení paměti P11 paměti stavu P1 zavře paměť stavu P1 a přes první výstup vybavení oddělovačů 31 řadiče přepnutí 12 se zavře první datový, adresní oddělovač D1, A1 a první oddělovač řídicích signálů C1, čímž se servisní panel odpojí od sběrnice prvního procesoru B1. Do vnitřní paměti stavu 13 se přes druhý výstup a druhý vstup zápisového povelu 122 a 52 řadiče přepnutí 12 a vnitřní paměti stavu 13 zapíše, z druhého výstupu paměti stavu V2 druhé paměti stavu P2 přes druhý vstup stavu 42 vnitřní paměti stavu 13, stav sběrnice druhého procesoru B2. Potom se na druhém výstupu vybavení paměti 62 řadiče přepnutí 12 objeví aktivní úroveň, která přes druhý vstup vybavení paměti P21 druhé paměti stavu P2 otevírá paměť stavu P2 tak, že stav sběrnice druhého procesoru B2 lze ovládat z vnitřní paměti stavu 13, z jejího výstupu 131. Zároveň se aktivní úroveň objeví na druhém výstupu vybavení 32 řadiče přepnutí 12, která připojí sběrnici druhého procesoru B2 přes druhý datový, adresní oddělovač D2, A2 a druhý oddělovač řídicích signálů C2 k vnitřní datové, adresní a řídicí sběrnici DB, AB a CB.

Zapojení podle vynálezu umožňuje ve statickém režimu zadávat adresu z klávesnice 1 přes vnitřní sběrnici VB do paměti displeje adres 8, kam se zapíše pomocí ovládacího vstupu 81, nebo zadávat data, která se zapisují do paměti displeje dat 2 pomocí ovládacího vstupu 21. Generátorem řídicích signálů 5 je možné provádět zápis/čtení do/z paměti nebo vstup/výstupního zařízení připojeného procesoru. Zapisovaná/čtená data se zobrazují na displeji dat 3. Směr přenosu dat přijímačem/vysílačem datového displeje 4 definuje funkce na ovládacím vstupu 41. Ve statickém režimu je možné definovat stop adresu pro vyhodnocení komparátorem stop adresy 9.

V dynamickém režimu umožňuje zapojení podle vynálezu sledovat okamžité stavy adresní, datové a řídicí sběrnice připojeného procesoru. Komparátor stop adresy 9 vyhodnocuje okamžitý stav vnitřní adresní sběrnice AB a v případě shody s nastavenou stop adresou v paměti displeje adresy 8 se na jeho výstupu stop adresa 91 objeví aktivní úroveň, která se přenesse na vstup stop adresa 133 vnitřní paměti stavu 13 a způsobí přechod do stavu „čkej“ procesoru na připojené sběrnici. V dynamickém režimu je možné číst kódy kláves klávesnice 1 a zapisovat data do paměti adresního a datového displeje 8 a 2. Data se přenášejí ze sběrnice připojeného procesoru přes přijímač/vysílač dat 10, řídicí vstup 101 určuje směr přenosu. Řídicí signály a adresa jsou dekodovány dekodérem adresy a řídicích signálů 11. V tomto režimu je odpojen přijímač/vysílač datového a adresního displeje 4 a 7.

Zapojení podle vynálezu lze použít i pro účely ladění programů, a to v dynamickém programovém režimu, kdy je možné pomocí programu „Monitor“ připojeného procesoru sledovat průběh laděného programu. Vynález najde hlavně uplatnění u víceprocesorových systémů, jejichž sběrnice mají podobnou nebo shodnou strukturu, např. sběrnice procesorů 8080, 8086, 8088 atd.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení servisního panelu víceprocesorového systému, vyznačující se tím, že první až n-tý datový, adresní oddělovač (D1 až Dn), (A1 až An) a oddělovač řídicích signálů (C1 až Cn) jsou spojeny se sběrnici prvního až n-tého procesoru (B1 až Bn) a zároveň s vnitřní datovou, adresní a řídicí sběrnici (DB), (AB a CB), dále, že na vnitřní datovou sběrnici (DB) je připojen přijímač/vysílač datového displeje (4) a přijímač/vysílač dat (10), na vnitřní adresní sběrnici (AB) je připojen přijímač/vysílač adresního displeje (7), komparátor stop adresy (9) a dekodér adresy a řídicích signálů (11), na vnitřní řídicí sběrnici (CB) je připojen generátor řídicích signálů (5) a dekodér adresy a řídicích signálů (11), přičemž sběrnice datového displeje (D) je spojena s přijímačem/vysílačem datového displeje (4), s displejem dat (3) a s pamětí displeje dat (2), dále, že sběrnice adresního displeje (A) je spojena s přijímačem/vysílačem adresního displeje (7), s displejem adresy (6), s pamětí displeje adresy (8) a s komparátorem stop adresy (9), zatímco vnitřní sběrnice (VB) je spojena s klávesnicí (1), s pamětí displeje dat (2), s pamětí displeje adresy (8), a s přijímačem/vysílačem dat (10), dále první až n-tý výstup (V1 až Vn) první až n-té paměti stavu (P1 až Pn) je spojen se sběrnici prvního až n-tého procesoru (B1 až Bn) a zároveň s prvním až n-tým vstupem stavu (41 až 4n) vnitřní paměti stavu (13), první až n-tý výstup vybavení oddělovačů (31 až 3n) řadiče přepnutí (12) je spojen s prvním až n-tým oddělovačem datové, adresní a řídicí sběrnice (D1 až Dn), (A1 až An) a (C1 až Cn), první až n-tý výstup vybavení paměti (61 až 6n) řadiče přepnutí (12) je spojen s prvním až n-tým vstupem vybavení paměti (P11 až Pn1) první až n-té paměti stavu (P1 až Pn), výstup stavu (131) vnitřní paměti stavu (13) je spojen s prvním až n-tým vstupem paměti stavu (P12 až Pn2) první až n-té paměti stavu (P1 až Pn), dále první až n-tý výstup zápisového povelu (121 až 12n) řadiče přepnutí (12) je spojen s prvním až n-tým vstupem zápisového povelu (51 až 5n) vnitřní paměti stavu (13), klávesnice volby stavu (14) je spojena se vstupem volby stavu (134) vnitřní paměti stavu (13), výstup stop adresa (91) komparátoru stop adresy (9) je spojen se vstupem stop adresa (133) vnitřní paměti stavu (13), dále přepínač sledování (P) je spojen se svými kontakty (S1 až Sn) s řadičem přepnutí (12).

