(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3669953号
(P3669953)
(45)発行日　平成17年7月13日(2005.7.13)　(24)登録日　平成17年4月22日(2005.4.22)

(51)Int.Cl.[7]　F I
H02M 3/28　H02M 3/28 Q
H02M 3/28 R

請求項の数 1　(全 35 頁)

(21)出願番号　特願2001-340553(P2001-340553)
(22)出願日　平成13年11月6日(2001.11.6)
(65)公開番号　特開2002-209383(P2002-209383A)
(43)公開日　平成14年7月26日(2002.7.26)
審査請求日　平成15年3月17日(2003.3.17)
(31)優先権主張番号　特願2000-338635(P2000-338635)
(32)優先日　平成12年11月7日(2000.11.7)
(33)優先権主張国　日本国(JP)

(73)特許権者　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100062926
弁理士　東島　隆治
(72)発明者　倉貫　正明
大阪府門真市大字門真１００６番地　松下電器産業株式会社内
(72)発明者　吉田　幸司
大阪府門真市大字門真１００６番地　松下電器産業株式会社内

審査官　川端　修

最終頁に続く

(54)【発明の名称】スイッチング電源装置

(57)【特許請求の範囲】
【請求項１】
四つのスイッチ部であって、そのいずれもが、外部からのスイッチング信号によりオンオフされるスイッチ素子と、前記スイッチ素子へ並列に接続されたダイオードと、前記スイッチ素子へ並列に接続されたコンデンサと、を含む、第一のハイサイドスイッチ部、第二のハイサイドスイッチ部、第一のローサイドスイッチ部及び第二のローサイドスイッチ部；
一次巻線と、互いに直列に接続されてその接続点を共通端とする第一の二次巻線と第二の二次巻線と、を含むトランス；
整流素子と、前記整流素子へ並列に接続されたスナバコンデンサを含むスナバと、をそれぞれ含む、第一の整流部と第二の整流部；及び、
第一の入力端子と第二の入力端子とを含み、それらの入力端子を通した入力を平滑にして出力するための平滑部；
を有するＤＣ－ＤＣコンバータであり、
前記第一のハイサイドスイッチ部のカソードが実質的な直流定電圧源の高電位端子へ、前記第一のハイサイドスイッチ部のアノードが前記第一のローサイドスイッチ部のカソードへ、前記第一のローサイドスイッチ部のアノードが前記実質的な直流定電圧源の低電位端子へ、それぞれ接続され、
前記第二のハイサイドスイッチ部のカソードが前記実質的な直流定電圧源の前記高電位端子へ、前記第二のハイサイドスイッチ部のアノードが前記第二のローサイドスイッチ部

のカソードへ、前記第二のローサイドスイッチ部のアノードが前記実質的な直流定電圧源の前記低電位端子へ、それぞれ接続され、

前記トランスの前記一次巻線の一端が前記第一のハイサイドスイッチ部と前記第一のローサイドスイッチ部との接続点へ、他端が前記第二のハイサイドスイッチ部と前記第二のローサイドスイッチ部との接続点へそれぞれ接続され、

前記トランスの前記第一の二次巻線の前記共通端とは別の端が前記第一の整流部の一端へ、前記第二の二次巻線の前記共通端とは別の端が前記第一の整流部の前記一端と同じ極性の前記第二の整流部の一端へ、前記共通端が前記平滑部の前記第一の入力端子へ、それぞれ接続され、

前記第一の整流部と前記第二の整流部とのそれぞれの他端が前記平滑部の前記第二の入力端子へ接続された、

ＤＣ－ＤＣコンバータ；

並びに、

前記第一の整流部及び前記第二の整流部のそれぞれの前記スナバの等価容量と、前記一次巻線の短絡時での前記トランスの二次側の漏れインダクタンスと、で決まる共振周期に基づいて遅れ時間を決定し、

前記四つのスイッチ部のそれぞれへ前記スイッチング信号を所定のスイッチング周波数及び位相で出力し、それにより、

前記第一のハイサイドスイッチ部と前記第二のローサイドスイッチ部とをオンにし、かつ、前記第二のハイサイドスイッチ部と前記第一のローサイドスイッチ部とをオフにする第一の期間、及び、

前記第一のハイサイドスイッチ部と前記第二のローサイドスイッチ部とをオフにし、かつ、前記第二のハイサイドスイッチ部と前記第一のローサイドスイッチ部とをオンにする第二の期間、

をそれぞれ所定の時間と所定の周期とで交互に実現し、

前記第一の期間の終了時、前記第一のハイサイドスイッチ部と前記第二のローサイドスイッチ部とのいずれか一方を他方より先にオフにすることで、前記トランスの前記一次巻線を短絡し、前記整流素子がオフしている前記第一の整流部又は前記第二の整流部で前記スナバの等価容量を前記トランスの二次側の漏れインダクタンスと共振させ、更に前記遅れ時間が経過する時、オンしている前記第一のハイサイドスイッチ部又は前記第二のローサイドスイッチ部をオフにすることで、前記トランスの前記一次巻線に流れる電流を遮断し、

前記第二の期間の終了時、前記第二のハイサイドスイッチ部と前記第一のローサイドスイッチ部とのいずれか一方を他方より先にオフにすることで、前記トランスの前記一次巻線を短絡し、前記整流素子がオフしている前記第一の整流部又は前記第二の整流部で前記スナバの等価容量を前記トランスの二次側の漏れインダクタンスと共振させ、更に前記遅れ時間が経過する時、オンしている前記第二のハイサイドスイッチ部又は前記第一のローサイドスイッチ部をオフにすることで、前記トランスの前記一次巻線に流れる電流を遮断する、

ためのスイッチング制御部；

を具備するスイッチング電源装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、産業用又は民生用の電子機器へ直流安定化電圧を供給するためのスイッチング電源装置に関する。

【０００２】

【従来の技術】

テレビ、ＶＴＲ、パーソナルコンピュータ等の電子機器での電源は、一定の直流電圧を安定に供給しなければならない。そのような電源としてスイッチング電源装置が好ましい。

スイッチング電源装置は、ＭＯＳＦＥＴ、ＩＧＢＴ、サイリスタ等の半導体素子をスイッチとして用い、それらのスイッチのオン／オフにより入力直流電圧を一旦交流電圧に変換する。変換された交流電圧はトランス、整流回路、及び平滑回路を順に通して安定な直流電圧に変換され、出力される。スイッチング電源装置では、入力電圧に対する出力電圧の比(電圧変換率)がスイッチのオン／オフの時比率で実質的に決定される。従って、スイッチング電源装置はスイッチの制御によりそのオン／オフの時比率を制御し、それにより、出力直流電圧を安定化できる。

【０００３】

スイッチの切換による電力損失(スイッチング損失)は一般に小さいので、スイッチング電源装置は高効率で電力を供給できる。従って、スイッチング電源装置は省エネルギーの面で優れている。

スイッチング電源装置の電圧変換率はスイッチのオン／オフの時比率だけに実質的に依存し、オン／オフの切換頻度(スイッチング周波数)には実質的には依存しない。一方、スイッチング電源装置では、スイッチング周波数が高い程、トランス、インダクタ、及びコンデンサ等のリアクタンス素子を、それぞれの性能を維持して小型化できる。それ故、スイッチング電源装置は一定の出力電圧を維持しつつ、比較的容易に小型化／軽量化できる。

【０００４】

従来のスイッチング電源装置の一例としてハードスイッチングを行うものを次に示す。図6は従来のスイッチング電源装置100の回路図である。

スイッチング電源装置100では、トランス3の一次側で四つのスイッチ部101H、101L、102H、及び102Lがフルブリッジを構成する。フルブリッジの高電位側入力端子1aに接続されたスイッチ部101Hと102Hとをハイサイドスイッチ部といい、低電位側入力端子1bに接続されたスイッチ部101Lと102Lとをローサイドスイッチ部という。スイッチ部はそれぞれスイッチ素子1HS、2HS、3HS、及び4HSを含む。それらのスイッチ素子は半導体素子であり、例えばＩＧＢＴである。それぞれのスイッチ部は寄生コンデンサ1HC、2HC、3HC、及び4HCを、スイッチ素子と並列に含む。それぞれのスイッチ部はスイッチング制御回路70によりオン／オフを制御される。

【０００５】

図7は、スイッチング制御回路70によるハードスイッチングにより、図6に示されている回路の各部分で生じる電流及び電圧の波形図である。ここで、各回路部分の電流及び電圧は図6に示されている矢印の向きを正とする。

スイッチング制御回路70は、スイッチ素子1HS、1LS、2HS、及び2LSへスイッチング信号G1、G2、G3、及びG4をそれぞれ出力する。スイッチング信号G1、G2、G3、及びG4はそれぞれ矩形波である。スイッチング信号が高電位(H)を示す間スイッチ素子はオンし、スイッチング信号が低電位(L)を示す間スイッチ素子はオフする。

【０００６】

スイッチング制御回路70は四つのスイッチ部のオン／オフに対してハードスイッチングを行う。ここで、ハードスイッチングとは、ハイサイドスイッチ部とローサイドスイッチ部とを同時にオン／オフするスイッチングをいう。スイッチング制御回路70によるハードスイッチングは次の三つの期間を、所定の時間かつ所定の周期で交互に実現する：

(1)　第一の期間は図7では期間T0～T1に相当する。第一の期間では、第一のハイサイドスイッチ部101Hと第二のローサイドスイッチ部102Lとをオンし、第二のハイサイドスイッチ部102Hと第一のローサイドスイッチ部101Lとをオフする。

(2)　第二の期間は図7では期間T2～T3に相当する。第二の期間では、第一のハイサイドスイッチ部101Hと第二のローサイドスイッチ部102Lとをオフし、第二のハイサイドスイッチ部102Hと第一のローサイドスイッチ部101Lとをオンする。

(3)　第三の期間は図7では期間T1～T2及び期間T3～T4の間に相当し、第一の期間と第二の期間との間で実現される。第三の期間では、四つのスイッチ部を全てオフする。

【０００７】

以下、スイッチング制御回路70によるハードスイッチングについて、図7で示されている

時刻T0からT4までの時間順に説明する：
＜期間T0～T1＞
時刻T0にスイッチング制御回路70が第一のスイッチング信号G1及び第四のスイッチング信号G4を同時にLからHへと変化させ、第一のハイサイドスイッチ部101Hと第二のローサイドスイッチ部102Lとを同時にオンする。一方、第一のローサイドスイッチ部101L及び第二のハイサイドスイッチ部102Hはいずれもオフしている。
【０００８】
期間T0～T1では第一のハイサイドスイッチ部101Hと第二のローサイドスイッチ部102Lとを通して、トランス3の一次巻線3aには実質的に一定でかつ正の入力電圧Vinが印加される。従って、一次巻線3aの両端間電圧すなわち一次電圧Vtが入力電圧Vinに実質的に等しい。更に、トランス3の一次電流Itが一次巻線3aを第一の接続点Pから第二の接続点Qへ、すなわち、図7に示されている矢印の向きに流れる。その時、トランス3の二次巻線3b及び3cにはそれぞれ正の電圧Vin／nが誘導される。ここで、トランス3の一次巻線3a、第一の二次巻線3b及び第二の二次巻線3cの巻数比をn：1：1(nは正の実数)とする。第一の整流ダイオード4bがオンしているので、平滑インダクタ5の両端間電圧V5はVin／n－Voutに実質的に等しい。ここで、平滑コンデンサ6の両端間電圧すなわち出力電圧Voutを正とする。平滑コンデンサ6は十分に大きい容量を持つので、出力電圧Voutは実質上一定であるとして良い。従って、平滑インダクタ5を流れる電流I5は期間T0～T1で、図6に示されている矢印の向きに直線的に増大する。但し、平滑インダクタ5のインダクタンスは十分に大きいので、電流I5の増大は緩やかである。第二の整流ダイオード4cの両端間電圧Vcは、図7に示されている矢印の向きすなわち逆バイアスの向きを正とする時、実質的に＋2Vin／nに等しい。従って、第二の整流ダイオード4cはオフしている。それ故、平滑インダクタ5の電流I5は第一の整流ダイオード4bを流れる電流Ibに実質的に等しい。その結果、期間T0～T1ではトランス3の二次電流が第一の二次巻線3bのみを通して流れ、直線的に増大する。
【０００９】
トランス3の一次電流Itは、トランス3に対する励磁電流と、トランス3の二次電流で決まる一次側換算電流と、の和に等しい。図7に示されているように、期間T0～T1では一次電圧Vtが実質的に一定な値Vinを維持する。それ故、一次電流Itに含まれる励磁電流は実質上直線的に増大する。一方、既に述べた通りトランス3の二次電流は直線的に増大するので、一次側換算電流は直線的に増大する。従って、一次電流Itは実質上直線的に増大する。
【００１０】
＜期間T1～T2＞
時刻T1にスイッチング制御回路70が第一のスイッチング信号G1及び第四のスイッチング信号G4を同時にHからLへと変化させ、第一のハイサイドスイッチ部101H及び第二のローサイドスイッチ部102Lを同時にオフする。それにより四つ全てのスイッチ部がオフするので、トランス3の一次巻線3aには入力電圧Vinが印加されない。すなわち、トランス3の一次電圧Vtが入力電圧Vinから0まで急激に降下する。それ故、トランス3の二次巻線3b及び3cのそれぞれの誘導電圧が急激に0へ変化する。その時、第一の整流ダイオード4bは既にオンしているので、第二の整流ダイオード4cの両端間電圧Vcが0へ急激に変化する。それにより、第二の整流ダイオード4cが急激にオンする。その結果、トランス3の二次電流が第一の二次巻線3bと第二の二次巻線3cとの両方を通して流れ始める。こうして、時刻T1ではトランス3の二次側で転流が生じる。
【００１１】
期間T1～T2ではトランス3の一次巻線3aへは電圧が印加されず、一次電圧Vtが0である。従って、トランス3の二次巻線3b及び3cには電圧が誘導されないので、平滑インダクタ5の両端間電圧V5は負の定電圧－Voutに実質的に等しい。その結果、平滑インダクタ5の電流I5が緩やかな傾きで直線的に減少する。
時刻T1で四つのスイッチ部は全てオフするので、トランス3の一次電流Itは急激に0まで減少する。従って、期間T1～T2では一次側換算電流が0であるように、トランス3の二次電流

が二つの二次巻線3b及び3cのそれぞれを、互いに逆向きにかつ実質的に等量ずつ流れる。

【００１２】

＜期間T2～T3＞

時刻T2にスイッチング制御回路70が、第二のスイッチング信号G2及び第三のスイッチング信号G3を同時にLからHへと変化させ、第一のローサイドスイッチ部101Lと第二のハイサイドスイッチ部102Hとを同時にオンする。一方、第一のハイサイドスイッチ部101Hと第二のローサイドスイッチ部102Lとはいずれもオフしている。第一のローサイドスイッチ部101L及び第二のハイサイドスイッチ部102Hがオンする時、トランス3の一次巻線3aには入力電圧Vinが期間T0～T1での逆向きに印加される。すなわち、トランス3の一次電圧Vtが0から－Vinまで急激に降下する。それ故、トランス3の二次巻線3b及び3cのそれぞれの誘導電圧が0から－Vin／nまで急激に降下する。その時第二の整流ダイオード4cは既にオンしている。従って、第一の整流ダイオード4bの両端間電圧Vbは、図7に示されている矢印の向きすなわち逆バイアスの向きを正とする時、＋2Vin／nへ急激に上昇する。それにより、第一の整流ダイオード4bが急激にオフする。その結果、トランス3の二次電流が第二の二次巻線3cのみを通して流れ始める。こうして、時刻T2ではトランス3の二次側で転流が生じる。

【００１３】

期間T2～T3では第一のローサイドスイッチ部101L及び第二のハイサイドスイッチ部102Hがオンしている。それにより、一次電圧Vtが－Vinに実質的に等しい。更に、トランス3の一次電流Itが一次巻線3aを第二の接続点Qから第一の接続点Pへ、期間T0～T1とは逆向きに流れる。その時、第一の二次巻線3b及び第二の二次巻線3cのそれぞれの両端間電圧はいずれも－Vin／nに実質的に等しい。第一の整流ダイオード4bがオフし、第二の整流ダイオード4cがオンしているので、平滑インダクタ5の両端間電圧V5は、Vc－Vout＝Vin／n－Voutに実質的に等しい。従って、平滑インダクタ5を流れる電流I5は期間T0～T1と同様に、図6に示されている矢印の向きに直線的に増大する。第一の整流ダイオード4bはオフしているので、平滑インダクタ5の電流I5は第二の整流ダイオード4cを流れる電流Icに実質的に等しい。すなわち、期間T2～T3では、トランス3の二次電流が第二の二次巻線3cのみを通して流れ、直線的に増大する。

【００１４】

図7に示されているように、期間T2～T3では期間T0～T1と同様に一次電圧Vtが実質的に一定な値－Vinを維持する。それ故、一次電流Itに含まれる励磁電流は実質上直線的に増大する。但し、一次電流Itの向きは期間T0～T1とは逆である。一方、既に述べた通りトランス3の二次電流は直線的に増大するので、一次側換算電流は直線的に増大する。従って、一次電流Itは実質上直線的に増大する。

【００１５】

＜期間T3～T4＞

時刻T3にスイッチング制御回路70が第二のスイッチング信号G2及び第三のスイッチング信号G3を同時にHからLへと変化させ、第一のローサイドスイッチ部101L及び第二のハイサイドスイッチ部102Hを同時にオフする。それにより四つ全てのスイッチ部がオフするので、トランス3の一次巻線3aには入力電圧Vinが印加されない。すなわち、トランス3の一次電圧Vtが入力電圧－Vinから0まで急激に上昇する。それ故、トランス3の二次巻線3b及び3cのそれぞれの誘導電圧が急激に0へ変化する。その時、第二の整流ダイオード4cは既にオンしているので、第一の整流ダイオード4bの両端間電圧Vbが0へ急激に変化する。それにより、第一の整流ダイオード4bが急激にオンする。その結果、トランス3の二次電流が時刻T1と同様に、第一の二次巻線3bと第二の二次巻線3cとの両方を通して流れ始める。こうして、時刻T3ではトランス3の二次側で転流が生じる。

【００１６】

期間T3～T4ではトランス3の一次巻線3aへは電圧が印加されず、一次電圧Vtが0である。従って、平滑インダクタ5の両端間電圧V5は負の定電圧－Voutに実質的に等しい。その結果、平滑インダクタ5の電流I5が緩やかな傾きで直線的に減少する。

時刻T3で四つのスイッチ部は全てオフするので、トランス3の一次電流Itは急激に0まで減少する。従って、期間T3～T4では期間T1～T2同様、一次側換算電流が0であるように、トランス3の二次電流が二つの二次巻線3b及び3cのそれぞれを互いに逆向きにかつ実質的に等量ずつ流れる。
こうして、期間T3～T4では時刻T0の直前の状態が再現される。以後、以上述べた期間T0～T4での動作が繰り返される。
【００１７】
スイッチング制御回路70によるハードスイッチングでは、以下のように電圧変換率、すなわち、入力電圧Vinと出力電圧Voutとの比が決定される：
第一のハイサイドスイッチ部101Hがオンしている第一の期間T0～T1の時間と、第二のハイサイドスイッチ部102Hがオンしている第二の期間T2～T3の時間と、の和をTonとする。第一の期間及び第二の期間では平滑インダクタ5に電圧(Vin／n－Vout)が印加されるので、平滑インダクタ5に蓄えられる磁束が(Vin／n－Vout)×Tonだけ増大する。
【００１８】
一方、全てのスイッチ部がオフしている期間T1～T2の時間と期間T3～T4の時間との和をToffとする。それぞれの期間では平滑インダクタ5に電圧(－Vout)が印加されるので、平滑インダクタ5に蓄えられる磁束がVout×Toffだけ減少する。従って、平滑インダクタ5の磁束の増大分と減少分とが釣り合うための条件、すなわち、平滑インダクタ5のリセット条件が次式(1)のように表される。
【００１９】
(Vin／n－Vout)×Ton＝Vout×Toff　　(1)
【００２０】
式(1)より電圧変換率(入力電圧Vinと出力電圧Voutとの比)は次式(2)で求まる。
【００２１】
Vout／Vin＝δ／n　　但し、δ＝Ton／(Ton＋Toff)　(2)
【００２２】
式(2)が示すように、ハイサイドスイッチ部に対するオン／オフの時比率δの制御により、出力電圧Voutが実質上一定値に安定に維持される。
【００２３】
近年、様々な電子機器に対する省エネルギー化、小型化及び軽量化への要求が著しく高まっている。それに伴いスイッチング電源装置に対して、高効率化、小型化／軽量化及び出力安定性の向上が強く求められている。そのような要求に応じるには、スイッチング周波数を更に高くしなければならない。しかし、スイッチング周波数が高い程スイッチング損失は大きい。従って、スイッチング周波数を更に高くするにはスイッチング損失を小さく抑え得るスイッチング技術が必要となる。そのようなスイッチング技術として、ソフトスイッチングが知られている。ここで、ソフトスイッチングとは次のようなスイッチングをいう：(1)　オンからオフへ又はオフからオンへの過渡時、スイッチ内の寄生コンデンサと外部のインダクタとの間で共振を起こす；(2)　共振電圧又は共振電流のいずれかがゼロの時、スイッチをオンからオフへ又はオフからオンへと切り換える。特に、スイッチの両端間電圧がゼロの時に行うスイッチングをゼロボルトスイッチング(ＺＶＳ)という。
【００２４】
ソフトスイッチングによると、オン／オフの切り換え時、そのスイッチでは電力が消費されない。従って、原理的にはスイッチング損失がない。特にＺＶＳによると、スイッチのオン時、そのスイッチの寄生コンデンサに電荷が残っていない。それ故、サージ電流が発生しない。
【００２５】
ＺＶＳを実現する従来のスイッチング電源装置110は例えば、特開平11-89232号公報で開示されている。図8はその回路構成を示す。先に図6で示した従来例100と同様な構成に対しては同じ符号を付している。先に述べた従来例100との相違は次の2点である：(1)　フルブリッジ内のスイッチ部1H、1L、2H、及び2Lがそれぞれスイッチ素子と寄生コンデンサ

と共に、ダイオード1HD、1LD、2HD、及び2LDを含む。ダイオードはスイッチ素子へ並列に接続される。その時、高電位側にカソードが、低電位側にアノードが、それぞれ接続される。スイッチ素子がＩＧＢＴ等のトランジスタである時、ダイオードがそのトランジスタのボディダイオードであっても良い。

【００２６】

(2) スイッチング制御回路7がフルブリッジ内のスイッチ部に対してソフトスイッチングを行う。それにより、先に述べた従来例100に比べ、スイッチング損失が低減される。以下、スイッチング制御回路7によるソフトスイッチングについて説明する。

図9は、スイッチング制御回路7のソフトスイッチングにより、図8に示されている回路の各部分で生じる電流及び電圧の波形図である。ここで、各回路部分の電流及び電圧は図8に示されている矢印の向きを正とする。

スイッチング制御回路7は、スイッチ素子1HS、1LS、2HS、及び2LSへスイッチング信号G1、G2、G3、及びG4をそれぞれ出力する。スイッチング信号G1、G2、G3、及びG4はそれぞれ矩形波である。スイッチング信号が高電位(H)を示す間スイッチ素子はオンし、スイッチング信号が低電位(L)を示す間スイッチ素子はオフする。

【００２７】

スイッチング制御回路7によるソフトスイッチングは次の四つの期間を、所定の時間かつ所定の周期で交互に実現する：

(1) 第一の期間は図9では期間T0～T1に相当する。第一の期間では、第一のハイサイドスイッチ部1Hと第二のローサイドスイッチ部2Lとをオンし、第二のハイサイドスイッチ部2Hと第一のローサイドスイッチ部1Lとをオフする。

(2) 第二の期間は図9では期間T4～T5に相当する。第二の期間では、第一のハイサイドスイッチ部1Hと第二のローサイドスイッチ部2Lとをオフし、第二のハイサイドスイッチ部2Hと第一のローサイドスイッチ部1Lとをオンする。

(3) 第三の期間は図9では期間T2～T3及び期間T6～T7に相当し、第一の期間と第二の期間との間で実現される。第三の期間では、第一のハイサイドスイッチ部1Hと第二のハイサイドスイッチ部2Hとをオフし、第一のローサイドスイッチ部1Lと第二のローサイドスイッチ部2Lとをオンする。

(4) デッドタイムは上記の三つの期間の間に挿入される微小期間であり、図9では期間T1～T2、T3～T4、T5～T6及びT7～T8に相当する。デッドタイムでは、第一のハイサイドスイッチ部1Hと第一のローサイドスイッチ部1L、又は、第二のハイサイドスイッチ部2Hと第二のローサイドスイッチ部2L、のいずれかの対がそれぞれ共にオフする。つまり、四つのスイッチ部の内、ただ一つだけがオンし、残りの三つはオフする。

【００２８】

以下、スイッチング制御回路7によるソフトスイッチングについて、図9で示されている時刻T0からT8までの時間順に説明する：

＜期間T0～T1＞

期間T0～T1では先に述べた従来例での期間T0～T1と同様に、トランス3の一次電流Itと、平滑インダクタ5を流れる電流I5と、がいずれも直線的に増大する。その時、トランス3の二次電流は第一の二次巻線3bのみを通して流れる。

【００２９】

＜期間T1～T2＞

時刻T1にスイッチング制御回路7は第一のスイッチング信号G1をHからLへと変化させ、第一のハイサイドスイッチ部1Hをオフする。一方、第二のローサイドスイッチ部2Lはオン状態を維持する。その時、一次巻線3aの漏れインダクタンス、第一のハイサイドスイッチ部1Hの寄生コンデンサ1HC、及び第一のローサイドスイッチ部1Lの寄生コンデンサ1LCで、共振が生じる。その共振により、一次電流Itが第一のハイサイドスイッチ部1Hの寄生コンデンサ1HCを充電すると同時に、第一のローサイドスイッチ部1Lの寄生コンデンサ1LCを放電させる。従って、第一のハイサイドスイッチ部1Hの両端間電圧V1Hが0から滑らかに上昇すると共に、第一のローサイドスイッチ部1Lの両端間電圧V1Lが最大値Vinから滑らかに降下

する。
【００３０】
時刻T2の直前で、第一のハイサイドスイッチ部1Hの両端間電圧V1Hが最大値Vinへ達する。それと同時に、第一のローサイドスイッチ部1Lの両端間電圧V1Lが0に達する。その時、第一のローサイドスイッチ部1Lのダイオード1LDがオンし、両端間電圧V1Lを0にクランプする。時刻T2にスイッチング制御回路7が第二のスイッチング信号G2をLからHへと変化させ、第一のローサイドスイッチ部1Lをオンする。こうして、第一のローサイドスイッチ部1Lのオンに対してＺＶＳが実現する。
【００３１】
＜期間T2～T3＞
期間T2～T3では、二つのローサイドスイッチ部1Lと2Lとを通して一次巻線3aが短絡される。その間一次電圧Vtが実質的に0である。従って、先に述べた従来例100の時刻T1での動作と同様に、トランス3の二次側で転流が生じる。すなわち、二つの整流ダイオード4b及び4cの両方がオンするので、二次電流は二つの二次巻線3b及び3cの両方を流れる。その結果、平滑インダクタ5には実質上定電圧(－Vout)だけが印加される。従って、平滑インダクタ5を流れる電流I5すなわち二次電流は直線的に減少する。
【００３２】
先に述べた従来例100とは異なり、二次電流は期間T2～T3では第一の二次巻線3bを第二の二次巻線3cより多く流れる。それは次の理由による：　第二の整流ダイオード4cの両端間電圧Vcは期間T1～T2で0まで降下するので、第二の整流ダイオード4cは時刻T2でオンする。しかし、トランス3の二次側の漏れインダクタンスにより、第一の整流ダイオード4bを流れる電流Ibは緩やかにしか減少せず、第二の整流ダイオード4cを流れる電流Icは緩やかにしか増加しない。従って、期間T2～T3では二次電流の大部分が第一の二次巻線3bを流れ、残りのわずかな部分が第二の二次巻線3cを流れる。その結果、二次巻線3b及び3cの間での相殺が十分ではないので、一次側換算電流は期間T2～T3ではあまり減少せず、上記の漏れインダクタンスにより緩やかな傾きで直線的に減少する。一方、一次電圧Vtが実質的に0であるので、一次巻線3aの励磁電流が実質的に一定に維持される。以上の結果、一次電流Itは直線的に減少する。
【００３３】
＜期間T3～T4＞
時刻T3にスイッチング制御回路7は第四のスイッチング信号G4をHからLへと変化させ、第二のローサイドスイッチ部2Lをオフする。一方、第一のローサイドスイッチ部1Lはオン状態を維持する。その時、一次巻線3aの漏れインダクタンス、第二のハイサイドスイッチ部2Hの寄生コンデンサ2HC、及び第二のローサイドスイッチ部2Lの寄生コンデンサ2LCで、共振が生じる。その共振により、一次電流Itが第二のハイサイドスイッチ部2Hの寄生コンデンサ2HCを放電させる。それと同時に、第二のローサイドスイッチ部2Lの寄生コンデンサ2LCを充電する。従って、第二のハイサイドスイッチ部2Hの両端間電圧V2Hが最大値Vinから滑らかに降下すると共に、第二のローサイドスイッチ部2Lの両端間電圧V2Lが0から滑らかに上昇する。
【００３４】
時刻T4の直前で、第二のローサイドスイッチ部2Lの両端間電圧V2Lが最大値Vinへ達する。それと同時に、第二のハイサイドスイッチ部2Hの両端間電圧V2Hが0に達する。その時、第二のハイサイドスイッチ部2Hのダイオード2HDがオンし、両端間電圧V2Hを0にクランプする。時刻T4にスイッチング制御回路7が第三のスイッチング信号G3をLからHへと変化させ、第二のハイサイドスイッチ部2Hをオンする。こうして、第二のハイサイドスイッチ部2Hのオンに対してＺＶＳが実現する。
【００３５】
＜期間T4～T5＞
期間T4～T5では先に述べた従来例での第二の期間T2～T3と同様に、トランス3の一次電流Itと、平滑インダクタ5を流れる電流I5と、がいずれも直線的に増大する。但し、それぞれ

の向きは第一の期間T0～T1とは逆である。更に、第二の期間ではトランス3の二次電流は第二の二次巻線3cのみを通して流れる。

【００３６】

＜期間T5～T6＞

時刻T5にスイッチング制御回路7は第三のスイッチング信号G3をHからLへと変化させ、第二のハイサイドスイッチ部2Hをオフする。一方、第一のローサイドスイッチ部1Lはオン状態を維持する。その時、一次巻線3aの漏れインダクタンス、第二のハイサイドスイッチ部2Hの寄生コンデンサ2HC、及び第二のローサイドスイッチ部2Lの寄生コンデンサ2LCで、共振が生じる。その共振により、一次電流Itが第二のハイサイドスイッチ部2Hの寄生コンデンサ2HCを充電すると同時に、第二のローサイドスイッチ部2Lの寄生コンデンサ2LCを放電させる。従って、第二のハイサイドスイッチ部2Hの両端間電圧V2HがOから滑らかに上昇すると共に、第二のローサイドスイッチ部2Lの両端間電圧V2Lが最大値Vinから滑らかに降下する。

【００３７】

時刻T6の直前で、第二のハイサイドスイッチ部2Hの両端間電圧V2Hが最大値Vinへ達する。それと同時に、第二のローサイドスイッチ部2Lの両端間電圧V2LがOに達する。その時、第二のローサイドスイッチ部2LのダイオードD2LDがオンし、両端間電圧V2LをOにクランプする。時刻T6にスイッチング制御回路7が第四のスイッチング信号G4をLからHへと変化させ、第二のローサイドスイッチ部2Lをオンする。こうして、第二のローサイドスイッチ部2Lのオンに対してＺＶＳが実現する。

【００３８】

＜期間T6～T7＞

期間T6～T7では、二つのローサイドスイッチ部1Lと2Lとを通して一次巻線3aが再び短絡される。従って、期間T2～T3での動作と同様にトランス3の二次側で転流が生じ、二次電流は二つの二次巻線3b及び3cの両方を流れる。但し、二次電流は期間T2～T3とは逆に、第一の二次巻線3bより第二の二次巻線3cを多く流れる。その時、一次側換算電流はあまり減少しない。更に、平滑インダクタ5には実質上定電圧(－Vout)だけが印加される。従って、トランス3の一次電流It及び二次電流I5はいずれも直線的に減少する。

【００３９】

＜期間T7～T8＞

時刻T7にスイッチング制御回路7は第二のスイッチング信号G2をHからLへと変化させ、第一のローサイドスイッチ部1Lをオフする。一方、第二のローサイドスイッチ部2Lはオン状態を維持する。その時、一次巻線3aの漏れインダクタンス、第一のハイサイドスイッチ部1Hの寄生コンデンサ1HC、及び第一のローサイドスイッチ部1Lの寄生コンデンサ1LCで、共振が生じる。その共振により、一次電流Itが第一のハイサイドスイッチ部1Hの寄生コンデンサ1HCを放電させる。それと同時に、第一のローサイドスイッチ部1Lの寄生コンデンサ1LCを充電する。従って、第一のハイサイドスイッチ部1Hの両端間電圧V1Hが最大値Vinから滑らかに降下すると共に、第一のローサイドスイッチ部1Lの両端間電圧V1LがOから滑らかに上昇する。

【００４０】

時刻T8の直前で、第一のローサイドスイッチ部1Lの両端間電圧V1Lが最大値Vinへ達する。それと同時に、第一のハイサイドスイッチ部1Hの両端間電圧V1HがOに達する。その時、第一のハイサイドスイッチ部1HのダイオードD1HDがオンし、両端間電圧V1HをOにクランプする。時刻T8にスイッチング制御回路7が第一のスイッチング信号G1をLからHへと変化させ、第一のハイサイドスイッチ部1Hをオンする。こうして、第一のハイサイドスイッチ部1Hのオンに対してＺＶＳが実現する。

時刻T8では時刻T0と同じ状態が再現される。こうして、時刻T0から時刻T8までの動作が繰り返される。

【００４１】

期間T1～T2、T3～T4、T5～T6、及び、T7～T8のそれぞれの長さ、すなわち、デッドタイム

の長さは、第一の期間T0～T1、第二の期間T4～T5、及び、第三の期間T2～T3とT6～T7、のそれぞれの時間に比べて十分に短い。一般に、第一の期間、第二の期間、及び第三の期間の長さは数μsec程度であるのに対して、デッドタイムの長さは数十～数百nsec程度である。

【００４２】

デッドタイムを第一の期間等の他の期間に対して無視すると、上記のソフトスイッチングでの電圧変換率(入力電圧Vinと出力電圧Voutとの比)が以下のように求まる：

第一の期間T0～T1の時間と第二の期間T4～T5の時間との和をTonとする。それぞれの期間では上記のように平滑インダクタ5に電圧(Vin／n－Vout)が印加されるので、平滑インダクタ5に蓄えられる磁束が、上記の二つの期間で合わせて(Vin／n－Vout)×Tonだけ増大する。一方、第三の期間T1～T4とT5～T8とのそれぞれの時間の和をToffとする。それぞれの期間では上記のように平滑インダクタ5に電圧(－Vout)が印加されるので、平滑インダクタ5に蓄えられる磁束が合わせてVout×Toffだけ減少する。従って、平滑インダクタ5のリセット条件がハードスイッチングと同様の式(1)で表される。

【００４３】

(Vin／n－Vout)×Ton＝Vout×Toff　　(1)

【００４４】

それ故、電圧変換率はハードスイッチングと同様の式(2)で表される。

【００４５】

Vout／Vin＝δ／n　　但し、δ＝Ton／(Ton＋Toff)　(2)

【００４６】

つまり、ソフトスイッチングではハードスイッチングと同様、ハイサイドスイッチ部1Hと2Hとでのオン／オフの時比率δの制御により、出力電圧Voutが実質上一定値に安定に維持される。

【００４７】

ソフトスイッチングでは更に、四つのスイッチ部1H、1L、2H、及び2Lはいずれも上記のようにＺＶＳでオンする。それ故、ハードスイッチングとは異なり、スイッチングに伴うサージ電流／サージ電圧が、スイッチ部内では発生しない。こうして、ソフトスイッチングではハードスイッチングに比べ、スイッチング損失が低減する。

【００４８】

【発明が解決しようとする課題】

従来のスイッチング電源装置100では、スイッチング制御回路70によるハードスイッチングに次のような欠点がある：フルブリッジ内のスイッチ部のそれぞれは図6に示されているように、スイッチ素子と並列に接続された寄生コンデンサを含む。全てのスイッチ部がオフである時、それぞれの寄生コンデンサは電荷を貯めた状態で安定する。ハードスイッチングではハイサイドスイッチ部とローサイドスイッチ部とが一つずつ同時にオンされる。従って、スイッチ部のオン時、寄生コンデンサがある程度電荷を貯めた状態で、並列なスイッチ素子がオンされる。その時、寄生コンデンサは、オンしたスイッチ素子を通して短絡され、急激に放電する。それにより、サージ電流がそのスイッチ部内に発生し、熱又は電磁波へ変換される。それらの熱及び電磁波を通して、電力が外部へ散逸する。こうして、スイッチングに伴う電力損失(スイッチング損失)が増大する。更に、サージ電流による熱はそのスイッチ部を疲労させ、電磁波は周囲の回路素子へノイズを与える。

【００４９】

例えば図7では時刻T0の直前で、第一のハイサイドスイッチ部101Hと第二のローサイドスイッチ部102Lとのそれぞれの両端間電圧V1HとV2Lとがそれぞれ有限値に保たれている。従って、第一のハイサイドスイッチ部101Hと第二のローサイドスイッチ部102Lとのそれぞれの寄生コンデンサ1HCと2LCとは、電圧V1HとV2Lとにそれぞれ比例した電荷を貯める。時刻T0で両スイッチ部がオンすると、両方の寄生コンデンサ1HCと2LCとが急激に放電し、サージ電流が発生する。それにより、第一のハイサイドスイッチ部101Hを流れる電流I1Hと、第二のローサイドスイッチ部102Lを流れる電流I2Lと、が急峻なピークscを成すように増

大する。時刻T2で第一のローサイドスイッチ部101Lと第二のハイサイドスイッチ部102Hとが同時にオンする時、それぞれを流れる電流I1LとI2Hとに同様なピークが現れる。

【００５０】

ハードスイッチングでは更に、ハイサイドスイッチ部とローサイドスイッチ部とが一つずつ同時にオフされる。従って、スイッチ部のオフ時、トランスの一次巻線へ供給される電流が急激に減少する。その時、一次巻線の漏れインダクタンスとスイッチ部内の寄生コンデンサとで共振が生じる。それにより、サージ電圧が発生する。サージ電圧の発生は、例えば一次巻線の漏れインダクタンスによるエネルギーの蓄積及び散逸を引き起こす。こうして、スイッチング損失が増大する。

【００５１】

例えば図7では時刻T1で第一のハイサイドスイッチ部101Hと第二のローサイドスイッチ部102Lとがオフする直前、それぞれを実質的に同量の電流I1H＝I2Lが流れる。時刻T1で両スイッチ部がオフすると、それぞれの寄生コンデンサ1HCと2LCと、トランス3の一次巻線3aの漏れインダクタンスとの間で激しい共振が生じ、サージ電圧が発生する。それにより、図7に示されているように、第一のハイサイドスイッチ部101Hと第二のローサイドスイッチ部102Lとのそれぞれの両端間電圧V1H及びV2Lが急峻なピークsvを成すように変化する。同様なピークは、時刻T3で第一のローサイドスイッチ部101Lと第二のハイサイドスイッチ部102Hとが同時にオンする時、それぞれの両端間電圧V1LとV2Hとに現れる。

【００５２】

ハードスイッチングでは上記の通り、スイッチ部のオン／オフごとにサージ電流／サージ電圧が発生するので、スイッチング損失が増大する。スイッチング損失の増大はスイッチング電源装置のエネルギー効率を低下させるので好ましくない。その上、上記のサージ電流／サージ電圧はスイッチング周波数の電磁波及びその高調波を発生させる。それらの電磁波は周辺のデバイスの動作を妨げるので好ましくない。

【００５３】

上記のスイッチング電源装置110のように、従来のソフトスイッチングによるフルブリッジ型コンバータ（以下、アクティブクランプフルブリッジ(ＡＣＦＢ)コンバータという）は、ハードスイッチングによるスイッチング電源装置100に比べ、スイッチング損失について有利である。しかし、ソフトスイッチングはハードスイッチングに比べ、導通損失については次の通り不利である：

【００５４】

ソフトスイッチングは第三の期間、すなわち、トランス3の一次巻線3aを短絡する期間(図9では期間T2～T3とT6～T7とに相当する)を含む。第三の期間では、一次電流Itが二つのローサイドスイッチ部1Lと2L、及び一次巻線3aを通して循環する。すなわち、第三の期間では一次電流Itが0ではなく有限である。その点でソフトスイッチングはハードスイッチングと異なる。スイッチ部は一般にオン抵抗を含み、トランス3の一次巻線3aは一般に寄生抵抗を含む。それらの抵抗は一次電流Itの導通時ジュール熱を発生し、エネルギーを散逸する。こうして、ソフトスイッチングではハードスイッチングに比べ、第三の期間での一次電流Itによる導通損失（以下、循環電流損失という）が増大する。

【００５５】

スイッチング電源装置に対する小型化の要請により、スイッチ部のサイズが制限される。その結果、スイッチ部のオン抵抗には下限がある。その下限は、小型のスイッチング電源装置ほど大きい。そのような小型のスイッチング電源装置では、ソフトスイッチングによるスイッチング損失の低減より循環電流損失の増大が上回り得る。その時、スイッチング電源装置の効率が十分には向上しない。

【００５６】

ＡＣＦＢコンバータ110では、トランスの一次巻線の漏れインダクタンスがスイッチ部の寄生コンデンサとの共振に利用される。しかし、そのような漏れインダクタンスは本質的に小さい。漏れインダクタンスが小さ過ぎる時、十分に大きい共振電流が得られず、スイッチ部の寄生コンデンサの放電及び充電が不十分になり得る。その結果、ＺＶＳが実現で

きず、スイッチング損失が増大し得る。
【００５７】
スイッチングに伴うサージ電流／サージ電圧の発生源はスイッチ部内には限られない。上記のハードスイッチングによる従来のスイッチング電源装置100及びソフトスイッチングによるＡＣＦＢコンバータ110のいずれでも、二次側での転流時、整流ダイオード4b及び4cのそれぞれのオフに伴い、サージ電流／サージ電圧が生じる。それにより、図7及び図9にそれぞれ示されている通り、整流ダイオード4b及び4cのそれぞれを流れる電流Ib及びIcにピークcfが生じ、両端間電圧Vb及びVcにピークvfが生じる。整流ダイオード4b及び4cでのサージ電流／サージ電圧の発生原因は次の通りである：
【００５８】
第一の期間及び第二の期間のそれぞれの開始時、二つの整流ダイオード4b及び4cのいずれかがオフする。第一の期間及び第二の期間の開始時は、図7では時刻T0及びT2に、図9では時刻T0及びT4に、それぞれ相当する。ダイオードはオンの間、一般に電荷を蓄積する。それにより、逆バイアスの印加でオフする時、蓄積された電荷が逆電流として放電される。上記のスイッチング電源装置100及び110では、二次側の転流により整流ダイオード4b及び4cのいずれかがオフする時、逆電流としてサージ電流が発生する。
【００５９】
二つの整流ダイオード4b及び4cはそれぞれ、トランス3の二つの二次巻線3b及び3cに接続される。例えば、第一の整流ダイオード4bがオフする時、上記の逆電流に基づいて、第一の整流ダイオード4bの寄生容量と第一の二次巻線3bの漏れインダクタンスとが共振する。それにより、第一の整流ダイオード4bの両端間にサージ電圧が生じる。第二の整流ダイオード4cがオフする時も同様に、その両端間に逆電流に基づくサージ電圧が生じる。
上記の整流ダイオードのオン／オフに伴うサージ電流／サージ電圧はノイズを発生する。そのノイズによる電力損失はスイッチング損失の一部としてスイッチング電源装置の効率を低減するので好ましくない。
【００６０】
本発明は、ソフトスイッチングによりスイッチング損失を低減し、かつ、循環電流損失を低減できるスイッチング電源装置の提供、を目的とする。
【００６１】
【課題を解決するための手段】
本発明によるスイッチング電源装置は、
(A) (a) 四つのスイッチ部であって、そのいずれも、(1) 外部からのスイッチング信号によりオンオフされるスイッチ素子と、(2) スイッチ素子へ並列に接続されたダイオードと、(3) スイッチ素子へ並列に接続されたコンデンサと、をそれぞれ含む、第一のハイサイドスイッチ部、第二のハイサイドスイッチ部、第一のローサイドスイッチ部及び第二のローサイドスイッチ部；
(b) (1) 一次巻線と、(2) 互いに直列に接続されてその接続点を共通端とする第一の二次巻線と第二の二次巻線と、を含むトランス；
(c) (1) 整流素子と；(2) 整流素子へ並列に接続され、スナバコンデンサを含むスナバと；をそれぞれ含む、第一の整流部と第二の整流部； 及び、
(d) 第一の入力端子と第二の入力端子とを含み、それらの入力端子を通した入力を平滑にして出力するための平滑部；
を有するＤＣ－ＤＣコンバータであり；
(B) 第一のハイサイドスイッチ部のカソードが実質的な直流定電圧源の高電位端子へ、第一のハイサイドスイッチ部のアノードが第一のローサイドスイッチ部のカソードへ、第一のローサイドスイッチ部のアノードが実質的な直流定電圧源の低電位端子へ、それぞれ接続し；
(C) 第二のハイサイドスイッチ部のカソードが実質的な直流定電圧源の高電位端子へ、第二のハイサイドスイッチ部のアノードが第二のローサイドスイッチ部のカソードへ、第二のローサイドスイッチ部のアノードが実質的な直流定電圧源の低電位端子へ、それぞれ

接続し；
(D) トランスの一次巻線の一端が第一のハイサイドスイッチ部と第一のローサイドスイッチ部との接続点へ、他端が第二のハイサイドスイッチ部と第二のローサイドスイッチ部との接続点へそれぞれ接続し；
(E) トランスの第一の二次巻線の共通端とは別の端が第一の整流部の一端へ、第二の二次巻線の共通端とは別の端が第一の整流部の一端と同じ極性の第二の整流部の一端へ、共通端が平滑部の第一の入力端子へ、それぞれ接続し；
(F) 第一の整流部と第二の整流部とのそれぞれの他端が平滑部の第二の入力端子へ接続した；
ＤＣ－ＤＣコンバータ；
並びに、
(A) 第一の整流部及び第二の整流部のそれぞれのスナバの等価容量と、一次巻線の短絡時でのトランスの二次側の漏れインダクタンスと、で決まる共振周期に基づいて遅れ時間を決定し；
(B) 四つのスイッチ部のそれぞれへスイッチング信号を所定のスイッチング周波数及び位相で出力し、それにより、
(a) (1) 第一のハイサイドスイッチ部と第二のローサイドスイッチ部とをオンし、かつ、第二のハイサイドスイッチ部と第一のローサイドスイッチ部とをオフする第一の期間、及び、(2) 第一のハイサイドスイッチ部と第二のローサイドスイッチ部とをオフし、かつ、第二のハイサイドスイッチ部と第一のローサイドスイッチ部とをオンする第二の期間、をそれぞれ所定の時間と所定の周期とで交互に実現し；
(b) 第一の期間の終了時、第一のハイサイドスイッチ部と第二のローサイドスイッチ部とのいずれか一方を、他方のオフ後遅れ時間だけ遅れてオフし；
(c) 第二の期間の終了時、第二のハイサイドスイッチ部と第一のローサイドスイッチ部とのいずれか一方を、他方のオフ後遅れ時間だけ遅れてオフする；
ためのスイッチング制御部；
を具備する。

【００６２】
上記のスイッチング電源装置では、第一の期間及び第二の期間のそれぞれの終了から遅れ時間の経過時、オンしていたハイサイドスイッチ部及びローサイドスイッチ部が共にオフする。その時、トランスの一次巻線を流れる電流(一次電流)が次のように速やかに減衰する。

【００６３】
第一の二次巻線へ接続する第一の整流部の一端と、第二の二次巻線へ接続する第二の整流部の一端とは、同じ極性を持つ。すなわち、第一の整流部のアノードが第一の二次巻線へ接続する時、第二の整流部のアノードが第二の二次巻線へ接続する。逆に、第一の整流部のカソードが第一の二次巻線へ接続する時、第二の整流部のカソードが第二の二次巻線へ接続する。

【００６４】
第一の期間では第一の整流部が、第二の期間では第二の整流部が、それぞれオフする。それにより、トランスの二次側では全波整流が実現される。その時、オフした片方の整流部では、内部のスナバコンデンサが逆バイアスにより電荷を蓄積する。第一の期間及び第二の期間のそれぞれの終了時、二次巻線のそれぞれの誘導電圧が0へ低減する。その時、オフしていた片方の整流部ではスナバコンデンサが放電する。その放電電流により、その整流部内の整流素子がオンする前から、その整流部へ接続された二次巻線に電流が流れ始める。その電流に基づいて、スナバコンデンサとトランスの二次側の漏れインダクタンスとが共振する。ここで、トランスの二次側の漏れインダクタンスとは、一次巻線の短絡時、二つの二次巻線の共有端とは別のそれぞれの端の間に等価的に生じる漏れインダクタンスをいう。本明細書ではその漏れインダクタンスを、一次巻線の短絡時でのトランスの二次側の漏れインダクタンスという。それ故、従来のスイッチング電源装置とは異なり、トラ

ンスの二次電流の転流が滑らかかつ速やかに進行する。すなわち、第一の期間及び第二の期間の終了後速やかに、二次電流が両方の二次巻線を実質的に等量ずつ流れ始める。その結果、一次側換算電流は、二つの二次巻線をそれぞれ流れる二次電流の間で滑らかかつ速やかに相殺される。従って、第一の期間及び第二の期間のそれぞれの終了時、一次電流が滑らかかつ速やかに低減する。それ故、上記の遅れ時間だけ遅れて一次電流を遮断する時、サージ電圧が低減するので、一次電流の遮断によるスイッチング損失が低減する。更に、第一の期間と第二の期間との間一次電流が遮断されるので、一次電流による循環電流損失が低減する。

【００６５】

上記のスイッチング電源装置では、スイッチング制御部が、

(A) 第一の期間の終了時、第二のローサイドスイッチ部を、第一のハイサイドスイッチ部のオフ後遅れ時間だけ遅れてオフし；

(B) 第二の期間の終了時、第一のローサイドスイッチ部を、第二のハイサイドスイッチ部のオフ後遅れ時間だけ遅れてオフしても良い。

このスイッチング電源装置では、第一の期間及び第二の期間のそれぞれの終了から、それぞれに対応する遅れ時間の経過まで、トランスの一次電流が二つのローサイドスイッチ部と一次巻線とを循環する。

【００６６】

その他に、スイッチング制御部が、

(A) 第一の期間の終了時、第一のハイサイドスイッチ部を、第二のローサイドスイッチ部のオフ後遅れ時間だけ遅れてオフし；

(B) 第二の期間の終了時、第二のハイサイドスイッチ部を、第一のローサイドスイッチ部のオフ後遅れ時間だけ遅れてオフしても良い。

このスイッチング電源装置では、第一の期間及び第二の期間のそれぞれの終了から、それぞれに対応する遅れ時間の経過まで、トランスの一次電流が二つのハイサイドスイッチ部と一次巻線とを循環する。

【００６７】

更に上記とは別に、スイッチング制御部が、

(A) 第一の期間の終了時、第二のローサイドスイッチ部を、第一のハイサイドスイッチ部のオフ後遅れ時間だけ遅れてオフし；

(B) 第二の期間の終了時、第二のハイサイドスイッチ部を、第一のローサイドスイッチ部のオフ後遅れ時間だけ遅れてオフしても良い。

このスイッチング電源装置では、第一の期間の終了から遅れ時間の経過まで、トランスの一次電流が二つのローサイドスイッチ部と一次巻線とを循環する。一方、第二の期間の終了から遅れ時間の経過まで、トランスの一次電流が二つのハイサイドスイッチ部と一次巻線とを循環する。そのように循環部分が交互に入れ替わるので、スイッチ部のそれぞれに加わるストレスが均等化される。

【００６８】

上記のスイッチング電源装置では、スイッチング制御部が、

(A) 第一のハイサイドスイッチ部の等価容量、第一のローサイドスイッチ部の等価容量、及び、トランスの一次巻線の漏れインダクタンス、で決まる共振周期に基づいて第一のデッドタイムを決定し；

(B) 第二のハイサイドスイッチ部の等価容量、第二のローサイドスイッチ部の等価容量、及び、トランスの一次巻線の漏れインダクタンス、で決まる共振周期に基づいて第二のデッドタイムを決定し；

(C) 第一の期間と第二の期間とのそれぞれの終了時、

(a) 第一のハイサイドスイッチ部と第一のローサイドスイッチ部とを第一のデッドタイムだけ共にオフし；又は、

(b) 第二のハイサイドスイッチ部と第二のローサイドスイッチ部とを第二のデッドタイムだけ共にオフしても良い。

【００６９】
例えば、第一の期間の終了時、第二のローサイドスイッチ部より先に第一のハイサイドスイッチ部をオフする。その時、トランスの一次巻線の漏れインダクタンスと、第一のハイサイドスイッチ部及び第一のローサイドスイッチ部のそれぞれの等価容量と、で共振が生じる。その共振により、第一のハイサイドスイッチ部内のコンデンサが充電され、第一のローサイドスイッチ部内のコンデンサが放電する。更に、第一のローサイドスイッチ部内のコンデンサが放電を完了した時、同じスイッチ部内のダイオードがオンし、両端間電圧を0にクランプする。その状態で第一のローサイドスイッチ部をオンできるので、上記のスイッチング電源装置では第一のローサイドスイッチ部のオンについてＺＶＳを実現できる。それ故、そのスイッチング損失を低減できる。第一の期間の終了時第二のローサイドスイッチ部を先にオフする場合、及び、第二の期間の終了時でも、先にオンするスイッチ部についてＺＶＳを同様に実現できる。
【００７０】
デッドタイムは、ハイサイドスイッチ部の等価容量、ローサイドスイッチ部の等価容量、及び、トランスの一次巻線の漏れインダクタンス、で決まる共振周期に基づいて決定される。好ましくは、その共振周期の1／4に実質的に等しい。一方、遅れ時間は、スナバの等価容量と、一次巻線の短絡時でのトランスの二次側の漏れインダクタンスと、で決まる共振周期に基づいて決定される。好ましくはその共振周期の1／4に実質的に等しい。遅れ時間は主にスナバコンデンサの容量で調節される。それ故、上記のスイッチング電源装置では、上記のＺＶＳの実現後速やかに一次電流を遮断できる。こうして、スイッチング損失と共に循環電流損失を低減できる。
【００７１】
上記のスイッチング電源装置では、スナバがそのスナバコンデンサへ直列に接続された抵抗を含んでも良い。第一の期間及び第二の期間のそれぞれの開始時、トランスの二次巻線にはそれぞれ一次側からの誘導電圧が発生する。それにより、オンしていた二つの整流部のいずれかがオフする。その時、オフする整流部では、スナバコンデンサとトランスの二次側の漏れインダクタンスと、で共振が生じる。スナバ内の抵抗はその共振を速やかに減衰させる。それにより、共振によるリンキングの発生を抑えると共に、そのスナバに対して並列な整流素子への印加電圧のピークを低減する。
【００７２】
上記のスイッチング電源装置では更に、(a)　スナバが抵抗へ並列に接続された副整流素子を含み；(b)　整流素子と副整流素子とのアノード同士と、カソード同士と、のいずれかが接続しても良い。第一の期間及び第二の期間のそれぞれの終了時、オフしていた整流部ではスナバコンデンサが放電する。その時の放電電流は抵抗に対して並列な副整流素子を流れる。それにより、その抵抗による放電電流の低減が回避される。従って、スナバの等価容量とトランスの二次側の漏れインダクタンスとの共振電流のピークが増大する。その結果、第一の期間及び第二の期間のそれぞれの終了時更に速やかに一次側換算電流が十分に相殺され、一次電流が十分に低減する。従って、スナバ内の抵抗による導通損失だけでなく、一次電流によるスイッチング損失及び循環電流損失を更に低減できる。それに加え、放電電流によるスナバ内の抵抗の発熱が抑制されるので、熱による抵抗値の増大及び他の素子の機能低下を防止できる。
【００７３】
上記のスイッチング電源装置では、スナバに含まれる整流素子及び副整流素子が、好ましくはダイオードである。その他に、ＩＧＢＴ、ＭＯＳＦＥＴ等の半導体スイッチ素子であっても良い。その時、それらの半導体スイッチ素子のスイッチングは、好ましくはスイッチング制御部により、一次側のフルブリッジ内のスイッチ部と同期して制御される。
【００７４】
【発明の実施の形態】
以下、本発明の最適な実施の形態について、その好ましい実施例を挙げて、図面を参照しつつ説明する。

【００７５】
《実施例１》
本発明の実施例１によるスイッチング電源装置10はフルブリッジ型コンバータを有する。スイッチング制御回路7は、フルブリッジを構成する四つのスイッチ部1H、1L、2H、及び2Lのオンに対してハードスイッチングを行う。
図1は実施例１によるスイッチング電源装置10の回路を示す。図1と図8との比較から明らかなように、トランス3の二次側に二つのスナバコンデンサ8Cbと8Ccを有する点で、実施例１によるスイッチング電源装置10の回路構成は従来のスイッチング電源装置、例えば図8に示されている従来例110、と異なる。
【００７６】
直流電源が入力端子1a及び1bに接続される。ここで、直流電源は交流電源からの交流を整流して得られた実質的なものでも良い。直流電源からの入力電圧をVinとする。更に、直流電源の高電位側が第一の入力端子1aへ、低電位側が第二の入力端子1bへ、それぞれ接続される。
【００７７】
四つのスイッチ部1H、1L、2H、及び2Lはそれぞれ、二つの端子の間に並列に接続されたスイッチ素子、ダイオード、及びコンデンサを含む。特にダイオードの極性により、スイッチ部はそのダイオードと同じ極性を有する。ダイオードのカソード及びアノードのそれぞれに接続されたスイッチ部の端子をそれぞれ、カソード及びアノードという。更に、それぞれの回路素子の特性は、四つのスイッチ部で共通である。
【００７８】
四つのスイッチ部は二つずつ直列に接続されて二つの対をなす。更に、それらの対が並列に接続される。それぞれの対に含まれる二つのスイッチ部の内、第一の入力端子1aへ接続された一方をハイサイドといい、第二の入力端子1bへ接続された他方をローサイドという。図1では、第一のハイサイドスイッチ部1Hと第一のローサイドスイッチ部1L、第二のハイサイドスイッチ部2Hと第二のローサイドスイッチ部2L、のそれぞれが直列に接続される。第一のハイサイドスイッチ部1Hのアノードと第一のローサイドスイッチ部1Lのカソードとが第一の接続点Pで、第二のハイサイドスイッチ部2Hのアノードと第二のローサイドスイッチ部2Lのカソードとが第二の接続点Qで、それぞれ接続される。第一のハイサイドスイッチ部1Hのカソードと第二のハイサイドスイッチ部2Hのカソードとが共に第一の入力端子1aに接続される。第一のローサイドスイッチ部1Lのアノードと第二のローサイドスイッチ部2Lのアノードとが共に第二の入力端子1bに接続される。
【００７９】
スイッチ素子1HS、1LS、2HS、及び2LSは好ましくはＭＯＳＦＥＴである。その他に、バイポーラトランジスタ又はＩＧＢＴであっても良い。
ダイオード1HD、1LD、2HD、及び2LDは、好ましくは同じスイッチ部内のスイッチ素子1HS、1LS、2HS、及び2LSのそれぞれの寄生ダイオードである。その他に、スイッチ素子1HS、1LS、2HS、及び2LSとは別の独立な素子であっても良い。
四つのコンデンサ1HC、1LC、2HC、及び2LCは同じスイッチ部内のスイッチ素子1HS、1LS、2HS、及び2LSのそれぞれの寄生コンデンサであり、対応するスイッチ素子へ並列に接続されるとみなせる。コンデンサ1HC、1LC、2HC、及び2LCは、配線及びトランス3の寄生コンデンサを等価的に含む。更に、コンデンサ1HC、1LC、2HC、及び2LCがスイッチ素子とは別の独立な素子として、コンデンサを含んでいても良い。
【００８０】
スイッチ部の対それぞれの接続点P及びQの間にトランス3の一次巻線3aが接続される。トランス3は二つの二次巻線3b及び3cを有する。ここで、トランス3の一次巻線3a、第一の二次巻線3b、及び第二の二次巻線3cの巻数比はn：1：1(nは正の実数)である。二次巻線3b及び3cの接続点である共有端Rは第二の出力端子2bへ接続される。第一の二次巻線3b及び第二の二次巻線3cのそれぞれでは、共有端Rとは逆の端が第一の整流ダイオード4b及び第二の整流ダイオード4cのそれぞれのアノードへ接続される。第一の整流ダイオード4b及び第

二の整流ダイオード4cのカソードはいずれも平滑インダクタ5の一端へ接続される。二つの整流ダイオード4b及び4cはトランス3の出力に対して全波整流を行う。

【００８１】

平滑インダクタ5の他端は第一の出力端子2aへ接続される。平滑インダクタ5のインダクタンスはトランス3等の他の回路素子より十分に大きい。平滑コンデンサ6では、一端が第一の出力端子2aと平滑インダクタ5との間へ、他端が第二の出力端子2bへ、それぞれ接続される。平滑コンデンサ6の容量はスイッチ部内のコンデンサ及びスナバコンデンサ8Cb及び8Ccに比べて十分に大きい。平滑インダクタ5及び平滑コンデンサ6は平滑フィルタを構成し、二つの整流ダイオード4b及び4cを通して整流されたトランス3の出力を平滑する。こうして、平滑コンデンサ6の両端間電圧、すなわち、二つの出力端子2a及び2b間の出力電圧Voutは実質的に一定である。

【００８２】

第一のスナバコンデンサ8Cb及び第二のスナバコンデンサ8Ccはそれぞれ、第一の整流ダイオード4b及び第二の整流ダイオード4cのそれぞれへ、並列に接続される。こうして、実施例１では、第一の整流ダイオード4bと第一のスナバコンデンサ8Cbとが第一の整流部を、第二の整流ダイオード4cと第二のスナバコンデンサ8Ccとが第二の整流部を、それぞれ構成する。ここで、スナバコンデンサ8Cb及び8Ccのそれぞれの容量は互いに実質的に等しく、スイッチ部内の寄生コンデンサ1HC、1LC、2HC、及び2LCの容量に比べて十分に大きい。

【００８３】

スイッチング制御回路7は二つの出力端子2a及び2bにそれぞれ接続され、出力電圧Voutを測定する。更に、スイッチング制御回路7はスイッチ素子1HS、1LS、2HS、及び2LSへ接続され、それぞれのスイッチ素子のオン／オフをスイッチング信号G1、G2、G3、及びG4で制御する。それぞれのスイッチ素子は好ましくはＭＯＳＦＥＴである。その時、スイッチング制御回路7はそれぞれのスイッチ素子のゲートへ接続され、スイッチング信号G1～G4として電圧信号をそれぞれのゲートへ出力する。それにより、それぞれのゲート電位を変化させ、それぞれのスイッチ素子のオン／オフを切り換える。スイッチング制御回路7は特に、測定された出力電圧Voutに基づいてスイッチング信号G1～G4の周波数(スイッチング周波数)を調節する。それにより、スイッチ素子1HS、1LS、2HS、及び2LSのオン／オフの時比率を制御し、出力電圧Voutを一定に維持する。

【００８４】

実施例１によるスイッチング電源装置10はフルブリッジ構成の四つのスイッチ部に対して以下のようなスイッチングを実行する：

スイッチング電源装置10では図1に示されているように、二つの入力端子1a及び1bの間に入力電圧Vinが、二つの出力端子2a及び2bの間に出力電圧Voutが、それぞれ印加される。入力電圧Vin及び出力電圧Voutはそれぞれ実質上一定に維持される。

【００８５】

図2は、スイッチング電源装置10でのスイッチングにより、図1に示されている回路の各部分で生じる電流及び電圧の波形図である。

スイッチング信号G1、G2、G3、及びG4は矩形波であり、それぞれ所定の幅を持つ。スイッチング信号G1、G2、G3、及びG4が高電位(H)を示す間、スイッチ素子1HS、1LS、2HS、及び2LSはそれぞれオンする。逆に、スイッチング信号G1、G2、G3、及びG4が低電位(L)を示す間、スイッチ素子1HS、1LS、2HS、及び2LSはオフする。

【００８６】

電圧V1H、V1L、V2H、及びV2Lはそれぞれ、スイッチ部1H、1L、2H、及び2Lに印加される電圧である。それぞれの極性は図1に示されている矢印の向き、すなわち、第二の入力端子1b側の端(アノード)に対する第一の入力端子1a側の端(カソード)の電位、を正として定義される。ハイサイドスイッチ部の両端間電圧VHは入力電圧Vinと同じ対のローサイドスイッチ部の両端間電圧VLとの差に実質的に等しい：VH＝Vin－VL。従って、図2ではローサイドスイッチ部1L及び2Lの両端間電圧V1L及びV2Lのみが示される。

【００８７】

電流I1H、I1L、I2H、及びI2Lはそれぞれ、スイッチ部1H、1L、2H、及び2Lを流れる電流である。それぞれの極性は図1に示されている矢印の向き、すなわち、カソードからアノードへの向き、を正として定義される。

【００８８】

一次電圧Vtはトランス3の一次巻線3aに印加される電圧である。その極性は図1に示されている矢印の向き、すなわち、第二の接続点Qに対する第一の接続点Pの電位、を正として定義される。一次電圧Vtは二つのローサイドスイッチ部1L及び2Lのそれぞれの両端間電圧V1L及びV2Lの差に実質的に等しい：Vt＝V1L－V2L。

【００８９】

一次電流Itはトランス3の一次巻線3aを流れる電流である。その極性は図1に示されている矢印の向き、すなわち、第一の接続点Pから第二の接続点Qへの向き、を正として定義される。一次電流Itは、ハイサイドスイッチ部を流れる電流とローサイドスイッチ部を流れる電流との差に実質的に等しい：It＝I1H－I1L＝－I2H＋I2L。

【００９０】

電圧Vb及びVcは第一の整流ダイオード4b及び第二の整流ダイオード4cのそれぞれの両端間電圧である。それぞれの極性は図1に示されている矢印の向きを正として定義される。すなわち、それぞれの整流ダイオードに対して逆バイアスの向きを正とする。一次巻線3a、二次巻線3b及び3cの巻数比はn：1：1であるので、二つの二次巻線3b及び3cのそれぞれの両端間電圧は一次電圧Vtの1／n倍＝Vt／nに実質的に等しい。

【００９１】

二次電流Ib及びIcはトランス3の二つの二次巻線3b及び3cをそれぞれ流れる電流である。それぞれの極性は図1に示されている矢印の向きを正として定義される。すなわち、第一の二次電流Ibは第一の二次巻線3bの共有端Rから他端への向きを、第二の二次電流Icは第二の二次巻線3cの他端から共有端Rへの向きを、それぞれ正とする。

電流I5は平滑インダクタ5を流れる電流であり、スイッチング電源装置10の出力電流に実質的に等しい。その極性は、図1に示されている矢印の向き、すなわち、トランス3側の端から第一の出力端子2a側の端への向き、を正として定義される。出力電流I5は二つの二次電流Ib及びIcの和に実質的に等しい：　I5＝Ib＋Ic。

【００９２】

一次電流Itは、トランス3に対する励磁電流と、トランス3の二次電流で決まる一次側換算電流と、の和に等しい。一次側換算電流はトランス3の二つの二次電流Ib及びIcから次のように求まる：(1)　一次巻線3aと第一の二次巻線3bとの相互インダクタンスについて、一次巻線3aの自己インダクタンスに対する比を求める；(2)　その比と第一の二次電流Ibとの積を求める；(3)　第二の二次巻線3cについても同様に積を求める；(4)　第一の二次巻線3bについて求めた積と、第二の二次巻線3cについて求めた積と、の和を求める。その和が一次側換算電流に実質的に等しい。実施例１での一次側換算電流は第一の二次電流Ibと第二の二次電流Icとの差の1／n倍＝(Ib－Ic)／nに実質的に等しい。

【００９３】

スイッチング制御回路7は四つのスイッチ部のオンに対してハードスイッチングを行う。すなわち、ハイサイドスイッチ部とローサイドスイッチ部とを一つずつ同時にオンする。一方、スイッチ部のオフに対しては後述のように、一方のオフを他方より遅れ時間だけ遅らせる。スイッチング制御回路7によるスイッチングは次の四つの期間を、所定の時間かつ所定の周期で交互に実現する：

【００９４】

(1)　第一の期間は図2では期間T0～T1に相当する。第一の期間では、第一のハイサイドスイッチ部1Hと第二のローサイドスイッチ部2Lとをオンし、第二のハイサイドスイッチ部2Hと第一のローサイドスイッチ部1Lとをオフする。

(2)　第二の期間は図2では期間T4～T5に相当する。第二の期間では、第一のハイサイドスイッチ部1Hと第二のローサイドスイッチ部2Lとをオフし、第二のハイサイドスイッチ部2Hと第一のローサイドスイッチ部1Lとをオンする。

(3) 第三の期間は図2では期間T3～T4及び期間T7～T8に相当し、第一の期間と第二の期間との間で実現される。第三の期間では、四つのスイッチ部を全てオフする。
(4) 第四の期間は図2では期間T1～T3及び期間T5～T7に相当し、第一の期間と第二の期間とのそれぞれの終了時に実現される。第四の期間の開始時、その直前にオンしていた二つのスイッチ部の一方だけが先にオフする。第四の期間の終了時、他方のスイッチ部がオフする。第四の期間の長さを遅れ時間という。

【００９５】

以下、スイッチング制御回路7によるスイッチングについて、図2で示されている時刻T0からT8までの時間順に説明する：

＜期間T0～T1＞

時刻T0にスイッチング制御回路7が第一のスイッチング信号G1及び第四のスイッチング信号G4を同時にLからHへと変化させ、第一のハイサイドスイッチ部1Hと第二のローサイドスイッチ部2Lとを同時にオンする。一方、第一のローサイドスイッチ部1L及び第二のハイサイドスイッチ部2Hはいずれもオフしている。

【００９６】

期間T0～T1では第一のハイサイドスイッチ部1Hと第二のローサイドスイッチ部2Lとを通して、トランス3の一次巻線3aには実質的に一定でかつ正の入力電圧Vinが印加される。すなわち、一次巻線3aの両端間電圧Vtが入力電圧Vinに実質的に等しい。更に、トランス3の一次電流Itが一次巻線3aを第一の接続点Pから第二の接続点Qへ、すなわち、図2に示されている矢印の向きに流れる。その時、トランス3の二次巻線3b及び3cにはそれぞれ正の電圧Vin／nが誘導される。その時、第一の整流ダイオード4bがオンしているので、平滑インダクタ5の両端間電圧V5はVin／n－Voutに実質的に等しい。従って、平滑インダクタ5を流れる出力電流I5は期間T0～T1で、図1に示されている矢印の向きに直線的に増大する。但し、平滑インダクタ5のインダクタンスは十分に大きいので、平滑インダクタ5を流れる電流I5の増大は緩やかである。第二の整流ダイオード4cの両端間電圧Vcは実質的に＋2Vin／nに等しく正であるので、第二の整流ダイオード4cはオフしている。それ故、平滑インダクタ5の電流I5は第一の二次電流Ibに実質的に等しい。すなわち、期間T0～T1では、トランス3の二次電流が第一の二次巻線3bのみを通して流れ、直線的に増大する。第二の整流ダイオード4cのオフ時、第二のスナバコンデンサ8Ccは第二の整流ダイオード4cに対する逆バイアスVc＝2Vin／nに比例した電荷を蓄積する。

【００９７】

トランス3の一次電流Itは上記の通り、励磁電流と一次側換算電流との和に実質的に等しい。図2に示されているように、期間T0～T1では一次電圧Vtが実質的に一定な値Vinを維持する。それ故、一次電流Itに含まれる励磁電流は実質上直線的に増大する。一方、既に述べた通りトランス3の二次電流は直線的に増大するので、一次側換算電流は直線的に増大する。従って、一次電流Itは実質上直線的に増大する。

【００９８】

＜期間T1～T3＞

時刻T1にスイッチング制御回路7は第一のスイッチング信号G1をHからLへと変化させ、第一のハイサイドスイッチ部1Hをオフする。一方、第二のローサイドスイッチ部2Lはオン状態を維持する。その時、一次巻線3aの漏れインダクタンス、第一のハイサイドスイッチ部1Hの寄生コンデンサ1HC、及び第一のローサイドスイッチ部1Lの寄生コンデンサ1LCで、共振が生じる。その共振により、一次電流Itが第一のハイサイドスイッチ部1Hの寄生コンデンサ1HCを充電すると同時に、第一のローサイドスイッチ部1Lの寄生コンデンサ1LCを放電させる。従って、第一のハイサイドスイッチ部1Hの両端間電圧V1Hが0から滑らかに上昇すると共に、第一のローサイドスイッチ部1Lの両端間電圧V1Lが最大値Vinから滑らかに降下する。

【００９９】

時刻T2で、第一のハイサイドスイッチ部1Hの両端間電圧V1Hが最大値Vinへ達する。それと同時に第一のローサイドスイッチ部1Lの両端間電圧V1Lが0に達する。その時、第一のロー

サイドスイッチ部1Lのダイオード1LDがオンし、両端間電圧V1Lを0にクランプする。それにより、一次電圧Vtが同様に滑らかに降下し、0でクランプされる。

【０１００】

第一の二次巻線3b及び第二の二次巻線3cのそれぞれでは期間T1～T2で、一次電圧Vtの降下に伴って両端間電圧が降下する。その時、第一の整流ダイオード4bはオンしているので、その両端間電圧Vbは実質的に0である。一方、第二の整流ダイオード4cの両端間電圧Vcは降下する。すなわち、第二の整流ダイオード4cに対する逆バイアスが減少する。それにより、第二のスナバコンデンサ8Ccが放電する。その放電電流に基づいて、第二のスナバコンデンサ8Ccとトランス3の二次側の漏れインダクタンスとが共振し始める。ここで、その二次側の漏れインダクタンスは、一次巻線3aの短絡時トランス3の二次側で、第一の二次巻線3bの共有端Rとは別の端と、第二の二次巻線3cの共有端Rとは別の端と、の間に等価的に生じる漏れインダクタンス、に実質的に等しい。以下、その漏れインダクタンスを、一次巻線の短絡時でのトランスの二次側の漏れインダクタンスという。更に、第二のスナバコンデンサ8Ccの容量はスイッチ部内の寄生コンデンサの容量に比べて十分に大きい。従って、第二のスナバコンデンサ8Ccと上記の二次側の漏れインダクタンスとの共振周期は、スイッチ部内の寄生コンデンサと一次巻線3aとの共振周期より十分に長い。その結果、第二の整流ダイオード4cの両端間電圧Vcは時刻T1以後一次電圧Vtよりも緩やかに降下し、時刻T2より後の時刻T3直前で0に達する。その時、第二の整流ダイオード4cがオンする。

【０１０１】

第二のスナバコンデンサ8Ccは期間T1～T3での共振により放電する。その放電電流が、第二の二次巻線3cを流れる第二の二次電流Icを急速にかつ滑らかに増大させる。それにより、第一の二次巻線3bを流れる第一の二次電流Ibが急速にかつ滑らかに減少する。その結果、二次巻線3b及び3cをそれぞれ流れる二次電流IbとIcとの差は時刻T3近傍ではほとんどない。こうして、期間T1～T3では二次巻線3b及び3cのそれぞれの二次電流の間で速やかに相殺が生じるので、一次側換算電流が急速にかつ滑らかに実質的に0まで低減する。それ故、一次電流Itは時刻T1での値から急速にかつ滑らかに減少する。

【０１０２】

＜期間T3～T4＞

時刻T3にスイッチング制御回路7が第四のスイッチング信号G4をHからLへと変化させ、第二のローサイドスイッチ部2Lをオフする。それにより、四つ全てのスイッチ部がオフする。その時、二つのローサイドスイッチ部1Lと2Lとのそれぞれの両端間電圧V1LとV2Lとはいずれも0である。従って、二つのハイサイドスイッチ部1Hと2Hとのそれぞれの両端間電圧V1HとV2Hとはいずれも入力電圧Vinに等しい。時刻T3以後、ハイサイドスイッチ部の両端間電圧はリンギングを伴いながらVinから降下し、ローサイドスイッチ部の両端間電圧はリンギングを伴いながら0から上昇する。

【０１０３】

トランス3の一次電圧Vtは期間T3～T4では実質的に0に維持される。従って、トランス3の二つの二次巻線3b及び3cのそれぞれの誘導電圧も同様に、0に維持される。更に、第一の整流ダイオード4b及び第二の整流ダイオード4cはいずれもオンしている。それ故、平滑インダクタ5の両端間電圧V5は負の定電圧－Voutに維持される。その結果、平滑インダクタ5を流れる出力電流I5が緩やかな傾きで、滑らかかつ直線的に減少する。

【０１０４】

トランス3の一次電流Itは期間T1～T3で一旦急速に減少した後、時刻T3で更に速やかに0まで低減する。従って、従来のハードスイッチングと比べて減少が緩やかであるので、アンダーシュート等のノイズが低減する。

時刻T3以後、一次電流Itは実質的には流れない。従って、一次側換算電流が0であるように、トランス3の二次電流は二つの二次巻線3b及び3cのそれぞれを、互いに逆向きにかつ実質的に等量ずつ流れ続ける。すなわち、期間T3～T4では第一の二次電流Ibと第二の二次電流Icとが実質的に等しい。

【０１０５】

＜期間T4～T5＞
時刻T4にスイッチング制御回路7が第二のスイッチング信号G2及び第三のスイッチング信号G3を同時にLからHへと変化させ、第二のローサイドスイッチ部1Lと第二のハイサイドスイッチ部2Hとを同時にオンする。一方、第一のハイサイドスイッチ部1H及び第二のローサイドスイッチ部2Lはいずれもオフしている。第一のローサイドスイッチ部1L及び第二のハイサイドスイッチ部2Hがオンする時、トランス3の一次巻線3aには入力電圧Vinが期間T0～T1での逆向きに印加され、一次電圧Vtが0から－Vinまで急速に降下する。更に、トランス3の一次電流Itが一次巻線3aを第二の接続点Qから第一の接続点Pへ、期間T0～T1とは逆向きに流れる。それ故、トランス3の二次巻線3b及び3cのそれぞれの誘導電圧が0から－Vin／nまで急速に降下する。その時、第二の整流ダイオード4cは既にオンしているので、第一の整流ダイオード4bの両端間電圧Vbが＋2Vin／nへ急速に上昇する。それにより、第一の整流ダイオード4bがオフする。その結果、トランス3の二次電流が第二の二次巻線3cのみを通して流れ始める。こうして、時刻T4ではトランス3の二次側で転流が生じる。

【０１０６】
更に、期間T4～T5では、平滑インダクタ5の両端間電圧V5は期間T0～T1と同じく、Vin／n－Voutに実質的に等しい。従って、平滑インダクタ5を流れる出力電流I5は期間T0～T1と同様、図1に示されている矢印の向きに直線的にかつ緩やかに増大する。その時、第一の整流ダイオード4bはオフしているので、トランス3の二次電流は第二の二次巻線3cのみを通して流れ、直線的に増大する。第一の整流ダイオード4bのオフ時、第一のスナバコンデンサ8Cbは第一の整流ダイオード4bに対する逆バイアスVb＝＋2Vin／nに比例した電荷を蓄積する。

【０１０７】
図2に示されているように、期間T4～T5では一次電圧Vtが実質的に一定な値－Vinを維持する。それ故、一次電流Itに含まれる励磁電流は実質上直線的に増大する。一方、既に述べた通りトランス3の二次電流は直線的に増大するので、一次側換算電流は直線的に増大する。従って、一次電流Itは実質上直線的に増大する。

【０１０８】
＜期間T5～T7＞
時刻T5にスイッチング制御回路7は第三のスイッチング信号G3をHからLへと変化させ、第二のハイサイドスイッチ部2Hをオフする。一方、第一のローサイドスイッチ部1Lはオン状態を維持する。その時、一次巻線3aの漏れインダクタンス、第二のハイサイドスイッチ部2Hの寄生コンデンサ2HC、及び第二のローサイドスイッチ部2Lの寄生コンデンサ2LCで、共振が生じる。その共振により、一次電流Itが第二のハイサイドスイッチ部2Hの寄生コンデンサ2HCを充電すると同時に、第二のローサイドスイッチ部2Lの寄生コンデンサ2LCを放電させる。従って、第二のハイサイドスイッチ部2Hの両端間電圧V2Hが0から滑らかに上昇すると共に、第二のローサイドスイッチ部2Lの両端間電圧V2Lが最大値Vinから滑らかに降下する。

【０１０９】
時刻T6で、第二のハイサイドスイッチ部2Hの両端間電圧V2Hが最大値Vinへ達する。それと同時に第二のローサイドスイッチ部2Lの両端間電圧V2Lが0に達する。その時、第二のローサイドスイッチ部2Lのダイオード2LDがオンし、両端間電圧V2Lを0にクランプする。それにより、一次電圧Vtが同様に滑らかに上昇し、0でクランプされる。

【０１１０】
第一の二次巻線3b及び第二の二次巻線3cのそれぞれでは期間T5～T6で、一次電圧Vtの上昇に伴って両端間電圧が上昇する。その時、第二の整流ダイオード4cはオンしているので、その両端間電圧Vcは実質的に0である。一方、第一の整流ダイオード4bの両端間電圧Vbは降下する。すなわち、第一の整流ダイオード4bに対する逆バイアスが減少する。その時、第一のスナバコンデンサ8Cbが放電する。その放電電流に基づいて、第一のスナバコンデンサ8Cbとトランス3の二次側の漏れインダクタンスとが共振し始める。ここで、その二次側の漏れインダクタンスは期間T1～T3でのものと同様、一次巻線の短絡時でのトランスの

二次側の漏れインダクタンスに実質的に等しい。更に、第一のスナバコンデンサ8Cbの容量は第二のスナバコンデンサ8Ccと実質的に等しく、スイッチ部内の寄生コンデンサの容量に比べて十分に大きい。従って、第一のスナバコンデンサ8Cbと上記の二次側の漏れインダクタンスとの共振周期は、スイッチ部内の寄生コンデンサと一次巻線3aとの共振周期より十分に長い。その結果、第一の整流ダイオード4bの両端間電圧Vbは時刻T5以後一次電圧Vtの上昇よりも緩やかに降下し、時刻T6より後の時刻T7直前で0に達する。その時、第一の整流ダイオード4bがオンする。

【０１１１】

第一のスナバコンデンサ8Cbは期間T5～T7での共振により放電する。その放電電流が、第一の二次巻線3bを流れる第一の二次電流Ibを急速にかつ滑らかに増大させる。それにより、第二の二次巻線3cを流れる第二の二次電流Icが急速にかつ滑らかに減少する。その結果、二次巻線3b及び3cをそれぞれ流れる二次電流IbとIcとの差は時刻T7近傍ではほとんどない。こうして、期間T5～T7では二次巻線3b及び3cのそれぞれの二次電流の間で速やかに相殺が生じるので、一次側換算電流が急速にかつ滑らかに実質的に0まで低減する。それ故、一次電流Itは時刻T5での値から急速にかつ滑らかに減少する。

【０１１２】

＜期間T7～T8＞

時刻T7にスイッチング制御回路7が第二のスイッチング信号G2をHからLへと変化させ、第一のローサイドスイッチ部1Lをオフする。それにより、四つ全てのスイッチ部がオフする。その時、二つのローサイドスイッチ部1Lと2Lとのそれぞれの両端間電圧V1LとV2Lとはいずれも0である。従って、二つのハイサイドスイッチ部1Hと2Hとのそれぞれの両端間電圧V1HとV2Hとはいずれも入力電圧Vinに等しい。時刻T7以後、ハイサイドスイッチ部の両端間電圧はリンギングを伴いながらVinから降下し、ローサイドスイッチ部の両端間電圧はリンギングを伴いながら0から上昇する。

【０１１３】

トランス3の一次電圧Vtは期間T7～T8では実質的に0に維持される。従って、トランス3の二つの二次巻線3b及び3cのそれぞれの誘導電圧も同様に、0に維持される。更に、第一の整流ダイオード4b及び第二の整流ダイオード4cはいずれもオンしている。それ故、平滑インダクタ5の両端間電圧V5は負の定電圧－Voutに維持される。その結果、平滑インダクタ5を流れる出力電流I5が緩やかな傾きで、滑らかかつ直線的に減少する。

【０１１４】

トランス3の一次電流Itは期間T5～T7で一旦急速に減少した後、時刻T7で更に速やかに0まで低減する。従って、従来のハードスイッチングと比べて減少が緩やかであるので、アンダーシュート等のノイズが低減する。

【０１１５】

時刻T7以後、一次電流Itは実質的には流れない。従って、一次側換算電流が0であるように、トランス3の二次電流は二つの二次巻線3b及び3cのそれぞれを、互いに逆向きにかつ実質的に等量ずつ流れ続ける。すなわち、期間T7～T8では第一の二次電流Ibと第二の二次電流Icとが実質的に等しい。

こうして、期間T7～T8では時刻T0の直前の状態が再現される。以後、期間T0～T8での動作が繰り返される。

【０１１６】

スイッチング制御回路7によるスイッチングでは、以下のように電圧変換率、すなわち、入力電圧Vinと出力電圧Voutとの比が求まる：

第一のハイサイドスイッチ部1Hがオンしている第一の期間T0～T1の時間と、第二のハイサイドスイッチ部2Hがオンしている第二の期間T4～T5の時間と、の和をTonとする。第一の期間及び第二の期間では平滑インダクタ5に電圧(Vin／n－Vout)が印加されるので、平滑インダクタ5に蓄えられる磁束が合わせて(Vin／n－Vout)×Tonだけ増大する。

【０１１７】

全てのスイッチ部がオフしている第三の期間、すなわち期間T3～T4と期間T7～T8、のそれ

ぞれの時間の和をToffとする。それぞれの期間では平滑インダクタ5に電圧(－Vout)が印加されるので、平滑インダクタ5に蓄えられる磁束が合わせてVout×Toffだけ減少する。ここで、上記の共振が生じる第四の期間、すなわち期間T1～T3と期間T5～T7、の時間(遅れ時間)は、第一の期間から第三の期間までのそれぞれの時間に比べて十分に短い。従って、以下の電圧変換率の説明では第四の期間を無視する。

期間T0～T8で平滑インダクタ5の磁束の増大分と減少分とが釣り合うための条件、すなわち、平滑インダクタ5のリセット条件が次式(1)のように表される。

【０１１８】

(Vin／n－Vout)×Ton＝Vout×Toff　　(1)

【０１１９】

式(1)より電圧変換率(入力電圧Vinと出力電圧Voutとの比)は次式(2)で求まる。

【０１２０】

Vout／Vin＝δ／n　　但し、δ＝Ton／(Ton＋Toff)　(2)

【０１２１】

式(2)が示すように、ハイサイドスイッチ部でのオン／オフの時比率δに対する制御により、出力電圧Voutが実質上一定値に安定に維持される。

【０１２２】

第一の期間及び第二の期間のそれぞれの終了時、スイッチング制御回路7は上記の通り、第四の期間を挟んで第三の期間を実現する。トランス3の一次電流Itは、第四の期間で一旦急速にかつ滑らかに減少し、第三の期間の開始時に0まで更に急速に減少する。こうして、四つのスイッチ部全てのオフ時での一次電流Itの変化が、従来のハードスイッチングに比べて緩やかである。それ故、一次電流Itの遮断に伴うスイッチング損失が従来のハードスイッチングに比べて低減する。

【０１２３】

第四の期間の時間すなわち遅れ時間は好ましくは、スナバの等価容量と、一次巻線3aの短絡時でのトランス3の二次側の漏れインダクタンスと、で決まる共振周期の1／4に実質的に等しい。例えば、図2の一点鎖線Aで示されているように、第四のスイッチング信号G4がHである時間すなわち遅れ時間を延長する。それにより、トランス3の一次電流Itは、図2の一点鎖線Bで示されているように、第二のスナバコンデンサ8Ccとトランス3の二次側の漏れインダクタンスとの共振の終了時刻T3を超えて、減少し続ける。しかし、第三の期間T3～T4での一次電流Itの減少は第四の期間T1～T3に比べて、かなり緩やかである。従って、時刻T3以後、一次電流Itはほぼ一定である。それ故、一次電流Itの遮断に伴うスイッチング損失は遅れ時間の延長に対してほぼ一定である。その反面、遅れ時間の延長は一次電流Itの導通時間を延長させるので、循環電流損失が増大する。結局、遅れ時間は、第二のスナバコンデンサ8Ccとトランス3の二次側の漏れインダクタンスとの共振開始から第二の整流ダイオード4cのオンまでの時間、すなわちその共振周期の1／4、と実質的に等しく、又は高々数倍程度に調節される。それにより、一次電流Itの遮断に伴うスイッチング損失を実質的に変化させることなく、循環電流損失を効果的に低減する。こうして、実施例１によるスイッチング電源装置10の効率は高い。

【０１２４】

実施例１では、二つの整流ダイオード4b及び4cのアノードがそれぞれ二次巻線へ、カソードが平滑インダクタ5へ接続する。逆に、二つの整流ダイオード4b及び4cのカソードがそれぞれ二次巻線へ、アノードが平滑インダクタ5へ接続しても良い。その時、出力電圧Voutは上記とは逆に負電圧である。

更に上記とは別に、平滑インダクタ5が二つの二次巻線の共通端Rへ、二つの整流ダイオード4b及び4cの一端が第二の出力端子2bへ、それぞれ接続しても良い。

【０１２５】

《実施例２》

本発明の実施例２によるスイッチング電源装置は実施例１によるもの10と同様な構成を有し、特にフルブリッジ型コンバータを有する。しかし、スイッチング制御回路7は実施例

１とは異なり、四つのスイッチ部1H、1L、2H、及び2Lに対してソフトスイッチングを行う。
実施例２によるスイッチング電源装置の回路構成は図1に示されている実施例１のもの10と同様であるので、その回路構成については図1を援用する。
【０１２６】
実施例１でのスイッチング制御では、図2の時刻T0及びT4のように、第一の期間及び第二の期間のそれぞれの開始時、ハイサイドスイッチ部とローサイドスイッチ部とが同時にオンされる。その時、次のようにスイッチング損失が増大する：フルブリッジ内のスイッチ部のそれぞれは図1に示されているように、スイッチ素子と並列に接続された寄生コンデンサを含む。全てのスイッチ部がオフである時、それぞれの寄生コンデンサは電荷を貯めた状態で安定する。従って、スイッチ部のオン時、寄生コンデンサがある程度電荷を貯めた状態で並列なスイッチ素子がオンされる。その時、寄生コンデンサは、オンしたスイッチ素子を通して短絡され、急激に放電する。それにより、サージ電流がそのスイッチ部内に発生し、熱又は電磁波へ変換される。それらの熱及び電磁波を通して、電力が外部へ散逸する。こうして、スイッチング損失が増大する。
【０１２７】
例えば、図2では時刻T0の直前で、第一のハイサイドスイッチ部1Hと第二のローサイドスイッチ部2Lとのそれぞれの両端間電圧V1HとV2Lとがそれぞれ有限値に保たれている。従って、第一のハイサイドスイッチ部1Hと第二のローサイドスイッチ部2Lとのそれぞれの寄生コンデンサ1HCと2LCとは、電圧V1HとV2Lとにそれぞれ比例した電荷を貯める。時刻T0で両スイッチ部がオンすると、両方の寄生コンデンサ1HCと2LCとが急激に放電し、サージ電流が発生する。それにより、第一のハイサイドスイッチ部1Hを流れる電流I1Hと、第二のローサイドスイッチ部2Lを流れる電流I2Lと、が急峻なピークscを成すように増大する。時刻T4で第一のローサイドスイッチ部1Lと第二のハイサイドスイッチ部2Hとが同時にオンする時、それぞれを流れる電流I1LとI2Hとに同様なピークが現れる。
【０１２８】
実施例１によるスイッチングでは更に第三の期間の開始時、ハイサイドスイッチ部とローサイドスイッチ部とのそれぞれの両端間電圧がリンギングを伴いながら変化する。それらのリンギングの原因となるサージ電圧はスイッチング損失を増大させる。
例えば、図2では、時刻T3で第二のローサイドスイッチ部2Lがオフする時、第一のローサイドスイッチ部1Lの両端間電圧V1Lと第二のローサイドスイッチ部2Lの両端間電圧V2Lとがそれぞれリンギングを伴いながら0から上昇する。それにより、図2に示されているように、それぞれ急峻なピークsv1及びsv2を成すように変化する。同様なピークは、時刻T7で第一のローサイドスイッチ部1Lがオフする時、二つのローサイドスイッチ部1Lと2Lとのそれぞれの両端間電圧V1LとV2Hとに現れる。従って、スイッチング損失が増大する。
【０１２９】
実施例２によるスイッチング電源装置はローサイドスイッチ部のオンに対してソフトスイッチング、特にＺＶＳ、を以下のように実現する。それにより、上記のサージ電流／サージ電圧の発生を抑制し、スイッチング損失を更に低減する。図3は、実施例２でのスイッチング制御回路7のスイッチングにより、図1に示されている回路の各部分で生じる電流及び電圧の波形図である。ここで、図3に示されている電流及び電圧は図2と同様であり、図1に示されている矢印の向きを正とする。
【０１３０】
実施例２でのスイッチングは次の五つの期間を、所定の時間かつ所定の周期で交互に実現する：
(1)　第一の期間は図3では期間T0～T1に相当する。第一の期間では、第一のハイサイドスイッチ部1Hと第二のローサイドスイッチ部2Lとをオンし、第二のハイサイドスイッチ部2Hと第一のローサイドスイッチ部1Lとをオフする。
(2)　第二の期間は図3では期間T4～T5に相当する。第二の期間では、第一のハイサイドスイッチ部1Hと第二のローサイドスイッチ部2Lとをオフし、第二のハイサイドスイッチ部2H

と第一のローサイドスイッチ部1Lとをオンする。
(3) 第三の期間は図3では期間T3～T4及び期間T7～T8に相当し、第一の期間と第二の期間との間で実現される。第三の期間では、第一のローサイドスイッチ部1Lと第二のローサイドスイッチ部2Lとのいずれかだけをオンし、残りの三つのスイッチ部をオフする。
【０１３１】
(4) デッドタイムは第一の期間及び第二の期間のそれぞれの終了時に実現される微小期間であり、図3では期間T1～T2及び期間T5～T6に相当する。デッドタイムでは、第一のハイサイドスイッチ部1Hと第一のローサイドスイッチ部1L、又は、第二のハイサイドスイッチ部2Hと第二のローサイドスイッチ部2L、のいずれかの対がそれぞれ共にオフする。
【０１３２】
(5) 第四の期間は第一の期間及び第二の期間のそれぞれの終了時に、上記のデッドタイムと重複して実現され、図3では期間T1～T3及び期間T5～T7に相当する。第四の期間では実施例１と同様に、整流部内のスナバコンデンサとトランス3の二次側の漏れインダクタンスとで共振が生じる。第四の期間の長さを実施例１と同様に、遅れ時間という。遅れ時間はデッドタイムに比べ十分に長い。
【０１３３】
以下、実施例２でのスイッチングについて、図3で示されている時刻T0からT8までの時間順に説明する：
＜期間T0～T1＞
期間T0～T1では実施例１での期間T0～T1(図2参照)と同様に、トランス3の一次電流Itと、平滑インダクタ5を流れる電流I5と、がいずれも直線的に増大する。その時、第一の整流ダイオード4bがオンし、第二の整流ダイオード4cがオフしている。従って、トランス3の二次電流は第一の二次巻線3bのみを通して流れる。更に、第二のスナバコンデンサ8Ccは第二の整流ダイオード4cに対する逆バイアスVcに比例した電荷を蓄積する。
【０１３４】
＜期間T1～T2＞
時刻T1にスイッチング制御回路7は第一のスイッチング信号G1をHからLへと変化させ、第一のハイサイドスイッチ部1Hをオフする。一方、第二のローサイドスイッチ部2Lはオン状態を維持する。その時、一次巻線3aの漏れインダクタンス、第一のハイサイドスイッチ部1Hの寄生コンデンサ1HC、及び第一のローサイドスイッチ部1Lの寄生コンデンサ1LCで、共振が生じる。その共振により、一次電流Itが第一のハイサイドスイッチ部1Hの寄生コンデンサ1HCを充電すると同時に、第一のローサイドスイッチ部1Lの寄生コンデンサ1LCを放電させる。従って、第一のハイサイドスイッチ部1Hの両端間電圧V1Hが0から滑らかに上昇すると共に、第一のローサイドスイッチ部1Lの両端間電圧V1Lが最大値Vinから滑らかに降下する。
【０１３５】
時刻T2の直前で、第一のハイサイドスイッチ部1Hの両端間電圧V1Hが最大値Vinへ達する。それと同時に、第一のローサイドスイッチ部1Lの両端間電圧V1Lが0に達する。その時、第一のローサイドスイッチ部1Lのダイオード1LDがオンし、両端間電圧V1Lを0にクランプする。時刻T2にスイッチング制御回路7が第二のスイッチング信号G2をLからHへと変化させ、第一のローサイドスイッチ部1Lをオンする。こうして、第一のローサイドスイッチ部1Lのオンに対してＺＶＳが実現する。
【０１３６】
一方、第二のローサイドスイッチ部2Lの両端間電圧V2Lは期間T1～T2を通して0に維持される。従って、一次電圧Vtが第一のローサイドスイッチ部1Lの両端間電圧V1Lと同様に滑らかに降下し、0でクランプされる。
【０１３７】
＜期間T1～T3＞
第一の二次巻線3b及び第二の二次巻線3cのそれぞれでは期間T1～T2で、一次電圧Vtの降下に伴って両端間電圧が降下する。その時、第一の整流ダイオード4bはオンしているので、

その両端間電圧Vbは実質的に0である。一方、第二の整流ダイオード4cの両端間電圧Vcは降下する。すなわち、第二の整流ダイオード4cに対する逆バイアスが減少する。それにより、第二のスナバコンデンサ8Ccが放電する。その放電電流に基づいて、第二のスナバコンデンサ8Ccとトランス3の二次側の漏れインダクタンスとが共振し始める。ここで、その二次側の漏れインダクタンスは実施例１と同様に、一次巻線3aの短絡時でのトランス3の二次側の漏れインダクタンスに実質的に等しい。更に、第二のスナバコンデンサ8Ccの容量はスイッチ部内の寄生コンデンサの容量に比べて十分に大きい。従って、第二のスナバコンデンサ8Ccと上記の二次側の漏れインダクタンスとの共振周期は、スイッチ部内の寄生コンデンサと一次巻線3aとの共振周期より十分に長い。その結果、第二の整流ダイオード4cの両端間電圧Vcは時刻T1以後一次電圧Vtよりも緩やかに降下し、時刻T2より後の時刻T3直前で0に達する。その時、第二の整流ダイオード4cがオンする。

【０１３８】

第二のスナバコンデンサ8Ccは期間T1～T3での共振により放電する。その放電電流が、第二の二次巻線3cを流れる第二の二次電流Icを急速にかつ滑らかに増大させる。それにより、第一の二次巻線3bを流れる第一の二次電流Ibが急速にかつ滑らかに減少する。その結果、二次巻線3b及び3cをそれぞれ流れる二次電流IbとIcとの差は時刻T3近傍ではほとんどない。こうして、期間T1～T3では二次巻線3b及び3cのそれぞれの二次電流の間で速やかに相殺が生じるので、一次側換算電流が急速にかつ滑らかに実質的に0まで低減する。それ故、一次電流Itは時刻T1での値から急速にかつ滑らかに減少する。

【０１３９】

＜期間T3～T4＞

時刻T3にスイッチング制御回路7が第四のスイッチング信号G4をHからLへと変化させ、第二のローサイドスイッチ部2Lをオフする。それにより、第一のローサイドスイッチ部1Lのみがオンし、残り三つのスイッチ部がオフする。こうして、実施例２では実施例１とは異なり、時刻T3よりも前の時刻T2で既に第一のローサイドスイッチ部1Lがオンしている。従って、実施例２では時刻T3以後、第二のローサイドスイッチ部2Lの両端間電圧V2Lのリンギングが実施例１より抑制され、かつ急速に減衰する。その結果、スイッチング損失が低減する。

【０１４０】

期間T3～T4では、トランス3の一次電圧Vtが0に維持される。従って、トランス3の二つの二次巻線3b及び3cのそれぞれの誘導電圧も同様に、0に維持される。更に、第一の整流ダイオード4b及び第二の整流ダイオード4cはいずれもオンしている。それ故、平滑インダクタ5の両端間電圧V5は負の定電圧－Voutに安定に維持される。その結果、平滑インダクタ5の出力電流I5が緩やかな傾きで、滑らかかつ直線的に減少する。

【０１４１】

トランス3の一次電流Itは期間T1～T3で一旦急速に減少した後、時刻T3で更に速やかに0まで低減する。従って、従来のハードスイッチングと比べて減少が緩やかであるので、アンダーシュート等のノイズが低減する。

時刻T3以後、一次電流Itは実質的には流れない。従って、一次側換算電流が0であるように、トランス3の二次電流は二つの二次巻線3b及び3cのそれぞれを、互いに逆向きにかつ実質的に等量ずつ流れ続ける。すなわち、期間T3～T4では第一の二次電流Ibと第二の二次電流Icとが実質的に等しい。

【０１４２】

＜期間T4～T5＞

時刻T4にスイッチング制御回路7が第三のスイッチング信号G3をLからHへと変化させ、第二のハイサイドスイッチ部2Hをオンする。その時、第一のハイサイドスイッチ部1H及び第二のローサイドスイッチ部2Lはいずれもオフし、第一のローサイドスイッチ部1Lはオンしている。第一のローサイドスイッチ部1L及び第二のハイサイドスイッチ部2Hのオンにより、トランス3の一次巻線3aには入力電圧Vinが期間T0～T1での逆向きに印加され、一次電圧Vtが0から－Vinまで急速に降下する。更に、トランス3の一次電流Itが一次巻線3aを第二

の接続点Qから第一の接続点Pへ、期間T0～T1とは逆向きに流れる。それ故、トランス3の二つの二次巻線3b及び3cのそれぞれの誘導電圧が0から－Vin／nまで急速に降下する。その時、第二の整流ダイオード4cは既にオンしているので、第一の整流ダイオード4bの両端間電圧Vbが＋2Vin／nへ急速に上昇する。それにより、第一の整流ダイオード4bがオフする。その結果、トランス3の二次電流が第二の二次巻線3cのみを通して流れ始める。こうして、時刻T4ではトランス3の二次側で転流が生じる。

【０１４３】

平滑インダクタ5の両端間電圧V5は、期間T4～T5では期間T0～T1と同じく、Vin／n－Voutに実質的に等しい。従って、平滑インダクタ5を流れる出力電流I5は期間T0～T1と同様、図1に示されている矢印の向きに直線的にかつ緩やかに増大する。第一の整流ダイオード4bはオフするので、トランス3の二次電流は第二の二次巻線3cのみを通して流れ、直線的に増大する。第一の整流ダイオード4bのオフ時、第一のスナバコンデンサ8Cbは逆バイアスVb＝＋2Vin／nに比例した電荷を蓄積する。

【０１４４】

図3に示されているように、期間T4～T5では一次電圧Vtが実質的に一定な値－Vinを維持する。それ故、一次電流Itに含まれる励磁電流は実質上直線的に増大する。一方、既に述べた通りトランス3の二次電流は直線的に増大するので、一次側換算電流は直線的に増大する。従って、一次電流Itは実質上直線的に増大する。

【０１４５】

＜期間T5～T6＞

時刻T5にスイッチング制御回路7は第三のスイッチング信号G3をHからLへと変化させ、第二のハイサイドスイッチ部2Hをオフする。一方、第一のローサイドスイッチ部1Lはオン状態を維持する。その時、一次巻線3aの漏れインダクタンス、第二のハイサイドスイッチ部2Hの寄生コンデンサ2HC、及び第二のローサイドスイッチ部2Lの寄生コンデンサ2LCで、共振が生じる。その共振により、一次電流Itが第二のハイサイドスイッチ部2Hの寄生コンデンサ2HCを充電すると同時に、第二のローサイドスイッチ部2Lの寄生コンデンサ2LCを放電させる。従って、第二のハイサイドスイッチ部2Hの両端間電圧V2Hが0から滑らかに上昇すると共に、第二のローサイドスイッチ部2Lの両端間電圧V2Lが最大値Vinから滑らかに降下する。

【０１４６】

時刻T6の直前で、第二のハイサイドスイッチ部2Hの両端間電圧V2Hが最大値Vinへ達する。それと同時に、第二のローサイドスイッチ部2Lの両端間電圧V2Lが0に達する。その時、第二のローサイドスイッチ部2Lのダイオード2LDがオンし、両端間電圧V2Lを0にクランプする。時刻T6にスイッチング制御回路7が第四のスイッチング信号G4をLからHへと変化させ、第二のローサイドスイッチ部2Lをオンする。こうして、第二のローサイドスイッチ部2Lのオンに対してＺＶＳが実現する。

第一のローサイドスイッチ部1Lの両端間電圧V1Lは期間T5～T7を通して0に維持される。従って、一次電圧Vtが第二のローサイドスイッチ部2Lの両端間電圧V2Lと同様に滑らかに上昇し、0でクランプされる。

【０１４７】

＜期間T5～T7＞

第一の二次巻線3b及び第二の二次巻線3cのそれぞれでは期間T5～T6で、一次電圧Vtの上昇に伴って両端間電圧が上昇する。その時、第二の整流ダイオード4cはオンしているので、その両端間電圧Vcは実質的に0である。一方、第一の整流ダイオード4bの両端間電圧Vbは降下する。すなわち、第一の整流ダイオード4bに対する逆バイアスが減少する。それにより、第一のスナバコンデンサ8Cbが放電する。その放電電流に基づいて、第一のスナバコンデンサ8Cbとトランス3の二次側の漏れインダクタンスとが共振し始める。ここで、その二次側の漏れインダクタンスは期間T1～T3と同様に、一次巻線3aの短絡時でのトランス3の二次側の漏れインダクタンスに実質的に等しい。第一のスナバコンデンサ8Cbの容量はスイッチ部内の寄生コンデンサの容量に比べて十分に大きい。従って、第一のスナバコン

デンサ8Cbと上記の二次側の漏れインダクタンスとの共振周期は、スイッチ部内の寄生コンデンサと一次巻線3aとの共振周期より十分に長い。その結果、第一の整流ダイオード4bの両端間電圧Vbは時刻T5以後一次電圧Vtの上昇よりも緩やかに降下し、時刻T6より後の時刻T7直前で0に達する。その時、第一の整流ダイオード4bがオンする。

【０１４８】

第一のスナバコンデンサ8Cbは期間T5～T7での共振により放電する。その放電電流が、第一の二次巻線3bを流れる第一の二次電流Ibを急速にかつ滑らかに増大させる。それにより、第二の二次巻線3cを流れる第二の二次電流Icが急速にかつ滑らかに減少する。その結果、二次巻線3b及び3cをそれぞれ流れる二次電流IbとIcとの差は時刻T7近傍ではほとんどない。こうして、期間T5～T7では二次巻線3b及び3cのそれぞれの二次電流の間で速やかに相殺が生じるので、一次側換算電流が急速にかつ滑らかに実質的に0まで低減する。それ故、一次電流Itは時刻T5での値から急速にかつ滑らかに減少する。

【０１４９】

＜期間T7～T8＞

時刻T7にスイッチング制御回路7が第二のスイッチング信号G2をHからLへと変化させ、第一のローサイドスイッチ部1Lをオフする。それにより、第二のローサイドスイッチ部2Lのみがオンし、残り三つのスイッチ部がオフする。こうして、実施例２では実施例１とは異なり、時刻T7よりも前の時刻T6で既に第二のローサイドスイッチ部2Lがオンしている。従って、実施例２では時刻T7以後、第二のローサイドスイッチ部2Lの両端間電圧V2Lのリンギングが実施例１より抑制され、かつ急速に減衰する。その結果、スイッチング損失が低減する。

【０１５０】

期間T7～T8では、トランス3の一次電圧Vtが0に維持される。従って、トランス3の二つの二次巻線3b及び3cのそれぞれの誘導電圧も同様に、0に維持される。更に、第一の整流ダイオード4b及び第二の整流ダイオード4cはいずれもオンしている。それ故、平滑インダクタ5の両端間電圧V5は負の定電圧－Voutに安定に維持される。その結果、平滑インダクタ5の出力電流I5が緩やかな傾きで、滑らかかつ直線的に減少する。

【０１５１】

トランス3の一次電流Itは期間T5～T7で一旦急速に減少した後、時刻T7で更に速やかに0まで低減する。従って、従来のハードスイッチングと比べて減少が緩やかであるので、アンダーシュート等のノイズが低減する。

【０１５２】

時刻T7以後、一次電流Itは実質的には流れない。従って、一次側換算電流が0であるように、トランス3の二次電流は二つの二次巻線3b及び3cのそれぞれを、互いに逆向きにかつ実質的に等量ずつ流れ続ける。すなわち、期間T7～T8では第一の二次電流Ibと第二の二次電流Icとが実質的に等しい。

こうして、期間T7～T8では時刻T0の直前の状態が再現される。以後、期間T0～T8での動作が繰り返される。

【０１５３】

実施例２によるスイッチングでは、以下のように実施例１と同様に、電圧変換率(入力電圧Vinと出力電圧Voutとの比)が求まる：

トランス3の二次側で共振が生じる第四の期間、すなわち期間T1～T3と期間T5～T7とのそれぞれ、の時間(遅れ時間)は、第一の期間から第三の期間までのそれぞれの時間に比べて十分に短い。従って、実施例１と同様に、第一の期間から第三の期間までに対して第四の期間を無視できる。第一の期間T0～T1と第二の期間T4～T5とでは、平滑インダクタ5に蓄えられる磁束が合わせて(Vin／n－Vout)×Tonだけ増大する。ここで、第一の期間T0～T1の時間と第二の期間T4～T5の時間との和をTonとする。一方、第三の期間、すなわち期間T3～T4と期間T7～T8、では平滑インダクタ5に蓄えられる磁束が合わせてVout×Toffだけ減少する。ここで、第三の期間の時間をToffとする。従って、期間T0～T8で平滑インダクタ5のリセット条件が実施例１と同様に、次式(1)で表される：

【０１５４】
(Vin／n－Vout)×Ton＝Vout×Toff　　(1)
【０１５５】
式(1)より、電圧変換率は実施例１と同様に、次式(2)で求まる。
【０１５６】
Vout／Vin＝δ／n　　但し、δ＝Ton／(Ton＋Toff)　(2)
【０１５７】
式(2)が示すように、ハイサイドスイッチ部でのオン／オフの時比率δに対する制御により、出力電圧Voutが実質上一定値に安定に維持される。
【０１５８】
第一の期間及び第二の期間のそれぞれの終了時、スイッチング制御回路7は上記の通り、第四の期間を挟んで第三の期間を実現する。トランス3の一次電流Itは、第四の期間で一旦急速にかつ滑らかに減少し、第三の期間の開始時に0まで更に急速に減少する。こうして、一次電流Itの遮断時の変化が従来のハードスイッチングに比べて緩やかである。それ故、一次電流Itの遮断に伴うスイッチング損失が従来のハードスイッチングに比べて低減する。
【０１５９】
更に、実施例２では実施例１とは異なり、第三の期間の開始時、一方のローサイドスイッチ部の両端間電圧のリンギングが、他方のローサイドスイッチ部のオンにより抑制され、かつ急速に減衰する。それ故、実質的なサージ電圧が発生しない。こうして、実施例２によるスイッチング電源装置は、第三の期間の開始時でのスイッチング損失を更に低減する。
【０１６０】
第四の期間の時間すなわち遅れ時間は実施例１と同様、好ましくは、スナバの等価容量と、一次巻線3aの短絡時でのトランス3の二次側の漏れインダクタンスと、で決まる共振周期の1／4に実質的に等しい。例えば、図3の一点鎖線Aで示されているように、第四のスイッチング信号G4がHである時間すなわち遅れ時間を延長する。それにより、トランス3の一次電流Itは、図3の一点鎖線Bで示されているように、第二のスナバコンデンサ8Ccとトランス3の二次側の漏れインダクタンスとの共振の終了時刻T3を超えて、減少し続ける。しかし、時刻T3以後、第三の期間T3～T4での一次電流Itの減少は、第四の期間T1～T3に比べてかなり緩やかである。従って、時刻T3以後は一次電流Itはほぼ一定である。それ故、一次電流Itの遮断に伴うスイッチング損失は遅れ時間の延長に対してほぼ一定である。その反面、遅れ時間の延長は一次電流Itの導通時間を延長させるので、循環電流損失が増大する。結局、遅れ時間は、第二のスナバコンデンサ8Ccとトランス3の二次側の漏れインダクタンスとの共振開始から第二の整流ダイオード4cのオンまでの時間、すなわちその共振周期の1／4、と実質的に等しく、又は高々数倍程度に調節される。それにより、一次電流Itの遮断に伴うスイッチング損失を実質的に変化させずに、循環電流損失を効果的に低減する。こうして、実施例２によるスイッチング電源装置の効率は高い。
【０１６１】
実施例２では、期間T2～T3及び期間T6～T7のいずれでも二つのローサイドスイッチ部1Lと2Lとをオンする。それにより、トランス3の一次電流Itは、一次巻線3aと二つのローサイドスイッチ部1Lと2Lとから成る閉路のみを循環する。その他に、上記の期間の両方又はいずれかで二つのハイサイドスイッチ部1Hと2Hとをオンし、一次電流Itを一次巻線3aと二つのハイサイドスイッチ部1Hと2Hとから成る閉路を循環させても良い。特に、期間T2～T3ではローサイド側の閉路を、期間T6～T7ではハイサイド側の閉路を、それぞれ交互に循環させても良い。その時、四つのスイッチ部を含むフルブリッジ回路が、一次電流Itの循環からストレスを均等に受ける。それにより、スイッチ部のいずれかへのストレスの集中を回避する。
【０１６２】
実施例２でも実施例１同様、二つの整流ダイオード4b及び4cの極性が共に逆であっても良

い。その時、出力電圧Voutは上記とは逆に負電圧である。
更に上記とは別に、平滑インダクタ5が二つの二次巻線の共通端Rへ、二つの整流ダイオード4b及び4cの一端が第二の出力端子2bへ、それぞれ接続しても良い。
【０１６３】
《実施例３》
図4は、本発明の実施例３によるスイッチング電源装置10aの回路を示す図である。実施例３によるスイッチング電源装置10aは、図1に示されている実施例１によるスイッチング電源装置10と比べ、スナバ8b及び8cで異なる。その他については実施例１と同様な構成を有するので、それらの同様な構成要素については図1と同じ符号を付し、実施例１の説明を援用する。
【０１６４】
第一のスナバ8bは第一のスナバコンデンサ8Cbと直列に第一のスナバ抵抗8Rbを、第二のスナバ8cは第二のスナバコンデンサ8Ccと直列に第二のスナバ抵抗8Rcを、それぞれ含む。すなわち、整流部はそれぞれの整流ダイオード4b及び4cと並列にＲＣスナバを含む。
【０１６５】
上記の実施例１及び実施例２では、二次側での転流時、整流ダイオード4b及び4cのそれぞれのオフに伴い、サージ電流／サージ電圧が生じる。それにより、図2及び図3にそれぞれ示されている通り、トランス3の二次巻線4b及び4cをそれぞれ流れる二次電流Ib及びIcにピークcfが生じ、二つの整流ダイオード4b及び4cの両端間電圧Vb及びVcにピークvfが生じる。
実施例３では、スナバ8b及び8c内のスナバ抵抗8Rb及び8Rcにより、上記のサージ電流／サージ電圧が次のように低減する：
【０１６６】
第一の期間及び第二の期間のそれぞれの開始時、二つの整流ダイオード4b及び4cのいずれかがオフする。第一の期間及び第二の期間の開始時は図2及び図3では時刻T0及びT4に相当する。ダイオードはオンの間電荷を蓄積する。そのダイオードが逆バイアスの突然の印加によりオフする時、蓄積された電荷が逆電流として放電される。上記のスナバ8b及び8cでは第一の期間及び第二の期間のそれぞれの開始時、それぞれのスナバコンデンサ8Cb及び8Ccが整流ダイオード4b及び4cに対して逆向きに放電する。その放電電流に基づいて、スナバコンデンサ8Cb及び8Ccとトランス3の二次巻線3b及び3cの漏れインダクタンスとがそれぞれ共振する。スナバコンデンサ8Cb及び8Ccの容量は同じ整流部内の整流ダイオード4b及び4cの寄生容量に比べて十分に大きいので、上記の共振周期が長い。更に、スナバ抵抗8Rb及び8Rcにより共振電流のピークが抑えられる。従って、上記の共振に伴うサージ電流／サージ電圧が抑えられる。
【０１６７】
例えば、時刻T0で第二の整流ダイオード4cへ逆バイアスVcが印加される時、第二のスナバコンデンサ8Ccと第二の二次巻線3cの漏れインダクタンスとが共振する。それにより、第二の整流部の両端間にサージ電圧が生じる。その結果、図2及び図3に示されているように、第二の整流ダイオード4cの両端間電圧Vcにサージ電圧によるピークvfが、第二の二次電流Icにサージ電流によるピークcfが、それぞれ現れる。実施例３では、それぞれのピークvf及びcfが第二のスナバ抵抗8Rcにより小さく抑えられる。同様に、時刻T4では第一のスナバ8b内のスナバ抵抗8Rbにより、サージ電圧／サージ電流によるピークが小さく抑えられる。こうして、実施例３は、整流ダイオードのオフによるスイッチング損失を低減する。
【０１６８】
《実施例４》
図5は、本発明の実施例４によるスイッチング電源装置10bの回路を示す図である。実施例４によるスイッチング電源装置10bは、図4に示されている実施例３によるスイッチング電源装置10aと比べ、スナバ8B及び8Cで異なる。その他については実施例３と同様な構成を有するので、それらの同様な構成要素については図4と同じ符号を付し、実施例１及び実

施例３の説明を援用する。

【０１６９】

第一のスナバ8Bは第一のスナバコンデンサ8Cbと直列に第一のスナバ抵抗8Rbを含み、更に第一のスナバ抵抗8Rbと並列に第一の副整流ダイオード8Dbを含む。同様に、第二のスナバ8Cは第二のスナバコンデンサ8Ccと直列に第二のスナバ抵抗8Rcを含み、更に第二のスナバ抵抗8Rcと並列に第二の副整流ダイオード8Dcを含む。すなわち、二つの整流部はそれぞれ、整流ダイオード4b及び4cと並列にＲＣＤスナバを含む。ここで、それぞれの副整流ダイオード8Db及び8Dcは対応する整流ダイオード4b及び4cとそれぞれ同じ向きに接続される。例えば、第一のスナバ8Bでは図5に示されているように、第一のスナバ抵抗8Rbが第一の整流ダイオード4bのカソードへ接続するので、第一の副整流ダイオード8Dbのカソードが第一の整流ダイオード4bのカソードへ接続する。逆に、第一のスナバ抵抗8Rbが第一の整流ダイオード4bのアノードへ接続する時は、第一の副整流ダイオード8Dbのアノードが第一の整流ダイオード4bのアノードへ接続する。第二のスナバ8Cでも同様に、第二の整流ダイオード4cと第二の副整流ダイオード8Dcとの接続端子の極性が、第二の整流ダイオード4cに対する第二のスナバ抵抗8Rcの位置で決まる。

【０１７０】

実施例４では実施例３と同様に、二次側での転流時、整流ダイオード4b及び4cのそれぞれのオフに伴うサージ電流／サージ電圧が、スナバ8b及び8c内のスナバ抵抗8Rb及び8Rcにより低減される。実施例４では更に実施例３とは異なり、第四の期間でスナバコンデンサ8Cb及び8Ccからの放電電流がそれぞれの副整流ダイオード8Db及び8Dcを通り、スナバ抵抗8Rb及び8Rcをバイパスする。それにより、スナバ抵抗8Rb及び8Rcによる放電電流の低減が回避される。従って、第四の期間で一次側換算電流が十分に相殺されるので、トランス3の一次電流Itがスナバ抵抗8Rb及び8Rcに依らず、第四の期間で十分に低減される。更に、スナバ抵抗8Rb及び8Rcの抵抗値を十分に大きくできるので、第一の期間及び第二の期間のそれぞれの開始時、サージ電流／サージ電圧が効果的に低減される。

【０１７１】

上記の実施例では、整流部内の整流素子がダイオードである。その他に、ＩＧＢＴ等の半導体スイッチ素子であっても良い。その時、それらのスイッチングはスイッチング制御回路により、一次側でフルブリッジを構成するスイッチ部のスイッチングと同期して制御される。

【０１７２】

【発明の効果】

以上の説明の通り、本発明によるスイッチング電源装置は、整流部内に整流素子と並列にスナバを含む。更に、トランスの一次電流の遮断時、オンしているハイサイドスイッチ部とローサイドスイッチ部とのいずれか一方を、他方より遅れ時間だけ遅れてオフする。それにより、スナバの容量とトランスの二次側の漏れインダクタンスとが共振する。その結果、その遅れ時間で一次側換算電流が速やかに、かつ十分に相殺されるので、一次電流がその遅れ時間で一旦速やかに低減する。こうして、一次電流がその遮断時に十分に小さいので、スイッチング損失が小さい。更に、平滑インダクタを流れる電流が減少する間一次電流が遮断されるので、循環電流損失が小さい。従って、本発明によるスイッチング電源装置の効率は高い。

【図面の簡単な説明】

【図１】本発明の実施例１によるスイッチング電源装置10の回路図である。

【図２】実施例１によるスイッチング電源装置10でのスイッチングにより、図1に示されている回路の各部分で生じる電流及び電圧の波形図である。。

【図３】実施例２によるスイッチング電源装置でのスイッチングにより、図1に示されている回路の各部分で生じる電流及び電圧の波形図である。

【図４】本発明の実施例３によるスイッチング電源装置10aの回路図である。

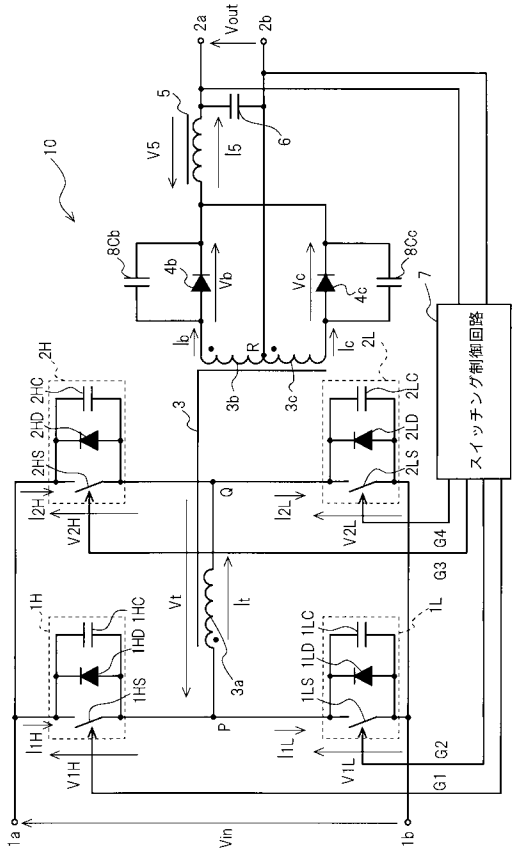
【図５】本発明の実施例４によるスイッチング電源装置10bの回路図である。

【図６】従来のハードスイッチングによるスイッチング電源装置100の回路図である。

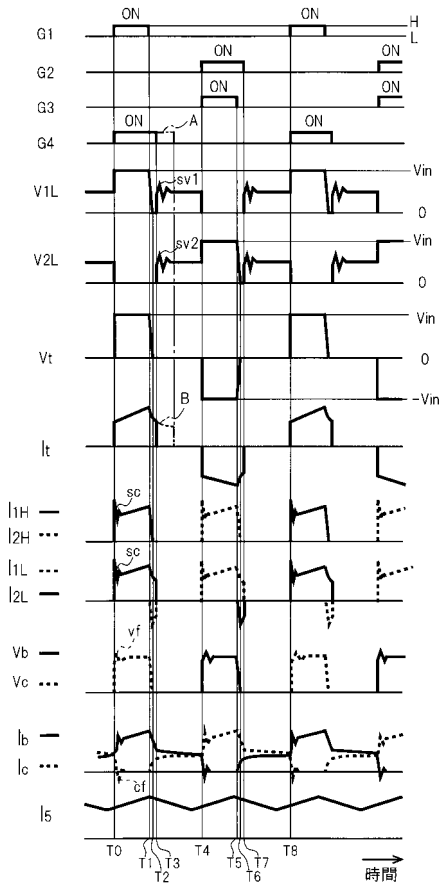
【図７】従来のスイッチング電源装置100でのハードスイッチングにより、図6に示されている回路の各部分で生じる電流及び電圧の波形図である。
【図８】従来のソフトスイッチングによるスイッチング電源装置の回路図である。
【図９】従来のスイッチング電源装置110でのソフトスイッチングにより、図8に示されている回路の各部分で生じる電流及び電圧の波形図である。
【符号の説明】

10	スイッチング電源装置
1H	第一のハイサイドスイッチ部
1L	第一のローサイドスイッチ部
2H	第二のハイサイドスイッチ部
2L	第二のローサイドスイッチ部
3	トランス
3a	一次巻線
3b	第一の二次巻線
3c	第二の二次巻線
4b	第一の整流ダイオード
4c	第二の整流ダイオード
5	平滑インダクタ
6	平滑コンデンサ
8Cb	第一のスナバコンデンサ
8Cc	第二のスナバコンデンサ

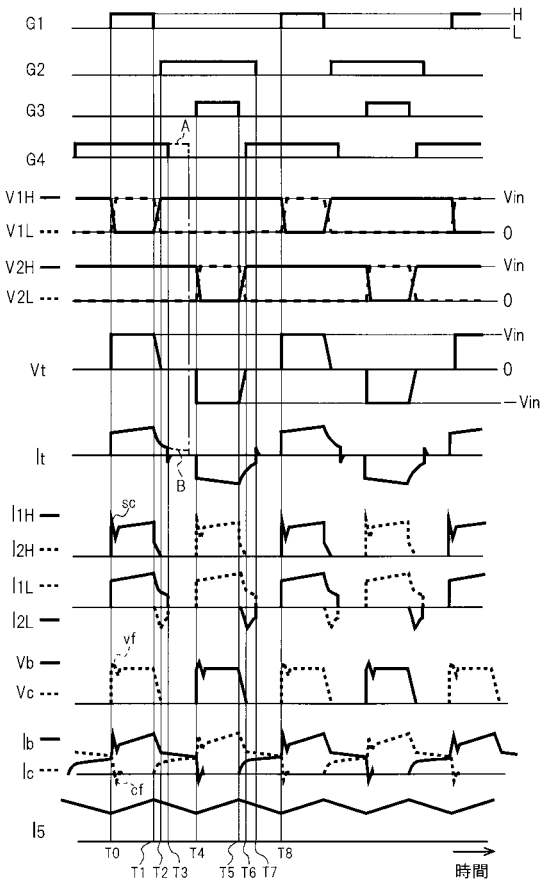
【図１】



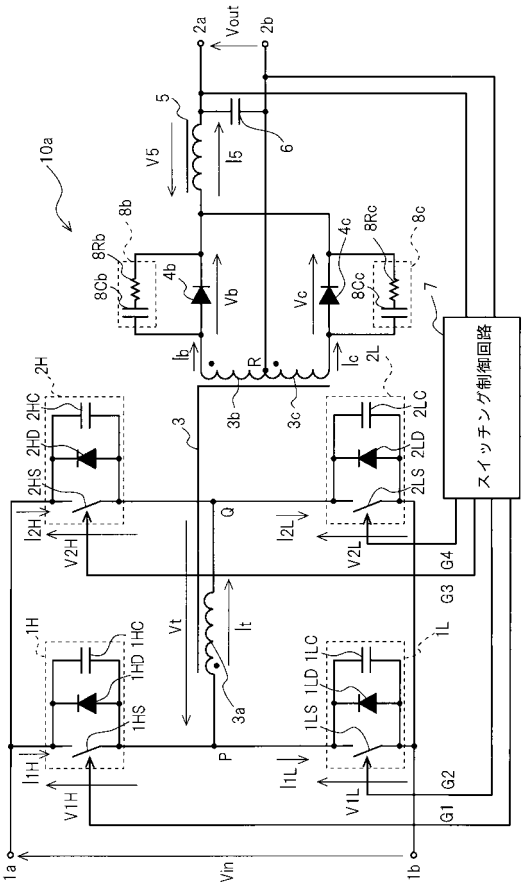
【図２】



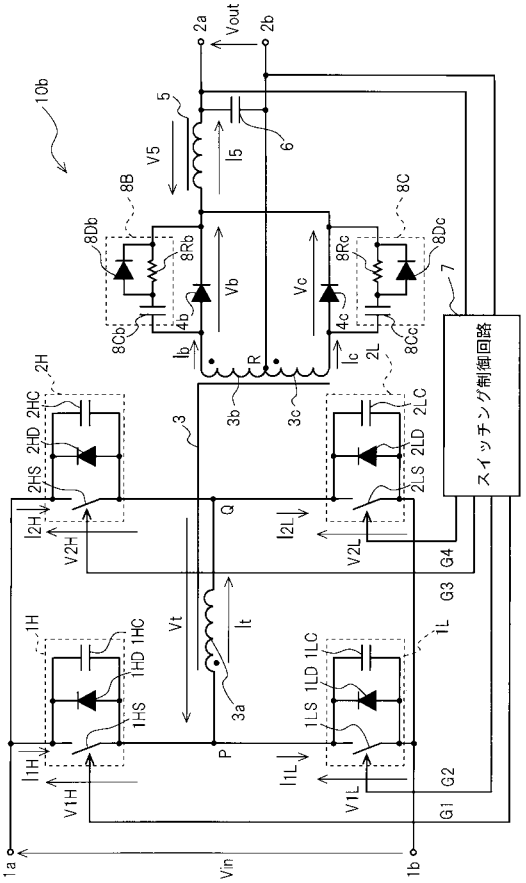
【図３】


G1
G2
G3
G4
V1H
V1L
V2H
V2L
Vt
It
I1H
I2H
I1L
I2L
Vb
Vc
Ib
Ic
I5
Vin
0
H
L
A
B
sc
cf
vf
T0
T1
T2
T3
T4
T5
T6
T7
T8
時間

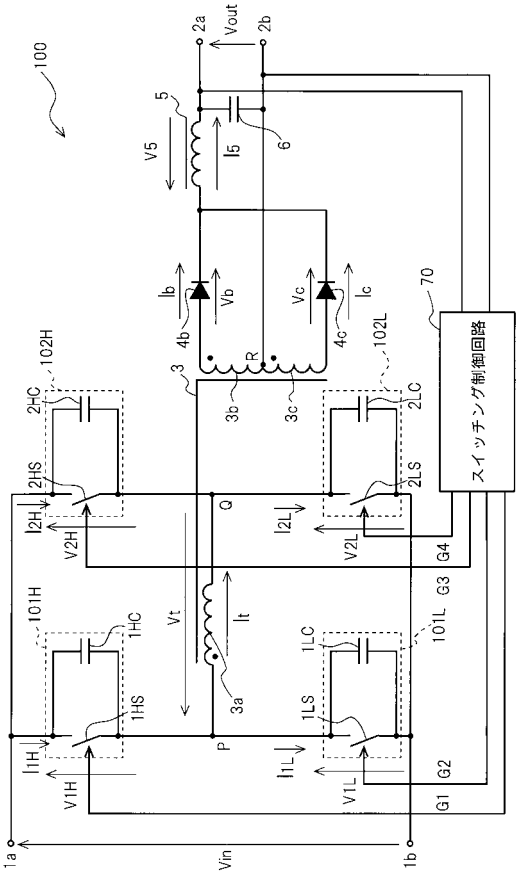
【図４】


10a
2a
2b
Vout
5
6
V5
I5
8b
8Rb
8Cb
4b
Vb
8c
8Rc
8Cc
4c
Vc
Ib
Ic
R
2H
2HC
2HD
2HS
2L
2LC
2LD
2LS
3
3b
3c
Q
I2H
I2L
V2H
V2L
G4
G3
Vt
It
3a
1H
1HC
1HD
1HS
1LC
1LD
1LS
P
I1H
I1L
V1H
V1L
G2
G1
7
スイッチング制御回路
1a
Vin
1b

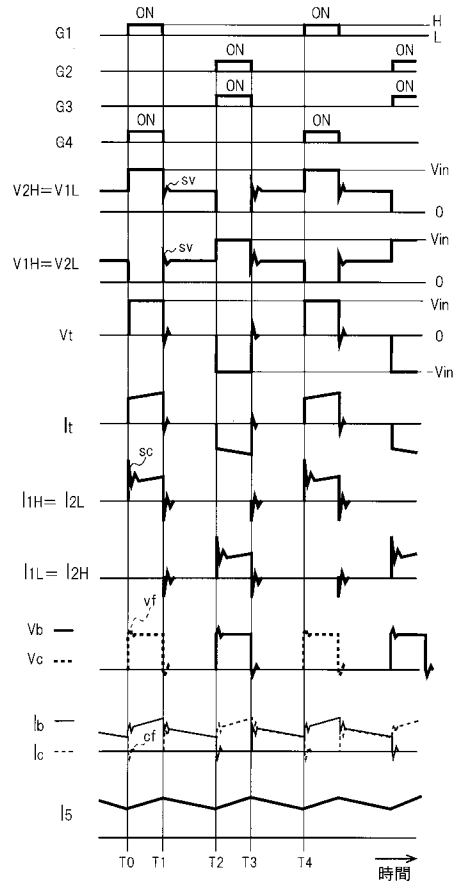
【図５】


10b
2a
2b
Vout
5
6
V5
I5
8B
8Db
8Rb
8Cb
4b
Vb
8C
8Rc
8Dc
8Cc
4c
Vc
Ib
Ic
R
2H
2HC
2HD
2HS
2L
2LC
2LD
2LS
3
3b
3c
Q
I2H
I2L
V2H
V2L
G4
G3
Vt
It
3a
1H
1HC
1HD
1HS
1LC
1LD
1LS
P
I1H
I1L
V1H
V1L
G2
G1
7
スイッチング制御回路
1a
Vin
1b

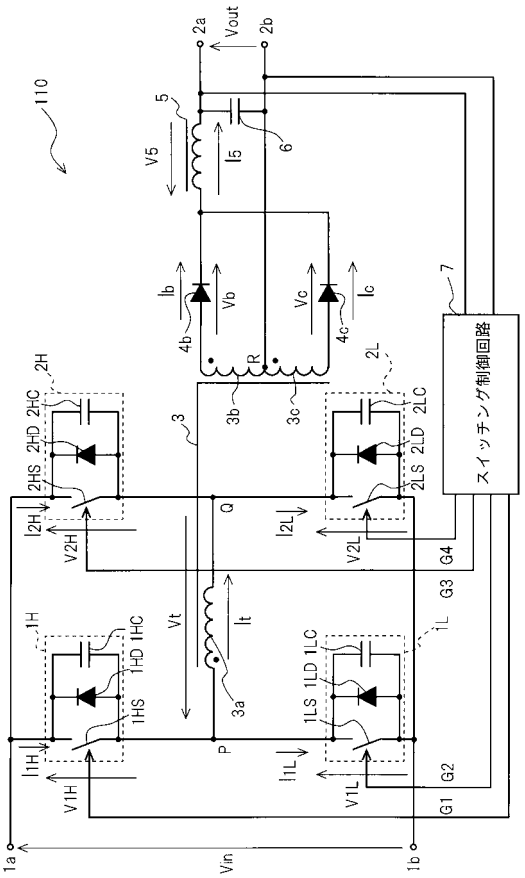
【図６】


100
2a
2b
Vout
5
6
V5
I5
4b
Vb
4c
Vc
Ib
Ic
R
2HC
2HS
2LC
2LS
3
3b
3c
102H
102L
Q
I2H
I2L
V2H
V2L
G4
G3
Vt
It
3a
101H
1HC
1HS
1LC
1LS
101L
P
I1H
I1L
V1H
V1L
G2
G1
70
スイッチング制御回路
1a
Vin
1b

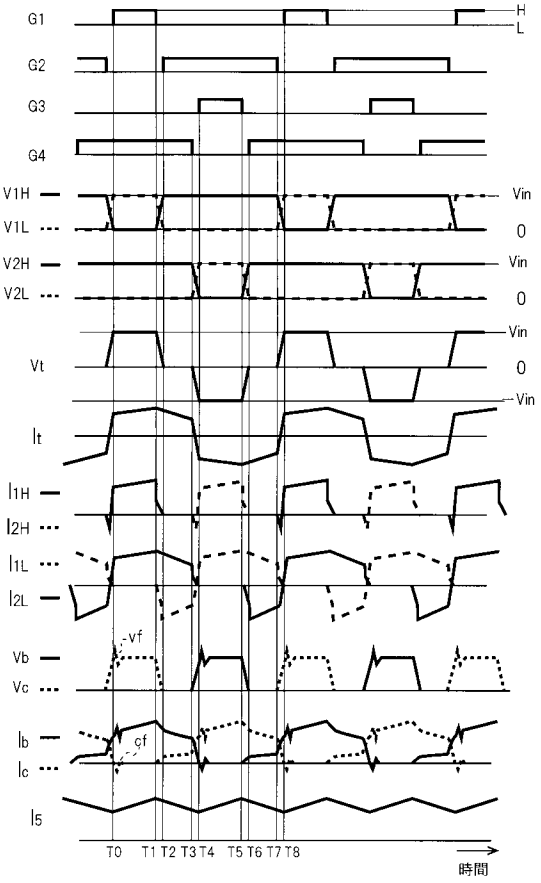
【図７】


G1
G2
G3
G4
ON
H
L
V2H=V1L
V1H=V2L
Vt
Vin
0
sv
It
sc
I1H= I2L
I1L= I2H
vf
Vb
Vc
Ib
Ic
cf
I5
T0 T1 T2 T3 T4
時間

【図８】


110
2a
Vout
2b
5
6
V5
I5
Ib
Vb
Vc
Ic
4b
4c
R
2L
2H
2HC
2HD
2HS
3
3b
3c
2LC
2LD
2LS
7
スイッチング制御回路
I2H
V2H
I2L
V2L
Q
G4
G3
1H
1HC
1HD
1HS
Vt
It
3a
1LC
1LD
1LS
1L
P
I1H
V1H
I1L
V1L
G2
G1
1a
Vin
1b

【図９】


G1
G2
G3
G4
H
L
V1H
V1L
V2H
V2L
Vin
0
Vt
It
I1H
I2H
I1L
I2L
vf
Vb
Vc
Ib
Ic
cf
I5
T0 T1 T2 T3 T4 T5 T6 T7 T8
時間

フロントページの続き

(56)参考文献 特開２００１－３４６３８０（ＪＰ，Ａ）
特開２００１－００８４４７（ＪＰ，Ａ）
特開昭６１－２８０７６９（ＪＰ，Ａ）
特開平１１－０８９２３２（ＪＰ，Ａ）
特開平１０－３３７０２１（ＪＰ，Ａ）
特開平１０－００４６８０（ＪＰ，Ａ）
特開平０９－２２４３７４（ＪＰ，Ａ）
特開平０５－３３６７４２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H02M 3/28