(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 696 37 344 T2** 2008.10.16

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 1 184 868 B1**
(21) Deutsches Aktenzeichen: **696 37 344.0**
(96) Europäisches Aktenzeichen: **01 123 276.6**
(96) Europäischer Anmeldetag: **04.10.1996**
(97) Erstveröffentlichung durch das EPA: **06.03.2002**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **28.11.2007**
(47) Veröffentlichungstag im Patentblatt: **16.10.2008**

(51) Int Cl.[8]: ***G11C 7/00*** (2006.01)
G11C 7/02 (2006.01)
G11C 7/10 (2006.01)
G11C 8/12 (2006.01)

(30) Unionspriorität:

25773595	**04.10.1995**	**JP**
27888196	**30.09.1996**	**JP**

(73) Patentinhaber:
Kabushiki Kaisha Toshiba, Tokio/Tokyo, JP

(74) Vertreter:
HOFFMANN & EITLE, 81925 München

(84) Benannte Vertragsstaaten:
DE, FR, GB

(72) Erfinder:
Toda, Haruki, Minato-ku, Tokyo 105-8001, JP

(54) Bezeichnung: **Halbleiterspeicher**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf einen Halbleiterspeicher eines Multi-Bit-Typs, der eine Vielzahl von Bit zur gleichen Zeit speichert und ausgibt, die Multi-Bit-Daten bilden.

[0002] Ein digitales System mit einem Halbleiterspeicher, wie zum Beispiel einem DRAN (dynamischem Zufallszugriffsspeicher, Dynamic Random-Access Memory) weist die folgenden drei Merkmale auf, um die Geschwindigkeit des Datentransferierens zu erhöhen.

[0003] Zuerst ist der Haltbleiterspeicher von einem Multi-Bit-Typ, der die Bit, die Multi-(× 2^n)-Bit-Daten (n ist eine natürliche Zahl) bilden, zur gleichen Zeit speichert und ausgibt.

[0004] Zweitens speichert und gibt der Halbleiterspeicher Daten synchron mit einem externen Taktsignal aus, das von einer CPU (zentralen Verarbeitungseinheit, Central Processing Unit) zugeführt wird. Je höher die Frequenz des Taktsignals, desto schneller kann der Speicher (zum Beispiel ein SDRAM oder ein RDRAM) kontinuierliche Daten speichern und ausgeben. Somit kann der Speicher dazu dienen, die Geschwindigkeit des Transferierens von Daten zu erhöhen.

[0005] Drittens beinhaltet der Halbleiterspeicher eine Vielzahl von Bänken. Die Bänke haben jeweils identische Elemente. Die Bänke können unabhängig voneinander Daten speichern und ausgeben. Durch Ergreifen dieser Maßnahmen ist die Zeit kurz, die zum Zugreifen auf die ersten Daten (bekannt als "Latenz") benötigt wird, was somit die Geschwindigkeit des Transferierens von Daten verbessert.

[0006] Fig. 1 zeigt das Layout bzw. die Anordnung eines konventionellen Halbleiterspeichers. Dieser Speicher hat alle drei oben genannten Merkmale.

[0007] Der konventionelle Halbleiterspeicher umfasst einen Speicherchip **10** und vier Bänke **11-0** bis **11-3**, die in dem Chip **10** bereitgestellt werden. Jede der Bänke **11-0** bis **11-3** umfasst einen Speicherzellenarray und periphere Schaltungen, wie zum Beispiel eine Zellenarray-Steuerung, einen Zeilenadressendecodierer, einen Spaltenadressendecodierer und einen DQ-Puffer bzw. Buffer (das heißt, ein Puffer, der in dem Eingabe/Ausgabeabschnitt der Bank bereitgestellt wird).

[0008] Der Speicherchip **10** weist einen Eingabe/Ausgabe-Bereich **12** auf. In dem Daten-I/O-Bereich **12** sind eine Vielzahl von Eingabe/Ausgabe-(I/O)-Schaltungen bereitgestellt. Zum Beispiel sind 16 I/O-Schaltungen bereitgestellt, falls der Speicherchip **10** entworfen ist, um 16 Bit (das heißt, 16-Bit-Daten, oder 2-Byte-Daten) zur gleichen Zeit zu speichern und auszugeben.

[0009] Der Speicherchip **10** weist auch einen Datenbus **13** auf. Der Bus **13** erstreckt sich zwischen einem Block, bestehend aus der ersten und zweiten Bank **11-0** und **11-1**, und dem anderen Block bestehend aus der dritten und vierten Bank **11-2** und **11-3**. Der Datenbus **13** ist entworfen, um Daten (zum Beispiel 16-Bit-Daten) zwischen jeder Bank und dem Daten-I/O-Bereich **12** zu transferieren.

[0010] Wie der Speicherchip **10** Multi-Bit-Daten speichert und ausgibt, wird erklärt werden.

[0011] Zuerst wird eine der vier Bänke **11-0** bis **11-3** ausgewählt. In der ausgewählten Bank wird auf den Speicherzellenarray basierend auf einem Adressensignal zugegriffen. Als Ergebnis werden von der Bank 2^n-Bit (zum Beispiel, 16-Bit-Daten oder 2-Byte-Daten) ausgegeben. Die 2^n-Bit-Daten werden dem Daten-I/O-Bereich **12** zugeführt. Der I/O-Bereich **12** gibt die Daten aus. Somit werden die 2^n-Bit-Daten von dem Speicherchip **10** ausgegeben.

[0012] Es ist erwünscht, dass das Verhältnis des Bereichs, der durch den Datenbus **13** besetzt wird, zu der gesamten Chipfläche soviel wie möglich reduziert wird. In anderen Worten, muss der Bus **13** so dünn wie möglich gemacht werden, um die Chipfläche zu verringern.

[0013] Jedoch, je größer die Anzahl von Bit, die der Chip **10** simultan speichert und ausgibt, desto dicker der Datenbus **13** und daher desto größer der Bereich, den der Bus **13** besetzt. Noch spezieller erhöht sich, während die Anzahl von Bit, die der Speicherchip **10** simultan speichern und ausgeben kann, sich erhöht (von 16 Bit auf 32 Bit und hieraus auf 64 Bit), die Fläche des Speicherchips **10** zwangsläufig.

[0014] Die vorliegende Erfindung wurde unternommen, um das oben genannte Problem zu lösen, das dem konventionellen Halbleiterspeicher eigen ist. Es ist ein Ziel, einen Halbleiterspeicher eines Multi-Bit-, taktsynchronisierten und Multibanktyps vorzusehen, der Daten bei hoher Geschwindigkeit transferieren kann, ohne seine Chipfläche vergrößert zu haben.

[0015] Gemäß der Erfindung werden vorgesehen ein Datentransfersystem gemäß dem angefügten unabhängigen Anspruch 1, ein Speichersystem gemäß dem angefügten unabhängigen Anspruch 6 und ein Halbleiterspeicher gemäß dem angefügten unabhängigen Anspruch 7. Bevorzugte Ausführungsformen sind in den abhängigen Ansprüchen definiert.

[0016] Diese Erfindung kann vollständiger aus der folgenden detaillierten Beschreibung verstanden werden, wenn sie im Zusammenhang mit den beglei-

tenden Zeichnungen genommen wird, in welchen:

[0017] Fig. 1 ein Diagramm zeigt, das das Layout eines konventionellen Halbleiterspeichers zeigt;

[0018] Fig. 2 ein Diagramm zeigt, das das Layout eines ersten komparativen bzw. vergleichenden Halbleiterspeicherchips darstellt;

[0019] Fig. 3 ein Diagramm zeigt, das das Layout einer der Bänke, die in dem ersten komparativen Speicherchip enthalten sind, zeigt;

[0020] Fig. 4 ein Diagramm zeigt, das das Layout eines zweiten komparativen Halbleiterspeicherchips zeigt;

[0021] Fig. 5 ein Diagramm zeigt, das das Layout einer der identischen Bänke zeigt, die in dem zweiten komparativen Speicherchip enthalten ist;

[0022] Fig. 6 ein schematisches Diagramm des ersten, in Fig. 2 gezeigten komparativen Speicherchips, zeigt;

[0023] Fig. 7 ein Diagramm zeigt, das das Layout einer Modifizierung des ersten in Fig. 2 dargestellten komparativen Speicherchips darstellt;

[0024] Fig. 8 ein Diagramm zeigt, das im Detail das Layout des in Fig. 7 dargestellten modifizierten komparativen Speicherchips zeigt;

[0025] Fig. 9 ein Diagramm zeigt, das das Layout einer anderen Modifizierung des in Fig. 2 dargestellten ersten komparativen Speicherchips zeigt;

[0026] Fig. 10 ein Diagramm zeigt, das im Detail das Layout des in Fig. 9 gezeigten modifizierten komparativen Speicherchips zeigt;

[0027] Fig. 11 ein Diagramm zeigt, das das Layout eines Halbleiterspeicherchips gemäß einer ersten Ausführungsform der vorliegenden Erfindung zeigt;

[0028] Fig. 12 ein Diagramm zeigt, das im Detail das Layout einer der identischen Bänke zeigt, die in dem Speicherchip nach Fig. 11 enthalten ist;

[0029] Fig. 13 ein Schaltungsdiagramm zeigt, das einen der identischen Spaltenauswahlschalter und einen der identischen Schalter darstellt, die alle in dem in Fig. 11 und Fig. 12 gezeigten Speicherchip enthalten sind.

[0030] Fig. 14 ein Schaltungsdiagramm zeigt, das einen der Spaltendecodierer zeigt, der in dem in dem in Fig. 11 und Fig. 12 gezeigten Speicherchip benutzten Speicher enthalten ist;

[0031] Fig. 15 ein Schaltungsdiagramm zeigt, das die Bankauswähler zeigt, die in dem Speicherchip von Fig. 11 und Fig. 12 bereitgestellt werden;

[0032] Fig. 16 ein Schaltungsdiagramm zeigt, das eine der Eingabe/Ausgabe-Schaltungen zeigt, die in dem in Fig. 11 und Fig. 12 gezeigten Speicherchip enthalten ist;

[0033] Fig. 17 ein Diagramm zeigt, das die Hauptkomponenten der Schaltung zeigt, die entworfen ist, den in Fig. 11 und Fig. 12 gezeigten Speicherchip zu testen;

[0034] Fig. 18 ein Diagramm zeigt, das im Detail die Testschaltung von Fig. 17 zeigt;

[0035] Fig. 19 ein Diagramm zeigt, das die Test-Modus-Umschalt-Schaltung zeigt, die in der Testschaltung von Fig. 17 enthalten ist;

[0036] Fig. 20 ein Diagramm zeigt, das die Wellenformen repräsentiert, die die Signale in einem Test-Modus annehmen;

[0037] Fig. 21 ein Diagramm zeigt, das die Wellenformen repräsentiert, die die Signale in einem anderen Test-Modus annehmen;

[0038] Fig. 22 ein Diagramm zeigt, das das Layout eines Halbleiterspeicherchips gemäß einer zweiten Ausführungsform der Erfindung zeigt;

[0039] Fig. 23 ein schematisches Diagramm zeigt, das das Layout des in Fig. 11 dargestellten Speicherchips zeigt;

[0040] Fig. 24 ein Diagramm zeigt, das das Layout einer ersten Modifikation des in Fig. 23 gezeigten Speicherchips darstellt;

[0041] Fig. 25 ein Diagramm zeigt, das im Detail das Layout des in Fig. 24 gezeigten modifizierten Speicherchips zeigt;

[0042] Fig. 26 ein Diagramm zeigt, das das Layout einer ersten Modifizierung des in Fig. 22 gezeigten Speicherchips darstellt;

[0043] Fig. 27 ein Diagramm zeigt, das das Layout einer zweiten Modifizierung des in Fig. 23 dargestellten Speicherchips zeigt;

[0044] Fig. 28 ein Diagramm zeigt, das im Detail das Layout des in Fig. 27 gezeigten Speicherchips zeigt;

[0045] Fig. 29 ein Diagram zeigt, das das Layout einer zweiten Modifizierung des in Fig. 22 dargestellten Speicherchips zeigt;

[0046] Fig. 30 ein Diagramm zeigt, das das Layout einer dritten Modifizierung des in Fig. 23 dargestellten Speicherchips zeigt;

[0047] Fig. 31 ein Diagramm zeigt, das im Detail das Layout des in Fig. 30 gezeigten Speicherchips zeigt;

[0048] Fig. 32 ein Diagramm zeigt, das das Layout einer dritten Modifizierung des in Fig. 22 dargestellten Speicherchips zeigt;

[0049] Fig. 33 ein Diagramm zeigt, das das Layout einer vierten Modifizierung des in Fig. 22 dargestellten Speicherchips zeigt;

[0050] Fig. 34 ein Diagramm zeigt, das im Detail das Layout des in Fig. 33 gezeigten Speicherchips zeigt;

[0051] Fig. 35 ein Diagramm zeigt, das das Layout einer vierten Modifizierung des in Fig. 22 gezeigten Speicherchips zeigt;

[0052] Fig. 36 ein Diagramm zeigt, das ein Datentransfersystem der vorliegenden Erfindung zeigt; und

[0053] Fig. 37 ein Diagramm zeigt, das ein Speichersystem der vorliegenden Erfindung zeigt.

[0054] Ein Halbleiterspeicher gemäß einem ersten Aspekt umfasst einen Speicherchip und eine Vielzahl von Bänken, die in dem Speicherchip angeordnet sind, zum Speichern und Ausgeben von Multi-Bitdaten unabhängig voneinander.

[0055] Jede der Bänke hat eine Vielzahl von Speicherzellenblöcken, mindestens einen Spaltendecoder, eine Vielzahl von Zeilendecodern, eine Vielzahl von DQ-Puffern und eine Zellenfeldsteuervorrichtung.

[0056] Jeder der Speicherzellenblöcke umfasst zwei Unterblöcke, Leseverstärker, Wortleitungen, Datenleitungen und eine Spaltenauswahlleitung. Jeder Unterblock besteht aus einem Speicherzellenfeld. Die Leseverstärker befinden sich zwischen den zwei Unterblöcken. Die Wortleitungen, Datenleitungen und Spaltenauswahlleitungen sind in den Speicherzellenfeldern angeordnet, die die zwei Unterblöcke bilden. Die Speicherzellenblöcke sind getrennt entlang Spalten der Speicherzellen und der Spaltenauswahlleitungen und Datenleitungen beabstandet. Die Unterblöcke sind auch entlang der Spalten von Speicherzellen beabstandet.

[0057] Der Spaltendecoder befindet sich im mindestens einem ersten Ende jeder Spalte von Speicherzellen. Er ist mit den Spaltenauswahlleitungen verbunden.

[0058] Die Zeilendecoder befinden sich in einem ersten Ende jeder Zeile von Speicherzellen, entlang denen sich die Wortleitung erstreckt, und sind mit den Wortleitungen verbunden. Jeder Zeilendecoder ist für einen Speicherzellenblock vorgesehen.

[0059] Die DQ-Puffer befinden sich in einem zweiten Ende jeder Zeile von Speicherzellen. Jeder DQ-Puffer ist für einen Speicherzellenblock vorgesehen.

[0060] Die Zellenfeldsteuervorrichtung befindet sich in einem zweiten Ende jeder Zeile von Speicherzellen zum Steuern des Lesens und Schreibens der Multi-Bitdaten.

[0061] Der Halbleiterspeicher umfasst ferner eine Dateneingabe-/Ausgaberegion und einen Datenbus. Die Datenregion ist in dem Speicherchip zum Empfangen von Multi-Bitdaten von einer externen Einrichtung und Ausgeben von Multi-Bitdaten zu einer externen Einrichtung vorgesehen. Der Datenbus ist für die Vielzahl von Bänken vorgesehen, erstreckt sich parallel zu den Spalten von Speicherzellen zum Transferieren von Multi-Bitdaten zwischen der Vielzahl von Bänken einerseits und der Dateneingabe-/Ausgaberegion andererseits.

[0062] Jede Bank hat ein lokales DQ-Leitungspaar und globale DQ-Leitungspaare. Jedes DQ-Leitungspaar ist zwischen den zwei Unterblöcken von einem Speicherzellenblock vorgesehen und erstreckt sich parallel zu den Zeilen von Speicherzellen. Die globalen DQ-Leitungspaare erstrecken sich über die Speicherzellenblöcke entlang der Spalten von Speicherzellen. Sie verbinden die lokalen DQ-Leitungspaare mit den DQ-Puffern.

[0063] Ein Halbleiterspeicher gemäß einem zweiten Aspekt umfasst einen Speicherchip und eine Vielzahl von Hauptbänken. Die Hauptbänke sind in dem Speicherchip angeordnet zum Speichern und Ausgeben von Multi-Bitdaten unabhängig voneinander. Jeder Hauptbank besteht aus einer Vielzahl von Unterbänken.

[0064] Jede der Unterbänke umfasst eine Vielzahl von Speicherzellenblöcken, mindestens einen Spaltendecoder, eine Vielzahl von Zeilendecodern, eine Vielzahl von DQ-Puffern und eine Zellenfeldsteuervorrichtung.

[0065] Jeder der Speicherzellenblöcke umfasst zwei Unterblöcke, Leseverstärker, Wortleitungen, Datenleitungen und eine Spaltenauswahlleitung. Jeder der Unterblöcke besteht aus einem Speicherzellenfeld. Die Leseverstärker befinden sich zwischen den zwei Unterblöcken. Die Wortleitungen, Datenleitungen und Spaltenauswahlleitungen sind in den Speicherzellenfeldern angeordnet, die die zwei Un-

terblöcke bilden. Die Speicherzellenblöcke sind entlang Spalten von Speicherzellen und den Spaltenauswahlleitungen und Datenleitungen getrennt beabstandet. Die Unterblöcke sind auch entlang der Spalten von Speicherzellen getrennt beabstandet.

[0066] Der Spaltendecoder befindet sich in mindestens einem ersten Ende jeder Spalte von Speicherzellen. Er ist mit den Spaltenauswahlleitungen verbunden.

[0067] Die Zeilendecoder befinden sich in einem ersten Ende jeder Zeile von Speicherzellen, entlang derer sich die Wortleitung erstreckt. Sie sind auch mit den Wortleitungen verbunden. Jeder Zeilendecoder ist für einen Speicherzellenblock vorgesehen.

[0068] Die DQ-Puffer befinden sich in einem zweiten Ende jeder Zeile von Speicherzellen. Jeder DQ-Puffer ist für einen Speicherzellenblock vorgesehen.

[0069] Die Zellenfeldsteuervorrichtung befindet sich in einem zweiten Ende jeder Zeile von Speicherzellen zum Steuern des Lesens und Schreibens der Multi-Bitdaten.

[0070] Der Halbleiterspeicher umfasst ferner eine Dateneingabe-/Ausgaberegion und eine Vielzahl von Datenbussen. Die Dateneingabe-/Ausgaberegion ist in dem Halbleiterchip vorgesehen zum Empfangen von Multi-Bitdaten von einer externen Einrichtung und Ausgeben von Multi-Bitdaten zu einer externen Einrichtung. Die Datenbusse sind für mindestens zwei der Unterbänke vorgesehen und erstrecken sich parallel zu den Spalten von Speicherzellen zum Transferieren von Multi-Bitdaten zwischen den Unterbänken einerseits und der Dateneingabe-/Ausgaberegion andererseits.

[0071] Je Unterbank hat lokale DQ-Leitungspaare und globale DQ-Leitungspaare. Jedes lokale DQ-Leitungspaar ist zwischen den zwei Unterblöcken von einem Speicherzellenblock vorgesehen und erstreckt sich parallel zu den Zeilen von Speicherzellen. Die globalen DQ-Leitungspaare erstrecken sich über die Speicherzellenblöcke entlang der Spalten von Speicherzellen und verbinden die lokalen DQ-Leitungspaare mit den DQ-Puffern.

[0072] Ein Halbleiterspeicher gemäß einem dritten Aspekt umfasst eine Testschaltung, ein Speicherzellenfeld, bestehend aus einer Vielzahl von Speicherzellenblöcken, Datenschreibmittel zum Schreiben von Bits von Daten gleichzeitig in Speicherzellen von mindestens einem der Speicherzellenblöcke, und ein Register zum Halten der Daten, die in den mindestens einen der Speicherzellenblöcke zu schreiben sind.

[0073] Die Testschaltung umfasst Schreib-/Lesemittel, Vergleichsmittel und eine Ausgabeschaltung. Das Schreib-/Lesemittel ist gestaltet, die Daten, die in dem Register gehalten werden, in die Speicherzellen des mindestens einen der Speicherzellenblöcke zu schreiben und Daten von den Speicherzellen zu lesen. Das Vergleichsmittel vergleicht die Daten, die in dem Register gehalten werden, mit den Daten, die aus den Speicherzellen gelesen werden, um zu bestimmen, ob der Halbleiterspeicher fehlerfrei ist, und zum Generieren von Ein-Bitdaten, die darstellen, ob der Halbleiterspeicher fehlerfrei ist. Die Ausgabeschaltung ist gestaltet, die Ein-Bitdaten, die durch das Vergleichsmittel generiert werden, von dem Halbleiterspeicher auszugeben.

[0074] Die Testschaltung umfasst ferner Verriegelungsmittel zum Halten der n-Bitdaten, die durch das Vergleichsmittel generiert werden, und Umschaltmittel zum Zuführen von n Bits der Daten, die durch das Vergleichsmittel generiert werden, sequenziell zu der Ausgabeschaltung, wenn das Vergleichsmittel bestimmt, dass der Halbleiterspeicher fehlerbehaftet ist.

[0075] Der Halbleiterspeicher mit der Testschaltung ist von einem n-Bit-Typ, der n Bits von Daten zur gleichen Zeit speichern und ausgeben kann, der n Ausgabepads zur Verwendung in einem normalen Operationsmodus hat. In dem Testmodus ist einer der n Ausgabepads mit der Testausgabeschaltung der Testschaltung verbunden.

[0076] Halbleiterspeicher gemäß der vorliegenden Erfindung werden im Detail mit Bezug auf die begleitenden Zeichnungen beschrieben werden.

[0077] Bevor die Ausführungsformen beschrieben werden, werden einige vergleichende bzw. komparative Halbleiterspeicher beschrieben werden. Fig. 2 stellt die Anordnung eines ersten komparativen Speicherchips **10** dar. Fig. 3 zeigt das Layout einer der identischen Bänke, die in dem ersten komparativen Speicherchip **10** enthalten ist. Der Haltleiterspeicher ist von einem 16-Bit-(× 16)-Typ, der 16 Bit zur gleichen Zeit speichern und ausgeben kann.

[0078] Wie in Fig. 2 gezeigt, weist der Speicherchip **10** vier Bänke **11-0** bis **11-3**, einen Daten-Eingabe/Ausgabe-(I/O)-Bereich **12** und einen Datenbus **13** auf. Die Bänke **11-0** bis **11-3** sind in der gleichen Ebene und nebeneinander angeordnet. Sie sind identisch in der Struktur, jeder umfasst vier Speicherzellenarrays CAL und vier Speicherzellenarrays CAR. Jede Bank umfasst ferner Schaltungen, die peripher zu den Zellenarrays CAL und CAR sind. Die peripheren Schaltungen sind: eine Zellenarray-Steuerung CAC, vier Zeilendecodierer RD, zwei Spaltendecodierer CD0 und CD1 und vier DQ-Puffer DQ. (Die DQ-Puffer DQ werden in dem Eingabe/Ausgabe-Abschnitt der Bank bereitgestellt).

[0079] In jeder Bank stellen die Speicherzellenarrays CAL und CAR vier Speicherzellenblocks BLa, BLb, BLc und BLd dar. Jeder Speicherzellenblock besteht aus zwei Unterblöcken CAL (das heißt, einen Speicherzellenarray CAL) und CAR (das heißt, einem Speicherzellenarray CAR). Somit weist jede Bank acht Unterblöcke auf.

[0080] Die vier Zeilendecodierer RD werden für die vier Speicherzellenblöcke BLa, BLb, BLc und bzw. BLd bereitgestellt. Jeder Zeilendecodierer RD wählt den Unterblock CAL oder CAR aus und wählt ferner gemäß einem Zeilenadressensignal eine der Speicherzellenzeilen (oder Wortleitungen **17**) aus, die in dem ausgewählten Unterblock bereitgestellt werden.

[0081] Wie oben angedeutet, weist jede Bank zwei Spaltendecodierer CD0 und CD1 auf. Jeder der Spaltendecodierer CD0 und CD1 wählt gemäß einem Spaltenadressensignal mindestens eine der Speicherzellenspalten aus, die in den Speicherzellenblöcken BLa bis BLd bereitgestellt werden.

[0082] Wenn die Spaltendecodierer CD0 und CD1 zum Beispiel Spaltenauswahlleitungen **15-0** und **15-1** auswählen, werden die Spaltenauswahlschalter **16**, die mit den Spaltenauswahlleitungen **15-0** und **15-1** verbunden sind, eingeschaltet. In diesem Fall werden die Daten auf einem oder mehreren Datenleitungspaaren **14** den DQ-Puffern DQ durch Leseverstärker SA und Datenleitungspaare **18** zugeführt. (Die Datenleitungspaare **18** werden hier im Folgenden als "DQ-Leitungspaare" bezeichnet werden, um sie von den Datenleitungspaaren **14** zu unterscheiden).

[0083] In jeder Bank des ersten komparativen Speicherchips **10** kann jeder Spaltendecodierer zwei Spalten der Speicherzellen auswählen. Da die Bank zwei Spaltendecodierer aufweist, speichern und geben die Speicherzellenblöcke BLa, BLb, BLc und BLd jeweils vier Bit aus. Nämlich jede Bank speichert und gibt 16-Bit-(2-Byte)-Daten aus. Somit werden 16-Bit-Daten zwischen einer der vier Bänke **11-0** bis **11-3** und dem Daten-I/O-Bereich **12** durch den Datenbus **13** transferiert.

[0084] In jedem der Speicherzellenblöcke BLa bis BLd befinden sich die Leseverstärker SA und die Spaltenauswahlschalter **16** zwischen dem Unterblock CAL und dem Unterblock CAR, wie es in Fig. 2 dargestellt ist. In jeder Bank befinden sich die Zeilendecodierer RD an einem Ende jedes Unterblocks und die DQ-Puffer DQ an dem anderen Ende desselben. Daher liegen sich ein Zeilendecodierer RD und ein DQ-Puffer DQ gegenüber mit einem Unterblock von Speicherzellenarrays. Der Spaltendecodierer DC0 befindet sich an einem Ende jeder Spalte der Speicherzellen und der Spaltendecodierer CD1 an dem anderen Ende derselben. In anderen Worten sind die Datenleitungspaare **14** und die Spaltenauswahlleitungen **15-0** bis **15-1** an einem Ende mit dem Spaltendecodierer CD0 und am anderen Ende mit dem Spaltendecodierer CD1 verbunden.

[0085] In jeder Bank ist die Zellenarray-Steuerung CAC neben den Zeilendecodierern RD angeordnet. Die Zellenarray-Steuerung CAC steuert den Daten-Eingabe/Ausgabe-Betrieb der Bank. Vier Bankauswähler SEL sind bereitgestellt, jeder für einen DQ-Puffer DQ. Jeder Bankauswähler SEL befindet sich an dem Ausgang des im zugeordneten DQ-Puffers DQ.

[0086] Daten werden von den Datenleitungspaaren **18** über die Leseverstärker SA und die Spaltenauswahlschalter **16** den DQ-Leitungspaaren **18** zugeführt. Wie aus Fig. 2 und Fig. 3 ersichtlich wird, erstreckt sich jedes DQ-Leitungspaar **18** zwischen den Unterblöcken CAL und CAR, die einen Speicherzellenblock BLa, BLb, BLc oder BLd darstellen. Somit werden die Daten durch die DQ-Leitungspaare **18** in die Richtung parallel zu den Zeilen der Speicherzellen transferiert, die sich in rechten Winkeln zu der Richtung der Speicherzellenblöcke BLa bis BLd jeder Bank erstrecken. Die Daten werden dann durch die DQ-Puffer DQ nämlich von der Bank ausgegeben.

[0087] Wie in Fig. 2 gezeigt, erstreckt sich der von den vier Bänken **11-0** bis **11-3** geteilte Datenbus **13** zwischen der ersten und zweiten Bank **11-0** und **11-1** auf der einen Seite und der dritten und vierten Bank **11-2** und **11-3** auf der anderen. Der Bus **13** ist entworfen, um Daten zwischen jeder Bank und dem Daten-I/O-Bereich **12** zu transferieren. Der Datenbus **13** ist entworfen, um dem Speicherchip **10** zu erlauben, 16 Bit (2-Byte) simultan zu speichern und auszugeben, weil der Speicherchip **10** von einem 16-Bit-Typ ist, wie vorher erwähnt wurde.

[0088] Bereitgestellt in dem Daten-I/O-Bereich **12** werden 16 Eingabe/Ausgabe-(I/O)-Schaltungen (nicht gezeigt). Die I/O-Schaltungen geben jeweils ein Bit ein und aus. Sie kooperieren, um 16 Bit zur gleichen Zeit ein- und auszugeben.

[0089] Wie der erste komparative Halbleiterspeicher Daten speichert und ausgibt, wird unten beschrieben werden.

[0090] Zuerst wählen die Bankauswähler SEL eine der vier Bänke **11-0** bis **11-03** aus. In der ausgewählten Bank wird auf die Speicherzellen gemäß eines Adressensignals zugegriffen.

[0091] In dem Datenausgabe-(das heißt, Datenlese-)Modus gibt die ausgewählte Bank 16-Bit-Daten (das heißt, 2-Byte-Daten) durch die DQ-Leitungspaare **18** aus. Die 16-Bit-Daten werden dem Daten-I/O-Bereich **12** über den Datenbus **13** zugeführt. Die Daten werden von dem Bereich **12** ausgegeben,

nämlich von dem Halbleiterspeicherchip **10**.

[0092] In dem Dateneingabe(das heißt, Datenschreibe-)Modus werden 16-Bit-Daten (das heißt, 2-Byte-Daten) an den Daten-I/O-Bereich **12** von einem externen Gerät zugeführt. Die Daten werden ferner über den Datenbus **13** der ausgewählten Bank zugeführt. In der ausgewählten Bank werden die 16-Bit-Daten in den Speicherzellen des Arrays, der in der Bank enthalten ist, durch die DQ-Leitungspaare **18** und den Leseverstärkern SA gespeichert.

[0093] Der erste komparative Halbleiterspeicherchip **10** ist in folgender Hinsicht nachteilig.

[0094] Zuerst vergrößert sich die durch den Datenbus **13** besetzte Fläche, der sich durch das Mittelteil des Speicherchips **10**, parallel zu den Spalten der Speicherzellen (daher parallel zu den Datenleitungspaaren und den Spaltenauswahlleitungen) erstreckt proportional zu der Dicke des Busses **13**. Je mehr Bit simultan gespeichert und ausgegeben werden, desto dicker ist der Datenbus **13**. Je dicker der Bus **13**, desto größer die Fläche, die der Bus **13** besetzen wird. Da der erste komparative Speicherchip **10** ein 16-Bit-(× 16)Typ ist, ist der Datenbus **13** aus bis zu 16 Drähten zusammengesetzt, um 16-Bit-Daten zu transferieren. Wenn der Chip ein 32-Bit-(× 32)Typ ist, muss der Datenbus **13** aus 32 Drähten zusammengesetzt sein, um 32-Bit-Daten zu transferieren.

[0095] Zweitens vergrößert sich die durch die DQ-Leitungspaare **18** besetzte Fläche, die in jedem Speicherzellenblock BLa, BLb, BLc oder BLd bereitgestellt wird und sich proportional zwischen den Unterblöcken CAL und CAR der Speicherzellen erstreckt, proportional zu der Anzahl von Bit, die von dem Speicherzellenblock auszugeben sind. Falls der Speicherzellenblock 4-Bit-Daten ausgeben soll, werden vier DQ-Leitungspaare **18** zwischen den Unterblöcken CAL und CAR bereitgestellt. Falls der Speicherzellenblock 8-Bit-Daten ausgeben soll, werden acht DQ-Leitungspaare **18** zwischen den Unterblöcken CAL und CAR bereitgestellt.

[0096] Drittens sind die Elemente und Drähte der Zeilendecodierer RD und die Zellenarray-Steuerung CAC, die in jeder Bank bereitgestellt werden, aus dem folgenden Grund in einem komplizierten Muster angeordnet. In jeder Bank befinden sich an einem Ende jedes Unterblocks die Zeilendecodierer RD und die DQ-Puffer DQ an dem anderen Ende desselben; die Spaltendecodierer CD0 und CD1 befinden sich dementsprechend an den Enden der Spalten der Speicherzellen; und die Zellenarray-Steuerung CAC ist neben den Zeilendecodierern RD angeordnet, wobei sie sich über die vier Speicherzellenblöcke BLa bis BLd erstreckt. Da die Zeilendecodierer RD und die Steuerung CAC sich an einem Ende jeder Zeile der Speicherzellen befinden, sind ihre einzelnen Elemente und Drähte in einem komplizierten Muster angeordnet.

[0097] Ein zweiter komparativer Halbleiterspeicherchip **10** wird bezüglich Fig. 4 und Fig. 5 beschrieben. Fig. 4 zeigt das Layout des zweiten komparativen Speicherchips **10**, und Fig. 5 stellt das Layout einer der identischen Bänke dar, die in diesem komparativen Speicherchip **10** enthalten ist.

[0098] Der zweite komparative Speicherchip **10** ist von einem 32-Bit-(× 32)Typ, der 32 Bit zur gleichen Zeit speichern und ausgeben kann.

[0099] Wie in Fig. 4 gezeigt, weist der Speicherchip **10** vier Bänke **11-0** bis **11-3**, einen Daten-Eingabe/-Ausgabe-(I/O)Bereich **12** und einen Datenbus **13** auf. Die Bänke **11-0** bis **11-3** sind in der gleichen Ebene und nebeneinander angeordnet. Sie sind identisch in der Struktur, jede umfasst vier Speicherzellenarrays CAL und vier Speicherzellenarrays CAR. Jede Bank umfasst ferner Schaltungen, die zu den Zellenarrays CAL und CAR peripher sind. Die peripheren Schaltungen sind: eine Zellenarray-Steuerung CAC, vier Zeilendecodierer RD, vier Spaltendecodierer CD0 bis CD3 und vier DQ-Puffer Dqö. (Die DQ-Puffer DQ werden in dem Eingabe/Ausgabe-Abschnitt der Bank bereitgestellt).

[0100] In jeder Bank stellen die Speicherzellenarrays CAL und CAR vier Speicherzellenblöcke BLa, BLb, BLc und BLd dar. Jeder Speicherzellenblock besteht aus zwei Unterblöcken CAL (das heißt, einem Speicherzellenarray CAL) und CAR (das heißt, einem Speicherzellenarrays CAR). Daher weist jede Bank acht Unterblöcke auf.

[0101] Die vier Zeilendecodierer RD werden für die vier Speicherzellenblöcke BLa, BLb, BLc und BLd dementsprechend bereitgestellt. Jeder Zeilendecodierer RD wählt den Unterblock CAL oder CAR aus und wählt ferner eine der Speicherzellenzeilen (oder Wortleitungen **17**) aus, die in den ausgewählten Unterblock gemäß einem Zeilenadressensignal bereitgestellt wird.

[0102] Wie oben angedeutet, weist jede Bank vier Spaltendecodierer CD0 bis CD3 auf. Jeder der Spaltendecodierer CD0 bis CD3 wählt mindestens eine der Speicherzellenspalten aus, die in den Speicherzellenblöcken BLa bis BLd gemäß einem Spaltenadressensignal bereitgestellt werden.

[0103] Wenn die Spaltendecodierer CD0 und CD1 zum Beispiel Spaltenauswahlleitungen **15-0** bis **15-3** auswählen, werden die Spaltenauswahlschalter **16**, die mit den Spaltenauswahlleitungen **15-0** bis **15-3** verbunden sind, eingeschaltet. In diesem Fall werden die Daten auf einem oder mehreren Datenleitungspaaren **14** den DQ-Puffern DQ durch Leseverstärker

SA und Datenleitungspaaren **18** (das heißt, DQ-Leitungspaaren) zugeführt.

[0104] In jeder Bank des zweiten komparativen Speicherchips **10** kann jeder Spaltendecodierer zwei Spalten der Speicherzellen auswählen. Da die Bank vier Spaltendecodierer aufweist, bewirken die Speicherzellenblöcke BLa, BLb, BLc und BLd das Speichern und Ausgeben von jeweils 8 Bit. Nämlich jede Bank speichert und gibt 32-Bit-(4-Byte)-Daten aus. Daher werden 32-Bit-Daten zwischen einer der vier Bänke **11-0** bis **11-3** und dem Daten-I/O-Bereich **12** durch den Datenbus **13** transferiert.

[0105] In jedem der Speicherzellenblöcke BLa bis BLd befinden sich die Leseverstärker SA und die Spaltenauswahlschalter **16** zwischen dem Unterblock CAL und dem Unterblock CAR, wie es in Fig. 5 dargestellt ist. In jeder Bank befinden sich die Zeilendecodierer RD an einem Ende der Unterblöcke CAL und CAR und die DQ-Puffer DQ an dem anderen Ende desselben. Daher liegen sich ein Zeilendecodierer RD und ein DQ-Puffer DQ jeweils gegenüber mit einem Unterblock der Speicherzellenarrays. Die Spaltendecodierer CD0 und CD2 befinden sich an einem Ende jeder Spalte der Speicherzellen und die Spaltendecodierer CD1 und CD3 an dem anderen Ende derselben.

[0106] In jeder Bank ist die Zellenarray-Steuerung CAC neben den Zeilendecodierern RD angeordnet. Die Steuerung CAC steuert den Daten-Eingabe/Ausgabe-Betrieb der Bank. Vier Bankauswähler SEL sind bereitgestellt, jeder für einen DQ-Puffer DQ. Jeder Bankauswähler SEL befindet sich am Ausgang des zugeordneten DQ-Puffers DQ.

[0107] Daten werden den DQ-Leitungspaaren **18** von den Datenleitungspaaren **14** über die Leseverstärker SA und die Spaltenauswahlschalter **16** zugeführt. Wie in Fig. 4 und Fig. 5 gezeigt, erstreckt sich jedes DQ-Leitungspaar **18** zwischen den Unterblöcken CAL und CAR, die einen Block BLa, BLb, BLc oder BLd darstellen. Die Daten werden deshalb durch die DQ-Leitungspaare **18** in die Richtung parallel zu den Zeilen der Speicherzellen transforiert, die sich in rechten Winkeln zu der Richtung der Speicherzellenblöcke BLa bis BLd von jeder Bank erstrecken. Die Daten werden dann durch die DQ-Puffer DQ ausgegeben, nämlich von der Bank.

[0108] Wie aus Fig. 4 ersichtlich ist, erstreckt sich der Datenbus **13**, der durch die vier Bänke **11-0** bis **11-3** geformt ist, zwischen der ersten und zweiten Bank **11-0** und **11-1** auf der einen Seite und der dritten und vierten Bank **11-2** und **11-3** auf der anderen. Der Bus **13** ist entworfen, um Daten zwischen jeder Bank und dem Daten-I/O-Bereich **12** zu transferieren. Der Datenbus **13** ist entworfen, um dem Speicherchip **10** zu erlauben, simultan 32 Bit (4 Byte) zu speichern und auszugeben, weil der Speicherchip **10** von einem 32-Bit-Typ ist, wie vorher bemerkt wurde.

[0109] In dem Daten-I/O-Bereich **12** werden 32 Eingabe/Ausgabe-(I/O)Schaltungen (nicht gezeigt) bereitgestellt. Die I/O-Schaltungen geben jeweils ein Bit ein und aus. Sie kooperieren 32 Bit zur gleichen Zeit ein- und auszugeben.

[0110] Wie der zweite komparative Halbleiterspeicher Daten speichert und ausgibt, wird unten erklärt werden.

[0111] Zuerst wählen die Bankauswähler SEL eine der vier Bänke **11-0** bis **11-3** aus. In der ausgewählten Bank wird auf Speicherzellen gemäß eines Adressensignals zugegriffen.

[0112] In dem Datenausgabe-(das heißt, Datenlese-)Modus gibt die ausgewählte Bank 32-Bit-Daten (das heißt, 4-Byte-Daten) durch die DQ-Leitungspaare **18** aus. Die 2^n-Bit-Daten werden über den Datenbus **13** dem Daten-I/O-Bereich **12** zugeführt. Die Daten werden von dem Bereich **12** ausgegeben, nämlich von dem Halbleiterspeicherchip **10**.

[0113] In dem Dateneingabe-(das heißt, Datenschreibe-)Modus werden 32-Bit-Daten (das heißt, 4-Byte-Daten) von einem externen Gerät an den I/O-Bereich **12** zugeführt. Die Daten werden ferner über den Datenbus **13** der ausgewählten Bank zugeführt. In der ausgewählten Bank werden die 32-Bit-Daten in den Speicherzellen des Arrays, enthalten in der Bank, durch die DQ-Leitungspaare **18** und die Leseverstärker SA gespeichert.

[0114] Der zweite komparative Speicherchip **10** ist in gleicher Hinsicht nachteilig, wie der erste in Fig. 2 und Fig. 3 gezeigte komparative Speicherchip. Erstens vergrößert sich die Fläche, die der Datenbus **13** besetzt mit der Anzahl von Drähten, die den Bus **13** darstellen, proportional zu der Anzahl von Bit, die der Chip **10** simultan speichern und ausgeben kann. Zweitens vergrößert sich die Fläche, die die DQ-Leitungspaare **18** besetzen, mit der Anzahl von DQ-Leitungspaaren **18**, proportional zu der Anzahl von Bit, die der Chip **10** simultan speichern und ausgeben kann. Drittens sind die Elemente und Drähte, die die Zeilendecodierer RD und Zellenarray-Steuerung CAC darstellen, in einem komplizierten Muster angeordnet, zwangsläufig, weil die Decoderier RD und die Steuerung CAC sich an einem Ende jeder Zeile der Speicherzellen befinden.

[0115] Der zweite komparative Speicherchip **10** ist ferner dadurch nachteilig, das die Elemente und Drähte, die die Spaltendecodierer darstellen, in einem komplizierten Mister angeordnet sind, zwangsläufig weil zwei Spaltendecodierer an jedem Ende der Spalten der Speicherzellen bereitgestellt werden.

[0116] Fig. 6 zeigt ein schematisches Diagramm, das die Positionsbeziehung darstellt, die der Datenbus **13** und die Bänke **11-0** bis **11-3** in dem in Fig. 2 gezeigten ersten komparativen Speicherchip haben.

[0117] Wie aus Fig. 6 ersichtlich werden kann, besetzen die Bänke **11-0** bis **11-3** und der Daten-I/O-Bereich **12** den oberen Oberflächenbereich des ersten komparativen Speicherchips **10**. Der Daten-I/O-Bereich **12** befindet sich nahe an einer dieser Seiten des Speicherchips **10**, die sich parallel zu den Zeilen der Speicherzellen erstrecken.

[0118] Jede Bank weist Speicherzellenarrays auf, die vier Seicherzellenblöcke BLa, BLb, BLc und BLd darstellen. Die Blöcke erstrecken sich parallel zu den Spalten der Speicherzellen. Jeder Speicherzellenblock besteht aus zwei Unterblöcken. Daher weist jede Bank acht Unterblöcke auf, die sich auch parallel zu den Spalten der Speicherzellen erstrecken.

[0119] Jeder Unterblock weist Wortleitungen, Datenleitungen und Spaltenauswahlleitungen auf. Die Wortleitungen erstrecken sich entlang den Zeilen der Speicherzellen. Die Datenleitungen und die Spaltenauswahlleitungen erstrecken sich entlang den Spalten der Speicherzellen (das bedeutet, in die Richtung, in welcher die Unterblöcke in Intervallen angeordnet sind). Vier DQ-Leitungspaare **18** erstrecken sich entlang den Zeilen der Speicherzellen zwischen zwei Unterblöcken, um vier Bit Daten zu transferieren.

[0120] Der Datenbus **13** erstreckt sich zwischen der ersten und zweiten Bank **11-0** und **11-1** auf der einen Seite und der dritten und vierten Bank **11-2** und **11-3** auf der anderen. Der Bus **13** ist entworfen, um 16-Bit-(b-Byte)Daten zu transferieren.

[0121] Fig. 7 stellt das Layout einer Modifizierung des ersten komparativen Speicherchips **10** dar. Fig. 8 zeigt im Detail das Layout des modifizierten komparativen Speicherchips **10**. Der modifizierte komparative Speicherchip **10** ist von dem ersten komparativen Speicherchip (Fig. 2 und Fig. 3) in folgender Hinsicht verschieden.

[0122] Erstens besteht jede Bank (oder Hauptbank) aus zwei Unterbänken. Genauer besteht die Hauptbank **11-0** aus Unterbänken **11-0-#0** und **11-0-#1**; die Hauptbank **11-1** besteht aus Unterbänken **11-1-#0** und **11-1-#1**; die Hauptbank **11-2** besteht aus Unterbänken **11-2-#0** und **11-2-#1**; und die Hauptbank **11-3** besteht aus Unterbänken **11-3-#0** und **11-3-#1**. Zwei Unterbänke von nur einer Hauptbank werden simultan von einer Bankauswahlschaltung (nicht gezeigt) ausgewählt. Daher werden, wenn die Unterbänke **11-0-#0** und **11-0-#1** ausgewählt werden, die Unterbänke der Hauptbänke **11-1**, **11-2** und **11-3** nicht ausgewählt. Gleichermaßen werden, wenn die Unterbänke **11-1-#0** und **11-1-#1** ausgewählt werden, die Unterbänke der anderen Hauptbänke **11-0**, **11-2** und **11-3** nicht ausgewählt. Die Unterbänke **11-0-#0**, **11-1-#0**, **11-2-#0** und **11-3-#0** bilden eine erste Gruppe, in welcher acht Bit simultan gespeichert und von welcher acht Bit simultan ausgegeben werden. Ähnlich bilden die Unterbänke **11-0-#1**, **11-1-#1**, **11-2-#1** und **11-3-#1** eine zweite Gruppe, in welcher acht Bit simultan gespeichert und von welcher acht Bit simultan ausgegeben werden.

[0123] Zweitens ist jede Bank entworfen, um acht Bit (1 Byte) zur gleichen Zeit zu speichern und auszugeben. Jede Unterbank weist nur einen Spaltendecodierer CD auf, nicht zwei wie in dem in Fig. 2 und Fig. 3 gezeigten ersten komparativen Speicherchip. Ein Spaltendecodierer CD ist ausreichend, da die Unterbank acht Bit speichert und ausgibt. Der Spaltendecodierer CD ist entworfen, um zwei Spalten der Speicherzellen auszuwählen, wie in dem ersten komparativen Speicherchip, wobei die Speicherzellenblöcke BLa bis BLd jeweils zwei Bit speichern und ausgeben. Jede Unterbank umfasst Speicherzellenarrays CAL und CAR, Zeilendecodierer RD, DQ-Leitungspaare **18** und DQ-Puffer DQ, die fast auf die gleiche Art, wie in dem in Fig. 2 und Fig. 3 gezeigten ersten komparativen Speicherchip, ausgelegt sind.

[0124] Drittens werden zwei Daten-Eingabe/Ausgabe-(I/O)Schaltungen **12a** und **12b** in dem Mittelteil des Speicherchips bereitgestellt, die sich in axialer Anordnung entlang der Zeilen der Speicherzellen erstrecken. Zwei Datenbusse **13a** werden für die erste Gruppe der Unterbänke **11-0-#0**, **11-1-#0**, **11-2-#0** und **11-2-#0** bereitgestellt. Die Datenbusse **13a** erstrecken sich entlang der Spalten der Speicherzellen und befinden sich dementsprechend auf zwei Seiten der Daten-I/O-Schaltung **12a**. Zwei andere Busse **13b** werden für die zweite Gruppe der Unterbänke **11-0-#1**, **11-1-#1**, **11-2-#1** und **11-2-#1** bereitgestellt. Diese Datenbusse **13b** erstrecken sich entlang der Spalten der Speicherzellen und sind dementsprechend auf den zwei Seiten der lokalisierten Daten-I/O-Schaltung **12b**. Jeder der Datenbusse **13a** und **13b** befindet sich zwischen zwei zugeordneten Unterbänken, und erstrecken sich entlang der Spalten der Speicherzellen. Die Datenbusse **13a** sind mit der Daten-I/O-Schaltung **12a** verbunden und die Datenbusse **13b** mit der Daten-I/O-Schaltung **12b**. Die Datenbusse **13a** und **13b** sind entworfen, um jeweils 8-Bit-Daten zu transferieren.

[0125] In dem in Fig. 7 und Fig. 8 gezeigten modifizierten komparativen Speicherchip werden, wenn die Unterbänke **11-0-#0** und **11-0-#1** zum Beispiel ausgewählt werden, 8-Bit-Daten zwischen der Unterbank **11-0-#0** und der Daten-I/O-Schaltung **12a** durch den Datenbus **13a** transferiert und 8-Bit-Daten werden zwischen der Unterbank **11-0-#1** und der Daten-I/O-Schaltung **12b** durch den Datenbus **13b**

transferiert.

[0126] Fig. 9 zeigt eine andere Modifizierung des ersten komparativen Speicherchips, der in Fig. 2 dargestellt ist. Fig. 10 stellt im Detail das Layout des in Fig. 9 gezeigten modifizierten komparativen Speicherchips dar. Dieser modifizierte komparative Speicherchip **10** ist in folgender Hinsicht verschieden von dem ersten komparativen Speicherchip (Fig. 2 und Fig. 3).

[0127] Erstens besteht jede Bank (oder Hauptbank) aus zwei Unterbänken. Um spezifischer zu sein, besteht die Hauptbank **11-0** aus zwei Unterbänken **11-0-#0** und **11-0-#1**; die Hauptbank **11-1** besteht aus Unterbänken **11-1-#0** und **11-1-#1**; die Hauptbank **11-2** besteht aus Unterbänken **11-2-#0** und **11-2-#1**; und die Hauptbank **11-3** besteht aus Unterbänken **11-3-#0** und **11-3-#1**. Zwei Unterbänke von nur einer Hauptbank werden simultan durch eine Bankauswahlschaltung (nicht gezeigt) ausgewählt. Daher werden, wenn die Unterbänke **11-0-#0** und **11-0-#1** ausgewählt werden, die Unterbänke der Hauptbänke **11-1**, **11-2** und **11-3** nicht ausgewählt. Gleichermaßen werden, wenn die Unterbänke **11-1-#0** und **11-1-#1** ausgewählt werden, die Unterbänke der Hauptbänke **11-0**, **11-2** und **11-3** nicht ausgewählt. Die Unterbänke **11-0-#0**, **11-1-#0**, **11-2-#0** und **11-3-#0** bilden eine erste Gruppe, in welcher acht Bit simultan gespeichert und von welcher acht Bit simultan ausgegeben werden. Ähnlich bilden die Unterbänke **11-0-#1**, **11-1-#1**, **11-2-#1** und **11-3-#1** eine zweite Gruppe, in welcher acht Bit simultan gespeichert werden und von welcher acht Bit simultan ausgegeben werden.

[0128] Zweitens ist jede Bank entworfen, um acht Bit (1 Byte) zur gleichen Zeit zu speichern und auszugeben. Jede Unterbank weist nur einen Spaltendecodierer CD auf, nicht zwei wie in dem ersten komparativen Speicherchip der in Fig. 2 und Fig. 3 gezeigt ist. Ein Spaltendecodierer CD ist ausreichend, da die Unterbänke acht Bit speichern und ausgeben. Der Spaltendecodierer CD ist entworfen, um zwei Spalten der Speicherzellen auszuwählen, wie in dem ersten komparativen Speicherchip, wobei die Speicherzellenblöcke BLa bis BLd jeweils zwei Bit speichern und ausgeben. Jede Unterbank umfasst Speicherzellenarrays CAL und CAR, Zeilendecodierer RD, DQ-Leitungspaare **18** und DQ-Puffer DQ, die fast auf die gleiche Art, wie in dem in Fig. 2 und Fig. 3 gezeigten ersten komparativen Speicherchip ausgelegt sind.

[0129] Drittens werden zwei Datenbusse **13a** für die erste Gruppe der Unterbänke **11-0-#0**, **11-1-#0**, **11-2-#0** und **11-2-#0** bereitgestellt und erstrecken sich entlang der Spalten der Speicherzellen und zwei andere Busse **13b** werden für die zweite Gruppe der Unterbänke **11-0-#1**, **11-1-#1**, **11-2-#1** und **11-2-#1** bereitgestellt und erstrecken sich entlang der Spalten der Speicherzellen. Jeder der Datenbusse **13a** befindet sich zwischen zwei in zugeordneten Unterbänken und erstrecken sich entlang der Spalten der Speicherzellen von der Daten-I/O-Schaltung **12a**, die sich an einem Ende jeder der Speicherzellenspalte befindet. Ähnlich befindet sich jeder Datenbusse **13b** zwischen zwei zugeordneten Unterbänken, und erstreckt sich entlang der Spalten der Speicherzellen von der Daten-I/O-Schaltung **12b**, die sich an einem Ende jeder Speicherzellenspalte befindet.

[0130] In dem in Fig. 9 und Fig. 10 gezeigten modifizierten komparativen Speicherchip werden, wenn zum Beispiel die Unterbänke **11-0-#0** und **11-0-#1** ausgewählt werden, 8-Bit-Daten über den Datenbus **13a** zwischen der Unterbank **11-0-#0** und der Daten-I/O-Schaltung **12a** transferiert und 8-Bit-Daten werden über den Datenbus **13b** zwischen der Unterbank **11-0-#1** und der Daten-I/O-Schaltung **12b** transferiert.

[0131] Ein Halbleiterspeicherchip **10** gemäß der ersten Ausführungsform der vorliegenden Erfindung wird mit Bezug auf Fig. 11 und Fig. 12 beschrieben werden. Fig. 11 zeigt das Layout der ersten Ausführungsform und Fig. 12 zeigt das Layout einer der identischen Bänke, die in der ersten Ausführungsform enthalten ist.

[0132] Die erste Ausführungsform ist von einem 16-Bit-(× 16)Typ-Halbleiterspeicher, der 16 Bit zur gleichen Zeit speichern und ausgeben kann.

[0133] Wie in Fig. 11 gezeigt, weist der Speicherchip **10** vier Bänke **11-0** bis **11-3**, einen Daten-Eingabe/Ausgabe-(I/O)Bereich **12** und einen Datenbus **13** auf. Die Bänke **11-0** bis **11-3** sind in der gleichen Ebene nebeneinander angeordnet. Sie sind identisch in der Struktur, wobei jeder vier Speicherzellenarrays CAL und vier Speicherzellenarrays CAR umfasst. Jede Bank umfasst ferner Schaltungen, die peripher zu den Zellenarrays CAL und CAR sind. Die peripheren Schaltungen sind: eine Zellenarray-Schaltung CAC, vier Zeilendecodierer RD, zwei Spaltendecodierer CD0 und CD1 und zwei DQ-Puffer DQ. (Die DQ-Puffer DQ werden in dem Eingabe/Ausgabeabschnitt der Bank bereitgestellt).

[0134] In jeder Bank stellen die Speicherzellenarrays CAL und CAR vier Speicherzellenblöcke BLa, BLb, BLc und BLd dar. Jeder Speicherzellenblock besteht aus zwei Unterblöcken CAL (das heißt, einen Speicherzellenarray CAL) und CAR (das heißt, einen Speicherzellenarray CAR). Somit weist jede Bank acht Unterblöcke auf.

[0135] Wie in Fig. 12 gezeigt, werden die vier Zeilendecodierer RD für die vier Speicherzellenblöcke BLa, BLb, BLc bzw. BLd bereitgestellt. Jeder Zeilendecodierer RD wählt den Unterblock CAL oder CAR

aus und wählt gemäß einem Zeilenadressensignal ferner eine der Speicherzellenzeilen (oder Wortleitungen **17**) aus, die in dem ausgewählten Unterblock bereitgestellt wird.

[0136] Jeder Unterblock kann durch Anlegen einer Hochspannung an einer der zwei Wortleitungen **19a** und **19b** ausgewählt werden. Wenn eine Hochspannung an der Wortleitung **19a** angelegt wird, werden die Schalter **20a** eingeschaltet, wobei der Unterblock CAL ausgewählt wird. Zu dieser Zeit wird eine Niederspannung an der Wortleitung **19b** angelegt und die Schalter **20b** sind aus. Der Unterblock CAR ist deshalb nicht ausgewählt.

[0137] Wie oben angedeutet, weist jede Bank zwei Spaltendecodierer CD0 und CD1 auf. Jeder der Spaltendecodierer CD0 und CD1 wählt gemäß einem Spaltenadressensignal mindestens eine der Speicherzellenspalten aus, die in den Blöcken BLa bis BLd bereitgestellt wird.

[0138] Wenn der Spaltendecodierer CD1 zum Beispiel eine Spaltenauswahlleitung **15** auswählt, werden die zwei Spaltenauswahlschalter **16**, die mit der Spaltenauswahlleitung **15** verbunden sind, eingeschaltet. In diesem Fall werden die 2-Bit-Daten auf zwei Datenleitungspaare **14**, die mit den Spaltenauswahlschaltern **16** verbunden sind, Datenleitungspaaren **18a** durch Leseverstärker SA und Spaltenauswahlschalter **16** zugeführt. (Die Datenleitungspaare **18a** werden hier im Folgenden als "lokale DQ-Leitungspaare" bezeichnet werden, um so von den Datenleitungspaaren **14** unterschieden zu werden).

[0139] In jeder Bank der ersten Ausführungsform kann jeder Spaltendecodierer zwei Spalten der Speicherzellen auswählen. Da die Bank zwei Spaltendecodierer aufweist, speichern und geben die Speicherzellenblöcke BLa, BLb, BLc und BLd jeweils vier Bit aus. Nämlich jede Bank speichert und gibt 16-Bit(2-Byte-Daten) aus.

[0140] In jedem der Speicherzellenblöcke BLa bis BLd befinden sich die Leseverstärker SA und Spaltenauswahlschalter **16** zwischen dem Unterblock CAL und dem Unterblock CAR, wie es in Fig. 12 dargestellt ist. In jeder Bank liegen die Zeilendecodierer RD der Zellenarray-Steuerung CAC gegenüber mit den Speicherzellen-Arrrays CAL und CAR lokalisiert zwischen den Zeilendecodierern RD auf der einen Seite und der Zellenarray-Steuerung CAC auf der anderen. Nämlich die Zeilendecodierer RD befinden sich an einem Ende jedes Blocks, erstrecken sich entlang der Spalten der Speicherzellen (im rechten Winkel zu den Wortleitungen **17**, **19a** und **19b**), während sich die Zellenarray-Steuerung CAC an dem anderen Ende der Speicherzellenblöcke BLa bis BLd befindet.

[0141] Die Zellenarray-Steuerung CAC steuert den Dateneingabe/Ausgabe-Betrieb der Bank.

[0142] Die Spaltendecodierer CD0 und CD1 befinden sich an einem Ende jeder Spalte der Speicherzellen, entlang welcher die Blöcke BLa bis BLd in Intervallen angeordnet sind, und parallel zu welchen die Datenleitungspaare und Spaltenauswahlleitungen sich erstrecken. Die Spaltendecodierer CD0 und CD1 sind mit Zwischenraum entlang der Zeilen der Speicherzellen angeordnet. Der Spaltendecodierer CD0 wird für die Hälfte der in der Bank bereitgestellten Speicherzellen bereitgestellt und der Spaltendecodierer CD1 für die übrigbleibende Hälfte der Speicherzellen.

[0143] Die DQ-Puffer DQ liegen an dem anderen Ende der Spalten der Speicherzellen, entlang welcher die Speicherzellenblöcke BLa bis BLd in Intervallen angeordnet sind und parallel zu welchen die Datenleitungspaare und Spaltenauswahlleitungen sich erstrecken. Daher liegen die DQ-Puffer DQ dem Spaltendecodierer CD0 und CD1 gegenüber und die Speicherzellenarray CAL und CAR werden zwischen den DQ-Puffern DQ an der einen Seite und die Spaltendecodierer CD0 und CD1 an der anderen Seite angeordnet.

[0144] Zwei Bankauswähler SEL werden jeweils für einen DQ-Puffer DQ bereitgestellt. Jeder Bankauswähler SEL befindet sich an dem Ausgang des zugeordneten DQ-Puffers DQ, um die Bank auszuwählen.

[0145] Daten werden den lokalen DQ-Leitungspaaren **18a** von den Datenleitungspaaren **14** über die Leseverstärker SA und den Spaltenauswahlschaltern **16** zugeführt. Wie in Fig. 12 gezeigt, erstreckt sich jedes DQ-Leitungspaar **18** zwischen den Unterblöcken CAL und CAR, die einen Speicherzellenblock BLa, BLb, BLc oder BLd darstellen. Die lokalen DQ-Leitungspaare **18a** erstrecken sich parallel zu den Zeilen der Speicherzellen (das heißt, entlang der Wortleitungen).

[0146] Wie in Fig. 12 gezeigt, werden Datenleitungspaare **18b** bereitgestellt, die sich über die Unterblöcke CAL und CAR parallel zu den Spalten der Speicherzellen erstrecken. (Hier im Folgenden bezeichnet als "globale DQ-Leitungspaare", um so von den Datenleitungspaaren **14** unterschieden zu werden). Die globalen DQ-Leitungspaare **18b** sind an einem Ende mit den lokalen DQ-Leitungspaaren **18a** durch den Schalter **21** verbunden und an dem anderen Ende mit den DQ-Puffern DQ. Die Schalter **21** sind gemäß einem Steuersignal CON ein- und ausgeschaltet.

[0147] Wie in Fig. 11 dargestellt, erstreckt sich der Datenbus **13** entlang der Zeilen der Speicherzellen zwischen den Bänken **11-0** und **11-1** auf der einen

Seite und den Bänken **11-2** und **11-3** auf der anderen. Der Datenbus **13** wird bereitgestellt, um Daten von dem Daten-I/O-Bereich **12** an die Bänke **11-0** bis **11-3** und umgekehrt zu transferieren. Der Bus **13** ist entworfen, um dem Speicherchip **10** zu erlauben, 16-Bit (2-Byte) simultan zu speichern und auszugeben, weil der Speicherchip **10** von einem 16-Bit-Typ ist, wie vorher bemerkt wurde.

[0148] Der Daten-I/O-Bereich **12** ist an einem Ende jeder Zeile der Speicherzellen angeordnet. In dem Bereich **12** sind 16 Eingabe/Ausgabe-I/O-Schaltungen (nicht gezeigt) bereitgestellt. Die I/O-Schaltungen kooperieren, um 16-Bit-Daten in die Speicherzellenarrays zu schreiben und daraus 16-Bit-Daten auszugeben.

[0149] Wie der Speicherchip **10** gemäß der ersten Ausführungsform 16-Bit-Daten speichert und ausgibt, wird erklärt werden.

[0150] Zuerst wählen die Bankauswähler SEL eine der vier Bänke **11-0** bis **11-3** aus. In der ausgewählten Bank wird auf den Speicherzellenarray basierend auf einem Adressensignal zugegriffen.

[0151] In dem Datenausgabe-(das heißt, Datenlese-)Modus gibt die ausgewählte Bank 16-Bit-Daten (das heißt, 2 Byte-Daten) durch die lokalen DQ-Leitungspaare **18a** und globalen DQ-Leitungspaare **18b** aus. Die 16-Bit-Daten werden dabei von der ausgewählten Bank ausgegeben. Sie werden dann über den Datenbus **13** an den Daten-I/O-Bereich **12** zugeführt. Die Daten werden von dem Bereich **12** ausgegeben, nämlich von dem Halbleierspeicherchip **10**.

[0152] In dem Dateneingabe-(das heißt, Datenschreibe-)Modus werden 16-Bit-Daten (das heißt, 2 Byte-Daten) von einem externen Gerät dem Daten-I/O-Bereich zugeführt. Die Daten werden ferner über den Datenbus **13** der ausgewählten Bank zugeführt. In der ausgewählten Bank werden die 16-Bit-Daten in die Speicherzellen des Arrays durch die globalen DQ-Leitungspaare **18b**, die lokalen DQ-Leitungspaare **18a** und die Leseverstärker SA gespeichert.

[0153] Der komparative Halbleiterspeicherchip **10** gemäß der ersten Ausführungsform ist in der Hinsicht vorteilhaft.

[0154] Zuerst sind die Zellenarray-Steuerung CAC, Zeilendecodierer RD, Spaltendecodierer CD0 und CD1 und DQ-Puffer DQ nahe einer Seite der Speicherzellenarrays CAL und CAR angeordnet. Dies ist weil die Steuerung CAC und die Zeilendecodierer RD sich an einem Ende jeder Zeilen der Speicherzelle befinden und auch weil die Spaltendecodierer CD0 sich an einem Ende jeder Speicherzellenspalte befinden und dem CD1 und DQ-Puffern DQ gegenüberliegen, die sich an dem anderen Ende jeder Speicherzellenspalte befinden. Somit können die Elemente und Drähte, die die Steuerung CAC, Zeilendecodierer RD, Spaltendecodierer CD0 und CD1 und DQ-Puffer DQ darstellen, in einem einfachen Muster angeordnet werden.

[0155] Zweitens können die einzelnen Elemente und Drähte der DQ-Puffer DQ in einem einfachen Muster angeordnet werden, weil die DQ-Puffer DQ sich an einem Ende jeder Speicherzellenspalt befinden. Die DQ-puffer DQ können so angebracht werden, da die lokalen DQ-Leitungspaare **18a** sich entlang der Speicherzellenzeilen erstrecken, während sich die globalen DQ-Leitungspaare **18b** entlang der Speicherzellenspalten erstrecken, was es möglich macht, Daten an der Seite der Bank wo ein Ende jeder Speicherzellenspalte positioniert ist, einzugeben und ausgeben.

[0156] Ferner reicht es aus, lokale DQ-Leitungspaare an jedem Spaltendecodierer CD0 zu verwenden, um zwei Bit zu transferieren und lokale DQ-Leitungspaare an jedem Spaltendecodierer CD1 zu benutzen, um zwei Bit zu transferieren, selbst wenn jeder Speicherzellenblock entworfen ist, vier Bit simultan zu speichern und auszugeben. Dies ist, weil die Spaltendecodierer CD0 und CD1 sich nahe zu einander befinden und mit Zwischenraum in der Richtung, in welcher sich die Speicherzellenzeilen erstrecken, angeordnet sind, so dass ein Bit von dem Speicherzellenblock an einem Ende jeder Speicherzellenspalte eingegeben und ausgegeben wird. Da eine relativ kleine Anzahl von lokalen DQ-Leitungspaaren benötigt wird, um Daten in jeden Speicherzellenblock zu transferieren, kann eine Fläche, die zum Unterbringen der DQ-Leitungspaaren benötigt wird, klein sein. Genauer ist die Fläche die Hälfte der in dem in Fig. 2 und Fig. 3 gezeigten ersten komparativen Speicherchip benötigten Fläche.

[0157] Jede Bank muss so viele globale DQ-Leitungspaare wie zum Transferieren von 16-Bit-Daten benötigt wird, aufweisen, wenn 4-Bit-Daten von jedem Speicherzellenblock eingegeben und ausgegeben werden. Nichtsdestotrotz braucht ein Bereich nicht bereitgestellt zu werden, um die globalen DQ-Leitugspaare unterzubringen, da die globalen DQ-Leitungspaare **18b** auf den Speicherzellenarray CAL und CAR bereitgestellt werden.

[0158] Drittens kann die Anzahl von Drähten, die den Datenbus **13** darstellen, reduziert werden, um die Fläche, die der Bus **13** auf dem Speicherchip **10** besetzt, zu minimieren lediglich durch passendes Positionieren der Bänke und der Daten-I/O-Schaltungen. Die Anzahl der Drähte kann verringert werden, weil in jeder Bank die DQ-Puffer DQ sich an einem Ende jeder Speicherzellenspalte befinden, was dem Datenbus **13** erlaubt, sich entlang der Speicherzel-

lenzeilen und zwischen den Bänken **11-0** und **11-1** auf der einen Seite und den Bänken **11-2** und **11-3** auf der anderen zu erstrecken.

[0159] Fig. 13 stellt einen der identischen Spaltenauswahlschalter **18** und einen der identischen Schalter **21** dar, die alle in dem in Fig. 11 und Fig. 12 gezeigten Halbleiterspeicher enthalten sind.

[0160] Wie in Fig. 13 gezeigt, ist der Spaltenauswahlschalter **16** aus N-Kanal-MOS-Transistoren N1 und N2 zusammengesetzt. Die Gates bzw. Gatter der MOS-Transistoren N1 und N2 sind mit einer Spaltenauswahlleitung **15** verbunden. Die Source-Drain-Bereiche bzw. Quellen-Drain-Bereiche der MOS-Transistoren N1 und N2 sind an einem Ende mit einem Leseverstärker SA und an dem anderen Ende mit einem lokalen DQ-Leitungspaar **18a** verbunden.

[0161] Der Schalter **21** ist aus N-Kanal-MOS-Transistoren N3 und N4 zusammengesetzt. Die Gates der MOS-Transistoren N3 und N4 sind mit einer Steuerleitung **22** verbunden. Die Source-Drain-Bereiche der Transistoren N3 und N4 sind an einem Ende mit den lokalen DQ-Leitungspaaren **18a** und an dem anderen Ende mit einem globalen DQ-Leitungspaar **18b** verbunden.

[0162] Fig. 14 zeigt einen der Spaltendecodierer CD0 und CD1, die in dem in Fig. 11 und Fig. 12 gezeigten Speicherchip verwendeten Speicher, enthalten sind. Richtiger gesagt, zeigt Fig. 14 ein Schaltungsdiagramm, das einen Spaltendecodierer DC0 darstellt.

[0163] Wie in Fig. 14 gesehen werden kann, werden Spaltenadressensignale A0 bis A10 dem Spaltendecodierer CD0 eingegeben. In dem Spaltendecodierer CD stellen die Signale A0 bis A10 das Ausgabesignal eines der Vordecodierer (UND-Schaltungen) **23-1**, **23-2**, ..., und **23-N** auf eine niedrige-(L)Niveau ein und die Ausgabesignale der übrigbleibenden Vordecodierer auf ein hohes Niveau ein. Von den Spaltenadresssignalen stellen die Signale A8 bis A10 das Ausgabesignal eines der Decodierer **24-1**, **24-2**, ..., und **24-M** auf ein niedriges Niveau ein und die Ausgabesignale der anderen Decodierer auf das hohe Niveau ein.

[0164] Die Signale, die durch die Vordecodierer **23-1**, **23-2**, ..., und **23-N** ausgegeben werden, werden an alle Speicherzellenblöcke **25-1**, **25-2**, ..., **25-N** eingegeben, die in dem Spaltendecodierer CD0 bereitgestellt werden. Die Signale, die durch die Decodierer **24-1**, **24-2**, ..., und **24-M** ausgegeben werden, werden den Speicherzellenblöcken **25-1**, **25-2**, ..., **25-N** eingegeben. Die Signale, die durch die Vordecodierer **23-1** bis **23-N** und Decodierer **24-1** bis **24-M** ausgegeben werden, werden NOR-Schaltungen **26-0** bis **26-7** eingegeben, die in jedem der Speicherzellenblöcke **25-1**, **25-2**, bis, **25-N** bereitgestellt werden.

[0165] Wenn die Ausgabesignale zum Beispiel der Vordecodierer **23-1** und Decodierer **26-0** auf einem niedrigen Niveau sind, ist das Ausgabesignal der NOR-Schaltung **26-0** auf einem hohen Niveau, während die Ausgabesignale der anderen NOR-Schaltungen **26-1** bis **26-7** auf einem niedrigen Niveau sind. Die Ausgabesignale der NOR-Schaltungen **26-0** bis **26-7** werden Latch-Schaltungen **28-0** bis **28-7** durch Transfer-Gates **27-0** bis **27-7** dementsprechend eingegeben, während das Steuersignal L, das den Transfer-Gates **27-0** bis **27-7** zugeführt wird, auf einem hohen Niveau bleibt.

[0166] Die Signale, die durch die Latch-Schaltungen **28-0** bis **28-7** ausgegeben werden, werden der Spaltenauswahlleitung **15** durch UND-Schaltungen **29-0** bis **29-7** dementsprechend zugeführt, während ein Steuersignal T, das den UND-Schaltungen **29-0** bis **29-7** zugeführt wird, auf einem hohen Niveau bleibt.

[0167] Wenn das Ausgabesignal, zum Beispiel des Vorcodierers **23-1**, auf einem hohen Niveau ist, und das Ausgabesignal von zum Beispiel dem Decodierer **24-1** auf einem niedrigen Niveau ist, ist das Potential von nur dem Spaltenauswahldraht CSL0 der Spaltenauswahlleitung **15** auf einem hohen Niveau und die Potentiale der verbleibenden Drähte CSL1 bis CSL7 der Leitung **15** sind auf einem niedrigen Niveau. Der Spaltenauswahlschalter, der mit dem Spaltenauswahldraht verbunden ist, dessen Potential auf dem hohen Niveau ist, wird eingeschaltet.

[0168] Ein Blockschreibesignal BW wird den Decodierern **24-1** bis **24-M** zugeführt. Im Normalmodus verbleibt das Blockschreibesignal BW auf einem niedrigen Niveau. Im Blockschreibemodus ist das Signal BW auf einem hohen Niveau. Somit sind in dem Blockschreibemodus die Ausgabesignale der Decodierer **24-1** bis **24-M** auf einem niedrigen Niveau, was nicht von dem Niveau der Spaltenadressensignale A8 bis A10 abhängt. Daher sind, wenn das Ausgabesignal des Vordecodierers **23-1** auf einem niedrigen Niveau ist, die Potentiale aller Spaltenauswahldrähte CSL0 bis SCL7, die durch den Block **25-1** gesteuert werden, auf einem hohen Niveau. Jeder Spaltenauswahlschalter, der mit einem auf einem hohen Niveau befindlichen Spaltenauswahldraht verbunden ist, wird eingeschaltet. Daten können dabei in jeden Speicherzellenblock geschrieben werden.

[0169] Fig. 15 zeigt einen der Bankauswähler SEL, die in den Speicherchip von Fig. 11 und Fig. 12 bereitgestellt werden.

[0170] Wie in Fig. 15 gezeigt, umfasst der erste Bankauswähler SEL Transfer-Gates T01 und T02,

die zwischen dem zugeordneten DQ-Puffer DQ und dem Datenbus **13** verbunden sind. Der zweite Bankauswähler SEL umfasst Transfer-Gates T11 und T12, die zwischen dem zugeordneten DQ-Puffer DQ und dem Datenbus **13** verbunden sind. Der dritte Bankauswähler SEL umfasst Transfer-Gates T21 und T22, die zwischen dem zugeordneten DQ-Puffer DQ und dem Datenbus **13** verbunden sind. Der vierte Bankauswähler SEL umfasst Transfer-Gates T31 und T32, die zwischen dem zugeordneten DQ-Puffer DQ und dem Datenbus **13** verbunden sind. Jeder der Transfer-Gates T01, T02, T11, T12, T21, T22, T31 und T32 umfasst einen N-Kanal-MOS-Transistor und einen P-Kanal-MOS-Transistor.

[0171] In der Bank **11-0** werden Bankauswahlsignale BNK0 und $\overline{\text{BNK0}}$ den Bankauswählern SEL eingegeben. Genauer wird das Signal BNK0 den Gates der N-kanal-MOS-Transistoren zugeführt, die die Transfer-Gates T01 und T02 darstellen, während das Signal $\overline{\text{BNK0}}$ den Gates der P-Kanal-MOS-Transistoren zugeführt wird, die die Transfer-Gates T01 und T02 darstellen.

[0172] Ähnlich werden in der Bank **11-1** Bankauswahlsignale BNK1 und $\overline{\text{BNK1}}$ den Bankauswählern SEL eingegeben; in der Bank **11-2** werden Bankauswahlsignale BNK2 und $\overline{\text{BNK2}}$ den Bankauswählern SEL eingegeben; und in der Bank **11-3** werden Bankauswahlsignale BNK3 und $\overline{\text{BNK3}}$ den Bankauswählern SEL eingegeben.

[0173] Von den Bankauswahlsignalen BNK0 bis BNK3 ist jedes auf einem hohen Niveau, während die anderen sieben Bankauswahlsignale auf einem niedrigen Niveau sind. Zum Beispiel sind, wenn das Bankauswahlsignal BNK0 auf einem hohen Niveau ist, um die Bank **11-0** auszuwählen, die Bankauswahlsignale BNK1 bis BNK3 auf einem niedrigen Niveau. In diesem Fall sind die DQ-Puffer DQ von nur der Bank **11-0** mit dem Datenbus **13** verbunden und die DQ-Puffer DQ von den anderen Bänken **11-1** bis **11-3** sind von dem Datenbus **13** getrennt. Als Ergebnis können nur Daten zwischen dem Daten-I/O-Bereich **12** und der Bank **11-0** transferiert werden.

[0174] Die in Fig. 11 und Fig. 12 gezeigte erste Ausführungsform zeigt einen 16-Bit Halbleiterspeicher, der zur gleichen Zeit 16 Bit speichert und ausgibt. Die erste Ausführungsform hat deshalb 16 Daten-I/O-Schaltungen. Die Daten-I/O-Schaltungen sind identisch in der Struktur mit 32 Daten-I/O-Schaltungen. Deshalb wird eine der Daten-I/O-Schaltungen mit Bezug auf Fig. 15 beschrieben werden.

[0175] Wie in Fig. 16 gezeigt, umfasst die Daten-I/O-Schaltung einen Datenbusleseverstärker DBSAMP, einen Datenbusschreibepuffer DBWBF, eine Ausgabe-Latch-Schaltung **30**, eine Ausgabeschaltung **31** und einen Ausgabepuffer **32**.

[0176] Der Datenbusschreibepuffer DBWBF wird verwendet, um Daten in den Speicherzellenarray zu schreiben. In dem Puffer DBWBF wird ein Steuersignal NW in einen getakteten Inverter CI1 und ein Steuersignal WX in getaktete Inverter CI2 und CI5 eingegeben. Im gewöhnlichen Schreibemodus ist das Steuersignal NW auf einem hohen Niveau und aktiviert den getakteten Inverter CI1. Während das Steuersignal WX auf einem hohen Niveau bleibt, werden Eingabedaten RWDm (m = 0, 1, 2, ... oder 31), die in den Speicherzellenarray zu schreiben sind, dem Datenbus **13** durch den getakteten Inverter CI1, eine Latch-Schaltung LA und die getakteten Inverter CI2 und CI5 zugeführt. Die Daten werden durch den Datenbus **13** der ausgewählten Bank zugeführt.

[0177] In dem Datenbusschreibepuffer DBWBF wird ein Blockschreibesignal BW einem getakteten Inverter CI3 eingegeben. Das Signal BW ist auf einem hohen Niveau in dem Blockschreibemodus, was den getakteten Inverter CI3 aktiviert. Während das Steuersignal WX auf einem hohen Niveau bleibt, werden Farb-Registerdaten CRm (m = 0, 1, 2, ..., oder 31) dem Datenbus **13** durch den getakteten Inverter CI3, die Latch-Schaltung LA und die getakteten Inverter CI2 und CI5 zugeführt. Die Daten CRm werden dann durch den Datenbus **13** der ausgewählten Bank zugeführt.

[0178] Die Farb-Registerdaten CRm werden von einem Farb-Register zugeführt. Das Farb-Register speichert ein Muster von Daten, die in eine Vielzahl von Speicherzellen simultan in dem Blockschreibemodus geschrieben werden. Das Farb-Register wird in einem Bildspeicher bereitgestellt, wie in den meisten Fällen, und wird verwendet, um Daten eines vorgeschriebenen Musters in eine Vielzahl von Speicherzellen zur gleichen Zeit zu schreiben. Die Inhalte des Farb-Registers (das heißt, Datenmuster) können in einem sogenannten Datenänderungsmodus, wenn immer nötig, geändert werden.

[0179] Ferner wird in den Datenbusschreibepuffer DBWBF ein Steuersignal TW in einen getakteten Inverter CI4 eingegeben. Das Signal TW ist in dem Testmodus auf einem hohen Niveau, was den getakteten Inverter CI4 aktiviert. Während das Steuersignal WX auf einem hohen Niveau bleibt, wird das Ausgabesignal einer exklusiven-ODER-Schaltung EX dem Datenbus **13** über den getakteten Inverter CI4, der Latch-Schaltung LA und den getakteten Invertern CI2 und CI5 zugeführt. Das Signal wird durch den Datenbus **13** der ausgewählten Bank zugeführt. Farb-Registerdaten $\overline{\text{CRm}}$ und Daten RWD0 werden in den exklusiven-ODER-Schaltung EX eingegeben. In der ersten Ausführungsform wird das in dem Testmodus verwendete Datenmuster von dem Farb-Register erhalten.

[0180] Die Testschaltung, die in dem Halbleiterspei-

cher gemäß der ersten Ausführungsform enthalten ist und entworfen ist, um die Speicherzellenarrays zu testen, wird später beschrieben werden.

[0181] Der Datenbusleseverstärker DBSAMP wird verwendet, um Daten von den Speicherzellenarrays zu lesen. Wie aus Fig. 16 ersichtlich, umfasst der Verstärker DBSAMP einen N-Kanal-artigen Operationsverstärker SAN und einen P-Kanal-artigen Operationsverstärker SAP. Der Verstärker DBSAMP wird aktiviert, wenn ein Aktivierungssignal RENBL auf ein hohes Niveau aufsteigt und deaktiviert, wenn das Signal RENBL auf ein niedriges Niveau fällt.

[0182] In dem Datenbusleseverstärker DBSAMP wird ein getakteter Inverter CI6 deaktiviert, wenn das Aktivierungssignal RENBL auf ein niedriges Niveau fällt. Der Verstärker DBSAMP wird dabei von einer Lese/Schreibedatenleitung RWD getrennt. Die Datenleitung RWD dient nicht nur als Pfad der Ausgabedaten (die von den Speicherzellenarrays gelesenen Daten), aber auch als Pfad der Eingabedaten (die Daten, die in den Speicherzellenarrays zu speichern sind).

[0183] Die Daten-I/O-Schaltung umfasst ferner einen voraufgeladenen Transistor PR. Der Transistor PR wird bereitgestellt, um die Lese/Schreibedatenleitung RWD auf das hohe Niveau vorzuladen, bevor die Ausgabedaten RWDm (m = 0, 1, 2, ..., oder 31) der Lese/Schreibedatenleitung RWD ausgegeben werden. Die Ausgabedaten RWDm, die von dem Datenbusleseverstärker DBSAMP ausgegeben werden, werden der Ausgabeschaltung **31** über die Ausgabe-Latch-Schaltung **30** eingegeben.

[0184] Die Ausgabe-Latch-Schaltung **30** wird von einem Rückstellsignal $\overline{RS}$ zurückgestellt. Ein Synch-Signal QST wird der Ausgabeschaltung **31** eingegeben. Somit werden die Daten DQm (m = 0, 1, 2, ..., oder 31) von der Datenausgabeschaltung **31** synchron mit dem Synch-Signal QST zugeführt und dann durch den Ausgabepuffer **32** ausgegeben. Die Daten DQm werden daher von dem Speicherchip **10** ausgegeben.

[0185] Wie in Fig. 16 gezeigt, umfasst die Daten-I/O-Schaltung ferner eine NAND-Schaltung **33** und eine exklusive-ODER-Schaltung **34**. Diese Schaltungen **33** und **34** sind Teile der Testschaltung, die zum Testen des Speicherchips **10** entworfen ist. Die Eingabe in die NAND-Schaltung **33** sind die Daten, die von der Ausgabe-Latch-Schaltung **30** und einem Testsignal ReDT zugeführt werden. Das Testsignal ReDT bleibt auf einem hohen Niveau in dem Testmodus. Eingabe in die exklusive-ODER-Schaltung **34** sind das Signal, das von der NAND-Schaltung **33** zugeführt wird, und die Farb-Registerdaten $\overline{CR}$m. Die exklusive-ODER-Schaltung **34** gibt ein Signal TRDm (m = 0, 1, 2, ..., oder 31) aus, das die Ergebnisse des Tests darstellt, der an dem Speicherchip **10** ausgeführt wurde. Das heißt, das Signal TRDm weist darauf hin, ob der Chip fehlerlos ist oder nicht.

[0186] Die Testschaltung wird mit Bezug auf Fig. 17 beschrieben werden. In Fig. 17 sind die Komponenten der Daten-I/O-Schaltung mit den gleichen Bezugszeichen, wie die in Fig. 16 verwendeten, gezeigt.

[0187] Die Testschaltung ist zur Verwendung mit 32-Bit-(× 32)Typ Halbleiterspeichern entworfen. Wie in Fig. 17 gezeigt, umfasst die Testschaltung die NAND-Schaltung **33**, die exklusiven-ODER-Schaltungen **34**, eine Testmodusumschaltschaltung **100** und eine Testausgabeschaltung **200**.

[0188] In dem Testmodus bleibt das Testsignal ReDT auf einem hohen Niveau. Das Ausgabesignal TRDm (m = 0, 1, 2, ..., oder 31) der exklusiven-ODER-Schaltung **34** wird der Testmodusumschaltschaltung **100** eingegeben. Die 32-Bit-Daten, die das Ergebnis des Test darstellen, werden in die Umschaltschaltung **100** eingegeben. Die Umschaltschaltung **100** gibt sequenziell 32 Bit dieser Daten an die Testausgabeschaltung **200** aus.

[0189] Die Testausgabeschaltung **200** wird aktiviert, wenn ein Steuersignal TQST auf ein hohes Niveau ansteigt. Wenn die Schaltung **200** aktiviert wird, ist ein Steuersignal QST, das in die Ausgabeschaltung **31** eingegeben wird, auf einem niedrigen Niveau. Die Ausgabeschaltung **31** ist deshalb deaktiviert. Die Schaltung **31** ist aktiviert und wird in dem normalen Modus verwendet.

[0190] Die Testschaltung wird im Detail mit Bezug auf Fig. 18 beschrieben werden. In Fig. 18 werden die gleichen Komponenten, wie die in Fig. 16 gezeigten, mit den gleichen Bezugszeichen gekennzeichnet.

[0191] Wie oben beschrieben, ist die Testschaltung für Verwendung mit 32-Bit-(× 32)Typ-Halbleiterspeichern entworfen.

[0192] Die Testschaltung weist ein Farb-Register **35** auf, das Daten (0, 1, 0, ... 1) mit einem vorherbestimmten Muster speichert. Die Inhalte des Farb-Registers **35**, das heißt, ein Datenmuster, können in einem Musteränderungsmodus gemäß einem Steuersignal Z verändert werden. Die Datenelemente $\overline{CR0}$, $\overline{CR1}$, ... $\overline{CR31}$, die in dem Farb-Register **35** gespeichert sind, werden in exklusive-ODER-Schaltungen EX eingegeben. Auch in die exklusiven-ODER-Schaltungen EX eingegeben, werden Eingabedaten RWD0. Die Eingabedaten RWD0 sind entweder auf einem niedrigen Niveau oder einem hohen Niveau. Wenn die Eingabedaten RWD0 auf ei-

nem niedrigen Niveau sind, wird ein Datenelement auf einem hohen Niveau in einen Zellenarray 0 eingegeben, sowie ein Datenelement auf einem niedrigen Niveau in einen Zellenarray 1, ein Datenelement auf einem hohen Niveau in einen Zellenarray 2 usw. Somit wird ein Datenelement auf einem niedrigen Niveau in ein Zellenarray **31** eingegeben.

[0193] Bei allen Zellenarrays 0 bis 31, wird ein Datenelement auf einem hohen Niveau von dem Zellenarray 0 ausgegeben, ein Datenelement auf einem niedrigen Niveau von dem Zellenarray 1, ein Datenelement auf einem hohen Niveau von dem Zellenarray 2 usw. Somit wird ein Datenelement auf einem niedrigen Niveau von dem Zellenarray **31** ausgegeben. In diesem Fall sind die Signale TRDm, die von allen exklusiven-ODER-Schaltungen **34** ausgegeben werden, auf einem niedrigen Niveau.

[0194] Die Ausgabesignale TRDm der exklusiven-ODER-Schaltungen **34** werden durch die Testmodusumschaltschaltung **100** und die Testausgabeschaltung **200** zugeführt. Letztendlich wird es, als ein Entscheidungssignal DQ0 von dem Speicherchip ausgegeben. Die Testmodusumschaltschaltung **100** bestimmt, ob die Speicherzellenarray 0 bis 31 fehlerlos sind oder nicht. Genauer gesagt, falls alle Signale TRDm die von den exklusiven-ODER-Schaltungen **34** ausgegeben werden, auf einem niedrigen Niveau sind, bestimmt die Umschaltschaltung **100**, dass Speicherzellenarray 0 bis 31 fehlerlos sind und erzeugt ein Signal auf einem niedrigen Niveau.

[0195] Falls irgendeiner der Speicherzellenarray 0 bis 31 fehlerhaft ist, gibt die exklusive-ODER-Schaltung **34**, die mit dem fehlerhaften Speicherzellenarray verbunden ist, ein Signal TRDm auf einem hohen Niveau aus. In diesem Fall gibt die Testmodusumschaltschaltung **100** ein Signal aus, das auf einem hohen Niveau ist, was andeutet, dass mindestens einer der Speicherzellenarray 0 bis 31 fehlerhaft ist. Falls das Ausgabesignal der Schaltung **100** auf einem hohen Niveau ist, wird bestimmt, welcher Speicherzellenarray oder Arrays fehlerhaft sind. Dies kann durch erstes Latchen der Ausgabesignale der exklusiven-ODER-Schaltungen **34** in Latch-Schaltungen LATCH0 bis LATCH31 dementsprechend erreicht werden und danach durch Lesen dieser Signal eins nach dem anderen.

[0196] In der in Fig. 18 gezeigten Testschaltung werden die in dem Farb-Register **35** gespeicherten Daten benutzt, um den Halbleiterspeicher (genauer gesagt die Speicherzellenarrays 0 bis 31) zu testen und die Signale, die andeuten, ob die Speicherzellen der Array 0 bis 31 fehlerhaft sind oder nicht, werden sequenziell ausgegeben. Die Testschaltung ist deshalb einfach in der Struktur und benötigt nur ein Testfeld (Anschluss) auf dem Speicherchip **10**. Dies hilft, die Größe und Herstellungskosten des Speicherchips **10** zu reduzieren.

[0197] Die Testmodusumschaltschaltung **100** wird im Detail mit Bezug auf Fig. 19 beschrieben werden.

[0198] Wie in Fig. 19 gezeigt, umfasst die Umschaltschaltung **100** einen exklusiven-ODER-Abschnitt **35**, einen Umschaltabschnitt **37** und einen seriellen Auswähler **38**.

[0199] Der exklusive-ODER-Abschnitt **36** ist entworfen, um zu bestimmen, ob die Speicherzellenarrays 0 bis 31 fehlerhaft sind oder nicht. Der Abschnitt **36** umfasst exklusive-ODER-Schaltungen EX-OR0 bis EX-OR30, einen Inverter I und einen getakteten Inverter CI7. Die exklusive-ODER-Schaltungen EX-OR0 bis EX-0R30 empfangen die Ausgabesignale TRD0 bis TRD31 der exklusive-ODER-Schaltungen **34**. Wenn die Signale TRD0 bis TRD31 alle auf einem niedrigen Niveau sind, geben alle exklusive-ODER-Schaltungen EX-OR0 bis EX-OR30 Signale auf einem niedrigen Niveau aus. Der Inverter I und der getaktete Inverter CI7 sind mit dem Ausgang der exklusive-ODER-Schaltungen EX-OR30 verbunden. Der Inverter CI7 wird aktiviert, wenn ein Steuersignal/SRCH auf ein hohes Niveau ansteigt. So aktiviert, gibt der getaktete Inverter CI7 ein Signal ReDRD aus, das das Ergebnis des Tests zeigt.

[0200] Wenn die Signale TRD0 und TRD31 alle auf einem niedrigen Niveau sind, ist das Ausgabesignal ReDRD des getakteten Inverters CI7 auf einem niedrigen Niveau, was andeutet, dass die Speicherzellenarrays 0 bis 31 fehlerlos sind. Wenn mindestens eines der Signale TRD0 bis TRD31 auf einem hohen Niveau ist, ist das Ausgabesignal ReDRD des getakteten Inverters CI7 auf einem hohen Niveau, was zeigt, dass mindestens einer der Speicherzellenarray 0 bis 31 fehlerhaft ist.

[0201] Der Umschaltabschnitt **37** ist entworfen, um zu bestimmen, welcher Speicherzellenarray oder Arrays fehlerhaft ist, wenn das Ausgabesignal ReDRD des exklusiven-ODER-Abschnitts **36** andeutet, dass mindestens einer der Speicherzellenarrays 0 bis 31 fehlerhaft ist. Der Abschnitt **37** umfasst Transfer-Gates TG0 bis TG31 und einen getakteten Inverter CI8. Jeder der Transfer-Gates TG0 bis TG31 ist aus einem N-Kanal-MOS-Transistor und einem P-kanal-MOS-Transistor zusammengesetzt. Die Transfer-Gates TG0 bis TG31 werden durch den Seriell-Auswähler **38** an- und ausgeschaltet.

[0202] Der Seriell-Auswähler **38** wird aktiviert, wenn ein Steuersignal SRCH auf ein hohes Niveau ansteigt und gibt Steuersignale Q0 bis Q31 synchron mit einem Taktsignal CLK aus. Eines der Steuersignale Q0 bis Q13 ist auf einem hohen Niveau, während alle anderen auf einem niedrigen Niveau sind. Das Hochniveausteuersignal wechselt sequenziell von dem Sig-

nal Q0 zu dem Signal Q31. In anderen Worten werden die Ausgabesignale TRD0 bis TRD31 der exklusiven-ODER-Schaltungen **34** über den getakteten Inverter CI8 eines nach dem anderen ausgegeben. Der getaktete Inverter CI8 wird aktiviert, wenn das Steuersignal SRCH auf ein hohes Niveau ansteigt.

[0203] Fig. 20 zeigt ein Diagramm, das die Wellenformen darstellt, die die Signale in einem Testmodus annehmen.

[0204] Wie der Halbleiterspeicher gemäß der ersten Ausführungsform in einem reduzierten Testmodus arbeitet, wird mit Bezug auf Fig. 20 beschrieben werden und wie er in einem Seriell-Suchmodus arbeitet, wird mit Bezug auf Fig. 21 beschrieben werden.

[0205] In dem reduzierten Testmodus testet die Testschaltung den Speichertyp **10**, um zu sehen, ob die Speicherzellenarrays fehlerhaft sind oder nicht. In dem seriell-Suchtestmodus bestimmt die Testschaltung, welcher Speicherzellenarray oder Arrays fehlerhaft sind.

[0206] Ein Signal $\overline{RE}$ bestimmt die Zeit, bei welcher ein Zeilenadressensignal in den Halbleiterspeicherchip **10** zuzuführen ist. Genauer gesagt wird ein Zeilenadressensignal in den Chip **10** eingegeben, wenn das Signal $\overline{RE}$ auf einem niedrigen Niveau ist. Ein Signal $\overline{CE}$ bestimmt die Zeit, bei welcher ein Spaltenadressensignal in den Speicherchip **10** zuzuführen ist. Genauer gesagt wird ein Spaltenadressensignal dem Chip **10** zugeführt, wenn das Signal $\overline{CE}$ auf einem niedrigen Niveau ist.

[0207] Die Testschaltung startet den Betrieb in dem reduzierten Testmodus, wenn ein Testsignal $\overline{TEST}$ auf ein niedriges Niveau fällt, während das Signal $\overline{CE}$ auf einem niedrigen Niveau bleibt. Die Testschaltung startet den Betrieb in dem Seriell-Suchtestmodus, wenn ein Testsignal TEST auf ein hohes Niveau ansteigt, während das Signal $\overline{CE}$ auf einem niedrigen Niveau bleibt.

[0208] Ein Halbleiterspeicherchip **10** gemäß der zweiten Ausführungsform der vorliegenden Erfindung wird mit Bezug auf Fig. 22 und Fig. 23 beschrieben werden. Fig. 22 zeigt, das Layout des Speicherchips **10**.

[0209] Die zweite Ausführungsform ist ein 32-Bit(× 32)Typ-Halbleiterspeicher, der 32 Bits zur gleichen Zeit speichern und ausgeben kann.

[0210] Wie in Fig. 22 gezeigt, weist der Speicherchip **10** vier Bänke **11-0** bis **11-3**, einen Dateneingabe/Ausgabe-(I/O)Bereich **12** und einen Datenbus **13** auf. Die Datenbänke **11-0** bis **11-3** sind in der gleichen Ebene und nebeneinander angeordnet. Sie sind identisch in der Struktur, wobei jeder vier Speicherzellenarray CAL und vier Speicherzellenarrays CAR umfasst. Jede Bank umfasst ferner Schaltungen, die peripher zu den Zellenarrays CAL und CAR sind. Die peripheren Schaltungen sind: eine Zellenarray-Steuerung CAC, four Zeilendecodierer RD, vier Spaltendecodierer CD0 und CD3 und vier DQ-Puffer DQ. (Die DQ-Puffer DQ werden in dem Eingabe/Ausgabe-Abschnitt der Bank bereitgestellt).

[0211] In jeder Bank stellen die Speicherzellenarrays CAL und CAR vier Speicherzellenblöcke BLa, BLb, BLc und BLd dar. Jeder Speicherzellenblock besteht aus zwei Unterblöcken CAL (das heißt, ein Speicherzellenarray CAL) und CAR (das heißt, ein Speicherzellenarray CAR). Somit weist jede Bank acht Unterblöcke auf.

[0212] Wie in Fig. 22 gezeigt, werden die vier Zeilendecodierer RD dementsprechend für die vier Speicherzellenblöcke BLa, BLb, BLc und BLd bereitgestellt. Jeder Zeilendecodierer RD wählt den Unterblock CAL oder CAR aus und wählt gemäß einem Zeilenadressensignal ferner eine der Speicherzellenzeilen (oder Wortleitungen **17**) aus, die in dem ausgewählten Unterblock bereitgestellt wird.

[0213] Wie oben bemerkt, weist jede Bank vier Spaltendecodierer CD0 und CD3 auf. Jeder der Spaltendecodierer CD0 und CD3 wählt gemäß einem Spaltenadressensignal mindestens eine der Speicherzellenspalten aus, die in den zugeordneten Speicherzellenblöcken BLa, BLb, BLc oder BLd bereitgestellt wird.

[0214] Wenn der Spaltendecodierer CD0 zum Beispiel eine Spaltenauswahlleitung auswählt, werden die zwei Spaltenauswahlschalter, die mit dieser Spaltenauswahlleitung verbunden sind, eingeschaltet. In diesem Fall werden die 2-Bit-Daten auf zwei Datenleitungspaaren, die mit den Spaltenauswahlschaltern verbunden sind, der lokalen DQ-Leitung **18a** zugeführt.

[0215] In jeder Bank der zweiten Ausführungsform kann jeder Spaltendecodierer zwei Spalten der Speicherzellen auswählen. Da die Bank vier Spaltendecodierer aufweist, bewirken die Speicherzellenblöcke BLa, BLb, BLc und BLd jeweils das Speichern und Ausgeben von jeweils acht Bit aus. Nämlich jede Bank speichert und gibt 32-Bit-(4-Byte)-Daten aus.

[0216] In jedem der Speicherzellenblöcke BLa bis BLd befinden sich Leseverstärker und Spaltenauswahlschalter zwischen dem Unterblock CAL und dem Unterblock CAR, wie es in Fig. 22 dargestellt ist. In jeder Bank befinden sich die Zeilendecodierer RD der Zellenarray-Steuerung CAC gegenüber mit den Speicherzellenarrays CAL und CAR lokalisiert zwischen den Zeilendecodierern RD auf der einen Seite und der Zellensteuerung CAC auf der andern. Nämlich

die Zeilendecodierer RD befinden sich an einem Ende jedes Blocks, der sich entlang der Spalten der Speicherzellen (im rechten Winkel zu den Wortleitungen) erstreckt, während die Zellenarray-Steuerung CAC sich an dem anderen Ende der Speicherzellenblöcke BLa bis BLd befindet.

[0217] Die Zellenarray-Steuerung CAC steuert den Dateneingabe/Ausgabe-Betrieb der Bank.

[0218] Die Spaltendecodierer CD0 bis CD3 befinden sich an einem Ende jeder Spalte der Speicherzellen, entlang welcher die Blöcke BLa bis BLd in Intervallen angeordnet sind und parallel zu welchen die Datenleitungspaare und Spaltenauswahlleitungen sich erstrecken. Die Spaltendecodierer CD0 bis CD3 sind entlang der Zeilen der Speicherzellen mit Zwischenraum angeordnet. Jeder der Spaltendecodierer CD0 bis CD3 wird einem Viertel der Speicherzellenspalten bereitgestellt, die in der Bank bereitgestellt sind.

[0219] Die DQ-Puffer DQ befinden sich an dem anderen Ende der Spalten der Speicherzellen, entlang welcher die Speicherzellenblöcke BLa bis BLd in Intervallen angeordnet sind und parallel zu welchen die Datenleitungspaare und Spaltenauswahlleitungen sich erstrecken,. Somit liegen die DQ-Puffer DQ den Spaltendecodierern CD0 bis CD3 gegenüber und die Speicherzellenarrays CAL und CAR sind zwischen den DQ-Puffern DQ auf der einen Seite und den Spaltendecodiern CD0 und CD1 auf der anderen angeordnet.

[0220] Daten werden den lokalen DQ-Leitungspaaren **18a** durch die Leseverstärker und die Spaltenauswahlschalter zugeführt. Jedes DQ-Leitungspaar **18** erstreckt sich zwischen den Unterblöcken CAL und CAR, die einen Speicherzellenblock BLa, BLb, BLc oder BLd darstellen. Die lokalen DQ-Leitungspaare **18a** erstrecken sich parallel zu den Zeilen der Speicherzellen (das heißt, entlang der Wortleitungen).

[0221] Wie in Fig. 22 gezeigt, werden globale DQ-Leitungspaare **18b** bereitgestellt, die sich über die Unterblöcke CAL und CAR parallel zu den Spalten der Speicherzellen erstrecken. Die globalen DQ-Leitungspaare **18b** sind an einem Ende mit den lokalen DQ-Leitungspaaren **18a** durch Schalter verbunden und an dem anderen Ende mit den DQ-Puffern DQ.

[0222] Der durch die vier Bänke **11-0** bis **11-3** aufgeteilte Datenbus **13** erstreckt sich entlang der Zeilen der Speicherzellen zwischen den Bänken **11-0** und **11-1** auf der einen Seite und den Bänken **11-2** und **11-3** auf der anderen. Der Datenbus **13** wird bereitgestellt, um Daten von dem Daten-I/O-Bereich **12** an die Bänke **11-0** bis **11-3** und umgekehrt zu transferieren. Der Bus **13** ist entworfen, um dem Speicherchip **10** zu erlauben, 32-Bit (4-Byte) simultan zu speichern und auszugeben, weil der Speicherchip **10** von einem 32-Bit-Typ ist, wie vorher bemerkt wurde.

[0223] Der Daten-I/O-Bereich **12** ist an einem Ende jeder Zeile der Speicherzellen angeordnet. In dem Bereich **12** werden 32 Eingabe/Ausgabe-I/O-Schaltungen (nicht gezeigt) bereitgestellt. Die I/O-Schaltungen kooperieren, um 32-Bit-Daten in die Speicherzellenarrays zu schreiben und daraus 32-Bit-Daten auszugeben.

[0224] Wie der Speicherchip **10** gemäß der zweiten Ausführungsform 32-Bit-Daten speichert und ausgibt, wird erklärt werden.

[0225] Zuerst wählt der Bankauswähler (nicht gezeigt) eine der vier Bänke **11-0** bis **11-3** aus. In der ausgewählten Bank wird auf den Speicherzellenarray, basierend auf einem Adressensignal, zugegriffen.

[0226] In dem Datenausgabe-(das heißt, Datenlese-)Modus gibt die ausgewählte Bank 32-Bit-Daten (das heißt, 4 Byte-Daten) durch die lokalen DQ-Leitungspaare **18** und globalen DQ-Leitungspaare **18b** aus. Die 32-Bit-Daten werden dabei von der ausgewählten Bank ausgegeben. Sie werden dann über den Datenbus **13** dem Daten-I/O-Bereich **12** zugeführt. Die Daten werden von dem Bereich **12** ausgegeben, nämlich von dem Halbleierspeicherchip **10**.

[0227] In dem Dateneingabe-(das heißt, Datenschreibe-)Modus werden 32-Bit-Daten (das heißt, 4 Byte-Daten) von einem externen Gerät dem Daten-I/O-Bereich **12** zugeführt. Die Daten werden ferner über den Datenbus **13** der ausgewählten Bank zugeführt. In der ausgewählten Bank werden die 32-Bit-Daten in den Speicherzellen des Arrays durch die globalen DQ-Leitungspaare **18b**, den lokalen DQ-Leitungspaaren **18a** und den Leseverstärkern gespeichert.

[0228] Der komparative Halbleiterspeicherchip **10** gemäß der zweiten Ausführungsform ist in der Hinsicht vorteilhaft.

[0229] Zuerst wird die Zellenarray-Steuerung CAC, Zeilendecodierer RD, Spaltendecodierer CD0 und CD1 und DQ-Puffer DQ nahe einer Seite der Speicherzellenarrays CAL und CAR angeordnet. Dies ist weil die Steuerung CAC und die Zeilendecodierer RD sich an einem Ende jeder Zeile der Speicherzelle befinden und auch weil die Spaltendecodierer CD0 bis CD3 sich an einem Ende jeder Speicherzellenspalte befinden und den DQ-Puffern DQ gegenüberliegen, die sich an dem anderen Ende jeder Speicherzellenspalte befinden. Also können die Elemente und Drähte, die die Steuerung CAC, Zeilendecodierer RD,

Spaltendecodierer CD0 bis CD3 und DQ-Puffer DQ darstellen, in einem einfachen Muster angeordnet werden.

[0230] Zweitens können die einzelnen Elemente und Drähte der DQ-Puffer DQ in einem einfachen Muster angeordnet werden, weil die DQ-Puffer DQ sich an einem Ende jeder Speicherzellenspalte befinden. Die DQ-Puffer DQ können so angebracht werden, da die lokalen DQ-Leitungspaare **18a** sich entlang der Speicherzellenzeilen erstrecken, während die globalen DQ-Leitungspaare **18b** sich entlang der Speicherzellenspalten erstrecken, was es möglich macht, Daten an dieser Seite der Bank, wo ein Ende jeder Speicherzellenspalte positioniert ist, einzugeben und ausgeben.

[0231] Ferner ist es ausreichend, lokale DQ-Leitungspaare bei jedem der Spaltendecodierer CD0 bis CD3 zu verwenden, um zwei Bit zu transferieren und lokale DQ-Leitungspaare bei jedem Spaltendecodierer CD1 zu benutzen, um zwei Bit zu transferieren, sogar wenn jeder Speicherzellenblock entworfen ist, um acht Bit simultan zu speichern und auszugeben. Dies ist, weil die Spaltendecodierer CD0 bis CD3 sich nahe aneinander befinden und mit Zwischenraum in Richtung, in welcher sich die Speicherzellenzeilen erstrecken, angeordnet sind, so dass ein Bit ein und von dem Speicherzellenblock an einem Ende jeder Speicherzellenspalte gegeben wird. Da eine relativ kleine Anzahl von lokalen DQ-Leitungspaaren benötigt wird, um Daten in jeden Speicherzellenblock zu transferieren, kann eine zum Unterbringen der DQ-Leitungspaare benötigte Fläche klein sein.

[0232] Jede Bank muss so viele globale DQ-Leitungspaare wie benötigt wird, um 32-Bit-Daten zu transferieren, aufweisen, wenn 8-Bit-Daten von jedem Speicherzellenblock eingegeben und ausgegeben werden. Nichtsdestotrotz braucht ein Bereich nicht bereitgestellt zu werden, um die globalen DQ-Leitungspaare unterzubringen, da die globalen DQ-Leitungspaare **18b** auf den Speicherzellenarrays CAL und CAR bereitgestellt werden.

[0233] Drittens kann die Anzahl der Drähte, die die Datenbusse **13** darstellen, reduziert werden, um die Fläche, die der Bus auf dem Speicherchip **10** besetzt, zu minimieren, lediglich durch passendes Positionieren der Bänke und der Daten-I/O-Schaltungen. Die Anzahl der Drähte kann verringert werden, weil in jeder Bank sich die DQ-Puffer DQ an einem Ende jeder Speicherzellenspalte befinden, was dem Datenbus **13** erlaubt, sich entlang der Speicherzellenzeilen und zwischen den Bänken **11-0** und **11-1** auf der einen Seite und den Bänken **11-2** und **11-3** auf der anderen zu erstrecken.

[0234] Fig. 23 zeigt ein schematisches Diagramm, das das Layout des Speicherchips **10** gemäß der ersten Ausführungsform zeigt, die in Fig. 11 dargestellt ist.

[0235] Wie aus Fig. 23 ersichtlich ist, besetzen die Bänke **11-0** bis **11-3** und der Daten-I/O-Bereich **12** den oberen Oberflächenbereich des Speicherchips **10**. Der Daten-I/O-Bereich **12** befindet sich nahe an einer dieser Seiten des Speicherchips **10**, die sich parallel zu den Spalten der Speicherzellen erstrecken.

[0236] Jede Bank weist Speicherzellenarrays auf, die vier Seicherzellenblöcke BLa, BLb, BLc und BLd darstellen. Die Blöcke erstrecken sich parallel zu den Zeilen der Speicherzellen. Jeder Speicherzellenblock besteht aus zwei Unterblöcken. Daher weist jede Bank acht Unterblöcke auf, die sich auch parallel zu den Spalten der Speicherzellen erstrecken.

[0237] Jeder Unterblock weist Wortleitungen, Datenleitungen und Spaltenauswahlleitungen auf. Die Wortleitungen erstrecken sich entlang der Zeilen der Speicherzellen. Die Datenleitungen und die Spaltenauswahlleitungen erstrecken sich entlang der Spalten der Speicherzellen. Lokale DQ-Leitungspaare **18** erstrecken sich entlang der Zeilen der Speicherzellen zwischen zwei Unterblöcken. Globale DQ-Leitungspaare **18b** erstrecken sich über den Speicherzellenarray entlang der Spalten der Speicherzellen. Die globalen DQ-Leitungspaare **18b** sind mit den lokalen DQ-Leitungspaaren durch Schalter verbunden.

[0238] Der Datenbus **13** wird zwischen den Bänken **11-0** und **11-1** auf der einen Seite und den Bänken **11-2** und **11-3** auf der anderen bereitgestellt, und erstreckt sich parallel zu den Zeilen der Speicherzellen. Der Bus **13** ist entworfen, um 16-Bit-(2-Byte)Daten zu transferieren.

[0239] Fig. 24 zeigt ein Diagramm, das das Layout einer ersten Modifizierung der ersten Ausführungsform darstellt, das heißt, den in Fig. 11 und Fig. 23 gezeigten Speicherchip **10**.

[0240] Der modifizierte Speicherchip **10** ist dadurch gekennzeichnet, dass Bänke **11-0** und **11-1** und ein Datenbus **13a** auf einer Seite einer Daten-Eingabe/Ausgabe-(I/O)Schaltung **12** angeordnet sind und dass Bänke **11-2** und **11-3** und ein Datenbus **13b** auf der anderen Seite der Daten-I/O-Schaltung **12** angeordnet sind.

[0241] Wie aus Fig. 24 gesehen werden kann, besetzen die Bänke **11-0** bis **11-3** und die Daten-I/O-Schaltung **12** den oberen Oberflächenbereich des ersten komparativen Speicherchips **10**. Die Daten-I/O-Schaltung **12** befindet sich in dem Mittelteil des Speicherchips **10** und erstreckt sich parallel zu den Spalten der Speicherzellen.

[0242] Jede Bank weist Speicherzellenarrays auf, die vier Seicherzellenblöcke darstellen. Die Blöcke erstrecken sich parallel zu den Spalten der Speicherzellen. Jeder Speicherzellenblock besteht aus zwei Unterblöcken. Jeder Unterblock weist Wortleitungen, Datenleitungen und Spaltenauswahlleitungen auf. Die Wortleitungen erstrecken sich entlang der Zeilen der Speicherzellen. Die Datenleitungen und die Spaltenauswahlleitungen erstrecken sich entlang der Spalten der Speicherzellen.

[0243] Lokale DQ-Leitungspaare **18** erstrecken sich entlang der Zeilen der Speicherzellen, zwischen zwei Unterblöcken. Globale DQ-Leitungspaare **18b** erstrecken sich über den Speicherzellen-Array entlang der Spalten der Speicherzellen. Die globalen DQ-Leitungspaare **18b** sind mit den lokalen DQ-Leitungspaaren durch Schalter verbunden.

[0244] Der Datenbus **13a** wird zwischen den Bänken **11-0** und **11-1** bereitgestellt und erstreckt sich parallel zu den Zeilen der Speicherzellen und ist mit der Daten-I/O-Schaltung **12** verbunden. Ähnlich wird der Datenbus **13b** zwischen den Bänken **11-2** und **11-3** bereitgestellt und erstreckt sich parallel zu den Zeilen der Speicherzellen und ist mit der Daten-I/O-Schaltung **12** verbunden. Beide Datenbusse **13a** und **13b** sind entworfen, um 16-Bit-(2 Byte)Daten zu transferieren.

[0245] Fig. 25 zeigt im Detail das Layout des modifizierten Speicherchips, der in Fig. 24 gezeigt ist. Wie aus Fig. 25 verstanden werden kann, sind die Komponenten jeder Bank auf die gleiche Art ausgelegt, wie in dem in Fig. 22 dargestellten Halbleiterspeicherchip.

[0246] Fig. 26 zeigt ein Diagramm, das das Layout einer ersten Modifizierung des in Fig. 23 gezeigten Speicherchips darstellt.

[0247] Der modifizierte Speicherchip **10** ist dadurch gekennzeichnet, dass eine Daten-Eingabe/Ausgabe-(I/O)Schaltung **12** in dem Mittelteil des Speicherchips **10** bereitgestellt wird und dass Bänke **11-0** und **11-3** und ein Datenbus **13a** auf einer Seite der Daten-I/O-Schaltung **12** angeordnet sind und dass Bänke **11-2** und **11-3** und ein Datenbus **13b** auf der anderen Seite der Daten-I/O-Schaltung **12** angeordnet sind.

[0248] Wie aus Fig. 26 gesehen werden kann, besetzen die Bänke **11-0** bis **11-3** und die Daten-I/O-Schaltung **12** den oberen Oberflächenbereich des ersten komparativen Speicherchips **10**. Die Daten-I/O-Schaltung **12** erstreckt sich parallel zu den Spalten der Speicherzellen.

[0249] Jede Bank weist Speicherzellenarrays auf, die vier Speicherzellenblöcke darstellen. Die Blöcke erstrecken sich parallel zu den Spalten der Speicherzellen. Jeder Speicherzellenblock besteht aus zwei Unterblöcken. Jeder Unterblock weist Wortleitungen, Datenleitungen und Spaltenauswahlleitungen auf. Die Wortleitungen erstrecken sich entlang der Zeilen der Speicherzellen. Die Datenleitungen und die Spaltenauswahlleitungen erstrecken sich entlang der Spalten der Speicherzellen.

[0250] Lokale DQ-Leitungspaare **18** erstrecken sich entlang der Zeilen der Speicherzellen, zwischen zwei Unterblöcken. Globale DQ-Leitungspare **18b** erstrecken sich über den Speicherzellenarray entlang der Spalten der Speicherzellen. Die globalen DQ-Leitungspaare **18b** sind mit den lokalen DQ-Leitungspaaren durch Schalter verbunden.

[0251] Der Datenbus **13a** wird zwischen den Bänken **11-0** und **11-1** bereitgestellt und erstreckt sich parallel zu den Zeilen der Speicherzellen und ist mit der Daten-I/O-Schaltung **12** verbunden. Ähnlich wird der Datenbus **13b** zwischen den Bänken **11-2** und **11-3** bereitgestellt, erstreckt sich parallel zu den Zeiten der Speicherzellen und ist mit der Daten-I/O-Schaltung **12** verbunden. Beide Datenbusse **13a** und **13b** sind entworfen, um 32-Bit-(4 Byte)Daten zu transferieren. Wie aus Fig. 16 gesehen werden kann, werden die Komponenten jeder Bank auf die gleiche Weise, wie in dem in Fig. 22 dargestellten Halbleiterspeicherchip ausgelegt.

[0252] Fig. 27 zeigt das Layout einer zweiten Modifizierung des in Fig. 11 und Fig. 23 dargestellten Speicherchips **10**. Fig. 28 stellt im Detail das Layout des Speicherchips dar, der in Fig. 27 gezeigt ist.

[0253] Dieser modifizierte Speicherchip ist von dem Chip **10**, der in Fig. 11 und Fig. 23 gezeigt ist, in folgender Hinsicht verschieden.

[0254] Zuerst besteht jede Bank (oder Hauptbank) aus zwei Unterbänken. Genauer gesagt besteht die Hauptbank **11-0** aus Unterbänken **11-0-#0** und **11-0-#1**; die Hauptbank **11-1** besteht aus Unterbänken **11-1-#0** und **11-1-#1**; die Hauptbank **11-2** besteht aus Unterbänken **11-2-#0** und **11-2-#1**; und die Hauptbank **11-3** besteht aus Unterbänken **11-3-#0** und **11-3-#1**. Zwei Unterbänke von nur einer Hauptbank werden simultan durch eine Bankauswahlschaltung (nicht gezeigt) ausgewählt. Somit werden, wenn die Unterbänke **11-0-#0** und **11-0-#1** ausgewählt werden, die Unterbänke der Hauptbänke **11-1**, **11-2** und **11-3** nicht ausgewählt. Gleichermaßen werden, wenn die Unterbänke **11-1-#0** und **11-1-#1** ausgewählt werden, die Unterbänke der anderen Hauptbänke **11-0**, **11-2** und **11-3** nicht ausgewählt. Die Unterbänke **11-0-#0**, **11-1-#0**, **11-0-#1** und **11-1-#1** bilden eine erste Gruppe und sind mit dem Datenbus **13a** verbunden. Ähnlich bilden die Unterbänke **11-2-#0**, **11-3-#0**, **11-2-#1** und **11-3-#1** eine zweite Gruppe

und sind mit dem Datenbus **13b** verbunden.

[0255] Zweitens ist jede der Unterbänke entworfen, um acht Bit (1 Byte) zur gleichen Zeit zu speichern. Jede Unterbank weist nur einen Spaltendecodierer CD auf, nicht zwei wie in dem in Fig. 11 gezeigten ersten komparativen Speicherchip. Ein Spaltendecodierer CD ist ausreichend, da die Unterbank acht Bit speichert und ausgibt. Der Spaltendecodierer CD ist entworfen, um zwei Spalten der Speicherzellen auszuwählen, wie in dem in Fig. 11 gezeigten Speicherchip, wodurch die Speicherzellenblöcke BLa bis BLd jeweils zwei Bit speichern und ausgeben. Jede Unterbank umfasst Speicherzellenarrays CAL und CAR, Zeilendecodierer RD, lokale DQ-Leitungspaare **18a** und globale DQ-Leitungspaare **18b** und DQ-Puffer DQ, die fast auf die gleiche Weise, wie in dem in Fig. 11 gezeigten Speicherchip ausgelegt werden.

[0256] Drittens wird die Daten-I/O-Schaltung **12** in dem Mittelteil des Chips **10** bereitgestellt und erstreckt sich parallel zu den Spalten der Speicherzellen, wobei der Datenbus **13a** für die erste Gruppe der Unterbänke **11-0-#0**, **11-1-#0**, **11-0-#1** und **11-1-#1** bereitgestellt wird und sich auf einer Seite der Daten-I/O-Schaltung **12** befindet und der Datenbus **13b** wird für die zweite Gruppe der Unterbänke **11-2-#0**, **11-3-#0**, **11-2-#1** und **11-3-#1** bereitgestellt und befindet sich auf der anderen Seite der Daten-I/O-Schaltung **12**. Der Datenbus **13a** befindet sich zwischen den zugeordneten Unterbänken, erstreckt sich entlang der Zeilen der Speicherzellen und ist mit der Daten-I/O-Schaltung **12** verbunden, die sich in dem Mittelteil des Chips **10** befindet. Ähnlich befindet sich der Datenbus **13b** zwischen zwei zugeordneten Unterbänken, erstreckt sich entlang der Spalten der Speicherzellen und ist mit der Daten-I/O-Schaltung **12** verbunden. Jeder der Datenbusse **13a** und **13b** ist entworfen, um 16 Bit zu transferieren.

[0257] In dem in Fig. 27 gezeigten modifizierten Speicherchip werden, wenn die Unterbänke **11-0-#0** und **11-0-#1** zum Beispiel ausgewählt werden, 8-Bit-Daten über den Datenbus **13a** zwischen der Unterbank **11-0-#0** und der Daten-I/O-Schaltung **12** transferiert und 8-Bit-Daten werden über den Datenbus **13a** zwischen der Unterbank **11-0-#1** und der Daten-I/O-Schaltung **12** transferiert.

[0258] Fig. 29 zeigt das Layout einer zweiten Modifizierung des in Fig. 22 dargestellten Speicherchips.

[0259] Dieser modifizierte Speicherchip ist verschieden von dem in Fig. 11 und Fig. 23 gezeigten Chip **10** in der folgenden Hinsicht.

[0260] Zuerst besteht jede Bank (oder Hauptbank) aus zwei Unterbänken. Genauer gesagt, besteht die Hauptbank **11-0** aus Unterbänken **11-0-#0** und **11-0-#1**; die Hauptbank **11-1** besteht aus Unterbänken **11-1-#0** und **11-1-#1**; die Hauptbank **11-2** besteht aus Unterbänken **11-2-#0** und **11-2-#1**; und die Hauptbank **11-3** besteht aus Unterbänken **11-3-#0** und **11-3-#1**. Zwei Unterbänke von nur einer Hauptbank werden simultan durch eine Bankauswahlschaltung (nicht gezeigt) ausgewählt. Somit werden, wenn die Unterbänke **11-0-#0** und **11-0-#1** ausgewählt werden, die Unterbänke der Hauptbänke **11-1**, **11-2** und **11-3** nicht ausgewählt. Gleichermaßen werden, wenn die Unterbänke **11-1-#0** und **11-1-#1** ausgewählt werden, die Unterbänke der anderen Hauptbänke **11-0**, **11-2** und **11-3** nicht ausgewählt. Die Unterbänke **11-0-#0**, **11-1-#0**, **11-0-#1** und **11-1-#1** bilden eine erste Gruppe und sind mit dem Datenbus **13a** verbunden. Ähnlich bilden die Unterbänke **11-2-#0**, **11-3-#0**, **11-2-#1** und **11-3-#1** eine zweite Gruppe und sind mit dem Datenbus **13b** verbunden.

[0261] Zweitens ist jede der Unterbänke entworfen, um 16 Bit (2 Byte) zur gleichen Zeit zu speichern und auszugeben. Jede Unterbank weist zwei Spaltendecodierer CD auf, nicht vier wie in dem in Fig. 22 gezeigten Speicherchip. In anderen Worten, ist jede Unterbank von der gleichen Struktur, wie ihr Gegenstück des in Fig. 11 gezeigten Speicherchips **10**. Zwei Spaltendecodierer CD sind ausreichend für jede Unterbank, da die Unterbank 16 Bit speichert und ausgibt. Jeder Spaltendecodierer CD ist entworfen, um zwei Spalten der Speicherzellen auszuwählen, wie in dem in Fig. 22 gezeigten Speicherchip, wodurch die Speicherzellenblöcke BLa bis BLd jeweils vier Bit speichern und ausgeben. Jede Unterbank umfasst Speicherzellenarrays CAL und CAR, Zeilendecodierer RD, lokale DQ-Leitungspaare **18a** und globale DQ-Leitungspaare **18b** und DQ-Puffer DQ, die auf die gleiche Weise, wie in dem in Fig. 11 gezeigten Speicherchip, ausgelegt sind.

[0262] Drittens wird die Daten-I/O-Schaltung **12** in dem Mittelteil des Chips **10** bereitgestellt, und erstreckt sich parallel zu den Spalten der Speicherzellen, wobei der Datenbus **13a** für die erste Gruppe der Unterbänke **11-0-#0**, **11-1-#0**, **11-0-#1** und **11-1-#1** bereitgestellt wird und sich auf einer Seite der Daten-I/O-Schaltung **12** befindet und der Datenbus **13b** wird für die zweite Gruppe der Unterbänke **11-2-#0**, **11-3-#0**, **11-2-#1** und **11-3-#1** bereitgestellt und befindet sich auf der anderen Seite der Daten-I/O-Schaltung **12**. Der Datenbus **13a** befindet sich zwischen zwei zugeordneten Unterbänken, erstreckt sich entlang der Zeilen der Speicherzellen und ist mit der Daten-I/O-Schaltung **12** verbunden, die sich in dem Mittelteil des Chips **10** befindet. Ähnlich befindet sich der Datenbus **13b** zwischen zwei zugeordneten Unterbänken, erstreckt sich entlang der Spalten der Speicherzellen und ist mit der Daten-I/O-Schaltung **12** verbunden. Jeder der Datenbusse **13a** und **13b** ist entworfen, um 32 Bit zu transferieren.

[0263] In dem in Fig. 29 gezeigten modifizierten

Speicherchip werden zum Beispiel, wenn die Unterbänke **11-0-#0** und **11-0-#1** ausgewählt werden, 16-Bit-Daten über den Datenbus **13a** zwischen der Unterbank **11-0-#0** und der Daten-I/O-Schaltung **12** transferiert und 16-Bit-Daten werden über den Datenbus **13a** zwischen der Unterbank **11-0-#1** und der Daten-I/O-Schaltung **12** transferiert.

[0264] Fig. 30 stellt das Layout einer dritten Modifizierung des in Fig. 11 und Fig. 23 dargestellten Speicherchips dar. Fig. 31 zeigt ein Diagramm, das im Detail den in Fig. 30 gezeigten Speicherchip zeigt.

[0265] Der dritte modifizierte Speicherchip ist verschieden von dem in Fig. 11 und Fig. 23 gezeigten Chip **10** in der folgenden Hinsicht.

[0266] Zuerst besteht jede Bank (oder Hauptbank) aus zwei Unterbänken. Genauer gesagt besteht die Hauptbank **11-0** aus Unterbänken **11-0-#0** und **11-0-#1**; die Hauptbank **11-1** besteht aus Unterbänken **11-1-#0** und **11-1-#1**; die Hauptbank **11-2** besteht aus Unterbänken **11-2-#0** und **11-2-#1**; und die Hauptbank **11-3** besteht aus Unterbänken **11-3-#0** und **11-3-#1**. Zwei Unterbänke von nur einer Hauptbank werden simultan durch eine Bankauswahlschaltung (nicht gezeigt) ausgewählt. Somit werden, wenn die Unterbänke **11-0-#0** und **11-0-#1** ausgewählt werden, die Unterbänke der Hauptbänke **11-1**, **11-2** und **11-3** nicht ausgewählt. Gleichermaßen werden, wenn die Unterbänke **11-1-#0** und **11-1-#1** ausgewählt werden, die Unterbänke anderer Hauptbänke **11-0**, **11-2** und **11-3** nicht ausgewählt. Die Unterbänke **11-0-#0**, **11-1-#0**, **11-2-#0** und **11-3-#0** bilden eine erste Gruppe und sind mit einer Daten-I/O-Schaltung **12a** durch zwei Datenbusse **13a** und **13b** verbunden. Ähnlich bilden die Unterbänke **11-0-#1**, **11-1-#1**, **11-2-#1** und **11-3-#1** eine zweite Gruppe und sind mit einer Daten-I/O-Schaltung **12b** durch zwei Datenbusse **13c** und **13d** verbunden.

[0267] Zweitens ist jede der Unterbänke entworfen, um acht Bit (1 Byte) zur gleichen Zeit zu speichern und auszugeben. Jede Unterbank weist nur einen Spaltendecodierer CD auf, wie in Fig. 31 gezeigt, nicht zwei wie in dem in Fig. 11 gezeigten ersten komparativen Speicherchip. Ein Spaltendecodierer CD ist ausreichend, da die Unterbank acht Bit speichert und ausgibt. Der Spaltendecodierer CD ist entworfen, um zwei Spalten von Speicherzellen auszuwählen, wie in dem in Fig. 11 gezeigten Speicherchip, während die Speicherzellenblöcke BLa bis BLd jeweils zwei Bit speichern und ausgeben. Jede Unterbank umfasst Speicherzellenarrays CAL und CAR, Zeilendecodierer RD, lokale DQ-Leitungspaare **18a** und globale DQ-Leitungspaare **18b** und DQ-Puffer DQ, die fast auf die gleiche Weise, wie in dem in Fig. 11 gezeigten Speicherchip, ausgelegt sind.

[0268] Drittens sind die Daten-I/O-Schaltungen **12a** und **12b** angeordnet, erstrecken sich parallel zu den Spalten der Speicherzellen, und die Datenbusse **13a** und **13b** werden auf der Seite der Daten-I/O-Schaltung **12a** dementsprechend bereitgestellt und die Datenbusse **13c** und **13d** werden auf den Seiten der Daten-I/O-Schaltung **12b** dementsprechend bereitgestellt. Der Datenbus **13a** wird für die Unterbänke **11-0-#0** und **11-1-#0** bereitgestellt, sowie der Datenbus **13b** für die Unterbänke **11-2-#0** und **11-3-#0**, der Datenbus **13c** für die Unterbänke **11-0-#1** und **11-1-#1** und der Datenbus **13d** für die Unterbänke **11-2-#1** und **11-3-#1**. Die Datenbusse **13a** und **13b** erstrecken sich parallel zu den Zeilen der Speicherzellen, jeder zwischen den zwei zugeordneten Unterbänken und sind mit der Daten-I/O-Schaltung **12a** verbunden. Ähnlich erstrecken sich die Datenbusse **13c** und **13d** parallel zu den Zeilen der Speicherzellen, jeder zwischen den zwei zugeordneten Unterbänken und sind mit der Daten-I/O-Schaltung **12b** verbunden. Jeder der Datenbusse **13a** bis **13d** ist entworfen, um 8 Bit zu transferieren.

[0269] In dem modifizierten Speicherchip von Fig. 30 und Fig. 31 werden, zum Beispiel, wenn die Unterbänke **11-0-#0** und **11-0-#1** ausgewählt werden, 8-Bit-Daten über den Datenbus **13a** zwischen der Unterbank **11-0-#0** und der Daten-I/O-Schaltung **12a** transferiert und 8-Bit-Daten werden über den Datenbus **13c** zwischen der Unterbank **11-0-#1** und der Daten-I/O-Schaltung **12b** transferiert. Deshalb brauchen die Datenbusse **13a** bis **13d** jeweils nur acht Drähte, um 8 Bit zu transferieren, obwohl der Halbleiterchip **10** von einem 16-Bit-Typ ist. Die Fläche, die die Datenbusse **13a** bis **13d** besetzen, ist daher relativ klein.

[0270] Fig. 32 zeigt das Layout einer dritten Modifizierung der zweiten Ausführungsform der Erfindung, das heißt, den in Fig. 22 dargestellten Speicherchip.

[0271] Die dritte Modifizierung ist in der folgenden Hinsicht verschieden von dem in Fig. 11 und Fig. 23 gezeigten Chip **10**.

[0272] Zuerst besteht jede Bank (oder Hauptbank) aus zwei Unterbänken. Genauer gesagt besteht die Hauptbank **11-0** aus Unterbänken **11-0-#0** und **11-0-#1**; die Hauptbank **11-1** besteht aus Unterbänken **11-1-#0** und **11-1-#1**; die Hauptbank **11-2** besteht aus Unterbänken **11-2-#0** und **11-2-#1**; und die Hauptbank **11-3** besteht aus Unterbänken **11-3-#0** und **11-3-#1**. Zwei Unterbänke von nur einer Hauptbank werden simultan durch eine Bankauswahlschaltung (nicht gezeigt) ausgewählt. Somit werden, wenn die Unterbänke **11-0-#0** und **11-0-#1** ausgewählt werden, die Unterbänke der Hauptbänke **11-1**, **11-2** und **11-3** nicht ausgewählt. Gleichermaßen werden, wenn die Unterbänke **11-1-#0** und **11-1-#1** ausgewählt werden, die Unterbänke von anderen Hauptbänke **11-0**, **11-2** und **11-3** nicht ausgewählt. Die Unterbänke

11-0-#0, **11-1-#0**, **11-2-#0** und **11-3-#0** bilden eine erste Gruppe und sind mit einer Daten-I/O-Schaltung **12a** durch Datenbusse **13a** und **13b** verbunden. Ähnlich bilden die Unterbänke **11-0-#1**, **11-1-#1**, **11-2-#1** und **11-3-#1** eine zweite Gruppe und sind mit einer Daten-I/O-Schaltung **12b** durch die Datenbusse **13c** und **13d** verbunden.

[0273] Zweitens ist jede der Unterbänke entworfen, um zur gleichen Zeit 16 Bit (2 Byte) zu speichern und auszugeben. Jede Unterbank weist zwei Spaltendecodierer CD auf, nicht vier wie in dem in Fig. 22 gezeigten Speicherchip. In anderen Worten ist jede Unterbank von der gleichen Struktur, wie ihr Gegenstück des in Fig. 11 gezeigten Speicherchips **10**. Zwei Spaltendecodierer CD sind für jede Unterbank ausreichend, da die Unterbank 16 Bit speichert und ausgibt. Jeder Spaltendecodierer CD ist entworfen, um zwei Spalten der Speicherzellen auszuwählen, wie in dem in Fig. 22 gezeigten Speicherchip, wodurch die Speicherzellenblöcke BLa bis BLd jeweils vier Bit speichern und ausgeben. Jede Unterbank umfasst Speicherzellenarrays CAL und CAR, Zeilendecodierer RD, lokale DQ-Leitungspaare **18a** und globale DQ-Leitungspaare **18b** und DQ-Puffer DQ, die auf die gleiche Weise, wie in dem in Fig. 11 gezeigten Speicherchip ausgelegt sind.

[0274] Drittens werden die Daten-I/O-Schaltung **12a** und **12b** bereitgestellt und erstrecken sich parallel zu den Spalten der Speicherzellen, wobei die Datenbusse **13a** und **13b** sich an einer Seite der Daten-I/O-Schaltung **12a** befinden und die Datenbusse **13c** und **13d** sich an einer Seite der Daten-I/O-Schaltung **12b** befinden. Der Datenbus **13a** wird für die Unterbänke **11-0-#0** und **11-1-#0** bereitgestellt, sowie der Datenbus **13b** für die Unterbänke **11-2-#0** und **11-3-#0**, der Datenbus **13c** für die Unterbänke **11-0-#1** und **11-1-#1** und der Datenbus **13d** für die Unterbänke **11-2-#1** und **11-3-#1**. Jeder der Datenbusse **13a** und **13b** befindet sich zwischen zwei zugeordneten Unterbänken, erstreckt sich entlang der Zeilen der Speicherzellen und ist mit der Daten-I/O-Schaltung **12a** verbunden. Ähnlich befindet sich jeder der Datenbusse **13c** und **13d** zwischen zwei zugeordneten Unterbänken, erstreckt sich entlang der Zeilen der Speicherzellen und ist mit der Daten-I/O-Schaltung **12b** verbunden. Jeder der Datenbusse **13a** bis **13d** ist entworfen, um 16 Bit zu transferieren.

[0275] In der dritten Modifizierung der zweiten Ausführungsform, die in Fig. 32 dargestellt ist, werden zum Beispiel, wenn die Unterbänke **11-0-#0** und **11-0-#1** ausgewählt werden, 16-Bit-Daten über den Datenbus **13a** zwischen der Unterbank **11-0-#0** und der Daten-I/O-Schaltung **12a** transferiert und 16-Bit-Daten werden über den Datenbus **13c** zwischen der Unterbank **11-0-#1** und der Daten-I/O-Schaltung **12b** transferiert. Daher brauchen die Datenbusse **13a** bis **13d** jeweils nur 16 Drähte, um 8 Bit zu transferieren, obwohl der Halbleiterchip **10** von einem 32-Bit-Typ ist. Die Fläche, die die Datenbusse **13a** bis **13d** besetzen ist daher relativ klein.

[0276] Fig. 33 stellt das Layout einer vierten Modifizierung des in Fig. 11 und Fig. 23 dargestellten Speicherchips dar. Fig. 34 zeigt ein Diagramm, das im Detail den in Fig. 33 gezeigten Speicherchip zeigt.

[0277] Der vierte modifizierte Speicherchip ist in der folgenden Hinsicht verschieden von dem in Fig. 11 und Fig. 23 gezeigten Chip **10**.

[0278] Erstens besteht jede Bank (oder Hauptbank) aus zwei Unterbänken. Genauer gesagt besteht die Hauptbank **11-0** aus Unterbänken **11-0-#0** und **11-0-#1**; die Hauptbank **11-1** besteht aus Unterbänken **11-1-#0** und **11-1-#1**; die Hauptbank **11-2** besteht aus Unterbänken **11-2-#0** und **11-2-#1**; und die Hauptbank **11-3** besteht aus Unterbänken **11-3-#0** und **11-3-#1**. Zwei Unterbänke von nur einer Hauptbank werden simultan durch eine Bankauswahlschaltung (nicht gezeigt) ausgewählt. Daher werden, wenn die Unterbänke **11-0-#0** und **11-0-#1** ausgewählt werden, die Unterbänke der Hauptbänke **11-1**, **11-2** und **11-3** nicht ausgewählt. Gleichermaßen werden, wenn die Unterbänke **11-1-#0** und **11-1-#1** ausgewählt werden, die Unterbänke von anderen Hauptbänken **11-0**, **11-2** und **11-3** nicht ausgewählt. Die Unterbänke **11-0-#0**, **11-1-#0**, **11-2-#0** und **11-3-#0** bilden eine erste Gruppe und sind mit einer Daten-I/O-Schaltung **12** durch den Datenbus **13a** verbunden. Ähnlich bilden die Unterbänke **11-0-#1**, **11-1-#1**, **11-2-#1** und **11-3-#1** eine zweite Gruppe und sind mit der Daten-I/O-Schaltung **12** durch einen Datenbus **13b** verbunden.

[0279] Zweitens ist jede der Unterbänke entworfen, um acht Bit (1 Byte) zur gleichen Zeit zu speichern und auszugeben. Jede Unterbank weist nur einen Spaltendecodierer CD auf, wie in Fig. 34 gezeigt, nicht zwei wie in dem in Fig. 11 gezeigten ersten komparativen Speicherchip. Ein Spaltendecodierer CD ist ausreichend, da die Unterbank acht Bit speichert und ausgibt. Der Spaltendecodierer CD ist entworfen, um zwei Spalten der Speicherzellen auszuwählen, wie in dem in Fig. 11 gezeigten Speicherchip, wodurch die Speicherzellenblöcke BLa bis BLd jeweils zwei Bit speichern und ausgeben. Jede Unterbank umfasst Speicherzellenarrays CAL und CAR, Zeilendecodierer RD, lokale DQ-Leitungspaare **18a** und globale DQ-Leitungspaare **18b** und QD-Puffer DQ, die fast auf die gleiche Art und Weise, wie in dem in Fig. 11 gezeigten Speicherchip, ausgelegt sind.

[0280] Drittens wird die Daten-I/O-Schaltung **12** angeordnet, und erstreckt sich parallel zu den Spalten der Speicherzellen, wobei die Datenbusse **13a** und **13b** auf den Seiten der Daten-I/O-Schaltung **12** dem-

entsprechend bereitgestellt werden. Der Datenbus **13a** wird für die Unterbänke **11-0-#0**, **11-1-#0**, **11-2-#0** und **11-3-#0** bereitgestellt, und der Datenbus **13b** für die Unterbänke **11-0-#1**, **11-1-#1**, **11-2-#1** und **11-3-1**. Die Datenbusse **13a** und **13b** erstrecken sich parallel zu den Zeilen der Speicherzellen, jeder zwischen den zwei zugeordneten Unterbänken und sind mit der Daten-I/O-Schaltung **12** verbunden. Die Datenbusse **13a** und **13b** sind entworfen, um jeweils 8 Bit zu transferieren.

[0281] In dem modifizierten Speicherchip von Fig. 33 und Fig. 34, werden, wenn die Unterbänke **11-0-#0** und **11-0-#1** zum Beispiel ausgewählt werden, 8-Bit-Daten über den Datenbus **13a** zwischen der Unterbank **11-0-#0** und der Daten-I/O-Schaltung **12** transferiert und 8-Bit-Daten werden über den Datenbus **13b** zwischen der Unterbank **11-0-#1** und der Daten-I/O-Schaltung **12** transferiert. Deshalb brauchen die Datenbusse **13a** und **13b** jeweils nur acht Drähte, um 8 Bit zu transferieren, obwohl der Halbleiterchip **10** von einem 16-Bit-Typ ist. Die Fläche, die die Datenbusse **13a** und **13b** besetzen, ist daher relativ klein.

[0282] Fig. 35 zeigt das Layout einer vierten Modifizierung der zweiten Ausführungsform der Erfindung, das heißt, den in Fig. 22 gezeigten Speicherchip **10**.

[0283] Die vierte Modifizierung der zweiten Ausführungsform ist in der folgenden Hinsicht verschieden von dem in Fig. 22 gezeigten Chip **10**.

[0284] Erstens besteht jede Hauptbank aus zwei Unterbänken. Genauer gesagt besteht die Hauptbank **11-0** aus Unterbänken **11-0-#0** und **11-0-#1**; die Hauptbank **11-1** besteht aus Unterbänken **11-1-#0** und **11-1-#1**; die Hauptbank **11-2** besteht aus Unterbänken **11-2-#0** und **11-2-#1**; und die Hauptbank **11-3** besteht aus Unterbänken **11-3-#0** und **11-3-#1**. Zwei Unterbänke von nur einer Hauptbank werden simultan durch eine Bankauswahlschaltung (nicht gezeigt) ausgewählt. Daher werden, wenn die Unterbänke **11-0-#0** und **11-0-#1** ausgewählt werden, die Unterbänke der Hauptbänke **11-1**, **11-2** und **11-3** nicht ausgewählt. Gleichermaßen werden, wenn die Unterbänke **11-1-#0** und **11-1-#1** ausgewählt werden, die Unterbänke der anderen Hauptbänke **11-0**, **11-2** und **11-3** nicht ausgewählt. Die Unterbänke **11-0-#0**, **11-1-#0**, **11-2-#0** und **11-3-#0** bilden eine erste Gruppe und sind mit einer Daten-I/O-Schaltung **12** durch einen Datenbus **13a** verbunden. Ähnlich bilden die Unterbänke **11-0-#1**, **11-1-#1**, **11-2-#1** und **11-3-#1** eine zweite Gruppe und sind mit der Daten-I/O-Schaltung **12** durch einen Datenbus **13b** verbunden.

[0285] Zweitens ist jede der Unterbänke entworfen, um zur gleichen Zeit 16 Bit (2 Byte) zu speichern und auszugeben. Jede Unterbank weist zwei Spaltendecodierer CD auf, nicht vier wie in dem in Fig. 22 gezeigten Speicherchip. In anderen Worten ist jede Unterbank von der gleichen Struktur, wie ihr Gegenstück des in Fig. 11 gezeigten Speicherchips **10**. Zwei Spaltendecodierer CD sind für jede Unterbank ausreichend, da die Unterbank 16 Bit speichert und ausgibt. Jeder Spaltendecodierer CD ist entworfen, um zwei Spalten der Speicherzellen auszuwählen, wie in dem in Fig. 22 gezeigten Speicherchip, wodurch die Speicherzellenblöcke BLa bis BLd jeweils vier Bit speichern und ausgeben. Jede Unterbank umfasst Speicherzellenarrays CAL und CAR, Zeilendecodierer RD, lokale DQ-Leitungspaare **18a** und globale DQ-Leitungspaare **18b** und DQ-Puffer DQ, die auf die gleiche Weise, wie in dem in Fig. 11 gezeigten Speicherchip ausgelegt sind.

[0286] Drittens wird die Daten-I/O-Schaltung **12** bereitgestellt und erstreckt sich parallel zu den Spalten der Speicherzellen, wobei sich die Datenbusse **13a** und **13b** an den Seiten der Daten-I/O-Schaltung **12** dementsprechend befinden. Der Datenbus **13a** wird für die Unterbänke **11-0-#0** und **11-1-#0**, **11-2-#0** und **11-3-#0** bereitgestellt und der Datenbus **13b** für die Unterbänke **11-0-#1**, **11-1-#1**, **11-2-#1** und **11-3-#1**. Beide Datenbusse **13a** und **13b** erstrecken sich parallel zu den Zeilen der Speicherzellen, jeweils lokalisiert zwischen zwei zugeordneten Unterbänken. Sie sind mit der Daten-I/O-Schaltung **12** verbunden und entworfen, um 16 Bit zu transferieren.

[0287] In dem modifizierten Speicherchip von Fig. 35, werden zum Beispiel, wenn die Unterbänke **11-0-#0** und **11-0-#1** ausgewählt werden, 16-Bit-Daten über den Datenbus **13a** zwischen der Unterbank **11-0-#0** und der Daten-I/O-Schaltung **12** transferiert und 16-Bit-Daten werden über den Datenbus **13b** zwischen der Unterbank **11-0-#1** und der Daten-I/O-Schaltung **12** transferiert. Deshalb brauchen die Datenbusse **13a** und **13b** jeweils nur 16 Drähte, um 16 Bit zu transferieren, obwohl der Halbleiterchip **10** von einem 32-Bit-Typ ist. Die Fläche, die die Datenbusse **13a** und **13b** besetzen ist daher relativ klein.

[0288] Fig. 36 stellt ein Datentransfersystem gemäß der vorliegenden Erfindung dar.

[0289] Wie in Fig. 36 gezeigt, umfasst das Datentransfersystem n Schalter BL0 bis BLn und einen Spaltendecodierer **43**. Die Blöcke BL0 bis BLn sind angeordnet, erstrecken sich im rechten Winkel zu den Zeilen der Schalter. Die Blöcke BL0 bis BLn sind identisch in der Struktur, wobei jeder aus den gleichen Komponenten gemacht ist. Nur der Block BL0 wird unten beschrieben werden.

[0290] Der Schaltblock BL0 umfasst Schalterarrays **41a** und **41b**, Zeilendecodierer **42a** nd **42b**, Wortleitungen **44a** und **44b**, Datenleitungen **45a** und **45b**,

Register **47a** und **47b**, Spaltenauswahlschalter **48a** und **48b**, Spaltenauswahlleitungen **49** und eine lokale DQ-Leitung **50-0**. Jeder Schalterarray ist aus einer Vielzahl von Schaltern (MOS-Transistoren) **46a** und **46b** zusammengesetzt, die in Zeilen und Spalten angeordnet sind und eine Matrix aus Schaltern bilden.

[0291] Der Zeilendecoder **42a** wird an einer der Seiten des Schalterarray **41a** bereitgestellt, der sich im rechten Winkel zu den Zeilen der Schalter erstreckt. Ähnlich befindet sich der Zeilendecodierer **42b** auf einer der Seiten des Schalterarrays **41b**, der sich im rechten Winkel zu den Zeilen der Schalter erstreckt. Die Wortleitungen **44a** sind an einem Ende mit dem Zeilendecodierer **42a** verbunden und die Wortleitungen **44b** sind an einem Ende mit dem Zeilendecodierer **42b** verbunden. Verbunden zu jeder Wortleitung **44a** sind die Gates der Schalter **46a**, die in einer Zeile angeordnet sind. Verbunden mit jeder Wortleitung **44b** sind die Gates der Schalter **46b**, die in einer Zeile angeordnet sind.

[0292] Der Spaltendecodierer **43** wird an einem Ende der Seiten des Schalterarray **41a** bereitgestellt, der sich im rechten Winkel zu den Spalten der Schalter erstreckt. Die Spaltenauswahlleitungen **49** sind an einem Ende mit dem Spaltendecodierer **43** verbunden.

[0293] Die Register **47a** und **47b** und die Spaltenauswahlschalter **48a** und **48b** befinden sch zwischen den Schalterarrays **41a** und **41b**. Die Datenleitungen **45a** sind an einem Ende mit dem Register **47a** und dem Spaltenauswahlschalter **48a** verbunden. Die Datenleitungen **45b** sind an einem Ende mit dem Register **47b** und dem Spaltenauswahlschalter **48b** verbunden. Verbunden mit jeder Datenleitung **45a** sind die Ausgabeanschlüsse (Drains) der Schalter **46a**, die in einer Spalte angeordnet sind. Verbunden mit jeder Datenleitung **45b** sind die Ausgabeanschlüsse (Drains) der Schalte **46b**, die in einer Spalte angeordnet sind. Die Spaltenauswahlleitungen **49** sind mit den Spaltenauswahlschaltern **48a** und **48b** verbunden.

[0294] Wenn das oben beschriebene Datentransfersystem arbeitet, werden Daten den Eingabeanschlüssen (Sources) der Schalter **46a** und **46b** in jedem der Schaltblöcke BL0 bis BLn zugeführt.

[0295] Die lokale DQ-Leitung **50-0** wird zwischen den Schalterarray **41a** und **41b** bereitgestellt und erstreckt sich parallel zu den Zeilen der Schalter. Die lokale DQ-Leitung **50-0** ist mit beiden Spaltenauswahlschaltern **48a** und **48b** verbunden.

[0296] Das Datentransfersystem weist eine globale DQ-Leitung **51-0** und eine Daten-Eingabe/Ausgabe-Schaltung **52** auf. Die globale DQ-Leitung **51-0** erstreckt sich über die n Blöcke BL0 bis BLn parallel zu den Spalten der Schalter. Die Daten-Eingabe/Ausgabe-(I/O)Schaltung **52** befindet sich an einer der Seiten des Speicherzellenblocks BLn, der sich im rechten Winkel zu den Spalten der Schalter erstreckt. Die globale DQ-Leitung **51-0** ist an einem Ende mit der lokalen DQ-Leitung **50-0** und an dem anderen Ende mit der Daten-(I/O)Schaltung **52** verbunden.

[0297] Das Datentransfersystem ist dadurch gekennzeichnet, dass die Datenelemente, die von den Blöcke BL0 bis BLn ausgegeben werden, in die Daten-(I/O)Schaltung **52** durch die globale DQ-Leitung **51-0** eingegeben werden, die sich über die Schalterarrays **41a** und **41b** erstreckt. Dies ist, weil die Schalterblöcke BL0 bis BLn in einer Linie parallel zu den Spalten der Schalter angeordnet sind. Daher werden die Datenelemente in der an einem Ende des letzten Schaltblocks befindlichen Daten-(I/O)Schaltung **52** gesammelt und letztendlich von dem Datentransfersystem, welches ein LSI ist, ausgegeben.

[0298] Fig. 37 ist ein Speichersystem gemäß der vorliegenden Erfindung.

[0299] Wie aus Fig. 37 gesehen wird, umfasst das Speichersystem einen Speicherchip **10**, einen I/O-Bus **57** und einen CPU-(zentrale Verarbeitungseinheit)Chip **58**. Der Speicherchip **10** ist einer, der von den in Fig. 2 bis Fig. 36 dargestellten Halbleiterspeichern, ausgewählt ist. Bereitgestellt in dem Speicherchip **10** sind ein Speicherzellenarray **51**, eine Lese/Schreibeschaltung **52**, eine Eingabeschaltung **53**, eine Ausgabeschaltung **54**, eine Synchronisierungsschaltung **55** und ein Taktpuffer **56**.

[0300] Im Betrieb erzeugt der CPU-Chip **58** ein Taktsignal CK, das dem Speicherchip **10** zugeführt wird und darin als ein internes Taktsignal CKL benutzt wird. Das Taktsignal CKL wird der Lese/Schreibeschaltung **51** zugeführt. Die Schaltung **52** arbeitet synchron mit dem internen Taktsignal CKL.

[0301] Die Synchronisierungsschaltung **55** entfernt die Verzerrung zwischen dem Taktsignal CK und dem internen Taktsignal CKL und erzeugt ein internes Taktsignal CK'. Das Signal CK' wird der Eingabeschaltung **53** und der Ausgabe **54** zugeführt. Die Schaltungen **53** und **54** arbeiten synchron mit dem internen Taktsignal CK'.

[0302] Der I/O-Bus **57** verbindet den Speicherchip **10** und den CPU-Chip **58**. Daten können deshalb durch den I/O-Bus **57** zwischen dem Speicherchip **10** und dem CPU-Chip **58** transferiert werden.

Patentansprüche

1. Datentransfersystem, umfassend:
eine Vielzahl von Speicherzellenblöcken (BL0 bis BLn), angeordnet in einer Leitung parallel zu Spalten

von Speicherzellen, jeweils umfassend:
erste und zweite Schalterfelder (**41a**, **41b**) jedes mit einer Vielzahl von Schaltern, die in der Form einer Matrix angeordnet sind;
erste Zeilendecoder (**42a**), die an einer von Seiten des Schalterfeldes (**41a**) vorgesehen sind, die sich in rechten Winkeln zu einer Zeile von Schaltern erstrecken;
lokale DQ-Leitungspaare (**50-0**), die zu einer Seite eines Schalterfeldes (**41a**, **41b**) vorgesehen sind und sich parallel zu den Zeilen von Schaltern erstrecken; und
eine Datenleitung (**45a**), die mit Schaltern des Schalterfeldes (**41a**) verbunden sind, zum Zuführen von Daten zu der lokalen DQ-Leitung (**50-1**);
eine globale DQ-Leitung (**51-0**), die sich über die Schalterblöcke (BL0 bis BLn) parallel zu den Spalten von Schaltern erstreckt, und in einem Ende mit der lokalen DQ-Leitung (**50-0**) verbunden ist;
einen ersten Spaltendecoder CD0 und einen zweiten Spaltendecoder CD1, jeder an einer Seite der Schalterblöcke (BL0 bis BLn) vorgesehen, zum Auswählen einer Spalte von Schaltern, die in den Schalterblöcken (BL0 bis BLn) vorgesehen sind, und zum Transferieren von zwei Bits in jedem ersten Spaltendecoder und jedem zweiten Decoder unter Verwendung der lokalen DQ-Leitungspaare darin; und
eine Dateneingabe-/Ausgabeschaltung (**52**), die an einer Seite der Schalterblöcke (BL0 bis BLn) vorgesehen ist und mit dem anderen Ende der globalen DQ-Leitung (**51-0**) verbunden ist, zum Empfangen und Ausgeben von Daten.

2. Datentransfersystem nach Anspruch 1, gekennzeichnet durch ferneres Umfassen von Spaltenauswahlleitungen (**49**), die sich an dem Schalterfeld befinden.

3. Datentransfersystem nach Anspruch 2, gekennzeichnet durch ferneres Umfassen von Spaltenauswahlschaltern (**48a**; **48b**), die sich an einer Seite des Schalterfeldes befinden, und mit den Spaltenauswahlleitungen verbunden sind.

4. Datentransfersystem nach Anspruch 1, gekennzeichnet durch ferneres Umfassen von Registern (**47a**, **47b**), die sich an einer Seite der Schalterfelder befinden, und zwischen der Datenleitung und der lokalen DQ-Leitung verbunden sind.

5. Datentransfersystem nach Anspruch 1, gekennzeichnet dadurch, dass die Dateneingabe-/Ausgabeschaltungen Bits von Multibitdaten zur gleichen Zeit empfangen und ausgeben.

6. Speichersystem, umfassend:
A. einen Speicherchip (**10**);
B. das Datentransfersystem nach einem beliebigen vorangehenden Anspruch;
C. einen Datenbus (**13**), vorgesehen für die Vielzahl von Bänken, sich parallel zu den Spalten oder Zeilen von Speicherzellen erstreckend, zum Transferieren von Multibitdaten zwischen der Vielzahl von Bänken einerseits und der Dateneingabe-/Ausgaberegion andererseits;
D. einen CPU-Chip, der das Taktsignal generiert; und
E. einen E/A-Bus, der zwischen dem Speicherchip und dem CPU-Chip verbindet.

7. Halbleiterspeicher, umfassend:
A. einen Speicherchip (**10**);
B. das Datentransfersystem nach beliebigen von Ansprüchen 1 bis 5;
C. einen Datenbus (**13**), vorgesehen für die Vielzahl von Bänken, sich parallel zu den Spalten oder Zeilen von Speicherzellen erstreckend, zum Transferieren von Multibitdaten zwischen der Vielzahl von Bänken einerseits und der Dateneingabe-/Ausgaberegion andererseits.

Es folgen 32 Blatt Zeichnungen

Anhängende Zeichnungen

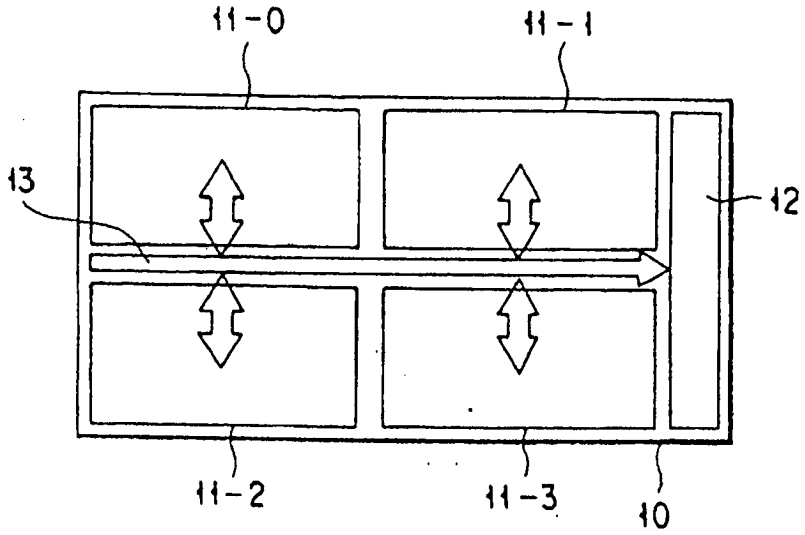


FIG. 1

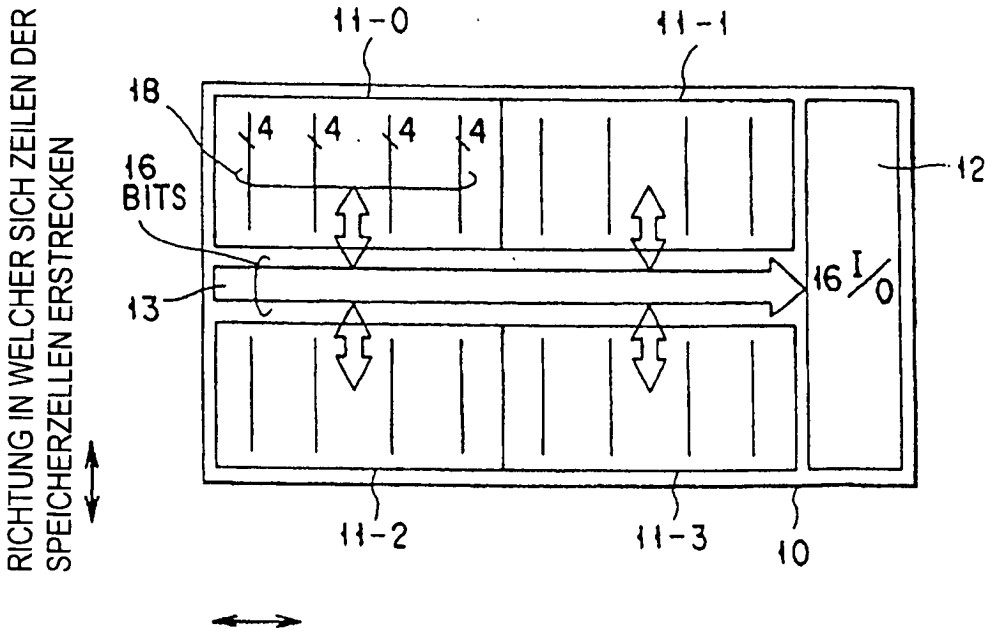


FIG. 6

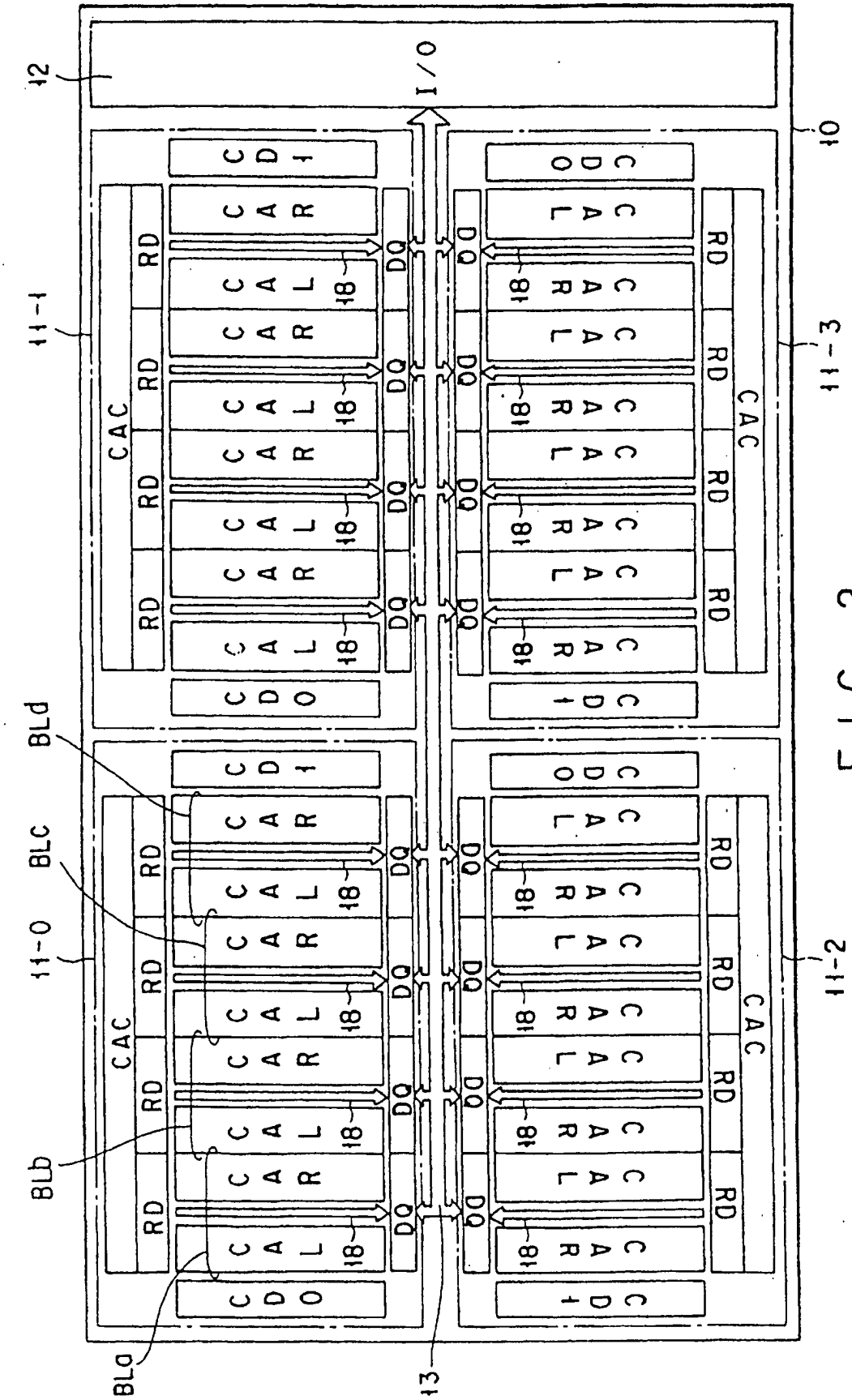


FIG. 2

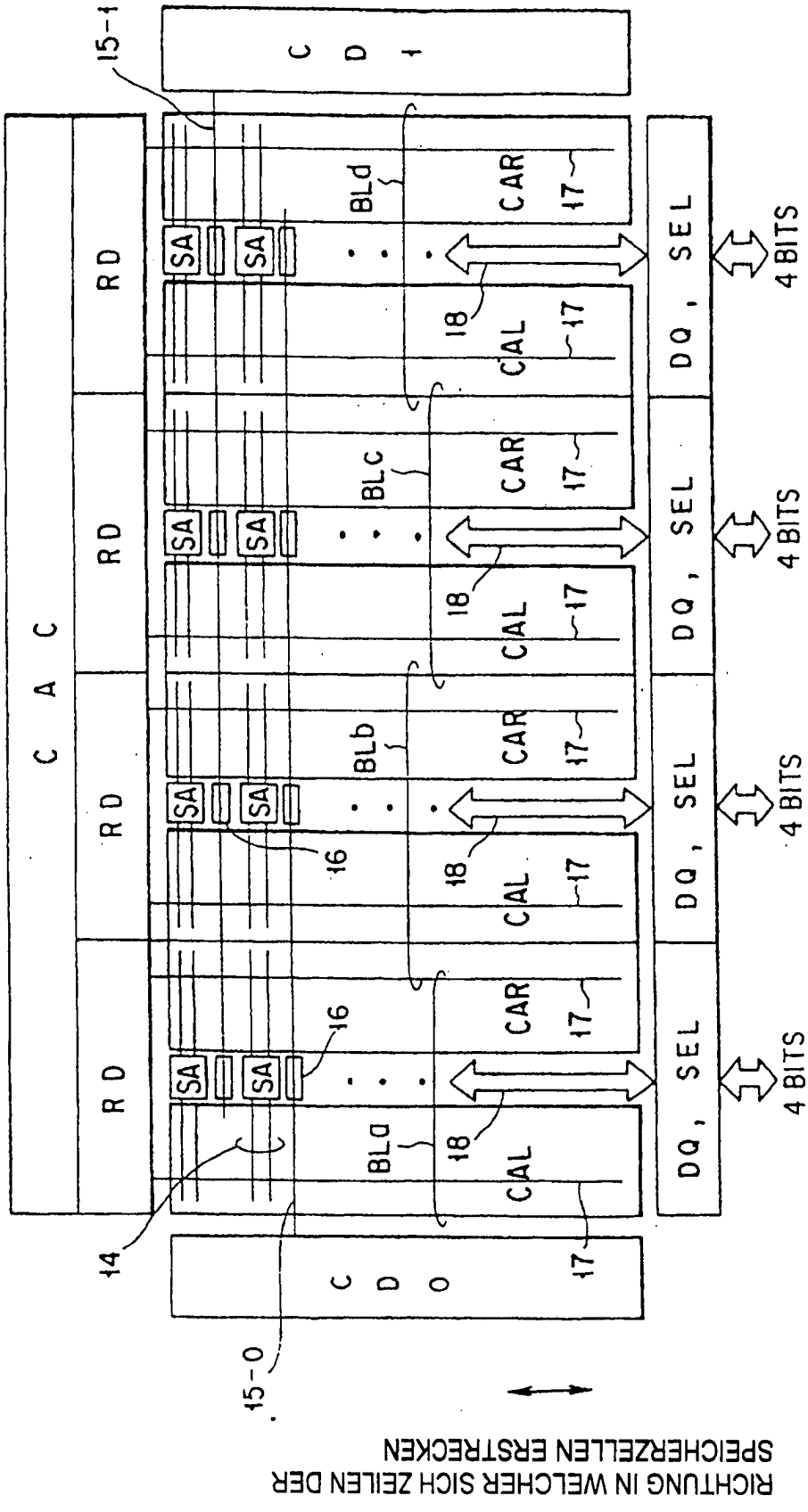

C A C
RD
RD
RD
RD
SA
SA
BLd
BLc
BLb
BLa
CAR
CAL
17
18
16
14
15-1
15-0
CDO
CD1
DQ, SEL
4 BITS
RICHTUNG IN WELCHER SICH ZEILEN DER SPEICHERZELLEN ERSTRECKEN
RICHTUNG IN WELCHER SICH SPALTEN DER SPEICHERZELLEN ERSTRECKEN

FIG. 3

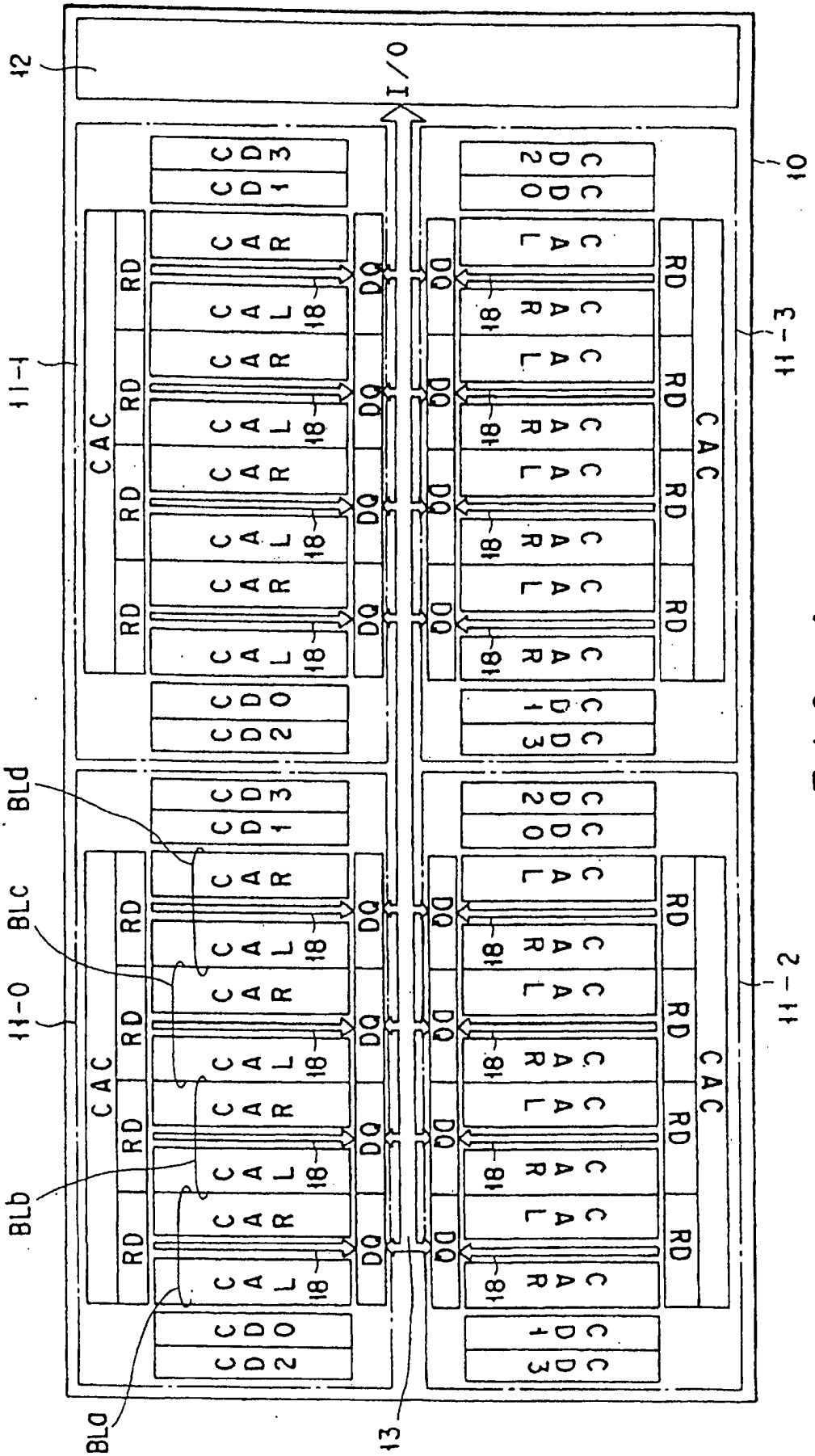

12
I/O
10
11-1
11-3
11-0
11-2
CAC
RD
DQ
CAR
CAL
18
CD0
CD1
CD2
CD3
BLa
BLb
BLc
BLd
13

FIG. 4

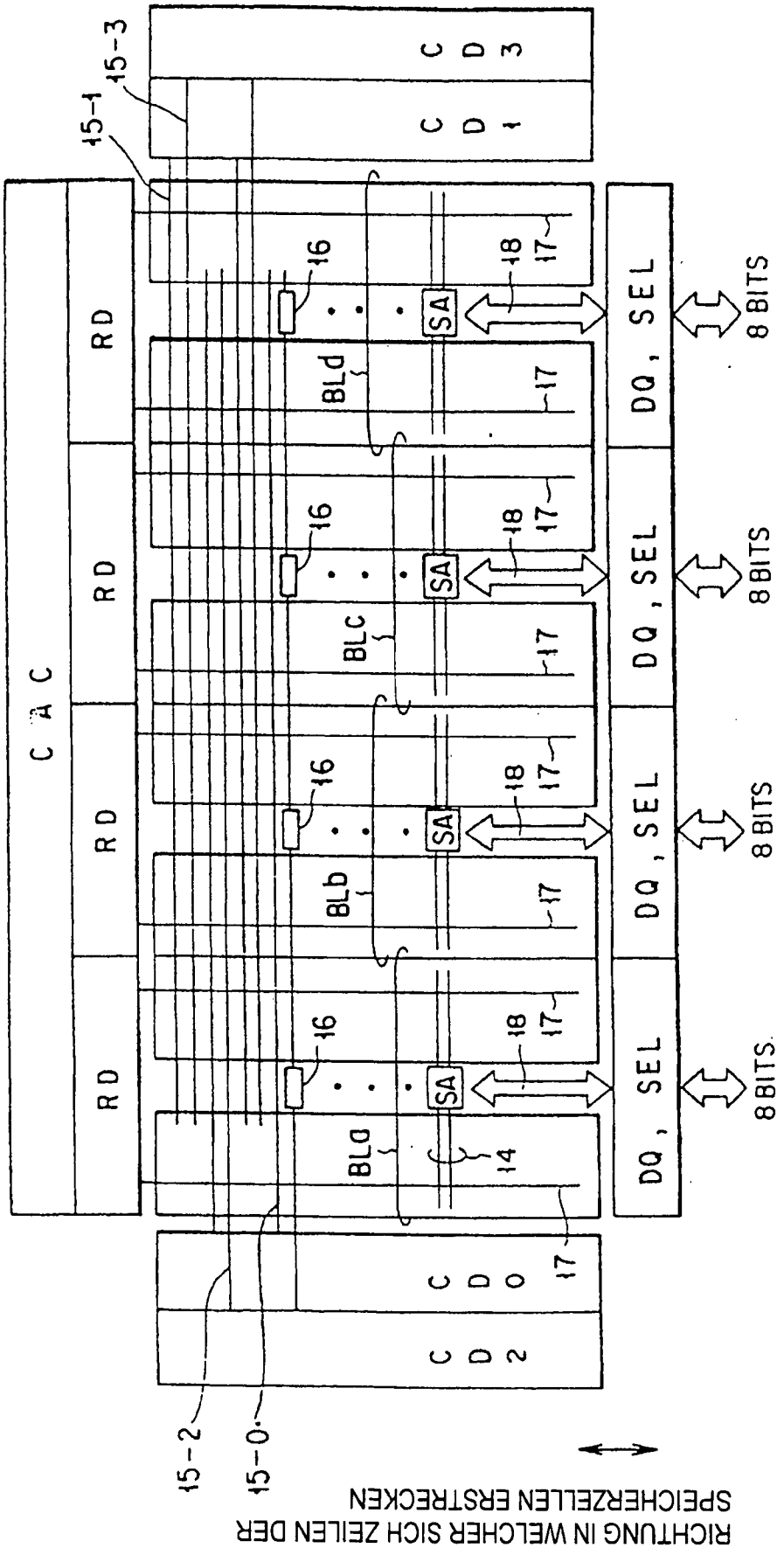

CDD3
CDD1
CDD0
CDD2
15-1
15-3
15-2
15-0
CAC
RD
RD
RD
RD
BLa
BLb
BLc
BLd
14
16
17
18
SA
DQ, SEL
DQ, SEL
DQ, SEL
DQ, SEL
8 BITS
8 BITS
8 BITS
8 BITS
RICHTUNG IN WELCHER SICH ZEILEN DER SPEICHERZELLEN ERSTRECKEN
RICHTUNG IN WELCHER SICH SPALTEN DER SPEICHERZELLEN ERSTRECKEN

FIG. 5

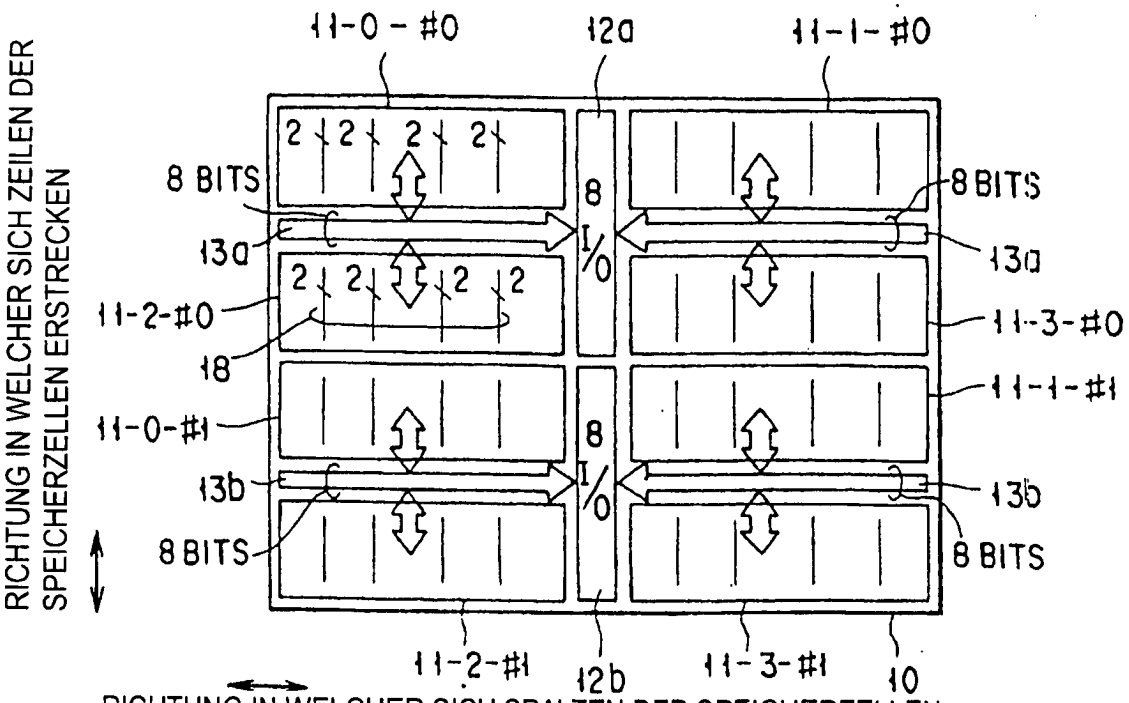

11-0-#0
12a
11-1-#0
8 BITS
13a
11-2-#0
18
11-0-#1
13b
8 BITS
8 I/O
8 BITS
13a
11-3-#0
11-1-#1
13b
8 BITS
11-2-#1
12b
11-3-#1
10
RICHTUNG IN WELCHER SICH ZEILEN DER SPEICHERZELLEN ERSTRECKEN
RICHTUNG IN WELCHER SICH SPALTEN DER SPEICHERZELLEN ERSTRECKEN

FIG. 7

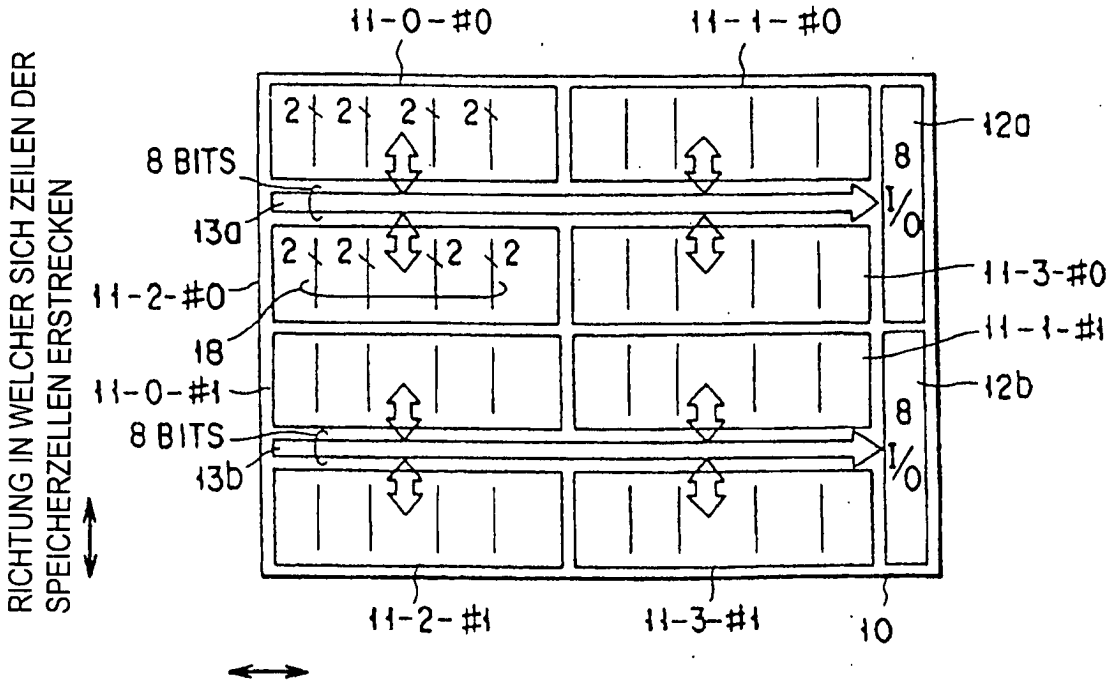

11-0-#0
11-1-#0
8 BITS
13a
11-2-#0
18
11-0-#1
8 BITS
13b
8 I/O
12a
11-3-#0
11-1-#1
12b
11-2-#1
11-3-#1
10
RICHTUNG IN WELCHER SICH ZEILEN DER SPEICHERZELLEN ERSTRECKEN
RICHTUNG IN WELCHER SICH SPALTEN DER SPEICHERZELLEN ERSTRECKEN

FIG. 9

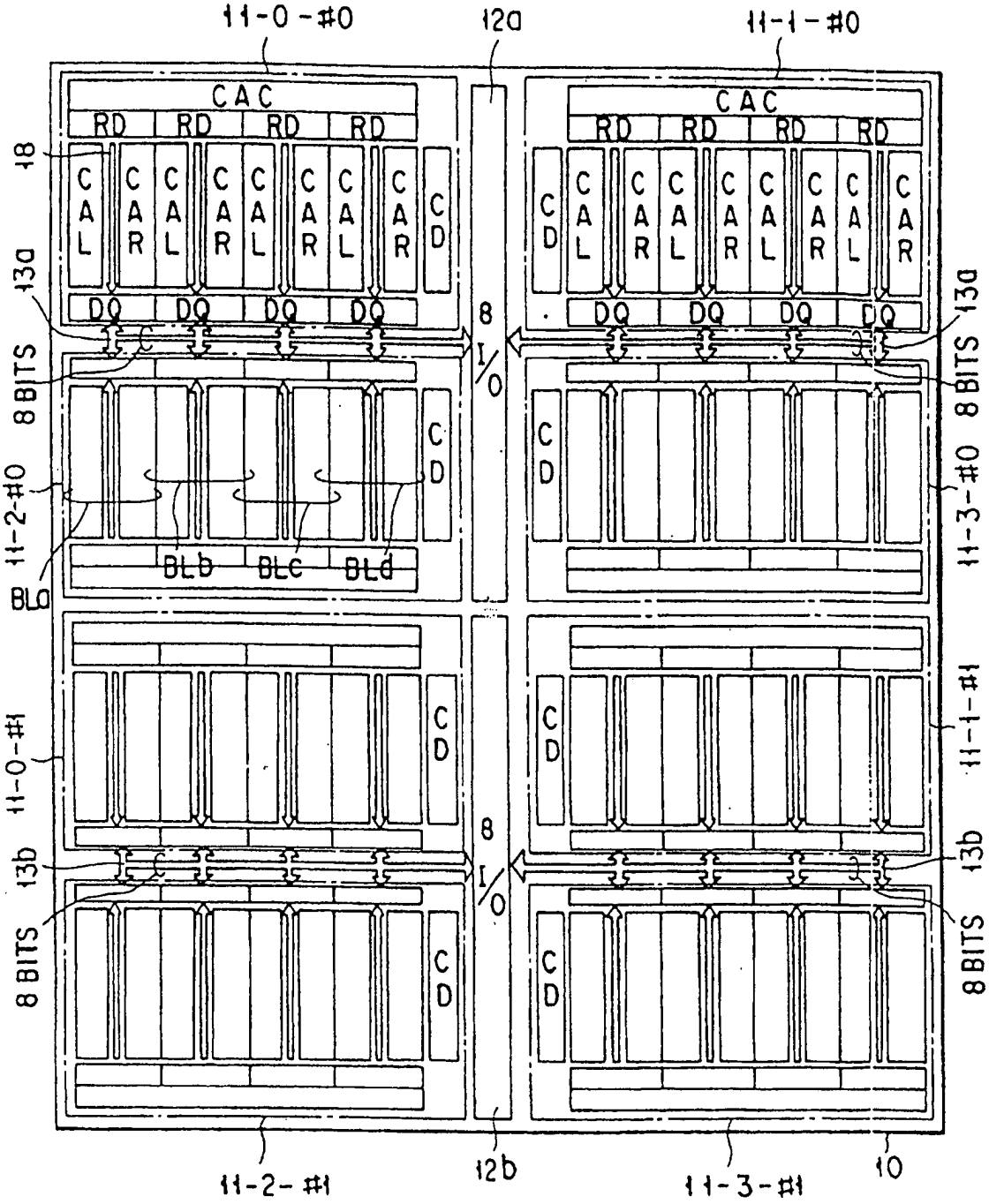

11-0-#0
12a
11-1-#0
CAC
RD
CAL
CAR
CD
DQ
18
13a
8 BITS
8
I/O
11-2-#0
11-3-#0
BLb
BLc
BLd
BLa
11-0-#1
11-1-#1
13b
11-2-#1
12b
11-3-#1
10

FIG. 8

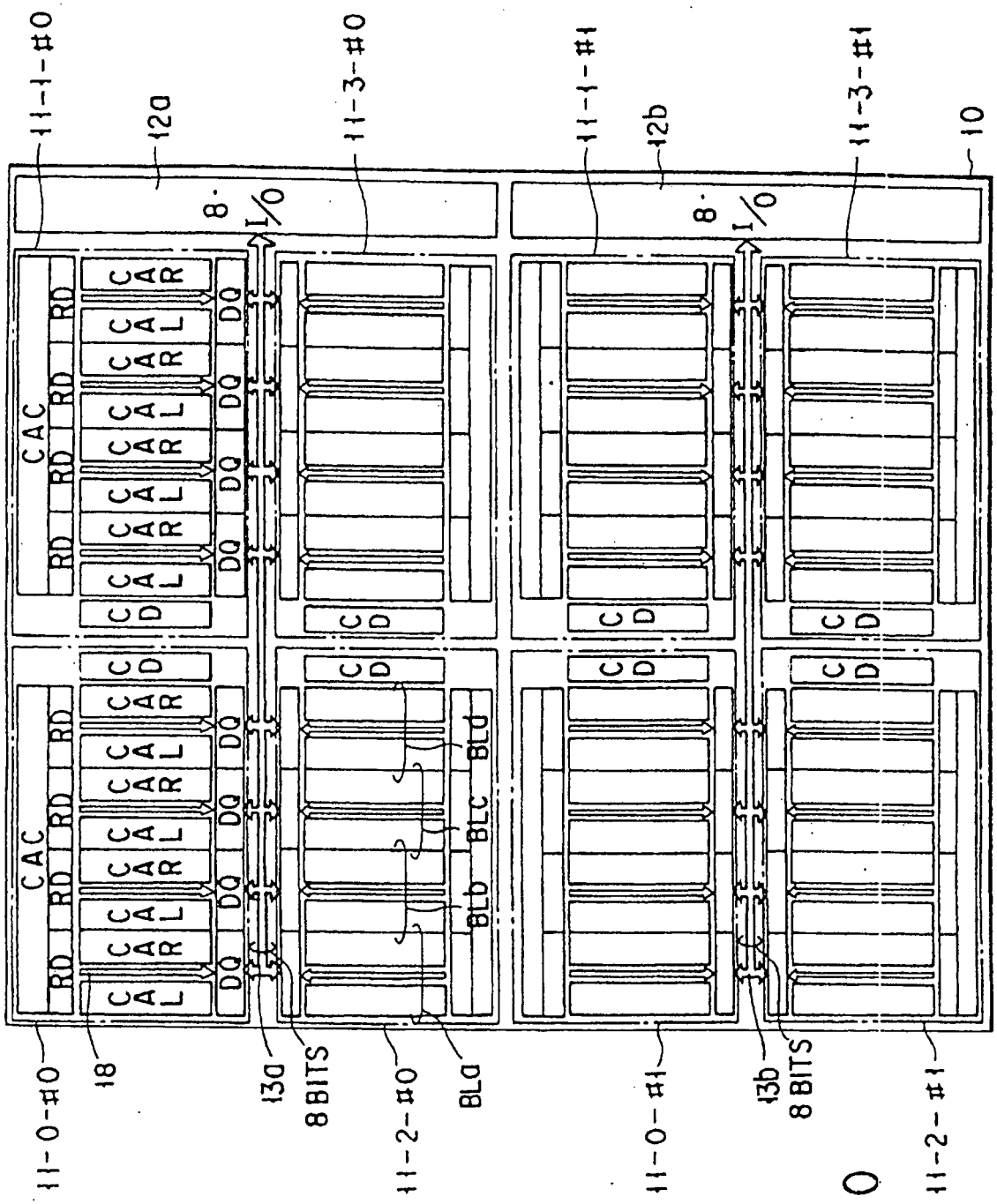

11-1-#0
12a
11-3-#0
11-1-#1
12b
11-3-#1
10
8
I/O
CAC
RD
CAL
CAR
DQ
CD
BLd
BLc
BLb
11-0-#0
18
13a
8 BITS
11-2-#0
BLa
11-0-#1
13b
8 BITS
11-2-#1

FIG. 10

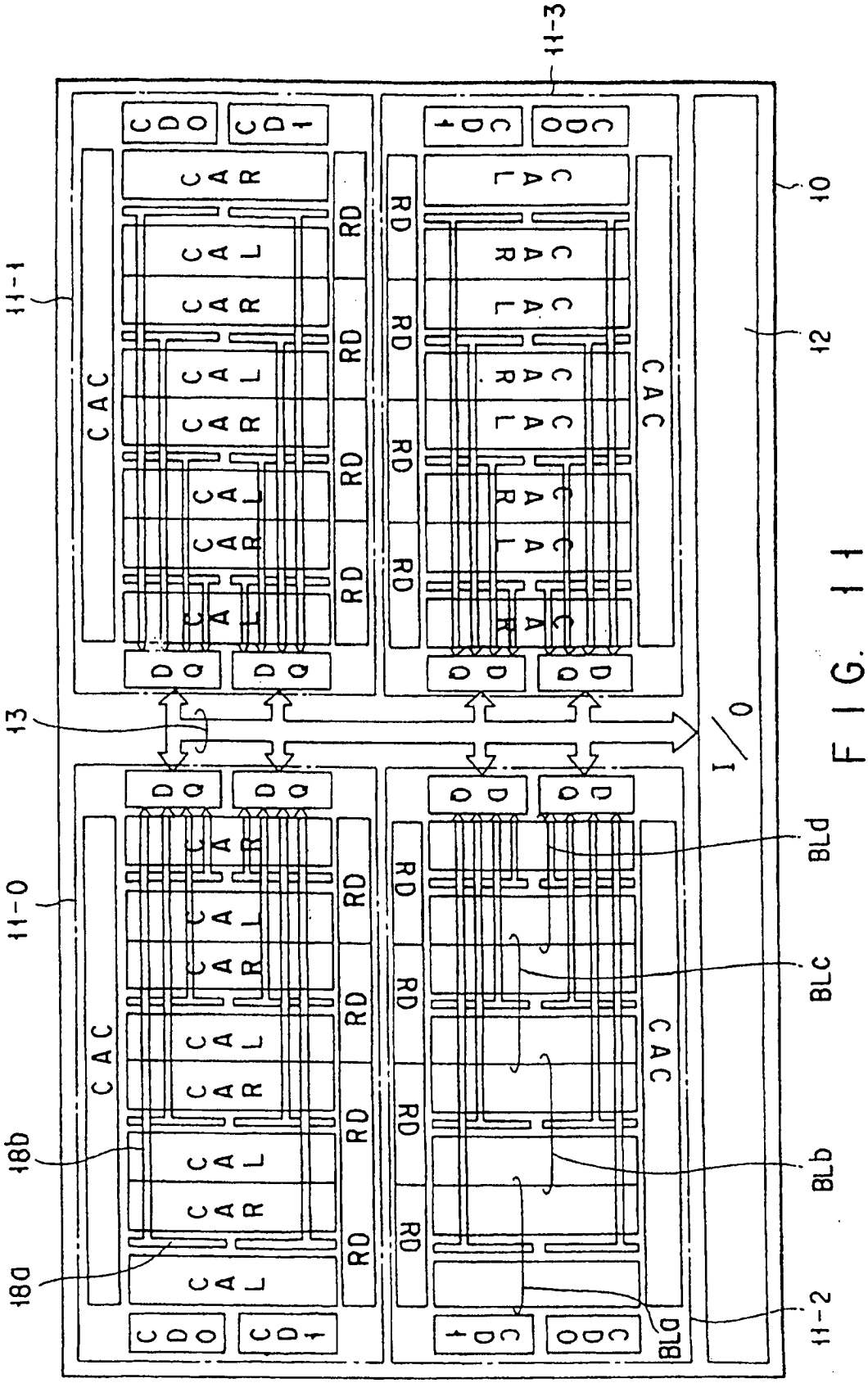

11-3
10
11-1
12
13
11-0
18b
18a
BLd
BLc
BLb
BLa
11-2
I/O
CAC
CAR
CAL
RD
DQ
CD0
CD1

FIG. 11

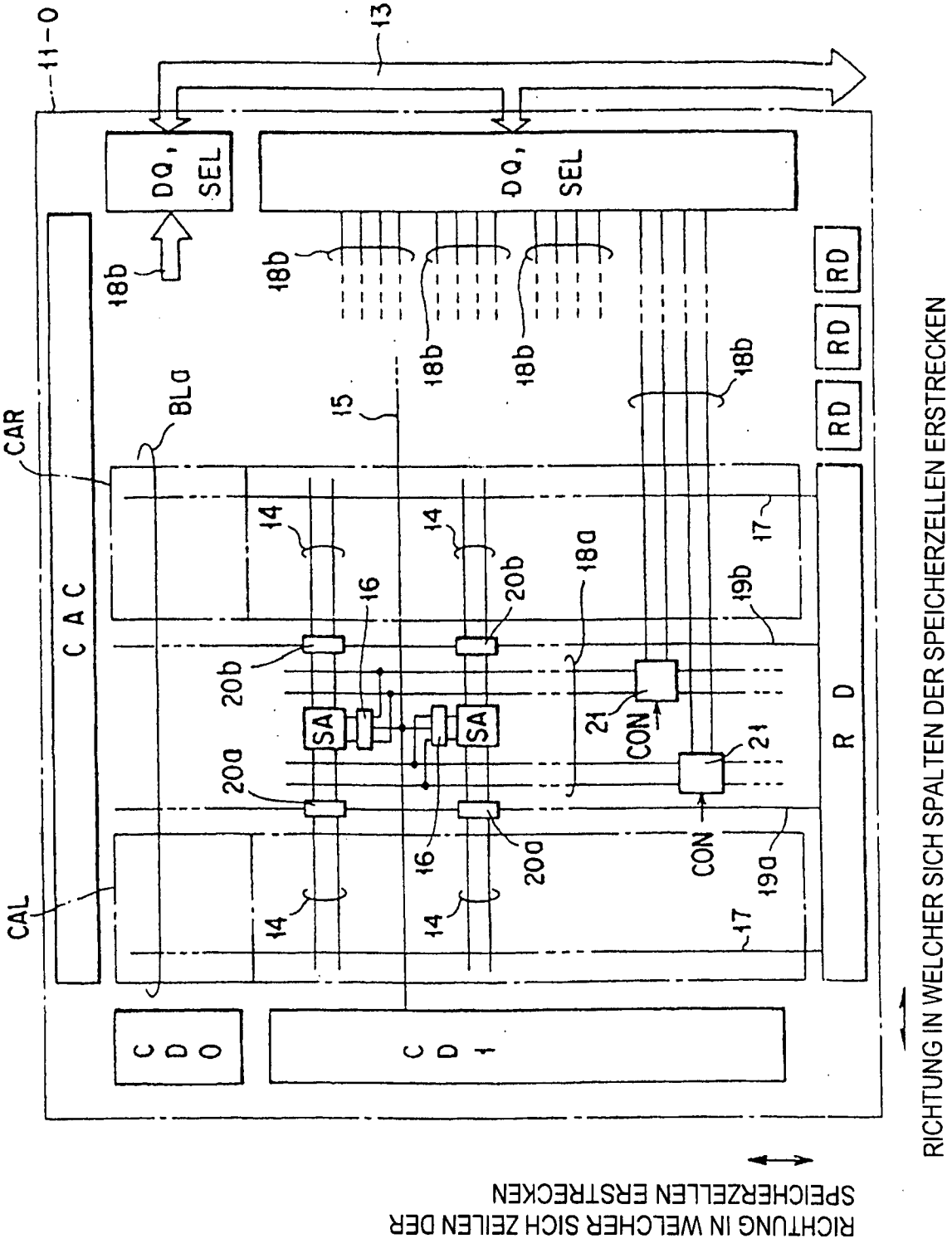

11-0
13
DQ, SEL
DQ, SEL
18b
18b
18b
18b
18b
15
CAR
BLa
C A C
14
14
16
20b
18a
17
19b
20b
SA
SA
21
CON
21
20a
16
20a
CON
19a
CAL
14
14
17
R D
RD
RD
RD
C D 0
C D 1
RICHTUNG IN WELCHER SICH SPALTEN DER SPEICHERZELLEN ERSTRECKEN
RICHTUNG IN WELCHER SICH ZEILEN DER SPEICHERZELLEN ERSTRECKEN

FIG. 12

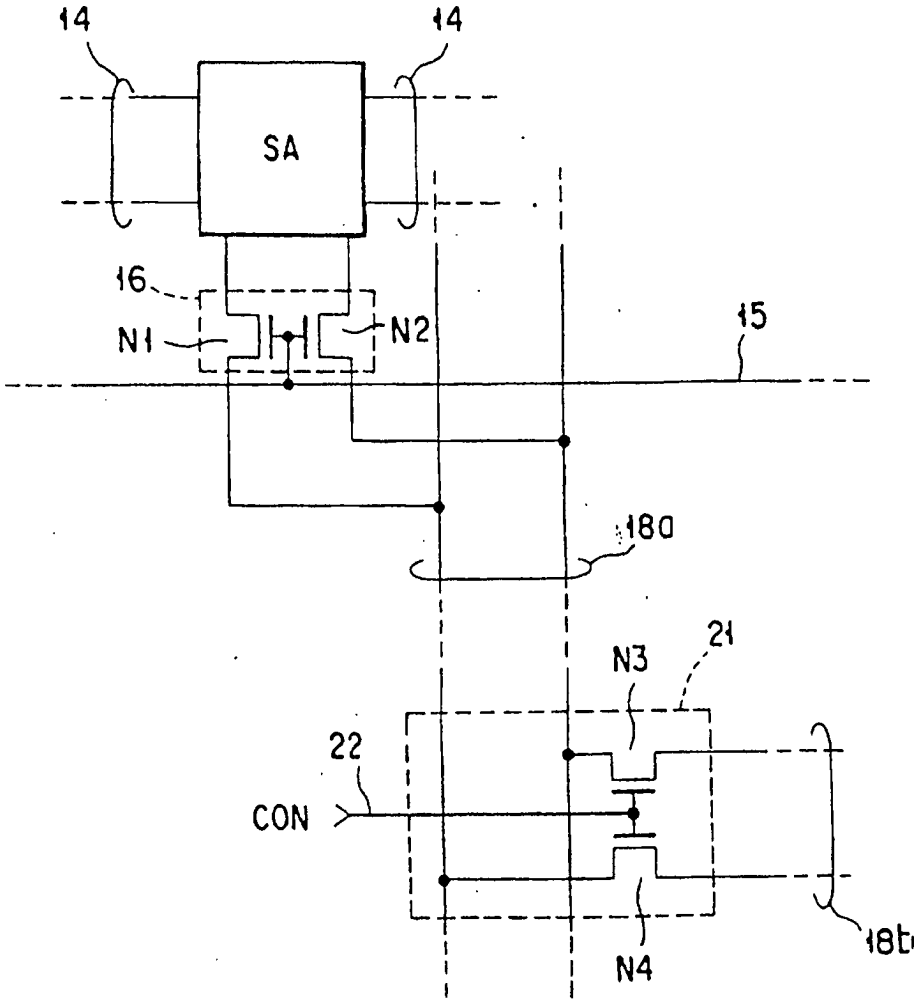


FIG. 13

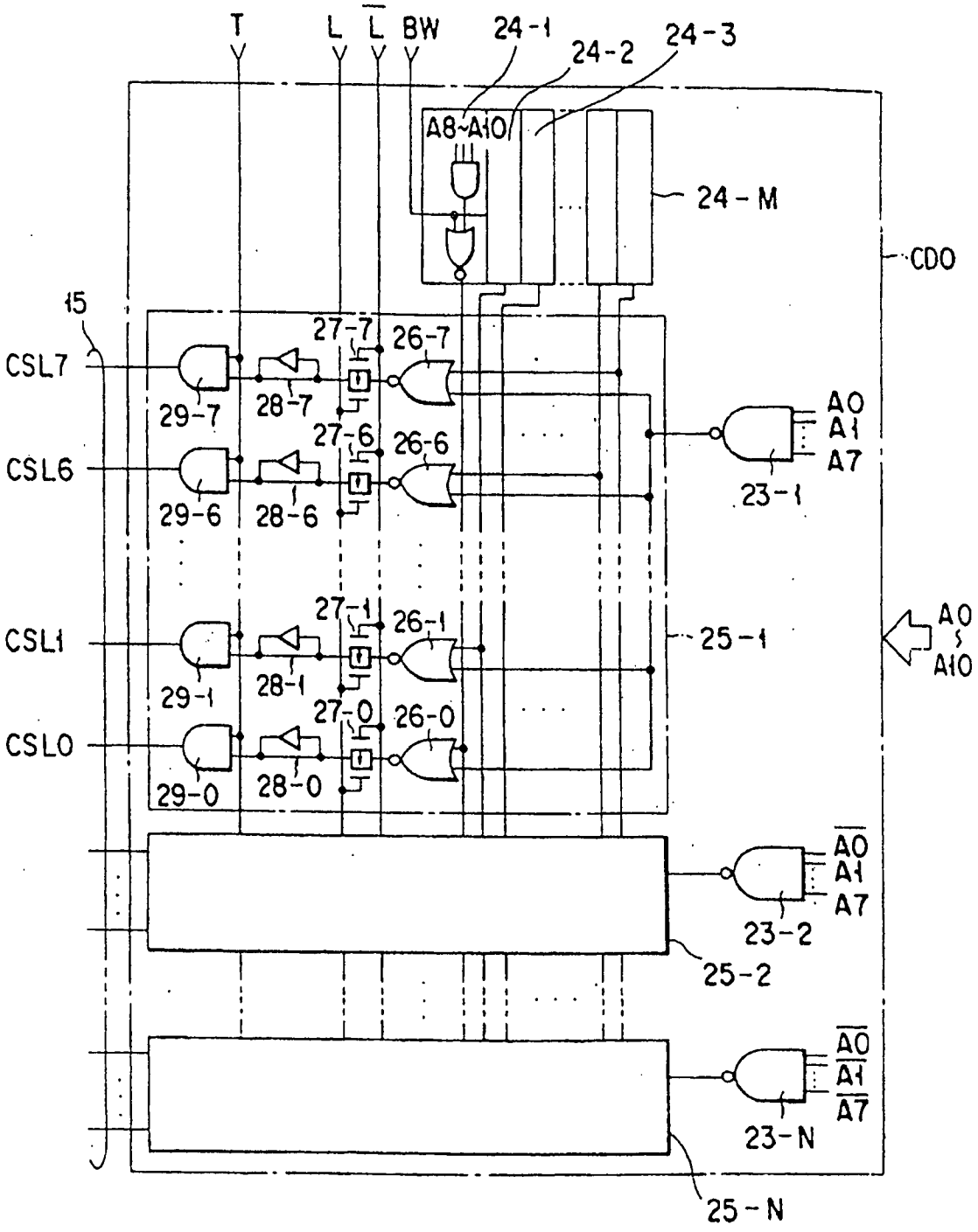

T
L
L
BW
24-1
24-2
24-3
A8~A10
24-M
CDO
15
CSL7
CSL6
CSL1
CSL0
29-7
29-6
29-1
29-0
28-7
28-6
28-1
28-0
27-7
27-6
27-1
27-0
26-7
26-6
26-1
26-0
A0
A1
A7
23-1
25-1
A0
~
A10
23-2
25-2
23-N
25-N

FIG. 14

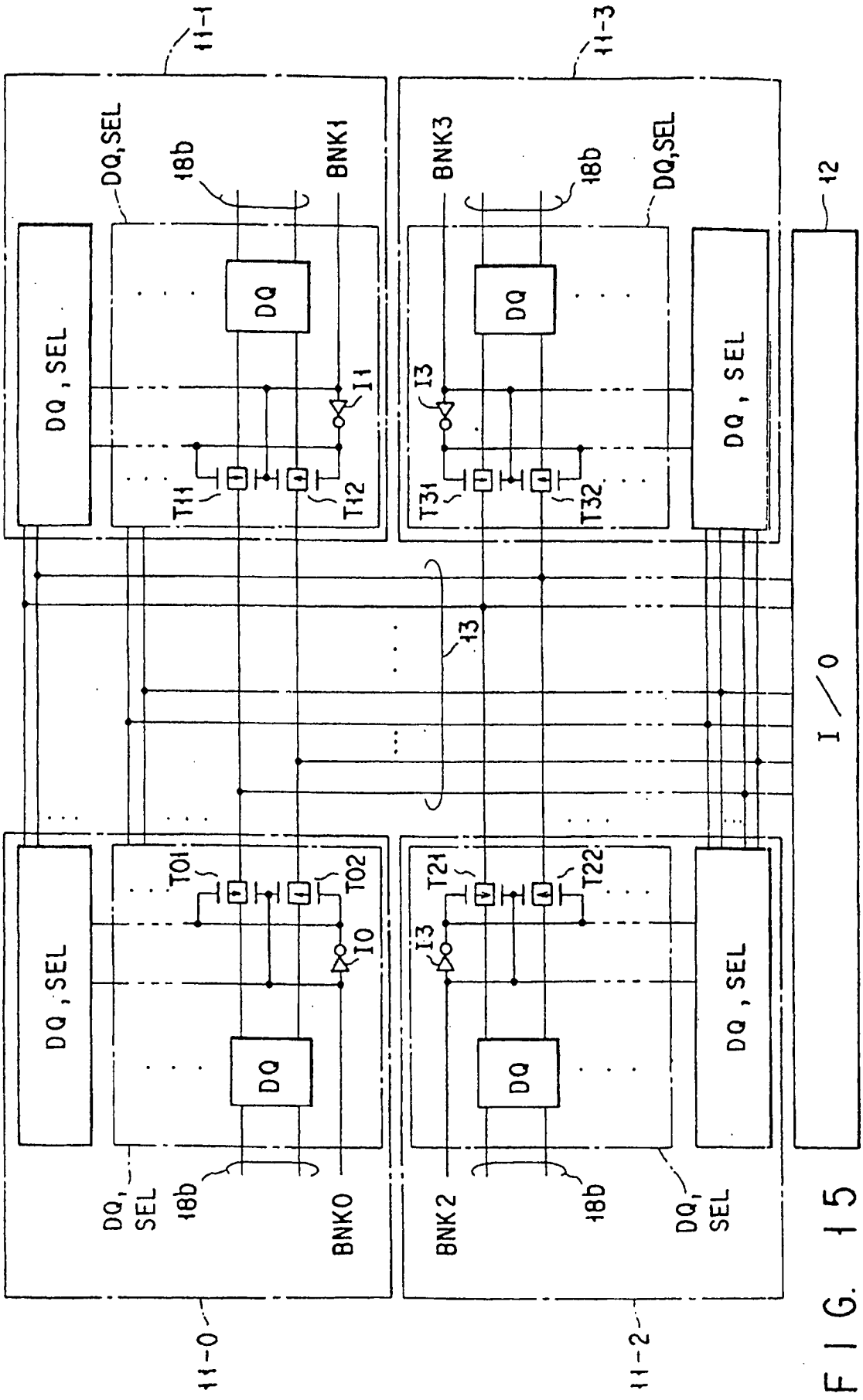

11-1
11-3
DQ,SEL
18b
BNK1
BNK3
DQ
DQ,SEL
I1
I3
T11
T12
T31
T32
12
I/O
13
T01
T02
T21
T22
I0
BNK0
BNK2
11-0
11-2

FIG. 15

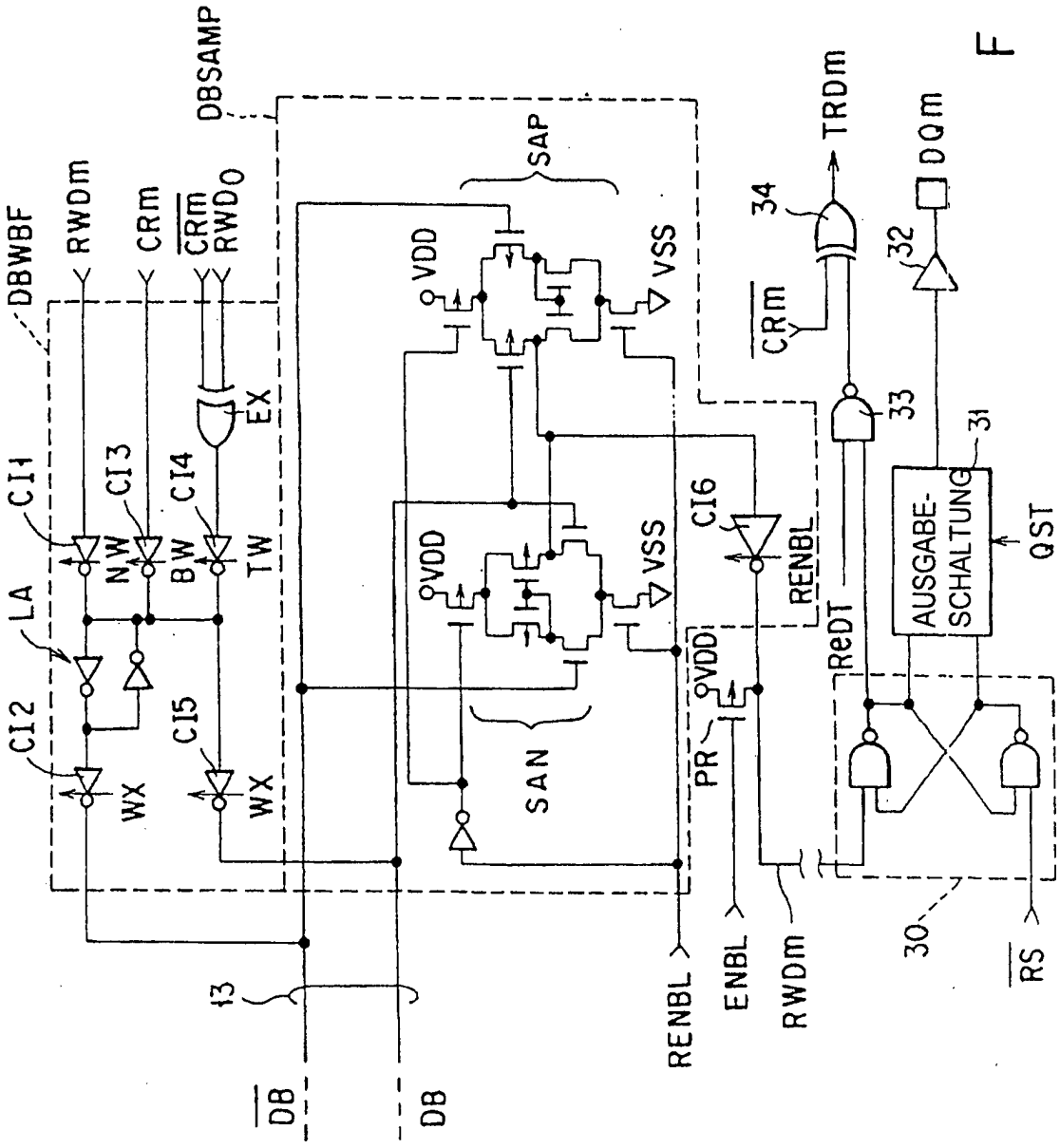

DBSAMP
DBWBF
RWDm
CRm
CRm
RWDo
SAP
VDD
VSS
TRDm
DQm
34
32
33
31
EX
CI1
CI3
CI4
CI6
LA
NW
BW
TW
RENBL
ReDT
AUSGABE-
SCHALTUNG
QST
CI2
CI5
WX
WX
SAN
PR
VDD
13
RENBL
ENBL
RWDm
30
RS
DB
DB

FIG. 16

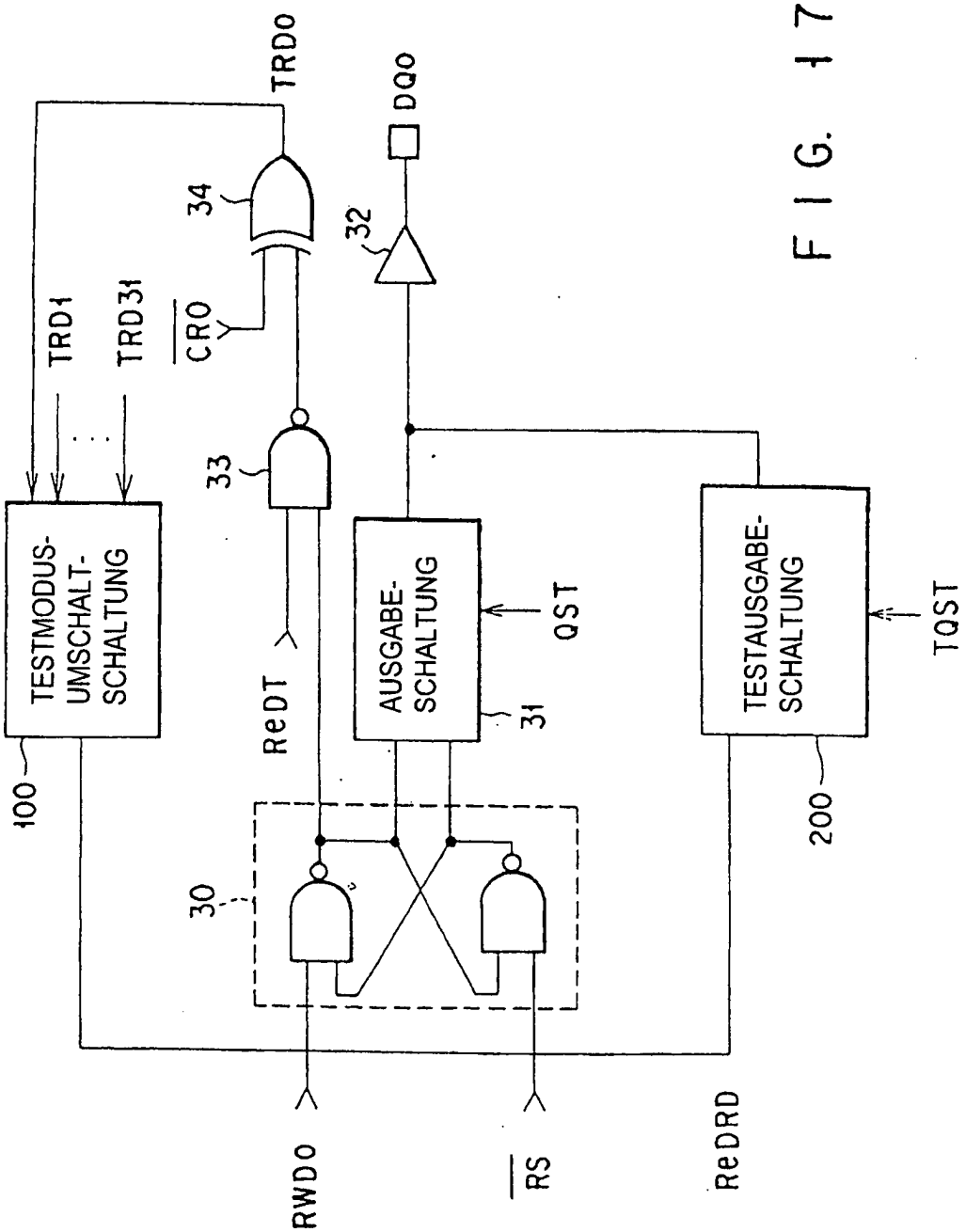

TRD0
DQ0
34
32
TRD1
TRD31
CR0
33
TESTMODUS-UMSCHALT-SCHALTUNG
AUSGABE-SCHALTUNG
QST
TESTAUSGABE-SCHALTUNG
TQST
ReDT
31
100
200
30
RWD0
RS
ReDRD

FIG. 17

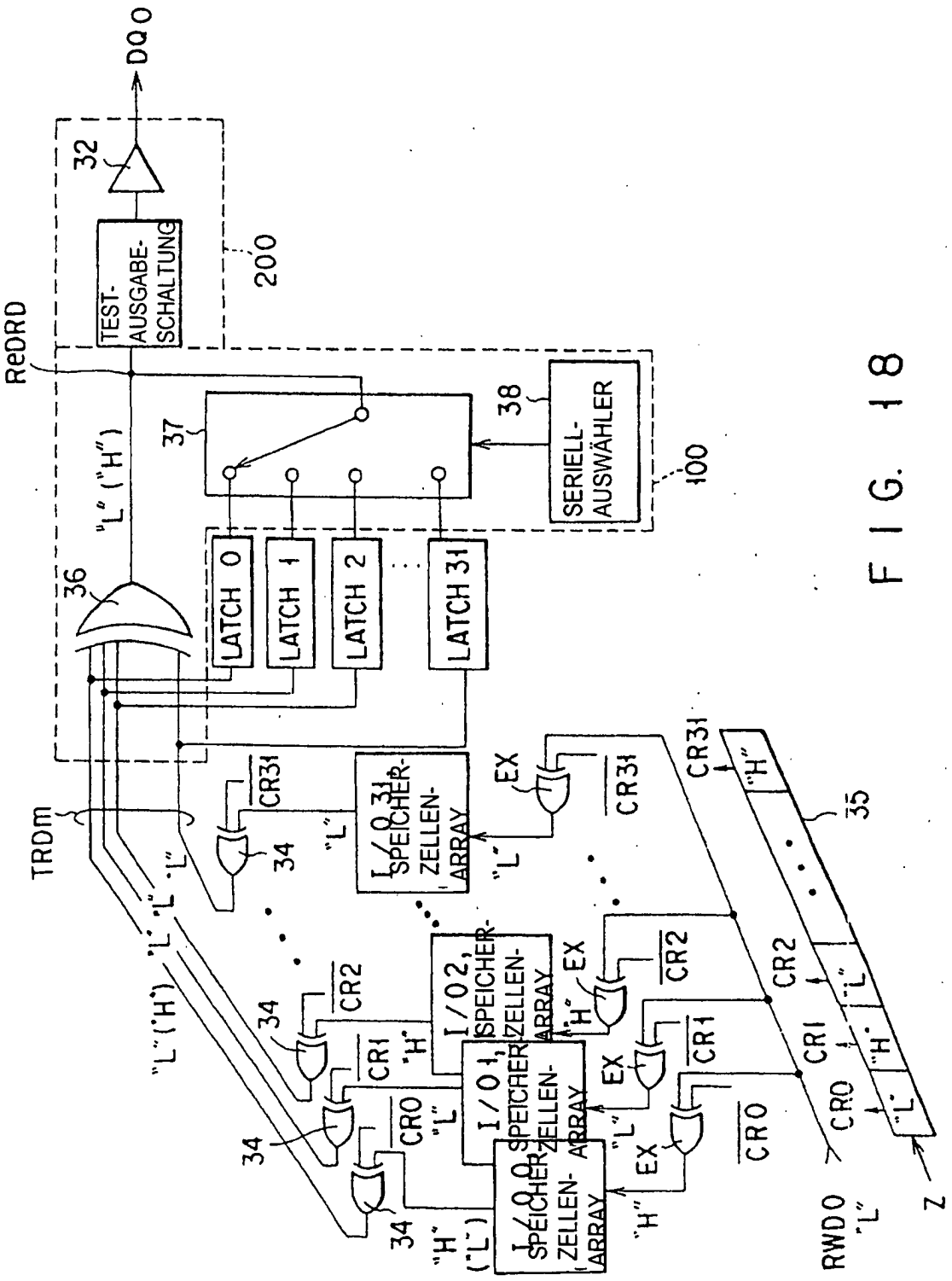

DQ0
32
TEST-AUSGABE-SCHALTUNG
200
ReDRD
"L" ("H")
37
38
SERIELL-AUSWÄHLER
100
36
LATCH 0
LATCH 1
LATCH 2
LATCH 31
TRDm
CR31
34
"L"
I/O 31, SPEICHER-ZELLEN-ARRAY
EX
CR2
CR1
CR0
"H"
I/O 2, SPEICHER-ZELLEN-ARRAY
I/O 1, SPEICHER-ZELLEN-ARRAY
I/O 0, SPEICHER-ZELLEN-ARRAY
35
RWD0
Z

FIG. 18

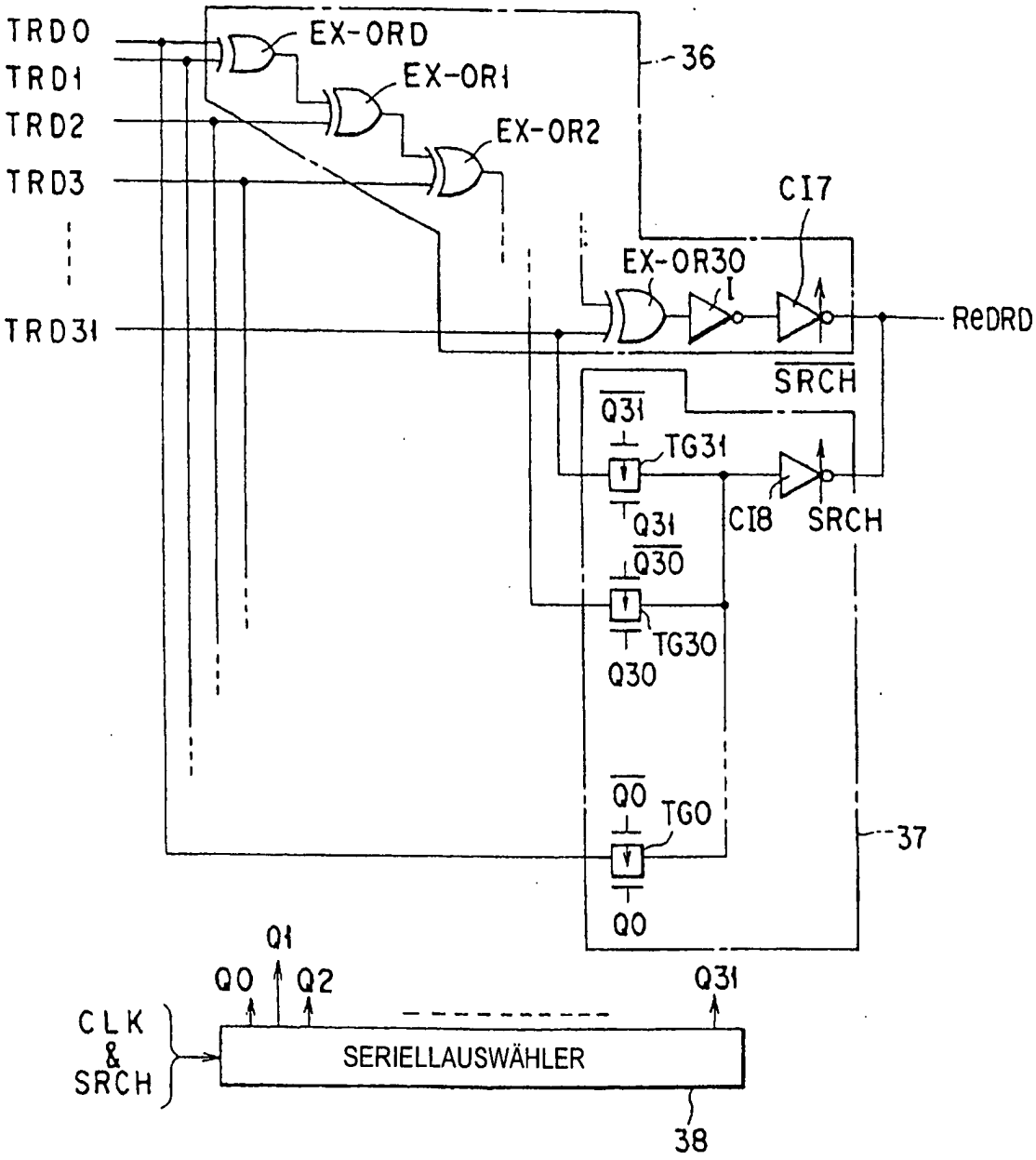

TRD0
TRD1
TRD2
TRD3
TRD31
EX-ORD
EX-OR1
EX-OR2
EX-OR30
36
CI7
ReDRD
SRCH
Q31
TG31
Q31
CI8
SRCH
Q30
TG30
Q30
Q0
TG0
Q0
37
Q1
Q0
Q2
Q31
CLK
&
SRCH
SERIELLAUSWÄHLER
38

FIG. 19

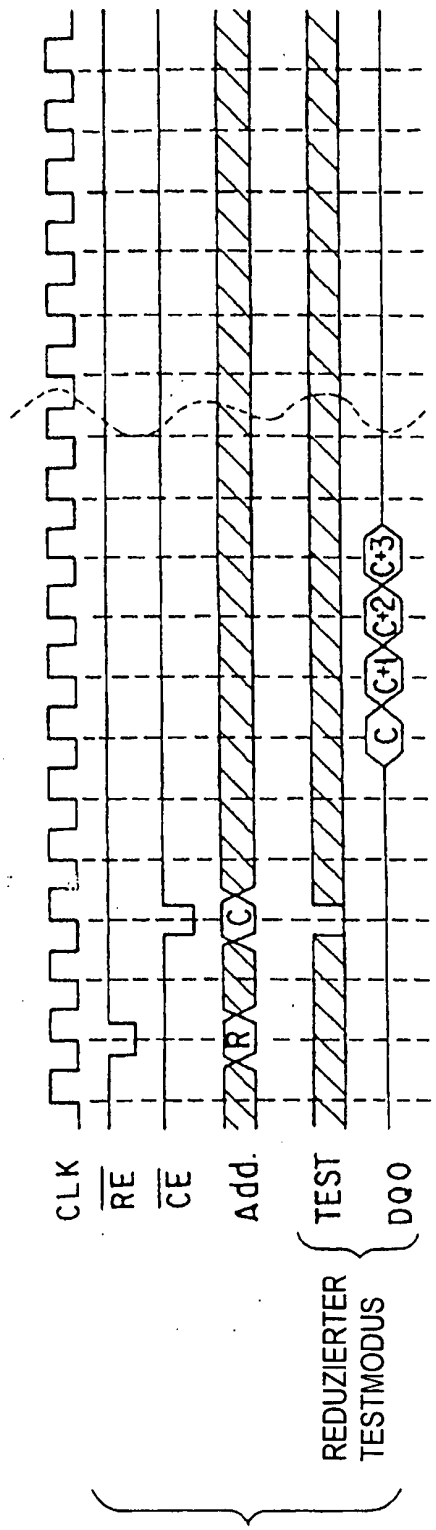

CLK
RE
CE
Add.
TEST
DQ0
REDUZIERTER TESTMODUS
R
C
C
C+1
C+2
C+3

FIG. 20

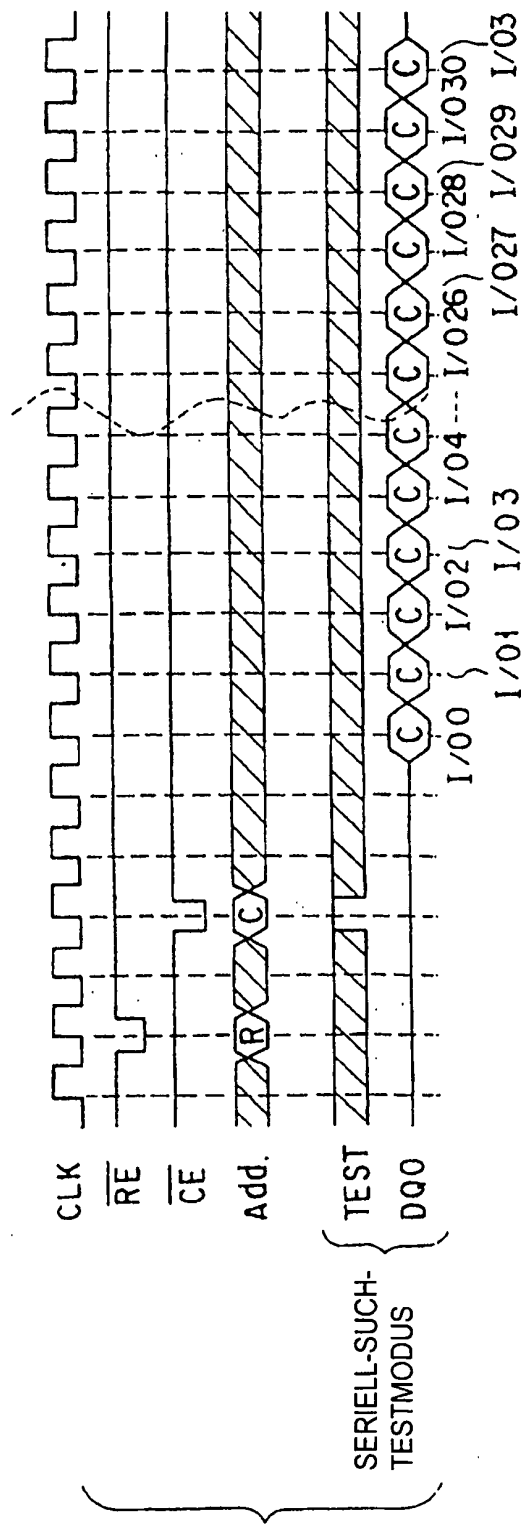
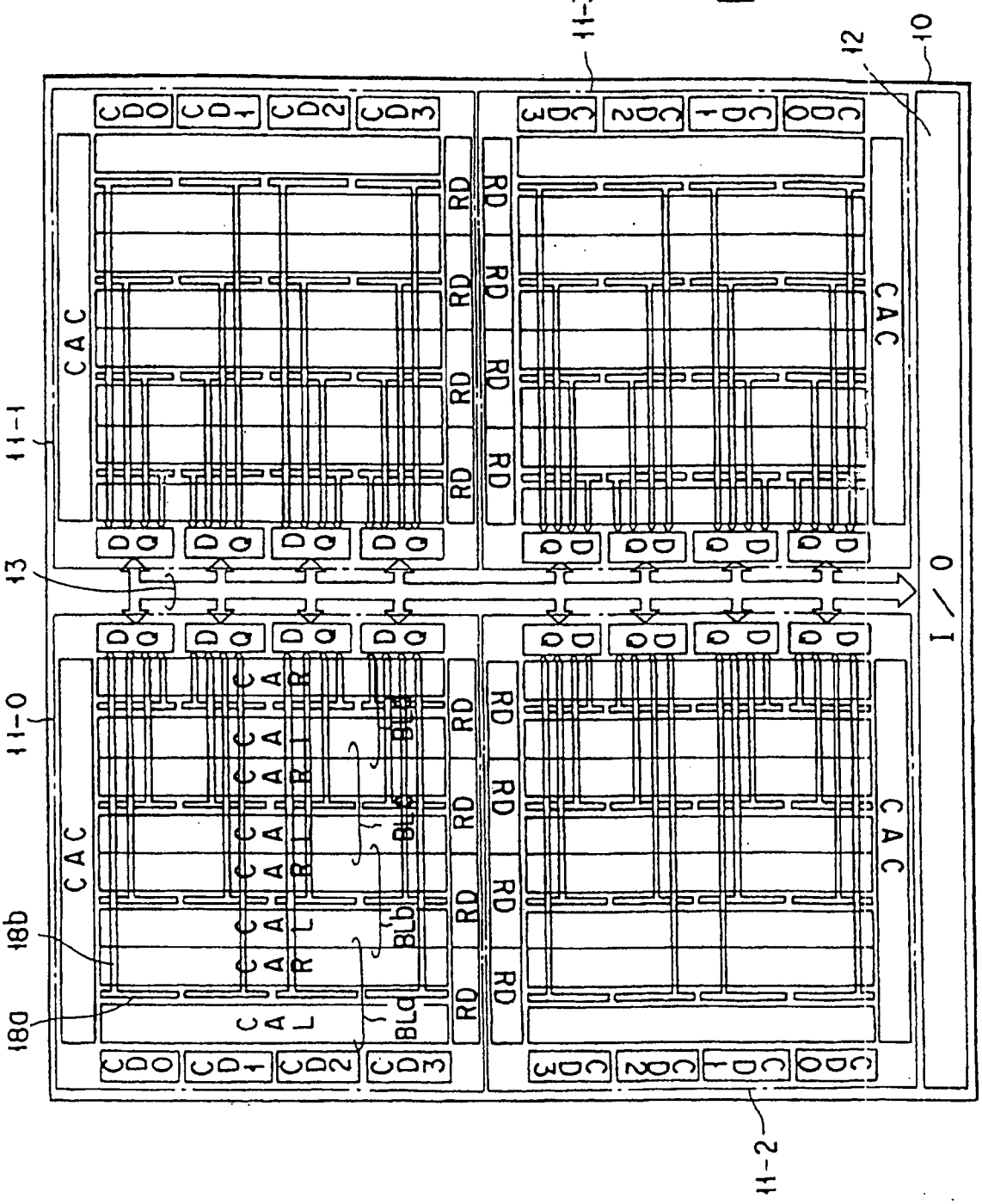

CLK
RE
CE
Add.
TEST
DQ0
SERIELL-SUCH-TESTMODUS
R
C
C
I/00
I/01
I/02
I/03
I/04
I/026
I/027
I/028
I/029
I/030
I/03

FIG. 21

FIG. 22


11-3
12
10
11-1
13
11-0
18b
18a
11-2
CAC
RD
CD0
CD1
CD2
CD3
DQ
CAR
CAL
BLa
BLb
BLc
BLd
I/O

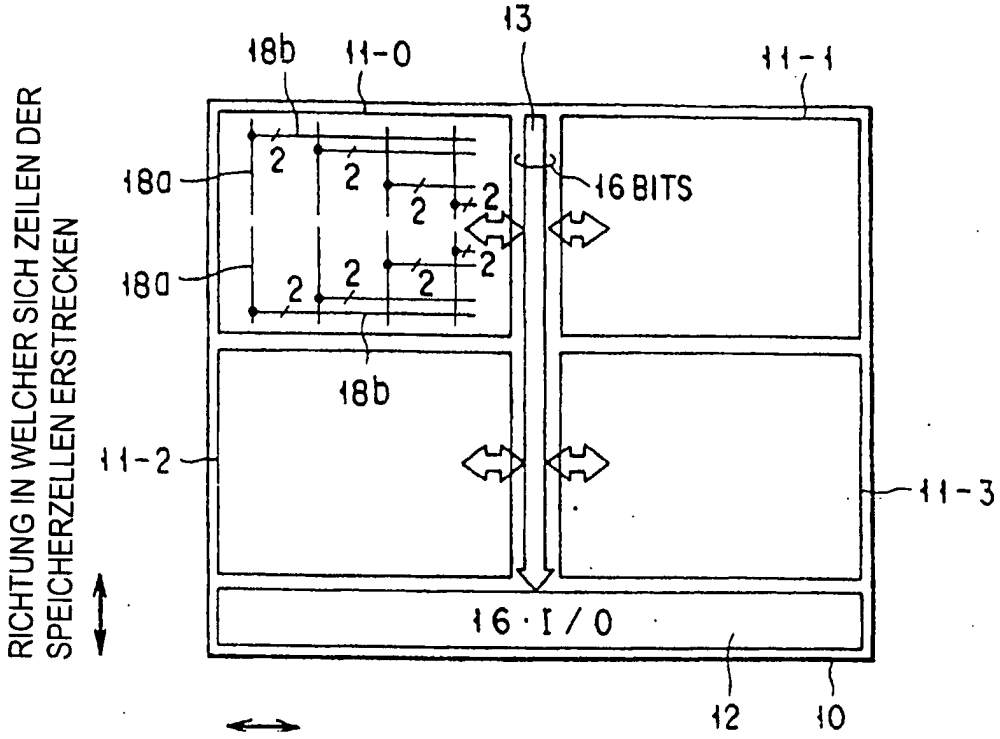

13
18b
11-0
11-1
18a
18a
16 BITS
18b
11-2
11-3
16·I/O
12
10
RICHTUNG IN WELCHER SICH ZEILEN DER SPEICHERZELLEN ERSTRECKEN
RICHTUNG IN WELCHER SICH SPALTEN DER SPEICHERZELLEN ERSTRECKEN

FIG. 23

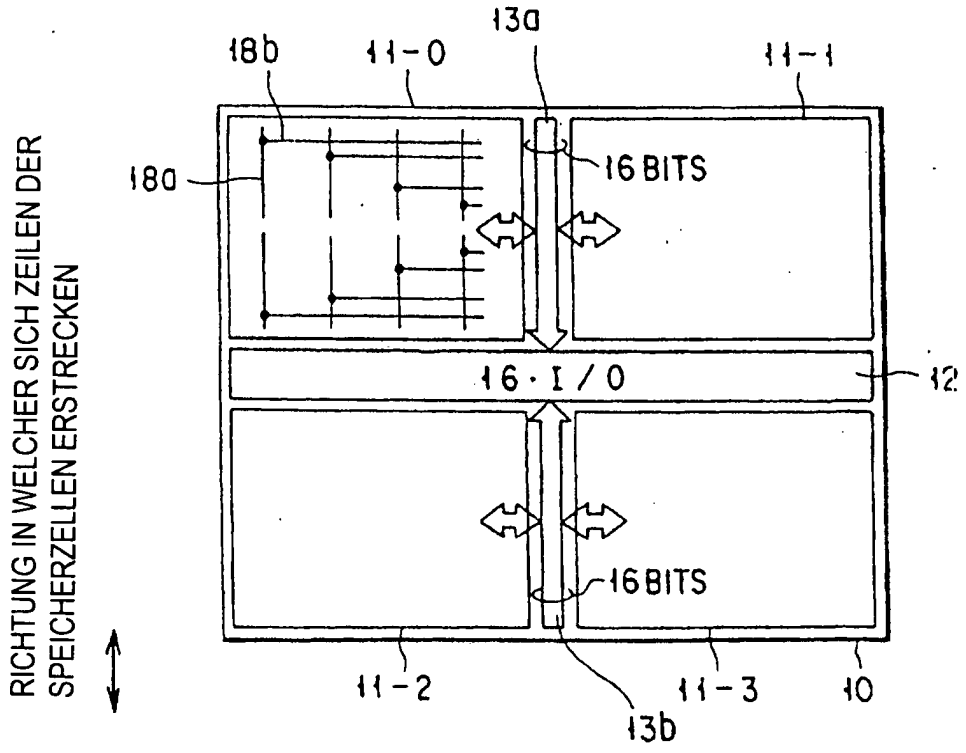

13a
18b
11-0
11-1
18a
16 BITS
16·I/O
12
16 BITS
11-2
11-3
10
13b
RICHTUNG IN WELCHER SICH ZEILEN DER SPEICHERZELLEN ERSTRECKEN
RICHTUNG IN WELCHER SICH SPALTEN DER SPEICHERZELLEN ERSTRECKEN

FIG. 24

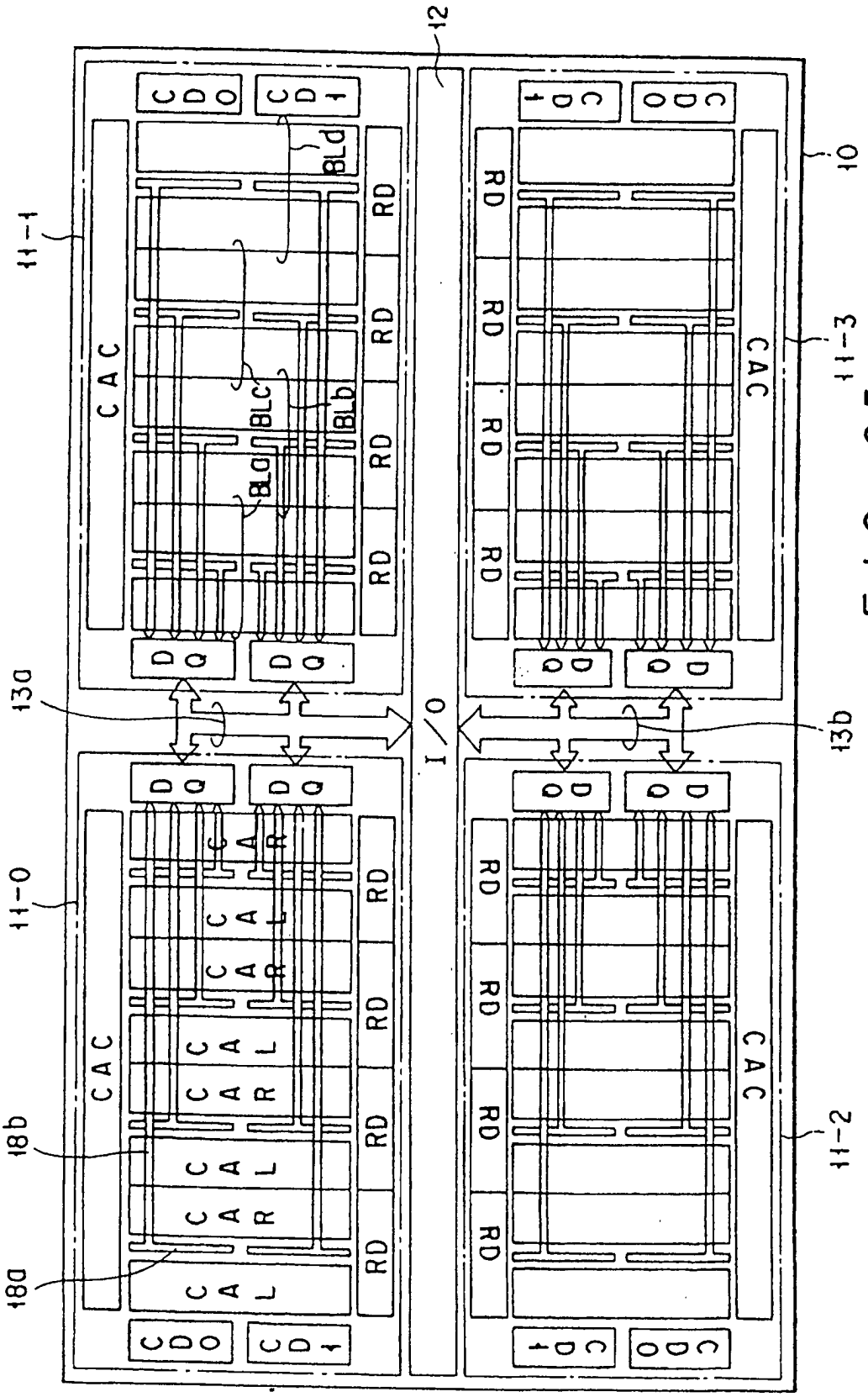

12
10
11-1
11-3
11-0
11-2
13a
13b
18a
18b
CAC
RD
DQ
CD0
CD1
BLa
BLb
BLc
BLd
I/O

FIG. 25

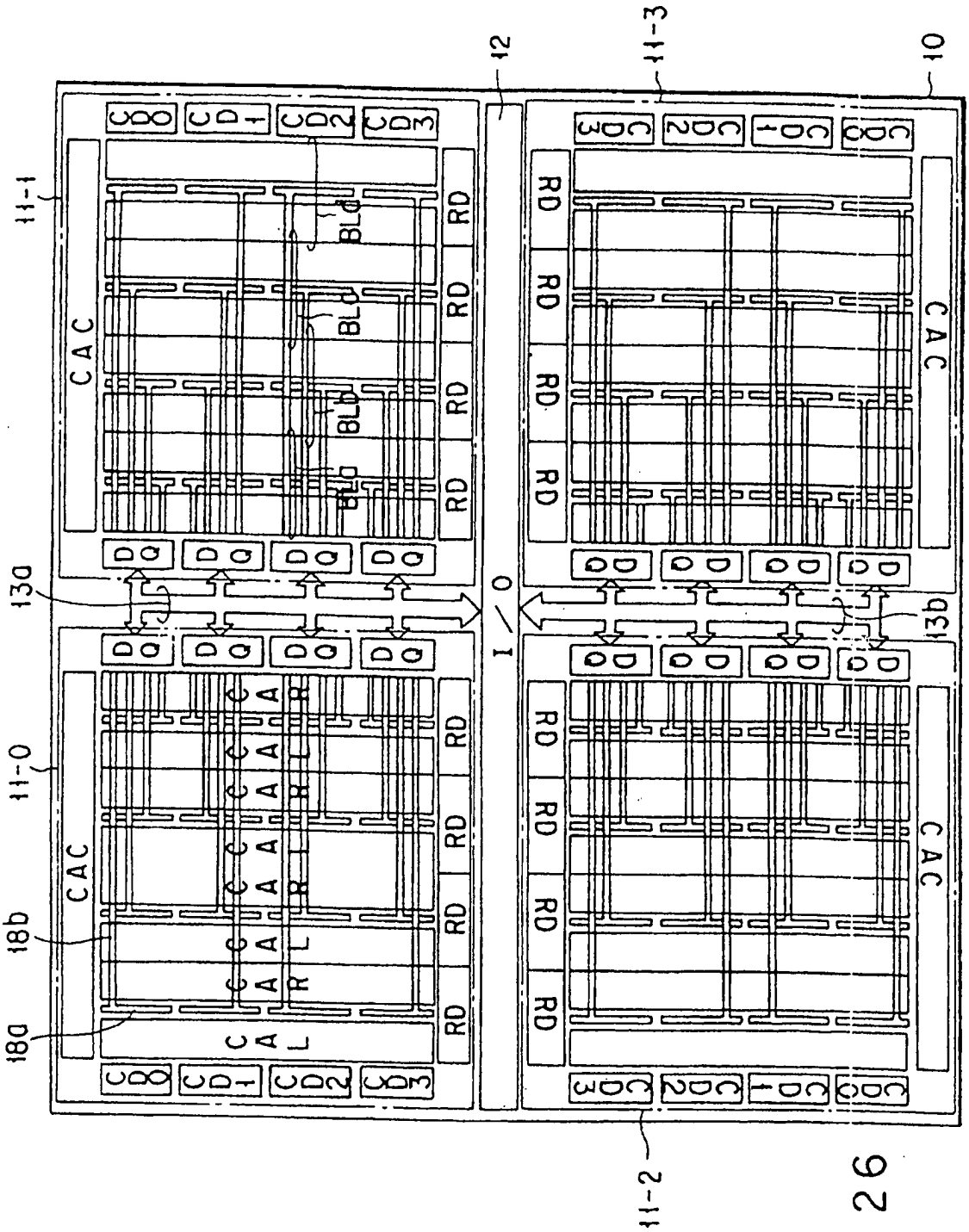


FIG. 26

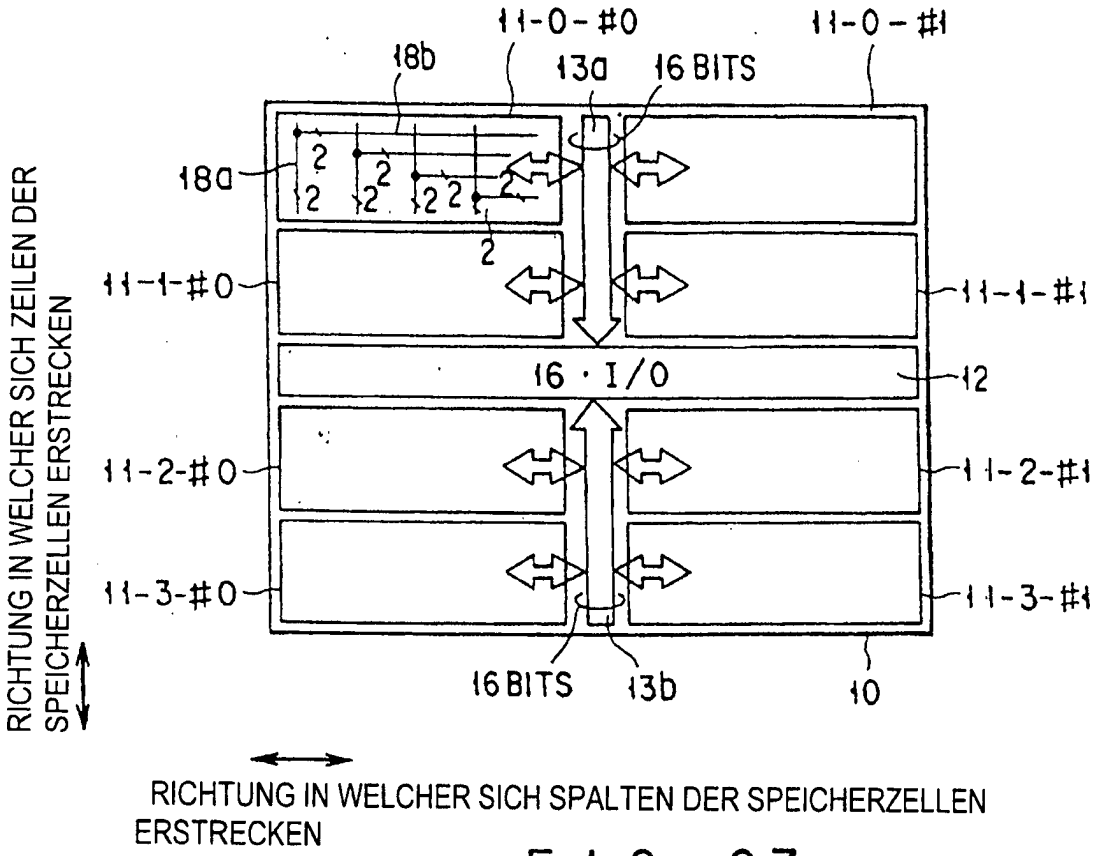

11-0-#0
11-0-#1
18b
13a
16 BITS
18a
11-1-#0
11-1-#1
16 · I/O
12
11-2-#0
11-2-#1
11-3-#0
11-3-#1
16 BITS
13b
10
RICHTUNG IN WELCHER SICH ZEILEN DER SPEICHERZELLEN ERSTRECKEN
RICHTUNG IN WELCHER SICH SPALTEN DER SPEICHERZELLEN ERSTRECKEN

FIG. 27

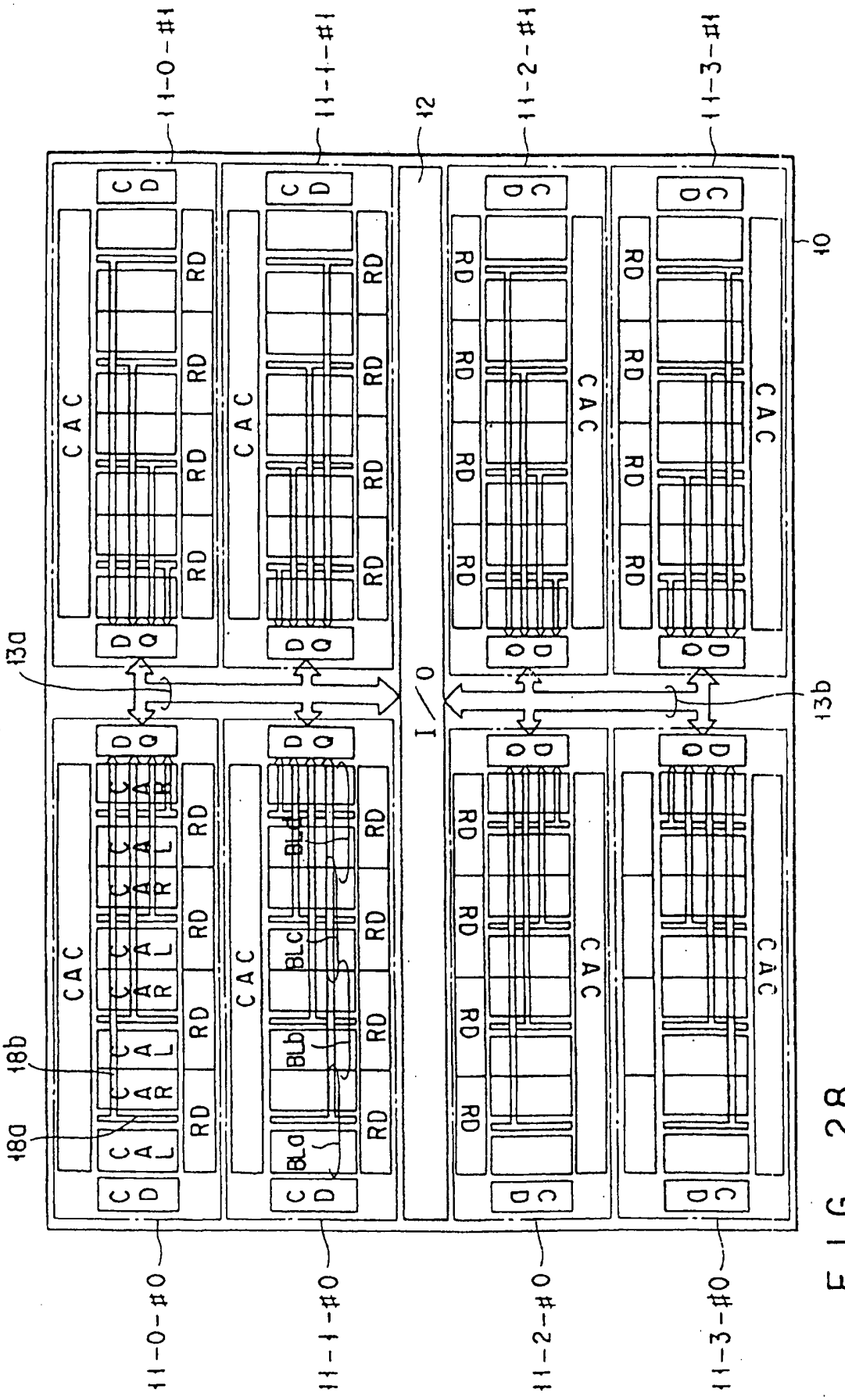

11-0-#1
11-1-#1
12
11-2-#1
11-3-#1
10
13a
13b
I/O
18b
18a
11-0-#0
11-1-#0
11-2-#0
11-3-#0
CAC
RD
BLa
BLb
BLc

FIG. 28

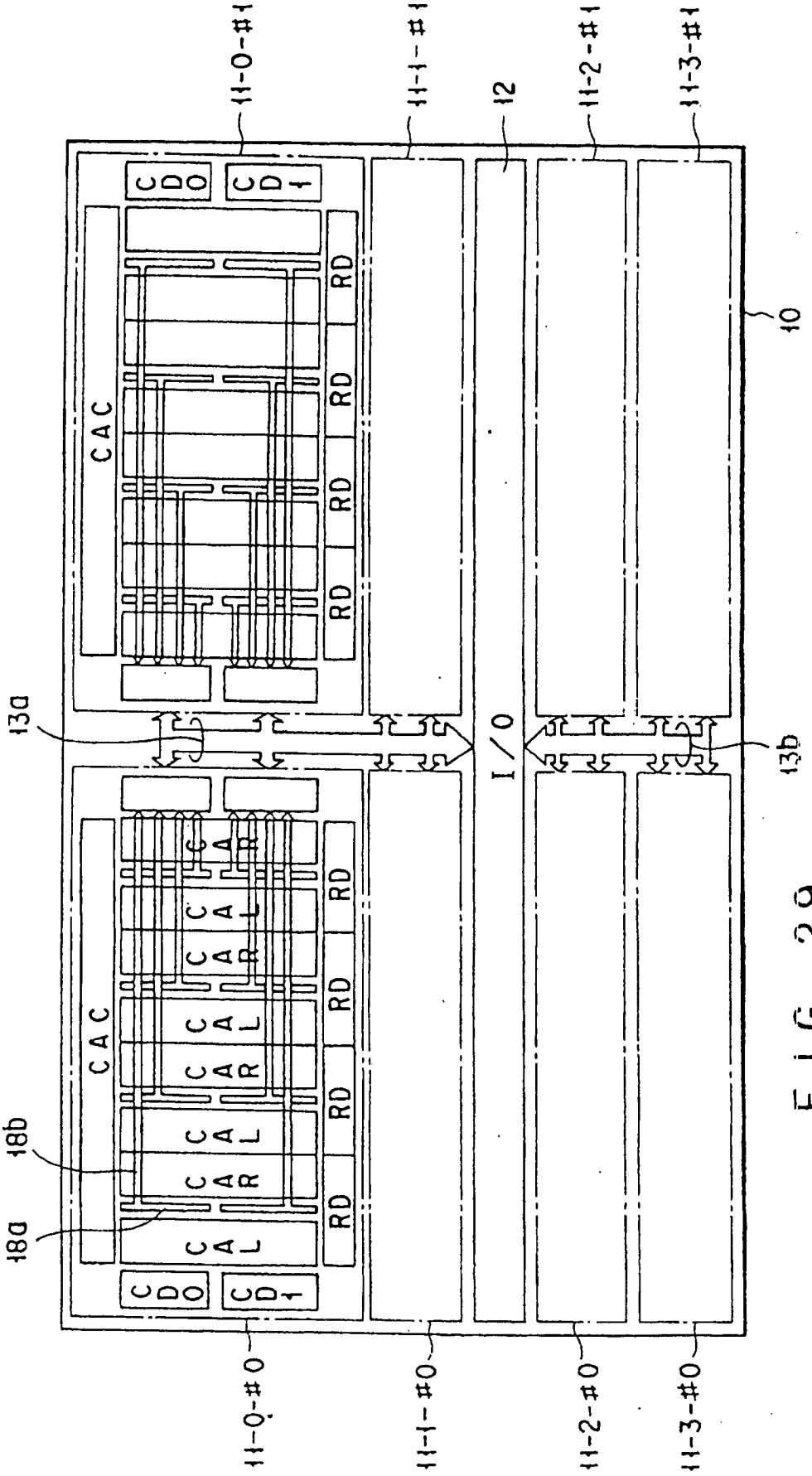

11-0-#1
11-1-#1
12
11-2-#1
11-3-#1
10
13a
13b
I/O
CAC
CDO
CD1
RD
CAL
CAR
18b
18a
11-0-#0
11-1-#0
11-2-#0
11-3-#0

FIG. 29

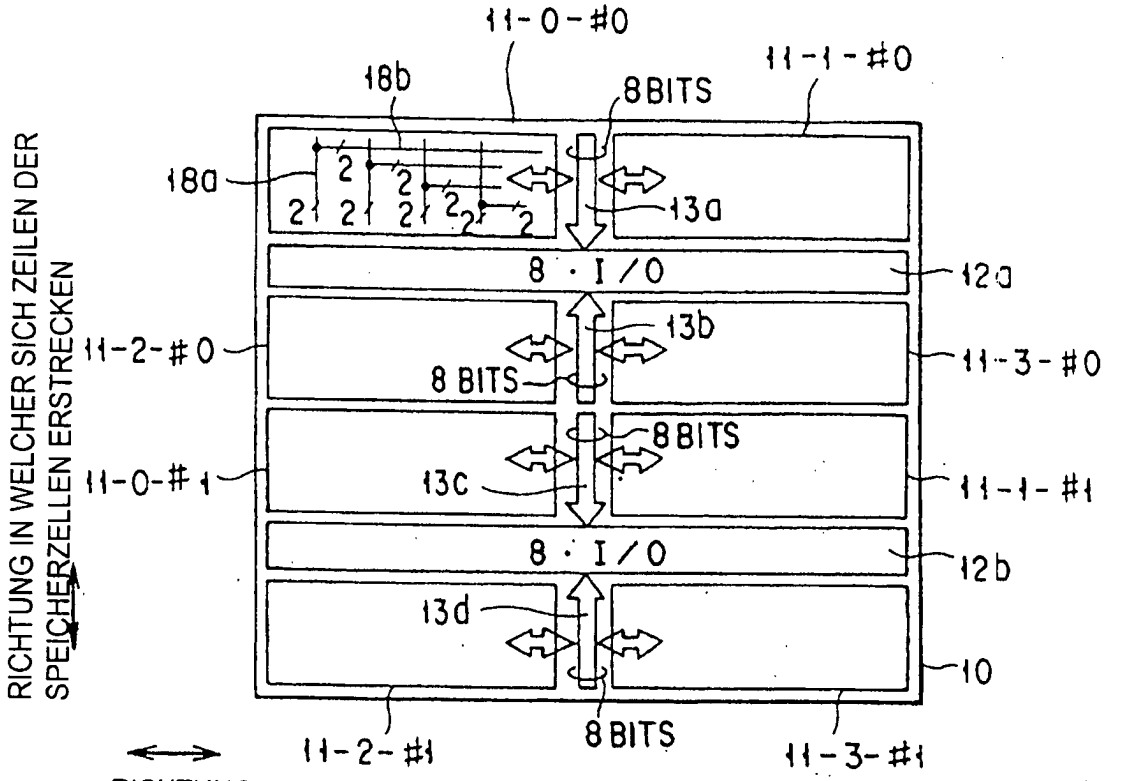

11-0-#0
11-1-#0
18b
8BITS
18a
13a
8 · I/O
12a
11-2-#0
13b
11-3-#0
8 BITS
8BITS
11-0-#1
13c
11-1-#1
8 · I/O
12b
13d
10
8 BITS
11-2-#1
11-3-#1
RICHTUNG IN WELCHER SICH ZEILEN DER SPEICHERZELLEN ERSTRECKEN
RICHTUNG IN WELCHER SICH SPALTEN DER SPEICHERZELLEN ERSTRECKEN

FIG. 30

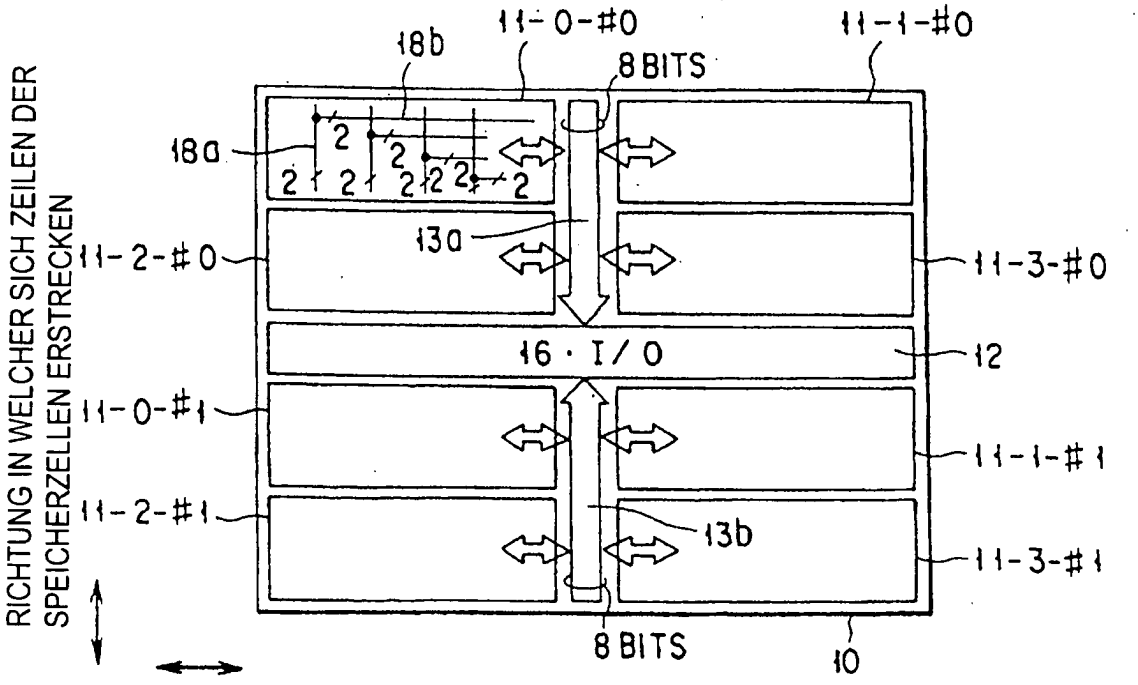

11-0-#0
11-1-#0
18b
8BITS
18a
13a
11-2-#0
11-3-#0
16 · I/O
12
11-0-#1
11-1-#1
11-2-#1
13b
11-3-#1
8 BITS
10
RICHTUNG IN WELCHER SICH ZEILEN DER SPEICHERZELLEN ERSTRECKEN
RICHTUNG IN WELCHER SICH SPALTEN DER SPEICHERZELLEN ERSTRECKEN

FIG. 33

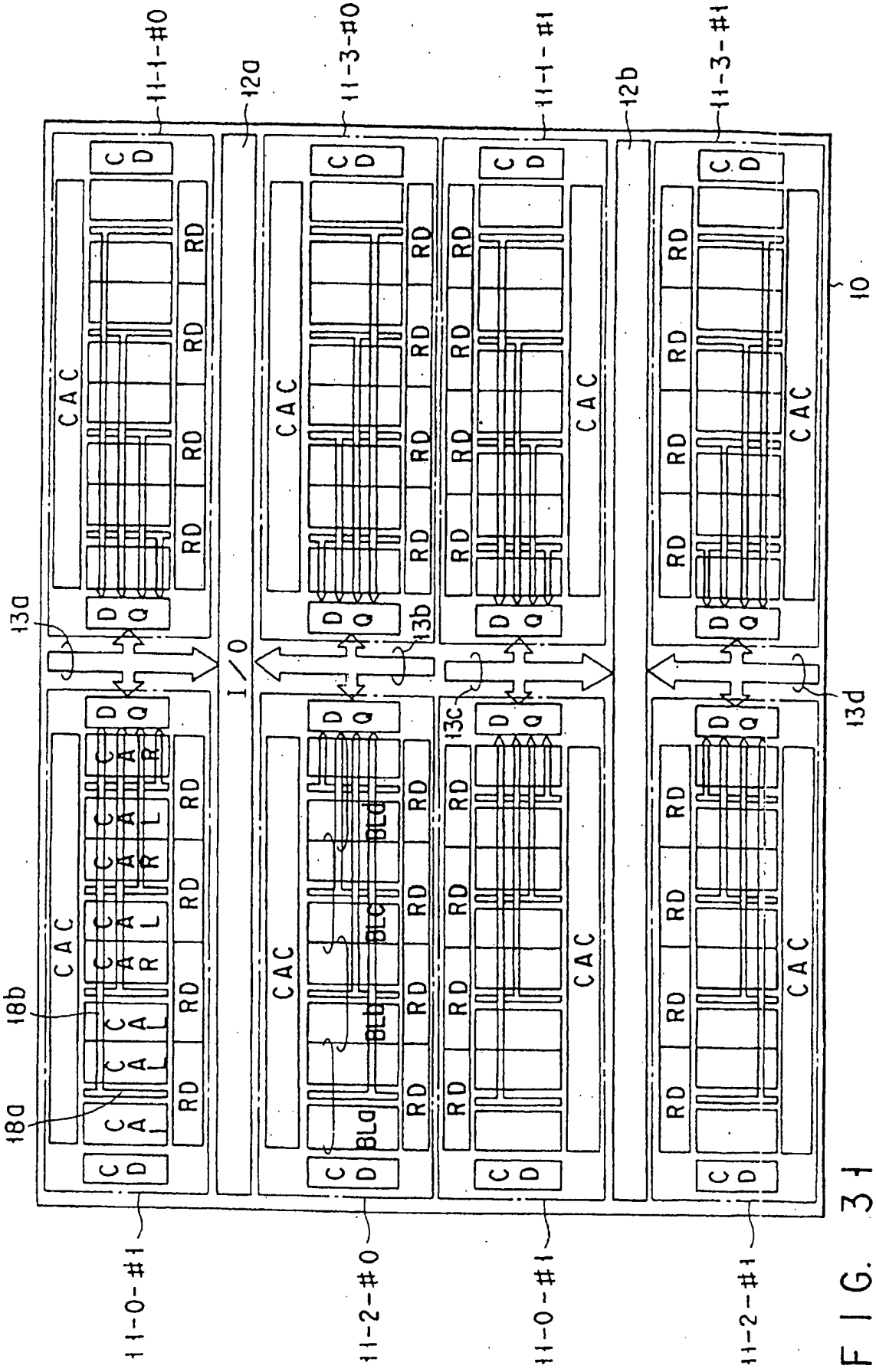

11-1-#0
12a
11-3-#0
11-1-#1
12b
11-3-#1
10
13a
13b
13c
13d
I/O
18a
18b
CAC
RD
BLa
BLb
BLc
BLd
11-0-#1
11-2-#0
11-0-#1
11-2-#1

FIG. 31

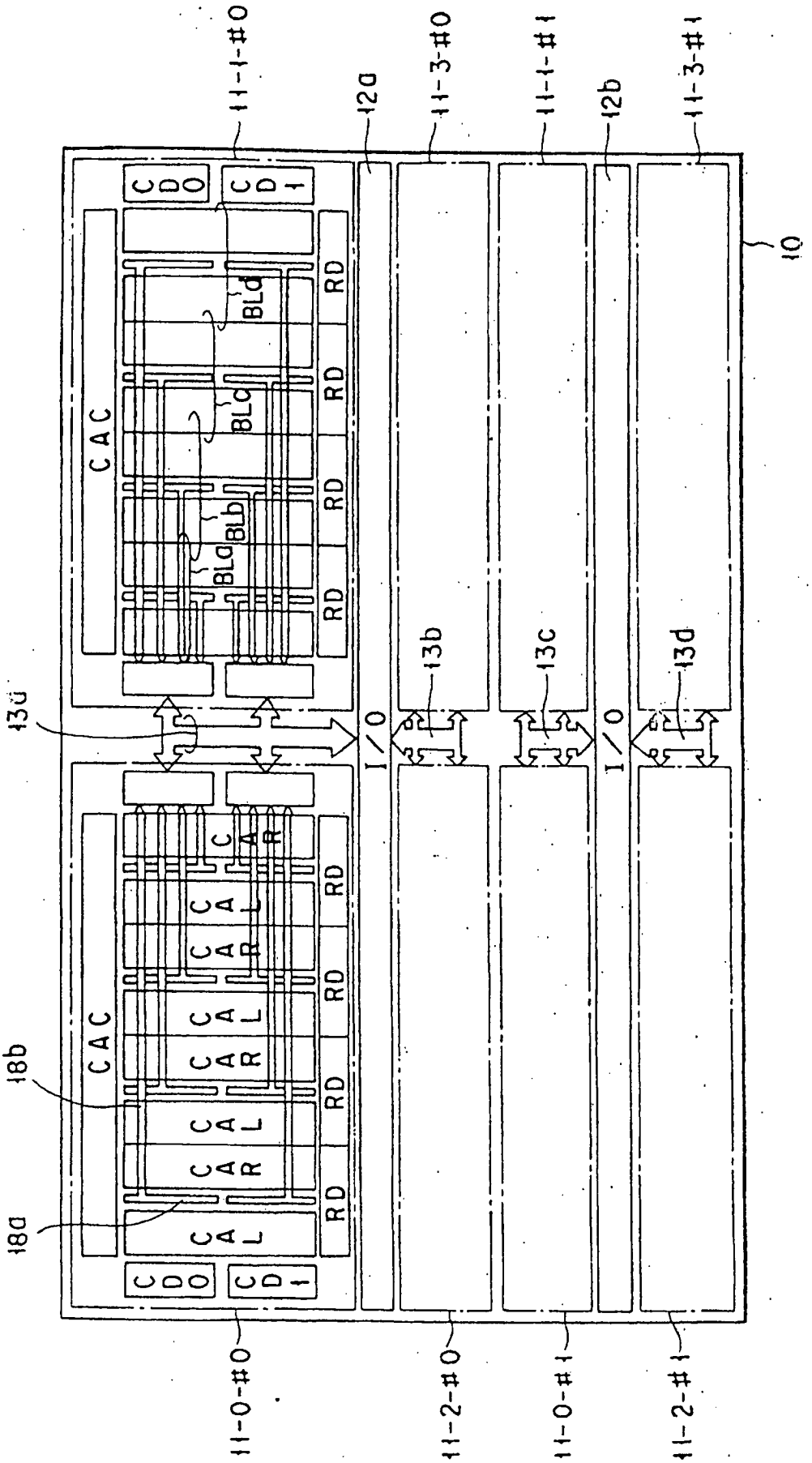

11-1-#0
12a
11-3-#0
11-1-#1
12b
11-3-#1
10
CDO
CD1
CAC
RD
BLa
BLb
BLc
BLd
13a
13b
13c
13d
I/O
CAR
CAL
18a
18b
11-0-#0
11-2-#0
11-0-#1
11-2-#1

FIG. 32

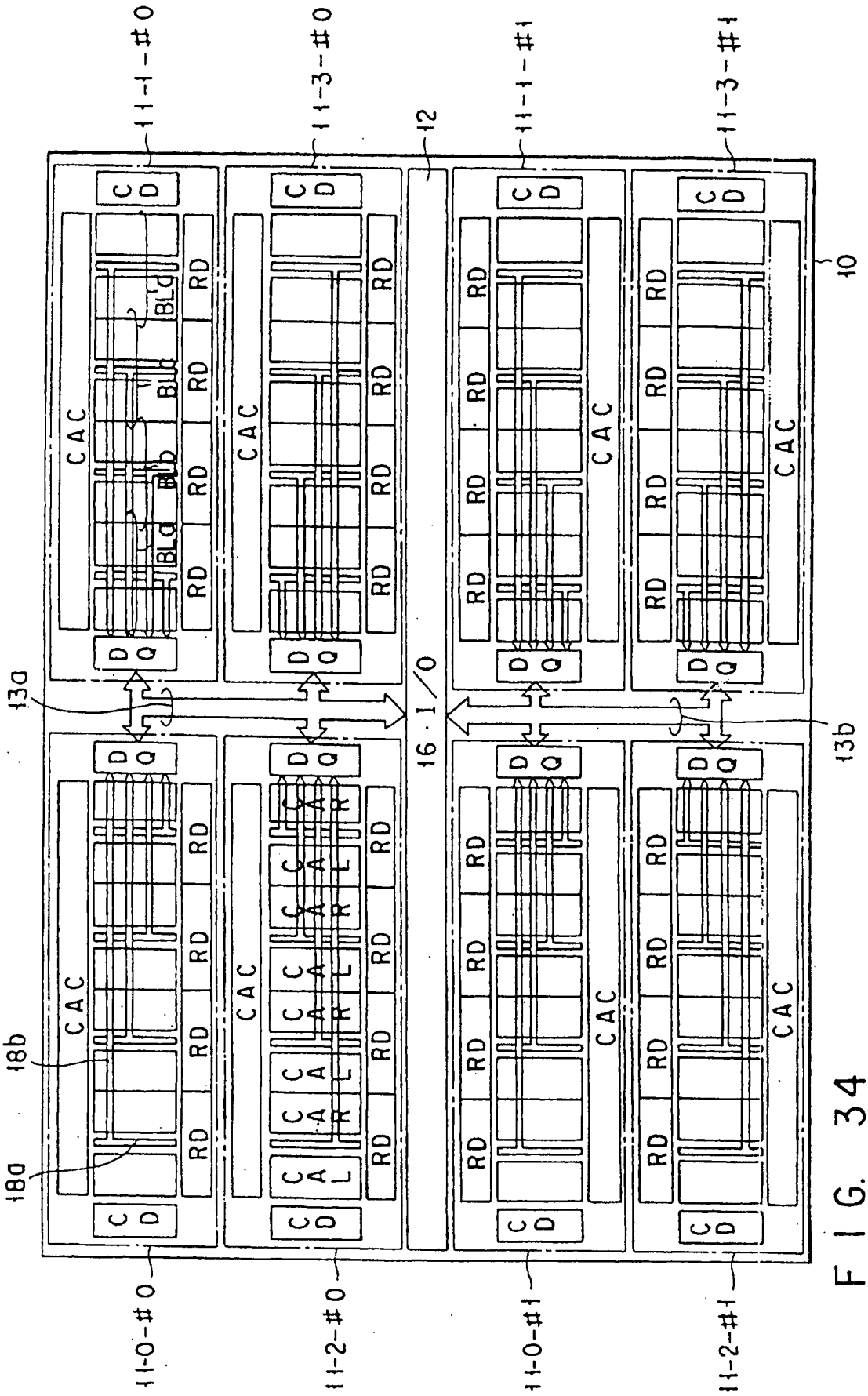

11-1-#0
11-3-#0
12
11-1-#1
11-3-#1
10
13a
16·1/0
13b
18b
18a
11-0-#0
11-2-#0
11-0-#1
11-2-#1
CAC
RD
C
D
Q
BLd
BLd
BLd
BLd

FIG. 34

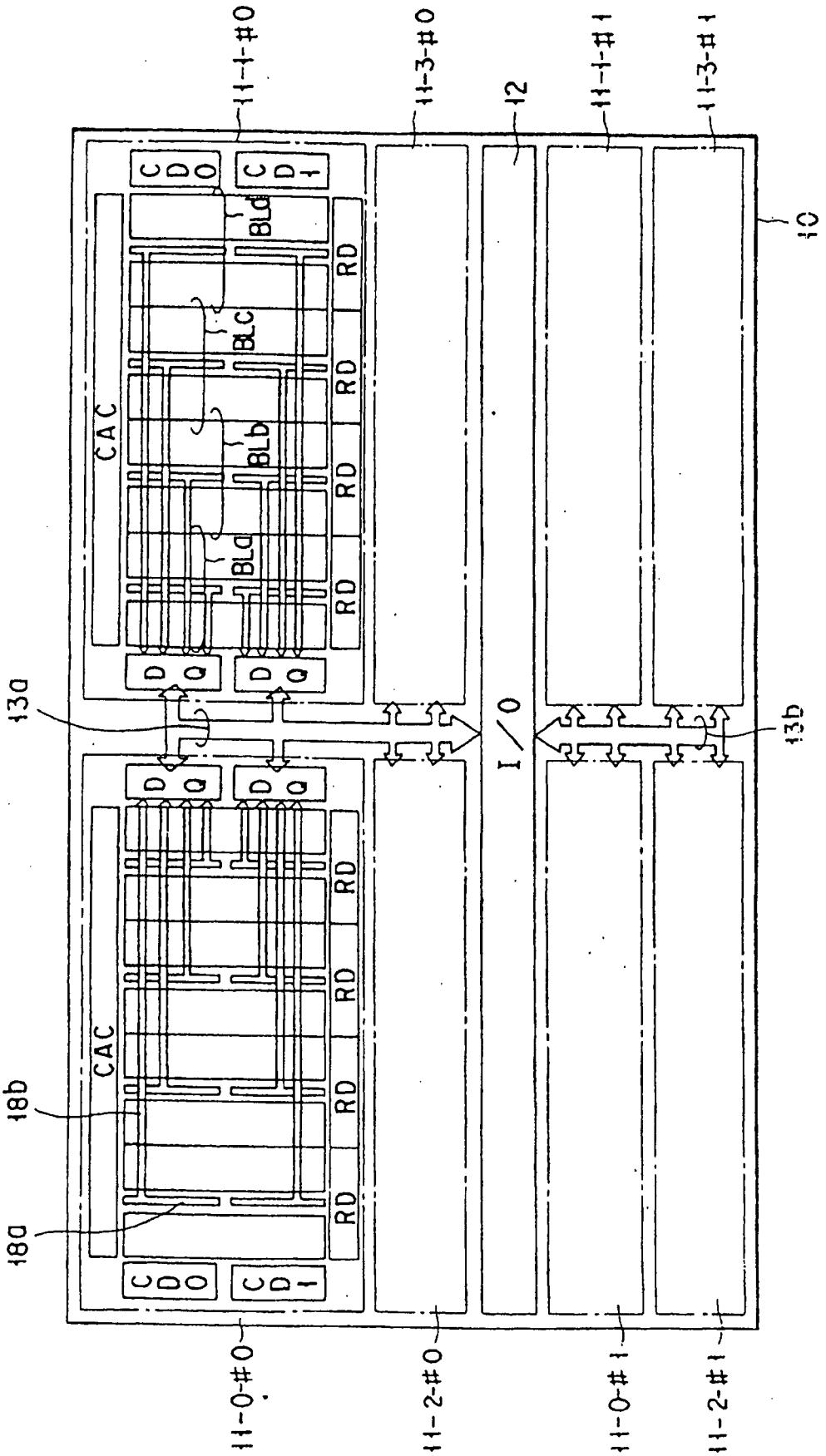

11-1-#0
11-3-#0
12
11-1-#1
11-3-#1
10
CAC
CAC
BLa
BLb
BLc
BLd
RD
D
Q
13a
13b
I/O
18a
18b
11-0-#0
11-2-#0
11-0-#1
11-2-#1

FIG. 35

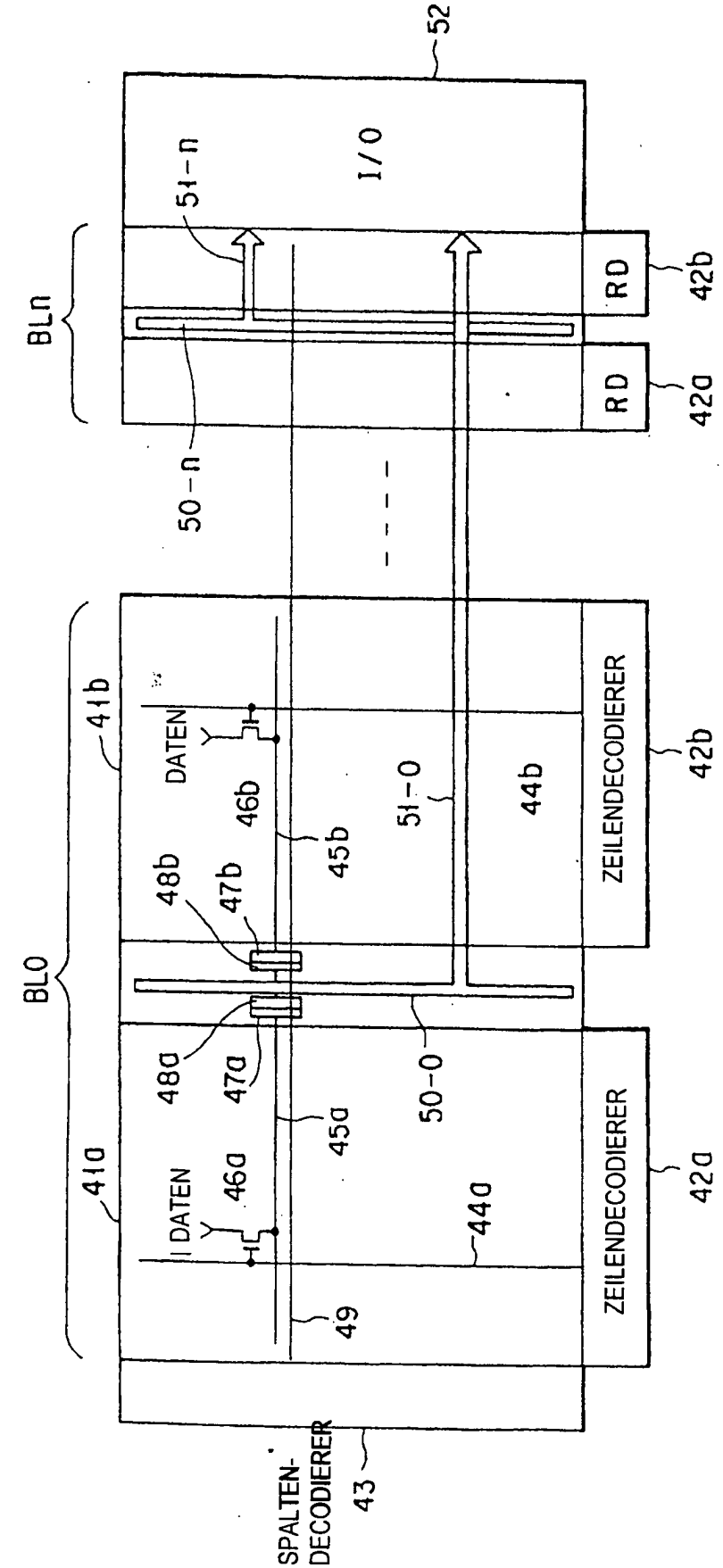

52
I/O
51-n
BLn
RD
42b
RD
42a
50-n
41b
DATEN
46b
45b
51-0
44b
48b
47b
ZEILENDECODIERER
42b
BL0
48a
47a
50-0
45a
41a
DATEN
46a
44a
49
ZEILENDECODIERER
42a
SPALTEN-
DECODIERER
43

FIG. 36

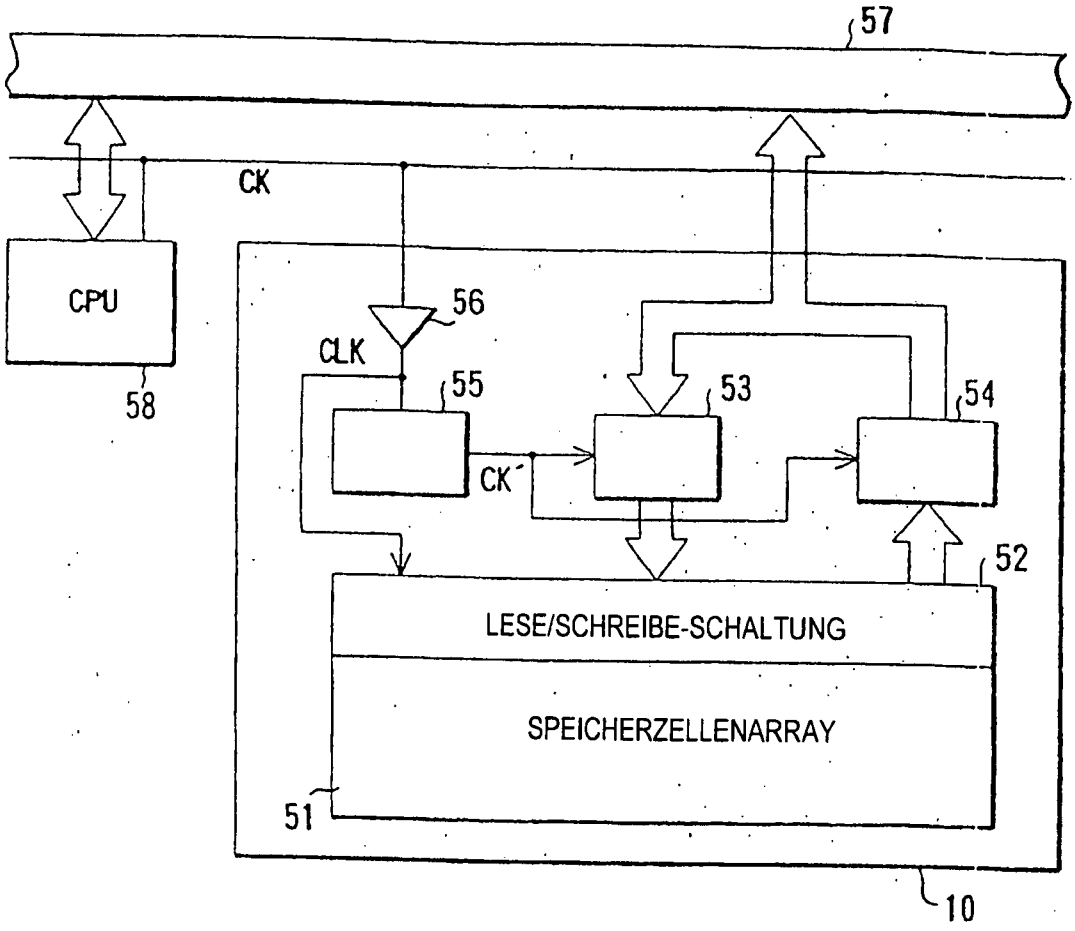

57
CK
CPU
58
56
CLK
55
53
54
CK'
52
LESE/SCHREIBE-SCHALTUNG
SPEICHERZELLENARRAY
51
10

FIG. 37