

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4013498号
(P4013498)

(45) 発行日 平成19年11月28日(2007.11.28)

(24) 登録日 平成19年9月21日(2007.9.21)

(51) Int.C1.

F 1

G03F 7/20 (2006.01)
H01L 21/027 (2006.01)G03F 7/20 505
H01L 21/30 529

請求項の数 2 (全 16 頁)

(21) 出願番号 特願2001-217152 (P2001-217152)
 (22) 出願日 平成13年7月17日 (2001.7.17)
 (65) 公開番号 特開2003-29419 (P2003-29419A)
 (43) 公開日 平成15年1月29日 (2003.1.29)
 審査請求日 平成16年2月18日 (2004.2.18)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100079108
 弁理士 稲葉 良幸
 (74) 代理人 100080953
 弁理士 田中 克郎
 (74) 代理人 100093861
 弁理士 大賀 真司
 (72) 発明者 長坂 公夫
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72) 発明者 宮前 章
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】パターン描画装置及びパターン描画体の製造方法

(57) 【特許請求の範囲】

【請求項 1】

パターンを描画すべき基板上に同心円状に配列される複数のトラックを形成して二次元パターンを描画するパターン描画装置であって、

1のトラック上に描画すべき基本画素列をメモリに記憶し、当該1のトラック上の少なくとも2箇所に記憶された前記基本画素列を正あるいは逆に並べることを繰り返し、これを連続な複数トラックについて行うことによって、前記二次元パターンを形成するものあり、

前記1のトラック上に描画すべき基本画素列の前記メモリへの記憶が、前記パターンの画素データをX-Y座標系に対応したアドレスで記憶しているパターン記憶装置から、前記1のトラック上の位置を示す極座標の値に対応した前記X-Y座標系の値に対応するアドレスで前記パターン記憶装置から読出して前記メモリに記憶させる描画データ生成部によって行われる、ことを特徴とするパターン描画装置。

【請求項 2】

パターンを描画すべき基板上に同心円状に配列される複数のトラックを形成して二次元パターンを描画するパターン描画体の製造方法であって、

1のトラック上に描画すべき基本画素列をメモリに記憶し、当該1のトラック上の少なくとも2箇所に記憶された前記基本画素列を正あるいは逆に並べることを繰り返し、これを連続な複数トラックについて行うことによって、前記二次元パターンを形成するものあり、

前記 1 のトラック上に描画すべき基本画素列の前記メモリへの記憶が、前記パターンの画素データを X - Y 座標系に対応したアドレスで記憶しているパターン記憶装置から、前記 1 のトラック上の位置を示す極座標の値に対応した前記 X - Y 座標系の値に対応するアドレスで読出して前記メモリに記憶させることによって行われる、ことを特徴とするパターン描画体の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、集積回路、表示装置、光学素子等の製造過程において、基板上の薄膜などに微細なパターン形成を行うパターン描画装置に関する。 10

【0002】

【従来の技術】

半導体基板や光学素子等の製造過程においては、薄膜のパターニング工程が不可欠である。パターニングは、例えば、被処理膜にフォトレジストを塗布し、該フォトレジストにパターンを露光し、露光したレジストの現像処理を行い、残ったレジストをマスクとして被処理膜のエッチング処理を行うことによって行われる。上記パターンの露光にはパターン描画装置が使用される。パターン描画には、フォトマスクを使用する面露光の他に、光ビームによる線走査によって露光を行うものがある。後者は光ディスクの原盤の作成や自由なパターンの描画に使用される。例えば、特開昭 59-171119 号、特開平 10-11814 号などには、回転走査系によるパターン描画装置が記載されている。これ等のパターン描画装置は、フォトレジストが塗布された基板をターンテーブルに載置し、パターンデータで変調されたレーザ光で回転走査することによって該基板にパターンを描画している。 20

【0003】

【発明が解決しようとする課題】

しかしながら、上述した回転走査系のパターン描画装置では、スキヤナなどによって X - Y 座標系で取り込まれた元のパターンデータを r - 座標系のデータに変換し、これを一旦メモリに記憶する。そして、基板の回転に同期してメモリから画素データを呼び出して光ビームを変調することによって、基板上に塗布されたフォトレジストを露光してパターンを描画している。従って、記憶した描画すべきパターンを少なくとも一回転走査(1 トラック分)する毎に r - 座標系のデータに変換する。高解像度のパターンを描画しなければならない場合は、1 トラックの円周の全ての描画点に対して X - Y 座標系から r - 座標系にデータ変換をしなければならないので、演算量が増大して変換時間が長くなり、高速の描画が制限される。また、CPU の演算処理能力が相対的に低い場合には、高解像度や多値レベルのパターンの描画が制限される。これに伴って、大容量のメモリも必要となる。 30

【0004】

よって、本発明は、同程度の処理能力の CPU であってもより高速の描画を可能とするパターン描画装置を提供することを目的とする。

【0005】

また、本発明は、同程度の処理能力の CPU であってもより高解像度の描画を可能とするパターン描画装置を提供することを目的とする。 40

【0006】

【課題を解決するための手段】

上記目的を達成するために本発明のパターン描画装置は、パターンを描画すべき基板上に同心円状に配列される複数のトラックを形成してパターンを描画するパターン描画装置において、1 のトラック上の少なくとも 2 箇所に各トラック毎の基本となる基本画素列を正あるいは逆に並べることを繰り返し、これを連続な複数トラックについて行うことによって、上記パターンを形成する。

【0007】

かかる構成とすることによって、より少ないX-Y座標系からr-θ座標系への変換画素データでパターンを描画することが可能となる。

【0008】

好ましくは、上記基板は周方向において分割した複数のセクタ領域とこのセクタ領域の1つ又は連続する複数を組み合わせたクラスタ領域とに画定されて前記クラスタ領域を複数含み、上記基本画素列が前記クラスタ領域のトラック上に並べられる。

【0009】

かかる構成とすることによって、全体のパターン形成の制御プログラムが容易となる。

【0010】

好ましくは、上記基本画素列の間にパターンを形成しない疑似画素列を並べる。それにより、パターンデータの変換を不要として描画処理の演算負担を軽減する。10

【0011】

好ましくは、上記クラスタ領域以外のセクタ領域のトラック上にパターンを形成しない疑似画素列が並べられる。それにより、セクタ単位で描画の有無を設定可能となり、パターン形成のプログラムを容易化することが可能となる。

【0012】

好ましくは、上記トラックは、画素データによって変調された描画ビームによって基板を回転走査した軌跡である。例えば、光ビームと感光膜によるパターン描画が容易に行える。

【0013】

本発明のパターン描画体の製造方法は、パターンを描画すべき基板上に同心円状に配列される複数のトラックを形成してパターンを描画するパターン描画体の製造方法において、1のトラック上の少なくとも2箇所に各トラック毎の基本となる基本画素列を正あるいは逆に並べることを繰り返し、これを連続な複数トラックについて行うことによって、上記パターンを形成する。20

【0014】

好ましくは、上記基板を周方向において分割した複数のセクタ領域とこのセクタ領域の1つ又は連続する複数を組み合わせたクラスタ領域とに画定し、上記基板に上記クラスタ領域を複数含め、上記基本画素列を上記クラスタ領域のトラック上に並べる。

【0015】

好ましくは、上記クラスタ領域以外のセクタ領域のトラック上にパターンを形成しない疑似画素列が並べられる。30

【0016】

また、本発明のパターン描画体を備えた装置の製造方法は、上述したパターン描画体の製造方法のいずれかに記載の方法により該パターン描画体を得るようにした装置の製造方法であることを特徴とする。

【0017】

上述したパターン描画装置、描画方法は、集積回路等の半導体装置、LCD表示装置、電気泳動表示装置等の表示装置、フォトマスク、反射板、導光板、回折格子等の光学装置、等のパターン描画体を備えた装置の製造に使用される。40

【0018】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0019】

図1は、本発明のパターン描画装置の全体構成を説明するブロック図である。

【0020】

同図において、光ビーム光源としてのレーザ光発生装置11から出射された光ビーム(レーザ光)12は電気光学変調器(EOM)13を経てハーフミラー14に至る。光ビーム12はその一部がハーフミラー14を通過して第1の光検出器15に入射し、その他は反射して音響光学変調器(AOM)17に入射する。光ビーム12は光検出器15によって50

その強度が検出される。検出された光強度はレベル信号に変換され、光検出器 15 からレベル調整器 16 に供給される。レベル調整器 16 は、光ビームスポット 21 のターンテーブル 31 の径方向における位置 r に応じて電気光学変調器 13 に印加する制御信号を制御して透過量を設定し、光ビームの強度を調整する。それにより、ターンテーブル 31 の回転制御を角速度一定 (C A V) で行った場合に、フォトレジストを走査する光ビームの露光エネルギー密度が常に一定となるようにする。上述した、電気光学変調器 13 、第 1 の光検出器 15 、レベル調整器 16 等はレベル調整ループを構成する。

【 0021 】

ハーフミラー 14 で反射した光ビーム 12 は、上述した、レベル調整ループで所定強度に調整されて、音響光学変調器 (A O M) 17 、反射ミラー 18 、反射ミラー 19 、及び対物レンズ 20 を経てターンテーブル 31 に上に導出される。音響光学変調器 17 は、後述のパターンジェネレータ 40 から供給されるパターン信号に応じて透過率を変えることによって光ビーム 12 を強度変調する。対物レンズ 20 は、光ビーム 12 を基板 32 上に集光し、光スポット 21 を形成する。光スポット 21 は、図示しない、フォーカスサーボによって一定の径 (あるいは焦点深度) になるように制御されている。フォーカスサーボとしては、例えば、スキュー法を採用することができる。また、基板に複数の積層膜が形成されている場合、当該複数の積層膜の特定の膜に焦点を合わせるように調整することも可能である。光スポット 21 の径は、一回転走査の径方向の幅 (ラックの幅) に相当し、パターンの書き込み (描画) に使用される。

【 0022 】

基板 32 を載置するターンテーブル 31 は、スピンドルモータ 35 によって回転駆動される。この回転は図示しない駆動回路によって行われるが、該回路はパターンジェネレータ 40 から供給されるクロック信号に従って駆動信号を発生する。また、ターンテーブル 31 は、その径方向に移動するスライダ 34 に載置され、スライダ 34 は送りモータ 33 によって駆動される。ターンテーブル 31 の一回転でスライダが 1 ピッチ送られるようすることで光スポット 21 による渦巻き状の回転走査軌跡が得られる。送りモータ 33 の送り量はパターンジェネレータ 40 によって制御される。なお、ターンテーブル 31 を移動するだけでなく、別途のスライダによって結像光学系 (18 ~ 21) をターンテーブルの径方向に移動することとしても良い。

【 0023 】

図 2 は、パターンジェネレータ 40 の構成を説明する機能ブロック図である。パターンジェネレータ 40 は、描画点座標生成部 401 、描画データ生成部 402 、パターン記憶部 403 、メモリ 404 、メモリコントローラ 405 、 D / A 変換器 406 、発振器 407 等によって構成される。これ等機能は、コンピュータシステムによって実現することが可能である。

【 0024 】

描画点座標生成部 401 は、メモリコントローラ 405 から供給されるデータ転送要求信号に従って、描画するラックの各画素のアドレスをターンテーブルに対応した極座標 (r_i, θ_i) 形式で出力する。例えば、1 ラック分の画素アドレス群を連続的に発生する。描画データ生成部 402 は、極座標で表される各画素 (r_i, θ_i) のアドレスを、これに対応する X - Y 座標系の位置 (x_i, y_i) のパターンデータのアドレスに変換する。極座標 (r_i, θ_i) と X - Y 座標 (x_i, y_i) との座標の変換は、 $x_i = r_i \cos \theta_i$ 、 $y_i = r_i \sin \theta_i$ の関係式により行える。ここで、 r_i は、 X - Y 座標の原点位置 O (0, 0) から任意の位置 P (x_i, y_i) の画素までの距離 OP (ラック番号 r_i に相当する) であり、 θ_i は X 軸と線分 OP とがなす角度である。基板上に描画すべきパターンのデータは、例えば、スキャナ等によって二次元表示されるビットマップデータとして予めパターン記憶部 403 に保持されている。また、 CAD データ (コンピュータによるパターン設計データ) 等を変換したものであっても良い。記憶部 403 には、描画すべき前記パターンの形成に関する情報も記憶される。この情報は、メモリ 404 を介してメモリコントローラ 405 に提供される。描画データ生成部 402 は、上述した、描画点座標生成部 401

10

20

30

40

50

1から供給される一連の極座標アドレス(r_i, θ_i)に対応するX-Y座標系のアドレス(x_i, y_i)でパターン記憶装置403から描画すべきパターンの画素データを読み出し、メモリ404に記憶させる。例えば、1トラック分の画素データがメモリ404に記憶される。

【0025】

メモリ404は、例えば、図3に示すように、バンクAとバンクBの2つの領域を備えており、一方の領域を読み出しあるいは書き込み中に他方の領域を書き込みあるいは読み出すことが可能である。バンクAは、メモリのアドレス[0]～[SizeBank-1]の領域が割り当てられ、バンクBは、メモリのアドレス[SizeBank]～[2×SizeBank]の領域が割り当てられる。メモリコントローラ405がバンクAの現在の読み出しアドレス、アドレス[adrCrrnt]のデータD[adrCrrnt]を読み出し中に、バンクBのデータが更新される。従って、1のトラック分の画素データ群を読み出し中に、次のトラックの画素データ群を書き込むことができ、FIFO(First In First Out)の動作を行うことができる。10

【0026】

メモリコントローラ405は、メモリ404から各トラックの画素データを逐次読み出してD/A変換器406に供給し、音響光学変調器17の変調入力を得る。音響光学変調器17の透過率を画素データに応じて設定することによって光ビームを画素データで変調する。

【0027】

メモリコントローラ405は、メモリ404の一方のバンクから1トラック分の画素データの読み出しが終了すると、他方のバンクから次の1トラックの画素データの読み出しを行うと共に、描画点座標生成部分401にデータ転送要求信号を発し、更に、次のトラックの画素データのアドレスを出力させる。これを繰り返して、描画点座標生成部分401が第1のトラックの画素データのアドレスから最終トラックの画素データのアドレスまでを発生すると、基板上のパターンを描画すべき領域の画素のアドレスが読み出される。画素データを供給するメモリコントローラ405及びD/A変換器406は発振器407から供給されるクロック信号に同期して動作するが、この発振器407の出力するクロックはスピンドルモータ35及び送りモータ33の回転制御にも使用され、ターンテーブル31の回転、スライダ34の径方向移動が画素データの送りと同期するようになされる。従って、ターンテーブル31及びスライダ34の回転制御系の各送り33とデータの送りとが同期し、 $r - \theta$ 系座標の回転走査によってパターンが描画される。20

【0028】

本発明の実施例においては、前述した、描画点座標生成、描画データ生成における座標変換などの演算処理量を減らすべく、パターンジェネレータ40は、以下に述べるような、メモリに記録されたデータの繰り返し利用、非描画領域におけるゼロデータ生成等を行う機能を更に備える。

【0029】

図4は、実施例において基板32に描くパターンの例を示している。このパターンは、円形の基板32の中心より上側の右半分の領域に描かれる描画パターン1、該基板の上側の左半分の領域に描かれる描画パターン2、該基板の下側半分の領域に描かれる非描画領域で構成されている。描画パターン1及び2は、基板の中心を通る線に対して線対称の図形であり、図示の例では、描画パターン1及び2は、四角の中に矢印が描かれている。また、描画パターン1を形成する走査軌跡を軌跡1、描画パターン2を形成する走査軌跡を軌跡2、非描画領域を走査する軌跡を軌跡3として図4中に示している。40

【0030】

このようなパターンを描画する、パターンジェネレータ40の動作について説明する。前述したように、メモリ404はバンクA及びBの2つのバンクを含み、各バンクの記憶容量(サイズ)はSizeBankであるが、この記憶容量は軌跡1でパターン1を描画するに必要な容量よりも大きい容量が確保されている。アドレス[adrCrrnt]のデータをD[adrCrrnt]で表す。50

【0031】

パターンジェネレータ40は、図5に示すように、描画領域を同サイズの扇形の領域のセクタに分割して処理を行う。この例では、一周の走査軌跡（1トラック）を24のセクタに分割している。セクタ数は描画パターンに応じて適宜に選定される。このセクタを単一又は連続した複数でまとめてクラスタを構成する。図示の例では、描画パターン1、描画パターン2、非描画領域に対応してクラスタ+（セクタ0～5）、クラスタ-（セクタ6～11）、ダミークラスタ（セクタ12～23）として各セクタを割り当てている。クラスタ+では、描画パターン1に対応してメモリアドレスを順方向に走査する。それにより、基板上に基本画素列を描画する。クラスタ-では、描画パターン2に対応してメモリアドレスを逆方向に走査する。それにより、基板上に上記基本画素列を逆の並びで描画する。クラスタ+及びクラスタ-のセクタ数は同じである。非描画領域では、アドレスは変化せず疑似（零）データを生成する。

【0032】

この場合のメモリコントローラ405の処理をフローチャートを参照して説明する。図6は、メモリコントローラ405のメインルーチンを説明するフローチャートである。図7は、データ出力サブルーチンを示すフローチャートである。図8は、セクタ以外のドット（画素）処理を行うサブルーチンを説明するフローチャートである。図9は、トラックの最終ドット処理のサブルーチンを説明するフローチャートである。図10は、クラスタの最終ドット処理のサブルーチンを説明するフローチャートである。図11は、クラスタ以外の最終ドットを処理するサブルーチンを説明するフローチャートである。

【0033】

各フローチャートにおいて使用される演算子、変数、定数は、次のように定義される。これ等変数等は、装置の動作状態をモニタするコンピュータによって隨時更新される。

【0034】

<= : 右辺から左辺への代入
++ : インクリメント
-- : デクリメント
= ? : 比較

cntDot_Sect : セクタ内（かつ1トラック内）で何番目のドットを処理するかを示す変数

。

【0035】

cntSect_Rev : トラッカ内で何番目のセクタを処理するかを示す変数。

【0036】

cntSect_Clist : クラスタ内で何番目のセクタを処理するかを示す変数。

【0037】

cntTrack : 描画領域内で何番目のトラックを処理するかを示す変数。

【0038】

adrCrrnt : メモリコントローラがメモリにアクセスするためのアドレス。

【0039】

NDot_Clist : 1トラック上の1セクタを構成するドットの数。

【0040】

NSect_Rev : 1トラックを構成するセクタの数。本例では、24である。

【0041】

NSect_Clist : 1クラスタを構成するセクタの数。本例では、6である。

【0042】

adrFrnt : 次のクラスタ+の先頭ドットに対応するアドレス。

【0043】

変数adrCrrntは、サイズ $2 \times \text{SizeBank}$ で巡回する。すなわち、 $\text{adrCrrnt} = 2 \text{SizeBank}-1$ のとき、adrCrrntをインクリメントすると、 $\text{adrCrrnt} = 0$ となる。逆に、 $\text{adrCrrnt} = 0$ のときに、adrCrrntをデクリメントすると、 $\text{adrCrrnt} = 2 \text{SizeBank}-1$ となる。

10

20

30

40

50

【0044】

図6に示すように、メモリコントローラは、描画開始が指令されると初期化を行う。すなわち、変数cntDot_Sect、cntSelect_Rev、cntSect_Clst、cntTrack、adrCrrntをそれぞれ0に設定する。また、描画領域にクラスタ+を選択し、描画領域の該当フラグを設定する(S12)。

【0045】

次に、描画中のトラックの番号が描画終了のトラック番号になったかどうかを、変数cntTrackの値が描画トラックの終了を示す終了値NTrackになったかどうかによって判別する(S14)。描画トラックの終了に該当する場合には(S14; Yes)、描画処理を終了する(S16)。

10

【0046】

初期状態では、まだ、最終描画トラックの終了には該当しないので(S14; No)、メモリ404に記憶された画素データのデータ出力を行う(S18)。現在のセクタの処理ドット番号が該セクタの最終ドット番号であるかどうかを、変数cntDot_SectがNDot_Clst-1と等しいかどうかによって判別する。なお、変数は「0」より始まるので、最後のドット番号はNDot_Clst-1となる(S20)。まだ、セクタの最終ドットに至らない場合には(S20; No)、セクタの読み出しドットの番号を「1」増加し(S22)、セクタの最終ドット以外の処理を行う(S24)。

【0047】

セクタの最終ドット以外の処理は、図8に示すように、現在の描画領域が、ダミー領域、クラスタ+領域、クラスタ-のいずれであるかを判別する(S242)。ダミー領域であるときは、このサブルーチンを終了してステップS14に戻る。クラスタ+領域であるときは、メモリ404にアクセスするアドレスを「1」増加して(S244)、ステップS14に戻る。クラスタ-であるときはメモリ404にアクセスするアドレスを「1」減少し(S246)、ステップS14に戻って処理手順を繰り返す。

20

【0048】

セクタの処理ドット番号が該セクタの最終ドット番号であるとき(S20; Yes)、描画点の次セクタへの移動に対応してセクタのドット番号を示す変数cntDot_Sectを「0」に設定(リセット)する(S20)。

【0049】

次に、セクタの番号がトラックの最後のセクタ番号かどうかを、変数cntSect_Revと変数N_Sect_Rev-1とを比較して判別する(S28)。まだ、最後のセクタではないとき(S28; No)、変数cntSect_Revを増加し、セクタ番号を「1」増加する(S30)。

30

【0050】

現在の描画点の領域がダミー領域であるかどうかを判別する(S32)。ダミー領域であるときは(S32; Yes)、後述するように、「0」データを出力することとし、メモリ404からの読み出しを行わないので、ステップS14に戻って処理手順を繰り返す。

【0051】

ダミー領域でないときは(S32; No)、現在の描画点のセクタが該当クラスタ内の最後のセクタかどうかを、変数cntSect_Clstと変数N_Sect_Clst-1とを比較して判別する(S40)。最後のセクタではない場合(S40; No)、セクタの最終ドットになっているので(S20; Yes)、変数cntSect_Clstを「1」増加し(S42)、クラスタの最終ドット以外の処理を行う(S44)。

40

【0052】

このクラスタの最終ドット以外の処理は、図9に示すように、現在の描画領域が、クラスタ+領域、クラスタ-のいずれであるかを判別する(S442)。クラスタ+領域であるときは、メモリ404にアクセスするアドレスを「1」増加して(S444)、ステップS14に戻る。クラスタ-であるときはメモリ404にアクセスするアドレスを「1」減少し(S446)、ステップS14に戻って処理手順を繰り返す。

【0053】

50

次に、現在の描画点のセクタが該当クラスタ内の最後のセクタである場合 (S 4 0 ; Yes)、変数cntSect_CListに「 0 」を設定してカウントをリセットする (S 4 2)。クラスタの最終ドットの処理を行う (S 4 4)。

【 0 0 5 4 】

クラスタの最終ドットの処理は、図 1 0 に示すように、現在の描画領域が、クラスタ + 領域、クラスタ - のいずれであるかを判別する (S 4 4 2)。クラスタ + 領域であるときは、次のクラスタの先頭ドットのアドレスAdrFrntとして現在のメモリ 4 0 4 にアクセスするアドレスadrCrrntに「 1 」を加えたものを設定する (S 4 8 4)。領域フラグをクラスタ - に設定し (S 4 8 6)、ステップ S 1 4 に戻る。現在の描画領域がクラスタ - であるときは変数adrCrrntに変数adrFrntを設定する (S 4 4 8)。領域フラグをダミーに設定し (S 4 9 0)、ステップ S 1 4 に戻って処理手順を繰り返す。10

【 0 0 5 5 】

次に、トラックの最後のセクタである場合 (S 2 8 ; Yes)、変数cntSect_Revに「 0 」を設定して、セクタ番号をリセットし (S 5 0)、変数cntTrackを「 1 」増加して、処理トラックを次トラックに設定する (S 5 2)。トラックの最終ドット処理を行う (S 5 4)。

【 0 0 5 6 】

トラックの最終ドット処理は、図 1 1 に示すように、現在の描画領域が、ダミー領域、クラスタ + 領域、クラスタ - のいずれであるかを判別する (S 5 4 2)。ダミー領域であるときは、領域フラグにクラスタ + を設定し (S 5 4 8)、ステップ S 1 4 に戻って処理手順を繰り返す。20

【 0 0 5 7 】

現在の領域がクラスタ + 領域であるときは、変数adrCrrntに「 1 」を加えて、メモリのアクセスアドレスを増加し (S 5 4 4)、領域フラグにクラスタ + を設定し (S 5 4 8)、ステップ S 1 4 に戻って処理手順を繰り返す。

【 0 0 5 8 】

現在の描画領域がクラスタ - であるときは変数adrCrrntに変数AdrFrntを設定し (S 5 4 6)、領域フラグにクラスタ + を設定し (S 5 4 8)、ステップ S 1 4 に戻って処理手順を繰り返す。

【 0 0 5 9 】

ステップ 1 4 から上述した手順を繰り返してメモリ 4 0 4 のアドレス指定を行ってデータの読み出しを繰り返す。30

【 0 0 6 0 】

このようにして、メモリコントローラ 4 0 5 がメモリ 4 0 4 のアドレス指定を行ってドット(画素)データを読み出し、パターンを描画する。

【 0 0 6 1 】

図 1 2 は、メモリコントローラ 4 0 5 のデータ送信要求信号の生成を説明するフローチャートである。前述したように、メモリコントローラ 4 0 5 は、メモリ 4 0 4 のバンク A のデータを読み終えると、データ転送要求信号を描画点座標生成部 4 0 1 に送信する。このルーチンでは、描画点座標生成部 4 0 1 はSizeBank分の座標を生成し、描画データ生成部 4 0 2 は各描画点のデータをバンク A に送信する。バンク B のデータを読み終えたときも同様の処理を行う。40

【 0 0 6 2 】

データ転送要求処理は、まず、データ転送要求フラグbankReqに「 0 」を設定し、リセットする (S 6 2)。次に、現在の読み出し位置が所定位置、すなわち、トラック内のセクタが 0 番でセクタ内のドット番号も 0 番であるトラックの先頭セクタのセクタ先頭位置であるかを、変数cntSect_Revが「 0 」で、かつ変数cntDot_Sectも「 0 」であるかを判別する (S 6 4)。

【 0 0 6 3 】

このトラックのセクタ先頭位置である場合には (S 6 4 ; Yes)、メモリコントローラ50

405がメモリ404のA又はBバンクの最終アドレスにアクセスしたかどうかを後述する変数crossBorderの値によって判別する(S66)。変数crossBorderの値が「1」ではなく、まだ、最終のアドレスにアクセスしていない場合(S66;No)、データ転送要求を発生することなく、ステップ64に戻り、処理を繰り返す。最終のアドレスにアクセスした場合(S66;Yes)、データ転送要求フラグbankReqに「1」を設定し、データ転送要求信号を描画点座標生成部401に送出して(S68)、ステップS64に戻り、処理を繰り返す。

【0064】

一方、現在の読み出し位置がトラックのセクタ先頭位置ではないとき(S64;No)、データ転送要求が発生しているかどうかを、変数bankReqが「1」であるかどうかによってを判別する(S70)。データ転送要求が発生していないときは(S70;No)、ステップS64に戻り、処理を繰り返す。データ転送要求が発生していないときは(S70;Yes)、変数bankReqに「0」を設定して、変数bankReqをリセットし(S72)、ステップS64に戻る。変数bankReqはリセットされてデータ転送要求は消滅する(S62)。処理ステップ64～ステップS72の各一つのループは発振器407のクロックに同期している。データ転送要求信号bankReqはメモリ上の必要なデータの上書きを防止するために、ターンテーブルの回転と同期して転送される。描画データの再利用は1周内で繰り返し行うことができる。

【0065】

図13は、バンク切換りの検出を行う変数crossBorderを説明するフローチャートである。変数crossBorderは、メモリコントローラがバンクA又はBの最終のアドレスにアクセスすると「1」となり、変数bankReq信号の出力後「0」になる。

【0066】

まず、バンク切換りの検出処理は、メモリコントローラが変数crossBorderをリセットする(S82)。現在のメモリ404の読み出しアドレスがAバンクの最大アドレスになっているか、あるいはBバンクの最大アドレスになっているかどうかを、読み出しアドレスを示す変数adrCrrntの値がSizeBank-1あるいは2SizeBank-1と等しいかどうかによって判別する(S84)。メモリ404の読み出しアドレスがA又はBバンクの最終アドレスとなっている場合には(S84;Yes)、片バンクの読み出し終了、あるいはメモリバンクの境界に読み出し位置があることを示す変数crossBorderを「1」に設定し(S86)、ステップ64に戻って処理を繰り返す。

【0067】

メモリ404の読み出しアドレスがA又はBバンクの最終アドレスではない場合には(S84;No)、データ転送要求が発生しているかどうかを、変数bankReqが「1」であるかどうかによってを判別する(S88)。データ転送要求が発生していないときは(S88;No)、ステップS84に戻り、処理を繰り返す。データ転送要求が発生しているときは(S88;Yes)、変数crossBorderを「0」を設定して、変数crossBorderをリセットし(S90)、ステップS84に戻る。変数crossBorderはリセットされてバンク切換り信号は消滅する(S62)。処理ステップ84～ステップS90の各一つのループは発振器407のクロックに同期している。このように、変数crossBorderはバンクの境界を読み出しアドレスが通過すると、「1」となり、変数bankReqが「1」になり、データ転送要求信号が発生すると「0」にリセットされる。

【0068】

これ等の一連の動作を動作を繰り返すことによって描画点データを生成する処理が従来よりも半減し、高速描画可能となる。

【0069】

図14は、他の実施例を説明する説明図である。この例では、「J」状の矢印の1のパターンデータを用いて4つのパターンを描画する例を示している。1トラックの軌跡を形成する、互いに等しい長さの軌跡1、2、3及び4を同じ描画データで描くことによって、4つのパターンを形成している。

10

20

30

40

50

【0070】

図15は、この場合のクラスタのレイアウトを示している。描画領域は、24セクタに分割され、セクタ0～5がクラスタ0+、セクタ6～11がクラスタ1+、セクタ12～17がクラスタ2+、セクタ18～23がクラスタ3+となっている。ここで、クラスタの「+」は、アドレス指定が増加(順)方向に読み出されることを示している。

【0071】

この実施例では、図6に示した処理のサブルーチンの内容が図16乃至20のように変更される。

【0072】

すなわち、図16に示されるように、セクタの最終ドット以外の処理(S24)は、メモリコントローラ405がメモリ404にアクセスするアドレスを「1」増加して(S244)、ステップS14に戻る。また、図17に示されるように、トラックの最終ドットの処理(S54)は、メモリコントローラ405がメモリ404にアクセスするアドレスを「1」増加する(S544)。更に、クラスタの先頭ドットに対応するメモリアドレスを示す変数adrBackに現在アドレスのadrCrrntの値を設定し(S545)、ステップS14に戻る。クラスタの最終ドットの処理(S48)は、図18に示されるように、メモリコントローラ405がメモリ404にアクセスするアドレスをadrBackに設定して「1」増加して(S244)、ステップS14に戻る。クラスタの最終ドット以外の処理(S44)は、図19に示すように、メモリコントローラ405がメモリ404にアクセスするアドレスを「1」増加して(S244)、ステップS14に戻る。

10

20

【0073】

この第2の実施例では、描画点座標生成部401、描画データ生成部402が全面の描画点データを生成するようにした場合に比べて、同じデータを4回使用するので約1/4の処理データ量となる。

【0074】

このように、本発明の実施例によれば、所定のトラック範囲において、基本となるパターンのデータを繰り返し使用し、あるいはダミーデータを使用して全体のパターンを描画するので、全体のパターンデータをデータ変換する場合に比べてデータ変換に要する演算の負担が減少する。

【0075】

30

【発明の効果】

以上説明したように、本発明のパターン描画装置によれば、R- 座標系にデータ変換されたデータを繰り返し使用してパターンを描画するようにしたので、データ変換の演算処理量が減少し、より高速な描画が可能となる。また、解像度の向上も可能となる。

【図面の簡単な説明】

【図1】図1は、本発明のパターン描画装置の全体構成を説明する機能ブロック図である。

【図2】図2は、パターンジェネレータ40の構成例を説明するブロック図である。

【図3】図3は、メモリ404の内部領域の使用例を説明する説明図である。

【図4】図4は、第1のパターンの描画例を説明する説明図である。

40

【図5】図5は、第1のパターンを描画する際の、セクタ、クラスタの構成例を説明する説明図である。

【図6】図6は、メモリコントローラ405の、メモリ404からのデータ読み出し動作を説明するフローチャートである。

【図7】図7は、データ出力の処理を説明するフローチャートである。

【図8】図8は、セクタの最終ドット以外の処理を説明するフローチャートである。

【図9】図9は、クラスタの最終ドット以外の処理を説明するフローチャートである。

【図10】図10は、クラスタの最終ドットの処理を説明するフローチャートである。

【図11】図11は、トラックの最終ドットの処理を説明するフローチャートである。

【図12】図12は、データ転送要求信号の生成を説明するフローチャートである。

50

【図13】図13は、メモリ内の読み出しバンクの切替を説明するフローチャートである。

【図14】図14は、第2のパターンの描画例を説明する説明図である。

【図15】図15は、第2のパターンを描画する際の、セクタ、クラスタの構成例を説明する説明図である。

【図16】図16は、第2のパターンの描画における、セクタの最終ドット以外の処理を説明するフローチャートである。

【図17】図17は、第2のパターンの描画における、トラックの最終ドットの処理を説明するフローチャートである。

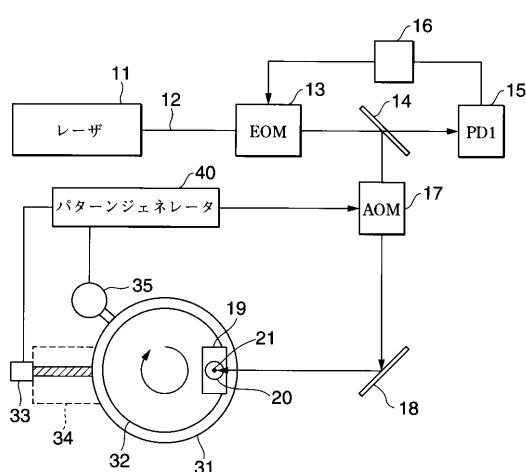
【図18】図18は、第2のパターンの描画における、クラスタの最終ドットの処理を説明するフローチャートである。 10

【図19】図19は、第2のパターンの描画における、クラスタの最終ドット以外の処理を説明するフローチャートである。

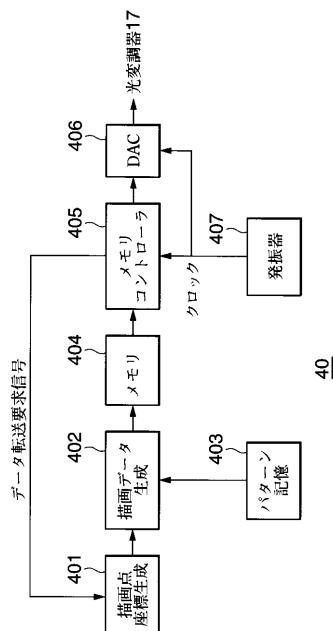
【符号の説明】

- 401 描画点座標生成部
- 402 描画データ生成部
- 404 メモリ
- 405 メモリコントローラ

【図1】

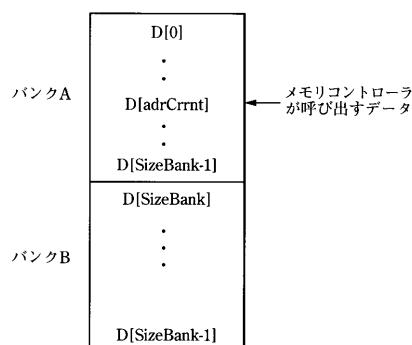


【図2】

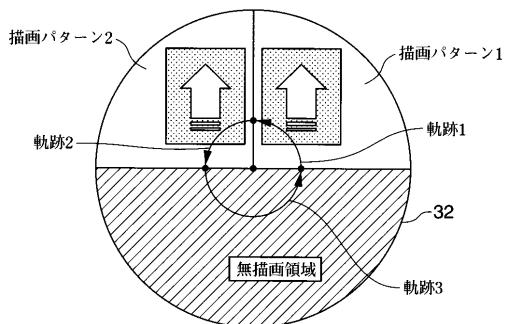


【図3】

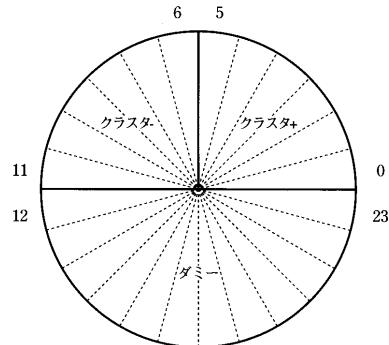
メモリ内部のバンクレイアウト



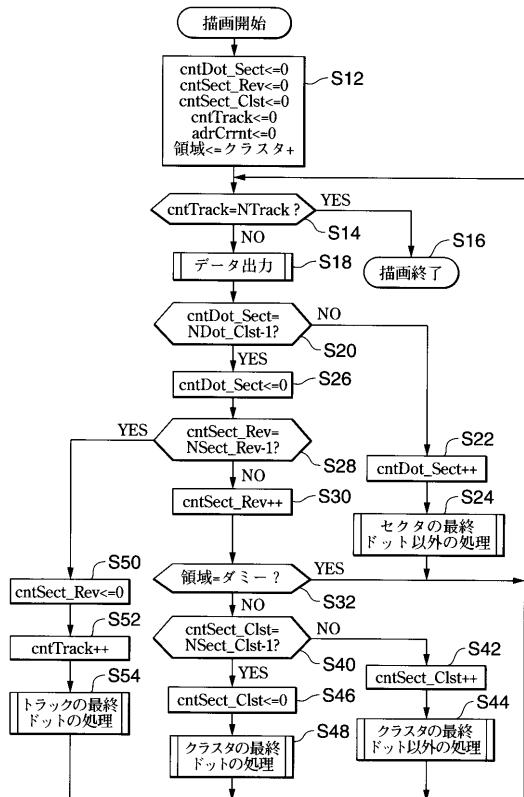
【図4】



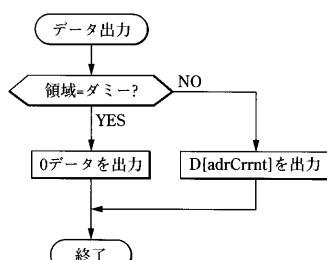
【図5】



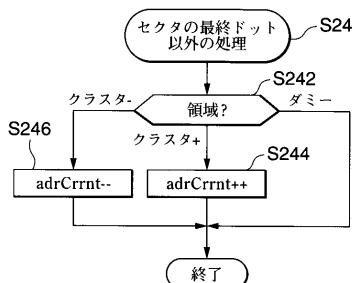
【図6】



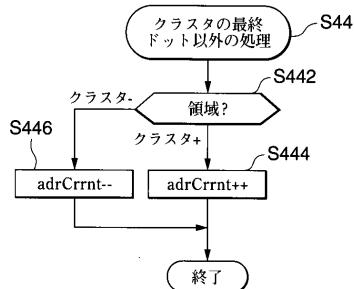
【図7】



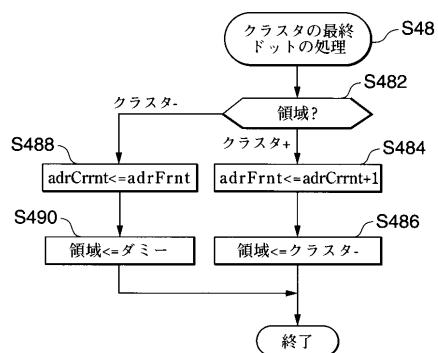
【図8】



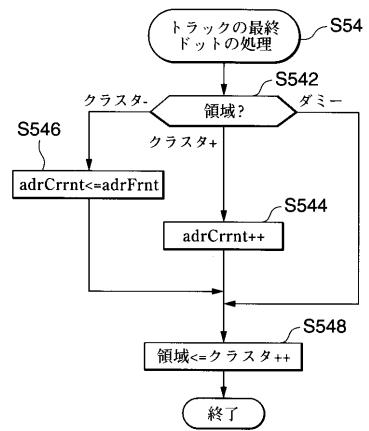
【図9】



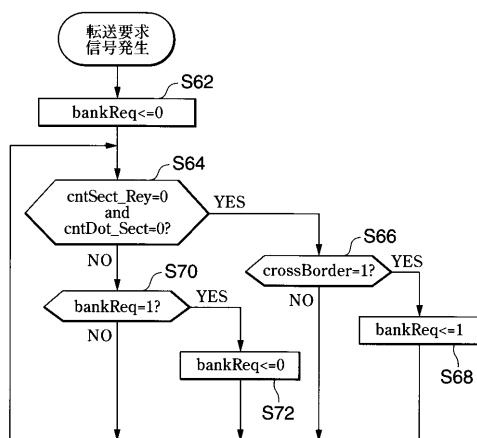
【図10】



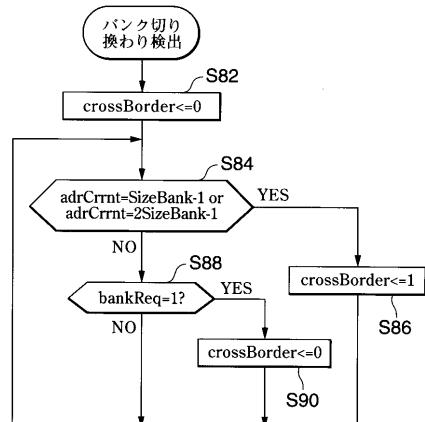
【図11】



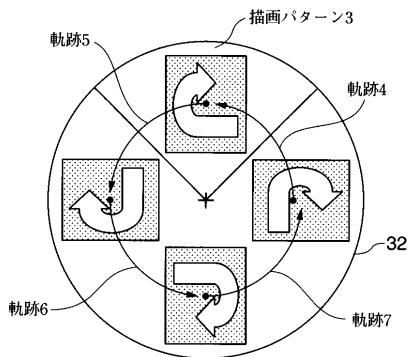
【図12】



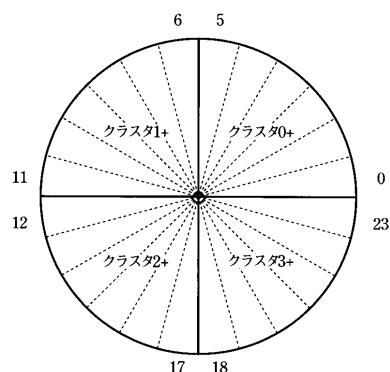
【図13】



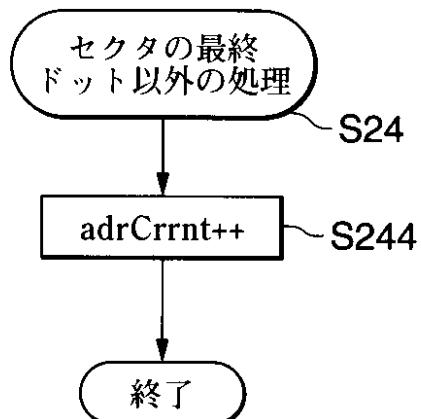
【図14】



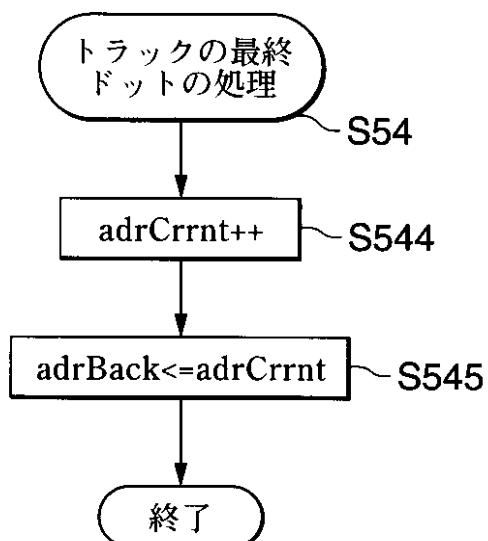
【図15】



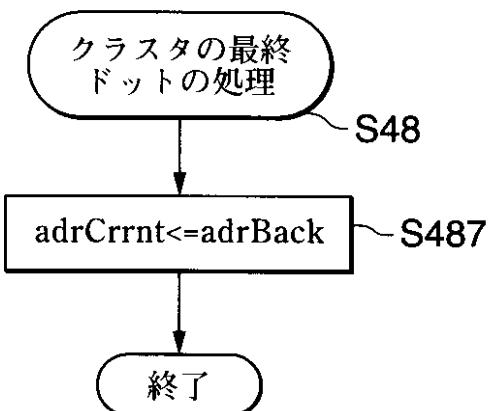
【図16】



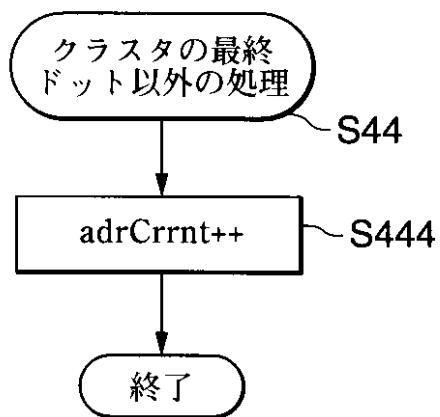
【図17】



【図18】



【図19】



フロントページの続き

(72)発明者 藤井 永一
長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内

審査官 多田 達也

(56)参考文献 特開平02-012150(JP,A)
特開2001-005188(JP,A)
特開平03-116717(JP,A)
特開2000-100758(JP,A)
特開昭55-077142(JP,A)
特開平04-064933(JP,A)

(58)調査した分野(Int.Cl., DB名)

G03F 7/20 - 7/24
G03F 9/00 - 9/02
G11B 7/26
H01L 21/027