

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6543908号
(P6543908)

(45) 発行日 令和1年7月17日(2019.7.17)

(24) 登録日 令和1年6月28日(2019.6.28)

(51) Int.Cl.

F I

H02M 3/155 (2006.01)

H02M 3/155

P

請求項の数 4 (全 22 頁)

(21) 出願番号 特願2014-210011 (P2014-210011)
 (22) 出願日 平成26年10月14日(2014.10.14)
 (65) 公開番号 特開2016-82647 (P2016-82647A)
 (43) 公開日 平成28年5月16日(2016.5.16)
 審査請求日 平成28年10月31日(2016.10.31)

(73) 特許権者 395011665
 株式会社オートネットワーク技術研究所
 三重県四日市市西末広町1番14号
 (73) 特許権者 000183406
 住友電装株式会社
 三重県四日市市西末広町1番14号
 (73) 特許権者 000002130
 住友電気工業株式会社
 大阪府大阪市中央区北浜四丁目5番33号
 (74) 代理人 100114557
 弁理士 河野 英仁
 (74) 代理人 100078868
 弁理士 河野 登夫

最終頁に続く

(54) 【発明の名称】 変圧装置

(57) 【特許請求の範囲】

【請求項1】

入力端子対間に印加された入力電圧を、該入力電圧のN倍(N=1)に昇圧させるための昇圧動作と、前記入力電圧を、該入力電圧のM倍(M=1)に降圧させるための降圧動作とを並行して行い、前記昇圧動作及び降圧動作によって変圧された電圧を出力端子対から出力する変圧装置であって、

前記入力端子対の一方の入力端子に一端が接続される第1スイッチと、

カソードが該第1スイッチの他端に接続され、アノードが前記入力端子対の他方の入力端子に接続される第1ダイオードと、

該第1ダイオードのカソードに一端が接続されるコイルと、

カソードが前記出力端子対の一方の出力端子に接続され、アノードが前記コイルの他端に接続される第2ダイオードと、

前記コイルの他端に一端が接続され、前記入力端子対の他方の入力端子、及び、前記出力端子対の他方の出力端子に他端が接続される第2スイッチと、

前記出力端子対間に流れる電流を検出する電流検出回路と、

前記第2スイッチのオン及びオフへの切替えを交互に行うことによって前記昇圧動作を行い、前記電流検出回路が検出した検出電流が電流I1よりも大きい場合に、前記第2スイッチのオン及びオフへの切替えに係る昇圧デューティを低下させることによって、前記Nを低下させ、前記検出電流が前記電流I1よりも小さい場合に前記昇圧デューティを上昇させることによって前記Nを上昇させる昇圧調整回路と、

10

20

前記第 1 スイッチのオン及びオフへの切替えを交互に行うことによって前記降圧動作を行い、前記検出電流が電流 I_2 ($>$ 前記電流 I_1) よりも大きい場合に、前記第 1 スイッチのオン及びオフへの切替えに係る降圧デューティを低下させることによって、前記 M を低下させ、前記検出電流が前記電流 I_2 よりも小さい場合に前記降圧デューティを上昇させることによって前記 M を上昇させる降圧調整回路と

を備え、

前記昇圧調整回路及び降圧調整回路は、前記第 1 スイッチのオン及びオフへの切替えと、前記第 2 スイッチのオン及びオフへの切替えとを互いに独立して行うことによって、前記昇圧動作及び降圧動作を並行して行うこと

を特徴とする変圧装置。

10

【請求項 2】

入力端子対間に印加された入力電圧を、該入力電圧の N 倍 ($N > 1$) に昇圧させるための昇圧動作と、前記入力電圧を、該入力電圧の M 倍 ($0 < M < 1$) に降圧させるための降圧動作とを並行して行い、前記昇圧動作及び降圧動作によって変圧された電圧を出力端子対から出力する変圧装置であって、

前記入力端子対の一方の入力端子に一端が接続される第 1 スイッチと、

カソードが該第 1 スイッチの他端に接続され、アノードが前記入力端子対の他方の入力端子に接続される第 1 ダイオードと、

該第 1 ダイオードのカソードに一端が接続されるコイルと、

カソードが前記出力端子対の一方の出力端子に接続され、アノードが前記コイルの他端に接続される第 2 ダイオードと、

20

前記コイルの他端に一端が接続され、前記入力端子対の他方の入力端子、及び、前記出力端子対の他方の出力端子に他端が接続される第 2 スイッチと、

前記出力端子対間に流れる電流が大きい場合に高い電圧を出力し、前記出力端子対間に流れる電流が小さい場合に低い電圧を出力する出力手段と、

前記第 2 スイッチのオン及びオフへの切替えを交互に行うことによって前記昇圧動作を行い、前記出力手段が出力した電圧が電圧 V_1 よりも高い場合に、前記第 2 スイッチのオン及びオフへの切替えに係る昇圧デューティを低下させることによって前記 N を低下させ、前記出力手段が出力した電圧が前記電圧 V_1 よりも低い場合に、前記昇圧デューティを上昇させることによって前記 N を上昇させる昇圧調整回路と、

30

前記第 1 スイッチのオン及びオフへの切替えを交互に行うことによって前記降圧動作を行い、前記出力手段が出力した電圧が電圧 V_2 ($>$ 前記電圧 V_1) よりも高い場合に、前記第 1 スイッチのオン及びオフへの切替えに係る降圧デューティを低下させることによって、前記 M を低下させ、前記出力手段が出力した電圧が前記電圧 V_2 よりも低い場合に前記降圧デューティを上昇させることによって前記 M を上昇させる降圧調整回路と

を備え、

前記昇圧調整回路及び降圧調整回路は、前記第 1 スイッチのオン及びオフへの切替えと、前記第 2 スイッチのオン及びオフへの切替えとを互いに独立して行うことによって、前記昇圧動作及び降圧動作を並行して行うこと

を特徴とする変圧装置。

40

【請求項 3】

一定の電圧が一端に印加される第 1 抵抗と、

前記第 1 抵抗の他端に一端が接続される第 2 抵抗及び第 3 抵抗と、

前記第 2 抵抗の他端に一端が接続される第 4 抵抗と、

前記第 4 抵抗の他端に一端が接続される第 5 抵抗と、

前記第 3 抵抗の他端に一端が接続される第 3 スイッチと、

前記第 1 抵抗の他端から出力された電圧を平滑する第 1 コンデンサと、

前記第 2 抵抗の他端から出力された電圧を平滑する第 2 コンデンサと

を備え、

前記第 1 コンデンサが平滑した電圧が前記電圧 V_1 として用いられ、

50

前記第2コンデンサが平滑した電圧が前記電圧V2として用いられること
を特徴とする請求項2に記載の変圧装置。

【請求項4】

前記第3スイッチのオン及びオフへの切替えを交互に行い、該切替えに係るデューティ
を調整することによって、前記電圧V1及び電圧V2を調整する調整手段を備えること
を特徴とする請求項3に記載の変圧装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、外部から入力された入力電圧を昇圧させるための昇圧動作と、該入力電圧を 10
降圧させるための降圧動作とを行う変圧装置に関する。

【背景技術】

【0002】

現在、車両には、バッテリーによって給電される多数の電気機器（負荷）が搭載されてい
る。これらの負荷の中には、作動を行うために印加されるべき電圧がバッテリーの出力電圧
と異なる負荷がある。このような負荷を作動させるため、車両には、電圧を変圧する変圧
装置（例えば特許文献1参照）が搭載されている。

【0003】

特許文献1に記載の変圧装置では、外部から入力された入力電圧を、入力電圧のN倍（
N 1）に昇圧させるための昇圧動作と、入力電圧を、入力電圧のM倍（0 M 1）に 20
降圧させるための降圧動作とを行う。昇圧動作又は降圧動作によって変圧された電圧は負
荷に出力される。

【0004】

昇圧動作が行われている場合において、負荷に出力されている出力電圧が基準電圧より
も低いとき、Nを上昇させることによって出力電圧を上昇させ、出力電圧が基準電圧より
も高いとき、Nを低下させることによって出力電圧を低下させる。また、降圧動作が行わ
れている場合において、負荷に出力されている出力電圧が基準電圧よりも低いとき、Mを
上昇させることによって出力電圧を上昇させ、出力電圧が基準電圧よりも高いとき、Mを
低下させることによって出力電圧を低下させる。

以上により、入力電圧を基準電圧に変圧し、該基準電圧を負荷に印加させることができ 30
る。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開昭62-18970号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

従来の変圧装置として、昇圧動作及び降圧動作を並行して行い、負荷に出力される出力
電流が所定の電流となるように出力電圧を調整する変圧装置がある。 40

【0007】

この変圧装置では、出力電流が所定の電流よりも小さい場合、N及びMを上昇させるこ
とによって出力電圧を上昇させ、出力電流が所定の電流よりも大きい場合、N及びMを低
下させることによって出力電圧を低下させる。

【0008】

以上のように構成されている変圧装置では、出力電流が所定の電流よりも小さい場合、
N及びMが同時に上昇するため、出力電圧が過度に上昇し、出力電流が所定の電流より
も大きく超える可能性がある。更に、出力電流が所定の電流よりも大きい場合、N及びM
が同時に低下するため、出力電圧が過度に低下し、出力電流が所定の電流よりも大きく
下回る可能性がある。 50

このため、前述した従来の変圧装置には、出力電流の上昇及び低下が交互に繰り返されて出力電流が安定しないという問題がある。

【0009】

本発明は斯かる事情に鑑みてなされたものであり、その目的とするところは、出力電流を安定して流すことができる変圧装置を提供することにある。

【課題を解決するための手段】

【0010】

本発明に係る変圧装置は、入力端子対間に印加された入力電圧を、該入力電圧の N 倍（ $N > 1$ ）に昇圧させるための昇圧動作と、前記入力電圧を、該入力電圧の M 倍（ $0 < M < 1$ ）に降圧させるための降圧動作とを並行して行い、前記昇圧動作及び降圧動作によって変圧された電圧を出力端子対から出力する変圧装置であって、前記入力端子対の一方の入力端子に一端が接続される第1スイッチと、カソードが該第1スイッチの他端に接続され、アノードが前記入力端子対の他方の入力端子に接続される第1ダイオードと、該第1ダイオードのカソードに一端が接続されるコイルと、カソードが前記出力端子対の一方の出力端子に接続され、アノードが前記コイルの他端に接続される第2ダイオードと、前記コイルの他端に一端が接続され、前記入力端子対の他方の入力端子、及び、前記出力端子対の他方の出力端子に他端が接続される第2スイッチと、前記出力端子対間に流れる電流を検出する電流検出回路と、前記第2スイッチのオン及びオフへの切替えを交互に行うことによって前記昇圧動作を行い、前記電流検出回路が検出した検出電流が電流 I_1 よりも大きい場合に、前記第2スイッチのオン及びオフへの切替えに係る昇圧デューティを低下させることによって、前記 N を低下させ、前記検出電流が前記電流 I_1 よりも小さい場合に前記昇圧デューティを上昇させることによって前記 N を上昇させる昇圧調整回路と、前記第1スイッチのオン及びオフへの切替えを交互に行うことによって前記降圧動作を行い、前記検出電流が電流 I_2 （ $> 前記電流 I_1$ ）よりも大きい場合に、前記第1スイッチのオン及びオフへの切替えに係る降圧デューティを低下させることによって、前記 M を低下させ、前記検出電流が前記電流 I_2 よりも小さい場合に前記降圧デューティを上昇させることによって前記 M を上昇させる降圧調整回路とを備え、前記昇圧調整回路及び降圧調整回路は、前記第1スイッチのオン及びオフへの切替えと、前記第2スイッチのオン及びオフへの切替えとを互いに独立して行うことによって、前記昇圧動作及び降圧動作を並行して行うことを特徴とする。

【0011】

本発明にあっては、入力端子対間に印加された入力電圧を昇圧させるための昇圧動作と、入力電圧を降圧させるための降圧動作とが行われる。昇圧動作は、降圧動作が行われていない状態において、入力電圧を入力電圧の N 倍に昇圧する動作である。降圧動作は、昇圧動作が行われていない状態において、入力電圧を入力電圧の M 倍に降圧する動作である。昇圧動作及び降圧動作を並行して行うことによって、入力電圧は変圧され、変圧された電圧は出力端子対から出力される。電流検出回路は出力端子対間に流れる電流を検出する。

【0012】

昇圧調整回路は、電流検出回路が検出した検出電流が電流 I_1 よりも小さい場合に N を上昇させ、検出電流が電流 I_1 よりも大きい場合、 N を低下させる。降圧調整回路は、検出電流が電流 I_2 よりも小さい場合に M を上昇させ、検出電流が電流 I_2 よりも大きい場合に M を低下させる。 N 又は M の上昇によって出力端子対間に流れる電流は上昇し、 N 又は M の低下によって出力端子対間に流れる電流は低下する。

【0013】

電流 I_2 は電流 I_1 よりも大きい。検出電流が電流 I_1 よりも大きくて電流 I_2 よりも小さい場合、 N は低下し、 M は上昇する。 N が下限値となるか、又は、 M が上限値となった場合に、出力電流は電流 I_1 以上電流 I_2 以下の値で安定する。 $N > 1$ であるため、 N の下限値は1以上の値に設定され、 $0 < M < 1$ であるため、 M の上限値は1以下の値に設定される。 N が下限値であって M が上限値未満である状態で出力電流が安定した場合、出

力電流は電流 I_2 に調整される。N が下限値を超えていて M が上限値である状態で出力電流が安定した場合、出力電流は電流 I_1 に調整される。

【0014】

本発明に係る変圧装置は、入力端子対間に印加された入力電圧を、該入力電圧の N 倍 ($N > 1$) に昇圧させるための昇圧動作と、前記入力電圧を、該入力電圧の M 倍 ($0 < M < 1$) に降圧させるための降圧動作とを並行して行い、前記昇圧動作及び降圧動作によって変圧された電圧を出力端子対から出力する変圧装置であって、前記入力端子対の一方の入力端子に一端が接続される第 1 スイッチと、カソードが該第 1 スイッチの他端に接続され、アノードが前記入力端子対の他方の入力端子に接続される第 1 ダイオードと、該第 1 ダイオードのカソードに一端が接続されるコイルと、カソードが前記出力端子対の一方の出力端子に接続され、アノードが前記コイルの他端に接続される第 2 ダイオードと、前記コイルの他端に一端が接続され、前記入力端子対の他方の入力端子、及び、前記出力端子対の他方の出力端子に他端が接続される第 2 スイッチと、前記出力端子対間に流れる電流が大きい場合に高い電圧を出力し、前記出力端子対間に流れる電流が小さい場合に低い電圧を出力する出力手段と、前記第 2 スイッチのオン及びオフへの切替えを交互に行うことによって前記昇圧動作を行い、前記出力手段が出力した電圧が電圧 V_1 よりも高い場合に、前記第 2 スイッチのオン及びオフへの切替えに係る昇圧デューティを低下させることによって前記 N を低下させ、前記出力手段が出力した電圧が前記電圧 V_1 よりも低い場合に、前記昇圧デューティを上昇させることによって前記 N を上昇させる昇圧調整回路と、前記第 1 スイッチのオン及びオフへの切替えを交互に行うことによって前記降圧動作を行い、前記出力手段が出力した電圧が電圧 V_2 ($> \text{前記電圧 } V_1$) よりも高い場合に、前記第 1 スイッチのオン及びオフへの切替えに係る降圧デューティを低下させることによって、前記 M を低下させ、前記出力手段が出力した電圧が前記電圧 V_2 よりも低い場合に前記降圧デューティを上昇させることによって前記 M を上昇させる降圧調整回路とを備え、前記昇圧調整回路及び降圧調整回路は、前記第 1 スイッチのオン及びオフへの切替えと、前記第 2 スイッチのオン及びオフへの切替えとを互いに独立して行うことによって、前記昇圧動作及び降圧動作を並行して行うことを特徴とする。

【0015】

本発明にあつては、入力端子対間に印加された入力電圧を昇圧させるための昇圧動作と、入力電圧を降圧させるための降圧動作とが行われる。昇圧動作は、降圧動作が行われていない状態において、入力電圧を入力電圧の N 倍に昇圧する動作である。降圧動作は、昇圧動作が行われていない状態において、入力電圧を入力電圧の M 倍に降圧する動作である。昇圧動作及び降圧動作を並行して行うことによって、入力電圧は変圧され、変圧された電圧は出力端子対から出力される。出力手段は、出力端子対間に流れる電流が大きい場合に高い電圧を出力し、出力端子対間に流れる電流が小さい場合に低い電圧を出力する。

【0016】

昇圧調整回路は、出力手段が出力した電圧が電圧 V_1 よりも低い場合に N を上昇させ、出力手段が出力した電圧が電圧 V_1 よりも高い場合に N を低下させる。降圧調整回路は、出力手段が出力した電圧が電圧 V_2 よりも低い場合に M を上昇させ、出力手段が出力した電圧が電圧 V_2 よりも高い場合に M を低下させる。N 又は M の上昇によって出力端子対間に流れる電流は大きくなり、N 又は M の低下によって出力端子対間に流れる電流は小さくなる。

【0017】

電圧 V_2 は電圧 V_1 よりも高い。出力手段が出力した電圧が電圧 V_1 よりも高く電圧 V_2 よりも低い場合、N は低下し、M は上昇する。N が下限値となるか、又は、M が上限値となった場合に、出力手段が出力した電圧は電圧 V_1 以上電圧 V_2 以下の値で安定し、出力電流も安定する。N > 1 であるため、N の下限値は 1 以上の値に設定され、 $0 < M < 1$ であるため、M の上限値は 1 以下の値に設定される。N が下限値であつて M が上限値未満である状態で出力電流が安定した場合、出力手段が出力した電圧は電圧 V_2 に調整されている。N が下限値を超えていて M が上限値である状態で出力電流が安定した場合、出力

10

20

30

40

50

手段が出力した電圧は電圧 V_1 に調整されている。

【0018】

本発明に係る変圧装置は、一定の電圧が一端に印加される第1抵抗と、前記第1抵抗の他端に一端が接続される第2抵抗及び第3抵抗と、前記第2抵抗の他端に一端が接続される第4抵抗と、前記第4抵抗の他端に一端が接続される第5抵抗と、前記第3抵抗の他端に一端が接続される第3スイッチと、前記第1抵抗の他端から出力された電圧を平滑する第1コンデンサと、前記第2抵抗の他端から出力された電圧を平滑する第2コンデンサとを備え、前記第1コンデンサが平滑した電圧が前記電圧 V_1 として用いられ、前記第2コンデンサが平滑した電圧が前記電圧 V_2 として用いられることを特徴とする。

【0019】

本発明にあっては、例えば、出力端子対から安定して流れている出力電流が、出力端子対間を流れるべき電流と異なっている場合において、電圧 V_1 又は V_2 を調整することによって、出力端子対から安定して流れている出力電流が調整される。

【0020】

本発明に係る変圧装置は、前記第3スイッチのオン及びオフへの切替えを交互に行い、該切替えに係るデューティを調整することによって、前記電圧 V_1 及び電圧 V_2 を調整する調整手段を備えることを特徴とする。

【0021】

本発明にあっては、第3スイッチのオン及びオフへの交互の切替えに係るデューティを調整することによって、電圧 V_1 及び電圧 V_2 を調整する。

【発明の効果】

【0022】

本発明によれば、出力電流を安定して流すことができる。

【図面の簡単な説明】

【0023】

【図1】本実施の形態における変圧装置の回路図である。

【図2】昇圧調整回路の回路図である。

【図3】昇圧調整回路の動作の説明図である。

【図4】降圧調整回路の回路図である。

【図5】変圧装置の動作の説明図である。

【図6】変圧装置の動作の他の説明図である。

【図7】変圧装置の動作の更に他の説明図である。

【図8】出力電圧を入力電圧で割った比と、昇圧用PWM信号及び降圧用PWM信号夫々のデューティとの関係を示すグラフである。

【図9】生成回路の回路図である。

【図10】制御部が実行する電圧調整処理の手順を示すフローチャートである。

【発明を実施するための形態】

【0024】

以下、本発明をその実施の形態を示す図面に基づいて詳述する。

図1は本実施の形態における変圧装置1の回路図である。変圧装置1は好適に車両に搭載されている。変圧装置1は、入力端子対を構成する2つの入力端子A1、A2と、出力端子対を構成する2つの出力端子B1、B2とを備える。入力端子A1はバッテリー2の正極に接続され、入力端子A2はバッテリー2の負極に接続されている。出力端子B1は負荷3の一端に接続され、出力端子B2は負荷3の他端に接続されている。

【0025】

変圧装置1は、バッテリー2によって入力端子A1、A2間に印加された入力電圧 V_{in} を変圧し、変圧した電圧を、出力電圧 V_{out} として出力端子B1、B2から出力する。出力電圧 V_{out} は負荷3の両端間に印加され、負荷3は給電される。負荷3は車両に搭載される電気機器である。

【0026】

変圧装置 1 は、入力端子 A 1 , A 2 及び出力端子 B 1 , B 2 の他に、N チャンネル型の F E T (Field Effect Transistor) 1 0 , 1 1、差動増幅器 1 2、昇圧調整回路 1 3、降圧調整回路 1 4、制御部 1 5、生成回路 1 6、記憶部 1 7、タイマ 1 8、コンデンサ C 1、ダイオード D 1 , D 2、コイル L 1 及び抵抗 R 1 を備える。

【 0 0 2 7 】

入力端子 A 1 は F E T 1 0 のドレインに接続され、F E T 1 0 のソースはダイオード D 1 のカソードとコイル L 1 の一端とに接続されている。コイル L 1 の他端は、ダイオード D 2 のアノードと F E T 1 1 のドレインとに接続されている。ダイオード D 2 のカソードは、差動増幅器 1 2 のプラス端子と、コンデンサ C 1 及び抵抗 R 1 夫々の一端とに接続されている。抵抗 R 1 の他端は、差動増幅器 1 2 のマイナス端子と出力端子 B 1 とに接続されている。入力端子 A 2 は、F E T 1 1 のソースと、出力端子 B 2 と、コンデンサ C 1 の他端と、ダイオード D 1 のアノードとに接続されている。

10

【 0 0 2 8 】

差動増幅器 1 2 の出力端子は昇圧調整回路 1 3、降圧調整回路 1 4 及び制御部 1 5 に接続されている。昇圧調整回路 1 3 は更に F E T 1 1 のゲートに接続されている。降圧調整回路 1 4 は更に F E T 1 0 のゲートに接続されている。制御部 1 5 は、差動増幅器 1 2 の出力端子の他に、生成回路 1 6、記憶部 1 7 及びタイマ 1 8 に各別に接続されている。生成回路 1 6 は、制御部 1 5 の他に、昇圧調整回路 1 3 及び降圧調整回路 1 4 に各別に接続されている。

【 0 0 2 9 】

20

F E T 1 0 , 1 1 夫々はスイッチとして機能する。F E T 1 0 について、ソースの電位を基準としてゲートに印加されている電圧が一定電圧以上である場合、電流がドレイン及びソース間を流れることが可能であり、F E T 1 0 はオンである。F E T 1 0 について、ソースの電位を基準としてゲートに印加されている電圧が一定電圧未満である場合、電流がドレイン及びソース間に流れることはなく、F E T 1 0 はオフである。F E T 1 1 も F E T 1 0 と同様にオン / オフされる。

【 0 0 3 0 】

変圧装置 1 では、F E T 1 0 がオンであるか又は F E T 1 0 がオン / オフを繰り返している状態で、F E T 1 1 のオン / オフを周期的に繰り返すことによって、入力電圧 V_{in} を昇圧するための昇圧動作が行われる。F E T 1 1 について、オフからオンへの切替え、又は、オンからオフへの切替えを一定の周期で行うことによって、F E T 1 1 のオン / オフを周期的に繰り返す。1 周期におけるオン期間の割合がデューティであり、デューティはゼロ以上 1 以下の値である。

30

【 0 0 3 1 】

F E T 1 1 をオフからオンにした場合、多量の電流がバッテリー 2 の正極から F E T 1 0、コイル L 1 及び F E T 1 1 の順に流れる。このとき、コンデンサ C 1 の両端間に電圧は印加されていない。F E T 1 1 をオンからオフにした場合、電流がコイル L 1 の F E T 1 1 側の一端からダイオード D 2 へ向けて流れる。

【 0 0 3 2 】

このとき、コイル L 1 に流れる電流は徐々に低下し、コイル L 1 は、入力端子 A 2 及び出力端子 B 2 の電位を基準として F E T 1 0 側の一端に印加されている電圧よりも高い電圧を、F E T 1 1 側の一端からダイオード D 2 に向けて出力する。このため、F E T 1 0 がオンである場合、コイル L 1 は入力電圧 V_{in} よりも高い電圧を、ダイオード D 2 を介してコンデンサ C 1 の両端間に印加する。

40

【 0 0 3 3 】

コンデンサ C 1 は、両端間に印加されている電圧を平滑し、平滑した電圧を、抵抗 R 1 を介して出力端子 B 1 , B 2 から出力する。F E T 1 0 がオンに維持されている場合において、F E T 1 1 を、前述したように周期的にオン / オフを繰り返すことによって、出力電圧 V_{out} は入力電圧 V_{in} の N 倍 ($N > 1$) となる。F E T 1 1 のオン / オフのデューティが大きい程、即ち、1 周期において F E T 1 1 がオンである期間が長い程、N は大

50

きい。また、F E T 1 1 のオン / オフのデューティが小さい程、即ち、1 周期において F E T 1 1 がオンである期間が短い程、N は小さい。F E T 1 1 のオン / オフのデューティがゼロである場合、N は 1 である。

【 0 0 3 4 】

以上のように、変圧装置 1 では、F E T 1 1 のオン / オフを周期的に繰り返すことによって、入力電圧 V_{in} を、入力電圧 V_{in} の N 倍に昇圧させるための昇圧動作が行われる。

【 0 0 3 5 】

変圧装置 1 では、F E T 1 1 がオフであるか又は F E T 1 1 がオン / オフを繰り返している状態で、F E T 1 0 のオン / オフを周期的に繰り返すことによって、入力電圧 V_{in} を降圧するための降圧動作が行われる。F E T 1 0 について、オフからオンへの切替え、又は、オンからオフへの切替えを一定の周期で行うことによって、F E T 1 0 のオン / オフを周期的に行う。

【 0 0 3 6 】

F E T 1 0 をオフからオンにした場合、電流がバッテリー 2 の正極から F E T 1 0 及びコイル L 1 の順に流れ、コイル L 1 に流れる電流は徐々に上昇する。このため、コイル L 1 は、入力端子 A 2 及び出力端子 B 2 の電位を基準として、F E T 1 0 側の一端に印加されている入力電圧 V_{in} よりも低い第 1 電圧を F E T 1 1 側の一端から出力する。第 1 電圧は、F E T 1 1 がオフである場合、ダイオード D 2 を介してコンデンサ C 1 の両端に印加される。

【 0 0 3 7 】

F E T 1 0 をオンからオフにした場合、電流がダイオード D 1 及びコイル L 1 の順に流れ、コイル L 1 に流れる電流は徐々に低下する。このため、コイル L 1 は、入力端子 A 2 及び出力端子 B 2 の電位を基準として F E T 1 0 側の一端に印加されている電圧よりも高い第 2 電圧を F E T 1 1 側の一端から出力する。第 2 電圧は、F E T 1 1 がオフである場合、ダイオード D 2 を介してコンデンサ C 1 の両端に印加される。第 2 電圧は第 1 電圧よりも低い。

【 0 0 3 8 】

コンデンサ C 1 は、前述したように、両端間に印加されている電圧を平滑し、平滑した電圧を、抵抗 R 1 を介して出力端子 B 1 , B 2 から出力する。F E T 1 1 がオフに維持されている場合において、F E T 1 0 を、前述したように周期的にオン / オフを繰り返すことによって、出力電圧 V_{out} は入力電圧 V_{in} の M 倍 ($0 < M < 1$) となる。これは、第 1 電圧及び第 2 電圧が共に入力電圧 V_{in} 以下であるためである。

【 0 0 3 9 】

第 1 電圧が第 2 電圧よりも高いため、F E T 1 0 のオン / オフのデューティが大きい程、即ち、1 周期において F E T 1 0 がオンである期間が長い程、M は大きい。デューティが 1 である場合、M は 1 である。同様に、第 1 電圧が第 2 電圧よりも高いため、F E T 1 0 のオン / オフのデューティが小さい程、即ち、1 周期において F E T 1 0 がオンである期間が短い程、M は小さい。デューティがゼロである場合、M はゼロである。

【 0 0 4 0 】

以上のように、変圧装置 1 では、F E T 1 0 のオン / オフを周期的に繰り返すことによって、入力電圧 V_{in} を、入力電圧 V_{in} の M 倍に降圧させるための降圧動作が行われる。

変圧装置 1 では、昇圧動作及び降圧動作を並行して行い、昇圧動作及び降圧動作によって変圧された電圧、即ち、出力電圧 V_{out} は出力端子 B 1 , B 2 から出力される。

【 0 0 4 1 】

コンデンサ C 1 によって平滑された電圧は、抵抗 R 1 を介して出力端子 B 1 , B 2 から出力される。このため、負荷 3 を介して、出力端子 B 1 から出力端子 B 2 に流れる出力電流 I_{out} は、抵抗 R 1 にも流れる。

【 0 0 4 2 】

差動増幅器 12 は、プラス端子に入力された電圧からマイナス端子に入力された電圧を引いた電圧、即ち、抵抗 R1 の両端間の電圧を増幅し、増幅した電圧 Vd を出力端子から昇圧調整回路 13、降圧調整回路 14 及び制御部 15 に出力する。

【0043】

抵抗 R1 の抵抗値を r1 とし、差動増幅器 12 の増幅率を K とした場合、電圧 Vd は、 $K \times r1 \times I_{out}$ で表される。増幅率 K 及び抵抗値 r1 夫々は定数である。このため、電圧 Vd は出力電流 Iout に比例する。

従って、差動増幅器 12 及び抵抗 R1 は、出力端子 B1、B2 間に流れる電流を検出する電流検出回路として機能し、更には、出力電流 Iout が大きい場合に高い電圧を出力し、出力電流 Iout が小さい場合に低い電圧を出力する出力手段として機能する。

10

【0044】

昇圧調整回路 13 及び降圧調整回路 14 夫々は、ハイレベル及びローレベルの電圧によって構成される昇圧用 PWM (Pulse Width Modulation) 信号及び降圧用 PWM 信号を FET11、10 のゲートに出力する。FET11 のゲートにハイレベルの電圧が印加された場合、ソースの電位を基準としたゲートの電圧が一定電圧以上となり、FET11 はオンとなる。FET11 のゲートにローレベルの電圧が印加された場合、ソースの電位を基準としたゲートの電圧が一定電圧未満となり、FET11 はオフとなる。FET10 も、FET11 と同様に、ゲートにハイレベルの電圧が印加された場合にオンとなり、ゲートにローレベルの電圧が印加された場合にオフとなる。

【0045】

20

昇圧用 PWM 信号及び降圧用 PWM 信号夫々は、一定の周期で、ローレベルの電圧からハイレベルの電圧へ、又は、ハイレベルの電圧からローレベルの電圧へ切替えられる。このため、FET10、11 夫々のオン/オフが周期的に繰り返される。昇圧用 PWM 信号及び降圧用 PWM 信号夫々において、1 周期においてハイレベルの電圧が出力されている期間の割合がデューティであり、デューティはゼロ以上 1 以下の値である。

【0046】

昇圧調整回路 13 には、差動増幅器 12 の出力端子から電圧 Vd が入力されると共に、生成回路 16 から参照電圧 Vr1 が入力される。昇圧調整回路 13 は、入力された電圧 Vd 及び参照電圧 Vr1 に基づいて、FET11 のゲートに出力している昇圧用 PWM 信号のデューティを調整し、これにより N を調整する。

30

【0047】

降圧調整回路 14 には、差動増幅器 12 の出力端子から電圧 Vd が入力されると共に、生成回路 16 から、参照電圧 Vr1 よりも高い参照電圧 Vr2 が入力される。降圧調整回路 14 は、入力された電圧 Vd 及び参照電圧 Vr2 に基づいて、FET10 のゲートに出力している降圧用 PWM 信号のデューティを調整し、これにより M を調整する。

【0048】

制御部 15 は、参照電圧 Vr1、Vr2 を調整するための調整用 PWM 信号を生成回路 16 に出力している。調整用 PWM 信号は、昇圧用 PWM 信号又は降圧用 PWM 信号と同様に、ハイレベル及びローレベルの電圧によって構成される。調整用 PWM 信号においても、一定の周期で、ローレベルの電圧からハイレベルの電圧へ、又は、ハイレベルの電圧からローレベルの電圧へ切替えられる。デューティは昇圧用 PWM 信号又は降圧用 PWM 信号と同様に定義される。

40

【0049】

生成回路 16 は、参照電圧 Vr1、Vr2 夫々を生成し、生成した参照電圧 Vr1 を昇圧調整回路 13 に出力し、生成した参照電圧 Vr2 を降圧調整回路 14 に出力する。生成回路 16 が生成する参照電圧 Vr1、Vr2 夫々は、制御部 15 から出力されている調整用 PWM 信号のデューティ Da に応じて調整される。

【0050】

記憶部 17 は不揮発性メモリである。記憶部 17 には予め設定された設定時間が記憶されている。更には、記憶部 17 は、制御部 15 によって電圧 Vd を示す電圧情報が経時的

50

に記憶される。

タイマ 18 には、計時の開始を指示する開始指示と、計時の終了を指示する終了指示とが制御部 15 から入力される。タイマ 18 は、制御部 15 から開始指示が入力された場合、計時を開始する。タイマ 18 が計時した計時時間は制御部 15 によって読み出される。タイマ 18 は、制御部 15 から終了指示が入力された場合、計時を終了する。

【0051】

制御部 15 は、CPU (Central Processing Unit) 又は MPU (Micro Processing Unit) 等の演算処理装置を用いて構成される。記憶部 17 には制御プログラムが記憶してある。制御部 15 は、制御プログラムを記憶部 17 から読み出し、読み出した制御プログラムを実行することにより、種々の処理を実行する。

10

【0052】

制御部 15 は、タイマ 18 が計時している計時時間が設定時間以上となるまでに、差動増幅器 12 の出力端子から出力される電圧 V_d を示す情報を記憶部 17 に繰り返し記憶する。そして、制御部 15 は、計時時間が設定時間以上となるまでに記憶部 17 に記憶された複数の電圧情報夫々が示す電圧 V_d から、差動増幅器 12 の出力端子から出力されている電圧 V_d が安定したか否かを判定する。制御部 15 は、電圧 V_d が安定したと判定した場合、安定した電圧 V_d に基づいて、生成回路 16 に出力している調整用 PWM 信号のデューティ D_a を調整する。

【0053】

図 2 は昇圧調整回路 13 の回路図である。昇圧調整回路 13 は、差動増幅器 30、コンパレータ 31、抵抗 R_{30} 、 R_{31} 、 R_{32} 及びコンデンサ C_{30} を有する。差動増幅器 30 のプラス端子は生成回路 16 に接続されている。抵抗 R_{30} の一端は、差動増幅器 12 の出力端子に接続されている。抵抗 R_{30} の他端は、差動増幅器 30 のマイナス端子と、コンデンサ C_{30} 及び抵抗 R_{31} 夫々の一端とに接続されている。

20

【0054】

コンデンサ C_{30} の他端は抵抗 R_{32} の一端に接続されており、抵抗 R_{31} 、 R_{32} 夫々の他端は、差動増幅器 30 の出力端子に接続されている。差動増幅器 30 の出力端子は、更に、コンパレータ 31 のプラス端子に接続されており、コンパレータ 31 の出力端子は FET 11 のゲートに接続されている。コンパレータ 31 のマイナス端子には三角波 W_1 が入力されている。

30

【0055】

差動増幅器 30、抵抗 R_{30} 、 R_{31} 、 R_{32} 及びコンデンサ C_{30} は誤差増幅器として機能し、電圧 V_d と参照電圧 V_{r1} とに基づいて電圧 V_a を出力端子からコンパレータ 31 のプラス端子に出力する。電圧 V_d が参照電圧 V_{r1} よりも低い場合には電圧 V_a は上昇し、電圧 V_d が参照電圧 V_{r1} よりも高い場合には電圧 V_a は低下する。コンパレータ 31 は、電圧 V_a が、マイナス端子に印加されている三角波 W_1 の電圧以上である場合、出力端子からハイレベルの電圧を FET 11 のゲートに出力する。コンパレータ 31 は、電圧 V_a が、マイナス端子に印加されている三角波の電圧未満である場合、出力端子からローレベルの電圧を FET 11 のゲートに出力する。

【0056】

40

図 3 は昇圧調整回路 13 の動作の説明図である。図 3 には、コンパレータ 31 のマイナス端子に入力される三角波 W_1 の波形と、コンパレータ 31 の出力端子から出力される昇圧用 PWM 信号の波形とが示されている。図 3 において、「H」はハイレベルの電圧を示し、「L」はローレベルの電圧を示す。

【0057】

図 3 に示すように、三角波 W_1 は、緩やかな電圧の上昇と急速な電圧の低下とを周期的に繰り返す波形である。三角波 W_1 は所謂のこぎり波である。コンパレータ 31 は、電圧 V_a が三角波 W_1 の電圧以上である期間にハイレベルの電圧を出力し、電圧 V_a が三角波 W_1 の電圧未満である期間にローレベルの電圧を出力する。このように、コンパレータ 31 は昇圧用 PWM 信号を FET 11 のゲートに出力する。

50

【 0 0 5 8 】

電圧 V_d が参照電圧 V_{r1} よりも低い場合、電圧 V_a は上昇し、昇圧用 PWM 信号のデューティが上昇する。昇圧用 PWM 信号のデューティの上昇により、FET11 のオン/オフのデューティが上昇し、 N が上昇する。これにより、出力電圧 V_{out} が上昇し、出力電流 I_{out} が上昇する。このように、昇圧調整回路 13 は、電圧 V_d が参照電圧 V_{r1} よりも低い場合、 N を上昇させる。

【 0 0 5 9 】

電圧 V_d が参照電圧 V_{r1} よりも高い場合、電圧 V_a は低下し、昇圧用 PWM 信号のデューティが低下する。昇圧用 PWM 信号のデューティの低下により、FET11 のオン/オフのデューティが低下し、 N が低下する。これにより、出力電圧 V_{out} が低下し、出力電流 I_{out} が低下する。このように、昇圧調整回路 13 は、電圧 V_d が参照電圧 V_{r1} よりも高い場合、 N を低下させる。参照電圧 V_{r1} は特許請求の範囲における電圧 V_1 に相当する。

【 0 0 6 0 】

電圧 V_d は、前述したように、 $K \times r_1 \times I_{out}$ で表される。増幅率 K 及び抵抗値 r_1 夫々は定数であるため、電圧 V_d と参照電圧 V_{r1} とを比較することは、抵抗 R_1 及び差動増幅器 12 によって構成される電流検出回路が検出した出力電流 I_{out} と参照電流 $I_{r1} (= V_{r1} / (K \times r_1))$ とを比較することと等価である。電圧 V_d が参照電圧 V_{r1} よりも高いことは、検出された出力電流 I_{out} が参照電流 I_{r1} よりも大きいことに相当し、電圧 V_d が参照電圧 V_{r1} よりも低いことは、検出された出力電流 I_{out} が参照電流 I_{r1} よりも小さいことに相当する。

【 0 0 6 1 】

従って、昇圧調整回路 13 は、抵抗 R_1 及び差動増幅器 12 によって構成される電流検出回路が検出した出力電流 I_{out} が参照電流 I_{r1} よりも大きい場合に N を低下させ、出力電流 I_{out} が参照電流 I_{r1} よりも小さい場合に N を上昇させる回路でもある。昇圧調整回路 13 は、出力電流 I_{out} が参照電流 I_{r1} となるように、昇圧用 PWM 信号のデューティを調整する。参照電流 I_{r1} は特許請求の範囲における電流 I_1 に相当する。

【 0 0 6 2 】

電圧 V_a について下限電圧が設けられている。電圧 V_a が下限電圧である場合にコンパレータ 31 から出力される昇圧用 PWM 信号のデューティが、昇圧用 PWM 信号のデューティの下限値である。下限電圧が三角波 W_1 の最低電圧未満である場合、昇圧用 PWM 信号のデューティの下限値はゼロである。また、降圧動作が行われていない状態、即ち、FET10 がオンに維持されている状態で昇圧用 PWM 信号のデューティが下限値である場合において、出力電圧 V_{out} を入力電圧 V_{in} で割った値が N の下限値である。 N の下限値は 1 以上の値である。

【 0 0 6 3 】

図 4 は降圧調整回路 14 の回路図である。降圧調整回路 14 は、差動増幅器 40、コンパレータ 41、抵抗 R_{40} 、 R_{41} 、 R_{42} 及びコンデンサ C_{40} を有する。これらは、昇圧調整回路 13 の差動増幅器 30、コンパレータ 31、抵抗 R_{30} 、 R_{31} 、 R_{32} 及びコンデンサ C_{30} と同様に接続される。ここで、差動増幅器 30、コンパレータ 31、抵抗 R_{30} 、 R_{31} 、 R_{32} 及びコンデンサ C_{30} 夫々は、差動増幅器 40、コンパレータ 41、抵抗 R_{40} 、 R_{41} 、 R_{42} 及びコンデンサ C_{40} に対応する。

【 0 0 6 4 】

差動増幅器 40 のプラス端子には生成回路 16 に接続されている。抵抗 R_{40} において、差動増幅器 40 側の一端とは異なるもう一つの一端は差動増幅器 12 の出力端子に接続されている。コンパレータ 41 のマイナス端子には三角波 W_2 が入力されている。コンパレータ 41 の出力端子は FET10 のゲートに接続されている。

【 0 0 6 5 】

差動増幅器 40、抵抗 R_{40} 、 R_{41} 、 R_{42} 及びコンデンサ C_{40} は誤差増幅器とし

10

20

30

40

50

て機能し、差動増幅器 30、抵抗 R_{30} 、 R_{31} 、 R_{32} 及びコンデンサ C_{30} によって構成される誤差増幅器と同様に作用する。従って、電圧 V_d が参照電圧 V_{r2} ($> V_{r1}$) よりも低い場合には電圧 V_b は上昇し、電圧 V_d が参照電圧 V_{r2} よりも高い場合には電圧 V_b は低下する。

【0066】

降圧調整回路 14 のコンパレータ 41 は昇圧調整回路 13 のコンパレータ 31 と同様に作用し、出力端子から降圧用 PWM 信号を FET 11 のゲートに出力する。また、三角波 W_1 の波形は三角波 W_2 の波形と類似している。即ち、三角波 W_2 は、緩やかな電圧の上昇と急速な電圧の低下とを周期的に繰り返す波形であり、所謂のこぎり波である。

【0067】

従って、電圧 V_d が参照電圧 V_{r2} よりも低い場合、電圧 V_b は上昇し、降圧用 PWM 信号のデューティが上昇する。降圧用 PWM 信号のデューティの上昇により、FET 10 のオン/オフのデューティが上昇し、 M が上昇する。これにより、出力電圧 V_{out} が上昇し、出力電流 I_{out} が上昇する。このように、降圧調整回路 14 は、電圧 V_d が参照電圧 V_{r2} よりも低い場合、 M を上昇させる。

【0068】

電圧 V_d が参照電圧 V_{r2} よりも高い場合、電圧 V_b は低下し、降圧用 PWM 信号のデューティが低下する。降圧用 PWM 信号のデューティの低下により、FET 10 のオン/オフのデューティが低下し、 M が低下する。これにより、出力電圧 V_{out} が低下し、出力電流 I_{out} が低下する。このように、降圧調整回路 14 は、電圧 V_d が参照電圧 V_{r2} よりも高い場合、 M を低下させる。参照電圧 V_{r2} は特許請求の範囲における電圧 V_2 に相当する。

【0069】

電圧 V_d は、前述したように、 $K \times r_1 \times I_{out}$ で表される。増幅率 K 及び抵抗値 r_1 夫々は定数であるため、電圧 V_d と参照電圧 V_{r2} とを比較することは、抵抗 R_1 及び差動増幅器 12 によって構成される電流検出回路が検出した出力電流 I_{out} と参照電流 I_{r2} ($= V_{r2} / (K \times r_1)$) とを比較することと等価である。電圧 V_d が参照電圧 V_{r2} よりも高いことは、検出された出力電流 I_{out} が参照電流 I_{r2} よりも大きいことに相当し、電圧 V_d が参照電圧 V_{r2} よりも低いことは、検出された出力電流 I_{out} が参照電流 I_{r2} よりも小さいことに相当する。

【0070】

従って、降圧調整回路 14 は、抵抗 R_1 及び差動増幅器 12 によって構成される電流検出回路が検出した出力電流 I_{out} が参照電流 I_{r2} よりも大きい場合に M を低下させ、出力電流 I_{out} が参照電流 I_{r2} よりも小さい場合に M を上昇させる回路でもある。参照電圧 V_{r2} は参照電圧 V_{r1} よりも高いため、参照電流 I_{r2} は参照電流 I_{r1} よりも大きい。降圧調整回路 14 は、出力電流 I_{out} が参照電流 I_{r2} となるように、降圧用 PWM 信号のデューティを調整する。

参照電流 I_{r2} は特許請求の範囲における電流 I_2 に相当する。

【0071】

電圧 V_b について上限電圧が設けられている。電圧 V_b が上限電圧である場合にコンパレータ 41 から出力される降圧用 PWM 信号のデューティが、降圧用 PWM 信号のデューティの上限値である。上限電圧が三角波 W_2 の最高電圧を超えている場合、降圧用 PWM 信号のデューティの上限値は 1 である。また、昇圧動作が行われていない状態、即ち、FET 11 がオフに維持されている状態で降圧用 PWM 信号のデューティが上限値である場合において、出力電圧 V_{out} を入力電圧 V_{in} で割った値が M の上限値である。 M の上限値は 1 以下の値である。

【0072】

図 5 は変圧装置 1 の動作の説明図である。図 5 には、出力電流 I_{out} の推移と、昇圧用 PWM 信号及び降圧用 PWM 信号夫々のデューティの推移とが示されている。これらの推移は、参照電圧 V_{r1} 、 V_{r2} 、即ち、参照電流 I_{r1} 、 I_{r2} が一定の値に維持され

10

20

30

40

50

ている期間における推移である。図5を用いて、出力電流 I_{out} が参照電流 I_{r1} に収束する一例を説明する。

【0073】

出力電流 I_{out} が参照電流 I_{r1} ($< I_{r2}$) よりも小さい場合、昇圧調整回路13及び降圧調整回路14夫々は昇圧用PWM信号のデューティ、及び、降圧用PWM信号のデューティを上昇させる。これにより、出力電流 I_{out} が上昇する。出力電流 I_{out} が参照電流 I_{r1} 以上であり、かつ、参照電流 I_{r2} 以下である場合において、昇圧調整回路13は、出力電流 I_{out} を参照電流 I_{r1} にすべく、昇圧用PWM信号のデューティを低下させる。同様の場合において、降圧調整回路14は、出力電流 I_{out} を参照電流 I_{r2} にすべく、降圧用PWM信号のデューティを上昇させる。

10

【0074】

出力電流 I_{out} が参照電流 I_{r1} に近い場合、出力電流 I_{out} を上昇させようとする降圧調整回路14の作用が、出力電流 I_{out} を低下させようとする昇圧調整回路13の作用よりも大きいため、出力電流 I_{out} は参照電流 I_{r2} に向かって上昇する。

【0075】

出力電流 I_{out} が参照電流 I_{r2} に近い場合、出力電流 I_{out} を低下させようとする昇圧調整回路13の作用が、出力電流 I_{out} を上昇させようとする降圧調整回路14の作用よりも大きいため、出力電流 I_{out} は参照電流 I_{r1} に向かって低下する。

【0076】

出力電流 I_{out} が参照電流 I_{r1} 以上であり、かつ、参照電流 I_{r2} 以下である間、出力電流は、参照電流 I_{r1} , I_{r2} に交互に接近し、昇圧用PWM信号のデューティは低下し続け、降圧用PWM信号のデューティは上昇し続ける。

20

【0077】

昇圧用PWM信号のデューティが下限値を超えている状態で、降圧用PWM信号のデューティが上限値に到達した場合、即ち、Nが下限値を超えている状態でMが上限値に到達した場合、降圧用PWM信号のデューティは上限値に維持される。この後、昇圧調整回路13が行う昇圧用PWM信号のデューティの調整によって、出力電流 I_{out} は参照電流 I_{r1} に調整され、出力電流 I_{out} は安定する。

【0078】

図6は変圧装置1の動作の他の説明図である。図6にも、図5と同様に、出力電流 I_{out} の推移と、昇圧用PWM信号及び降圧用PWM信号夫々のデューティの推移とが示されている。これらの推移も、参照電圧 V_{r1} , V_{r2} 、即ち、参照電流 I_{r1} , I_{r2} が一定の値に維持されている期間における推移である。図6を用いて、出力電流 I_{out} が参照電流 I_{r2} に収束する一例を説明する。

30

【0079】

前述したように、出力電流 I_{out} が参照電流 I_{r1} よりも小さい場合、昇圧用PWM信号及び降圧用PWM信号夫々のデューティは上昇し、出力電流 I_{out} は上昇する。また、前述したように、出力電流 I_{out} が参照電流 I_{r1} 以上であり、かつ、参照電流 I_{r2} 以下である場合、昇圧用PWM信号のデューティは低下し続け、降圧用PWM信号のデューティは上昇し続ける。この間、出力電流 I_{out} は参照電流 I_{r1} , I_{r2} に交互に接近する。

40

【0080】

降圧用PWM信号のデューティが上限値未満である状態で、昇圧用PWM信号のデューティが下限値に到達した場合、即ち、Mが上限値未満である状態でNが下限値に到達した場合、昇圧用PWM信号のデューティが下限値に維持される。この後、降圧調整回路14が行う降圧用PWM信号のデューティの調整によって、出力電流 I_{out} は参照電流 I_{r2} に調整され、出力電流 I_{out} は安定する。

【0081】

図7は変圧装置1の動作の更なる他の説明図である。図7にも、図5又は図6と同様に、出力電流 I_{out} の推移と、昇圧用PWM信号及び降圧用PWM信号夫々のデューティ

50

の推移とが示されている。これらの推移も、参照電圧 V_{r1} , V_{r2} 、即ち、参照電流 I_{r1} , I_{r2} が一定の値に維持されている期間における推移である。図7を用いて、出力電流 I_{out} が参照電流 I_{r1} , I_{r2} の間の電流に収束する一例を説明する。

【0082】

前述したように、出力電流 I_{out} が参照電流 I_{r1} よりも小さい場合、昇圧用PWM信号及び降圧用PWM信号夫々のデューティは上昇し、出力電流 I_{out} は上昇する。また、前述したように、出力電流 I_{out} が参照電流 I_{r1} 以上であり、かつ、参照電流 I_{r2} 以下である場合、昇圧用PWM信号のデューティは低下し続け、降圧用PWM信号のデューティは上昇し続ける。この間、出力電流 I_{out} は参照電流 I_{r1} , I_{r2} に交互に接近する。

10

【0083】

昇圧用PWM信号のデューティが下限値に到達し、かつ、降圧用PWM信号のデューティが上限値に到達した場合、即ち、Nが下限値に到達し、かつ、Mが上限値に到達した場合、出力電流 I_{out} は安定する。安定した出力電流 I_{out} は、参照電流 I_{r1} , I_{r2} の間の電流である。

【0084】

なお、出力電流 I_{out} が参照電流 I_{r2} よりも大きい場合、昇圧調整回路13及び降圧調整回路14夫々は昇圧用PWM信号のデューティ、及び、降圧用PWM信号のデューティを低下させ、出力電流 I_{out} を低下させる。そして、出力電流 I_{out} が参照電流 I_{r1} 以上であり、かつ、参照電流 I_{r2} 以下である場合においては、前述したように、出力電流 I_{out} は参照電流 I_{r1} , I_{r2} に交互に接近し、参照電流 I_{r1} 、参照電流 I_{r2} 、又は、参照電流 I_{r1} , I_{r2} 間の電流で安定する。

20

【0085】

以上のように、変圧装置1では、参照電流 I_{r2} が参照電流 I_{r1} よりも大きいため、出力電流 I_{out} は参照電流 I_{r1} 以上参照電流 I_{r2} 以下の値で安定する。

【0086】

また、前述したように、電圧 V_d は $K \times r_1 \times I_{out}$ で表され、参照電圧 V_{r1} は $K \times r_1 \times I_{r1}$ で表され、参照電圧 V_{r2} は $K \times r_2 \times I_{r2}$ で表される。増幅率 K 及び抵抗値 r_1 , r_2 は定数である。このため、参照電流 I_{r2} が参照電流 I_{r1} よりも大きいことは、参照電圧 V_{r2} が参照電圧 V_{r1} よりも大きいことを意味し、出力電流 I_{out} が参照電流 I_{r1} 以上参照電流 I_{r2} 以下で安定することは、電圧 V_d が参照電圧 V_{r1} 以上参照電圧 V_{r2} 以下で安定することを意味する。従って、変圧装置1では、参照電圧 V_{r2} が参照電圧 V_{r1} よりも高いため、電圧 V_d は参照電圧 V_{r1} 以上参照電圧 V_{r2} 以下の値で安定し、出力電流 I_{out} も参照電流 I_{r1} 以上参照電流 I_{r2} 以下の値で安定すると述べることもできる。

30

【0087】

図8は、出力電圧 V_{out} を入力電圧 V_{in} で割った比 V_{out}/V_{in} と昇圧用PWM信号及び降圧用PWM信号夫々のデューティとの関係を示すグラフである。図8には、昇圧用PWM信号のデューティと比 V_{out}/V_{in} との関係を示すグラフと、降圧用PWM信号のデューティと比 V_{out}/V_{in} との関係を示すグラフとが示されている。

40

【0088】

図8には、出力電流 I_{out} が安定した場合における昇圧用PWM信号及び降圧用PWM信号夫々のデューティが示されている。出力電流 I_{out} が参照電流 I_{r2} で安定した場合、昇圧用PWM信号のデューティは下限値であり、降圧用PWM信号のデューティは上限値未満である。出力電流 I_{out} が参照電流 I_{r1} で安定した場合、降圧用PWM信号のデューティは上限値であり、昇圧用PWM信号のデューティは下限値を超えている。出力電流 I_{out} が参照電流 I_{r1} , I_{r2} 間の電流で安定した場合、昇圧用PWM信号のデューティは下限値であり、かつ、降圧用PWM信号のデューティは上限値である。

【0089】

参照電流 I_{r1} , I_{r2} を変更することにより、安定した後の出力電流 I_{out} を調整

50

することができる。前述したように、参照電流 I_{r1} は $V_{r1} / (K \times r1)$ で表され、参照電流 I_{r2} は $V_{r2} / (K \times r1)$ で表されるため、参照電圧 V_{r1} , V_{r2} を調整することによって、参照電流 I_{r1} , I_{r2} を調整することができる。以下では、参照電圧 V_{r1} , V_{r2} の調整について説明する。

【0090】

図9は生成回路16の回路図である。生成回路16は、トランジスタ50、コンデンサC50、C51及び抵抗R50、R51、・・・、R55を有する。トランジスタ50はNPN型のバイポーラトランジスタである。トランジスタ50について、ベースは制御部15に接続されており、コレクタは抵抗R50の一端に接続されており、エミッタは接地されている。抵抗R50の他端は、抵抗R51、R52、R53夫々の一端に接続されて

10

【0091】

抵抗R52の他端は抵抗R54、R55夫々の一端に接続されている。抵抗R55の他端は、コンデンサC51の一端と、昇圧調整回路13とに接続されている。コンデンサC51及び抵抗R54夫々の他端は接地されている。

【0092】

トランジスタ50はスイッチとして機能する。トランジスタ50について、エミッタの電位を基準としてベースに印加されている電圧が一定電圧以上である場合、電流がコレクタ及びエミッタ間を流れることが可能であり、トランジスタ50はオンである。トランジスタ50について、エミッタの電位を基準としてベースに印加されている電圧が一定電圧未満である場合、電流がコレクタ及びエミッタ間を流れることはなく、トランジスタ50はオフである。

20

【0093】

制御部15は、トランジスタ50のベースに調整用PWM信号を出力している。トランジスタ50のベースにハイレベルの電圧が印加された場合、エミッタの電位を基準としたベースの電圧が一定電圧以上となり、トランジスタ50はオンとなる。トランジスタ50のベースにローレベルの電圧が印加された場合、エミッタの電位を基準としたベースの電圧が一定電圧未満となり、トランジスタ50はオフとなる。制御部15が調整用PWM信号をトランジスタ50のベースに出力することによって、トランジスタ50は周期的にオン/オフを繰り返す。

30

【0094】

トランジスタ50がオフである場合、抵抗R51と、抵抗R52、R53の直列回路とが電圧 V_{cc} を分圧し、分圧した電圧 V_{s2} が抵抗R53を介してコンデンサC50の両端間に印加される。電圧 V_{s2} を抵抗R52、R54が分圧し、分圧した電圧 V_{s1} が抵抗R55を介してコンデンサC51の両端間に印加される。電圧 V_{s2} を分圧することによって電圧 V_{s1} が生成されているため、電圧 V_{s2} は電圧 V_{s1} よりも高い。

【0095】

トランジスタ50がオンである場合、抵抗R51と、抵抗R50及び前述の直列回路が並列に接続された並列回路とが電圧 V_{cc} を分圧し、分圧した電圧 V_{t2} が抵抗R53を介してコンデンサC50の両端間に印加される。電圧 V_{t2} を抵抗R52、R54が分圧し、分圧した電圧 V_{t1} が抵抗R55を介してコンデンサC51の両端間に印加される。電圧 V_{t2} を分圧することによって電圧 V_{t1} が生成されているため、電圧 V_{t2} は電圧 V_{t1} よりも高い。

40

【0096】

前述した直列回路の抵抗値は、前述した並列回路の抵抗値よりも大きいため、電圧 V_{s2} は電圧 V_{t2} よりも高い。また、電圧 V_{s1} 、 V_{t1} 夫々は電圧 V_{s2} 、 V_{s1} を共通の抵抗R52、R54が分圧することによって生成されるため、電圧 V_{s1} は電圧 V_{t1} よりも高い。

50

【 0 0 9 7 】

制御部 1 5 は調整用 P W M 信号をトランジスタ 5 0 のベースに出力しているため、トランジスタ 5 0 は周期的にオン / オフされる。トランジスタ 5 0 がオフである期間、電圧 V_{s2} がコンデンサ C 5 0 の両端間に印加され、トランジスタ 5 0 がオンである期間、電圧 V_{t2} がコンデンサ C 5 0 の両端間に印加される。コンデンサ C 5 0 は、両端間に印加されている電圧を平滑する。コンデンサ C 5 0 によって平滑化された電圧が参照電圧 V_{r2} であり、降圧調整回路 1 4 へ出力される。調整用 P W M 信号のデューティ D_a を用いて、参照電圧 V_{r2} は、 $V_{s2} \times (1 - D_a) + V_{t2} \times D_a$ で表される。

【 0 0 9 8 】

同様に、トランジスタ 5 0 がオフである期間、電圧 V_{s1} がコンデンサ C 5 1 の両端間に印加され、トランジスタ 5 0 がオンである期間、電圧 V_{t1} がコンデンサ C 5 1 の両端間に印加される。コンデンサ C 5 1 は、両端間に印加されている電圧を平滑する。コンデンサ C 5 1 によって平滑化された電圧が参照電圧 V_{r1} であり、昇圧調整回路 1 3 へ出力される。参照電圧 V_{r1} は、 $V_{s1} \times (1 - D_a) + V_{t1} \times D_a$ で表される。

10

【 0 0 9 9 】

以上のように、生成回路 1 6 は、参照電圧 V_{r1} , V_{r2} を生成し、生成した参照電圧 V_{r1} , V_{r2} 夫々を昇圧調整回路 1 3 及び降圧調整回路 1 4 に出力する。

【 0 1 0 0 】

また、抵抗 R 5 2 , R 5 4 は、電圧 V_{s2} , V_{t2} 夫々を所定数分の 1 の電圧に分圧することによって、電圧 V_{s1} , V_{t1} を生成している。このため、参照電圧 V_{r1} は参照電圧 V_{r2} の所定数分の 1 の電圧である。従って、生成回路 1 6 は参照電圧 V_{r2} を分圧することによって参照電圧 V_{r1} を生成していると述べることができる。

20

参照電圧 V_{r2} を分圧することによって参照電圧 V_{r1} が生成されるため、参照電圧 V_{r2} が調整された場合、参照電圧 V_{r1} も自動的に調整される。

【 0 1 0 1 】

デューティ D_a がゼロである場合、参照電圧 V_{r1} , V_{r2} 夫々は、電圧 V_{s1} , V_{s2} であり、最も高い。また、デューティ D_a が 1 である場合、参照電圧 V_{r1} , V_{r2} 夫々は、電圧 V_{t1} , V_{t2} であり、最も低い。制御部 1 5 は、デューティ D_a を調整することによって、生成回路 1 6 が生成する参照電圧 V_{r1} , V_{r2} の電圧調整処理を行う。制御部 1 5 は調整手段として機能する。

30

【 0 1 0 2 】

図 1 0 は、制御部 1 5 が実行する電圧調整処理の手順を示すフローチャートである。制御部 1 5 は変圧装置 1 が作動した場合に電圧調整処理を開始する。まず、制御部 1 5 は、調整用 P W M 信号のデューティ D_a を、予め記憶部 1 7 に記憶されている初期値に設定する (ステップ S 1)。

【 0 1 0 3 】

次に、制御部 1 5 は、デューティ D_a が初期値である調整用 P W M 信号を出力する (ステップ S 2)。これにより、デューティ D_a に対応する参照電圧 V_{r1} , V_{r2} 夫々が昇圧調整回路 1 3 及び降圧調整回路 1 4 に出力される。昇圧調整回路 1 3 及び降圧調整回路 1 4 によって出力電流 I_{out} の調整が開始される。

40

【 0 1 0 4 】

次に、制御部 1 5 は、タイマ 1 8 に開始指示を出力することによって、タイマ 1 8 に計時を開始させ (ステップ S 3)、差動増幅器 1 2 の出力端子から入力されている電圧 V_d を示す電圧情報を記憶部 1 7 に記憶する (ステップ S 4)。その後、制御部 1 5 は、タイマ 1 8 が計時している計時時間が設定時間以上であるか否かを判定する (ステップ S 5)。

【 0 1 0 5 】

制御部 1 5 は、計時時間が設定時間未満であると判定した場合 (S 5 : NO)、処理をステップ S 4 に戻し、差動増幅器 1 2 の出力端子から入力されている電圧 V_d を示す電圧情報を記憶する。制御部 1 5 は、計時時間が設定時間以上となるまで、ステップ S 4 を繰

50

り返し実行する。制御部 15 は、ステップ S 4 を繰り返し実行することによって、経時的に差動増幅器 12 の出力端子から入力されている電圧 V_d を示す電圧情報を記憶する。

【0106】

制御部 15 は、計時時間が設定時間以上であると判定した場合 (S 5 : YES)、タイマ 18 に終了指示を出力することによって、タイマ 18 に計時を終了させる (ステップ S 6)。次に、制御部 15 は、タイマ 18 が計時を開始してから計時時間が設定時間以上となるまでに記憶部 17 に記憶した複数の電圧情報が示す電圧 V_d に基づいて、差動増幅器 12 の出力端子から出力されている電圧 V_d が安定しているか否かを判定する (ステップ S 7)。

【0107】

ここで、制御部 15 は、例えば、前述した複数の電圧情報が示す電圧 V_d の最小値と最大値との差分電圧が所定電圧以下である場合に電圧 V_d が安定したと判定し、差分電圧が所定電圧を超えている場合に電圧 V_d が安定していないと判定する。電圧 V_d は、前述したように、 $K \times r_1 \times I_{out}$ で表され、増幅率 K 及び抵抗値 r_1 は定数であるため、電圧 V_d の安定は出力電圧 I_{out} の安定を意味する。

【0108】

制御部 15 は、電圧 V_d 、即ち、出力電流 I_{out} が安定していないと判定した場合 (S 7 : NO)、処理をステップ S 3 に戻す。これにより、制御部 15 は、再び、差動増幅器 12 の出力端子から入力されている電圧 V_d を示す電圧情報を経時的に記憶し、記憶している複数の電圧情報が示す電圧 V_d に基づいて、差動増幅器 12 の出力端子から出力されている電圧 V_d が安定しているか否かを判定する。制御部 15 は、電圧 V_d 、即ち、出力電流 I_{out} が安定するまで待機する。

【0109】

制御部 15 は、電圧 V_d 、即ち、出力電流 I_{out} が安定したと判定した場合 (S 7 : YES)、差動増幅器 12 が出力端子から出力している電圧 V_d が、記憶部 17 に予め記憶してある目標電圧を超えているか否かを判定する (ステップ S 8)。制御部 15 は、電圧 V_d が目標電圧を超えていると判定した場合 (S 8 : YES)、トランジスタ 50 のベースに出力している調整用 PWM 信号のデューティ D_a を上昇させる (ステップ S 9)。これにより、参照電圧 V_{r1} 、 V_{r2} は低下し、出力電流 I_{out} は再び変動する。参照電圧 V_{r1} 、 V_{r2} を低下させることによって、差動増幅器 12 の出力端子から安定して出力される電圧 V_d を低くすることが可能となり、出力電流 I_{out} が収束した後に出力端子 B 1、B 2 間に安定して流れる出力電流 I_{out} を小さくすることが可能となる。

【0110】

制御部 15 は、ステップ S 9 を実行した後、処理をステップ S 3 に戻し、電圧 V_d 、即ち、出力電流 I_{out} が安定するまで待機する。そして、電圧 V_d が安定した後、制御部 15 は再びステップ S 8 を実行する。

【0111】

制御部 15 は、電圧 V_d が目標電圧を超えていないと判定した場合 (S 8 : NO)、電圧 V_d が目標電圧未満であるか否かを判定する (ステップ S 10)。制御部 15 は、電圧 V_d が目標電圧未満であると判定した場合 (S 10 : YES)、トランジスタ 50 のベースに出力している調整用 PWM 信号のデューティ D_a を低下させる (ステップ S 11)。これにより、参照電圧 V_{r1} 、 V_{r2} は上昇し、出力電流 I_{out} は再び変動する。参照電圧 V_{r1} 、 V_{r2} を上昇させることによって、差動増幅器 12 の出力端子から安定して出力される電圧 V_d を高くすることが可能となり、出力電流 I_{out} が収束した後に出力端子 B 1、B 2 間に安定して流れる出力電流 I_{out} を大きくすることが可能となる。

【0112】

制御部 15 は、ステップ S 11 を実行した後、処理をステップ S 3 に戻し、電圧 V_d 、即ち、出力電流 I_{out} が安定するまで待機する。

制御部 15 は、電圧 V_d が目標電圧未満ではないと判定した場合、即ち、電圧 V_d が目標電圧である場合 (S 10 : NO)、処理をステップ S 3 に戻す。

10

20

30

40

50

【0113】

電圧 V_d が目標電圧であって、所望の出力電流 I_{out} が出力端子 B_1 、 B_2 間を流れている場合であっても、例えば、バッテリー2の出力電圧の低下によって、入力電圧 V_{in} が低下し、出力電流 I_{out} が低下する可能性がある。制御部15は、前述したように、処理を終了せずに繰り返しているため、再び、電圧 V_d が目標電圧となるように、参照電圧 V_{r1} 、 V_{r2} 夫々を調整する。

以上のように、電圧調整処理では、参照電圧 V_{r1} 、 V_{r2} を調整することによって、出力端子 B_1 、 B_2 間に安定して流れている出力電流 I_{out} が調整される。

【0114】

なお、生成回路16の構成は、抵抗 R_{52} 、 R_{54} が参照電圧 V_{r2} を分圧することによって、参照電圧 V_{r1} を生成する構成に限定されず、例えば、参照電圧 V_{r1} 、 V_{r2} を各別に生成する構成であってもよい。また、制御部15は参照電圧 V_{r1} 、 V_{r2} 両方を同時に調整しなくてもよく、例えば、参照電圧 V_{r1} 、 V_{r2} のいずれか一方を調整してもよい。

また、参照電圧 V_{r1} 、 V_{r2} は固定値であってもよい。この場合、制御部15は電圧調整処理を行うことなく、生成回路16から昇圧調整回路13及び降圧調整回路14夫々に一定の参照電圧 V_{r1} 、 V_{r2} が出力される。

【0115】

更に、変圧装置1の構成は、差動増幅器12の出力端子から出力される電圧 V_d を用いて出力電流 I_{out} を調整する構成に限定されず、例えば、電流計により、出力端子 B_1 、 B_2 間に流れる電流を直接計測し、計測した電流を用いて、出力電流 I_{out} を調整する構成であってもよい。

【0116】

また、変圧装置1は、ダイオード D_1 の代わりに第1スイッチが設けられ、ダイオード D_2 の代わりに第2スイッチが設けられている構成であってもよい。この場合、降圧動作は、FET10をオンにすると共に第1スイッチをオフにし、FET10をオフにする共に第1スイッチをオンにすること、即ち、FET10及び第1スイッチを相補的にオン/オフすることによって行われる。更に、昇圧動作は、FET11をオンにすると共に第2スイッチをオフにし、FET11をオフにすると共に第2スイッチをオンにすること、即ち、FET11及び第2スイッチを相補的にオン/オフすることによって行われる。

【0117】

更に、FET10、11夫々は、スイッチとして機能すればよい。Nチャネル型のFETに限定されず、Pチャネル型のFETであってもよい。また、FET10、11夫々の代わりに、バイポーラトランジスタ又はリレー接点等を用いてもよい。トランジスタ50も、スイッチとして機能すればよい。NPN型のバイポーラトランジスタに限定されず、PNP型のバイポーラトランジスタであってもよい。また、トランジスタ50の代わりに、FET又はリレー接点等を用いてもよい。

【0118】

開示された本実施の形態は、全ての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上述の説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図される。

【符号の説明】

【0119】

- 1 変圧装置
- 12 差動増幅器（電流検出回路の一部、出力手段の一部）
- 13 昇圧調整回路
- 14 降圧調整回路
- 15 制御部（調整手段）
- 16 生成回路
- A1、A2 入力端子（入力端子対）

10

20

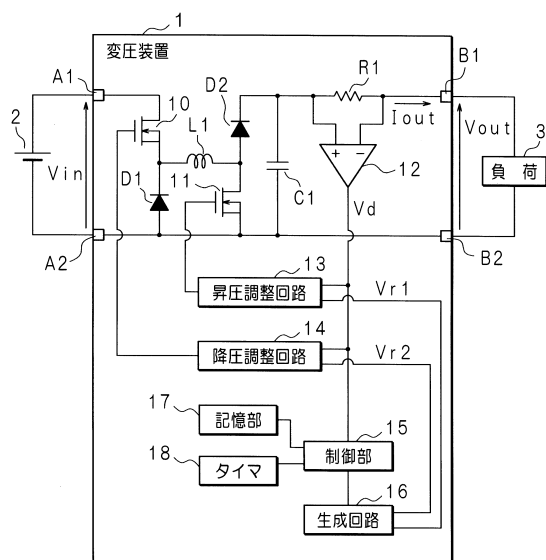
30

40

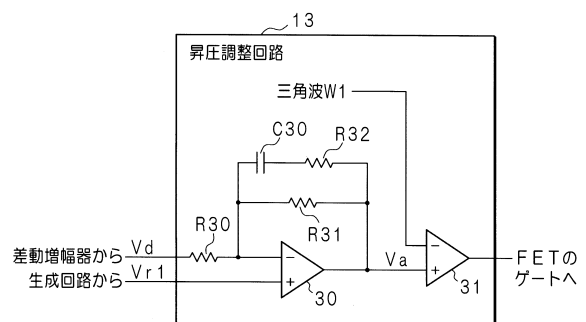
50

$B1, B2$ 出力端子（出力端子対）
 I_{r1} 参照電流（電流 $I1$ ）
 I_{r2} 参照電流（電流 $I2$ ）
 $R1$ 抵抗（電流検出回路の他部、出力手段の他部）
 V_{in} 入力電圧
 V_{r1} 参照電圧（電圧 $V1$ ）
 V_{r2} 参照電圧（電圧 $V2$ ）

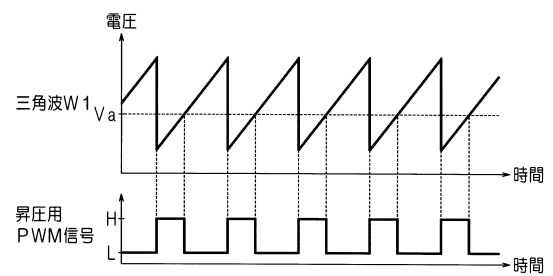
【図 1】



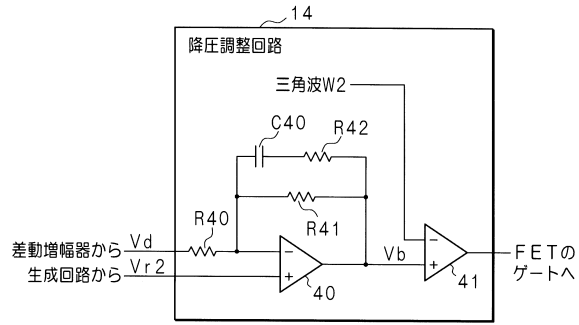
【図 2】



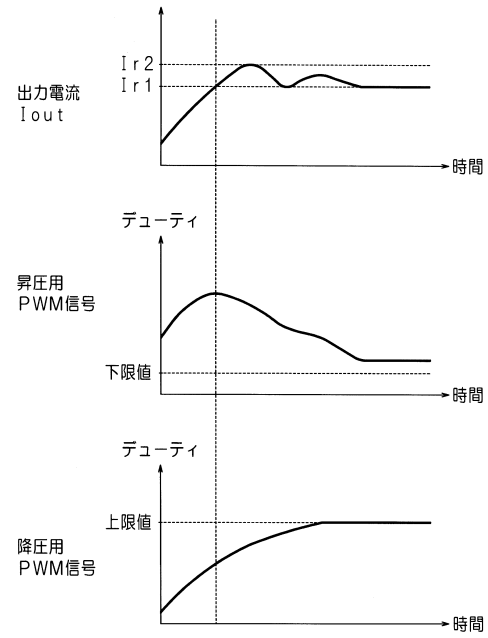
【図 3】



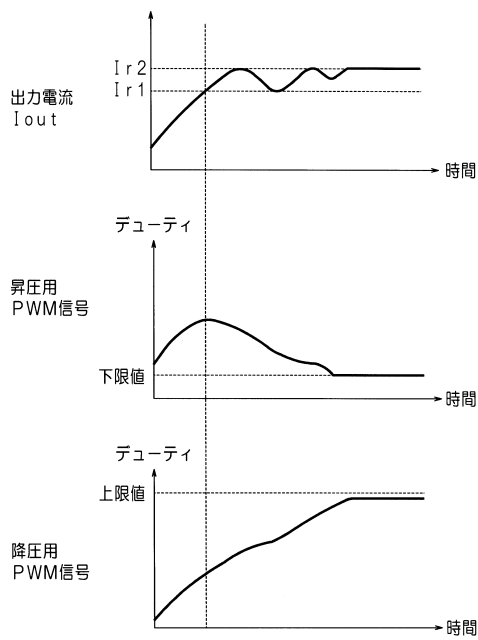
【図 4】



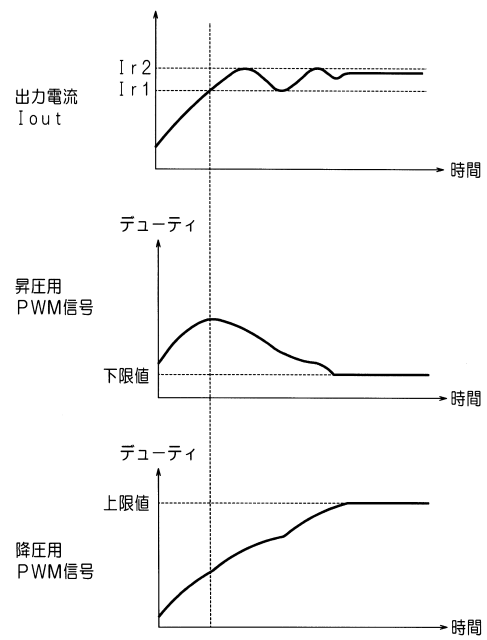
【図 5】



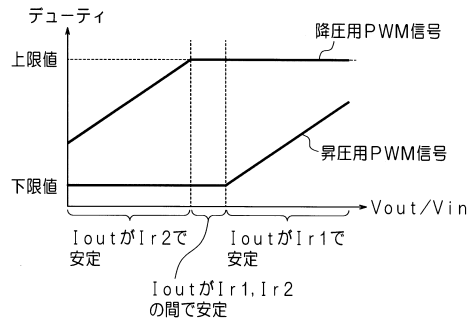
【図 6】



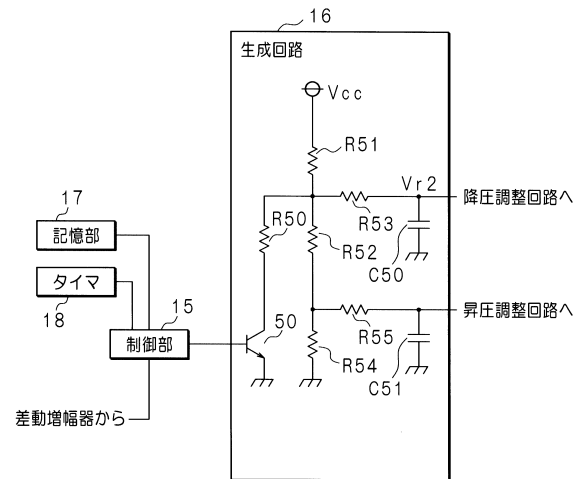
【図 7】



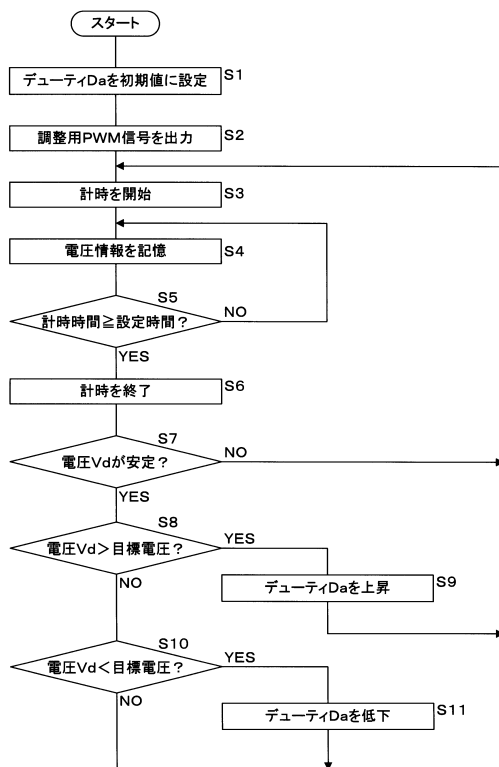
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 西村 次夫

三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内

審査官 坂東 博司

- (56)参考文献 特開2010-268590(JP,A)
特開2010-158116(JP,A)
特開2010-284046(JP,A)
特開2011-130557(JP,A)
特開2006-006004(JP,A)
再公表特許第2008/001603(JP,A1)
特開2005-354860(JP,A)
特開2014-054025(JP,A)
特開2013-090458(JP,A)
特開平10-225105(JP,A)
特開昭62-018970(JP,A)
国際公開第2012/176403(WO,A1)
特開2008-61433(JP,A)
特開2010-104161(JP,A)
特開2010-98840(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/155