

(12) 发明专利申请

(10) 申请公布号 CN 102386076 A

(43) 申请公布日 2012.03.21

(21) 申请号 201010269029.1

(22) 申请日 2010.08.31

(71) 申请人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路 3 号

(72) 发明人 李永亮 徐秋霞

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 王波波

(51) Int. Cl.

H01L 21/28(2006.01)

H01L 21/8238(2006.01)

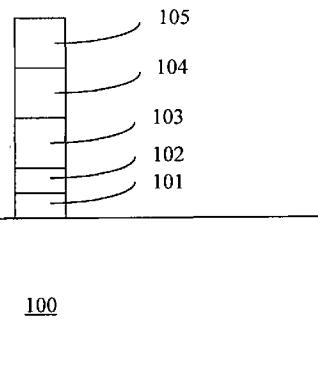
权利要求书 1 页 说明书 5 页 附图 4 页

(54) 发明名称

金属栅层 / 高 K 栅介质层的叠层结构的刻蚀
方法

(57) 摘要

本发明公开了一种金属栅层 / 高 K 栅介质层的叠层结构的刻蚀方法，属于集成电路制造技术领域。该方法包括：在半导体衬底上依次形成界面层、高 K 栅介质层、金属栅层、多晶硅层和硬掩膜层；根据需要形成的栅极图案对所述硬掩膜层和多晶硅层进行刻蚀；采用预刻、主刻和过刻工艺对金属栅层 / 高 K 栅介质层的叠层结构进行刻蚀；其中，在对金属栅层 / 高 K 栅介质层的叠层结构进行主刻时，采用包括 BC_l₃ 和 SF₆ 的混合气体作为工艺气体。本发明适用于 CMOS 器件中引入高 K 介质、金属栅材料后的栅结构刻蚀工艺。



1. 一种金属栅层 / 高 K 栅介质层的叠层结构的刻蚀方法，包括：

在半导体衬底上依次形成界面层、高 K 栅介质层、金属栅层、多晶硅层和硬掩膜层；

根据需要形成的栅极图案对所述硬掩膜层和多晶硅层进行刻蚀；

采用预刻、主刻和过刻工艺对金属栅层 / 高 K 栅介质层的叠层结构进行刻蚀；

其中，在对金属栅层 / 高 K 栅介质层的叠层结构进行主刻时，采用包括 BCl_3 和 SF_6 的混合气体作为工艺气体。

2. 根据权利要求 1 所述的刻蚀方法，其中，在进行主刻时，所述混合气体进一步包括 O_2 、 N_2 和 Ar 中的任一种或多种的组合。

3. 根据权利要求 1 所述的刻蚀方法，其中，在对金属栅层 / 高 K 栅介质层的叠层结构进行预刻时，采用 Ar 或者 Ar 与 Cl_2 的混合气体作为工艺气体。

4. 根据权利要求 3 所述的刻蚀方法，其中，在对金属栅层 / 高 K 栅介质层的叠层结构进行预刻时， Cl_2 与 Ar 的比率小于等于 1。

5. 根据权利要求 3 或 4 所述的刻蚀方法，其中，预刻步骤的工艺条件为上电极功率为 200–450W，下电极功率为 40–160W，压强为 6–15mt，气体的总流量为 40–100sccm，腔体和电极的温度控制在 50–80°C。

6. 根据权利要求 1 所述的刻蚀方法，其中，在对金属栅层 / 高 K 栅介质层的叠层结构进行过刻时，采用含有 BCl_3 的工艺气体。

7. 根据权利要求 6 所述的刻蚀方法，其中，所述工艺气体中进一步包括 Ar 或 O_2 中至少一种。

8. 根据权利要求 7 所述的刻蚀方法，其中，所述工艺气体中 BCl_3 与 O_2 、Ar 混合气体中 Ar 与 BCl_3 的比率为小于等于 2 : 3， O_2 与 BCl_3 的比率为小于等于 1 : 7。

9. 根据权利要求 6 或 7 或 8 所述的刻蚀方法，其中，过刻步骤的工艺条件为上电极功率为 100–200W，下电极功率为 0–80W，压强为 4–8mt，刻蚀气体的总流量为 50–100sccm，腔体和电极的温度控制在 50–80°C。

10. 根据权利要求 1 所述的刻蚀方法，其中，主刻步骤的工艺条件为上电极功率为 120–300W，下电极功率为 40–150W，压强为 4–10mt，刻蚀气体的总流量为 50–100sccm，腔体和电极的温度控制在 50–80°C。

11. 根据权利要求 1 至 4 中任一项或 6 至 8 中任一项或 10 所述的刻蚀方法，其中，所述高 K 栅介质层的材料包括 $HfAlON$ 、 $HfSiAlON$ 、 $HfTaAlON$ 、 $HfTiAlON$ 、 $HfON$ 、 $HfSiON$ 、 $HfTaON$ 、 $HfTiON$ 中的任一种或多种的组合，所述金属栅层的材料包括 TaN 、 TiN 、 MoN 、 Ru 、 Mo 中的任一种或多种的组合。

金属栅层 / 高 K 栅介质层的叠层结构的刻蚀方法

技术领域

[0001] 本发明涉及半导体制造领域,尤其涉及一种金属栅层 / 高 K 栅介质层的叠层结构的刻蚀方法。

背景技术

[0002] 随着半导体器件的特征尺寸进入到 45nm 技术节点以后,为了减小栅隧穿电流,降低器件的功耗,并彻底消除多晶硅耗尽效应和 PMOSFET(P 型金属—氧化物—半导体场效应晶体管) 中 B 扩散引起的可靠性问题,缓解费米能级钉扎效应,采用高 K(介电常数)/金属栅材料代替传统的 SiO₂/poly(多晶硅) 结构已经成为了必然的选择。为了降低刻蚀的难度,避免后续源 / 漏离子注入等工艺对金属栅电极的影响,以及引入高 K 和金属栅材料后不过多地增加原有 CMOS(互补性金属氧化物半导体场效应晶体管) 工艺的复杂性,一般采用多晶硅 / 金属栅的叠层结构代替纯金属栅电极,形成在多晶硅栅和高 K 介质间插入一薄层金属栅的叠层结构。

[0003] 金属栅层 / 高 K 栅介质层叠层结构的刻蚀工艺是高 K、金属栅材料实际应用到 CMOS 工艺的主要挑战之一。由于高 K、金属栅材料的刻蚀产物的挥发性较差,采用现有的适用于多晶硅栅刻蚀的工艺不易得到陡直的刻蚀剖面。另外,对于多晶硅 / 金属栅层 / 高 K 栅介质层的叠层结构,在刻蚀金属栅层 / 高 K 栅介质层叠层结构的过程中不仅要得到陡直的金属栅层 / 高 K 栅介质层剖面还要保持多晶硅的剖面不受到破坏。而且,纳米级 CMOS 器件要求金属栅层 / 高 K 栅介质层叠层结构刻蚀对 Si 衬底的损失要低于 1nm。所以,开发出一种适用于金属栅层 / 高 K 栅介质层叠层结构的刻蚀工艺是实现这些新材料集成的关键之一。

发明内容

[0004] 本发明提供的金属栅层 / 高 K 栅介质层的叠层结构的刻蚀方法,能够得到较好的栅极叠层结构的刻蚀剖面,改善器件的性能。

[0005] 本发明提供的金属栅层 / 高 K 栅介质层的刻蚀方法,包括:在半导体衬底上依次形成界面层、高 K 栅介质层、金属栅层、多晶硅层和硬掩膜层;根据需要形成的栅极图案对所述硬掩膜层和多晶硅层进行刻蚀;采用预刻、主刻和过刻工艺对金属栅层 / 高 K 栅介质层的叠层结构进行刻蚀;其中,在对金属栅层 / 高 K 栅介质层的叠层结构进行主刻时,采用包括 BC₁₃ 和 SF₆ 的混合气体作为工艺气体。

[0006] 其中,所述混合气体中还可以进一步加入 O₂、N₂ 和 Ar 中的一种或多种的混合气体。

[0007] 可选地,在对金属栅层 / 高 K 栅介质层的叠层结构进行预刻时,可以采用 Ar 或者 Ar 与 Cl₂ 的混合气体作为工艺气体;其中 Cl₂ 与 Ar 的比率小于等于 1;并且预刻步骤的工艺条件可以优选为:上电极功率为 200~450W,下电极功率为 40~160W,压强为 6~15mt,气体的总流量为 40~100sccm,腔体和电极的温度控制在 50~80℃。

[0008] 可选地,在对金属栅层 / 高 K 栅介质层的叠层结构进行过刻时,采用包括 BC₁₃ 的

工艺气体；所述工艺气体中可以进一步包括 Ar 或 O₂ 中至少一种，工艺气体中 Ar 与 BC₁₃ 的比率为小于等于 2：3，O₂ 与 BC₁₃ 的比率为小于等于 1：7；此外，过刻步骤的工艺条件可以优选为：上电极功率为 100–200W，下电极功率为 0–80W，压强为 4–8mt，刻蚀气体的总流量为 50–100sccm，腔体和电极的温度控制在 50–80℃。

[0009] 可选地，主刻步骤的工艺条件可以为上电极功率为 120–300W，下电极功率为 40–150W，压强为 4–10mt，刻蚀气体的总流量为 50–100sccm，腔体和电极的温度控制在 50–80℃。

[0010] 在本发明的实施例中，高 K 介质层的材料包括 HfAlON、HfSiAlON、HfTaAlON、HfTiAlON、HfON、HfSiON、HfFaON、HfFiON 中的任一种或多种的组合，金属栅层的材料可以包括 TaN、TiN、MoN、Ru、Mo 中的任一种或多种的组合。

[0011] 本发明提出的金属栅层 / 高 K 栅介质的叠层结构的刻蚀方法，通过优化刻蚀工艺条件，采用 BC₁₃ 和 SF₆ 的混合气体进行金属栅层 / 高 K 栅介质材料刻蚀时，在 BC₁₃ 中加入 SF₆ 气体或加入 SF₆ 与 O₂、N₂、Ar 中的一种或多种气体的混合气体不仅可以改善金属栅的刻蚀剖面，还可以提高金属栅材料对高 K 材料的选择比；采用包括 BC₁₃ 气体的过刻条件不仅可以完全去除高 K 材料而且因 BC₁₃ 气体可以与 Si 衬底形成 Si-B 键而提高刻蚀过程中对 Si 衬底的选择比。本发明提出的金属栅层 / 高 K 栅介质层的叠层结构的刻蚀方法，可以满足高 K、金属栅材料刻蚀工艺的需要，能够与现有的 CMOS 工艺兼容。

附图说明

[0012] 通过以下参照附图对本发明实施例的描述，本发明的上述以及其他目的、特征和优点将更为清楚，在附图中：

[0013] 图 1–5 为根据本发明实施例的金属栅层 / 高 K 栅介质层的刻蚀方法各个步骤对应的截面示意图；

[0014] 图 6 为本发明实施例刻蚀 TaN(33nm) / HfSiON 的叠层结构的扫描电镜图；

[0015] 图 7 为本发明实施例对刻蚀后的 TaN 金属栅 (11nm) / HfSiON 高 K 介质叠层结构的表面的 XPS(X 光电子能谱) 分析。

具体实施方式

[0016] 以下，通过附图中示出的具体实施例来描述本发明。但是应该理解，这些描述只是示例性的，而并非要限制本发明的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要的混淆本发明的概念。

[0017] 在附图中示出了根据本发明实施例的层结构示意图。这些图并非是按比例绘制的，其中为了清楚的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域 / 层。

[0018] 图 1–5 详细示出了根据本发明实施例进行金属栅层 / 高 K 栅介质层的叠层结构的刻蚀方法中各步骤对应的结构截面图。以下，将参照这些附图来对根据本发明实施例的各个步骤予以详细说明。

[0019] 参考图 1,首先提供半导体衬底 100。衬底 100 可以包括任何适合的半导体衬底材料,具体可以是但不限于硅、锗、锗化硅、SOI(绝缘体上硅)、碳化硅、砷化镓或者任何III / V 族化合物半导体等。根据现有技术公知的设计要求(例如 p 型衬底或者 n 型衬底),半导体衬底 100 可以包括各种掺杂配置。此外,半导体衬底 100 可以可选地包括外延层,可以被应力改变以增强性能。本发明的实施例以 Si 衬底为例。

[0020] 在半导体衬底 100 上依次形成界面层 101、高 K 棚介质层 102、金属棚层 103、多晶硅层 104 以及硬掩模层 105。界面层 101 例如可以是 SiO_2 ,可以通过热氧化(RTO)或淀积方法形成。高 K 棚介质层 102 的形成材料可以包括:HfAlON、HfSiAlON、HfTaAlON、HfTiAlON、HfON、HfSiON、HfTaON、HfTiON 中的任一种或多种的组合。金属棚层 103 的材料可以包括TaN、TiN、MoN、Ru、Mo 中的任一种或多种的组合。高 K 棚介质层 102 和金属棚层 103 可以通过 PVD(物理气相淀积)、CVD(化学气相淀积)、ALD(原子层淀积)、PLD(脉冲激光淀积)、MOCVD(金属有机化学气相淀积)、PEALD(等离子体增强原子层淀积)、MBE(分子束淀积)等方法形成,优选采用 PVD 方法,但本发明对此不做限制。可以采用 LPCVD(低压化学气相淀积)方法或其他方法形成多晶硅层 104。硬掩模层 105 可以通过低温热氧化工艺形成 SiO_2 得到,或者也可以采用不同的方法形成其他介质材料,如 Si_3N_4 ,用于保护下面的多晶硅层 104。

[0021] 如图 2 所示,在刻蚀之前,首先在硬掩模层 105 上旋涂一层光刻胶,并根据要形成的栅极图案对光刻胶进行图案化,以形成光刻胶图案 106,并将未反应的光刻胶去除。

[0022] 接着,如图 3 所示,形成光刻胶图案 106 后,分别对硬掩膜层 105 和多晶硅 104 进行高选择比的各向异性刻蚀,如干法刻蚀,例如可以采用 RIE(反应离子刻蚀)方法进行刻蚀。在刻蚀完硬掩膜层 105 之后,可以将光刻胶图案 106 去除,然后再刻蚀多晶硅层 104。多晶硅层 104 刻蚀后,得到陡直的多晶硅刻蚀剖面并且该刻蚀停止在金属棚层 103 上。

[0023] 然后,通过预刻、主刻、过刻工艺对金属棚层 / 高 K 棚介质层的叠层结构进行高选择比的各向异性刻蚀。

[0024] 具体地,进行金属棚层 / 高 K 棚介质层的叠层结构的预刻步骤,可以采用干法刻蚀,例如 RIE、Plasma(等离子体)刻蚀、ICP(感应耦合等离子体)刻蚀或其他的刻蚀方法。在这个步骤中,可以采用 Ar 或者 Ar 与 Cl_2 的混合气体作为工艺气体进行刻蚀。优选地, Cl_2 与 Ar 的比率小于等于 1。以反应离子刻蚀为例,刻蚀中可选的工艺条件是:上电极功率为 200–450W,下电极功率为 40–160W,压强为 6–15mt,气体的总流量为 40–100sccm,腔体和电极的温度控制在 50–80°C。预刻步骤后,去除了金属棚层 103 表面存在的氧化层,并在金属棚层 103 中引入损伤,从而利于后续主刻步骤的进行。

[0025] 接着,对金属棚层 / 高 K 棚介质层的叠层结构进行主刻步骤,可以采用干法刻蚀,例如 RIE、Plasma 刻蚀、ICP 刻蚀方法或其他的刻蚀方法。这个步骤主要刻蚀金属棚层 103。可以采用包括 BCl_3 和 SF_6 的混合气体作为工艺气体,在 BCl_3 中加入 SF_6 气体不仅可以改善金属棚的刻蚀剖面,还可以提高金属棚材料对高 K 材料的选择比。优选地,还可以进一步在工艺气体中加入 O_2 、 N_2 和 Ar 中的任一种或多种的组合,以便更好地控制刻蚀速率和刻蚀的均匀性,进一步提高刻蚀剖面的陡直度,并提高金属棚层对高 K 棚介质层的选择比。以反应离子刻蚀为例,主刻步骤中可以优选以下的工艺条件:上电极功率为 120–300W,下电极功率为 40–150W,压强为 4–10mt,刻蚀气体的总流量为 50–100sccm,腔体和电极的温度控制在

50–80°C。

[0026] 主刻步骤的刻蚀结果是将金属栅层 104 去除,形成了如图 4 所示的结果。采用本发明实施例的主刻步骤,被刻蚀后的金属栅层 103 形成了陡直的刻蚀剖面。

[0027] 最后,对高 K 栅介质层进行过刻,可以采用干法刻蚀,例如 RIE、Plasma 刻蚀、ICP 刻蚀方法或其他的刻蚀方法。过刻步骤中可以采用含有 BC₁₃ 的气体作为工艺气体。采用 BC₁₃ 气体的过刻条件不仅可以完全去除高 K 材料而且因 BC₁₃ 气体可以与 Si 衬底形成 Si-B 键而提高刻蚀过程中对 Si 衬底的选择比。并且优选地,工艺气体中还可以进一步包括 Ar 或 O₂ 中至少一种,能够进一步提高刻蚀的均匀性和对 Si 衬底的选择比。优选地,工艺气体中 BC₁₃ 与 O₂、Ar 混合气体中 Ar 与 BC₁₃ 的比率小于等于 2 : 3, O₂ 与 BC₁₃ 的比率小于等于 1 : 7。以反应离子刻蚀为例,过刻步骤中优选采用的工艺条件为:上电极功率为 100–200W, 下电极功率为 0–80W, 压强为 4–8mT, 刻蚀气体的总流量为 50–100sccm, 腔体和电极的温度控制在 50–80°C。过刻中,除了高 K 栅介质层 102, 进一步地, 界面层 101 也可以被刻蚀。刻蚀后形成了如图 5 所示的结构。采用本发明实施例的过刻步骤,被刻蚀后的高 K 栅介质层 102 和界面层 101 形成了陡直的刻蚀剖面。

[0028] 如图 6 所示为根据本发明的一个实施例得到的刻蚀结果的电镜观察结果示意图。在这个实施例中,采用的是 SiO₂/Poly(多晶硅)/TaN/HfSiON/SiO_x/Si 叠层结构,其中 SiO₂ 作为硬掩膜,厚度为 65nm, 多晶硅厚度为 110nm, 金属栅层采用 TaN, 厚度为 30nm, HfSiON 作为高 K 栅介质层, 厚度为 3nm, SiO_x 为界面层, 以 Si 为半导体衬底。在栅极刻蚀过程中, 优化预刻、主刻、过刻的刻蚀条件, 如刻蚀气体的比率、上下电极功率、气体压力以及腔体和电极的温度等参数对 TaN/HfSiON 的叠层结构进行高选择比的各向异性刻蚀刻蚀, 为了看清楚界面, 刻蚀后还在样品表面淀积了 40nm 的 SiN 材料。图 6 中发亮的白色部分的金属栅层, 其上方为多晶硅层, 其下方为高 K 栅介质层。从图 6 可以看出, 刻蚀后, 多晶硅层和金属栅层的刻蚀剖面都是陡直的, 无刻蚀残余, 并且该刻蚀工艺对 Si 衬底的损耗较少。

[0029] 在本发明的另一实施例中, 将上述实施例中的金属栅层 TaN 改变为 11nm。同样通过优化预刻、主刻、过刻的刻蚀条件, 如刻蚀气体的比率、上下电极功率、气体压力以及腔体和电极的温度等参数对 TaN/HfSiON 的叠层结构进行高选择比的各向异性刻蚀刻蚀后, 对刻蚀后的样品表面进行 XPS(X 光电子能谱) 分析, 分析结果如图 7 所示。其中, 曲线 A 表示只采用主刻工艺后得到的 Hf 元素强度分析, 曲线 B 表示在主刻加过刻工艺后的 Hf 元素强度分析。可以看出, 只采用适用于该结构的优化的主刻条件刻蚀后, 被刻处还存在 Hf 元素, 这说明主刻后样品还存在 HfSiON 高 K 介质, 没有刻蚀到 Si 衬底的表面; 加上优化的 BC₁₃/Ar 气体的过刻后, 样品表面已经不存在 Hf 元素, 说明 HfSiON 高 K 材料已经完全去除, 实现了 TaN/HfSiON 叠层结构的完全去除。

[0030] 综上所述, 本发明实施例的金属栅层 / 高 K 栅介质层的叠层结构的刻蚀方法, 可以满足高 K / 金属栅材料刻蚀工艺的需要, 刻蚀后不仅得到了陡直的刻蚀剖面而对 Si 衬底的损失很少, 为实现高 K / 金属栅的集成提供了必要保证。此外, 本发明提出的金属栅 / 高 K 介质叠层结构的刻蚀方法, 与现有的 CMOS 工艺兼容性较高。

[0031] 此外, 纳米级 CMOS 器件要求金属栅 / 高 K 叠层结构刻蚀对 Si 衬底的损失要低于 1nm。本发明的实施例采用的方法能够达到这个要求。

[0032] 本发明所提供的金属栅 / 高 K 介质叠层结构的刻蚀方法更适于纳米级 CMOS 器件

中高 K、金属栅的集成，更符合超大规模集成电路的内在要求和发展方向。

[0033] 在以上的描述中，对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解，可以通过现有技术中的各种手段，来形成所需形状的层、区域等。另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。

[0034] 以上参照本发明的实施例对本发明予以了说明。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围，本领域技术人员可以做出多种替换和修改，这些替换和修改都应落在本发明的范围之内。

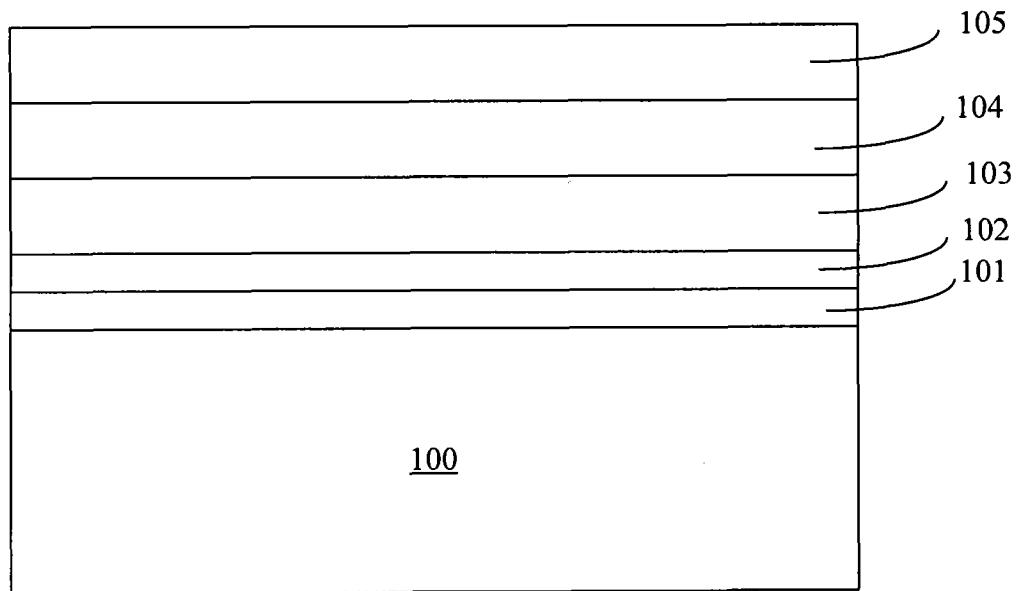


图 1

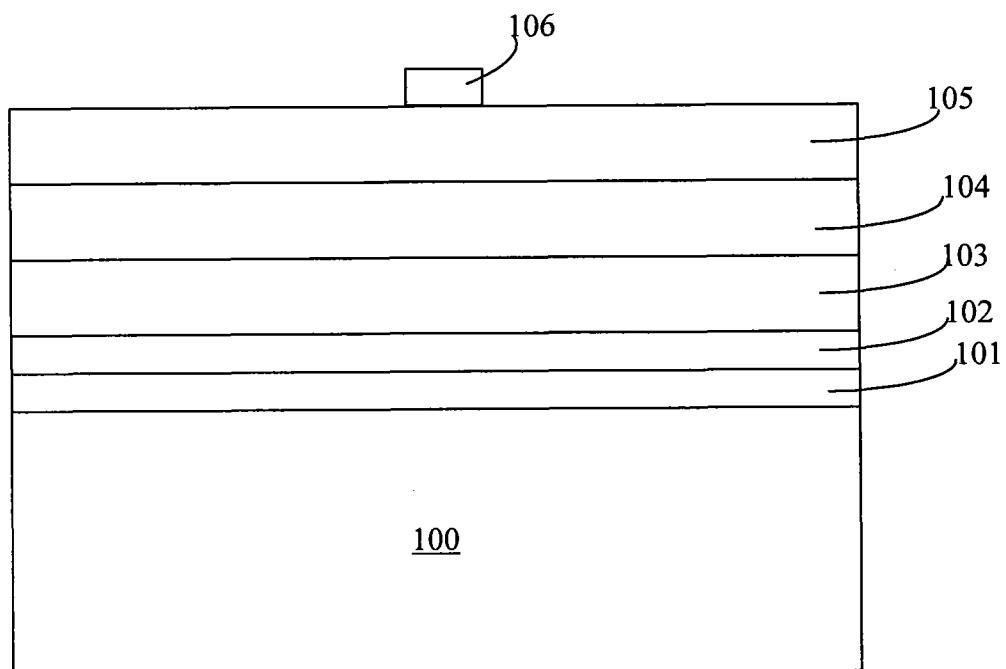


图 2

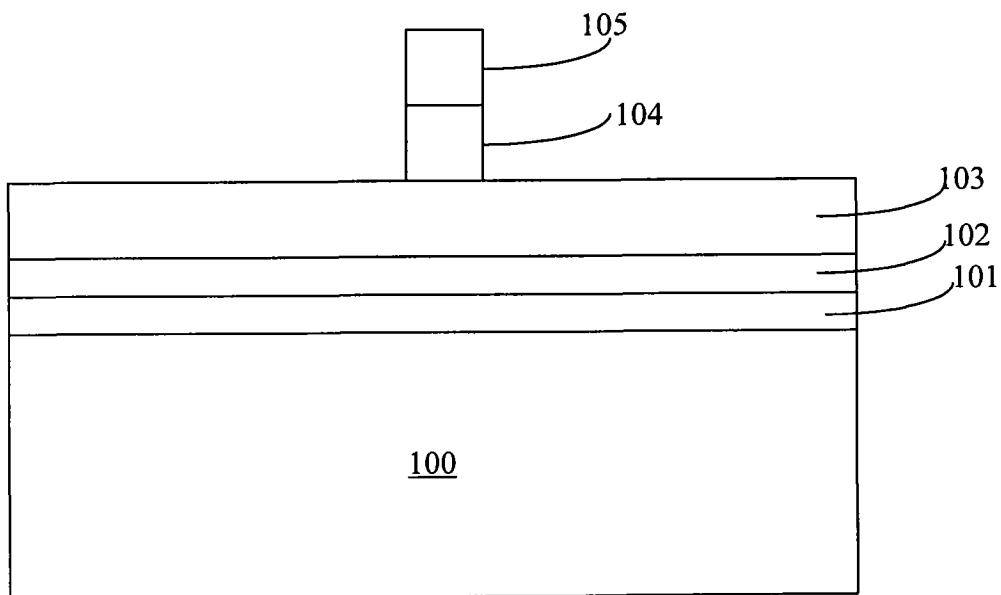


图 3

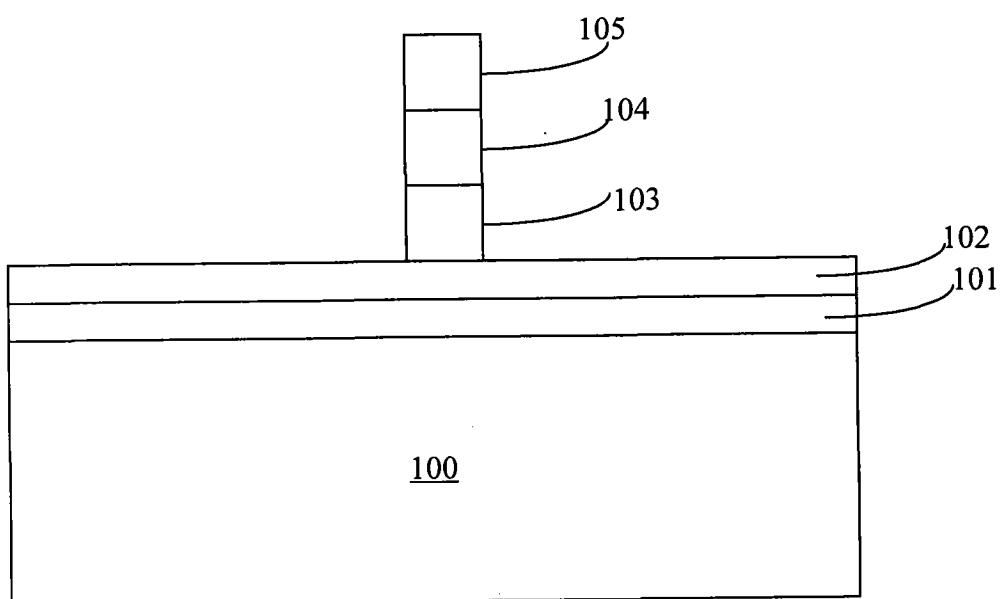


图 4

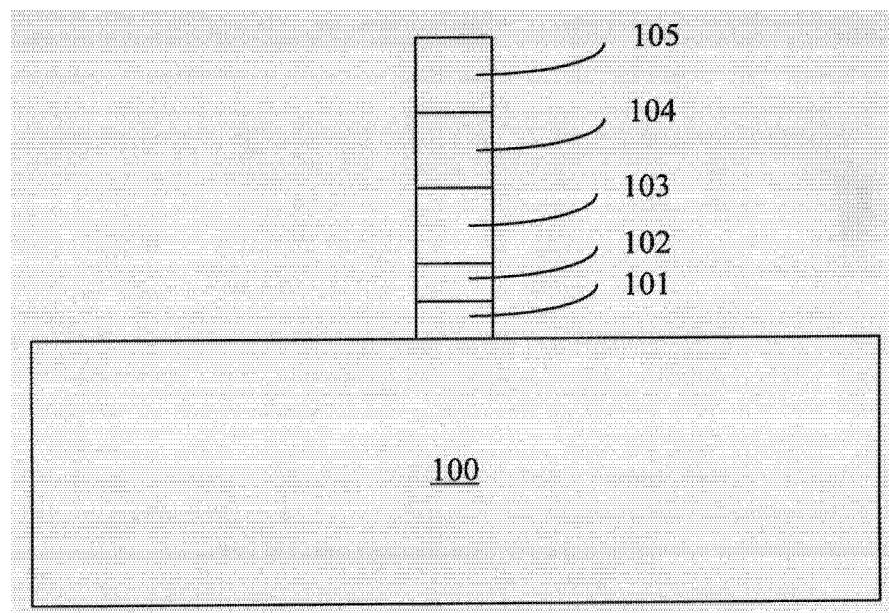


图 5

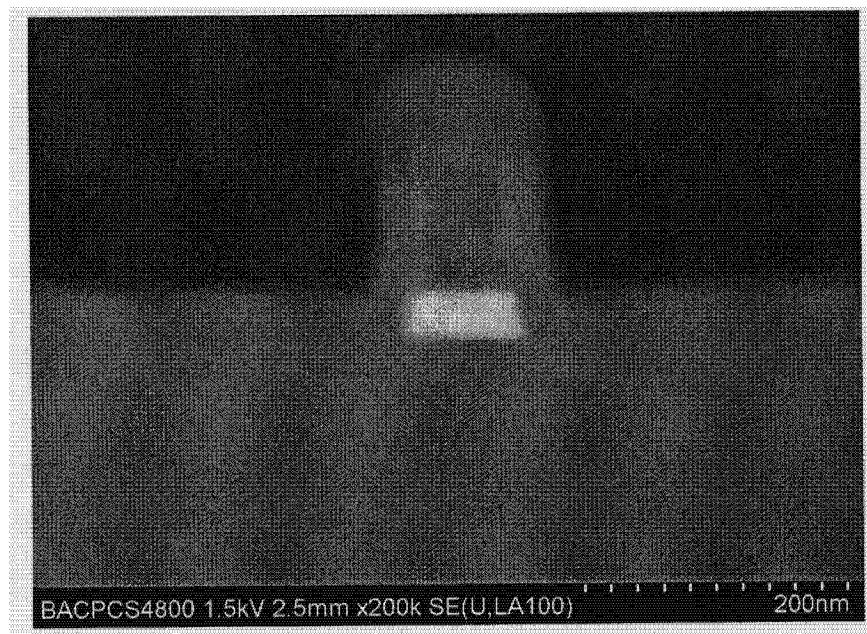


图 6

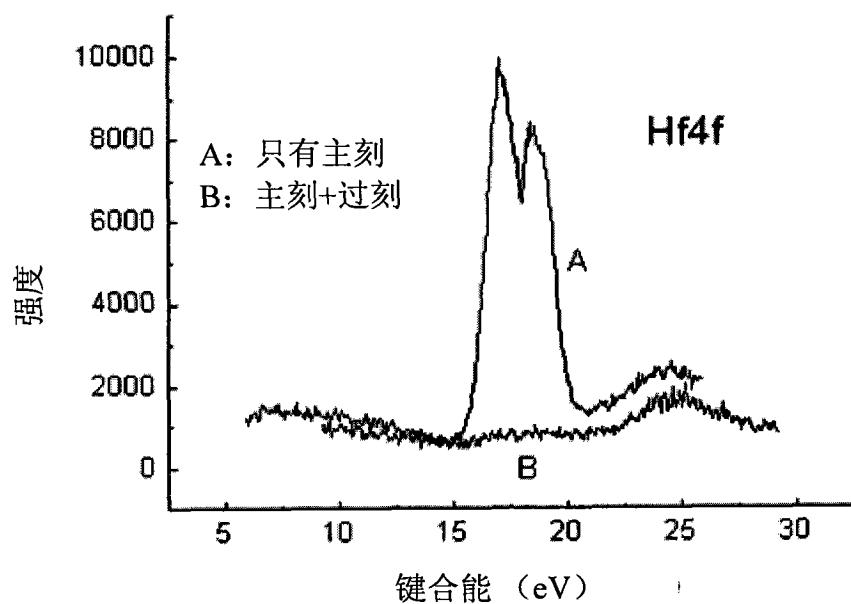


图 7