

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年10月6日(06.10.2022)



(10) 国際公開番号

WO 2022/209207 A1

- (51) 国際特許分類:
H04N 5/3745 (2011.01) H04N 5/355 (2011.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2022/002343
- (22) 国際出願日: 2022年1月24日(24.01.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-060431 2021年3月31日(31.03.2021) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

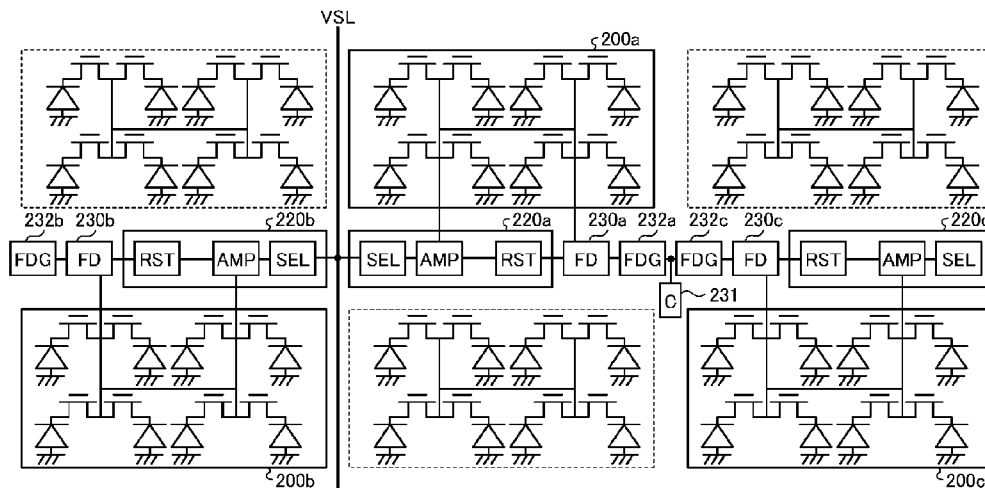
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

- (72) 発明者: 松田 直之 (MATSUDA, Naoyuki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 小田原 正起 (ODAHARA, Masaki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

- (74) 代理人: 弁理士法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(54) Title: IMAGING ELEMENT AND IMAGING DEVICE

(54) 発明の名称: 撮像素子及び撮像装置



(57) Abstract: The present invention adjusts the dynamic range for each pixel. In a pixel array unit, a plurality of pixel groups are arranged in a two-dimensional matrix, each pixel group including: a plurality of pixels comprising a photoelectric conversion unit and a charge transfer unit that transfers a charge generated by the photoelectric conversion unit; and a first charge holding unit that holds the charge transferred by the charge transfer unit. An image signal generation unit is disposed in each pixel group, and generates an image signal on the basis of the charge that is held. A plurality of charge

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

transfer unit signal lines are arranged in each row of the two-dimensional matrix and transmit respective control signals of the charge transfer units of the pixel groups, and are commonly connected to the plurality of pixel groups arranged in each row. The image signals are commonly output to the image signal lines, the image signals being generated by the image signal generation units disposed respectively in pixel groups which are arranged in adjacent rows of the two-dimensional matrix. A second charge holding unit is commonly connected to the charge holding units of the pixel groups which are arranged in adjacent rows of the two-dimensional matrix.

(57) 要約: 画素毎にダイナミックレンジを調整する。画素アレイ部は、光電変換部及び光電変換部により生成される電荷を転送する電荷転送部を備える複数の画素と電荷転送部により転送される電荷を保持する第1の電荷保持部とをそれぞれ有する複数の画素グループが2次元行列に配置される。画像信号生成部は、画素グループ毎に配置されて保持された電荷に基づいて画像信号を生成する。複数の電荷転送部信号線は、2次元行列における行毎に配置されて画素グループの電荷転送部の制御信号をそれぞれ伝達するとともに行に配置される複数の画素グループに共通に接続される。画像信号線は、2次元行列における隣接する行に配置される画素グループにそれぞれ配置される画像信号生成部により生成される画像信号が共通に出力される。第2の電荷保持部は、2次元行列における隣接する行に配置される画素グループの電荷保持部に共通に接続される。

明 細 書

発明の名称：撮像素子及び撮像装置

技術分野

[0001] 本開示は、撮像素子及び撮像装置に関する。

背景技術

[0002] 撮像レンズの焦点位置を検出してオートフォーカスを行う撮像素子では、被写体像の像面位相差を検出するための位相差信号を生成する画素が配置される。この画素のうち複数の光電変換部が1つの画素に配置される画素は、複数の光電変換部の光電変換によりそれぞれ生成される電荷に基づいて複数の画像信号を生成する。この光電変換部毎の画像信号が位相差信号として使用される。また、この画素においては、複数の光電変換部により生成される電荷を加算した電荷に基づく画像信号を出力することもできる。この加算した電荷に基づく画像信号は、被写体の画像を表す画像信号として使用することができる。このような画素が受光面の全面に配置された撮像素子が使用されている。

[0003] 例えば、同色のカラーフィルタ及び複数の画素を備える画素セット毎に画像信号を生成する撮像素子が提案されている（例えば、特許文献1参照）。この撮像素子では、画素セットに含まれる複数の光電変換部に対して画像信号の生成に使用する光電変換部の個数を調整することによりダイナミックレンジを調整する。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2019／102887号

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記の従来技術では、画素セット単位にてダイナミックレンジの調整を行うため、解像度が低下するという問題がある。

[0006] そこで、本開示では、画素毎にダイナミックレンジを調整する撮像素子及び撮像装置を提案する。

課題を解決するための手段

[0007] 本開示の撮像素子は、画素アレイ部と、画像信号生成部と、複数の電荷転送部信号線と、画像信号線と、第2の電荷保持部とを有する。画素アレイ部は、光電変換部及び上記光電変換部により生成される電荷を転送する電荷転送部を備える複数の画素と上記電荷転送部により転送される電荷を保持する第1の電荷保持部とをそれぞれ有する複数の画素グループが2次元行列に配置される。画像信号生成部は、上記画素グループ毎に配置されて上記保持された電荷に基づいて画像信号を生成する。複数の電荷転送部信号線は、上記2次元行列における行毎に配置されて上記画素グループの上記電荷転送部の制御信号をそれぞれ伝達するとともに上記行に配置される複数の上記画素グループに共通に接続される。画像信号線は、上記2次元行列における隣接する行に配置される上記画素グループにそれぞれ配置される上記画像信号生成部により生成される上記画像信号が共通に出力される。第2の電荷保持部は、上記2次元行列における隣接する行に配置される上記画素グループの上記第1の電荷保持部に共通に接続される。

図面の簡単な説明

[0008] [図1]本開示の実施形態に係る撮像素子の構成例を示す図である。

[図2]本開示の第1の実施形態に係る画素グループの構成例を示す図である。

[図3]本開示の第1の実施形態に係る画素グループの回路構成の一例を示す図である。

[図4]本開示の第1の実施形態に係る画素グループの配置例を示す図である。

[図5]本開示の実施形態に係る画像信号の生成の一例を示す図である。

[図6]本開示の第1の実施形態に係る画素グループの配置の他の例を示す図である。

[図7]本開示の第1の実施形態に係る画素グループの配置の他の例を示す図である。

[図8]本開示の第2の実施形態に係る画素グループの回路構成の一例を示す図である。

[図9]本開示の第2の実施形態に係る画素グループの配置例を示す図である。

[図10]本開示の第3の実施形態に係る画素グループの構成例を示す図である。

[図11]本開示の第3の実施形態に係る画素グループの回路構成の一例を示す図である。

[図12]本開示に係る技術が適用され得る撮像装置の構成例を示す図である。

発明を実施するための形態

[0009] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。説明は、以下の順に行う。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

1. 第1の実施形態
2. 第2の実施形態
3. 第3の実施形態
4. 撮像装置の構成

[0010] (1. 第1の実施形態)

[撮像素子の構成]

図1は、本開示の実施形態に係る撮像素子の構成例を示す図である。同図は、撮像素子1の構成例を表すブロック図である。この撮像素子1を例に挙げて本開示の実施形態に係る半導体素子を説明する。撮像素子1は、被写体の画像データを生成する半導体素子である。撮像素子1は、画素アレイ部10と、垂直駆動部20と、カラム信号処理部30と、制御部40とを備える。

[0011] 画素アレイ部10は、複数の画素グループ200が配置されて構成されたものである。この画素アレイ部10は、複数の画素グループ200が2次元行列の形状に配置される。ここで、画素グループ200は、入射光の光電変換を行う光電変換部を有する複数の画素と光電変換により生成される電荷を

保持する電荷保持部（後述する第１の電荷保持部２３０）とを備えて構成されるものである。また、画素グループ２００毎に画像信号生成部（後述する画像信号生成部２２０）が配置される。この画像信号生成部２２０は、画素グループ２００の第１の電荷保持部２３０に保持された電荷に基づいて画像信号を生成する。その光電変換部には、例えば、フォトダイオードを使用することができる。

[0012] それぞれの画素グループ２００及び画像信号生成部２２０には、信号線１１が配線される。画素グループ２００及び画像信号生成部２２０は、信号線１１により伝達される制御信号により制御される。また、画像信号生成部２２０には、信号線１２が配線される。この信号線１２には、画像信号生成部２２０から画像信号が出力される。なお、信号線１１は、２次元行列の形状の行毎に配置され、１行に配置された複数の画素グループ２００及び画像信号生成部２２０に共通に配線される。信号線１２は、２次元行列の列方向に配置される。

[0013] 垂直駆動部２０は、上述の画素グループ２００の制御信号を生成するものである。同図の垂直駆動部２０は、画素アレイ部１０の２次元行列の行毎に制御信号を生成し、信号線１１を介して順次出力する。

[0014] カラム信号処理部３０は、画素グループ２００により生成された画像信号の処理を行うものである。同図のカラム信号処理部３０は、信号線１２を介して伝達される画素アレイ部１０の１行に配置された複数の画素グループ２００からの画像信号の処理を同時に行う。この処理として、例えば、画素グループ２００により生成されたアナログの画像信号をデジタルの画像信号に変換するアナログデジタル変換や画像信号のオフセット誤差を除去する相関二重サンプリング（ＣＤＳ：Correlated Double Sampling）を行うことができる。処理後の画像信号は、撮像素子１の外部の回路等に対して出力される。

[0015] 制御部４０は、垂直駆動部２０及びカラム信号処理部３０を制御するものである。同図の制御部４０は、信号線４１及び４２を介して制御信号をそれ

ぞれ出力して垂直駆動部 20 及びカラム信号処理部 30 を制御する。なお、同図の撮像素子 1 は、請求の範囲に記載の半導体素子の一例である。カラム信号処理部 30 は、請求の範囲に記載の処理回路の一例である。

[0016] [画素グループの構成]

図 2 は、本開示の第 1 の実施形態に係る画素グループの構成例を示す図である。同図は、画素グループ 200 の構成例を表すブロック図である。画素グループ 200 は、複数の画素 100 と、第 1 の電荷保持部 230 とを備える。同図の画素グループ 200 は、画素 100 a、100 b、100 c 及び 100 d の 4 つの画素 100 を備える例を表したものである。また、画素グループ 200 毎に画像信号生成部 220 が配置される。

[0017] 画素 100 には、光電変換部と、電荷転送部（不図示）とが配置される。同図の画素 100 a には、光電変換部 101 及び 102 が配置される。同図の画素 100 b には、光電変換部 103 及び 104 が配置される。同図の画素 100 c には、光電変換部 105 及び 106 が配置される。同図の画素 100 d には、光電変換部 107 及び 108 が配置される。前述のように光電変換部 101 等は、入射光の光電変換を行う。また、光電変換部 101 等は、光電変換により生成した電荷を保持する。

[0018] 電荷転送部は、光電変換部 101 等毎に配置され、光電変換部 101 等により生成されて保持された電荷を第 1 の電荷保持部 230 に転送するものである。後述するように、電荷転送部は、MOS トランジスタにより構成することができる。

[0019] また、画素 100 には、被写体からの入射光を集光するオンチップレンズが配置される。同図の画素 100 に記載した円は、オンチップレンズを表す。なお、画素 100 には、カラーフィルタを配置することもできる。このカラーフィルタは、入射光のうちの所定の波長の入射光を透過する光学的なフィルタである。このカラーフィルタとして赤色光、緑色光及び青色光を透過する 3 種類のカラーフィルタを使用することができる。

[0020] 第 1 の電荷保持部 230 は、光電変換部 101 等により生成される電荷を

保持するものである。この第1の電荷保持部230は、画素100が形成される半導体基板に形成される比較的高い不純物濃度の半導体領域により構成することができる。このような半導体領域は、浮遊拡散領域（FD：Floating Diffusion）と称される。

[0021] [画素グループの回路構成]

図3は、本開示の第1の実施形態に係る画素グループの回路構成の一例を示す図である。同図は、画素グループ200の構成例を表す回路図である。同図の画素100a、100b、100c及び100dには、それぞれ電荷転送部111及び112、電荷転送部113及び114、電荷転送部115及び116並びに電荷転送部117及び118が配置される。これら電荷転送部111－118は、nチャネルMOSトランジスタにより構成することができる。

[0022] また、画像信号生成部220は、リセットトランジスタ221、増幅トランジスタ222及び選択トランジスタ223を備える。これらは、nチャネルMOSトランジスタにより構成することができる。同図の「RST」、「AMP」及び「SEL」は、それぞれリセットトランジスタ、増幅トランジスタ及び選択トランジスタを表す。

[0023] また、同図には、第2の電荷保持部231と電荷保持部接続部232を更に記載した。第2の電荷保持部231は、第1の電荷保持部230に並列に接続されて光電変換部101等により生成される電荷を保持するものである。第2の電荷保持部231は、例えば、キャパシタにより構成することができる。第2の電荷保持部231を接続することにより第1の電荷保持部230の電荷保持容量を増加させることができる。これにより、画素グループ200の電荷保持部の電荷保持容量を変更することができ、ダイナミックレンジを調整することができる。電荷保持部接続部232は、第2の電荷保持部231を第1の電荷保持部230に接続するものである。電荷保持部接続部232は、nチャネルMOSトランジスタにより構成することができる。同図の「FD」、「C」及び「FDG」は、それぞれ第1の電荷保持部、第2

の電荷保持部及び電荷保持部接続部を表す。

[0024] 前述のように、画素グループ200及び画像信号生成部220には、信号線11及び12が配線される。同図の信号線11には、信号線TRG0、信号線TRG1、信号線TRG2、信号線TRG3、信号線TRG4、信号線TRG5、信号線TRG6、信号線TRG7、信号線RST、信号線SEL及び信号線FDGが含まれる。また、信号線12には、信号線VSLが含まれる。この他、画像信号生成部220は、電源線Vddが配線される。この電源線Vddは、画像信号生成部220に電源を供給する配線である。なお、信号線12は、請求の範囲に記載の電荷転送部信号線の一例である。信号線VSLは、請求の範囲に記載の画像信号線の一例である。

[0025] 光電変換部101のアノードは接地され、カソードは電荷転送部111のソースに接続される。光電変換部102のアノードは接地され、カソードは電荷転送部112のソースに接続される。光電変換部103のアノードは接地され、カソードは電荷転送部113のソースに接続される。光電変換部104のアノードは接地され、カソードは電荷転送部114のソースに接続される。光電変換部105のアノードは接地され、カソードは電荷転送部115のソースに接続される。光電変換部106のアノードは接地され、カソードは電荷転送部116のソースに接続される。光電変換部107のアノードは接地され、カソードは電荷転送部117のソースに接続される。光電変換部108のアノードは接地され、カソードは電荷転送部118のソースに接続される。

[0026] 電荷転送部111、電荷転送部112、電荷転送部113、電荷転送部114、電荷転送部115、電荷転送部116、電荷転送部117及び電荷転送部118のそれぞれのドレインは、第1の電荷保持部230の一端に共通に接続される。また、この第1の電荷保持部230の一端には、増幅トランジスタ222のゲート、リセットトランジスタ221のソース及び電荷保持部接続部232のドレインが更に接続される。第1の電荷保持部230の他の一端は、接地される。リセットトランジスタ221のドレイン及び増幅ト

ランジスタ 222 のドレインは、電源線 V d d に接続される。増幅トランジスタ 222 のソースは選択トランジスタ 223 のドレインに接続され、選択トランジスタ 223 のソースは信号線 V S L に接続される。

[0027] 電荷転送部 111 のゲートは、信号線 T R G 0 に接続される。電荷転送部 112 のゲートは、信号線 T R G 1 に接続される。電荷転送部 113 のゲートは、信号線 T R G 2 に接続される。電荷転送部 114 のゲートは、信号線 T R G 3 に接続される。電荷転送部 115 のゲートは、信号線 T R G 4 に接続される。電荷転送部 116 のゲートは、信号線 T R G 5 に接続される。電荷転送部 117 のゲートは、信号線 T R G 6 に接続される。電荷転送部 118 のゲートは、信号線 T R G 7 に接続される。リセットトランジスタ 221 のゲートは信号線 R S T に接続される。電荷保持部接続部 232 のゲートは、信号線 F D G に接続される。第 2 の電荷保持部 231 の一端は接地され、他の一端は電荷保持部接続部 232 のソースに接続される。なお、この第 2 の電荷保持部 231 の他の一端は、隣接する画素グループ 200 の第 2 の電荷保持部 232' のソースに更に接続される。

[0028] リセットトランジスタ 221 は、第 1 の電荷保持部 230 をリセットするものである。このリセットは、第 1 の電荷保持部 230 と電源線 V d d との間を導通して第 1 の電荷保持部 230 の電荷を排出することにより行うことができる。リセットトランジスタ 221 の制御信号は、信号線 R S T により伝達される。

[0029] 増幅トランジスタ 222 は、第 1 の電荷保持部 230 の電圧を増幅するものである。増幅トランジスタ 222 のゲートは、第 1 の電荷保持部 230 に接続されている。このため、増幅トランジスタ 222 のソースには、第 1 の電荷保持部 230 に保持された電荷に応じた電圧の画像信号が生成される。また、選択トランジスタ 223 を導通させることにより、この画像信号を信号線 V O に出力させることができる。選択トランジスタ 223 の制御信号は、信号線 S E L により伝達される。

[0030] 前述のように、電荷転送部 111 - 118、リセットトランジスタ 221

、選択トランジスタ 223 及び電荷保持部接続部 232 は、 n チャネル MOS トランジスタにより構成することができる。この n チャネル MOS トランジスタでは、ゲートソース間電圧 V_{gs} の閾値を超える電圧をゲートに印加することにより、ドレインソース間を導通させることができる。以下、このゲートソース間電圧 V_{gs} の閾値を超える電圧をオン電圧と称する。このオン電圧を含む制御信号は、信号線 TRG0 等により伝達される。

[0031] [画素グループの配置]

図 4 は、本開示の第 1 の実施形態に係る画素グループの配置例を示す図である。同図は、画素グループ 200 及び画像信号生成部 220 の配置例を表す図である。また、同図は、画素アレイ部 10 において 2 次元行列に配置される複数の画素グループ 200 を表したものであり、同図の横方向（ x 方向）の画素グループ 200 の並びが行を表し、縦方向（ y 方向）の画素グループ 200 の並びが列を表す。同図は、2 行 3 列に配置される複数の画素グループ 200 の例を表したものである。同図においては、図 3 に記載した画素グループ 200 や画像信号生成部 220 を簡略化して記載した。同図の「RST」、「AMP」、「SEL」、「C」及び「FDG」は、図 3 と同様にリセットトランジスタ等を表す。なお、図 1 において説明したように、行毎に配置される信号線 11（不図示）は、行の方向（横方向）に伸長して配線されるとともに同一の行に配置される画素グループ 200 に共通に配線される。一方、信号線 VSL は、列の方向（縦方向）に配線することができる。

[0032] 同図の上側の行の中央の画素グループ 200 a には、同図の下側に画像信号生成部 220 a、第 1 の電荷保持部 230 a 及び電荷保持部接続部 232 a が隣接して配置される。また、同図の下側の行の右側の画素グループ 200 b には、同図の上側に画像信号生成部 220 b、第 1 の電荷保持部 230 b 及び電荷保持部接続部 232 b が隣接して配置される。また、同図の下側の行の左の画素グループ 200 c には、同図の上側に画像信号生成部 220 c、第 1 の電荷保持部 230 c 及び電荷保持部接続部 232 c が隣接して配置される。

[0033] 画像信号生成部220a及び画像信号生成部220bは、同一の信号線VSLに接続され、生成した画像信号を共通に出力する。これら画像信号生成部220a及び画像信号生成部220bにそれぞれ対応する画素グループ200a及び画素グループ200bは、隣接する行に配置される。すなわち、画素グループ200a及び画素グループ200bは、異なる行に配置される。これにより、画素グループ200a及び画像信号生成部220aと画素グループ200b及び画像信号生成部220bとは、異なるタイミングにおいて画像信号を生成することができる。

[0034] また、画像信号生成部220a及び画像信号生成部220cは、電荷保持部接続部232a及び電荷保持部接続部232cをそれぞれ介して同一の第2の電荷保持部231に接続され、第2の電荷保持部231を共有する。これら画像信号生成部220a及び画像信号生成部220cにそれぞれ対応する画素グループ200a及び画素グループ200cは、隣接する行に配置される。これにより、画素グループ200aと画素グループ200cとは、異なるタイミングにおいて第2の電荷保持部231を自身の第1の電荷保持部230に接続することができる。

[0035] このように、異なる行に配置される画素グループ200a及び画素グループ200bにそれぞれ対応する画像信号生成部220a及び画像信号生成部220bにおいて信号線VSLを共有する。同様に、異なる行に配置される画素グループ200a及び画素グループ200cにおいて第2の電荷保持部231を共有する。これにより、上述の信号線11を同一の行に配置される画素グループ200に共通に配線することができ、同じ制御信号を同一の行に配置される画素グループ200に同時に伝達することができる。

[0036] これに対し、信号線VSLを共有する画像信号生成部220にそれぞれ対応する2つの画素グループ200を同一の行に配置する場合には、それぞれの画素グループ200毎に信号線TRG0等を配線する必要が生じる。このため、信号線11の本数が増加することとなる。上述のように画像信号生成部220を介して信号線VSLを共有する画素グループ200a及び画素グ

ループ２００ｂを異なる行に配置することにより、画素アレイ部１０の構成を簡略化することができる。

[0037] また、画素グループ２００ａ及び画素グループ２００ｂは、隣接する行に配置されるとともに隣接する列に配置される。このため、これら画素グループ２００ａ及び画素グループ２００ｂにそれぞれ配置される画像信号生成部２２０ａ及び画像信号生成部２２０ｂを隣接して配置することができる。画像信号生成部２２０ａ及び画像信号生成部２２０ｂのそれぞれの選択トランジスタ２２３を近接して配置するとともに信号線ＶＳＬを挟んで向かい合う位置に配置することが可能となる。これにより、画像信号生成部２２０ａ及び画像信号生成部２２０ｂと信号線ＶＳＬとの配線を短縮することができる。

[0038] 画素グループ２００ａ及び画素グループ２００ｃにおいても、隣接する行に配置されるとともに隣接する列に配置される。電荷保持部接続部２３２ａ及び電荷保持部接続部２３２ｃを近接して配置するとともに第２の電荷保持部２３１を挟んで向かい合う位置に配置することが可能となる。これにより、電荷保持部接続部２３２を介する画素グループ２００ａ及び画素グループ２００ｃと第２の電荷保持部２３１との配線を短縮することができる。これにより画素アレイ部１０の配線の構成を簡略化することができる。

[0039] [画像信号の生成]

図５は、本開示の実施形態に係る画像信号の生成の一例を示す図である。同図は、画素グループ２００及び画像信号生成部２２０における画像信号の生成の一例を表すタイミング図である。また、同図は、図４における画像信号生成部２２０ｂ及び画像信号生成部２２０ｂの画像信号の生成を表したものである。同図の「SEL」、「RST」、「TRG０」及び「TRG７」は、それぞれ信号線SEL、信号線RST、信号線TRG０及び信号線TRG７の信号を表す。なお、「a」及び「b」は、画像信号生成部２２０ａ及び画像信号生成部２２０ｂの行の制御信号を示す符号である。これらは、２値化された制御信号の波形を表し、値「１」の部分がオン信号の伝達される

領域を表す。値「0」の部分は、例えば、0 Vの印加電圧を表す。また、「V S L」は、信号線V S Lに出力される画像信号を表す。

[0040] なお、同図は、制御信号における制御対象のMOSトランジスタをオフ状態にする電圧として0 Vを適用する例を表したものである。このMOSトランジスタをオフ状態にする電圧（オフ電圧）として、他の電圧を印加する構成を採ることもできる。例えば、信号線S E L及び信号線T R G（信号線T R G 0 a等）のオフ電圧として負極性の電圧、例えば、−1.2 Vの電圧を印加することもできる。

[0041] 同図の前半（T 1乃至T 18）が画像信号生成部220 a及び画素グループ200 aにおける画像信号の生成を表し、後半（T 19乃至T 36）が画像信号生成部220 b及び画素グループ200 bにおける画像信号の生成を表す。

[0042] 初期状態において、信号線S E L a、信号線R S T a、信号線S E L b、信号線R S T b、信号線T R G 0 a、信号線T R G 7 a、信号線T R G 0 b及び信号線T R G 7 bに0 Vが印加される。

[0043] T 1において、信号線S E L aにオン電圧が印加される。この信号線S E L aへのオン電圧の印加は、T 9まで継続する。

[0044] T 2において、信号線R S T aにオン電圧が印加される。これにより、第1の電荷保持部230がリセットされる。次に、T 3において、信号線R S T aへのオン電圧の印加が停止される。

[0045] T 4において、信号線T R G 0 aにオン電圧が印加される。これにより、画素グループ200 aの電荷転送部111が導通し、光電変換部101の電荷が第1の電荷保持部230に転送されて保持される。T 4において光電変換部101における露光期間が終了する。

[0046] T 5において、信号線T R G 0 aへのオン電圧の印加が停止される。画像信号生成部220 aは、第1の電荷保持部230に保持された電荷に基づいて画像信号「0 a」を生成し、次のT 6までの期間に信号線V S Lに出力する。

- [0047] T 6 において、信号線 R S T a 及び信号線 T R G 0 a にオン信号が印加され、リセットトランジスタ 2 2 1 及び電荷転送部 1 1 1 が導通する。これにより、第 1 の電荷保持部 2 3 0 及び光電変換部 1 0 1 がリセットされる。なお、信号線 R S T a へのオン電圧の印加は、T 8 まで継続する。
- [0048] T 7 において、信号線 T R G 0 a へのオン電圧の印加が停止される。次に、T 8 において信号線 R S T a へのオン電圧の印加が停止される。これにより、光電変換部 1 0 1 における次のサイクルの露光期間が開始される。次に、T 9 において信号線 S E L a へのオン電圧の印加が停止される。
- [0049] 信号線 T R G 1 a 乃至 T R G 6 a に対して T 1 乃至 T 9 と同様のリセット及び画像信号の生成を行う。
- [0050] T 1 0 において、信号線 S E L a にオン電圧が印加される。この信号線 S E L a へのオン電圧の印加は、T 1 8 まで継続する。
- [0051] T 1 1 において、信号線 R S T a にオン電圧が印加され、第 1 の電荷保持部 2 3 0 がリセットされる。次に、T 1 2 において、信号線 R S T a へのオン電圧の印加が停止される。
- [0052] T 1 3 において、信号線 T R G 7 a にオン電圧が印加される。これにより、画素グループ 2 0 0 a の電荷転送部 1 1 8 が導通し、光電変換部 1 0 8 の電荷が第 1 の電荷保持部 2 3 0 に転送されて保持される。T 1 3 において光電変換部 1 0 8 における露光期間が終了する。
- [0053] T 1 4 において、信号線 T R G 7 a へのオン電圧の印加が停止される。画像信号生成部 2 2 0 a は、第 1 の電荷保持部 2 3 0 に保持された電荷に基づいて画像信号「7 a」を生成し、次の T 1 5 までの期間に信号線 V S L に出力する。
- [0054] T 1 5 において、信号線 R S T a 及び信号線 T R G 7 a にオン信号が印加され、リセットトランジスタ 2 2 1 及び電荷転送部 1 1 8 が導通する。これにより、第 1 の電荷保持部 2 3 0 及び光電変換部 1 0 8 がリセットされる。なお、信号線 R S T a へのオン電圧の印加は、T 1 7 まで継続する。
- [0055] T 1 6 において、信号線 T R G 7 a へのオン電圧の印加が停止される。次

に、T 1 7 において信号線 R S T a へのオン電圧の印加が停止される。これにより、光電変換部 1 0 8 における次のサイクルの露光期間が開始される。

次に、T 1 8 において信号線 S E L a へのオン電圧の印加が停止される。

[0056] 以上説明した T 1 乃至 T 1 8 の手順により、画像信号生成部 2 2 0 a における画像信号の生成を行うことができる。

[0057] T 1 9 において、信号線 S E L b にオン電圧が印加される。この信号線 S E L b へのオン電圧の印加は、T 2 7 まで継続する。

[0058] T 2 0 において、信号線 R S T b にオン電圧が印加され、第 1 の電荷保持部 2 3 0 がリセットされる。次に、T 2 1 において、信号線 R S T b へのオン電圧の印加が停止される。

[0059] T 2 2 において、信号線 T R G O b にオン電圧が印加される。これにより、電荷転送部 1 1 1 が導通し、光電変換部 1 0 1 の電荷が第 1 の電荷保持部 2 3 0 に転送されて保持される。T 2 2 における光電変換部 1 0 1 における露光期間が終了する。

[0060] T 2 3 において、信号線 T R G O b へのオン電圧の印加が停止される。画像信号生成部 2 2 0 b は、第 1 の電荷保持部 2 3 0 に保持された電荷に基づいて画像信号「O b」を生成し、次の T 2 4 までの期間に信号線 V S L に出力する。

[0061] T 2 4 において、信号線 R S T b 及び信号線 T R G O b にオン信号が印加され、リセットトランジスタ 2 2 1 及び電荷転送部 1 1 1 が導通する。これにより、第 1 の電荷保持部 2 3 0 及び光電変換部 1 0 1 がリセットされる。なお、信号線 R S T a へのオン電圧の印加は、T 2 6 まで継続する。

[0062] T 2 5 において、信号線 T R G O b へのオン電圧の印加が停止される。次に、T 2 6 において信号線 R S T b へのオン電圧の印加が停止される。これにより、光電変換部 1 0 1 における次のサイクルの露光期間が開始される。次に、T 2 7 において信号線 S E L b へのオン電圧の印加が停止される。

[0063] 信号線 T R G 1 b 乃至 T R G 6 b に対して T 1 9 乃至 T 2 7 と同様のリセット及び画像信号の生成を行う。

- [0064] T 2 8 において、信号線 S E L b にオン電圧が印加される。この信号線 S E L b へのオン電圧の印加は、T 3 6 まで継続する。
- [0065] T 2 9 において、信号線 R S T b にオン電圧が印加され、第 1 の電荷保持部 2 3 0 がリセットされる。次に、T 3 0 において、信号線 R S T b へのオン電圧の印加が停止される。
- [0066] T 3 1 において、信号線 T R G 7 b にオン電圧が印加される。これにより、画素グループ 2 0 0 b の電荷転送部 1 1 8 が導通し、光電変換部 1 0 8 の電荷が第 1 の電荷保持部 2 3 0 に転送されて保持される。T 3 1 において光電変換部 1 0 8 における露光期間が終了する。
- [0067] T 3 2 において、信号線 T R G 7 b へのオン電圧の印加が停止される。画像信号生成部 2 2 0 b は、第 1 の電荷保持部 2 3 0 に保持された電荷に基づいて画像信号「7 b」を生成し、次の T 3 3 までの期間に信号線 V S L に出力する。
- [0068] T 3 3 において、信号線 R S T b 及び信号線 T R G 7 b にオン信号が印加され、リセットトランジスタ 2 2 1 及び電荷転送部 1 1 8 が導通する。これにより、第 1 の電荷保持部 2 3 0 及び光電変換部 1 0 8 がリセットされる。なお、信号線 R S T b へのオン電圧の印加は、T 3 5 まで継続する。
- [0069] T 3 4 において、信号線 T R G 7 b へのオン電圧の印加が停止される。次に、T 3 5 において信号線 R S T b へのオン電圧の印加が停止される。これにより、光電変換部 1 0 8 における次のサイクルの露光期間が開始される。次に、T 3 6 において信号線 S E L b へのオン電圧の印加が停止される。
- [0070] 以上説明した T 2 8 乃至 T 3 2 の手順により、画像信号生成部 2 2 0 b における画像信号の生成を行うことができる。
- [0071] なお、画像信号生成部 2 2 0 における画像信号の生成の手順は、この例に限定されない。例えば、画像信号の生成の後の第 1 の電荷保持部 2 3 0 のリセットを省略することもできる。具体的には、図 5 における T 6 乃至 T 8 のリセット処理を省略することもできる。この場合、次回の第 1 の電荷保持部 2 3 0 のリセット (T 1 1) まで、信号線 V S L への画像信号 (図 6 の「0

a」)の出力が継続されることとなる。

[0072] [画素グループの他の配置]

図6及び7は、本開示の第1の実施形態に係る画素グループの配置の他の例を示す図である。図6及び7は、図4と同様に、画素グループ200及び画像信号生成部220の配置例を表す図である。

[0073] 図6において、画像信号生成部220aは、選択トランジスタ223及び増幅トランジスタ222とリセットトランジスタ221とをそれぞれ備える部分に分割され、それぞれ画素グループ200aの上側及び下側に配置される。また、画素グループ200bにおいては、選択トランジスタ223及び増幅トランジスタ222とリセットトランジスタ221とをそれぞれ備える部分が画素グループ200aの下側及び上側にそれぞれ配置される。また、画素グループ200cにおいても、選択トランジスタ223及び増幅トランジスタ222とリセットトランジスタ221とをそれぞれ備える部分が画素グループ200aの下側及び上側にそれぞれ配置される。また、信号線11（不図示）は、行の方向（横方向）に伸長して配線される。信号線VSLは、列の方向（縦方向）に配線することができる。

[0074] 画素グループ200a及び画素グループ200bは、隣接する行に配置される。画像信号生成部220a及び画像信号生成部220bが信号線VSLに共通に接続される。

[0075] また、画像信号生成部220a及び画素グループ200cは、隣接する行及び列に配置され、画像信号生成部220a及び画像信号生成部220cが第2の電荷保持部231を共有する。

[0076] 図7において、同図の画素グループ200a及び画像信号生成部220aは、図4の画素グループ200a及び画像信号生成部220aを90度回転させた形状に構成される。同図の画素グループ200b及び画像信号生成部220b並びに同図の画素グループ200c及び画像信号生成部220cも同様である。このため、画像信号生成部220a、画像信号生成部220b及び画像信号生成部220cは、それぞれ画素グループ200a及び画素グ

ループ 200b 及び画素グループ 200c に対して列方向にずれて配置される。

[0077] 画素グループ 200a、画素グループ 200b 及び画素グループ 200c は、それぞれ異なる行に配置される。また、画素グループ 200a、画素グループ 200b 及び画素グループ 200c は、同じ列に配置される。同図においても、信号線 11（不図示）は、行の方向（横方向）に伸長して配線される。また、信号線 VSL は、列の方向（縦方向）に配線することができる。

[0078] 図 7 においても、画素グループ 200a 及び画素グループ 200b は、隣接する行に配置され、画像信号生成部 220a 及び画像信号生成部 220b が信号線 VSL に共通に接続される。また、画像信号生成部 220a 及び画素グループ 200c は、隣接する行に配置され画像信号生成部 220a 及び画像信号生成部 220c が第 2 の電荷保持部 231 を共有する。

[0079] このように、本開示の第 1 の実施形態の撮像素子 1 は、画素グループ 200 の画素毎に第 2 の電荷保持部 231 を接続してダイナミックレンジを調整する。このため、解像度の低下を防ぐことができる。また、画像信号を出力する信号線 VSL を共有する 2 つの画素グループ 200 を異なる行に配置することにより、これら 2 つの画素グループ 200 を異なるタイミングにおいて駆動することができる。同一の行に配置される画素グループ 200 に共通に制御信号線を配線することができ、画素アレイ部 10 の構成を簡略化することができる。

[0080] （2. 第 2 の実施形態）

上述の第 1 の実施形態の撮像素子 1 は、第 2 の電荷保持部 231 を使用していた。これに対し、本開示の第 2 の実施形態の撮像素子 1 は、第 2 の電荷保持部 231 を省略する点で、上述の第 1 の実施形態と異なる。

[0081] [撮像装置の構成]

図 8 は、本開示の第 2 の実施形態に係る撮像装置の構成例を示す図である。同図は、図 1 と同様に、撮像素子 1 の構成例を表すブロック図である。図

8の撮像素子1は、第2の電荷保持部231が省略される点で、図1の撮像素子1と異なる。

[0082] [画素グループの回路構成]

図8は、本開示の第2の実施形態に係る画素グループの回路構成の一例を示す図である。同図は、図3と同様に、画素グループ200の構成例を表す回路図である。同図の画素グループ200は、第2の電荷保持部231が省略される点で、図3の画素グループ200と異なる。

[0083] 同図において、電荷保持部接続部232のドレインは、隣接する画素グループ200の第1の電荷保持部230に直接接続される。同図の画素グループ200では、隣接する画素グループ200の第1の電荷保持部230を第2の電荷保持部231として使用する。

[0084] [画素グループの配置]

図9は、本開示の第2の実施形態に係る画素グループの配置例を示す図である。同図は、図4と同様に、画素グループ200及び画像信号生成部220の配置例を表す図である。第2の電荷保持部231が省略される点で、図4の画素グループ200と異なる。同図の画像信号生成部220a及び画像信号生成部220cは、電荷保持部接続部232aを共有する。

[0085] これ以外の撮像素子1の構成は本開示の第1の実施形態における撮像素子1の構成と同様であるため、説明を省略する。

[0086] このように、本開示の第2の実施形態の撮像素子1は、第2の電荷保持部231を省略することにより、画素アレイ部10の構成を簡略化することができる。

[0087] (3. 第3の実施形態)

上述の第1の実施形態の撮像素子1は、画素100に複数の光電変換部が配置されていた。これに対し、本開示の第3の実施形態の撮像素子1は、1つの光電変換部が画素100に配置される点で、上述の第1の実施形態と異なる。

[0088] [画素グループの構成]

図10は、本開示の第3の実施形態に係る画素グループの構成例を示す図である。同図は、図2と同様に、画素グループ200の構成例を表すブロック図である。同図の画素100aは、光電変換部101を備える。同図の画素100bは、光電変換部103を備える。同図の画素100cは、光電変換部105を備える。同図の画素100dは、光電変換部107を備える。このように、同図の画素100には、1つの光電変換部101等が配置される。同図の画素グループ200は、通常の画像信号を生成する。

[0089] [画素グループの回路構成]

図11は、本開示の第3の実施形態に係る画素グループの回路構成の一例を示す図である。同図は、図3と同様に、画素グループ200の構成例を表す回路図である。同図の画素グループ200は、光電変換部102、104、106及び108並びに電荷転送部112、114、116及び118が省略される点で、図3の画素グループ200と異なる。

[0090] 同図の画素グループ200においても、図4の画素グループ200と同様に、画像信号を出力する信号線VSLを共有する2つの画素グループ200を異なる行に配置することができる。

[0091] これ以外の撮像素子1の構成は本開示の第1の実施形態における撮像素子1の構成と同様であるため、説明を省略する。

[0092] このように、本開示の第3の実施形態の撮像素子1は、通常の画像信号を生成する画素グループ200において、画像信号を出力する信号線VSLを共有する2つの画素グループ200を異なる行に配置する。これにより、これら2つの画素グループ200を異なるタイミングにおいて駆動することができ、同一の行に配置される画素グループ200に共通に制御信号線を配線することができる。

[0093] (4. 撮像装置の構成)

本開示に係る技術は、様々な製品へ応用することができる。例えば、本開示に係る技術は、カメラ等の撮像装置に適用することができる。

[0094] 図12は、本開示に係る技術が適用され得る撮像装置の構成例を示す図で

ある。同図の撮像装置１０００は、撮像素子１００１と、制御部１００２と、画像処理部１００３と、表示部１００４と、記録部１００５と、撮影レンズ１００６とを備える。

[0095] 撮影レンズ１００６は、被写体からの光を集光するレンズである。この撮影レンズ１００６により、被写体が撮像素子１００１の受光面に結像される。

[0096] 撮像素子１００１は、被写体の撮像を行う素子である。この撮像素子１００１の受光面には、被写体からの光の光電変換を行う光電変換部を有する複数の画素が配置される。これら複数の画素は、光電変換により生成された電荷に基づく画像信号をそれぞれ生成する。撮像素子１００１は、画素により生成された画像信号をデジタルの画像信号に変換して画像処理部１００３に対して出力する。なお、１画面分の画像信号はフレームと称される。撮像素子１００１は、フレーム単位で画像信号を出力することもできる。

[0097] 制御部１００２は、撮像素子１００１および画像処理部１００３を制御するものである。制御部１００２は、例えば、マイコン等を使用した電子回路により構成することができる。

[0098] 画像処理部１００３は、撮像素子１００１からの画像信号を処理するものである。画像処理部１００３における画像信号の処理には、例えば、カラーの画像を生成する際に不足する色の画像信号を生成するデモザイク処理や画像信号のノイズを除去するノイズリダクション処理が該当する。画像処理部１００３は、例えば、マイコン等を使用した電子回路により構成することができる。

[0099] 表示部１００４は、画像処理部１００３により処理された画像信号に基づいて、画像を表示するものである。表示部１００４は、例えば、液晶モニタにより構成することができる。

[0100] 記録部１００５は、画像処理部１００３により処理された画像信号に基づく画像（フレーム）を記録するものである。記録部１００５は、例えば、ハードディスクや半導体メモリにより構成することができる。

[0101] 以上、本開示が適用され得る撮像装置について説明した。本技術は上述の構成要素のうちの撮像素子 1001 に適用することができる。具体的には、図 1 において説明した撮像素子 1 は、撮像素子 1001 に適用することができる。なお、画像処理部 1003 は、請求の範囲に記載の処理回路の一例である。撮像装置 1000 は、請求の範囲に記載の撮像装置の一例である。

[0102] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0103] なお、本技術は以下のような構成も取ることができる。

(1)

光電変換部及び前記光電変換部により生成される電荷を転送する電荷転送部を備える複数の画素と前記電荷転送部により転送される電荷を保持する第 1 の電荷保持部とをそれぞれ有する複数の画素グループが 2 次元行列に配置される画素アレイ部と、

前記画素グループ毎に配置されて前記保持された電荷に基づいて画像信号を生成する画像信号生成部と、

前記 2 次元行列における行毎に配置されて前記画素グループの前記電荷転送部の制御信号をそれぞれ伝達するとともに前記行に配置される複数の前記画素グループに共通に接続される複数の電荷転送部信号線と、

前記 2 次元行列における隣接する行に配置される前記画素グループにそれぞれ配置される前記画像信号生成部により生成される前記画像信号が共通に出力される画像信号線と、

前記 2 次元行列における隣接する行に配置される前記画素グループの前記電荷保持部に共通に接続される第 2 の電荷保持部とを有する撮像素子。

(2)

前記画像信号線に共通に画像信号を出力する前記画像信号生成部毎の前記画素グループは、前記 2 次元行列における隣接する列に配置される (1) に記載の撮像素子。

(3)

前記画像信号線に共通に画像信号を出力する前記画像信号生成部同士は隣接して配置される(1)又は(2)に記載の撮像素子。

(4)

前記第2の電荷保持部に共通に接続される前記電荷保持部を有する前記画素グループは、前記2次元行列における隣接する列に配置される(1)から(3)の何れかに記載の撮像素子。

(5)

前記第2の電荷保持部を前記電荷保持部に接続する電荷保持部接続部を更に有する(1)から(4)の何れかに記載の撮像素子。

(6)

前記画素は、複数の前記光電変換部及び複数の前記電荷転送部を備える(1)から(5)の何れかに記載の撮像素子。

(7)

光電変換部及び前記光電変換部により生成される電荷を転送する電荷転送部を備える複数の画素と前記電荷転送部により転送される電荷を保持する第1の電荷保持部とをそれぞれ有する複数の画素グループが2次元行列に配置される画素アレイ部と、

前記画素グループ毎に配置されて前記保持された電荷に基づいて画像信号を生成する画像信号生成部と、

前記2次元行列における行毎に配置されて前記画素グループの前記電荷転送部の制御信号をそれぞれ伝達するとともに前記行に配置される複数の前記画素グループに共通に接続される複数の電荷転送部信号線と、

前記2次元行列における隣接する行に配置される前記画素グループにそれぞれ配置される前記画像信号生成部により生成される前記画像信号が共通に出力される画像信号線と、

前記2次元行列における隣接する行に配置される前記画素グループの前記電荷保持部に共通に接続される第2の電荷保持部と、

前記出力された画像信号を処理する処理回路と
を有する撮像装置。

符号の説明

- [0104] 1、1 0 0 1 撮像素子
 1 2 信号線
 1 0 画素アレイ部
 3 0 カラム信号処理部
 1 0 0 画素
 1 0 0 a、1 0 0 b、1 0 0 c、1 0 0 d 画素
 1 0 1～1 0 8 光電変換部
 1 1 1～1 1 8 電荷転送部
 2 0 0、2 0 0 a、2 0 0 b、2 0 0 c 画素グループ
 2 2 0、2 2 0 a、2 2 0 b、2 2 0 c 画像信号生成部
 2 3 0、2 3 0 a、2 3 0 b、2 3 0 c 第1の電荷保持部
 2 3 1 第2の電荷保持部
 2 3 2、2 3 2 a、2 3 2 b、2 3 2 c 電荷保持部接続部
 1 0 0 0 撮像装置
 1 0 0 3 画像処理部

請求の範囲

- [請求項1] 光電変換部及び前記光電変換部により生成される電荷を転送する電荷転送部を備える複数の画素と前記電荷転送部により転送される電荷を保持する第1の電荷保持部とをそれぞれ有する複数の画素グループが2次元行列に配置される画素アレイ部と、
- 前記画素グループ毎に配置されて前記保持された電荷に基づいて画像信号を生成する画像信号生成部と、
- 前記2次元行列における行毎に配置されて前記画素グループの前記電荷転送部の制御信号をそれぞれ伝達するとともに前記行に配置される複数の前記画素グループに共通に接続される複数の電荷転送部信号線と、
- 前記2次元行列における隣接する行に配置される前記画素グループにそれぞれ配置される前記画像信号生成部により生成される前記画像信号が共通に出力される画像信号線と、
- 前記2次元行列における隣接する行に配置される前記画素グループの前記第1の電荷保持部に共通に接続される第2の電荷保持部とを有する撮像素子。
- [請求項2] 前記画像信号線に共通に画像信号を出力する前記画像信号生成部毎の前記画素グループは、前記2次元行列における隣接する列に配置される請求項1に記載の撮像素子。
- [請求項3] 前記画像信号線に共通に画像信号を出力する前記画像信号生成部同士は隣接して配置される請求項1に記載の撮像素子。
- [請求項4] 前記第2の電荷保持部に共通に接続される前記第1の電荷保持部を有する前記画素グループは、前記2次元行列における隣接する列に配置される請求項1に記載の撮像素子。
- [請求項5] 前記第2の電荷保持部を前記第1の電荷保持部に接続する電荷保持部接続部を更に有する請求項1に記載の撮像素子。
- [請求項6] 前記画素は、複数の前記光電変換部及び複数の前記電荷転送部を備

える請求項 1 に記載の撮像素子。

[請求項7]

光電変換部及び前記光電変換部により生成される電荷を転送する電荷転送部を備える複数の画素と前記電荷転送部により転送される電荷を保持する第 1 の電荷保持部とをそれぞれ有する複数の画素グループが 2 次元行列に配置される画素アレイ部と、

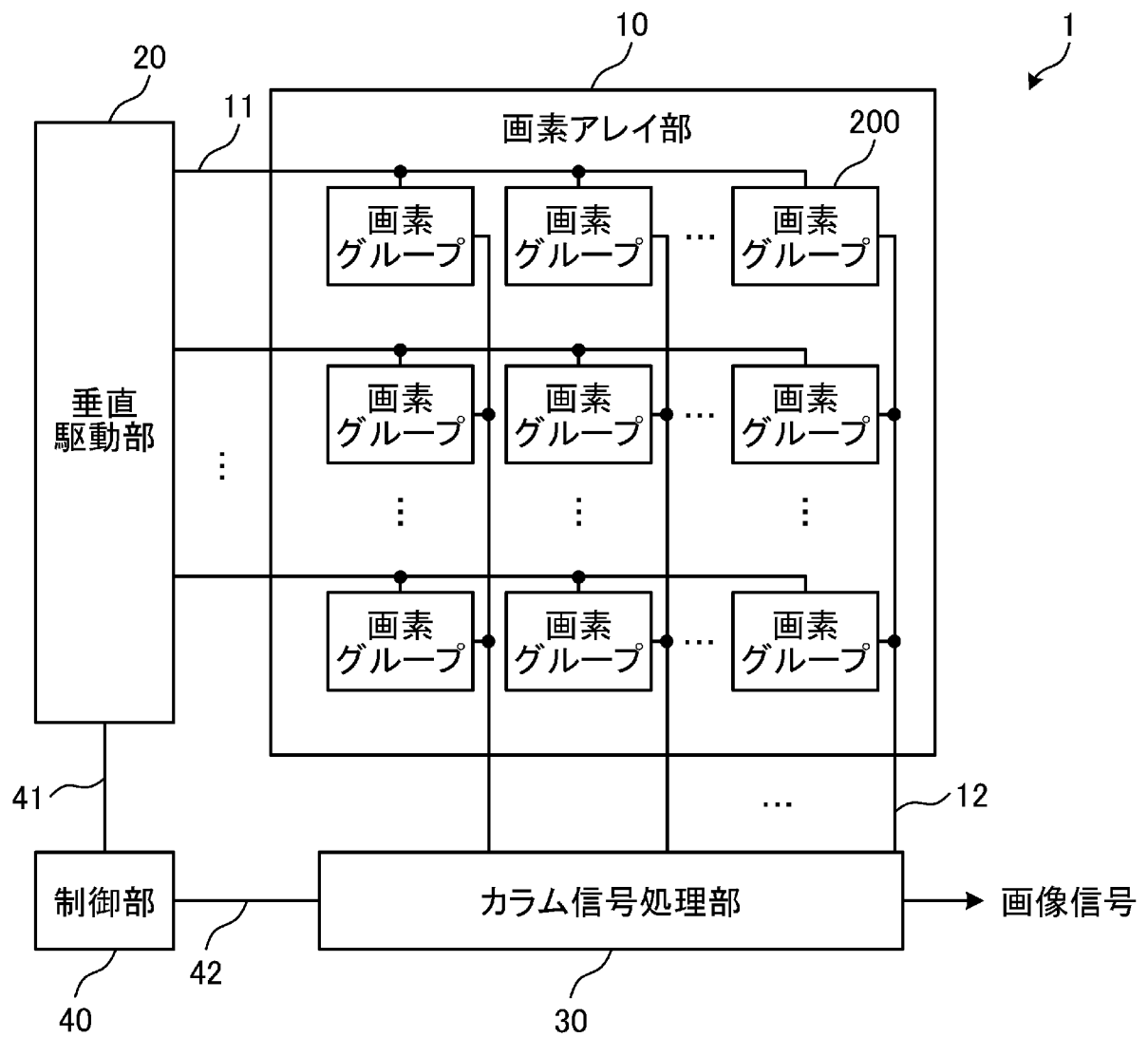
前記画素グループ毎に配置されて前記保持された電荷に基づいて画像信号を生成する画像信号生成部と、

前記 2 次元行列における行毎に配置されて前記画素グループの前記電荷転送部の制御信号をそれぞれ伝達するとともに前記行に配置される複数の前記画素グループに共通に接続される複数の電荷転送部信号線と、

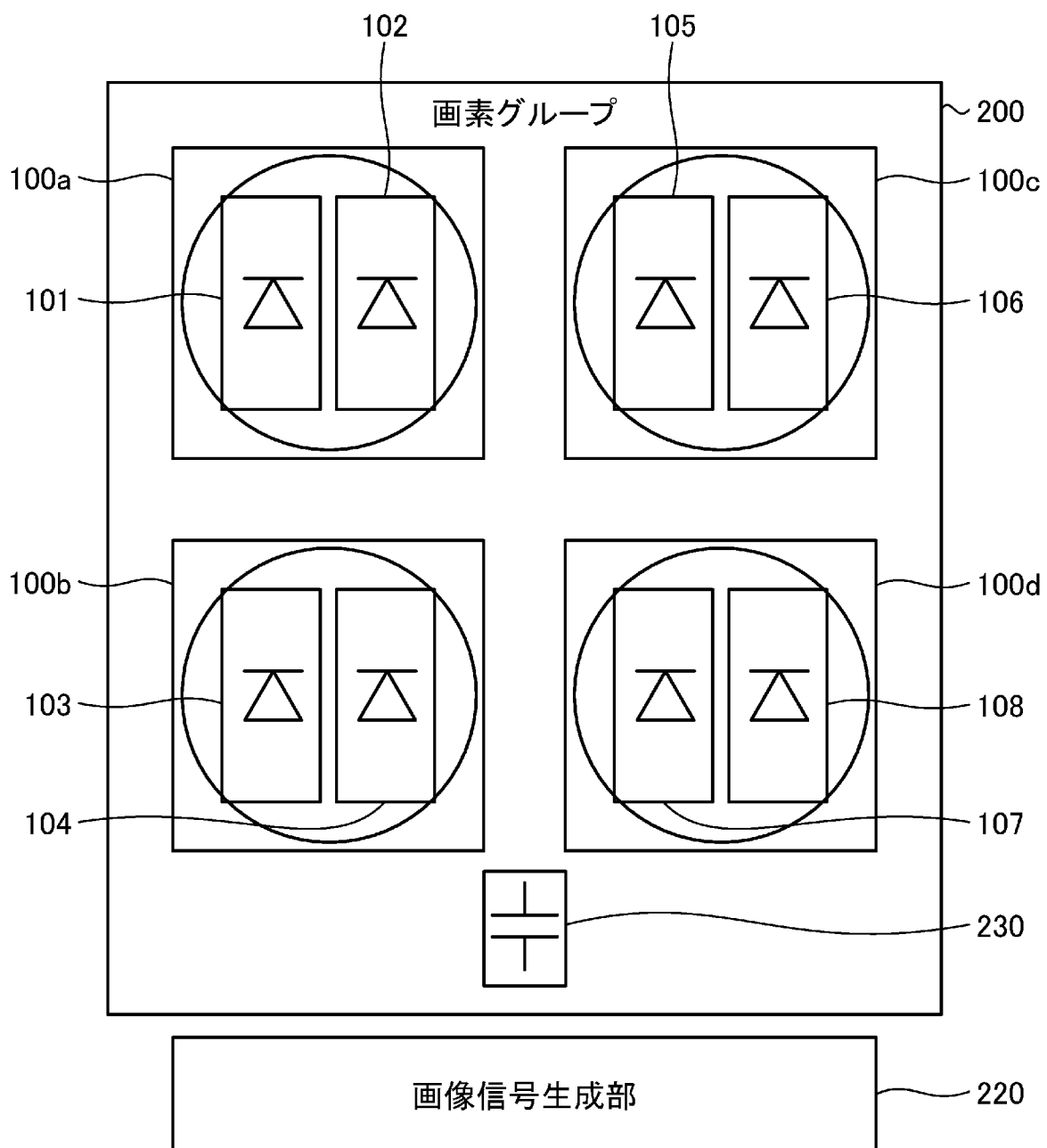
前記 2 次元行列における隣接する行に配置される前記画素グループにそれぞれ配置される前記画像信号生成部により生成される前記画像信号が共通に出力される画像信号線と、

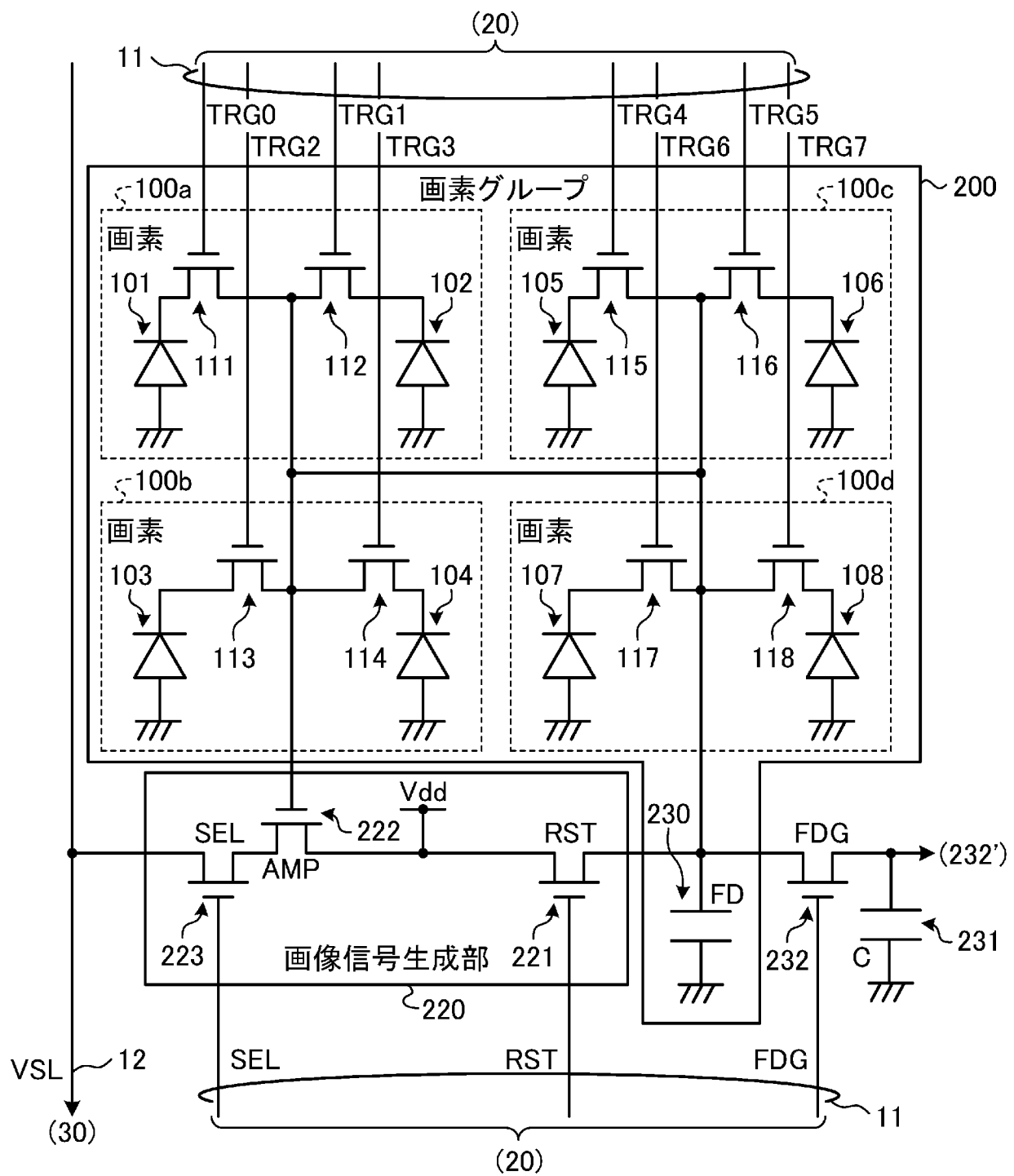
前記 2 次元行列における隣接する行に配置される前記画素グループの前記第 1 の電荷保持部に共通に接続される第 2 の電荷保持部と、

前記出力された画像信号を処理する処理回路とを有する撮像装置。

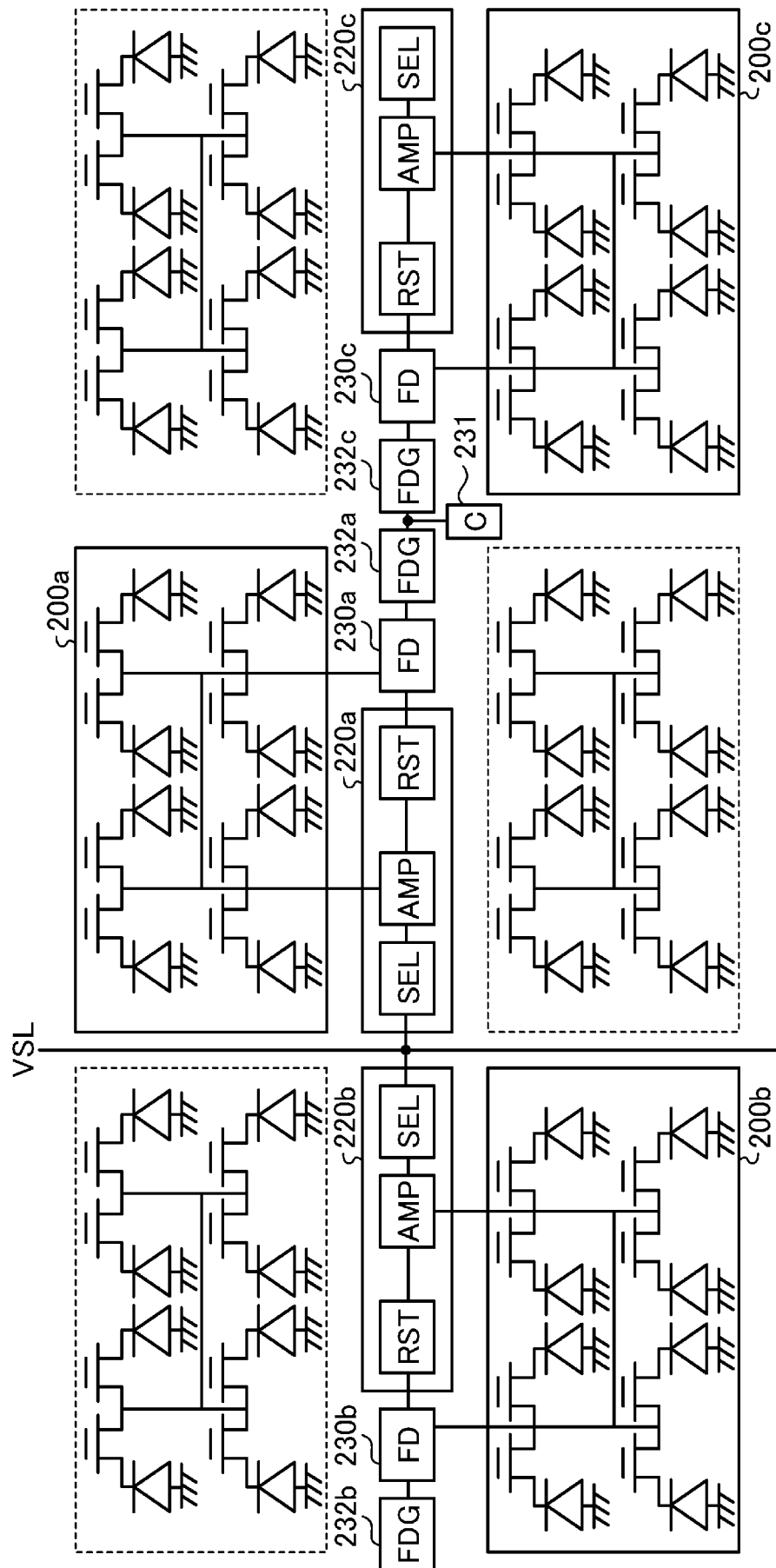


[図2]

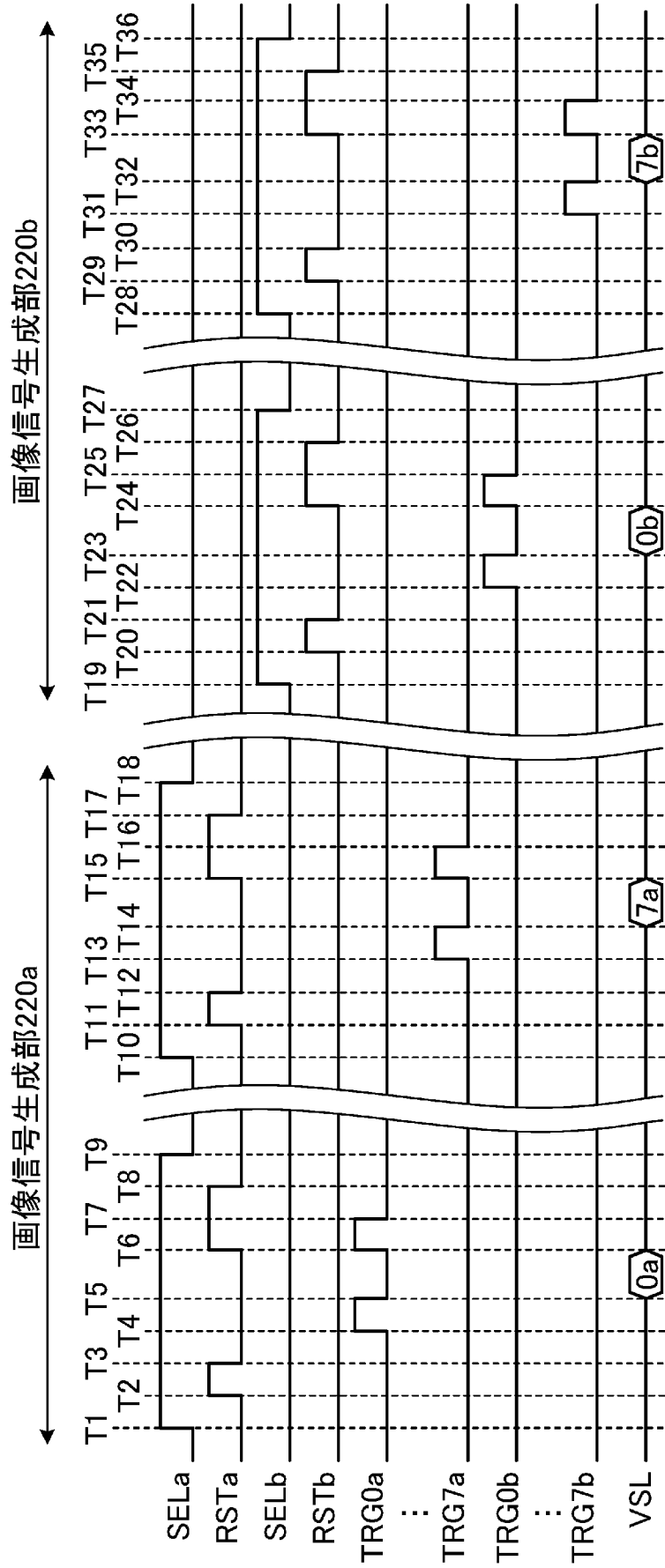




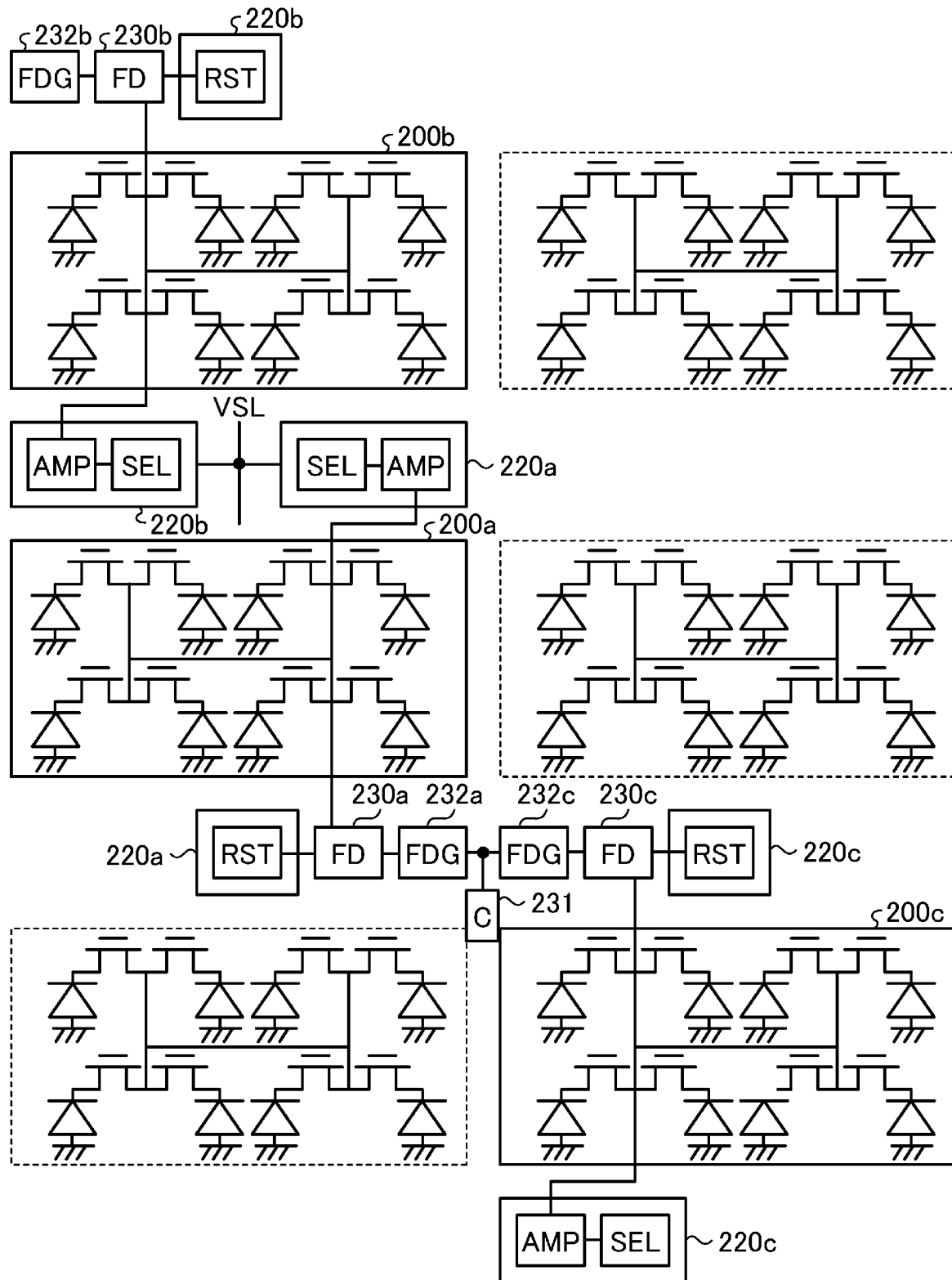
[図4]



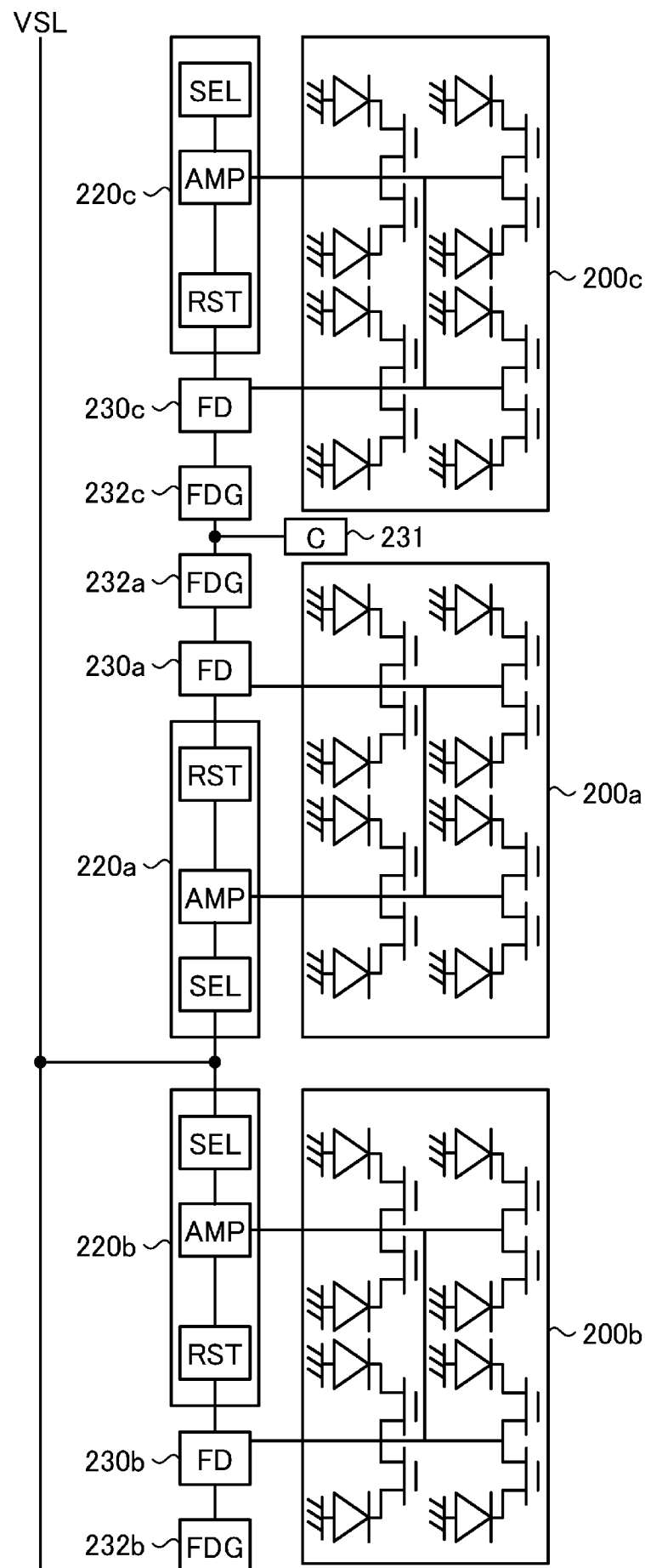
[図5]



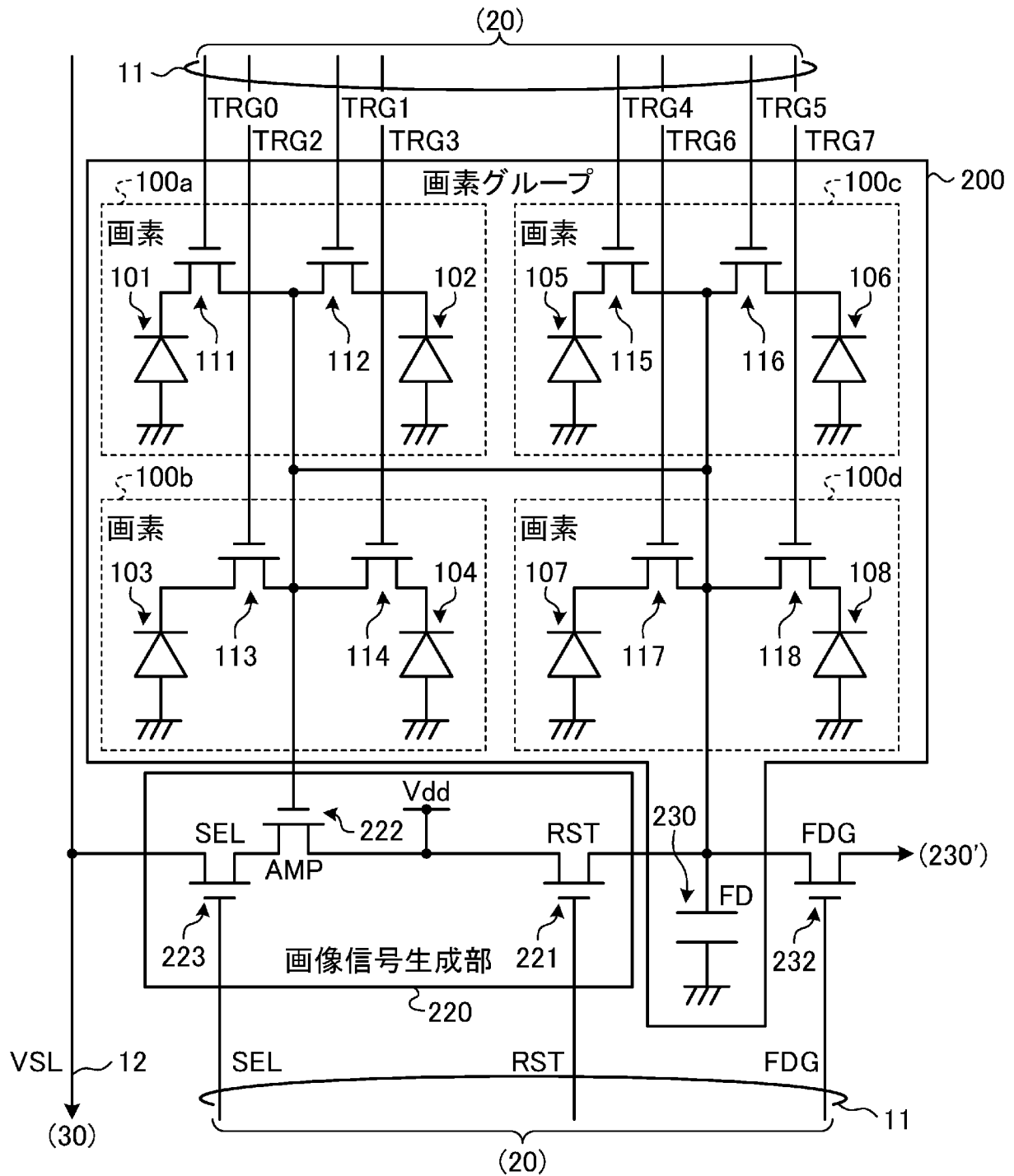
[図6]



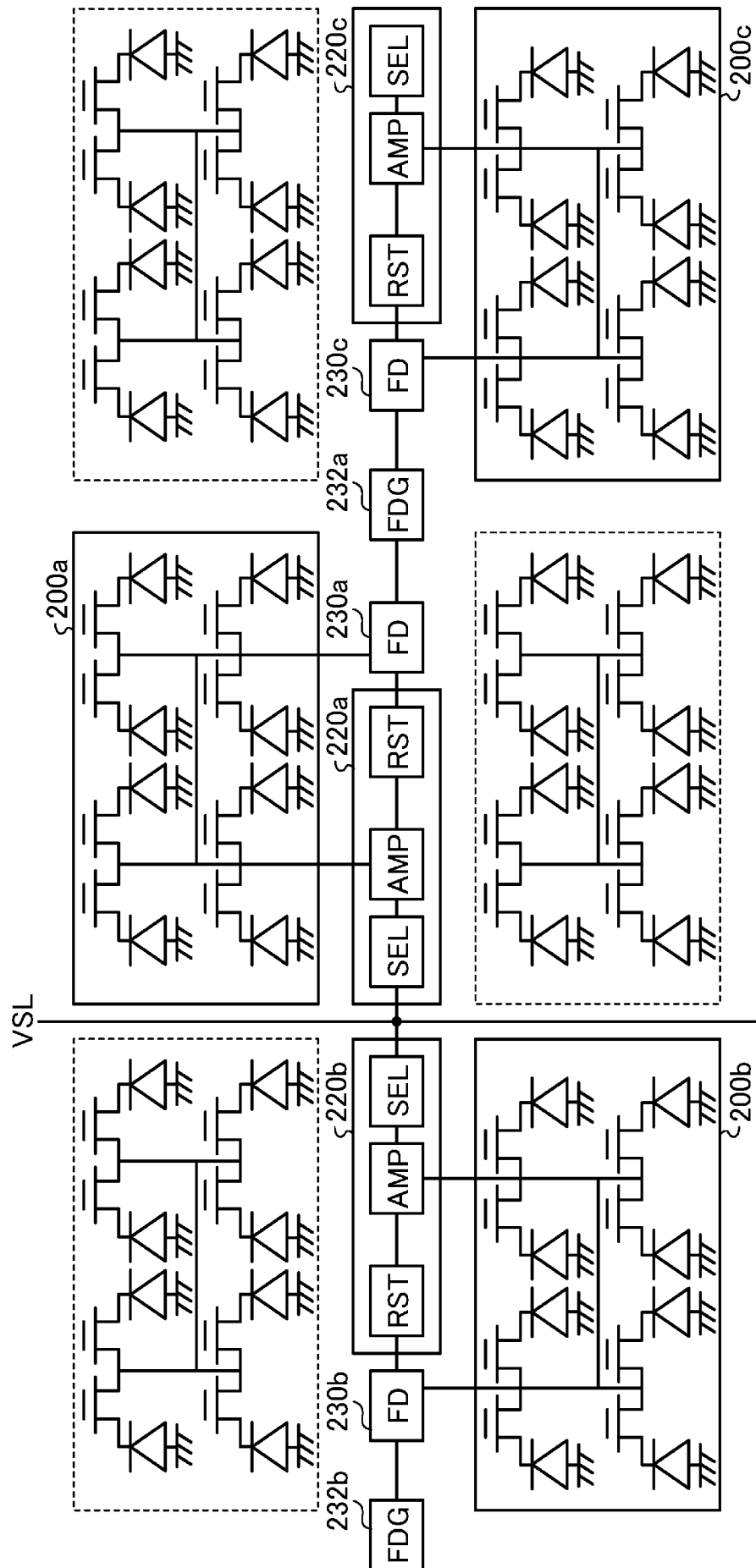
[図7]



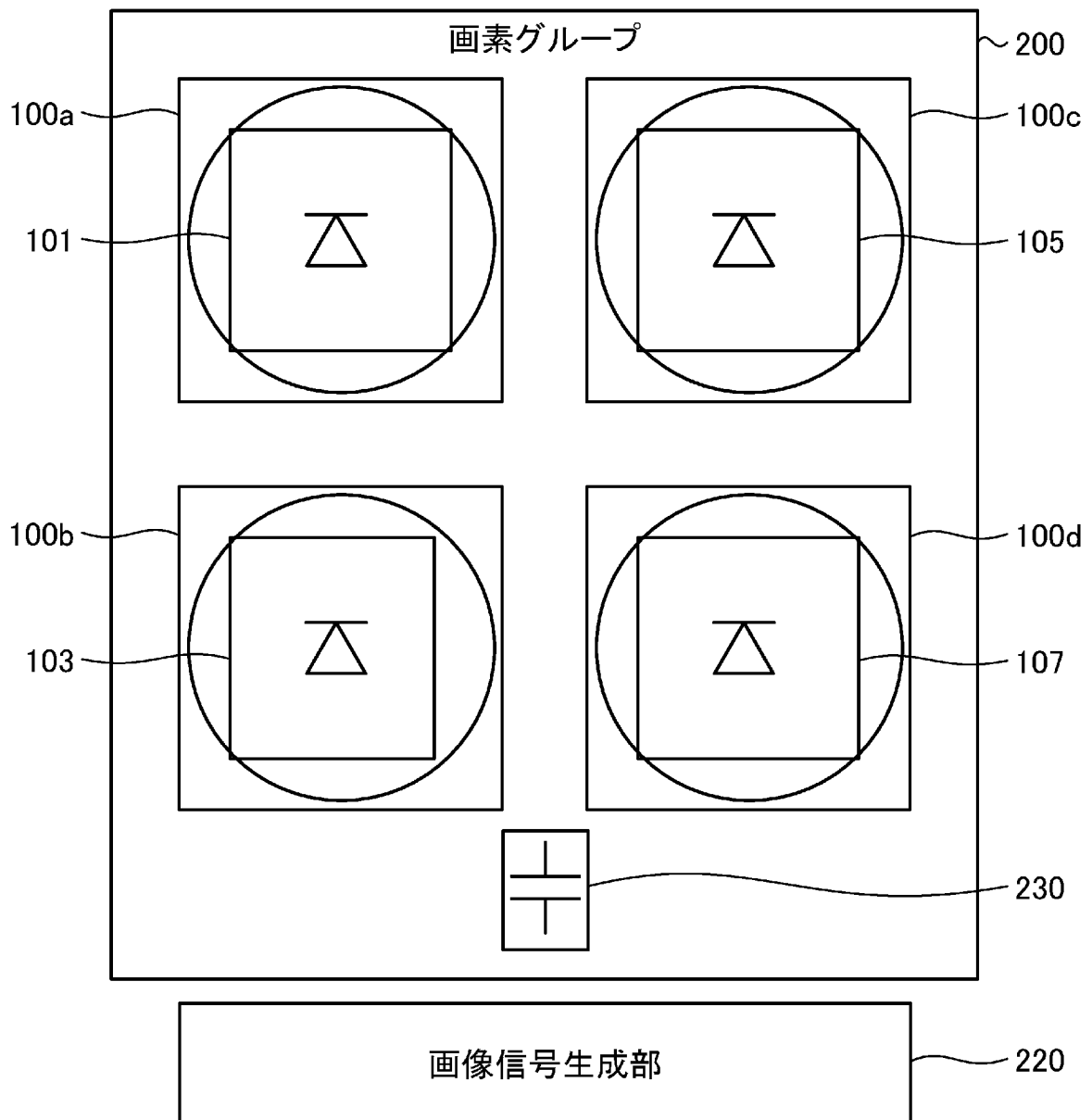
[図8]

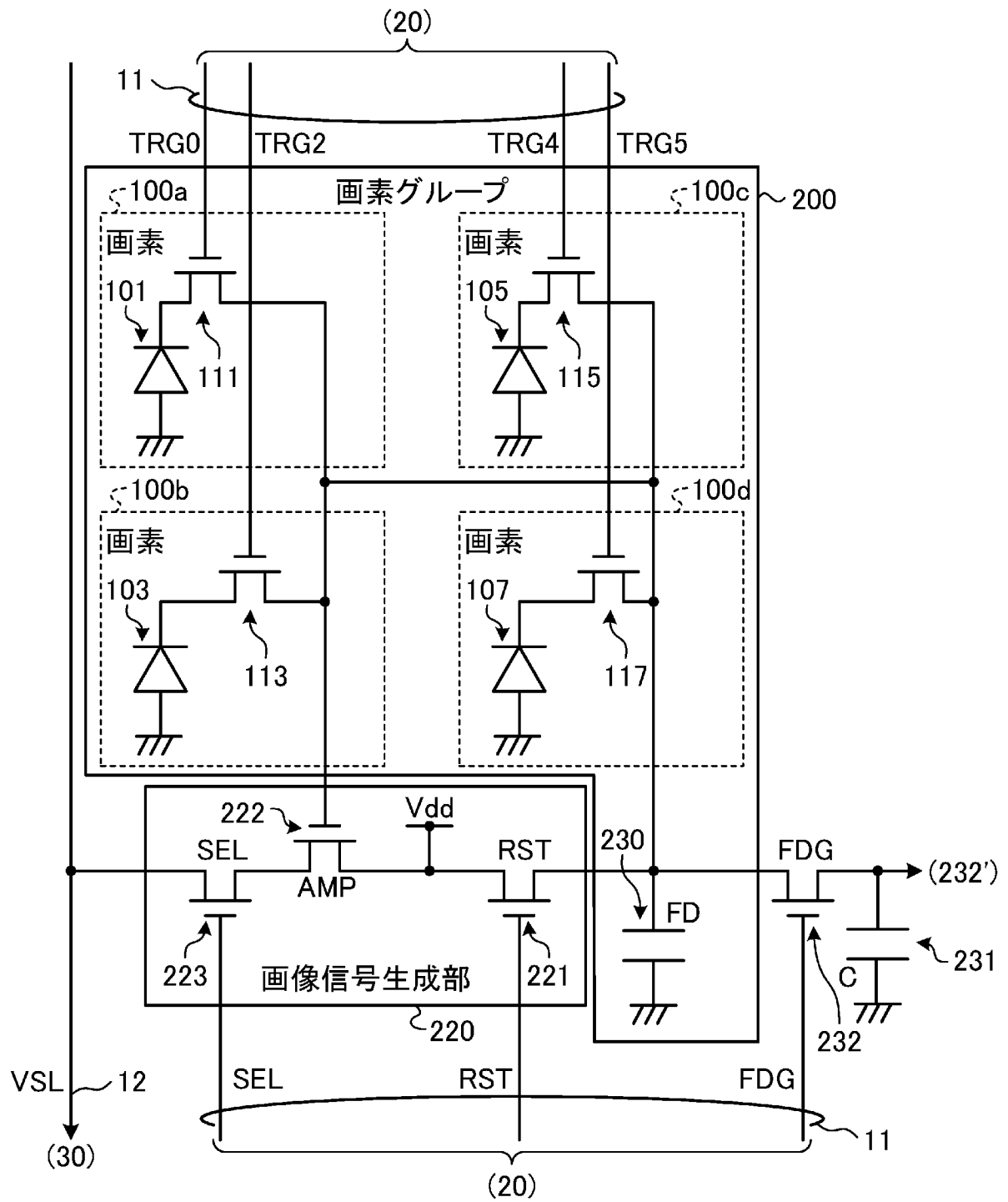


[図9]

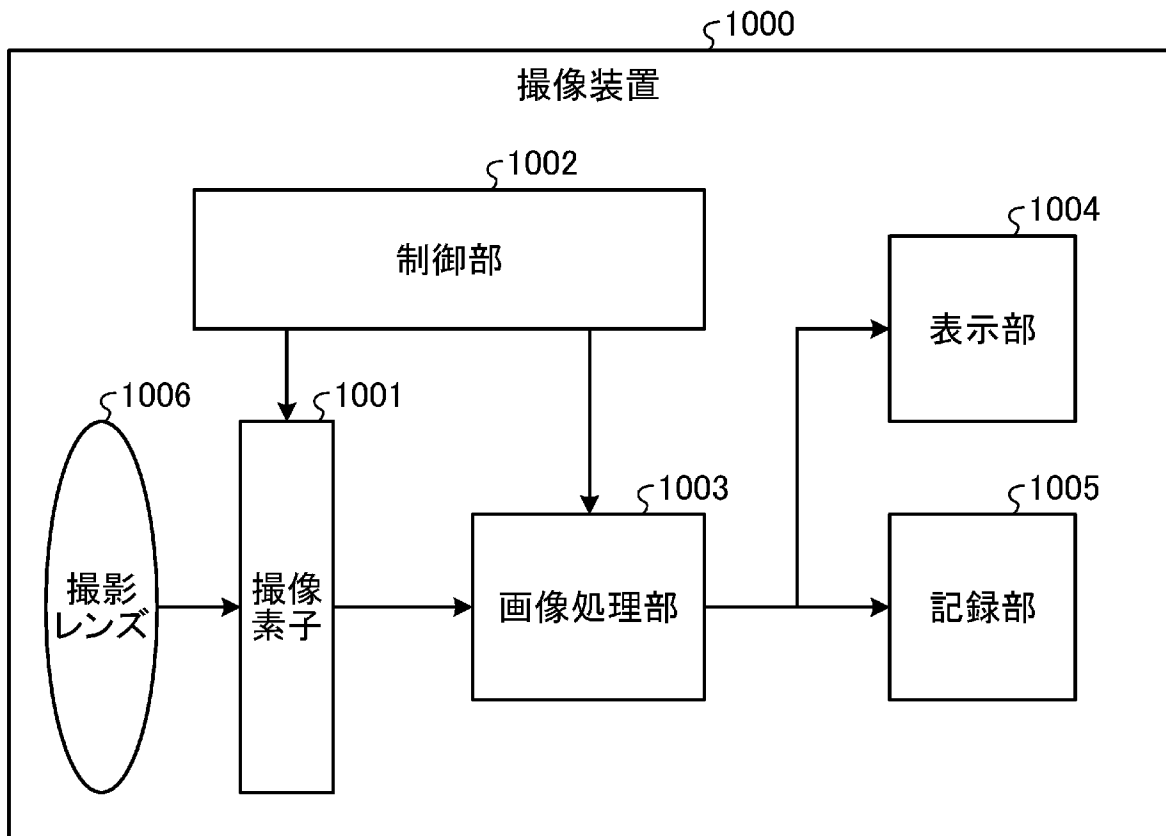


[図10]





[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/002343

A. CLASSIFICATION OF SUBJECT MATTER

H04N 5/3745(2011.01)i; **H01L 27/146**(2006.01)i; **H04N 5/355**(2011.01)i
 FI: H04N5/3745 200; H01L27/146 A; H04N5/355 900; H04N5/3745 700

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/3745; H01L27/146; H04N5/355

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2015/072575 A1 (NIKON CORP.) 21 May 2015 (2015-05-21) paragraphs [0017], [0022], [0028], [0049], fig. 2	1-7
A	JP 2010-212769 A (RENESAS ELECTRONICS CORP.) 24 September 2010 (2010-09-24) paragraph [0035], fig. 2	1-7
A	WO 2019/102887 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 31 May 2019 (2019-05-31) paragraphs [0038]-[0051], fig. 4	1-7

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

09 March 2022

Date of mailing of the international search report

22 March 2022

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/002343

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2015/072575	A1	21 May 2015	US 2016/0373668	A1
				paragraphs [0103], [0108], [0114], [0136], fig. 2	
				EP 3073729	A1
				KR 10-2016-0077156	A
				CN 105917644	A
JP	2010-212769	A	24 September 2010	US 2010/0225795	A1
				paragraph [0044], fig. 2	
WO	2019/102887	A1	31 May 2019	KR 10-2010-0100694	A
				US 2020/0358989	A1
				paragraphs [0091]-[0105], fig. 4	
				EP 3716618	A1
				CN 111373745	A
				KR 10-2020-0090763	A

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/3745(2011.01)i; H01L 27/146(2006.01)i; H04N 5/355(2011.01)i FI: H04N5/3745 200; H01L27/146 A; H04N5/355 900; H04N5/3745 700														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H04N5/3745; H01L27/146; H04N5/355														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2022年													
日本国実用新案登録公報	1996-2022年													
日本国登録実用新案公報	1994-2022年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	WO 2015/072575 A1（株式会社ニコン）21.05.2015（2015-05-21） 段落 [0017] , [0022] , [0028] , [0049] 、図2	1-7												
A	JP 2010-212769 A（ルネサスエレクトロニクス株式会社）24.09.2010（2010-09-24） 段落 [0035] 、図2	1-7												
A	WO 2019/102887 A1（ソニーセミコンダクタソリューションズ株式会社）31.05.2019（2019-05-31） 段落 [0038] - [0051] 、図4	1-7												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 09.03.2022	国際調査報告の発送日 22.03.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 鈴木 明 5V 9185 電話番号 03-3581-1101 内線 3571													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/002343

引用文献			公表日	パテントファミリー文献	公表日
WO	2015/072575	A1	21.05.2015	US 2016/0373668 A1 段落 [0103] , [0108] , [0114] , [0136] 、図2 EP 3073729 A1 KR 10-2016-0077156 A CN 105917644 A	
JP	2010-212769	A	24.09.2010	US 2010/0225795 A1 段落 [0044] 、図2 KR 10-2010-0100694 A	
WO	2019/102887	A1	31.05.2019	US 2020/0358989 A1 段落 [0091] - [0105] 、図4 EP 3716618 A1 CN 111373745 A KR 10-2020-0090763 A	