

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 6 月 30 日 (2005.6.30)

【公開番号】特開 2002-246608 (P2002-246608A)
 【公開日】平成 14 年 8 月 30 日 (2002.8.30)
 【出願番号】特願 2001-342686 (P2001-342686)

【国際特許分類第 7 版】

H 0 1 L 29/786
 G 0 2 F 1/1368
 G 0 9 G 3/20
 G 0 9 G 3/36
 H 0 1 L 21/20
 H 0 1 L 21/28
 H 0 1 L 27/08

【F I】

H 0 1 L 29/78 6 1 8 C
 G 0 2 F 1/1368
 G 0 9 G 3/20 6 2 3 B
 G 0 9 G 3/36
 H 0 1 L 21/20
 H 0 1 L 21/28 F
 H 0 1 L 27/08 3 3 1 E
 H 0 1 L 29/78 6 1 2 B
 H 0 1 L 29/78 6 1 7 N
 H 0 1 L 29/78 6 1 4

【手続補正書】

【提出日】平成 16 年 10 月 25 日 (2004.10.25)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

差動回路を有するアナログバッファを備え、

前記差動回路は、第 1 の薄膜トランジスタ乃至第 4 の薄膜トランジスタを有し、

前記第 1 の薄膜トランジスタと前記第 2 の薄膜トランジスタは、ゲート電極電位が等しく、且つ互いに並列に接続され、

前記第 3 の薄膜トランジスタと前記第 4 の薄膜トランジスタは、ゲート電極電位が等しく、且つ互いに並列に接続され、

前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタのチャネル領域は多結晶半導体層によって形成され、

前記第 1 の薄膜トランジスタのチャネル領域と前記第 2 の薄膜トランジスタのチャネル領域とをむすぶ線分は、前記第 3 の薄膜トランジスタのチャネル領域と前記第 4 の薄膜トランジスタのチャネル領域をむすぶ線分と交差するように、前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタが配置されていることを特徴とする半導体装置。

【請求項 2】

カレントミラー回路を有するアナログバッファを備え、

前記カレントミラー回路は、第 1 の薄膜トランジスタ乃至第 4 の薄膜トランジスタを有し、

前記第 1 の薄膜トランジスタと前記第 2 の薄膜トランジスタは、ゲート電極電位が等しく、且つ互いに並列に接続され、

前記第 3 の薄膜トランジスタと前記第 4 の薄膜トランジスタは、ゲート電極電位が等しく、且つ互いに並列に接続され、

前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタのチャネル領域は多結晶半導体層によって形成され、

前記第 1 の薄膜トランジスタのチャネル領域と前記第 2 の薄膜トランジスタのチャネル領域とをむすぶ線分は、前記第 3 の薄膜トランジスタのチャネル領域と前記第 4 の薄膜トランジスタのチャネル領域をむすぶ線分と交差するように、前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタが配置されていることを特徴とする半導体装置。

【請求項 3】

差動回路とカレントミラー回路を有するアナログバッファを備え、

前記差動回路及び前記カレントミラー回路それぞれは、第 1 の薄膜トランジスタ乃至第 4 の薄膜トランジスタを有し、

前記第 1 の薄膜トランジスタと前記第 2 の薄膜トランジスタは、ゲート電極電位が等しく、且つ互いに並列に接続され、

前記第 3 の薄膜トランジスタと前記第 4 の薄膜トランジスタは、ゲート電極電位が等しく、且つ互いに並列に接続され、

前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタのチャネル領域は多結晶半導体層によって形成され、

前記第 1 の薄膜トランジスタのチャネル領域と前記第 2 の薄膜トランジスタのチャネル領域とをむすぶ線分は、前記第 3 の薄膜トランジスタのチャネル領域と前記第 4 の薄膜トランジスタのチャネル領域をむすぶ線分と交差するように、前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタが配置されていることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記多結晶半導体層は、非晶質半導体層に選択的に結晶化を助長する金属元素を添加した後、加熱することによって形成され、

前記金属元素が選択的に添加された領域と、前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタのチャネル領域それぞれとの距離が等しくなるように、前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタが配置されていることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタそれぞれのゲート長が 7 μm 以上であることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタそれぞれのゲート幅が 50 μm 以上であることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタそれぞれのゲート長が 7 μm 以上であり、ゲート幅が 50 μm 以上であることを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタそれぞれはマルチゲート型構造であることを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタそれぞれはマルチゲート型構造であり、

前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタそれぞれの複数のゲート電極それぞれに対応するゲート長が $7\ \mu\text{m}$ 以上であることを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタそれぞれはマルチゲート型構造であり、

前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタそれぞれの複数のゲート電極それぞれに対応するゲート幅が $50\ \mu\text{m}$ 以上であることを特徴とする半導体装置。

【請求項 11】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタそれぞれはマルチゲート型構造であり、

前記第 1 の薄膜トランジスタ乃至前記第 4 の薄膜トランジスタそれぞれの複数のゲート電極それぞれに対応するゲート長が $7\ \mu\text{m}$ 以上であり、ゲート幅が $50\ \mu\text{m}$ 以上であることを特徴とする半導体装置。

【請求項 12】

請求項 1 乃至請求項 11 のいずれか一項において、

前記半導体装置は、画像表示装置であることを特徴とする。

【請求項 13】

請求項 1 乃至請求項 11 のいずれか一項において、

前記半導体装置は、液晶表示装置であることを特徴とする。

【請求項 14】

請求項 1 乃至請求項 11 のいずれか一項において、

前記半導体装置は、エレクトロルミネッセンス表示装置であることを特徴とする。

【請求項 15】

請求項 1 乃至請求項 14 のいずれか一項において、

前記半導体装置を用いたビデオカメラ、デジタルカメラ、プロジェクター、プロジェクション TV、ヘッドマウントディスプレイ、ナビゲーションシステム、音響再生装置、パーソナルコンピュータ、ゲーム機器、モバイルコンピュータ、携帯電話、携帯型ゲーム機、電子書籍、または記録媒体を備えた画像再生装置。